**Computer Organization**

Name: 石育瑋 Number: A073708 Email: stoneonetwo1203@gmail.com

1. **Architecture diagrams:**

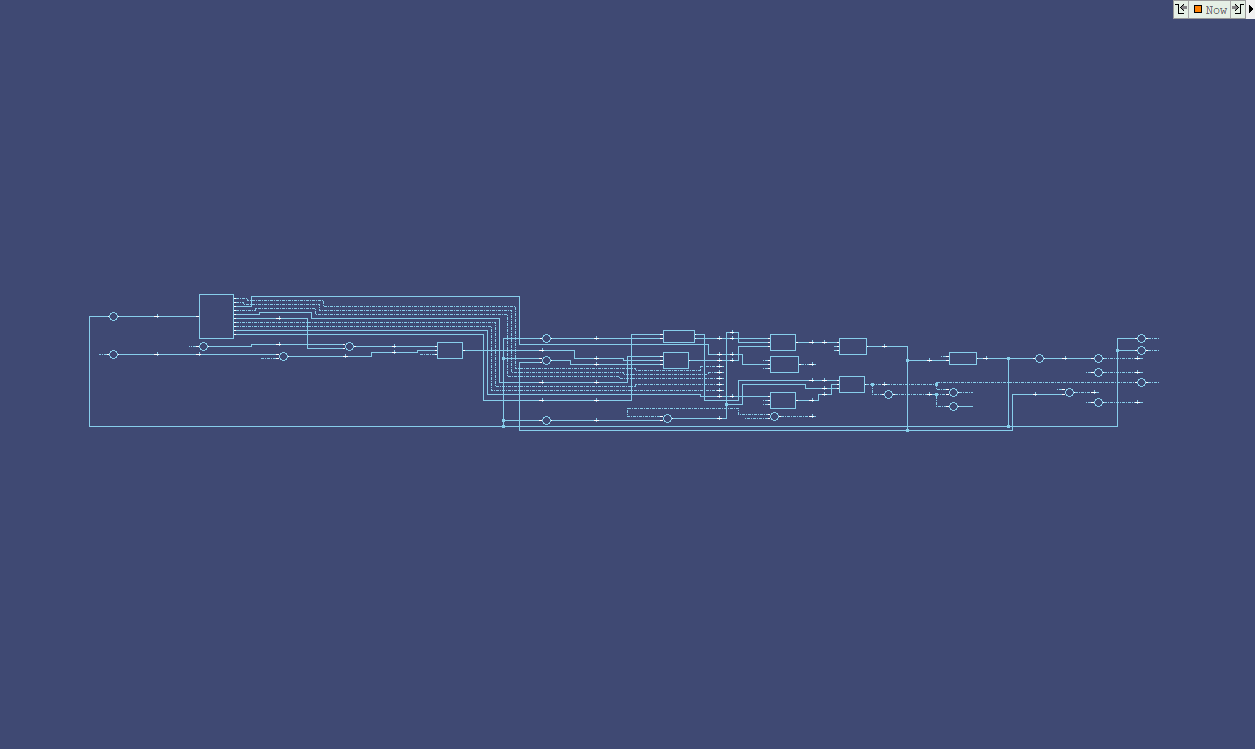


圖1.1:Dataflow

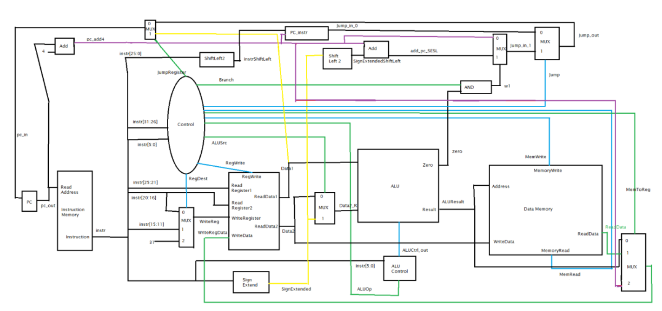


圖1.2:Diagram

1. **Hardware module analysis:**

**Lab3跟Lab2在許多元件設計上均相同，少數不同的地方在於新增一些指令(J, JAL, JR, LW, SW還有BEQ的幾個延伸指令)，其中JR在ALU\_CTRL時多了控制信號去決定PC的值，以及BEQ的延伸指令需要設計4to1 MUX的控制信號，大部分都是基於LAB2進行小改動。**

1. **Result:**

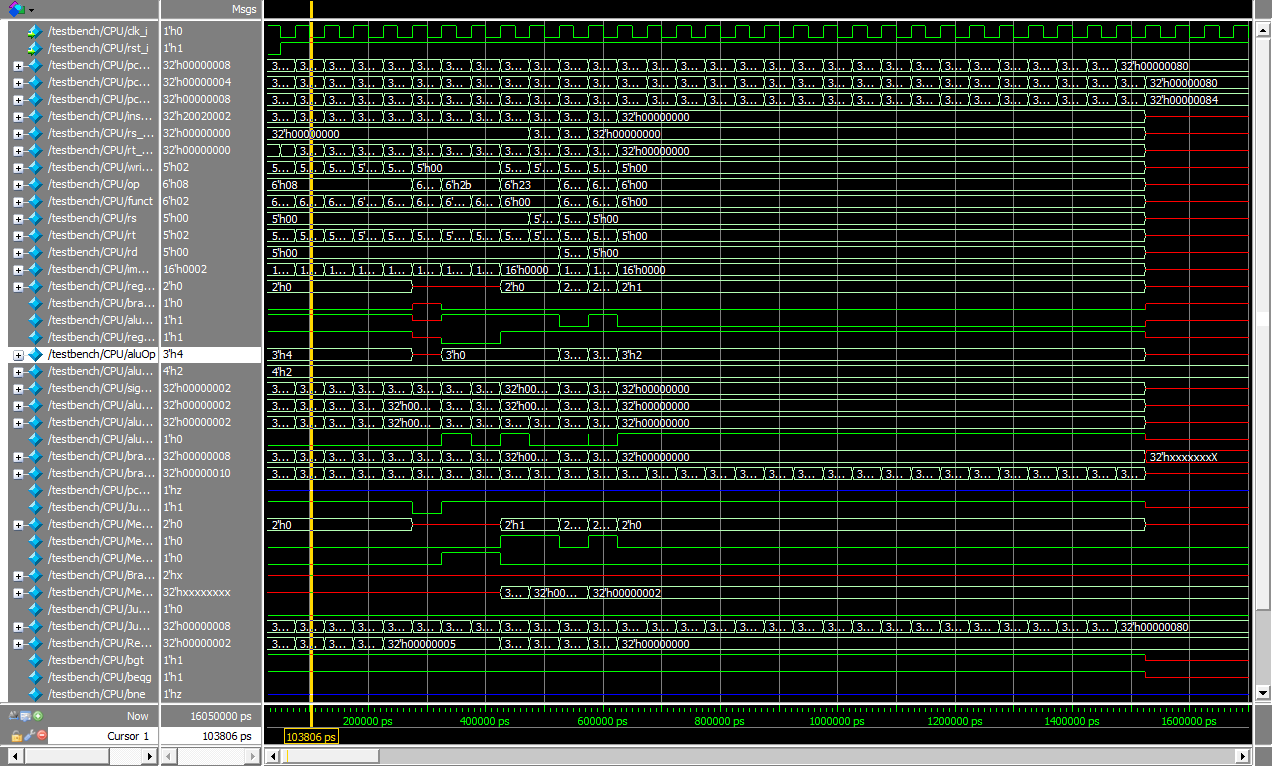


圖3.1: test1波形圖

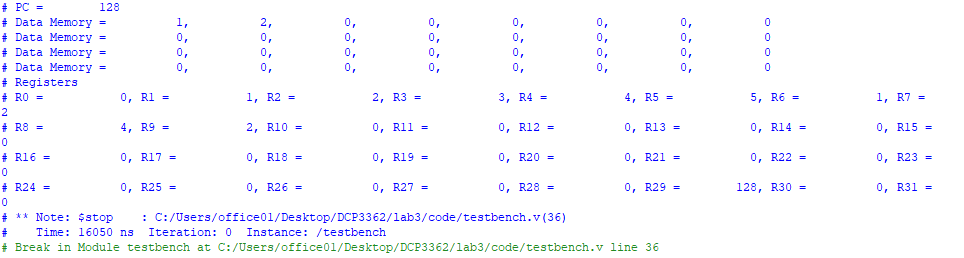


圖3.2: test1結果圖

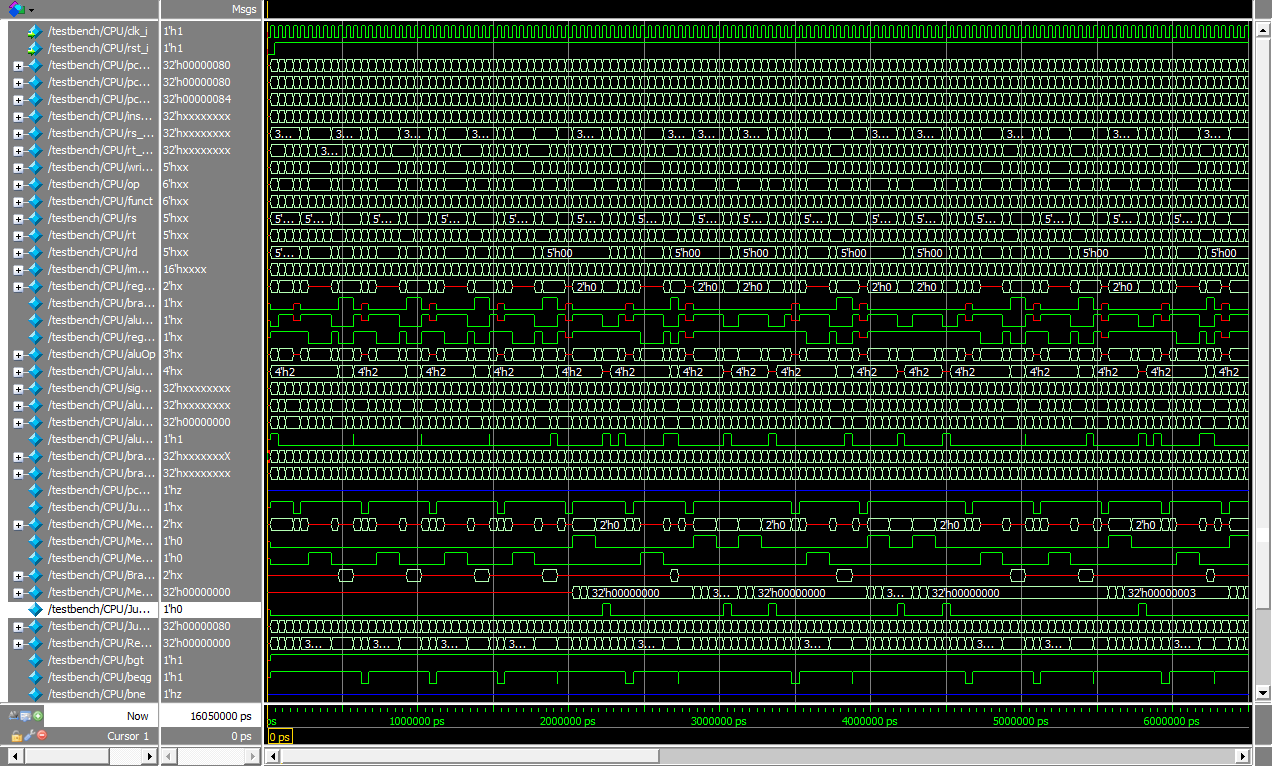


圖3.3: test2波形圖

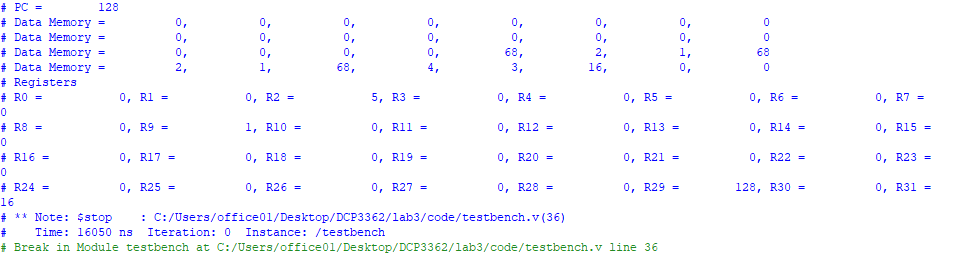


圖3.4: test2結果圖

1. **Summary:**

**LAB3的電路設計較LAB2複雜很多，在test2的實驗中，說明文檔只有說reg2最終為5，但不確定其他值是否需要為0，在我的設計裡，並沒有將其他值復位為0。**