解説

ニューラルネットワーク最新事情(4): こころの情報処理に学ぶ新たな VLSI プロセッサ[†]

柴田 直*

1. はじめに

筆者は長年半導体VLSIの研究・開発に従事してきた。周知のとおり、半導体マイクロチップは年々その性能が向上し、その勢いはとどまるところを知らない。パソコンの高性能化は言うに及ばず、モバイル機器の高機能化、デジカメの画素数の増加、それにUSBメモリ(フラッシュメモリ)の容量増加と低価格化を見ただけでも、誰しもこれを実感する。半導体は永遠に発展し続けて当然であると多くの人は考えている。しかし実際は、とんでもない困難にぶち当たっているのである。この困難打破の一つの有望な方向として、脳の処理にヒントを得たVLSIチップの開発に夢を託している。

先ず半導体VLSI技術が直面する問題を簡単に説明 したい、産業の米といわれた日本の半導体産業は今大 変な不振に見舞われているが、経済の話は他に譲るこ とにして、ここでは技術の話に限定する、半導体マイ クロチップとは、大体1cm角程度のシリコン(珪素) の小片上に数多くの極微トランジスタが作りこまれた もので、その上に、これもまた極微細の金属配線を10 層程度積み重ねて機能回路を構成したものである. チップ高性能化の指導原理は極めて単純で、トランジ スタのサイズを小さくすることである. 寸法を1/2に 縮小すれば、同じチップ面積上に4倍多くのトランジ スタが集積できる。1975年にインテルのGordon Moore は、一チップ上に集積されるトランジスタ数は毎年2 倍になると予想した[1]. (これが有名なムーアの法 則)実際は3年に4倍と若干小さくなっているもの の、驚くべきことに過去40年にわたってずっとこのハ イペースが維持されてきたのである。現在では、1 チップ上に1億から10億のトランジスタが集積されて いる. 現在量産レベルで微細加工の最小寸法は 40nm, つまり原子100個程度であるが、この寸法をき

ちんと制御し、しかも億という数で一つの欠陥も無く 正確に作りこまねばならないのである。生産技術の困 難さ、莫大な設備投資は言うに及ばないが、これから 先の微細化は、深刻な原理的問題に直面している。

その一つは各トランジスタの特性のばらつきの問題である[2].加工精度のばらつきに加え、小ささの故に構成原子の数がPoisson分布で変動するのを反映して設計した特性が揺らぐという根源的な問題に悩まされている。またトランジスタがオフ状態にあっても、僅かに流れる漏れ電流が1億個分近くも集まると、「塵も積もれば」の原理で大電流となってチップの消費電力を爆発的に増大させてしまう。これらが大問題となっているのである[3].たとえこれらの問題が全部解決されたとしても、さらに重要な問題がある。

このまま行けば、近い将来1チップ上に100億個以 上のトランジスタが集積可能となる。100億という数 は大脳新皮質中のニューロンの総数に匹敵する。この ように膨大な数のトランジスタを集積したCPUチッ プができたとして、果たして人間のように柔軟な判断 のできるコンピュータが実現するだろうか. 例えば、 動物の絵本を見て"どれがワンワン?"か言い当てる のは、3歳の子供にも簡単なことであるが、現在のコ ンピュータにはこれが大変難しい(図1). CPUの処 理とは、まとまりある画像のすべてを1と0の記号に 分解し、そのビット間の論理演算の繰り返しで犬や猫 を判断するもので、いわばとてつもなく難しいジグ ソーパズルを解くようなものである。人間のように柔 軟な判断のできるコンピュータ実現には、ソフトウェ アレベルの革新だけでは追いつかない。VLSIチップ のハードウェアそのものを新たな概念のアーキテク チャに置き換える必要がある. つまりハードウェア演 算における新たなコンピューティング・パラダイムが 求められている.

人間のように柔軟な演算とは、例えばアインシュタインの顔を認識する処理である。図2のように様々な形にディフォルメされても、我々はシュレディンガーの顔とはっきり区別できる。Classificationの問題と捉えると、サンプル自身の変動が極めて大きく、それ

[†] A Psychologically-Inspired New VLSI Processor Architecture Tadashi SHIBATA

^{*} 東京大学 工学系研究科 電気系工学専攻 Department of Electrical Engineering and Information Systems The University of Tokyo

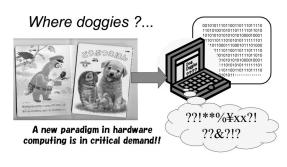


図1 "ワンワンどれ?"の質問に3歳の子供でも簡単に答えられるが、現在のコンピュータにはこれが大変難しい。

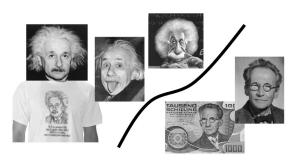


図 2 Classification問題では, intra-class variationが極めて大きい.

は微細素子の特性ばらつきの比ではない. ならば例えばらつきがあっても, 高機能な素子を上手く使えば, 脳のような多数決原理を導入することで柔軟な処理が可能になるのではないかと考えた. こうしてナノデバイスの物理を直接利用して知能システムを構築することを提案している[4]. しかし本稿では, この研究については触れない.

脳に学び、最先端の半導体技術を駆使して、ブール 代数とは違う新たなコンピューティング・パラダイム を見いだしたい。こういった考えで進めてきた我々の 研究を、ここで簡単に紹介する。

2. 心理学的脳モデルー"連想原理"

ニューロンのレベルから出発して、脳の高次機能を解き明かすのは、最先端脳科学そのものの課題であり、到底一介の半導体研究者の手に負える問題ではない。そこで、われわれが日常経験している自分の脳の機能をよく観察して、もっともらしいモデルを考え出し、その機能を実現するために専用VLSIチップ群を開発してシステムを構築する。モデルも、シリコンテクノロジーが最も実現しやすいものを考える。もしこのシステムで人間に似た柔軟な処理が可能になれば、これはこれで役に立つシステム開発につながる。さら



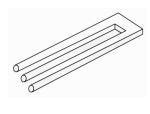


図3 認知の背景には、必ず過去の経験の自動想起というプロセスが存在する.

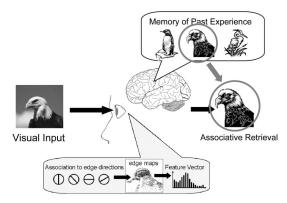


図4 心理学的脳モデルの概念. 網膜のレベルでは方向性のエッジが,上位のレベルではパターンや概念が連想想起される.

に、様々な心の現象が再現できれば、脳の高次機能の一端を解き明かすのにもつながるのではないかと考えた。いわば「構成論的な脳研究」への期待である。

図3を見て頂きたい。左はムンクの「叫び」のパロディだが、どうしてそう分かるのか?脳が難しい偏微分方程式を解いて結論を導き出すわけではない。背景の絵から、かつて見た有名な絵を思い出し、そのパロディであると認知する。右のだまし絵はなかなか理解できない。左の部分は、過去の経験から3本の円筒であり、右側はコの字型の板切れであることを無意識のうちに認知するが、さてこれらが組み合わされると、高次の意識処理では矛盾を解くことができない。どうも我々の認知の過程には、過去の類似の記憶を自動的に思い出す、即ち「連想」という処理が基本になっているのではないかと考えた。これはアリストテレスの時代から言われていたことで特に目新しくはない。しかしここで重要なのは、この連想原理が脳のあらゆる階層で行われているという考え方である。

図4に,心理学的脳モデルの概念を示す。何かを見たとき,ぴったりと一致する記憶がなくても,最も近

しい過去の経験を思い出し、それによって対象を理解するのが連想原理である。ここで強調したいのは、「過去の経験に基づく連想処理の原理」は脳のあらゆる階層で行われているということである。例えば、網膜のレベルでは、各ピクセルの視細胞が経験するものは、常に部分画像だけであり、その結果、視細胞は線分の方向としてその経験を抽象化している。だから網膜でキャプチャした画像からは、第一視覚野において、様々な方向を持ったエッジが抽出される[5]。最も高次なレベルの脳処理も同様である。例えば、飛ぶ鳥の姿からリリエンタールの飛行機が着想され、それがライト兄弟の発明につながった。これも高次レベルの連想である。連想と思考が絶妙に織り成されて、偉大な発明・発見が生まれる。

連想原理に基づく心理学的脳モデルVLSIシステム の概念を図5に示す.脳の処理では、無意識下におけ る超並列処理によって、状況を様々な観点から分析・ 吟味し、そこから得られた多くの情報を統合して最終 的な判断・決断が下される. この統合に際し,「ああ でもない、こうでもない・・、しからば云々」と考え るのが我々の意識である. ソフトウェア処理で最も時 間のかかるのが、無意識下での超並列処理であり、こ の部分をVLSIチップ化すれば、実時間応答が可能に なる. 特に膨大な過去の記憶の中から、最も似通った 事例を瞬時に探し出してくる処理に特化した連想プロ セッサを開発した[6]. 意識上での統合処理は、いわ ば "if-then-else"的な処理であり、これは現在のCPU が最も得意とするところである。もちろん、ここの処 理においても、過去の事例を連想想起しながら最適解 を見つけるというプロセスがあり、これにも連想プロ

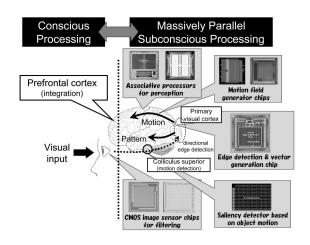


図5 連想原理に基づく心理学的脳モデルVLSIシステムの概念図.無意識下の超並列処理をそれぞれ専用のVLSIプロセッサで実行する.

セッサを用いることができる. 以下各部の概要を紹介する.

3. 方向性エッジ情報に基づく画像の特徴ベクトル表現

視覚情報処理では、先ず入力画像をVLSIチップ群が 扱える形式に変換することが重要である。もし二つの画 像が我々の目から見てお互いによく似ているならば、そ れらに対応する特徴ベクトル表現は、ベクトル空間で近 くにマッピングされなければならない。この目的で開発 したPPED (Projected Principal Edge Distribution)法 [7,8]を図6に示す. 縦,横, ±45°4方向のエッジ を5×5のフィルタ処理で検出する。このとき重要な のはフィルタ処理をした結果に対して閾値演算を行 い、本当に意味のあるエッジかどうかを判断する処理 である. 5×5のカーネル内の隣接ピクセル間の輝度 差分布を求め、そのメディアン値より閾値を決定す る. このローカルな閾値処理は画像細部の特徴をもれ なく抽出することができるため、医用X線画像の解析 等で効果を発揮する. こうして得られた 0, 1のエッ ジフラッグの2次元分布を,エッジの方向への射影に よってヒストグラムに変換、64次元のベクトル表現を 得る.

このPPEDベクトルは、人間の目が感じる類似性をベクトル空間でよく再現する。その一例を、図7に示す。三つの解剖学的特徴点のベクトル表現を示すが、異なる患者の影像も同じ特徴点では見た目に似ているが、それがよくベクトルの形に反映されている。これを用いて骨異常の診断に必要な20箇所の特徴点の検出を行ったところ、位置の同定は100%の正解率であった。さらに検出位置の精度に関し、ベテラン医の判断と同じレベルの精度が得られているかどうかを含め評価した結果、正解率は89%であった[9]。実用レベルの結果であるとの評価を得た。

このベクトル表現の問題は、計算コストが極めて高いことである。特に、メディアン処理でローカルに関値を決める処理が重い。図8は開発した専用プロセッサである[10]。多数決処理を用いたバイナリサーチでメディアンを求めるが、並列で多数用いる多数決回路は、ν MOS[11]を用いたアナログ回路で構成されている。その他はすべてデジタルである。2.2GHzの汎用プロセッサと比較して、100MHzの動作で4桁以上の高速化を実現した。エッジマップのメモリに簡単な機能を追加することにより、さらに約30倍の高速化が図れるアーキテクチャのVLSIチップも開発した[12]。

ローカル閾値は、微妙な画像の特徴を捉えるのに大 変有効であるが、後で述べる動き検出のように、全体

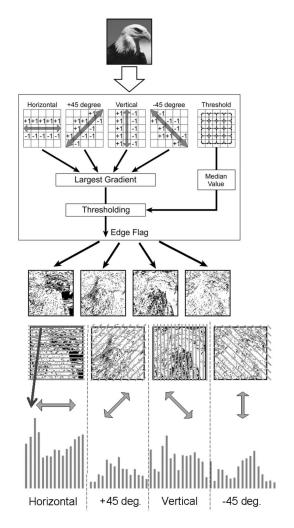


図 6 PPED (Projected Principal Edge Distribution) アルゴリズム. 認識ウィンドウ(64×64ピクセル) 内の画像から64次元の特徴ベクトルを生成する.

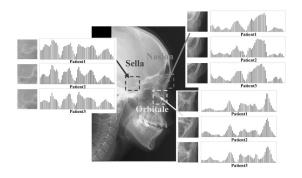


図7 矯正歯科診断で用いる3つの解剖学的特徴点と そのPPEDベクトル表現(阪大歯学部, 矯正歯科 教室(高田教授)との共同研究).

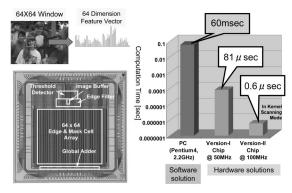


図8 エッジヒストグラムベクトル生成プロセッサと その性能.



図9 ダリの絵から顔を検出する.

として明らかに目立つエッジだけを抽出した方がよい場合がある。このために、グローバルに閾値を決める方式も開発、DPS(digital pixel sensor)方式のCMOSイメージセンサ上に閾値決定回路を搭載したチップを作成した。このチップでは、2.2GHzのプロセッサの処理に対して約700倍の高速処理を達成している「131.

方向性エッジを用いたその他のベクトル表現も組み合わせ、顔検出[14]や顔認証[15]のシステムも開発した。図9は、ダリの絵に適用した例である。False Positiveはあるものの、我々が顔と認識するようにダリが仕組んだイメージは、もれ無くキャッチしている。さらに図10(「地中海を眺めるガラ」)への適用を考えた。画像全体の解像度を落として見るとリンカーンの顔が浮かび上がる。こういった、可変解像度でエッジフィルター処理のできるCMOSイメージセンサをアナログ回路で実現した[16]。図11に示すように、フォトダイオードを各SIMD PE(processing element)の4

つのコーナー上に配置した構成で、隣接セル間のみの配線によって、可変解像度のフィルタ処理が並列に行えるユニークなアーキテクチャを採用している。図12は、32×32のテストチップを作成しランプの映像を処理した結果である。Full解像度では、ランプの丸いシルエットが各々のエッジ検出方向に対応してはっき

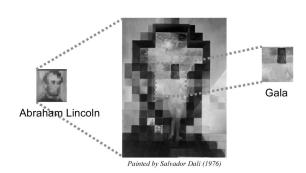


図10 多重解像度による画像認識.

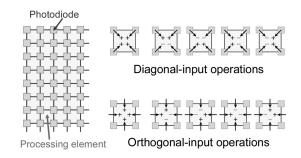


図11 多重解像度エッジフィルターCMOSイメージセンサの構成(左)と演算ユニットにおける基本機能のレパートリー(右).

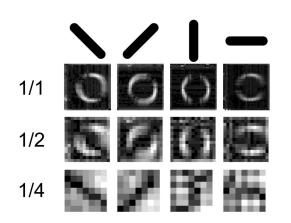


図12 試作したテストチップから得られたfull解像度, 1/2解像度, 1/4解像度における円形ランプのフィルター処理画像.

りと見えるが、1/2解像度では全体にぼやけてイメージは二本の平行線に近づく、1/4解像度では、さらにイメージは抽象化され、各々エッジ方向に沿った一本の線のように見える。

4. 動きの認識処理

動画から動きの情報を取り出すには、動きフィールドを生成することが基本となる。time-domain演算を用いたオプティカル・フロー生成チップ[17]や、ブロックマッチング演算をアナログの並列処理で行うCMOSイメージセンサチップを開発した[18]。後者は64×64ピクセルの画像に対し、縦・横・斜め合計8方向の土1ピクセルの動きを、20MHzの動作で1400フレーム/secで検出できる。

脳では、第一視覚野で方向性エッジを検出した後、エッジ情報はそれぞれ別々のpath wayで処理され、形状の認識や動きの認識が行われる。この原理に習い、我々も方向性エッジ情報を用いて動きフィールドを求めるチップを開発した。その基本となるのは、ブロックマッチングによる動きベクトルの検出である。図13にそのアルゴリズムを示す。

ブロックマッチングでは、時刻 t の部分画像を時刻 $t+\Delta t$ の探索ウィンドウ内で探し出し、これで動きベクトルを求める(図13(a))、縦・横それぞれN回シフトしてベストマッチの位置を探すとすれば、 $N\times N$ のマッチング演算が必要となる。これに対して我々はエッジヒストグラムを用いた方法を提案している[19]

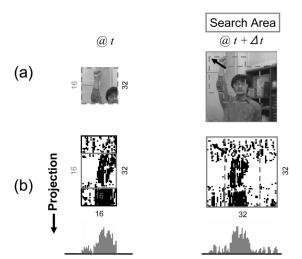


図13 グレースケールイメージを用いたブロックマッチングアルゴリズム(a),及び方向性エッジのヒストグラムマッチング(b)を用いた動きベクトル検出.

(図13(b)). 例えばx方向の動きを求める場合には,グレースケール画像の代わりに縦方向のエッジを検出したエッジマップを用いる。これをx軸上に投影した分布のヒストグラムにより,時刻tの分布を時刻 $t+\Delta t$ の分布に対して1ピクセルずつ位置をずらしながらマッチングを行い,ベストマッチの位置を求める。このとき時刻tの分布は,縦方向に広げた領域から作る。こうすることで,y方向にシフトがあっても正確にx方向のシフト量が求められる。 $N \times N$ 回のマッチング演算が2N回に減少する。また輝度値ではなくエッジ情報を用いるため,照明の変化に影響されないという特徴も持っている。

このアルゴリズムを超並列で実行するデジタル VLSIチップを開発した[20]. その構成とチップ写真を図14に示す. ± 8 ピクセルのシフトとマッチング演算を全並列で行うため,時刻 t と時刻 $t+\Delta t$ のヒストグラムのエレメント間の差分絶対値を計算する回路が 16×17 個のアレー状に配置されており,配線によってあらゆる相対シフトの組み合わせが実現されている. この構成により,任意に指定した画像位置から1サイクル毎に1個の動きベクトルが検出できる. 1サイクル毎に,時刻 t と時刻 $t+\Delta t$ の t 2個のエッジヒストグラムを生成しなければならないため、本チッ

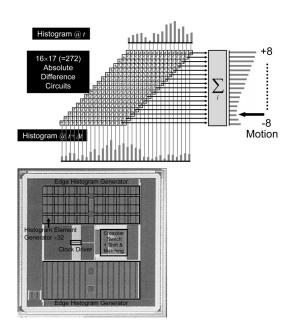


図14 エッジヒストグラムマッチングを用いた動きベクトル検出VLSIプロセッサ.全並列マッチングアーキテクチャ(上)とチップ写真(0.18um,5M CMOSプロセス,チップサイズは5mm×5mm).

プでは特別なメモリアクセス機構を採用している.

さらに構成を簡略化し高効率化を図ったチップも開発した[21]. 図14のチップのように,動きベクトル検出位置の任意指定はできないが,ラスタースキャン方式で全ピクセル位置から順次結果が得られる.このスキャンモードの採用によりデータ再利用が可能となり,その結果マッチング・コアのトランジスター数が1/10に減少した.2つのコアを搭載したがエッジメモリを含む全回路規模は約60%に減少した.

こうして生成した動きフィールドから、動きの特徴をベクトル表現する手法を開発した。動きベクトルの x、y成分を、それぞれy軸x軸上に投影してその空間分布をヒストグラムで表現するのがPPMD(Projected Principal Motion Distribution)ベクトル[22]である。またこのPPMDベクトルの時系列に対し、時間軸上への投影(空間積分)並びに各空間成分の時間積分という概念を導入することにより、あるまとまった動作を一つのベクトルで表現するMotion History Vector表現[23]も開発した。これらを用いた動作認識の研究が進んでいる。

5. まとめ

連想原理に基づく心理学的脳モデルVLSIシステムの概要についてのべた。無意識のレベルで行われる大量の並列処理に対し、それぞれの演算に特化した専用VLSIプロセッサを開発することで実時間処理を可能にした。視覚情報処理に関しては、生体原理[5]に従い、入力画像より方向性エッジを抽出し、これをベースに静止画の認識、動画の認識をそれぞれ別々のハードウェア演算で実行するシステムについて述べた。医用X線画像の解析、顔の検出と個人認証、さらに物体の追跡、ジェスチャ認識、カメラモーションの検出等への応用を開発しており、今後統合処理も含めた全体システムへ発展させていく。

謝辞

本研究を推進するプロジェクトに取り組んだ東京大学柴田・三田研究室のメンバー各位にここに深く感謝の意を表したい。本研究の一部は、文部科学省科学研究費補助金(基盤研究(A) 20246056)を得て行われた。また本研究に関するチップ試作は東京大学大規模集積システム設計教育研究センターを通しローム(株)、株式会社日立製作所、凸版印刷(株)並びに大日本印刷株式会社の協力で行われたものである。

参考文献

- G. Moore, "Progress in Digital Integrated Electronics," *International Electron Devices Meeting (IEDM)*, vol.21, pp.11 - 13, 1975.
- [2] T. Mizuno, J. Okamura, and A. Toriumi, "Experimental study of threshold voltage fluctuation due to statistical variation of channel dopant number in MOSFET's," *IEEE Trans. Electron Devices*, vol.41, no.11, pp.2216– 2221, 1994.
- [3] T. Sakurai, "Perspectives of Power-Aware Electronics (Plenary Talk, Invited)," *IEEE ISSCC*, San Francisco, CA, USA, vol.1, pp.26-29, Feb. 2003.
- [4] Tadashi Shibata, "Computing based on the physics of nano devices – A beyond – CMOS approach to human – like intelligent systems," Solid – State Electronics 53, pp.1227 – 1241, 2009.
- [5] D.H. Hubel and T.N. Wiesel, "Receptive fields of single neurons in the cat's visual cortex," Journal of Physiology, vol.148, pp.574-591, 1959.
- [6] Toshihiko Yamasaki and Tadashi Shibata, "Analog Soft-Matching Classifier Using Floating-Gate MOS Technology," IEEE Trans. Neural Networks, Vol.14, No.5, pp.1257-1265, September (2003).
- [7] T. Shibata, M. Yagi, and M. Adachi, "Soft-Computing Integrated Circuits for Intelligent Information Processing," Proceedings of The Second International Conference on Information Fusion, Vol.1, pp.648-656, Sunnyvale, California, July 6-8, 1999.
- [8] Masakazu Yagi, Tadashi Shibata, "An Image Representation Algorithm Compatible with Neural-Associative-Processor-Based Hardware Recognition Systems," IEEE Trans. Neural Networks, Vol.14, No.5, pp.1144-1161, September (2003).
- [9] Chihiro Tanikawa, Masakazu Yagi, Kenji Takada, "Automated Cephalometry: System Performance Reliability Using Landmark - Dependent Criteria," The Angle Orthodontist, Volume 79, Issue 6, pp.1037 -1046, November 2009.
- [10] Hideo Yamasaki and Tadashi Shibata, "A Real-Time Image-Feature-Extraction and Vector-Generation VLSI Employing Arrayed-Shift-Register Architecture," IEEE Journal on Solid State Circuits, Vol.42, No.9, pp.2046– 2053, September 2007.
- [11] Tadashi Shibata and Tadahiro Ohmi, "A functional MOS transistor featuring gate-level weighted sum and threshold operations," IEEE Trans. Electron Devices, Vol.39, No.6, pp.1444-1455 (1992).
- [12] Takuki Nakagawa and Tadashi Shibata, "A Real-Time Image Feature Vector Generator Employing Functional Cache Memory for Edge Flags," Proceedings of the 2009 International Symposium on Circuits and Systems (ISCAS 2009), pp.3026-3029, Taipei, Taiwan, May 24-27, 2009.
- [13] Hongbo Zhu and Tadashi Shibata, "A Real-Time Image Recognition System Using a Global Directional-Edge-Feature Extraction VLSI Processor", in the Proceeding of the 35th European Solid-State Circuits Conference (ESSCIRC 2009), pp.248-251, Athens, Greece, 14-18 September, 2009.

- [14] Yasufumi Suzuki and Tadashi Shibata, "Multiple-Clue Face Detection Algorithm Using Edge-Based Feature Vectors," in the Proceedings of 2004 IEEE International Conference on Acoustics, Speech, and Signal Processing (ICASSP 2004), pp.V-737-V-740, Montreal, May 17-21, 2004.
- [15] Yasufumi Suzuki and Tadashi Shibata, "Hardware Architecture for Pseudo-Two-Dimemsional Hidden-Markov-Model-Based Face Recognition Systems Employing Laplace Distribution Functions," Japanese Journal of Applied Physics, Vol.46, No.4B, pp.2265-2270, April 2007.
- [16] Norihiro Takahashi, Kazuhide Fujita, and Tadashi Shibata, "A Pixel-Parallel Self-Similitude Processing for Multiple-Resolution Edge-Filtering Analog Image Sensors," IEEE Transactions on Circuits and Systems – I: Regular Papers, Vol.56, No.11, pp.2384– 2392, 2009.
- [17] Kiyoto Ito and Tadashi Shibata, "A Time Domain Gradient - Detection Architecture for VLSI Analog Motion Sensors," Proceedings of The 2006 International Symposium on Circuits and Systems (ISCAS'06), Island of Kos, Greece, May 21 - 24, 2006, pp.201 - 204.
- [18] Yudai Fukuoka and Tadashi Shibata, "Block-Matching-Based CMOS Optical Flow Sensor Using Only-Nearest-Neighbor Computation," Proceedings of the 2009 International Symposium on Circuits and Systems (ISCAS 2009), pp.1485-1488, Taipei, Taiwan, May 24-27, 2009.
- [19] Jia Hao and Tadashi Shibata, "A VLSI-Implementation-Friendly Ego-Motion Detection Algorithm Based on Edge-Histogram Matching," in the Proceedings of 2006 IEEE International Conference on Acoustics, Speech, and Signal Processing (ICASSP 2006), pp II-245-248, Toulouse, France, May 14-18, 2006.
- [20] Kazuhide Fujita, Kiyoto Ito and Tadashi Shibata, "A Single - Motion - Vector/Cycle - Generation Optical Flow Processor Employing Directional - Edge Histogram Matching," Proceedings of the 2009 International Symposium on Circuits and Systems (ISCAS 2009), pp.3022 - 3025, Taipei, Taiwan, May 24 - 27, 2009.
- [21] Yuta Okano and Tadashi Shibata, "High-Frame-Rate Dense Motion Vector Field Generation Processor With Simplified Best-Match Searching Circuitries," in The Proceedings of IEEE Asian Solid-State Circuits Conference (A-SSCC), pp.205-208, Taipei, Taiwan, November 16-18, 2009.
- [22] Hitoshi Hayakawa and Tadashi Shibata, "Block-matching-based motion field generation utilizing directional edge displacement," Computers and Electrical Engineering, 2009 (In Press).
- [23] Hitoshi Hayakawa and Tadashi Shibata, "Spatiotemporal Projection of Motion Field Sequence for Generating Feature Vectors in Gesture Perception," Proceedings of The 2008 International Symposium on Circuits and Systems (ISCAS 2008), pp.3526-3529, Seattle, USA, May 18-21, 2008.

(2010年10月19日 受付)

[問い合わせ先]

〒113-8656 東京都文京区本郷7-3-1 東京大学 工学系研究科 電気系工学専攻

柴田 直

TEL: 03-5841-6656 FAX: 03-5841-8567

E-mail: shibata@ee.t.u-tokyo.ac.jp

— 著 者 紹 介 —



いば た ただし **柴田 直** [非会員]

1971年大阪大学工学部電子工学科 卒.1974年大阪大学大学院・基礎工学 研究科・物性学専攻を博士課程1年で 中退,大学院では物性理論の研究を行 う.1974年東芝入社,総合研究所にて MOS集積回路の研究開発に従事. 1978年~1980年、スタンフォード大 客員研究員としてレーザアニールの研 究を行い、この研究により1984年東 京大学より工学博士の学位を授与され る.1986年東芝退社、東北大学工学部 電子工学科助教授、低温半導体プロセ スの研究から知能デバイスの研究を展 開.1997年5月より現職.