



N32G45x 系列

32-bit ARM[®] Cortex[®]-M4 微控制器

用户手册 V3.1.0

目录

1 文中的缩写	35
1.1 寄存器位操作缩写列表.....	35
1.2 可用外设	35
2 中断和事件	36
2.1 嵌套向量中断寄存器.....	36
2.1.1 SysTick 校准值寄存器.....	36
2.1.2 中断和异常向量.....	36
2.2 外部中断/事件控制器（EXTI）.....	39
2.2.1 简介.....	39
2.2.2 主要特性.....	39
2.2.3 功能描述.....	40
2.2.4 EXTI 线路映射.....	42
2.3 EXTI 寄存器	43
2.3.1 EXTI 寄存器总览.....	43
2.3.2 EXTI 中断屏蔽寄存器（EXTI_IMASK）	43
2.3.3 EXTI 事件屏蔽寄存器（EXTI_EMASK）	44
2.3.4 EXTI 上升沿触发配置寄存器（EXTI_RT_CFG）	44
2.3.5 EXTI 下降沿触发配置寄存器（EXTI_FT_CFG）	44
2.3.6 EXTI 软件中断事件寄存器（EXTI_SWIE）	45
2.3.7 EXTI 挂起寄存器（EXTI_PEND）	45
2.3.8 EXTI 时间戳触发源选择寄存器（EXTI_TS_SEL）	46
3 存储器和总线架构	47
3.1 系统架构	47
3.1.1 总线架构.....	47
3.1.2 总线地址映射.....	48
3.1.3 启动管理.....	50
3.2 存储系统（MEMORY SYSTEM）	51
3.2.1 FLASH 规格.....	51
3.2.2 iCache	60
3.2.3 SRAM	62
3.2.4 R-SRAM（Retention SRAM）	62
3.2.5 FLASH 寄存器.....	63
4 电源控制（PWR）	71
4.1 通用描述	71
4.1.1 电源.....	71
4.1.2 电压监控.....	73
4.2 功耗模式	75
4.2.1 SLEEP 模式.....	79
4.2.2 STOP0 模式.....	80

4.2.3 STOP2 模式.....	80
4.2.4 STANDBY 模式.....	81
4.2.5 VBAT 模式.....	82
4.3 低功耗自动唤醒 (AWU) 模式	82
4.4 PWR 寄存器.....	83
4.4.1 PWR 寄存器总览	83
4.4.2 电源控制寄存器 (PWR_CTRL)	83
4.4.3 电源控制状态寄存器 (PWR_CTRLSTS)	85
4.4.4 电源控制寄存器 2 (PWR_CTRL2)	86
4.4.5 电源控制寄存器 3 (PWR_CTRL3)	86
5 备份寄存器 (BKP)	88
5.1 简介	88
5.2 主要特性	88
5.3 功能描述	88
5.4 BKP 寄存器	88
5.4.1 BKP 寄存器总览	88
5.4.2 备份数据寄存器 x (BKP_DATx) (x = 1 ... 42)	91
5.4.3 备份控制寄存器 (BKP_CTRL)	91
5.4.4 备份控制/状态寄存器 (BKP_CTRLSTS)	92
6 复位和时钟控制(RCC)	93
6.1 复位控制单元	93
6.1.1 电源复位.....	93
6.1.2 系统复位.....	93
6.1.3 备份域复位.....	94
6.2 时钟控制单元	94
6.2.1 时钟树.....	96
6.2.2 HSE 时钟.....	96
6.2.3 HSI 时钟.....	97
6.2.4 PLL 时钟.....	98
6.2.5 LSE 时钟.....	98
6.2.6 LSI 时钟	98
6.2.7 系统时钟(SYSCLK)选择.....	99
6.2.8 时钟安全系统(CLKSS)	99
6.2.9 RTC 时钟.....	99
6.2.10 看门狗时钟.....	99
6.2.11 时钟输出(MCO)	100
6.3 RCC 寄存器	100
6.3.1 寄存器总览	100
6.3.2 时钟控制寄存器(RCC_CTRL)	101
6.3.3 时钟配置寄存器(RCC_CFG)	102
6.3.4 时钟中断寄存器(RCC_CLKINT)	106
6.3.5 APB2 外设复位寄存器(RCC_APB2PRST).....	108
6.3.6 APB1 外设复位寄存器(RCC_APB1PRST).....	110

6.3.7 AHB 外设时钟使能寄存器(RCC_AHBCLKEN)	112
6.3.8 APB2 外设时钟使能寄存器 (RCC_APB2PCLKEN)	114
6.3.9 APB1 外设时钟使能寄存器(RCC_APB1PCLKEN)	116
6.3.10 备份域控制寄存器(RCC_BDCTRL)	118
6.3.11 控制/状态寄存器(RCC_CTRLSTS)	120
6.3.12 AHB 外设复位寄存器(RCC_AHBPRST).....	121
6.3.13 时钟配置寄存器 2 (RCC_CFG2)	123
6.3.14 时钟配置寄存器 3 (RCC_CFG3)	124
7 GPIO 和 AFIO	126
7.1 概述	126
7.2 IO 功能描述.....	127
7.2.1 IO 模式配置	127
7.2.2 复位后状态.....	131
7.2.3 单独的位设置和位清除.....	132
7.2.4 外部中断/唤醒线.....	132
7.2.5 复用功能.....	132
7.2.6 外设的IO 配置	143
7.2.7 GPIO 锁定机制.....	146
7.3 GPIO 寄存器	146
7.3.1 GPIO 寄存器总览	146
7.3.2 GPIO 端口低配置寄存器 (GPIOx_PL_CFG)	148
7.3.3 GPIO 端口高配置寄存器 (GPIOx_PH_CFG)	149
7.3.4 GPIO 端口输入数据寄存器 (GPIOx_PID)	150
7.3.5 GPIO 端口输出数据寄存器 (GPIOx_POD)	150
7.3.6 GPIO 端口位设置/清除寄存器 (GPIOx_PBSC)	151
7.3.7 GPIO 端口位清除寄存器 (GPIOx_PBC)	151
7.3.8 GPIO 端口锁定配置寄存器 (GPIOx_PLOCK_CFG)	152
7.3.9 GPIO 驱动能力配置寄存器 (GPIOx_DS_CFG)	152
7.3.10 GPIO 翻转率配置寄存器 (GPIOx_SR_CFG)	153
7.4 AFIO 寄存器.....	153
7.4.1 AFIO 寄存器总览	153
7.4.2 AFIO 事件控制寄存器 (AFIO_ECTRL)	154
7.4.3 AFIO 复用重映射配置寄存器 (AFIO_RMP_CFG)	155
7.4.4 AFIO 外部中断配置寄存器 1 (AFIO_EXTI_CFG1)	159
7.4.5 AFIO 外部中断配置寄存器 2 (AFIO_EXTI_CFG2)	159
7.4.6 AFIO 外部中断配置寄存器 3 (AFIO_EXTI_CFG3)	160
7.4.7 AFIO 外部中断配置寄存器 4 (AFIO_EXTI_CFG4)	161
7.4.8 AFIO 复用重映射配置寄存器 3 (AFIO_RMP_CFG3)	162
7.4.9 AFIO 复用重映射配置寄存器 4 (AFIO_RMP_CFG4)	165
7.4.10 AFIO 复用重映射配置寄存器 5 (AFIO_RMP_CFG5)	167
8 DMA 控制器	170
8.1 简介	170
8.2 主要特性	170

8.3 功能框图	171
8.4 功能描述	171
8.4.1 DMA 操作	171
8.4.2 通道优先级和仲裁器	172
8.4.3 DMA 通道和传输数量	172
8.4.4 可编程的数据位宽	172
8.4.5 外设/内存地址递增	174
8.4.6 通道配置流程	174
8.4.7 流量控制	174
8.4.8 循环模式	175
8.4.9 错误管理	175
8.4.10 中断	175
8.4.11 DMA 请求映像	176
8.5 DMA 寄存器	179
8.5.1 DMA 寄存器总览	179
8.5.2 DMA 中断状态寄存器 (DMA_INTSTS)	181
8.5.3 DMA 中断标志清除寄存器 (DMA_INTCLR)	181
8.5.4 DMA 通道x 配置寄存器 (DMA_CHCFGx)	182
8.5.5 DMA 通道x 传输数量寄存器 (DMA_TXNUMx)	184
8.5.6 通道x 外设基址寄存器 (DMA_PADDRx)	184
8.5.7 通道x 存储器基址寄存器 (DMA_MADDRx)	185
8.5.8 DMA1 通道x 通道选择寄存器 (DMA1_CHSELx)	185
8.5.9 DMA2 通道x 通道选择寄存器 (DMA2_CHSELx)	186
8.5.10 DMA 通道 MAP 使能寄存器 (DMA_CHMAPEN)	188
9 模拟数字转换 (ADC)	189
9.1 简述	189
9.2 ADC 主要特征	189
9.3 ADC 功能描述	190
9.3.1 ADC 时钟	191
9.3.2 ADC 开关控制	192
9.3.3 通道选择	192
9.3.4 内部通道	195
9.3.5 单次转换模式	195
9.3.6 连续转换模式	195
9.3.7 时序图	195
9.3.8 模拟看门狗	196
9.3.9 扫描模式	196
9.3.10 注入通道管理	197
9.3.11 间断模式	198
9.4 校准	198
9.5 数据对齐	199
9.6 可编程的通道采样时间	200
9.7 外部触发转换	200
9.8 DMA 请求	201

9.9 ADC 模式	201
9.9.1 独立模式.....	202
9.9.2 同步规则模式.....	203
9.9.3 同步注入模式	203
9.9.4 快速交叉模式.....	204
9.9.5 慢速交叉模式.....	205
9.9.6 交替触发模式.....	206
9.9.7 混合的规则+注入同步模式.....	207
9.9.8 混合的同步规则+交替触发模式.....	207
9.9.9 混合同步注入 + 交叉模式.....	208
9.10 温度传感器.....	209
9.10.1 测量温度值.....	210
9.11 中断	210
9.12 ADC 寄存器	210
9.12.1 ADC 寄存器总览.....	210
9.12.2 ADC 状态寄存器 (ADC_STS)	212
9.12.3 ADC 控制寄存器 1 (ADC_CTRL1)	213
9.12.4 ADC 控制寄存器 2 (ADC_CTRL2)	215
9.12.5 ADC 采样时间寄存器1 (ADC_SAMPT1)	217
9.12.6 ADC 采样时间寄存器2 (ADC_SAMPT2)	217
9.12.7 ADC 注入通道数据偏移寄存器 x (ADC_JOFFSETx) (x=1..4)	218
9.12.8 ADC 看门狗高阈值寄存器 (ADC_WDGHIGH)	218
9.12.9 ADC 看门狗低阈值寄存器 (ADC_WDGLOW)	219
9.12.10 ADC 规则序列寄存器1 (ADC_RSEQ1)	219
9.12.11 ADC 规则序列寄存器2 (ADC_RSEQ2)	220
9.12.12 ADC 规则序列寄存器 3 (ADC_RSEQ3)	220
9.12.13 ADC 注入序列寄存器 (ADC_JSEQ)	221
9.12.14 ADC 注入数据寄存器 x (ADC_JDATx) (x=1..4)	221
9.12.15 ADC 规则数据寄存器 (ADC_DAT)	222
9.12.16 ADC 差分模式选择寄存器 (ADC_DIFSEL)	222
9.12.17 ADC 校正因子 (ADC_CALFACT)	223
9.12.18 ADC 控制寄存器 3 (ADC_CTRL3)	223
9.12.19 ADC 采样时间寄存器 3 (ADC_SAMPT3)	225
10 数字/模拟转换 (DAC)	226
10.1 DAC 介绍	226
10.2 DAC 主要特性.....	226
10.3 DAC 功能描述与操作说明.....	228
10.3.1 DAC 开启	228
10.3.2 DAC 输出缓存.....	228
10.3.3 DAC 数据格式.....	228
10.3.4 DAC 触发	229
10.3.5 DAC 转换	230
10.3.6 DAC 输出电压	230
10.3.7 DMA 请求.....	231

10.3.8 噪声产生.....	231
10.3.9 三角波产生.....	232
10.4 DAC 双通道转换操作.....	233
10.4.1 不使用波形发生器的独立触发.....	233
10.4.2 产生相同噪声的独立触发.....	233
10.4.3 产生不同噪声的独立触发.....	234
10.4.4 产生相同三角波的独立触发.....	234
10.4.5 产生不同三角波的独立触发.....	234
10.4.6 同时软件启动.....	235
10.4.7 不使用波形发生器的同步触发.....	235
10.4.8 产生相同噪声的同步触发.....	235
10.4.9 产生不同噪声的同步触发.....	236
10.4.10 产生相同三角波的同步触发.....	236
10.4.11 产生不同三角波的同步触发.....	236
10.5 DAC 寄存器	237
10.5.1 DAC 寄存器总览	237
10.5.2 DAC 控制寄存器 (DAC_CTRL)	237
10.5.3 DAC 软件触发寄存器 (DAC_SOTTR)	240
10.5.4 DAC1 的 12 位右对齐数据保持寄存器 (DAC_DR12CH1)	241
10.5.5 DAC1 的 12 位左对齐数据保持寄存器 (DAC_DL12CH1)	241
10.5.6 DAC1 的 8 位右对齐数据保持寄存器 (DAC_DR8CH1)	241
10.5.7 DAC2 的 12 位右对齐数据保持寄存器 (DAC_DR12CH2)	242
10.5.8 DAC2 的 12 位左对齐数据保持寄存器 (DAC_DL12CH2)	242
10.5.9 DAC2 的 8 位右对齐数据保持寄存器 (DAC_DR8CH2)	242
10.5.10 双 DAC 的 12 位右对齐数据保持寄存器 (DAC_DR12DCH)	243
10.5.11 双 DAC 的 12 位左对齐数据保持寄存器 (DAC_DL12DCH)	243
10.5.12 双 DAC 的 8 位右对齐数据保持寄存器 (DAC_DR8DCH)	244
10.5.13 DAC1 的数据输出寄存器 (DAC_DATO1)	244
10.5.14 DAC2 的数据输出寄存器 (DAC_DATO2)	244
11 高级控制定时器 (TIM1 和 TIM8)	246
11.1 TIM1 和 TIM8 简介	246
11.2 TIM1 和 TIM8 主要特性	246
11.3 TIM1 和 TIM8 功能描述	247
11.3.1 时基单元	247
11.3.2 计数器模式	248
11.3.3 重复计数器	253
11.3.4 时钟选择	256
11.3.5 捕获/比较通道	259
11.3.6 输入捕获模式	262
11.3.7 PWM 输入模式	263
11.3.8 强制输出模式	264
11.3.9 输出比较模式	264
11.3.10 PWM 模式	266
11.3.11 单脉冲模式	268

11.3.12 在外部事件上清除 OCxREF 信号	270
11.3.13 互补输出和死区插入	270
11.3.14 刹车功能	272
11.3.15 调试模式	273
11.3.16 TIMx 定时器和外部触发的同步	274
11.3.17 定时器同步	277
11.3.18 产生六步 PWM 输出	277
11.3.19 编码器接口模式	278
11.3.20 与霍尔传感器的接口	280
11.4 TIMx 寄存器 (x=1,8)	282
11.4.1 寄存器总览	282
11.4.2 控制寄存器 1 (TIMx_CTRL1)	283
11.4.3 控制寄存器 2 (TIMx_CTRL2)	285
11.4.4 从模式控制寄存器 (TIMx_SMCTRL)	287
11.4.5 DMA/中断使能寄存器 (TIMx_DINTEN)	289
11.4.6 状态寄存器 (TIMx_STS)	290
11.4.7 事件产生寄存器 (TIMx_EVTGEN)	292
11.4.8 捕获/比较模式寄存器 1 (TIMx_CCMOD1)	293
11.4.9 捕获/比较模式寄存器 2 (TIMx_CCMOD2)	296
11.4.10 捕获/比较使能寄存器 (TIMx_CCEN)	297
11.4.11 计数器 (TIMx_CNT)	300
11.4.12 预分频器 (TIMx_PSC)	300
11.4.13 自动重装载寄存器 (TIMx_AR)	300
11.4.14 重复计数寄存器 (TIMx_REPCNT)	301
11.4.15 捕获/比较寄存器 1 (TIMx_CCDAT1)	301
11.4.16 捕获/比较寄存器 2 (TIMx_CCDAT2)	301
11.4.17 捕获/比较寄存器 3 (TIMx_CCDAT3)	302
11.4.18 捕获/比较寄存器 4 (TIMx_CCDAT4)	302
11.4.19 刹车和死区寄存器 (TIMx_BKDT)	303
11.4.20 DMA 控制寄存器 (TIMx_DCTRL)	304
11.4.21 连续模式的 DMA 地址 (TIMx_DADDR)	305
11.4.22 捕获/比较寄存器 (TIMx_CCMOD3)	305
11.4.23 捕获/比较寄存器 5 (TIMx_CCDAT5)	306
11.4.24 捕获/比较寄存器 6 (TIMx_CCDAT6)	306
12 通用定时器 (TIM2、TIM3、TIM4 和 TIM5)	308
12.1 TIM2、TIM3、TIM4 和 TIM5 简介	308
12.2 TIM2、TIM3、TIM4 和 TIM5 主要特性	308
12.3 TIM2、TIM3、TIM4 和 TIM5 功能描述	309
12.3.1 时基单元	309
12.3.2 计数器模式	310
12.3.3 时钟选择	315
12.3.4 捕获/比较通道	319
12.3.5 输入捕获模式	322
12.3.6 PWM 输入模式	323

12.3.7 强制输出模式.....	324
12.3.8 输出比较模式.....	324
12.3.9 PWM 模式.....	325
12.3.10 单脉冲模式.....	327
12.3.11 在外部事件上清除 OCxREF 信号.....	329
12.3.12 调试模式.....	329
12.3.13 TIMx 定时器和外部触发的同步.....	329
12.3.14 定时器同步.....	330
12.3.15 编码器接口模式.....	334
12.3.16 与霍尔传感器的接口.....	336
12.4 TIMx 寄存器 (x=2,3,4 和 5)	336
12.4.1 寄存器总览.....	336
12.4.2 控制寄存器 1 (TIMx_CTRL1)	338
12.4.3 控制寄存器 2 (TIMx_CTRL2)	340
12.4.4 从模式控制寄存器 (TIMx_SMCTRL)	341
12.4.5 DMA/中断使能寄存器 (TIMx_DINTEN)	343
12.4.6 状态寄存器 (TIMx_STS)	344
12.4.7 事件产生寄存器 (TIMx_EVTGEN)	345
12.4.8 捕获/比较模式寄存器 1 (TIMx_CCMOD1)	346
12.4.9 捕获/比较模式寄存器 2 (TIMx_CCMOD2)	349
12.4.10 捕获/比较使能寄存器 (TIMx_CCEN)	350
12.4.11 计数器 (TIMx_CNT)	351
12.4.12 预分频器 (TIMx_PSC)	351
12.4.13 自动重装载寄存器 (TIMx_AR)	352
12.4.14 捕获/比较寄存器 1 (TIMx_CCDAT1)	352
12.4.15 捕获/比较寄存器 2 (TIMx_CCDAT2)	352
12.4.16 捕获/比较寄存器 3 (TIMx_CCDAT3)	353
12.4.17 捕获/比较寄存器 4 (TIMx_CCDAT4)	353
12.4.18 DMA 控制寄存器 (TIMx_DCTRL)	353
12.4.19 连续模式的 DMA 地址 (TIMx_DADDR)	354
13 基本定时器 (TIM6 和 TIM7)	356
13.1 简介	356
13.2 主要特性	356
13.3 功能描述	356
13.3.1 时基单元.....	356
13.3.2 计数模式.....	357
13.3.3 时钟选择.....	360
13.3.4 调试模式.....	360
13.4 TIMx 寄存器 (x=6/7)	360
13.4.1 寄存器总览.....	360
13.4.2 控制寄存器 1 (TIMx_CTRL1).....	361
13.4.3 控制寄存器 2 (TIMx_CTRL2).....	362
13.4.4 DMA/中断使能寄存器 (TIMx_DINTEN).....	363
13.4.5 状态寄存器 (TIMx_STS).....	363

13.4.6 事件产生寄存器 (TIMx_EVTGEN)	363
13.4.7 计数器 (TIMx_CNT)	364
13.4.8 预分频器 (TIMx_PSC)	364
13.4.9 自动重装载寄存器 (TIMx_AR)	364
14 实时时钟(RTC)	366
14.1 简介	366
14.1.1 主要特性	366
14.2 RTC 功能描述	367
14.2.1 RTC 框图	367
14.2.2 RTC 控制的 GPIO	368
14.2.3 RTC 寄存器写保护	368
14.2.4 RTC 时钟和预分频	368
14.2.5 RTC 日历	368
14.2.6 日历初始化和配置	369
14.2.7 日历读取	369
14.2.8 校准时钟输出	370
14.2.9 可编程闹钟	370
14.2.10 闹钟配置	370
14.2.11 闹钟输出	370
14.2.12 周期性自动唤醒	371
14.2.13 唤醒定时器配置	371
14.2.14 时间戳功能	371
14.2.15 夏时令功能配置	372
14.2.16 RTC 亚秒寄存器位移操作	372
14.2.17 RTC 数字时钟精密校准	372
14.2.18 RTC 低功耗模式	373
14.3 RTC 寄存器	374
14.3.1 RTC 寄存器总览	374
14.3.2 RTC 日历时间寄存器 (RTC_TSH)	375
14.3.3 RTC 日历日期寄存器 (RTC_DATE)	375
14.3.4 RTC 控制寄存器(RTC_CTRL)	376
14.3.5 RTC 初始状态寄存器 (RTC_INITSTS)	378
14.3.6 RTC 预分频寄存器(RTC_PRE)	380
14.3.7 RTC 唤醒定时器寄存器(RTC_WKUPT)	380
14.3.8 RTC 闹钟 A 寄存器(RTC_ALARMA)	381
14.3.9 RTC 闹钟 B 寄存器 (RTC_ALARM_B)	381
14.3.10 RTC 写保护寄存器(RTC_WRP)	382
14.3.11 RTC 亚秒寄存器(RTC_SUBS)	383
14.3.12 RTC 平移控制寄存器(RTC_SCTRL)	383
14.3.13 RTC 时间戳时间寄存器 (RTC_TST)	384
14.3.14 RTC 时间戳日期寄存器 (RTC_TSD)	384
14.3.15 RTC 时间戳亚秒寄存器(RTC_TS_SS)	385
14.3.16 RTC 校准寄存器(RTC_CALIB)	386
14.3.17 RTC 闹钟 A 亚秒寄存器(RTC_ALR_MASS)	386

14.3.18 RTC 闹钟B 亚秒寄存器 (RTC_ALRMBSS)	387
14.3.19 RTC 选项寄存器 (RTC_OPT)	388
15 CRC 计算单元	389
15.1 简介	389
15.2 主要特性	389
15.2.1 CRC32.....	389
15.2.2 CRC16.....	389
15.3 功能描述	390
15.3.1 CRC32.....	390
15.3.2 CRC16.....	390
15.4 CRC 寄存器	391
15.4.1 CRC 寄存器总览.....	391
15.4.2 CRC32 数据寄存器 (CRC_CRC32DAT)	391
15.4.3 CRC32 独立数据寄存器 (CRC_CRC32IDAT)	391
15.4.4 CRC32 控制寄存器 (CRC_CRC32CTRL)	392
15.4.5 CRC16 控制寄存器 (CRC_CRC16CTRL)	392
15.4.6 CRC16 待校验数据寄存器 (CRC_CRC16DAT)	393
15.4.7 CRC 循环冗余校验码寄存器 (CRC_CRC16D)	393
15.4.8 LRC 校验值寄存器 (CRC_LRC)	394
16 独立看门狗 (IWDG)	395
16.1 简介	395
16.2 主要特征	395
16.3 功能描述	396
16.3.1 寄存器访问保护.....	396
16.3.2 调试模式.....	396
16.4 用户界面	397
16.4.1 操作流程.....	397
16.4.2 IWDG 配置流程.....	398
16.5 IWDG 寄存器	398
16.5.1 IWDG 寄存器总览.....	398
16.5.2 IWDG 密钥寄存器 (IWDG_KEY)	398
16.5.3 IWDG 预分频寄存器 (IWDG_PREDIV)	399
16.5.4 IWDG 重装载寄存器 (IWDG_RELV)	399
16.5.5 IWDG 状态寄存器 (IWDG_STS)	400
17 窗口看门狗 (WWDG)	401
17.1 简介	401
17.2 主要特征	401
17.3 功能描述	401
17.4 刷新看门狗和中断产生的时序	402
17.5 调试模式	403
17.6 用户界面	403
17.6.1 WWDG 配置流程.....	403

17.7 WWDG 寄存器	403
17.7.1 WWDG 寄存器总览.....	403
17.7.2 WWDG 控制寄存器 (WWDG_CTRL)	404
17.7.3 WWDG 配置寄存器 (WWDG_CFG)	404
17.7.4 WWDG 状态寄存器 (WWDG_STS)	405
18 SDIO 接口 (SDIO)	406
18.1 SDIO 主要功能	406
18.2 SDIO 总线拓扑	406
18.3 SDIO 功能描述	408
18.3.1 SDIO 适配器.....	409
18.3.2 SDIO AHB 接口.....	417
18.4 卡功能描述	418
18.4.1 工作电压范围确认.....	418
18.4.2 卡复位.....	419
18.4.3 卡识别模式.....	419
18.4.4 卡识别过程.....	419
18.4.5 写数据块.....	420
18.4.6 读数据块.....	420
18.4.7 数据流操作 (只适用于多媒体卡)	421
18.4.8 擦除.....	422
18.4.9 宽总线选择和解除选择.....	423
18.4.10 保护管理.....	423
18.4.11 卡状态寄存器.....	426
18.4.12 SD 的 I/O 模式.....	432
18.5 命令与响应	433
18.5.1 应用相关命令和通用命令	433
18.5.2 多媒体卡/SD 卡模块的命令	433
18.5.3 命令类型.....	435
18.5.4 命令格式.....	435
18.5.5 响应格式.....	436
18.6 硬件流控制	439
18.7 SDIO 寄存器	439
18.7.1 SDIO 寄存器总览.....	439
18.7.2 SDIO 电源控制寄存器 (SDIO_PWRCTRL)	440
18.7.3 SDIO 时钟控制寄存器 (SDIO_CLKCTRL)	441
18.7.4 SDIO 参数寄存器 (SDIO_CMDARG)	442
18.7.5 SDIO 命令寄存器 (SDIO_CMDCTRL)	442
18.7.6 SDIO 命令响应寄存器 (SDIO_CMDRESP)	443
18.7.7 SDIO 响应 1..4 寄存器 (SDIO_RESPONSEx)	444
18.7.8 SDIO 数据定时器寄存器 (SDIO_DTIMER)	444
18.7.9 SDIO 数据长度寄存器 (SDIO_DATLEN)	445
18.7.10 SDIO 数据控制寄存器 (SDIO_DATCTRL)	445
18.7.11 SDIO 数据计数器寄存器 (SDIO_DATCOUNT)	447
18.7.12 SDIO 状态寄存器 (SDIO_STS)	447

18.7.13 SDIO 清除中断寄存器 (SDIO_INTCLR)	448
18.7.14 SDIO 中断使能寄存器 (SDIO_INTEN)	449
18.7.15 SDIO FIFO 计数器寄存器 (SDIO_FIFOCOUNT)	452
18.7.16 SDIO 数据 FIFO 寄存器 (SDIO_DATFIFO)	452
19 通用串行总线全速设备接口 (USB_FS_DEVICE)	454
19.1 简介	454
19.2 主要特征	454
19.3 时钟配置	455
19.4 功能描述	455
19.4.1 访问 Packet Buffer Memory	455
19.4.2 缓冲区描述表	456
19.4.3 双缓冲端点	457
19.4.4 USB 传输	459
19.4.5 USB 事件和中断	463
19.4.6 端点初始化	465
19.5 USB 寄存器	465
19.5.1 USB 寄存器总览	465
19.5.2 USB 端点 n 寄存器 (USB_EPn), n=[0..7]	466
19.5.3 USB 控制寄存器 (USB_CTRL)	468
19.5.4 USB 中断状态寄存器 (USB_STS)	470
19.5.5 USB 帧编号寄存器 (USB_FN)	472
19.5.6 USB 设备地址寄存器 (USB_ADDR)	472
19.5.7 USB 分组缓冲区描述表地址寄存器 (USB_BUFTAB)	473
19.6 缓冲区描述表	473
19.6.1 发送缓冲区地址寄存器 n (USB_ADDRn_TX)	473
19.6.2 发送数据字节数寄存器 n (USB_CNTn_TX)	474
19.6.3 接收缓冲区地址寄存器 n (USB_ADDRn_RX)	474
19.6.4 接收数据字节数寄存器 n (USB_CNTn_RX)	474
20 控制器局域网(CAN)	476
20.1 CAN 简介	476
20.2 CAN 的主要特性	476
20.3 CAN 整体介绍	476
20.3.1 CAN 模块	477
20.3.2 CAN 工作模式	477
20.3.3 发送邮箱	479
20.3.4 接收过滤器	479
20.3.5 接收 FIFO	479
20.3.6 CAN 测试模式	481
20.3.7 CAN 调试模式	483
20.4 CAN 功能描述	483
20.4.1 发送处理	483
20.4.2 时间触发通信模式	484
20.4.3 非自动重传模式	484

20.4.4 接收管理.....	484
20.4.5 标识符过滤.....	485
20.4.6 消息存储.....	489
20.4.7 位时序.....	490
20.5 CAN 中断	493
20.5.1 错误管理.....	494
20.5.2 总线关闭恢复.....	494
20.6 CAN 配置流程	494
20.7 CAN 寄存器	495
20.7.1 寄存器描述.....	496
20.7.2 CAN 寄存器总览.....	496
20.7.3 CAN 控制和状态寄存器.....	499
20.7.4 CAN 邮箱寄存器.....	509
20.7.5 CAN 过滤器寄存器.....	514
21 串行外设接口/内置音频总线（SPI/I2S）	517
21.1 SPI/I2S 简介	517
21.2 SPI 和 I ² S 主要特性	517
21.2.1 SPI 主要特性.....	517
21.2.2 I ² S 主要特性.....	517
21.3 SPI 功能描述	518
21.3.1 通用描述.....	518
21.3.2 SPI 工作模式.....	521
21.3.3 状态标志.....	527
21.3.4 关闭SPI.....	527
21.3.5 使用 DMA 进行 SPI 通讯.....	528
21.3.6 CRC 计算.....	529
21.3.7 错误标志位.....	530
21.3.8 SPI 中断.....	531
21.4 I ² S 功能描述	532
21.4.1 支持的音频协议.....	533
21.4.2 时钟发生器.....	539
21.4.3 I ² S 发送和接收流程.....	540
21.4.4 状态标识.....	542
21.4.5 错误标志位.....	543
21.4.6 I ² S 中断.....	543
21.4.7 DMA 功能.....	543
21.5 SPI 和 I ² S 寄存器	544
21.5.1 SPI 寄存器总览	544
21.5.2 SPI 控制寄存器 1 (SPI_CTRL1) (不能用于 I2S 模式)	544
21.5.3 SPI 控制寄存器 2 (SPI_CTRL2)	546
21.5.4 SPI 状态寄存器 (SPI_STS)	547
21.5.5 SPI 数据寄存器 (SPI_DAT)	548
21.5.6 SPI CRC 多项式寄存器 (SPI_CRCPOLY) (不能用于 I2S 模式)	549
21.5.7 SPI 接收 CRC 寄存器 (SPI_CRCRDAT) (不能用于 I ² S 模式)	549

21.5.8 SPI 发送 CRC 寄存器 (SPI_CRCTDAT)	549
21.5.9 SPI_I ² S 配置寄存器 (SPI_I2SCFG)	550
21.5.10 SPI_I ² S 预分频寄存器 (SPI_I2SPREDIV)	551
22 I²C 接口	553
22.1 简介	553
22.2 主要特性	553
22.3 功能描述	553
22.3.1 SDA/SCL 控制	553
22.3.2 软件通讯流程	554
22.3.3 错误条件	563
22.3.4 DMA 应用	564
22.3.5 包错误校验 (PEC)	565
22.3.6 SMBus	566
22.4 调试模式	568
22.5 中断请求	568
22.6 I ² C 寄存器	569
22.6.1 I ² C 寄存器总览	569
22.6.2 I ² C 控制寄存器 1 (I2C_CTRL1)	569
22.6.3 I ² C 控制寄存器 2 (I2C_CTRL2)	571
22.6.4 I ² C 自身地址寄存器 1 (I2C_OADDR1)	573
22.6.5 I ² C 自身地址寄存器 2 (I2C_OADDR2)	573
22.6.6 I ² C 数据寄存器 (I2C_DAT)	573
22.6.7 I ² C 状态寄存器 1 (I2C_STS1)	574
22.6.8 I ² C 状态寄存器 2 (I2C_STS2)	577
22.6.9 I ² C 时钟控制寄存器 (I2C_CLKCTRL)	578
22.6.10 I ² C 上升时间寄存器 (I2C_TMRISE)	579
23 通用同步异步收发器(USART)	580
23.1 简介	580
23.2 主要特性	580
23.3 功能框图	581
23.4 功能描述	581
23.4.1 USART 帧格式	582
23.4.2 发送器	583
23.4.3 接收器	585
23.4.4 分数波特率计算	588
23.4.5 USART 接收器容忍时钟的变化	589
23.4.6 校验控制	590
23.4.7 DMA 通信	590
23.4.8 硬件流控	592
23.4.9 多处理器通信	593
23.4.10 同步模式	595
23.4.11 单线半双工模式	597
23.4.12 串行 IrDA 红外编解码模式	598

23.4.13 LIN 模式.....	599
23.4.14 智能卡模式 (ISO7816)	601
23.5 中断请求	603
23.6 模式配置	603
23.7 USART 寄存器.....	604
23.7.1 USART 寄存器总览	604
23.7.2 USART 状态寄存器 (USART_STS).....	604
23.7.3 USART 数据寄存器(USART_DAT)	606
23.7.4 USART 波特率配置寄存器 (USART_BRCF)	607
23.7.5 USART 控制寄存器 1(USART_CTRL1)	607
23.7.6 USART 控制寄存器 2(USART_CTRL2)	609
23.7.7 USART 控制寄存器 3(USART_CTRL3)	610
23.7.8 USART 保护时间和预分频寄存器(USART_GTP)	612
24 四线串行外设接口 (QSPI)	613
24.1 QSPI 简介	613
24.2 QSPI 主要特性.....	613
24.3 功能描述	614
24.4 QSPI 命令序列	614
24.5 操作流程	615
24.5.1 QSPI 间接模式.....	615
24.5.2 QSPI 间接发送操作.....	615
24.5.3 QSPI 间接接收操作.....	617
24.6 QSPI 寄存器.....	620
24.6.1 QSPI 寄存器总览.....	620
24.6.2 QSPI 控制寄存器 0 (QSPI_CTRL0)	622
24.6.3 QSPI 控制寄存器 1 (QSPI_CTRL1)	624
24.6.4 QSPI 使能寄存器 (QSPI_EN)	624
24.6.5 QSPI MW 控制寄存器 (QSPI_MW_CTRL)	624
24.6.6 QSPI 从设备使能寄存器 (QSPI_SLAVE_EN)	625
24.6.7 QSPI 波特率选择寄存器 (QSPI_BAUD)	625
24.6.8 QSPI 发送缓存阈值寄存器 (QSPI_TXFT)	626
24.6.9 QSPI 接收缓存阈值寄存器 (QSPI_RXFT)	626
24.6.10 QSPI 发送缓存数据量寄存器 (QSPI_TXFN)	627
24.6.11 QSPI 接收缓存数据量寄存器 (QSPI_RXFN)	627
24.6.12 QSPI 状态寄存器 (QSPI_STS)	627
24.6.13 QSPI 中断屏蔽寄存器 (QSPI_IMASK)	628
24.6.14 QSPI 中断状态寄存器 (QSPIISTS)	629
24.6.15 QSPI 原始中断状态寄存器 (QSPI_RISTS)	630
24.6.16 QSPI 发送缓存上溢中断清除寄存器 (QSPI_TXFOI_CLR)	631
24.6.17 QSPI 接收缓存上溢中断清除寄存器 (QSPI_RXFOI_CLR)	631
24.6.18 QSPI 接收缓存下溢中断清除寄存器 (QSPI_RXFUI_CLR)	631
24.6.19 QSPI 多主冲突中断清除寄存器 (QSPI_MMCI_CLR)	632
24.6.20 QSPI 中断清除寄存器 (QSPI_ICLR)	632
24.6.21 QSPI DMA 控制寄存器 (QSPI_DMA_CTRL)	633

24.6.22 QSPI DMA 发送水位控制寄存器 (QSPI_DMATDL_CTRL)	633
24.6.23 QSPI DMA 接收水位控制寄存器 (QSPI_DMARDL_CTRL)	633
24.6.24 QSPI 数据寄存器 (QSPI_DATx)	634
24.6.25 QSPI 接收采样延迟寄存器 (QSPI_RS_DELAY)	634
24.6.26 QSPI 增强型 SPI 模式控制寄存器 (QSPI_ENH_CTRL0)	635
24.6.27 QSPI 发送驱动边沿寄存器 (QSPI_DDR_TXDE)	636
24.6.28 QSPI XIP MODE BITS 寄存器 (QSPI_XIP_MODE)	636
24.6.29 QSPI XIP INCR 传输操作码寄存器 (QSPI_XIP_INCR_TOC)	637
24.6.30 QSPI XIP WRAP 传输操作码寄存器 (QSPI_XIP_WRAP_TOC)	637
24.6.31 QSPI XIP 控制寄存器 (QSPI_XIP_CTRL)	637
24.6.32 QSPI XIP 从设备使能寄存器 (QSPI_XIP_SLAVE_EN)	639
24.6.33 QSPI XIP 接收缓存上溢中断清除寄存器 (QSPI_XIP_RXFOI_CLR)	639
24.6.34 QSPI XIP 连续传输超时寄存器 (QSPI_XIP_TOUT)	640
25 以太网 (ETH)	641
25.1 简介	641
25.2 主要特性	641
25.3 功能框图	642
25.4 功能描述	643
25.4.1 IEEE 802.3 以太网帧格式	643
25.4.2 管脚配置 (复用) 方式	644
25.4.3 SMI 接口	645
25.4.4 MII 接口	646
25.4.5 RMII 接口	648
25.4.6 MAC 功能描述	649
25.4.7 电源管理 (PMT)	656
25.4.8 以太网 DMA 功能描述	658
25.4.9 精密时间协议 (PTP)	672
25.4.10 典型的以太网配置流程示例	674
25.4.11 以太网中断	675
25.5 ETH 寄存器	676
25.5.1 ETH 寄存器总览	676
25.5.2 ETH MAC 配置寄存器 (ETH_MACCFG)	679
25.5.3 ETH MAC 帧过滤器寄存器 (ETH_MACFFLT)	681
25.5.4 ETH MAC HASH 列表高寄存器 (ETH_MACHASHHI)	683
25.5.5 ETH MAC HASH 列表低寄存器 (ETH_MACHASHLO)	683
25.5.6 ETH MAC MII 地址寄存器 (ETH_MACMIIADDR)	683
25.5.7 ETH MAC MII 数据寄存器 (ETH_MACMIIDAT)	684
25.5.8 ETH MAC 流控寄存器 (ETH_MACFLWCTRL)	685
25.5.9 ETH MAC VLAN 标签寄存器 (ETH_MACVLANTAG)	686
25.5.10 ETH MAC 远程唤醒帧过滤器寄存器 (ETH_MACRMTWUFRMFLT)	687
25.5.11 ETH MAC PMT 控制和状态寄存器 (ETH_MACPMTCTRLSTS)	687
25.5.12 ETH MAC 中断状态寄存器 (ETH_MACINTSTS)	688
25.5.13 ETH MAC 中断屏蔽寄存器 (ETH_MACINTMSK)	689
25.5.14 ETH MAC 地址 0 高寄存器 (ETH_MACADDR0HI)	689

25.5.15 ETH MAC 地址 0 低寄存器 (ETH_MACADDR0LO)	690
25.5.16 ETH MAC 地址 1 高寄存器 (ETH_MACADDR1HI)	690
25.5.17 ETH MAC 地址 1 低寄存器 (ETH_MACADDR1LO)	691
25.5.18 ETH MAC 地址 2 高寄存器 (ETH_MACADDR2HI)	691
25.5.19 ETH MAC 地址 2 低寄存器 (ETH_MACADDR2LO)	692
25.5.20 ETH MAC 地址 3 高寄存器 (ETH_MACADDR3HI)	692
25.5.21 ETH MAC 地址 3 低寄存器 (ETH_MACADDR3LO)	693
25.5.22 ETH MMC 控制寄存器 (ETH_MMCTRL)	693
25.5.23 ETH MMC 接收中断状态寄存器 (ETH_MMCRXINT)	694
25.5.24 ETH MMC 发送中断状态寄存器 (ETH_MMCTXINT)	695
25.5.25 ETH MMC 接收中断屏蔽寄存器 (ETH_MMCRXINTMSK)	695
25.5.26 ETH MMC 发送中断屏蔽寄存器 (ETH_MMCTXINTMSK)	696
25.5.27 ETH MMC 1 次冲突后发送的“好”帧计数器寄存器 (ETH_MMCTXGFASCCNT)	697
25.5.28 ETH MMC 1 次以上冲突后发送的“好”帧计数器寄存器 (ETH_MMCTXGFAMSCCNT)	697
25.5.29 ETH MMC 发送的“好”帧计数器寄存器 (ETH_MMCTXGFCNT)	697
25.5.30 ETH MMC CRC 错误接收帧计数器寄存器 (ETH_MMCRXFECNT)	698
25.5.31 ETH MMC 对齐错误接收帧计数器寄存器 (ETH_MMCRXFAECNT)	698
25.5.32 ETH MMC 接收“好”单播帧计数器寄存器 (ETH_MMCRXGUFCNT)	699
25.5.33 ETH PTP 时间戳控制寄存器 (ETH_PTPTSCTRL)	699
25.5.34 ETH PTP 亚秒递增寄存器 (ETH_PTSSINC)	700
25.5.35 ETH PTP 时间戳高寄存器 (ETH_PTPSEC)	700
25.5.36 ETH PTP 时间戳低寄存器 (ETH_PTPNS)	701
25.5.37 ETH PTP 时间戳高更新寄存器 (ETH_PTPSECUP)	701
25.5.38 ETH PTP 时间戳低更新寄存器 (ETH_PTPNSUP)	702
25.5.39 ETH PTP 时间戳加数寄存器 (ETH_PTPTSADD)	702
25.5.40 ETH PTP 目标时间高寄存器 (ETH_PTPTTSEC)	703
25.5.41 ETH PTP 目标时间低寄存器 (ETH_PTPTTNS)	703
25.5.42 ETH DMA 总线模式寄存器 (ETH_DMABUSMOD)	703
25.5.43 ETH DMA 发送查询请求寄存器 (ETH_DMATXPD)	705
25.5.44 ETH DMA 接收查询请求寄存器 (ETH_DMARXPD)	706
25.5.45 ETH DMA 接收描述符列表地址寄存器 (ETH_DMARXDLADDR)	706
25.5.46 ETH DMA 发送描述符列表地址寄存器 (ETH_DMATXDLADDR)	706
25.5.47 ETH DMA 状态寄存器 (ETH_DMASTS)	707
25.5.48 ETH DMA 工作模式寄存器 (ETH_DMAOPMOD)	710
25.5.49 ETH DMA 中断使能寄存器 (ETH_DMAINTEN)	713
25.5.50 ETH DMA 丢失帧和缓存区上溢计数器寄存器 (ETH_DMAMFBOCNT)	714
25.5.51 ETH DMA 当前发送描述符地址寄存器 (ETH_DMACHTXDESC)	715
25.5.52 ETH DMA 当前接收描述符地址寄存器 (ETH_DMACHRXDESC)	715
25.5.53 ETH DMA 当前发送缓存区地址寄存器 (ETH_DMACHTXBADDR)	716
25.5.54 ETH DMA 当前接收缓存区地址寄存器 (ETH_DMACHRXBADDR)	716
26 比较器 (COMP)	717
26.1 COMP 系统连接框图	717
26.2 COMP 特性	720
26.3 COMP 配置流程	720

26.4 COMP 工作模式	721
26.4.1 窗口模式.....	721
26.4.2 独立比较器.....	721
26.5 比较器互联关系.....	721
26.6 中断	722
26.7 COMP 寄存器	723
26.7.1 COMP 寄存器总览.....	723
26.7.2 COMP 控制状态寄存器 (COMPx_CTRL)	725
26.7.3 COMP 窗口比较寄存器 (COMP_WINMODE)	726
26.7.4 COMP 锁寄存器 (COMP_LOCK)	726
26.7.5 COMP 中断使能寄存器 (COMP_INTEN)	727
26.7.6 COMP 中断状态寄存器 (COMP_INTSTS)	727
26.7.7 COMP 滤波寄存器 (COMPx_FILC)	728
26.7.8 COMP 滤波分频寄存器 (COMPx_FILP)	728
26.7.9 COMP 电压参考寄存器 (COMP_VREFSCL)	729
27 运算放大器 (OPAMP)	730
27.1 OPAMP 特性	730
27.1.1 OPAMP 功能描述.....	730
27.1.2 OPAMP 与 COMP 的内部的连接.....	732
27.2 OPAMP 工作模式	735
27.2.1 OPAMP 独立运算放大器模式.....	735
27.2.2 OPAMP 跟随模式.....	735
27.2.3 OPAMP 内部可编程增益 (PGA) 模式.....	736
27.2.4 OPAMP 带滤波内部增益模式.....	737
27.2.5 OPAMP 校正.....	738
27.2.6 OPAMP 独立写保护.....	738
27.2.7 OPAMP TIMER 控制切换模式.....	738
27.3 OPAMP 寄存器	738
27.3.1 OPAMP 寄存器总览.....	738
27.3.2 OPAMP 控制状态寄存器 (OPAMPx_CS)	739
27.3.3 OPAMP 锁寄存器 (OPAMP_LOCK)	740
28 DVP 接口 (DVP)	742
28.1 简介	742
28.2 硬件接口	742
28.2.1 引脚复用方式.....	742
28.2.2 接口时序.....	743
28.3 操作说明	743
28.3.1 常规操作流程.....	743
28.3.2 DMA 应用.....	743
28.3.3 图片尺寸.....	744
28.3.4 采图区域.....	744
28.3.5 图像缩放.....	744
28.3.6 软复位.....	744

28.3.7 中断.....	744
28.3.8 读取 FIFO 数据.....	745
28.3.9 注意事项.....	745
28.4 DVP 寄存器.....	745
28.4.1 DVP 寄存器总览.....	745
28.4.2 DVP 控制寄存器 (DVP_CTRL)	746
28.4.3 DVP 状态寄存器 (DVP_STS)	747
28.4.4 DVP 中断状态寄存器 (DVP_INTSTS)	748
28.4.5 DVP 中断使能寄存器 (DVP_INTEN)	749
28.4.6 DVP 中断触发状态寄存器 (DVP_MINTSTS)	750
28.4.7 DVP 图片开始寄存器 (DVP_WST)	751
28.4.8 DVP 图片尺寸寄存器 (DVP_WSIZE)	752
28.4.9 DVP FIFO 寄存器 (DVP_FIFO)	752
29 调试支持 (DBG)	754
29.1 简介	754
29.2 JTAG/SWD 功能	755
29.2.1 切换 JTAG/SWD 接口.....	755
29.2.2 引脚分配.....	755
29.3 MCU 调试功能	756
29.3.1 低功耗模式支持.....	756
29.3.2 外设调试支持.....	756
29.4 寄存器	756
29.4.1 DBG 寄存器总览.....	756
29.4.2 ID 寄存器 (DBG_ID)	757
29.4.3 调试控制寄存器 (DBG_CTRL)	758
30 唯一设备序列号 (UID)	760
30.1 简介	760
30.2 UID 寄存器	760
30.3 UCID 寄存器	760
31 版本历史	761
32 声明.....	762

表目录

表 2-1 向量表.....	36
表 2-2 EXTI 寄存器总览.....	43
表 3-1 启动模式列表.....	51
表 3-2 存储总线地址列表.....	51
表 3-3 选项字节列表.....	55
表 3-4 读保护配置列表.....	56
表 3-5 存储区读写擦 ⁽¹⁾ 权限控制表.....	57
表 3-6 SRAM 容量配置表.....	62
表 3-7 FLASH 寄存器总览.....	63
表 4-1 功耗模式.....	75
表 4-2 模块运行状态 ⁽¹⁾	77
表 4-3 PWR 寄存器总览.....	83
表 5-1 BKP 寄存器总览.....	88
表 6-1 RCC 寄存器总览.....	100
表 7-1 IO 模式和配置关系.....	127
表 7-2 IO 不同配置的输入输出特性.....	128
表 7-3 调试端口映像.....	134
表 7-4 ADC1 外部触发注入转换复用功能重映射.....	135
表 7-5 ADC1 外部触发规则转换复用功能重映射.....	135
表 7-6 ADC2 外部触发注入转换复用功能重映射.....	136
表 7-7 ADC2 外部触发规则转换复用功能重映射.....	136
表 7-8 ADC3 外部触发注入转换复用功能重映射.....	136
表 7-9 ADC3 外部触发规则转换复用功能重映射.....	136
表 7-10 ADC4 外部触发注入转换复用功能重映射.....	136
表 7-11 ADC4 外部触发规则转换复用功能重映射.....	136
表 7-12 TIM5 复用功能重映射.....	136
表 7-13 TIM4 复用功能重映射.....	136
表 7-14 TIM3 复用功能重映射.....	137
表 7-15 TIM2 复用功能重映射.....	137
表 7-16 TIM1 复用功能重映射.....	137

表 7-17 TIM8 复用功能重映射	137
表 7-18 CAN1 复用功能重映射	138
表 7-19 CAN2 复用功能重映射	138
表 7-20 DVP 复用功能重映射	138
表 7-21 USART1 复用功能重映射	138
表 7-22 USART2 复用功能重映射	139
表 7-23 USART3 复用功能重映射	139
表 7-24 UART4 复用功能重映射	139
表 7-25 UART5 复用功能重映射	139
表 7-26 UART6 复用功能重映射	139
表 7-27 UART7 复用功能重映射	140
表 7-28 I2C1 管脚重映射	140
表 7-29 I2C2 管脚重映射	140
表 7-30 I2C3 管脚重映射	140
表 7-31 I2C4 管脚重映射	140
表 7-32 SPI1 管脚重映射	141
表 7-33 SPI2/I2S2 管脚重映射	141
表 7-34 SPI3/I2S3 管脚重映射	141
表 7-35 SDIO 管脚重映射	141
表 7-36 QSPI 管脚重映射	142
表 7-37 ETH 管脚重映射	142
表 7-38 ADC/DAC	143
表 7-39 TIM1/TIM8	143
表 7-40 TIM2/3/4/5	143
表 7-41 BxCAN	143
表 7-42 DVP	143
表 7-43 USART	144
表 7-44 I2C	144
表 7-45 SPI	144
表 7-46 I2S	144
表 7-47 SDIO	145
表 7-48 QSPI	145

表 7-49 ETH	145
表 7-50 USB	146
表 7-51 其他	146
表 7-52 GPIO 寄存器总览	148
表 7-53 AFIO 寄存器总览	154
表 8-1 可编程的数据宽度和大小端操作(当 PINC = MINC = 1)	172
表 8-2 流量控制表	175
表 8-3 DMA 中断请求	175
表 8-4 各个通道的 DMA1 请求映射表	176
表 8-5 各个通道的 DMA2 请求映射表	178
表 8-6 DMA 寄存器总览	179
表 9-1 ADC 引脚	190
表 9-2 模拟看门狗开启的通道	196
表 9-3 数据右对齐	199
表 9-4 数据左对齐	199
表 9-5 ADC1 和 ADC2 的规则通道的外部触发	200
表 9-6 ADC3 和 ADC4 的规则通道的外部触发	200
表 9-7 ADC1 和 ADC2 的注入通道的外部触发	201
表 9-8 ADC3 和 ADC4 用于注入通道的外部触发	201
表 9-9 ADC 中断	210
表 9-10 ADC 寄存器映像和复位值	210
表 10-1 DAC 引脚	227
表 10-2 DAC 外部触发	229
表 10-3 DAC 寄存器总览	237
表 11-1 计数方向与编码器信号的关系	279
表 11-2 TIM1 和 TIM8 寄存器总览	282
表 11-3 TIMx 内部触发连接	288
表 11-4 带刹车功能的互补输出通道 OC _x 和 OC _{xN} 的控制位	299
表 12-1 计数方向与编码器信号的关系	335
表 12-2 TIM2、TIM3、TIM4、TIM5 and TIM9 寄存器总览	336
表 12-3 TIMx 内部触发连接	342
表 12-4 标准 OC _x 的输出控制位	351

表 13-1 寄存器总览	360
表 14-1 RTC 功能支持	366
表 14-2 RTC 寄存器总览	374
表 15-1 CRC 寄存器总览	391
表 16-1 IWDG 计数最大和最小复位时间	397
表 16-2 IWDG 寄存器总览	398
表 17-1 WWDG 的最大和最小计数时间	403
表 17-2 WWDG 寄存器总览	403
表 18-1 MMC/SD/SD I/O 卡总线引脚定义	410
表 18-2 命令通道状态标志	413
表 18-3 数据令牌格式	416
表 18-4 发送 FIFO 状态标志	417
表 18-5 接收 FIFO 状态标志	417
表 18-6 上锁/解锁数据结构	424
表 18-7 卡状态	426
表 18-8 SD 状态	428
表 18-9 速度类型代码	430
表 18-10 移动性能代码	430
表 18-11 AU_SIZE 代码	430
表 18-12 最大的 AU 长度	431
表 18-13 ERASE_SIZE 代码	431
表 18-14 擦除超时代码	431
表 18-15 擦除偏移代码	432
表 18-16 基于块传输的写命令	433
表 18-17 基于块传输的写保护命令	434
表 18-18 擦除命令	434
表 18-19 I/O 模式命令	434
表 18-20 上锁命令	435
表 18-21 应用相关命令	435
表 18-22 命令格式	436
表 18-23 短响应格式	436
表 18-24 长响应格式	436

表 18-25 R1 响应	437
表 18-26 R2 响应	437
表 18-27 R3 响应	437
表 18-28 R4 响应	438
表 18-29 R4b 响应	438
表 18-30 R5 响应	438
表 18-31 R6 响应	439
表 18-32 SDIO 寄存器总览.....	439
表 18-33 响应类型和 SDIO_RESPONSEx 寄存器.....	444
表 19-1 DATTOG 和 SW_BUF 定义	458
表 19-2 双缓冲使用方法.....	458
表 19-3 同步双缓冲使用方法.....	463
表 19-4 唤醒事件检测.....	464
表 19-5 USB 寄存器总览	465
表 19-6 接收状态编码	468
表 19-7 发送状态编码	468
表 19-8 端点数据包接收缓冲区大小定义	475
表 20-1 过滤器编号示例.....	488
表 20-2 发送邮箱寄存器列表.....	489
表 20-3 接收邮箱寄存器列表.....	490
表 20-4 CAN 寄存器总览.....	496
表 21-1 SPI 中断请求	531
表 21-2 使用标准的 8MHz HSE 时钟得到精确的音频频率.....	540
表 21-3 I ² S 中断请求	543
表 21-4 SPI 寄存器总览	544
表 22-1 SMBus 与 I ² C 的比较	566
表 22-2 I ² C 中断请求.....	568
表 22-3 I ² C 寄存器总览	569
表 23-1 停止位配置	583
表 23-2 噪声检测的数据采样	587
表 23-3 设置波特率时的误差计算	589
表 23-4 当 DIV_Decimal =0 时， USART 接收器的容忍度	589

表 23-5 当 DIV_Decimal !=0 时, USART 接收器的容忍度	589
表 23-6 帧格式	590
表 23-7 USART 中断请求	603
表 23-8 USART 模式设置 ⁽¹⁾	603
表 23-9 USART 寄存器总览	604
表 24-1 QSPI 寄存器总览	620
表 25-1 ETH 模块管脚配置 (复用)	644
表 25-2 SMI 时钟配置范围	646
表 25-3 发送接口信号编码	647
表 25-4 接收接口信号编码	647
表 25-5 目的地址过滤器结果列表	653
表 25-6 源地址过滤器结果列表	654
表 25-7 远程唤醒帧过滤器寄存器总览	656
表 25-8 发送描述符总览	661
表 25-9 接收描述符总览	667
表 25-10 ETH 寄存器总览	676
表 26-1 COMP 寄存器总览	723
表 27-1 OPAMP 寄存器总览	738
表 28-1 DVP 引脚复用方式	742
表 28-2 DVP 寄存器总览	745
表 29-1 调试端口引脚	755
表 29-2 DBG 寄存器总览	757

图目录

图 2-1 外部中断/事件控制器框图	40
图 2-2 外部中断通用 I/O 映射	42
图 3-1 总线架构图	47
图 3-2 总线地址映射图	49
图 4-1 电源框图	73
图 4-2 上电复位和掉电复位的波形图	74
图 4-3 PVD 阈值波形图	75
图 6-1 复位电路	94
图 6-2 时钟树	96
图 6-3 HSE/LSE 时钟源	97
图 7-1 I/O 端口的基本结构	127
图 7-2 输入浮空/上拉/下拉配置	128
图 7-3 输出模式配置	129
图 7-4 复用功能配置	130
图 7-5 高阻抗的模拟模式配置	131
图 8-1 DMA 框图	171
图 8-2 DMA1 请求映像	176
图 8-3 DMA2 请求映像	178
图 9-1 ADC 框图	190
图 9-2 ADC 时钟	191
图 9-3 ADC1 和 ADC2 通道引脚连接	193
图 9-4 ADC3 和 ADC4 通道引脚连接	194
图 9-5 时序图	196
图 9-6 注入转换延时	198
图 9-7 校准时序图	199
图 9-8 双 ADC 框图	202
图 9-9 16 个通道的同步规则模式转换示意图	203
图 9-10 4 个通道的同步注入模式转换示意图	204
图 9-11 1 个通道的连续转换的快速交叉模式转换示意图	205
图 9-12 1 个通道的慢速交叉模式转换示意图	206

图 9-13 交替触发：注入通道组	206
图 9-14 交替触发：在间断模式下注入通道组	207
图 9-15 交替模式和规则同步模式组合	208
图 9-16 在注入转换期间发生注入触发	208
图 9-17 交叉的单通道转换被注入序列 CH3 和 CH4 中断	209
图 9-18 温度传感器和 V _{REFINT} 通道框图	209
图 10-1 DAC 结构框图	227
图 10-2 DAC 独立输出时的数据格式	228
图 10-3 DAC 同步输出时的数据格式	229
图 10-4 触发禁用时转换的时间框图	230
图 10-5 DAC LFSR 算法	231
图 10-6 带 LFSR 波形生成的 DAC 转换（使能软件触发）	232
图 10-7 DAC 三角波生成	232
图 10-8 带三角生成的 DAC 转换（使能软件触发）	233
图 11-1 TIMx(x=1/8) 框图	247
图 11-2 当预分频的参数从 1 到 4，计数器的时序图	248
图 11-3 当内部时钟分频因子 = 2/N 时，向上计数的时序图	249
图 11-4 当 ARPEN=0/1 产生更新事件时，向上计数的时序图	250
图 11-5 内部时钟分频因子 = 2/N 时，向下计数时序图	251
图 11-6 内部时钟分频因子 = 2/N，中央对齐时序图	252
图 11-7 包含计数器上溢和下溢的中央对齐时序图(ARPEN=1)	253
图 11-8 向下计数模式下的重复计数时序图	254
图 11-9 向上计数模式下的重复计数时序图	255
图 11-10 中央对齐模式下的重复计数时序图	255
图 11-11 正常模式下的控制电路，内部时钟除以 1	256
图 11-12 TI2 外部时钟连接示例	257
图 11-13 外部时钟模式 1 的控制电路	258
图 11-14 外部触发输入框图	258
图 11-15 外部时钟模式 2 的控制电路	259
图 11-16 捕获/比较通道（例如：通道 1 输入级）	260
图 11-17 捕获/比较通道 1 主电路	261
图 11-18 通道 x 的输出部分（x= 1,2,3；以通道 1 为例子）	262

图 11-19 通道 x 的输出部分 (x= 4)	262
图 11-20 PWM 输入模式时序.....	264
图 11-21 输出比较模式, 开启 OC1.....	265
图 11-22 中央对齐的 PWM 波形 (AR=8)	267
图 11-23 边沿对齐 PWM 波形 (AR=8)	268
图 11-24 单脉冲模式示例	269
图 11-25 清除 TIMx 的 OCxREF.....	270
图 11-26 带死区插入的互补输出	271
图 11-27 响应刹车的输出行为.....	273
图 11-28 复位模式下的控制电路	274
图 11-29 触发器模式下的控制电路	275
图 11-30 门控模式下的控制电路	276
图 11-31 外部时钟模式 2+触发模式下的控制电路	277
图 11-32 产生六步 PWM, 使用 COM 的例子 (OSSR=1)	278
图 11-33 编码器模式下的计数器操作实例	279
图 11-34 IC1FP1 反相的编码器接口模式实例	280
图 11-35 霍尔传感器接口的实例	281
图 12-1 TIMx (x=2,3,4 and 5) 框图.....	309
图 12-2 当预分频的参数从 1 到 4, 计数器的时序图	310
图 12-3 当内部时钟分频因子 = 2/N 时, 向上计数的时序图	311
图 12-4 当 ARPEN=0/1 产生更新事件时, 向上计数的时序图.....	312
图 12-5 内部时钟分频因子 = 2/N 时, 向下计数时序图	313
图 12-6 内部时钟分频因子 = 2/N, 中央对齐时序图	314
图 12-7 包含计数器上溢和下溢的中央对齐时序图(ARPEN=1)	315
图 12-8 正常模式下的控制电路, 内部时钟除以 1	316
图 12-9 TI2 外部时钟连接示例	317
图 12-10 外部时钟模式 1 的控制电路	318
图 12-11 外部触发输入框图	318
图 12-12 外部时钟模式 2 的控制电路	319
图 12-13 捕获/比较通道 (例如: 通道 1 输入级)	320
图 12-14 捕获/比较通道 1 主电路.....	321
图 12-15 通道 x 的输出部分 (以通道 4 为例子)	322

图 12-16 PWM 输入模式时序	323
图 12-17 输出比较模式, 开启 OC1.....	325
图 12-18 中央对齐的 PWM 波形 (AR=8).....	326
图 12-19 边沿对齐 PWM 波形 (AR=8).....	327
图 12-20 单脉冲模式示例	328
图 12-21 清除 TIMx 的 OCxREF.....	329
图 12-22 主/从定时器的例子	330
图 12-23 定时器 2 由定时器 1 的 OC1REF 门控.....	331
图 12-24 定时器 2 由定时器 1 的使能门控	332
图 12-25 使用定时器 1 的更新触发定时器 2	333
图 12-26 使用定时器 1 的 TI1 输入触发定时器 1 和定时器 2.....	334
图 12-27 编码器模式下的计数器操作实例	335
图 12-28 IC1FP1 反相的编码器接口模式实例	336
图 13-1 TIMx 的框图 (x = 6/7)	356
图 13-2 预分频器分频从 1 到 4 的计数器时序图	357
图 13-3 向上计数时序图, 内部时钟分频因子 = 2/N.....	358
图 13-4 ARPEN=0/1 时向上计数、更新事件的时序图.....	359
图 13-5 正常模式下的控制电路, 内部时钟分频系数为 1	360
图 14-1 RTC 功能框图	367
图 15-1 CRC 计算单元框图	390
图 16-1 独立看门功能框图	396
图 17-1 窗口看门狗功能框图	401
图 17-2 WWDG 的刷新窗口和中断时序.....	402
图 18-1 SDIO “无响应” 和 “无数据” 操作.....	407
图 18-2 SDIO (多) 数据块读操作.....	407
图 18-3 SDIO (多) 数据块写操作.....	407
图 18-4 SDIO 连续读操作.....	408
图 18-5 SDIO 连续写操作.....	408
图 18-6 SDIO 框图.....	408
图 18-7 SDIO 适配器.....	409
图 18-8 控制单元.....	410
图 18-9 SDIO 适配器命令单元.....	411

图 18-10 命令单元状态机 (CPSM)	412
图 18-11 SDIO 命令传输.....	413
图 18-12 数据通道.....	414
图 18-13 数据通道状态机 (DPSM)	415
图 19-1 USB 设备框图.....	454
图 19-2 USB 模块和微控制器上的用户应用程序访问 Packet Buffer Memory 方式.....	456
图 19-3 缓冲区描述表和端点数据包缓冲区的关系	457
图 19-4 双缓冲批量端点示例	459
图 19-5 控制传输	462
图 20-1 CAN 网络拓扑.....	477
图 20-2 CAN 工作模式.....	479
图 20-3 双 CAN 框图	480
图 20-4 回环模式.....	481
图 20-5 静默模式.....	482
图 20-6 回环静默模式.....	482
图 20-7 发送邮箱状态	484
图 20-8 接收邮箱状态	485
图 20-9 过滤器位宽设置-寄存器组织.....	487
图 20-10 过滤机制示例.....	489
图 20-11 位时序	491
图 20-12 各类帧格式.....	492
图 20-13 事件标志和中断产生	493
图 20-14 CAN 错误状态框图.....	494
图 21-1 SPI 框图	518
图 21-2 硬件/软件的从选择管理.....	519
图 21-3 单主和单从应用	519
图 21-4 数据时钟时序图	521
图 21-5 主机全双工模式下连续传输时, SPI_STS.TE/RNE/BUSY 的变化示意图	522
图 21-6 主机单向只发送模式下连续传输时, SPI_STS.TE/BUSY 变化示意图	523
图 21-7 只接收模式 (BIDIRMODE = 0 且 RONLY = 1) 下连续传输时, RNE 变化示意图	524
图 21-8 从机全双工模式下连续传输时, SPI_STS.TE/RNE/BUSY 的变化示意图	525
图 21-9 从机单向只发送模式下连续传输时, SPI_STS.TE/BUSY 变化示意图	525

图 21-10 BIDIRMODE = 0, RONLY = 0 非连续传输发送时, SPI_STS.TE/BUSY 变化示意图	527
图 21-11 使用 DMA 发送	529
图 21-12 使用 DMA 接收	529
图 21-13 I ² S 框图	532
图 21-14 I ² S 飞利浦协议波形 (16/32 位全精度, CLKPOL = 0)	534
图 21-15 I ² S 飞利浦协议标准波形 (24 位帧, CLKPOL = 0)	534
图 21-16 I ² S 飞利浦协议标准波形 (16 位扩展至 32 位包帧, CLKPOL = 0)	535
图 21-17 MSB 对齐 16 位或 32 位全精度, CLKPOL = 0	535
图 21-18 MSB 对齐 24 位数据, CLKPOL = 0	536
图 21-19 MSB 对齐 16 位数据扩展到 32 位包帧, CLKPOL = 0	536
图 21-20 LSB 对齐 16 位或 32 位全精度, CLKPOL = 0	537
图 21-21 LSB 对齐 24 位数据, CLKPOL = 0	537
图 21-22 LSB 对齐 16 位数据扩展到 32 位包帧, CLKPOL = 0	538
图 21-23 PCM 标准波形 (16 位)	538
图 21-24 PCM 标准波形 (16 位扩展到 32 位包帧)	539
图 21-25 I ² S 时钟发生器结构	539
图 21-26 音频采样频率定义	540
图 22-1 I ² C 功能框图	555
图 22-2 I ² C 总线协议	555
图 22-3 从发送器传送序列	558
图 22-4 从机接收器传送序列	559
图 22-5 主发送器传送序列	561
图 22-6 主接收器传送序列图	563
图 23-1 USART 框图	581
图 23-2 字长=8 设置	582
图 23-3 字长=9 设置	583
图 23-4 停止位配置	584
图 23-5 发送时 TXC/TXDE 的变化情况	585
图 23-6 起始位检测	586
图 23-7 DMA 发送	591
图 23-8 DMA 接收	592
图 23-9 两个 USART 间的硬件流控制	592

图 23-10 RTS 流控制.....	593
图 23-11 CTS 流控制.....	593
图 23-12 静默模式下的空闲总线检测	594
图 23-13 静默模式下的地址标识检测	595
图 23-14 USART 同步传输示例	596
图 23-15 USART 数据时钟时序示例 (WL=0)	596
图 23-16 USART 数据时钟时序示例 (WL=1)	597
图 23-17 RX 数据采样/保持时间	597
图 23-18 IrDA SIR ENDEC–框图	599
图 23-19 IrDA 数据调制 (3/16)-正常模式.....	599
图 23-20 LIN 模式下的断开检测 (11 位断开帧长度–设置了 LINBDL 位)	600
图 23-21 LIN 模式下的断开检测与帧错误的检测.....	601
图 23-22 ISO7816-3 异步协议	602
图 23-23 使用 1.5 停止位检测奇偶检验错误	602
图 24-1 QSPI 功能框图	614
图 24-2 QSPI 命令序列	615
图 25-1 以太网模块框图.....	643
图 25-2 MAC 帧格式与帧结构	644
图 25-3 SMI 接口信号线	645
图 25-4 MII 接口信号线.....	646
图 25-5 MII 时钟源.....	648
图 25-6 RMII 接口信号线	648
图 25-7 RMII 时钟源	649
图 25-8 描述符的两种结构	659
图 25-9 系统时间精密校准	673
图 26-1 比较器 1 和比较器 2 系统连接图	717
图 26-2 比较器 3 和比较器 4 系统连接图	718
图 26-3 比较器 5, 比较器 6, 比较器 7 系统连接图	719
图 27-1 OPAMP1 和 OPAMP2 连接图框图	731
图 27-2 OPAMP3 和 OPAMP4 连接图框图	732
图 27-3 模拟模块联动关系 1	733
图 27-4 模拟模块联动关系 2	734

图 27-5 OPAMP 独立运算放大器模式.....	735
图 27-6 OPAMP 跟随模式.....	736
图 27-7 内部可编程增益模式.....	737
图 27-8 带滤波内部增益模式.....	737
图 28-1 DVP 接口时序示例.....	743
图 29-1 N32G45x 级别和 Cortex TM -M4F 级别的调试框图	754

1 文中的缩写

1.1 寄存器位操作缩写列表

以下缩写用于寄存器描述：

read/write(rw)	支持软件读写该位
read-only(r)	支持软件只读该位
write-only(w)	支持软件只写该位，软件读返回复位值
read/clear(rc_w1)	支持软件读该位，写1清除该位，写0无效
read/clear(rc_w0)	支持软件读该位，写0清除该位，写1无效
read/clear by read(rc_r)	支持软件读该位，读操作将清除该位，写0无效
read/set(rs)	支持软件读或者设置该位，写0无效
read-only write trigger(rt_w)	支持软件读该位，写0或1触发一个事件但不改变该位数值
toggle(t)	支持软件写1翻转该位，写0无效
Reserved(Res.)	保留位，必须保持默认值不变

1.2 可用外设

有关 N32G45x 微控制器系列全部型号，某外设存在与否及其数目，请查阅相应型号的数据手册。

2 中断和事件

2.1 嵌套向量中断寄存器

特性

- 86 个可屏蔽中断通道（不包含 16 个 Cortex-M4 的中断线）。
- 16 个可编程的优先等级（使用了 4 位中断优先级）；
- 低延迟的异常和中断处理；
- 电源管理控制；
- 系统控制寄存器的实现；

嵌套向量中断控制器（NVIC）和处理器核的接口紧密相连，可以实现低延迟的中断处理和高效地处理晚到的中断。嵌套向量中断控制器管理着包括内核异常等中断。

2.1.1 SysTick 校准值寄存器

系统嘀嗒校准值固定为 18000，当系统嘀嗒时钟设定为 18MHz（HCLK/8 的最大值），产生 1ms 时间基准。

2.1.2 中断和异常向量

表 2-1 向量表

位置	优先级	优先级类型	名称	说明	地址
	-	-	-	保留	0x0000_0000
	-3	固定	Reset	复位	0x0000_0004
	-2	固定	NMI	不可屏蔽中断 RCC时钟安全系统（CSS）联接到NMI向量	0x0000_0008
	-1	固定	硬件失效（HardFault）	所有类型的失效	0x0000_000C
	0	可设置	存储管理（MemManage）	存储器管理	0x0000_0010
	1	可设置	总线错误（BusFault）	预取指失败，存储器访问失败	0x0000_0014
	2	可设置	错误应用（UsageFault）	未定义的指令或非法状态	0x0000_0018
	-	-	-	保留	0x0000_001C ~0x0000_002B
	3	可设置	SVCall	通过SWI指令的系统服务调用	0x0000_002C
	4	可设置	调试监控（DebugMonitor）	调试监控器	0x0000_0030
	-	-	-	保留	0x0000_0034
	5	可设置	PendSV	可挂起的系统服务	0x0000_0038
	6	可设置	SysTick	系统嘀嗒定时器	0x0000_003C
0	7	可设置	WWDG	窗口定时器中断	0x0000_0040
1	8	可设置	PVD	连到EXTI线16的电源电压检测（PVD）中断	0x0000_0044

位置	优先级	优先级类型	名称	说明	地址
2	9	可设置	TAMPER	侵入检测中断	0x0000_0048
3	10	可设置	RTC_WKUP	连接到EXTI线20的实时时钟（RTC）唤醒中断	0x0000_004C
4	11	可设置	FLASH	闪存全局中断	0x0000_0050
5	12	可设置	RCC	复位和时钟控制（RCC）中断	0x0000_0054
6	13	可设置	EXTI0	EXTI线0中断	0x0000_0058
7	14	可设置	EXTI1	EXTI线1中断	0x0000_005C
8	15	可设置	EXTI2	EXTI线2中断	0x0000_0060
9	16	可设置	EXTI3	EXTI线3中断	0x0000_0064
10	17	可设置	EXTI4	EXTI线4中断	0x0000_0068
11	18	可设置	DMA1通道1	DMA1通道1全局中断	0x0000_006C
12	19	可设置	DMA1通道2	DMA1通道2全局中断	0x0000_0070
13	20	可设置	DMA1通道3	DMA1通道3全局中断	0x0000_0074
14	21	可设置	DMA1通道4	DMA1通道4全局中断	0x0000_0078
15	22	可设置	DMA1通道5	DMA1通道5全局中断	0x0000_007C
16	23	可设置	DMA1通道6	DMA1通道6全局中断	0x0000_0080
17	24	可设置	DMA1通道7	DMA1通道7全局中断	0x0000_0084
18	25	可设置	ADC1_2	ADC1和ADC2全局中断	0x0000_0088
19	26	可设置	USB_HP_CAN1_TX	USB高优先级中断/CAN1发送中断	0x0000_008C
20	27	可设置	USB_LP_CAN1_RX0	USB低优先级中断/CAN1接收0中断	0x0000_0090
21	28	可设置	CAN1_RX1	CAN1接收1中断	0x0000_0094
22	29	可设置	CAN_SCE	CAN1 SCE中断	0x0000_0098
23	30	可设置	EXTI9_5	EXTI线[9:5]中断	0x0000_009C
24	31	可设置	TIM1_BRK	TIM1刹车中断	0x0000_00A0
25	32	可设置	TIM1_UP	TIM1更新中断	0x0000_00A4
26	33	可设置	TIM1_TRG_COM	TIM1触发和通信中断	0x0000_00A8
27	34	可设置	TIM1_CC	TIM1捕获比较中断	0x0000_00AC
28	35	可设置	TIM2	TIM2全局中断	0x0000_00B0
29	36	可设置	TIM3	TIM3全局中断	0x0000_00B4
30	37	可设置	TIM4	TIM4全局中断	0x0000_00B8
31	38	可设置	I2C1_EV	I2C1事件中断	0x0000_00BC
32	39	可设置	I2C1_ER	I2C1错误中断	0x0000_00C0
33	40	可设置	I2C2_EV	I2C2事件中断	0x0000_00C4
34	41	可设置	I2C2_ER	I2C2错误中断	0x0000_00C8
35	42	可设置	SPI1	SPI1全局中断	0x0000_00CC
36	43	可设置	SPI2_I2S2	SPI2/I2S2全局中断	0x0000_00D0
37	44	可设置	USART1	USART1全局中断	0x0000_00D4
38	45	可设置	USART2	USART2全局中断	0x0000_00D8
39	46	可设置	USART3	USART3全局中断	0x0000_00DC
40	47	可设置	EXTI15_10	EXTI线[15:10]中断	0x0000_00E0
41	48	可设置	RTCAlarm	连接到EXTI线17的RTC闹钟中断	0x0000_00E4

位置	优先级	优先级类型	名称	说明	地址
42	49	可设置	USBWKUP	连接到EXTI线18的USB唤醒中断	0x0000_00E8
43	50	可设置	TIM8_BRK	TIM8刹车中断	0x0000_00EC
44	51	可设置	TIM8_UP	TIM8更新中断	0x0000_00F0
45	52	可设置	TIM8_TRG_COM	TIM8触发和通信中断	0x0000_00F4
46	53	可设置	TIM8_CC	TIM8捕获比较中断	0x0000_00F8
47	54	可设置	ADC3_4	ADC3和ADC4全局中断	0x0000_00FC
48	55	可设置	保留	保留	0x0000_0100
49	56	可设置	SDIO	SDIO全局中断	0x0000_0104
50	57	可设置	TIM5	TIM5全局中断	0x0000_0108
51	58	可设置	SPI3_I2S3	SPI3/I2S3全局中断	0x0000_010C
52	59	可设置	UART4	UART4全局中断	0x0000_0110
53	60	可设置	UART5	UART5全局中断	0x0000_0114
54	61	可设置	TIM6	TIM6全局中断	0x0000_0118
55	62	可设置	TIM7	TIM7全局中断	0x0000_011C
56	63	可设置	DMA2通道1	DMA2通道1全局中断	0x0000_0120
57	64	可设置	DMA2通道2	DMA2通道2全局中断	0x0000_0124
58	65	可设置	DMA2通道3	DMA2通道3全局中断	0x0000_0128
59	66	可设置	DMA2通道4	DMA2通道4全局中断	0x0000_012C
60	67	可设置	DMA2通道5	DMA2通道5全局中断	0x0000_0130
61	68	可设置	ETH	以太网全局中断	0x0000_0134
62	69	可设置	ETH_WKUP	连到EXTI线19的以太网唤醒中断	0x0000_0138
63	70	可设置	CAN2_TX	CAN2发送中断	0x0000_013C
64	71	可设置	CAN2_RX0	CAN2接收0中断	0x0000_0140
65	72	可设置	CAN2_RX1	CAN2接收1中断	0x0000_0144
66	73	可设置	CAN2_SCE	CAN2的SCE中断	0x0000_0148
67	74	可设置	QSPI	QSPI全局中断	0x0000_014C
68	75	可设置	DMA2通道6	DMA2通道6全局中断	0x0000_0150
69	76	可设置	DMA2通道7	DMA2通道7全局中断	0x0000_0154
70	77	可设置	I2C3_EV	I2C3事件中断	0x0000_0158
71	78	可设置	I2C3_ER	I2C3错误中断	0x0000_015C
72	79	可设置	I2C4_EV	I2C4事件中断	0x0000_0160
73	80	可设置	I2C4_ER	I2C4错误中断	0x0000_0164
74	81	可设置	UART6	UART6全局中断	0x0000_0168
75	82	可设置	UART7	UART7全局中断	0x0000_016C
76	83	可设置	DMA1通道8	DMA1通道8全局中断	0x0000_0170
77	84	可设置	DMA2通道8	DMA2通道8全局中断	0x0000_0174
78	85	可设置	DVP	DVP全局中断	0x0000_0178
79	86	可设置	SAC	SAC全局中断	0x0000_017C
80	87	可设置	MMU	MMU全局中断	0x0000_0180
81	88	可设置	保留	保留	0x0000_0184

位置	优先级	优先级类型	名称	说明	地址
82	89	可设置	COMP_1_2_3	COMP1、COMP2、COMP3全局中断	0x0000_0188
83	90	可设置	COMP_4_5_6	COMP4、COMP5、COMP6全局中断	0x0000_018C
84	91	可设置	COMP7	COMP7全局中断	0x0000_0190
85	92	可设置	R-SRAM	R-SRAM错误中断	0x0000_0194

2.2 外部中断/事件控制器 (EXTI)

2.2.1 简介

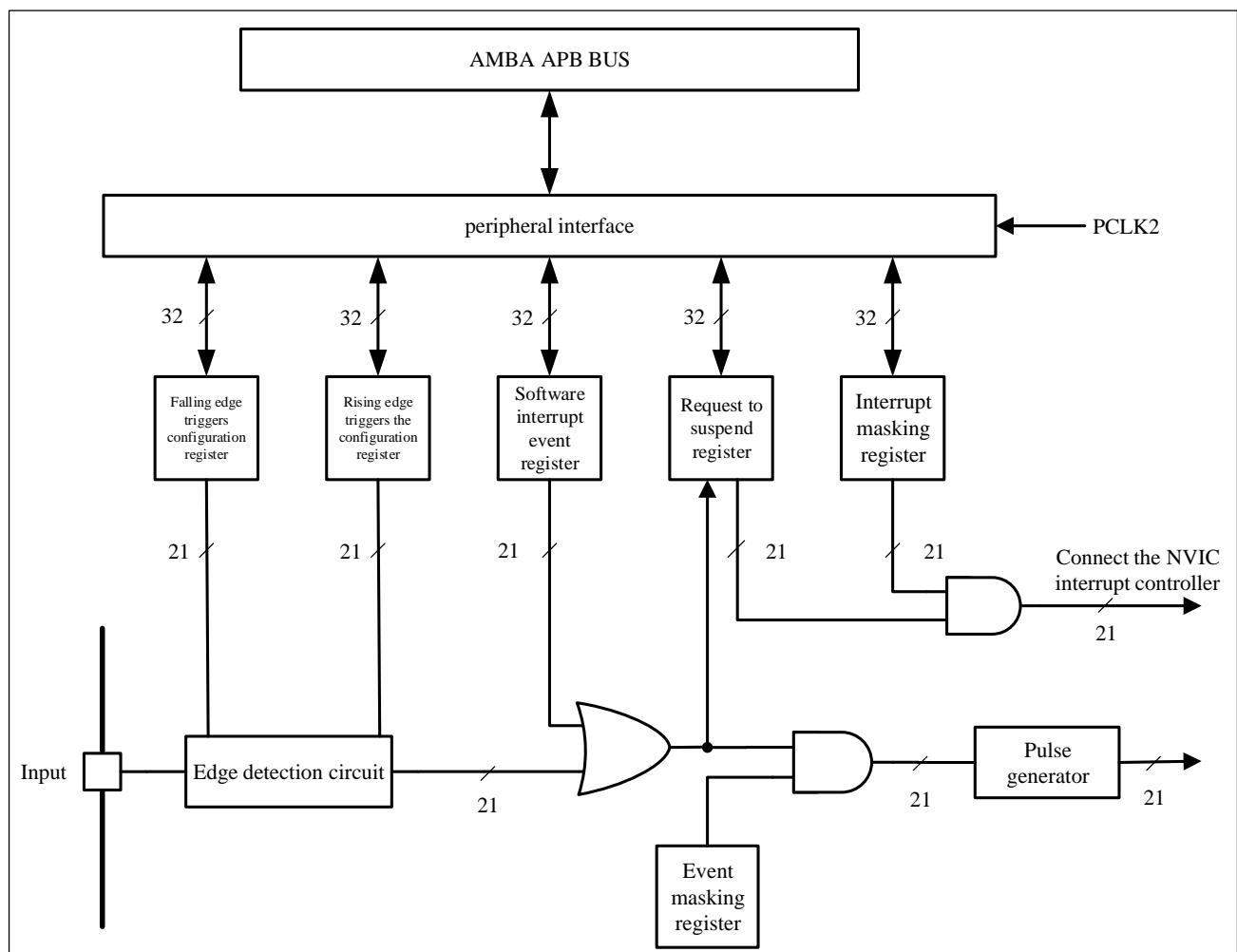
外部中断/事件控制器包含 21 个产生中断/事件触发的边沿检测电路，每条输入线可以独立地配置脉冲或挂起输入类型，以及上升沿、下降沿或者双边沿 3 种触发事件类型，也可以独立地被屏蔽。挂起寄存器保持着状态线的中断请求，可通过在挂起寄存器的对应位写'1'操作，清除中断请求。

2.2.2 主要特性

EXTI 控制器的主要特性如下：

- 支持 21 个软件中断/事件请求
- 每条输入线对应的中断/事件都能独立配置触发或屏蔽
- 每条中断线都有独立的状态位
- 支持脉冲或挂起输入类型
- 支持三种触发事件：上升沿、下降沿或双边沿
- 可唤醒退出低功耗模式

图 2-1 外部中断/事件控制器框图



2.2.3 功能描述

EXTI 包含 21 条中断线，其中 16 条来自 I/O 管脚，另 5 条来自内部模块。要产生中断，必须配置外部中断控制器的 NVIC 中断通道使能相应的中断线。通过边沿触发配置寄存器 EXTI_RT_CFG 和 EXTI_FT_CFG 选择上升沿、下降沿或双边沿触发事件类型，并将中断屏蔽寄存器 EXTI_IMASK 的相应位写'1'开放允许中断请求。当外部中断线上检测到预设的边沿触发极性，将产生一个中断请求，对应的挂起位也随之被置'1'。在挂起寄存器的对应位写'1'，将清除该中断请求。

要产生事件，必须配置并使能对应的事件线。根据需要的边沿检测极性，设置上升/下降沿触发配置寄存器，同时在事件屏蔽寄存器的相应位写'1'允许中断请求。当事件线上发生预设的边沿时，将产生一个事件请求脉冲，对应的挂起位不被置'1'。

另外，通过在软件中断/事件寄存器写'1'，也可以通过软件产生中断/事件请求。

■ 硬件中断配置，根据需要选择配置 21 条线路作为中断源：

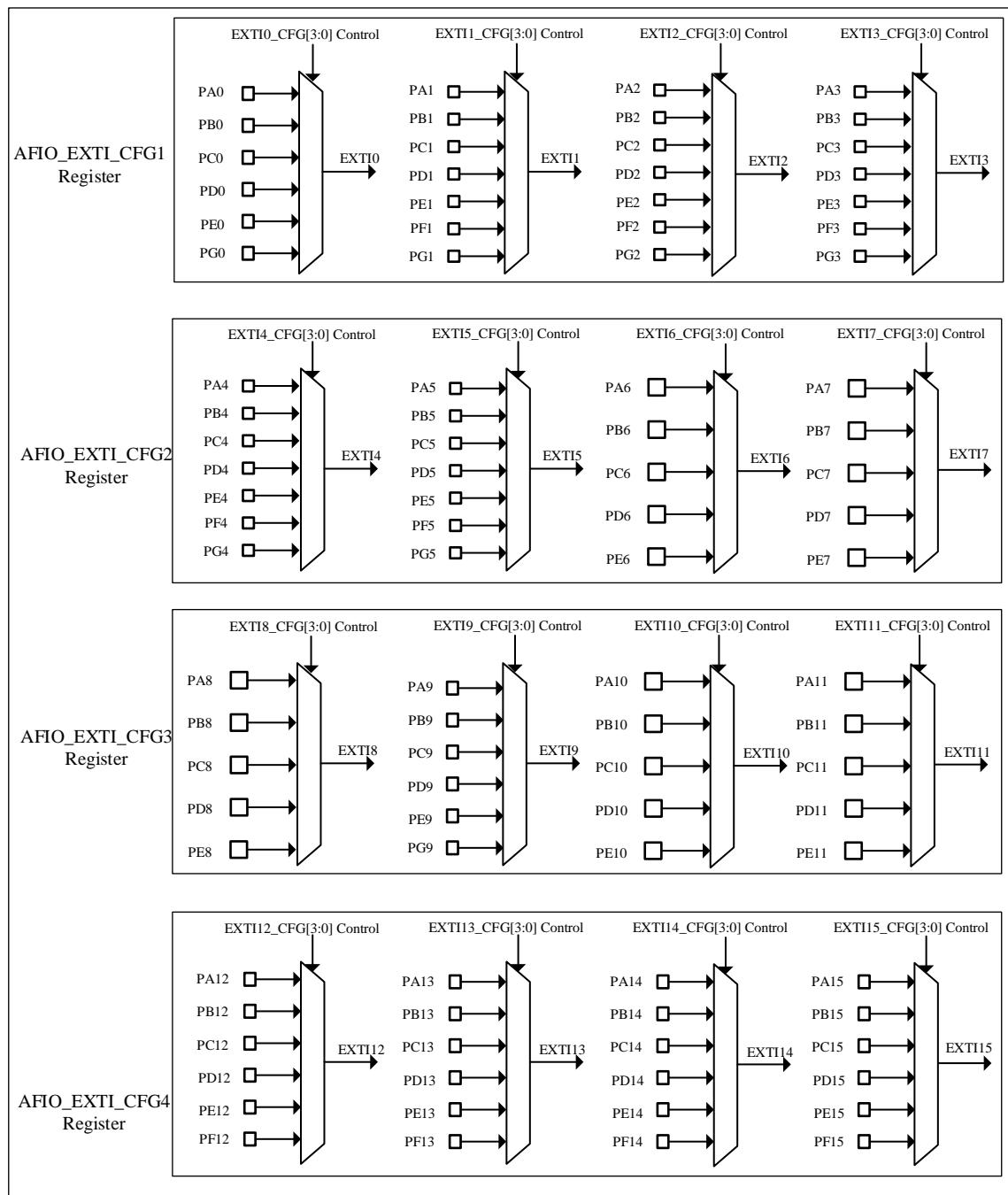
- ◆ 配置 21 条中断线的屏蔽位 (EXTI_IMASK);
- ◆ 配置所选中断线的触发配置位 (EXTI_RT_CFG 和 EXTI_FT_CFG);
- ◆ 配置对应到外部中断控制器的 NVIC 中断通道的使能和屏蔽位，使 21 条中断线中的请求可以被正

确地响应。

- 硬件事件配置，根据需要选择配置 21 条线路作为事件源：
 - ◆ 配置 21 条事件线的屏蔽位 (EXTI_EMASK);
 - ◆ 配置所选事件线的触发配置位 (EXTI_RT_CFG 和 EXTI_FT_CFG)。
- 软件中断/事件配置，根据需要选择配置 21 条线路作为软件中断/事件线：
 - ◆ 配置 21 条中断/事件线屏蔽位 (EXTI_IMASK,EXTI_EMASK);
 - ◆ 配置软件中断事件寄存器的请求位 (EXTI_SWIE)。

2.2.4 EXTI 线路映射

图 2-2 外部中断通用 I/O 映射



通过 AFIO_EXTI_CFGy 配置 GPIO 线上的外部中断/事件，必须先使能 AFIO 时钟。通用 I/O 端口以上图的方式连接到 16 条外部中断/事件线上。另外 5 条 EXTI 线的连接方式如下：

- EXTI 线 16 连接到 PVD 输出
- EXTI 线 17 连接到 RTC 闹钟事件
- EXTI 线 18 连接到 USB 唤醒事件
- EXTI 线 19 连接到以太网唤醒事件

- #### ■ EXTI 线 20 连接到 RTC 唤醒事件

2.3 EXTI 寄存器

EXTI 基地址: 0x40010400

2.3.1 EXTI 寄存器总览

表 2-2 EXTI 寄存器总览

2.3.2 EXTI 中断屏蔽寄存器 (EXTI_IMASK)

偏移地址: 0x00

复位值: 0x0000 0000

位域	名称	描述
31:21	Reserved	保留，必须保持复位值。
20:0	IMASKx	线 x 上的中断屏蔽 0：屏蔽来自线 x 上的中断请求； 1：开放来自线 x 上的中断请求。

2.3.3 EXTI 事件屏蔽寄存器 (EXTI_EMASK)

偏移地址: 0x04

复位值: 0x0000 0000

31															21	20	19	18	17	16
Reserved																				
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	RTW	RTW	RTW	RTW		
EMASK 15	EMASK 14	EMASK 13	EMASK 12	EMASK 11	EMASK 10	EMASK 9	EMASK 8	EMASK 7	EMASK 6	EMASK 5	EMASK 4	EMASK 3	EMASK 2	EMASK 1	EMASK 0	EMASK 16	EMASK 17	EMASK 18	EMASK 19	EMASK 20

位域	名称	描述
31:21	Reserved	保留, 必须保持复位值。
20:0	EMASKx	线 x 上的事件屏蔽 0: 屏蔽来自线 x 上的事件请求; 1: 开放来自线 x 上的事件请求。

2.3.4 EXTI 上升沿触发配置寄存器 (EXTI_RT_CFG)

偏移地址: 0x08

复位值: 0x0000 0000

31																21	20	19	18	17	16
Reserved																					
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	RTW	RTW	RTW	RTW	RTW		
RT _CFG15	RT _CFG14	RT _CFG13	RT _CFG12	RT _CFG11	RT _CFG10	RT _CFG9	RT _CFG8	RT _CFG7	RT _CFG6	RT _CFG5	RT _CFG4	RT _CFG3	RT _CFG2	RT _CFG1	RT _CFG0	RT _CFG16	RT _CFG17	RT _CFG18	RT _CFG19	RT _CFG20	

位域	名称	描述
31:21	Reserved	保留, 必须保持复位值。
20:0	RT_CFGx	线 x 上的上升沿触发配置位 0: 禁止输入线 x 上的上升沿触发 (中断和事件) 1: 允许输入线 x 上的上升沿触发 (中断和事件)

2.3.5 EXTI 下降沿触发配置寄存器 (EXTI_FT_CFG)

偏移地址: 0x0C

复位值: 0x0000 0000

31																21	20	19	18	17	16
Reserved																					
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	RTW	RTW	RTW	RTW	RTW		
FT _CFG15	FT _CFG14	FT _CFG13	FT _CFG12	FT _CFG11	FT _CFG10	FT _CFG9	FT _CFG8	FT _CFG7	FT _CFG6	FT _CFG5	FT _CFG4	FT _CFG3	FT _CFG2	FT _CFG1	FT _CFG0	FT _CFG16	FT _CFG17	FT _CFG18	FT _CFG19	FT _CFG20	

位域	名称	描述
31:21	Reserved	保留, 必须保持复位值。
20:0	FT_CFGx	线 x 上的下降沿触发配置位 0: 禁止输入线 x 上的下降沿触发 (中断和事件) 1: 允许输入线 x 上的下降沿触发 (中断和事件)

2.3.6 EXTI 软件中断事件寄存器 (EXTI_SWIE)

偏移地址: 0x10

复位值: 0x0000 0000

31	21	20	19	18	17	16
	Reserved		SWIE20	SWIE19	SWIE18	SWIE17
				SWIE16		
15	14	13	12	11	10	9
SWIE15	SWIE14	SWIE13	SWIE12	SWIE11	SWIE10	SWIE9
rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1
8	7	6	5	4	3	2
SWIE8	SWIE7	SWIE6	SWIE5	SWIE4	SWIE3	SWIE2
rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1
7	6	5	4	3	2	1
SWIE7	SWIE6	SWIE5	SWIE4	SWIE3	SWIE2	SWIE1
rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1
6	5	4	3	2	1	0
SWIE6	SWIE5	SWIE4	SWIE3	SWIE2	SWIE1	SWIE0
rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1

位域	名称	描述
31:21	Reserved	保留, 必须保持复位值。
20:0	SWIEx	线 x 上的软件中断 当该位为'0'时, 写'1'将设置 EXTI_PEND 中相应的挂起位。如果在 EXTI_IMASK 和 EXTI_EMASK 中允许产生该中断, 此时将产生一个中断。 注: 通过写入'1'清除 EXTI_PEND 的对应位, 可以清除该位为'0'。

2.3.7 EXTI 挂起寄存器 (EXTI_PEND)

偏移地址: 0x14

复位值: 0x0000 0000

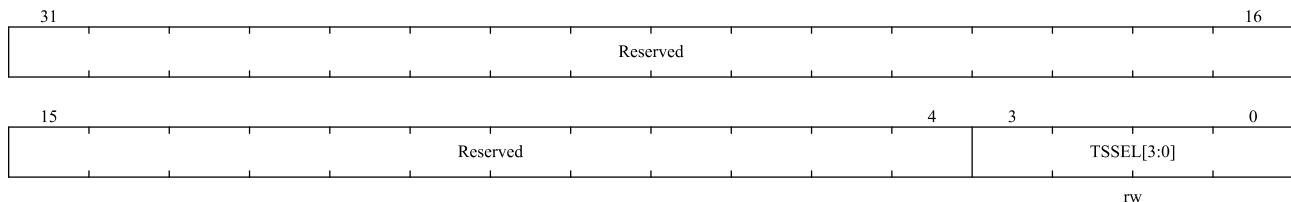
31	21	20	19	18	17	16
	Reserved		PEND20	PEND19	PEND18	PEND17
				PEND16		
15	14	13	12	11	10	9
PEND15	PEND14	PEND13	PEND12	PEND11	PEND10	PEND9
rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1
8	7	6	5	4	3	2
PEND8	PEND7	PEND6	PEND5	PEND4	PEND3	PEND2
rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1
7	6	5	4	3	2	1
PEND7	PEND6	PEND5	PEND4	PEND3	PEND2	PEND1
rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1
6	5	4	3	2	1	0
PEND6	PEND5	PEND4	PEND3	PEND2	PEND1	PEND0
rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1

位域	名称	描述
31:21	Reserved	保留, 必须保持复位值。
20:0	PENDx	线 x 上的挂起位 0: 没有发生挂起请求 1: 发生了挂起触发请求 当外部中断线上发生了选择的边沿触发事件, 该位被置'1'。在该位中写入'1'可以清除它, 也可以通过改变边沿检测的极性清除此位。

2.3.8 EXTI 时间戳触发源选择寄存器 (EXTI_TS_SEL)

偏移地址: 0x18

复位值: 0x0000 0000



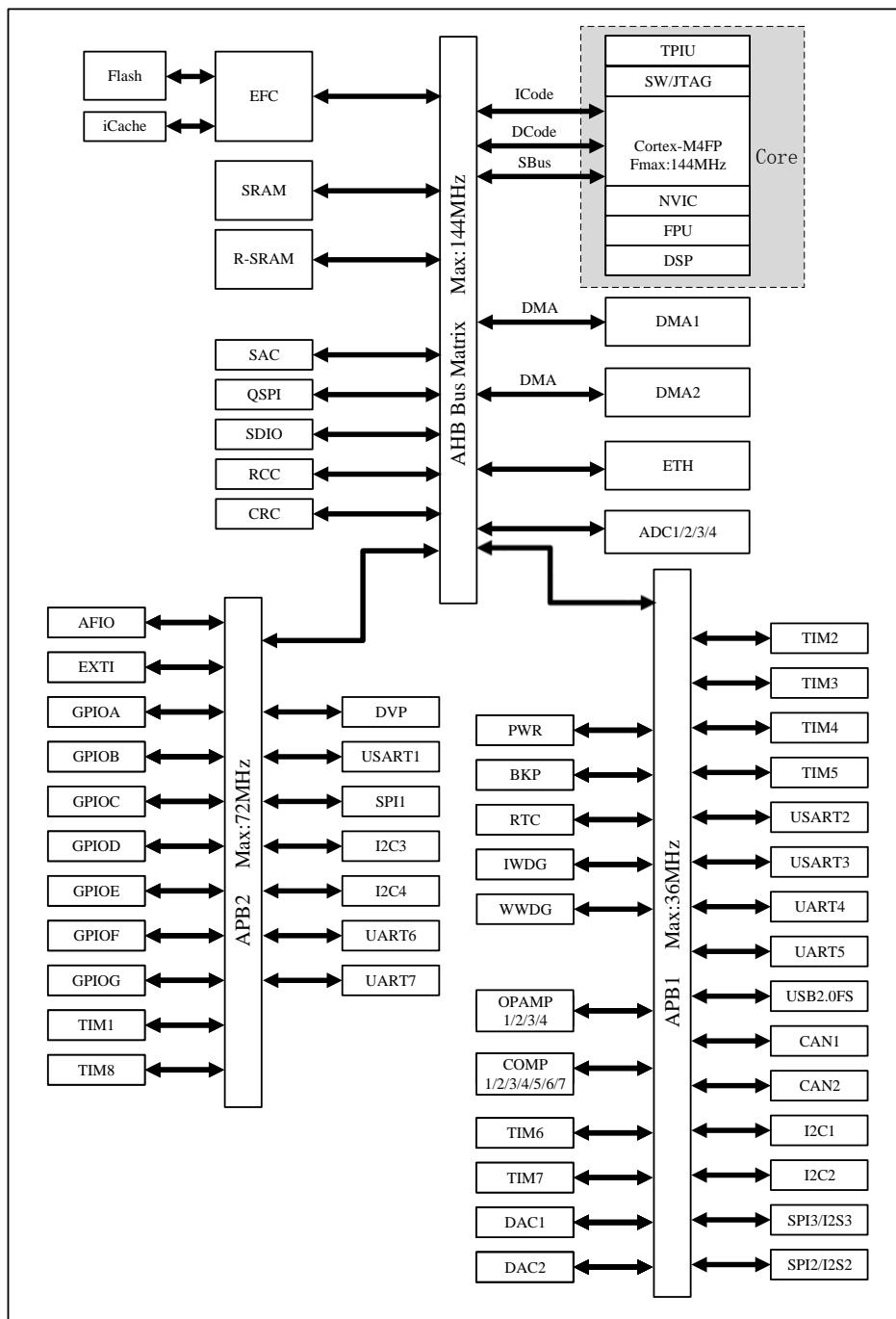
位域	名称	描述
31:4	Reserved	保留, 必须保持复位值。
3:0	TSSEL[3:0]	选择外部中断输入作为时间戳事件的触发源 0: 选择 EXTI0 作为时间戳事件的触发源; 1: 选择 EXTI1 作为时间戳事件的触发源; 15: 选择 EXTI15 作为时间戳事件的触发源。

3 存储器和总线架构

3.1 系统架构

3.1.1 总线架构

图 3-1 总线架构图



- ICode 总线：将 Cortex™-M4FP 内核的 ICode 总线与闪存指令接口相连接。指令预取在此总线上完成。
- DCode 总线将 Cortex™-M4FP 内核的 DCode 总线与闪存存储器的数据接口相连接（常量加载和调试访

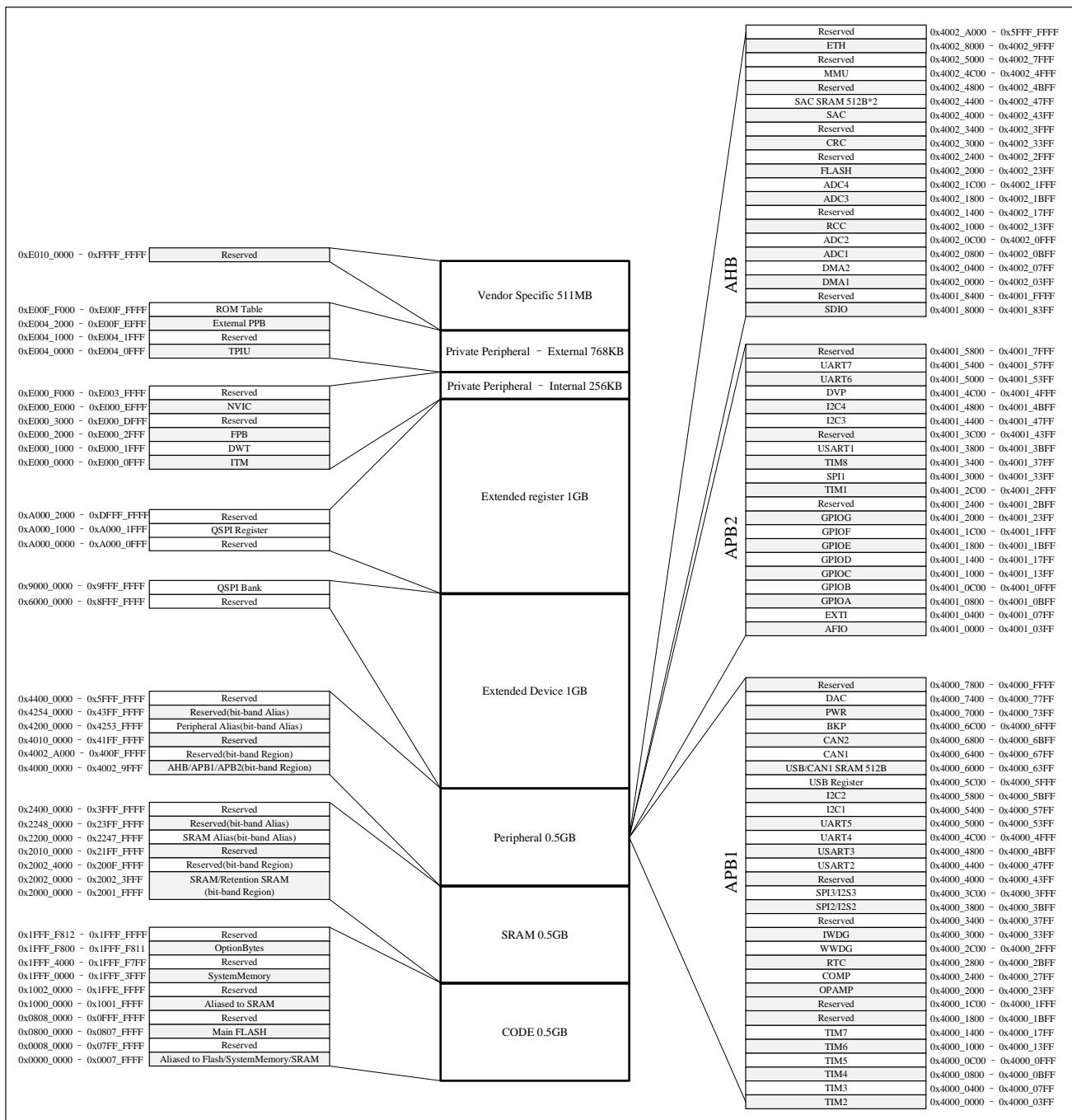
问)。

- SBus 总线连接 Cortex™-M4FP 内核的 SBus 总线(外设总线)到总线矩阵, 总线矩阵协调着内核和 DMA 间的访问。
- SAC/CRC 设计了矩阵互联, 支持软件触发的方式进行 DMA 传输。
- 系统包含 2 个 AHB2APB 桥, 即 AHB2APB1 和 AHB2APB2。其中 APB1 包含 26 个低速 APB 外设, PCLK1 的最高速度为 36MHz; APB2 包含 18 个高速 APB 外设, PCLK2 最高速度等于 72MHz。

3.1.2 总线地址映射

总线地址映射包括所有 AHB 和 APB 外设: AHB 外设、APB1 外设、APB2 外设、Flash、SRAM、SystemMemory 等。SRAM 的地址空间位于 SRAM 的 bit-band 区, 可以通过 bit-band Alias 进行原子访问, 以完成唯一性的读-改-写操作。所有 APB 和 AHB 外设的地址空间均位于外设的 bit-band 区, 可以通过 bit-band Alias 位带别名进行原子访问, 以完成唯一性的读-改-写操作。具体映射如下:

图 3-2 总线地址映射图



3.1.2.1 Bit banding

Cortex™-M4FP 存储器映像包括两个位段 (bit-band) 区。这两个位段区将别名存储器区中的每个字映射到位段存储器区的一个位，在别名存储区写入一个字具有对位段区目标位执行读-改-写操作的相同效果。

外设寄存器和 SRAM 都被映射到一个位段区里，这允许执行单一的位段区写和读操作。

下面的映射公式给出了别名区中的每个字节是如何对应位段区的相应位的：

$$\text{bitband_byte_addr} = \text{bitband_base} + (\text{byte_offset} \times 32) + (\text{bit_number} \times 4)$$

其中：

bitband_byte_addr 是别名存储器区中字节的地址，它映射到某个目标位；

bitband_base 是别名区的起始地址；

byte_offset 是包含目标位的字节在位段里的序号；

bit_number 是目标位所在位置（0-7）。

举个例子：

下面的例子说明如何映射别名区中 SRAM 地址为 0x20000400 的字节中的位 4：

$$0x22008010 = 0x22000000 + (0x400 \times 32) + (4 \times 4).$$

对 0x22008010 地址的写操作与对 SRAM 中地址 0x20000400 字节的位 4 执行读-改-写操作有着相同的效果。

读 0x22008010 地址返回 SRAM 中地址 0x20000400 字节的位 4 的值（0x01 或 0x00）。请参考《Cortex™-M4 技术参考手册》以了解更多有关位段的信息。

3.1.3 启动管理

3.1.3.1 启动地址

在系统启动时，可以通过 BOOT1 和 BOOT0 引脚来选择在复位后的启动模式，在系统复位后或从待机模式退出时，BOOT 引脚的值将被重新锁存。经过启动延迟之后，CPU 从地址 0x0000_0000 获取堆栈顶的地址，并从地址 0x0000_0004 指示的复位向量地址开始执行代码。由于 Cortex-M4FP 始终通过 ICode 总线从地址 0x0000_0000 和 0x0000_0004 获取堆栈顶指针和复位向量，所以启动仅适合于从 CODE 代码区开始，设计上需要对启动空间进行地址重映射。有三种启动模式可选：

- 从主闪存存储器(Main Flash)启动：
 - ◆ 主闪存存储器被映射到启动空间 (0x0000_0000);
 - ◆ 主闪存存储器可在两个地址区域访问, 0x0000_0000 或 0x0800_0000 (ICode/DCode/DMA1/DMA2);
- 从系统存储器(System Memory)启动：
 - ◆ 系统存储器被映射到启动空间 (0x0000_0000);
 - ◆ 系统存储器可在两个地址区域访问, 0x0000_0000 或 0x1FFF_0000 (ICode/DCode/DMA1/DMA2);
- 从内置 SRAM 启动：
 - ◆ 内置 SRAM 被映射到启动空间 (0x0000_0000);
 - ◆ 内置 SRAM 可在两个地址区域访问, 0x0000_0000 或 0x2000_0000 (ICode/DCode/SBus/DMA1/DMA2);

3.1.3.2 启动配置

另外，SRAM 还可以通过虚拟地址段 0x1000_0000 进行存取访问，这使得 CPU 从 Main Flash 或 System Memory 启动后，可跳转到 SRAM 通过 ICode/DCode 运行程序（注意不是从 SRAM 启动程序，不属于启动模式）。除了 BOOT 引脚配置启动程序外，还有两种方式可以在 SRAM 运行程序：

- 直接跳转到 SRAM 的物理地址段 0x2000_0000 运行程序，此时将通过 SBus 运行程序；
- 跳转到 SRAM 的虚拟地址段 0x1000_0000，内部重映射到物理地址段 0x2000_0000 运行程序，此时将通过 ICode/DCode 高效运行程序。

表 3-1 启动模式列表

启动模式 选择引脚		启动模式	对应启动模式下，访问内存空间的起始地址		
BOOT1	BOOT0		Main Flash	System Memory	SRAM
X	0	Main Flash 启动	0x0000_0000 0x0800_0000	0x1FFF_0000	0x1000_0000 0x2000_0000
0	1		0x08000000	0x0000_0000 0x1FFF_0000	0x1000_0000 0x2000_0000
1	1	SRAM 启动	0x08000000	0x1FFF_0000	0x0000_0000 0x1000_0000 0x2000_0000

3.1.3.3 内嵌启动程序

内嵌的自举程序存放在系统存储器 System Memory 内，用于通过 USART1 或者 USB-FS 接口（全速 USB 设备，DFU 协议）对闪存存储器进行重新编程。当外部使用 4MHz、6MHz、8MHz、12MHz、16MHz、18MHz、24MHz、32MHz 时钟（HSE）才能运行 USB-FS 接口。而 USART1 接口除了可以依靠上述的 8 个频率的外部时钟（HSE）外，还可以依靠内部 8MHz 振荡器（HSI）运行。进一步的细节请查询自举程序手册。

3.2 存储系统（Memory system）

程序存储器、数据存储器、寄存器和输入输出端口被组织在同一个 4GB 的线性地址空间内。数据字节以小端格式存放在存储器中，一个字里的最低地址字节被认为是该字的最低有效字节，而最高地址字节是最高有效字节。对程序存储器和数据存储器的规格说明如下。

3.2.1 FLASH 规格

Flash 由主存储区、信息区组成，以下分别进行说明：（以下说明中的容量值不含 ECC）

- 主存储区最大为 512KB，也称作主闪存存储器，包含 256 个 Page，用于用户程序的存放和运行，以及数据存储。
- 信息区为 20KB，包含 10 个 Page，由系统存储区（16KB）、系统配置区（2KB）、选项字节区（2KB）组成：
 - ◆ 系统存储区为 16KB，包含 8 个 Page，也称作 System Memory，用于引导程序（BOOT）的存放和运行。
 - ◆ 系统配置区为 2KB，包含 1 个 Page。
 - ◆ 选项字节区为 2KB，包含 1 个 Page，也称作 OptionByte，有效空间为 18B，BOOT 程序、用户程序均可以读写擦。

3.2.1.1 存储地址

主存储区、信息区都分配了总线地址空间。

表 3-2 存储总线地址列表

存储区	页名称	地址范围	大小
主存储区	页 0	0x0800_0000 – 0x0800_07FF	2KB

存储区	页名称	地址范围	大小
	页 1	0x0800_0800 – 0x0800_0FFF	2KB
	页 2	0x0800_1000 – 0x0800_17FF	2KB
	:	:	:
	页 255	0x0807_F800 – 0x0807_FFFF	2KB
信息区	系统存储区	0x1FFF_0000 – 0x1FFF_3FFF	16KB
	系统配置区	0x1FFF_F000 – 0x1FFF_F7FF	2KB
	选项字节区	0x1FFF_F800 – 0x1FFF_F811	18B
存储区接口 寄存器	FLASH_AC	0x4002_2000 – 0x4002_2003	4B
	FLASH_KEY	0x4002_2004 – 0x4002_2007	4B
	FLASH_OPTKEY	0x4002_2008 – 0x4002_200B	4B
	FLASH_STS	0x4002_200C – 0x4002_200F	4B
	FLASH_CTRL	0x4002_2010 – 0x4002_2013	4B
	FLASH_ADD	0x4002_2014 – 0x4002_2017	4B
	保留	0x4002_2018 – 0x4002_201B	4B
	FLASH_OB	0x4002_201C – 0x4002_201F	4B
	FLASH_WRP	0x4002_2020 – 0x4002_2023	4B
	FLASH_ECC	0x4002_2024 – 0x4002_2027	4B
	保留	0x4002_2028 – 0x4002_202B	4B
	FLASH_RDN	0x4002_202C – 0x4002_202F	4B
	FLASH_CAH	0x4002_2030 – 0x4002_2033	4B

闪存存储器被组织成 32 位宽的存储器单元，可以存放代码和数据常数。

信息区分为三个部分：

- 系统存储区是用于存放在系统存储器自举模式下的启动程序，启动程序使用 USART1 和 USB (DFU) 串行接口实现对闪存存储器的编程。
- 系统配置区，包含芯片基本信息。
- 选项字节区，对主存储器和信息块的写入由内嵌的闪存编程/擦除控制器管理。

闪存存储器有两种保护方式防止非法的访问（读、写、擦除）：

- 页写入保护 (WRP)
- 读出保护 (RDP)

在执行闪存写操作时，任何对闪存的读操作都会锁住总线，在写操作完成后读操作才能正确地进行；即在进行写或擦除操作时，不能进行代码或数据的读取操作。

进行闪存编程操作时（写或擦除），必须打开内部的 RC 振荡器 (HSI)。

注： 在低功耗模式下，所有闪存存储器的操作都被中止。

3.2.1.2 读写操作

Flash 写操作仅支持 32 位操作，写操作之前先擦除 Flash，擦除最小块大小是一个页 2KB。写操作分为编程和擦除阶段。

读 Flash 时，读的等待周期数可以通过寄存器配置。使用时，需要结合 AHB 接口时钟频率进行计算。比如：当 $HCLK \leq 32MHz$ 时，等待周期数最小为 0；当 $32MHz < HCLK \leq 64MHz$ 时，等待周期数最小为 1；当 $64MHz < HCLK \leq 96MHz$ 时，等待周期数最小为 2；当 $96MHz < HCLK \leq 128MHz$ 时，等待周期数最小为 3；当 $128MHz < HCLK \leq 144MHz$ 时，等待周期数最小为 4。

注意：无论等待周期数是否不为零，启用预取缓冲功能都可以提高整体效率。

3.2.1.3 Flash 解锁操作

复位后，Flash 模块是被保护的，不能写入 FLASH_CTRL 寄存器，以防因电气干扰等原因产生对 Flash 的意外操作。通过写入特定的键值序列到 FLASH_KEY 寄存器，可以开启对 FLASH_CTRL 寄存器的操作权限，这个特定的序列是：第一次在 Flash 密钥寄存器（FLASH_KEY）中写入 KEY1 = 0x45670123，第二次则在 Flash 密钥寄存器（FLASH_KEY）中写入 KEY2 = 0xCDEF89AB。

如果顺序出现错误或键值出现错误，将返回总线错误并锁定 FLASH_CTRL 寄存器，直到下一次复位，软件可以通过查看 FLASH_CTRL.LOCK 位来确认 Flash 是否已解锁。若需要进行正常的锁定设置，可以通过软件将 FLASH_CTRL.LOCK 位置 1 来实现，此后可以通过在 FLASH_KEY 中写入正确的键值系列来对 Flash 解锁。

3.2.1.4 擦除和编程

3.2.1.4.1 主存储区擦除

主存储区可以按页擦除或者整片擦除

页擦除

页擦除流程：

- 通过检查 FLASH_STS.BUSY 位来确保没有正在进行闪存操作；
- 设置 FLASH_CTRL.PER 为'1'；
- 将要擦除的页起始地址写入 FLASH_ADD 寄存器；
- 设置 FLASH_CTRL.START 为'1'；
- 等待 FLASH_STS.BUSY 变为'0'；
- 读出被擦除页的内容检查是否被擦除。

片擦除

片擦除流程：

- 通过检查 FLASH_STS.BUSY 位来确保没有正在进行闪存操作；
- 设置 FLASH_CTRL.MER 为'1'；
- 设置 FLASH_CTRL.START 为'1'；
- 等待 FLASH_STS.BUSY 位变为'0'；
- 读出所有被擦除页的内容检查是否被擦除。

3.2.1.4.2 主存储区编程

对主存储区编程每次可以写入 32 位。当 FLASH_CTRL.PG 为'1'时，在一个闪存地址写入一个字将启动一次编程；写入任何半字的数据，都会产生总线错误。在编程过程中(FLASH_STS.BUSY 为'1')，任何读写闪存

的操作都会使 CPU 暂停，直到此次闪存编程结束。

主存储区编程流程：

- 通过检查 FLASH_STS.BUSY 位来确保没有正在进行闪存操作；
- 设置 FLASH_CTRL.PG 为'1'；
- 在指定的地址写入要编程的字；
- 等待 FLASH_STS.BUSY 变为'0'；
- 读出写入地址的数据检查是否正确。

注意：当FLASH_STS.BUSY 为'1'时，不能对任何 Flash 寄存器执行写操作。

3.2.1.4.3 选项字节区擦除和编程

对选项字节区的编程与主存储区不同。选项字节的数目只有 9 个字节(4 个字节作为写保护，2 个字节作为读保护，1 个字节为配置选项，2 个字节存储用户数据)。对 Flash 解锁后，必须分别写入 KEY1 和 KEY2(见 3.2.1.3)到 FLASH_OPTKEY 寄存器，再设置 FLASH_CTRL.OPTWE 为'1'，此时可以对选项字节区进行编程：设置 FLASH_CTRL.OPTPG 为'1'后写入字到指定的地址。

对选项字节区字编程时，使用半字中的低字节并自动地计算出高字节(高字节为低字节的补码)，并开始编程操作，这将保证选项字节和它的补码始终是正确的。

选项字节区擦除过程：

- 通过检查 FLASH_STS.BUSY 位来确保没有正在进行闪存操作；
- 解锁 FLASH_CTRL.OPTWE；
- 设置 FLASH_CTRL.OPTER 为'1'；
- 设置 FLASH_CTRL.START 为'1'；
- 等待 FLASH_STS.BUSY 变为'0'；
- 读出被擦除选项字节的内容检查是否被擦除。

选项字节区编程流程：

- 通过检查 FLASH_STS.BUSY 位来确保没有正在进行闪存操作；
- 解锁 FLASH_CTRL.OPTWE；
- 设置 FLASH_CTRL.OPTPG 为'1'；
- 在指定的地址写入要编程的字；
- 等待 FLASH_STS.BUSY 变为'0'；
- 读出写入地址的数据检查是否正确。

3.2.1.5 ECC 功能

Flash 模块支持 ECC 功能，实现 1-bit 检错和 1-bit 纠错。ECC 编码、解码（纠错、检错）由硬件自动执行，如果检测到错误，置错误位并产生中断。

3.2.1.6 指令预取

Flash 模块的指令预取功能，支持 16B 的预取 Buffer。通过指令预取操作，可提高 CPU 的指令执行效率。指

令预取功能可以通过寄存器配置为使能或除能，默认使能。

3.2.1.7 选项字节

选项字节块主要用于配置读写保护、软件/硬件看门狗配置、启动模式配置以及系统处于STANDBY/STOP0/STOP2模式下的复位选项，并分配了总线地址空间，可以进行读写访问。它们由有9个选项字节组成：4个字节作为写保护，2个字节作为读保护，1个字节作为配置选项，2个字节由用户定义，这9个字节需要通过总线写入。选项字节块同时还包含与这9个选项字节相对应的补码，这些补码需要在总线写入选项字节时，由硬件自动计算出来，一起写入Flash，并用于选项字节读取时的验证。

默认状态下，选项字节块始终是可以读且被写保护。要想对选项字节块进行写操作（编程/擦除），首先要解锁Flash，然后解锁选项字节：在FLASH_OPTKEY中写入正确的键值序列（KEY1=0x45670123，KEY2=0xCDEF89AB），随后对选项字节块的写操作将被允许。如果顺序出现错误或键值出现错误，将返回总线错误并锁定选项字节，直到下一次复位。若需要正常进行锁定设置，可以通过软件将FLASH_CTRL.OPTWE位写0来实现，此后可以通过在FLASH_OPTKEY中写入正确的键值系列来对选项字节解锁。

每次系统复位后，从Flash的选项字节块中读出选项字节数据，并保存在具有只读属性的选项字节寄存器（FLASH_OB/FLASH_WRP）中；同时一起读出来的选项字节补码数据，将用于验证选项字节数据是否正确，如果不匹配，将产生一个选项字节错误标志（FLASH_OB.OBERR）。当发生选项字节错误时，对应的选项字节被强置为0xFF。当选项字节和它的补码均为0xFF时（擦除后的状态），则略过上述验证步骤，无需进行验证。

表 3-3 选项字节列表

地址	[31:24] 补码	[23:16] 选项字节	[15:8] 补码	[7:0] 选项字节
0x1FFF_F800	nUSER	USER	nRDP1	RDP1
0x1FFF_F804	nData1	Data1	nData0	Data0
0x1FFF_F808	nWRP1	WRP1	nWRP0	WRP0
0x1FFF_F80C	nWRP3	WRP3	nWRP2	WRP2
0x1FFF_F810	-	-	nRDP2	RDP2

- 读保护 L1 等级：RDP1
 - ◆ 保护存储在闪存中的代码；
 - ◆ 当写入正确的数值时，将禁止读出闪存存储器；
 - ◆ RDP1 是否开启的结果，可通过FLASH_OB[1]查询；
- 用户配置选项：USER
 - ◆ USER[7:3]: Reserved;
 - ◆ USER[2]: nRST_STDBY 配置选项，可通过FLASH_OB[4]查询
 - 0: 当进入 Standby 模式时产生复位
 - 1: 进入 Standby 模式时不产生复位
 - ◆ USER[1]: nRST_STOP 配置选项，可通过FLASH_OB[3]查询
 - 0: 当进入 STOP0/STOP2 模式时产生复位
 - 1: 进入 STOP0/STOP2 模式时不产生复位

- ◆ USER[0]: WDG_SW 配置选项, 可通过 FLASH_OB[2]查询
 - 0: 硬件看门狗
 - 1: 软件看门狗
- 2 字节用户数据: Datax
 - ◆ Data1 (FLASH_OB[25:18])
 - ◆ Data0 (FLASH_OB [17:10])
- 写保护选项字节: WRP0 ~ 3, 可通过寄存器 FLASH_WRP[31:0]查询
 - ◆ WRP0: 第 0 ~15 页的写保护, bit[0]对应 Page0/1, ……, bit[7]对应 Page14/15;
 - ◆ WRP1: 第 16~31 页的写保护, bit[0]对应 Page16/17, ……, bit[7]对应 Page30/31;
 - ◆ WRP2: 第 32~47 页的写保护, bit[0]对应 Page32/33, ……, bit[7]对应 Page46/47;
 - ◆ WRP3: 第 48~255 页的写保护, bit[0]对应 Page48/49, ……, bit[6]对应 Page60/61, bit[7]对应 Page62~255;
- 读保护 L2 等级: RDP2
 - ◆ 在 L1 的基础上增加保护功能, 具体见 3.2.1.9 读保护的详细描述;
 - ◆ RDP2 是否开启的结果, 可通过 FLASH_OB[31]查询;

3.2.1.8 写保护

可以对 Flash 主存储区（最大 512KB）的所有 Page 配置写保护, 以防在程序跑飞或电气干扰等原因导致的意外写操作, 写保护的基本单位是: 对于 Page0~61, 每 2 页为一个基本保护单元, 对于 Page62~255, 共同作为一个保护单元。写保护可以通过设置选项字节块中的 WRP0~3 来进行配置; 每次进行配置后, 需要进行一次系统复位, 配置的值才能生效。如果对一个受保护的页面进行编程或擦除操作, FLASH_STS 中将会返回一个保护错误标志。

系统信息区中的系统存储块 (16KB), 存放了 BOOT 程序, 不可更改。

系统信息区中的系统配置块 (2KB), 存放了芯片基本信息, 不可更改。

系统信息区中的选项字节块 (2KB), 存放了用户可配置选项字节信息, 将 FLASH_CTRL.OPTWE 写 0 使能选项字节块的写保护, 之后通过在 FLASH_OPTKEY 中写入正确的键值序列, 来对选项字节解除写保护。

3.2.1.9 读保护

Flash 中的用户代码可以通过设置读保护来防止被非法读取。读保护主要是针对芯片完成封口操作后, 保护主存储区和选项字节块的访问操作。读保护通过配置选项字节块中的 RDP 字节进行设置, 可以配置 3 种不同的读保护级别, 如下列表:

表 3-4 读保护配置列表

读保护等级	RDP1	nRDP1	nRDP2	RDP2
L1 level	0xFF	0xFF	RDP2! = 0xCC nRDP2! = 0x33	
未保护	0xA5	0x5A	RDP2! = 0xCC nRDP2! = 0x33	
L2 level	0xXX	0xXX	0x33	0xCC
L1 level	非以上三种配置			

- L0 等级:
 - ◆ 处于未保护状态, ($RDP1 == 0xA5 \& nRDP1 == 0x5A$) && ($RDP2 != 0xCC | nRDP2 != 0x33$)
 - ◆ 主存储区和选项字节可以被任意读取
 - ◆ 主存储区和选项字节可以进行编程和擦除, 可配置读写保护
- L1 等级:
 - ◆ $\sim ((RDP1 == 0xA5 \& nRDP1 == 0x5A) \&& (RDP2 != 0xCC | nRDP2 != 0x33)) | (RDP2 == 0xCC \& nRDP2 == 0x33)$
 - ◆ 只允许从用户代码中对主存储区的读操作, 即以非调试方式从主闪存存储器启动程序的情况才允许对主存储区的读操作
 - ◆ 第 0~1 页被自动加上了写保护;
 - ◆ 其它 Page 可以通过在主闪存存储器中执行的代码进行编程 (实现 IAP 或数据存储等功能)
 - ◆ 全部主存储区页不允许在调试模式下或从内部 SRAM 启动后执行写或擦除操作 (整片擦除除外)
 - ◆ 所有通过 JTAG/SWD 向内置 SRAM 装载代码并执行代码的功能依然有效, 亦可以通过 JTAG/SWD 从内置 SRAM 启动, 这个功能可以用来解除读保护;
 - ◆ 当读保护的选项字节被改写为未保护的 L0 级别时, 将会自动擦除全部主存储区, 执行的过程如下:
 - 在 FLASH_OPTKEY 中写入正确的键值序列解锁选项字节区;
 - 总线发起命令擦除整个选项字节区 (Page 擦);
 - 总线写入读保护选项字节 0xA5;
 - 内部自动擦除全部主存储区;
 - 内部自动写入 0xA5 到读保护选项字节;
 - 进行系统复位 (如软件复位等), 选项字节块 (包括新的 RDP 值 0xA5) 将被重新加载到系统中, 读保护被解除;
 - ◆ 以下对闪存的访问操作都将被禁止:
 - 通过从内置 SRAM 启动执行代码 (包括使用 DMA) 访问主闪存存储器;
 - 通过 JTAG、SWV (串行线观察器)、SWD (串行线调试) 和边界扫描方式访问主闪存存储器;
- L2 等级: 除了 SRAM 启动被禁止、调试模式被禁止、选项字节写/页擦被禁止、保护级别不可修改 (不可逆) 之外, 其余特性同 L1 级别。L2 级别通过配置另一个选项字节 RDP2 来实现, 不管 RDP1 为何值, 只要满足 ($RDP2=0xCC \& nRDP2=0x33$) 即为 L2 级别

表 3-5 存储区读写擦⁽¹⁾权限控制表

保护 级别	启动模式	Main Flash				修改保护级别
		JTAG/	Main Flash	System Memory	SRAM	
	执行用户					

	访问区域	SWD				
L0级别	Flash主存储区4KB前	读写擦	读写擦	读写擦	读写擦	允许改为L1或L2
	Flash主存储区4KB后	读写擦	读写擦	读写擦	读写擦	
	Flash主存储区片擦 ⁽²⁾	允许	允许	允许	允许	
	Flash选项字节区	读写擦	读写擦	读写擦	读写擦	
	Flash系统存储区	禁止	禁止	读写擦	禁止	
	SRAM (All)	读写	读写	读写	读写	
L1级别	Flash主存储区4KB前	禁止	只读	只读	只读	允许改为 L0 或 L2。 改为L0时，主存储区将被自动擦除。
	Flash主存储区4KB后	禁止	读写擦	读写擦	读写擦	
	Flash主存储区片擦 ⁽²⁾	允许	允许	允许	允许	
	Flash选项字节区	读写擦	读写擦	读写擦	读写擦	
	Flash系统存储区	禁止	禁止	读写擦	禁止	
	SRAM (All)	读写	读写	读写	读写	
L2级别	Flash主存储区4KB前	JTAG/SWD 接口被禁止	只读	只读	只读	不允许修改。
	Flash主存储区4KB后		读写擦	读写擦	读写擦	
	Flash主存储区片擦 ⁽²⁾		允许	允许	允许	
	Flash选项字节区		只读	只读	只读	
	Flash系统存储区		禁止	读写擦	禁止	
	SRAM (All)		读写	读写	读写	
保护 级别	启动模式	SRAM				修改保护级别
	执行用户 访问区域	JTAG/ SWD	Main Flash	System Memory	SRAM	
L0级别	Flash主存储区4KB前	读写擦	读写擦	读写擦	读写擦	允许改为L1或L2

	Flash主存储区4KB后	读写擦	读写擦	读写擦	读写擦	
	Flash主存储区片擦 ⁽²⁾	允许	允许	允许	允许	
	Flash选项字节区	读写擦	读写擦	读写擦	读写擦	
	Flash系统存储区	禁止	禁止	读写擦	禁止	
	SRAM (All)	读写	读写	读写	读写	
L1级别	Flash主存储区4KB前	禁止	只读	只读	禁止	允许改为 L0 或 L2。 改为L0时，主存储区将被自动擦除。
	Flash主存储区4KB后	禁止	读写擦	读写擦	禁止	
	Flash主存储区片擦 ⁽²⁾	允许	允许	允许	允许	
	Flash选项字节区	读写擦	读写擦	读写擦	读写擦	
	Flash系统存储区	禁止	禁止	禁止	禁止	
	SRAM (All)	读写	读写	读写	读写	
L2级别	Flash主存储区4KB前	L2保护级别，无法从SRAM启动 不允许修改。 JTAG/SWD 被禁止。				
	Flash主存储区4KB后					
	Flash主存储区片擦除					
	Flash选项字节区					
	Flash系统存储区					
	SRAM (All)					
保护级别	启动模式	System Memory				修改保护级别
	执行用户访问区域	JTAG/SWD	Main Flash	System Memory	SRAM	
L0级别	Flash主存储区4KB前	读写擦	读写擦	读写擦	读写擦	允许改为L1或L2
	Flash主存储区4KB后	读写擦	读写擦	读写擦	读写擦	
	Flash主存储区片擦 ⁽²⁾	允许	允许	允许	允许	

	Flash选项字节区	读写擦	读写擦	读写擦	读写擦	
	Flash系统存储区	禁止	禁止	读写擦	禁止	
	SRAM (All)	读写	读写	读写	读写	
L1级别	Flash主存储区4KB前	禁止	只读	只读	只读	允许改为 L0 或 L2。 改为L0时，主存储区将被自动擦除。
	Flash主存储区4KB后	禁止	读写擦	读写擦	读写擦	
	Flash主存储区片擦 ⁽²⁾	允许	允许	允许	允许	
	Flash选项字节区	读写擦	读写擦	读写擦	读写擦	
	Flash系统存储区	禁止	禁止	读写擦	禁止	
	SRAM (All)	读写	读写	读写	读写	
L2级别	Flash主存储区4KB前	JTAG/SWD 接口被禁止	只读	只读	只读	不允许修改
	Flash主存储区4KB后		读写擦	读写擦	读写擦	
	Flash主存储区片擦 ⁽²⁾		允许	允许	允许	
	Flash选项字节区		只读	只读	只读	
	Flash系统存储区		禁止	读写擦	禁止	
	SRAM (All)		读写	读写	读写	

注：1.这里的擦是指Flash 页擦除；

2.Flash 主存储区片擦除是指mass erase。

3.2.2 iCache

为了达到更高的系统性能，高速 CPU 与低速 Flash 之间需要增加指令缓存器，以提高指令执行效率。由于指令缓存器的存在，CPU 将可以工作在更高的主频。当 CPU 请求的指令在指令缓存器里面时，CPU 将可以无延时地获得指令、实现零等待执行。当前指令序列、指令预取序列、指令缓存器均未命中时，将重新读取 Flash，并回填更新 Cache 缓存；依此，相当于 Cache 中只存储了程序的跳转头。

指令缓存器的主要特性如下：

- 8KB iCache
- 支持相联方式：4WAY

3.2.2.1 软件接口

- 使能

- ◆ 提供软件使能/关闭 Icache 的配置。开关切换条件无限制（见 FLASH_AC.ICAHEN 位）。
- 复位
 - ◆ 提供软件清空 iCache 接口，必须在 iCache 关闭时才发起。复位与切换不可同时切换，先关闭 FLASH_AC.ICAHEN，然后 FLASH_AC.ICAHRST 写 1，然后就可打开 FLASH_AC.ICAHEN。
- 锁定
 - ◆ 支持 iCache 锁定机制，软件配置将程序放入其指定的 way 中。当所有 way 均锁定完成后，新的数据将不会写入 cache 中。软件复位 cache 后，锁定状态自动清除。
- 补充说明
 - ◆ 不支持 iCache 替换算法选择。
 - ◆ 为指令 Cache，不存在 CPU 写操作时 WB/WT 选择。

3.2.2.2 寄存器描述

FLASH_AC.ICAHEN 及 FLASH_AC.ICAHRST，其分别为 iCache 使能开关以及 iCache 数据清零开关。

FLASH_CAHR.LOCKSTRT 及 FLASH_CAHR.LOCKSTOP，其分别为 iCache 对应方式锁定的开始锁存和停止锁存。iCache 复位后，FLASH_CAHR 寄存器自动恢复为复位值。iCache 锁定的详细使用方法见 3.2.2.3.3 iCache 锁定。

3.2.2.3 操作流程

3.2.2.3.1 iCache 启用与禁用

用户软件可以随时开关 iCache。如果用户程序需要在主存储区和其它存储区之间跳转时，必须关闭 iCache 并且将 iCache 数据清零，否者会产生指令获取错误。

3.2.2.3.2 iCache 数据刷新

iCache 设计为指令 Cache，当指令被应用软件更新或者指令在主存储区和其它存储区之间跳转时，软件必须将 FLASH_AC.ICAHRST 位置 1 来清除指令 Cache 内的数据。

注意：FLASH_AC.ICAHRST 位是只写位，读该位时返回为 0。

3.2.2.3.3 iCache 锁定

用户软件控制 FLASH_CAHR 寄存器来将一些重复使用的代码锁存在 iCache 中来提高代码执行的效率。iCache 模块有 4 个锁存通道，每个通道的大小为整个 Cache 的 1/4。在使用单个通道时，必须确保需要锁存的代码量小于每个通道的大小。否者需要用更多的通道来锁存代码。可以按照下面的控制流程来使用锁存功能：

1. 将 FLASH_CAHR.LOCKSTRT[0]置 1；
2. 执行需要锁存在通道 0 的函数 1（函数 1 的代码量应该小于单个通道的大小）；
3. 函数 1 执行完成后，将 FLASH_CAHR.LOCKSTOP[0]置 1；
4. 接着将 FLASH_CAHR.LOCKSTRT[1]置 1；
5. 执行需要锁存在通道 1 的函数 2（函数 2 的代码量应该小于单个通道的大小）；
6. 函数 2 执行完成后，将 FLASH_CAHR.LOCKSTOP[1]置 1；

注意：1. 通道锁存时寄存器操作必须要按照固定的流程 – 先设置 FLASH_CAHR.LOCKSTRT – 再设置

FLASH_CAH.R.LOCKSTOP;

2.通道锁存的顺序必须要按照0~3，否者会降低执行效率。

3.2.3 SRAM

SRAM 主要用于代码运行，存放程序执行过程中的变量和数据或堆栈，容量最大为 128KB。

SRAM 支持字节、半字、字的读写访问。

SRAM 支持代码运行（支持 SBus 和 ICode、DCode 的访问），可以在 SRAM 全速运行程序。SRAM 的最大地址范围是 0x2000_0000~0x2001_FFFF。

SRAM 在 Stop2、Standby 和 VBAT 模式下数据不能保持；其他工作模式（Run/Sleep/Stop0）数据可以正常保持。

主要特性如下：

- 容量最大总共为 128KB
- 支持字节/半字/字读写
- I/D/S/DMA1/DMA2/ETH 均可访问
- I/D BUS 可以 Remap 到 SRAM 全速运行程序

3.2.4 R-SRAM (Retention SRAM)

R-SRAM 也是主要用于代码运行，存放程序执行过程中的变量和数据或堆栈，容量总共为 16KB。R-SRAM 的总线地址与 SRAM 是连续相接的，应用上，可以把 SRAM 和 R-SRAM 当做一块 SRAM 来处理。最大情况下，R-SRAM 的 0 号物理地址对应总线起始地址为 0x2002 0000，对应的总线地址范围为 0x2002 0000~0x2002 3FFF。R-SRAM 支持字节、半字、字的读写访问，支持 SBus、DMA1、DMA2、ETH 的访问。

因为 R-SRAM 的总线地址与 SRAM 是连续相接的，而对于不同的产品型号，SRAM 可供有效使用的容量是不同的，所以对于不同的产品型号来说，R-SRAM 的总线起始地址是不一样的。

R-SRAM 支持 Retention，在 VBAT、Standby 模式下可以保持数据（可以配置为保持或不保持）；其他工作模式（RUN/SLEEP/STOP0/ STOP2）数据默认保持；需要 PWR 对其 Retention 进行控制管理。

表 3-6 SRAM 容量配置表

SRAM 容量	R-SRAM 容量	SRAM 总线地址范围	R-SRAM 总线地址范围
64KB	16KB	0x2000 0000~0x2000 FFFF	0x2001 0000~0x2001 3FFF
128KB	16KB	0x2000 0000~0x2001 FFFF	0x2002 0000~0x2002 3FFF

R-SRAM 主要特性如下：

- 容量总共为 16KB(支持奇偶校验, 使用前需初始化)
- 字节/半字/字读写
- SBus/DMA1/DMA2/ETH 均可访问
- 总线起始地址与主存储器 SRAM 连续相接
- 总线起始地址跟随主存储器 SRAM 容量变化

- 可以 Retention，在 Stop2 和 Standby 模式下仍需保持数据（可配置为不保持）

3.2.5 FLASH 寄存器

必须以字（32 位）的方式操作寄存器。

3.2.5.1 FLASH 寄存器总览

表 3-7 FLASH 寄存器总览

Offset	Register	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
		FLASH_AC	Reserved																				ICAHEN	ICAHRST	PRFTBFS	PRFTBFE	Reserved	LATENCY					
		Reset Value		0	0	1	1	0	0	0	0	0	0	0	0																		
004h	FLASH_KEY	FKEY																															
008h	FLASH_OPTKEY	OPTKEY																															
00Ch	FLASH_STS	Reserved	ECCERR	EOPIFE	FERRITE	ERRITE	OPTWE	SMPSEL	LOCK	START	EOP	WRPERR	PVERR	PGERR	PER	RDKEYERR	PG	PG	PG	PG	PG												
010h	FLASH_CTRL	Reserved	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0											
014h	FLASH_ADD	FADD	OPTER	OPTG	OPTG	OPTG	OPTG	OPTG	0	0	0	0	0	0	0	0	0	0	0	0	0												
018h	Reserved																																
01Ch	FLASH_OB	RDPRT2	Reserved	Data0	Not Used	nRST_STDBY	nRST_STOP	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1						
020h	FLASH_WRP	WRPT	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0											
024h	FLASH_ECC	Reserved	ECCHW	ECCCLW	0	0	0	0																									
028h	Reserved																																
02Ch	FLASH_RDN	Reserved	FLASH_RDN1	Reserved	FLASH_RDN0	0	0	0	0	0	0																						
030h	FLASH_CAH	Reserved	LOCKSTOP	LOCKSTRT	0	0	0	0																									
		Reset Value		0	0	0	0	0	0																								

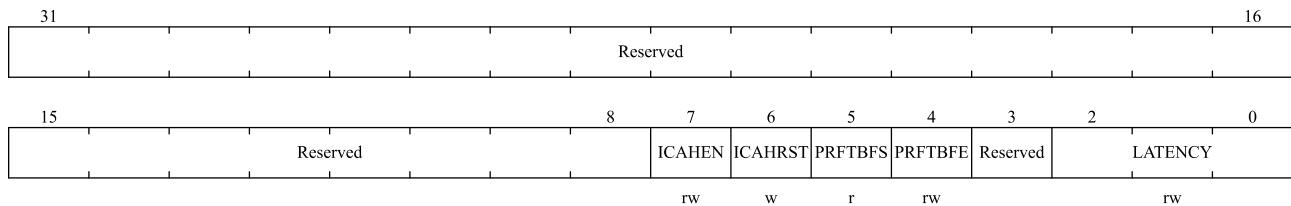
3.2.5.2 FLASH 控制和状态寄存器

有关寄存器说明中的缩写，请见 1.1 节

3.2.5.2.1 FLASH 访问控制寄存器 (FLASH_AC)

偏移地址: 0x00

复位值: 0x0000 0030

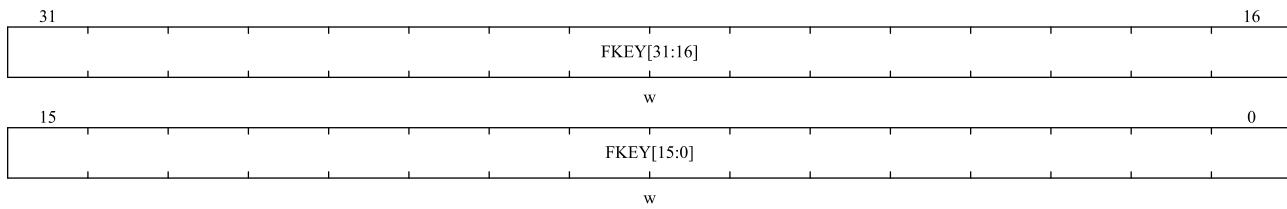


位域	名称	描述
31:8	Reserved	保留，必须保持复位值。
7	ICAHEN	Icache 使能 0: 关闭 Icache; 1: 启用 Icache。
6	ICAHRST	Icache 复位 0: 写'0'无效; 1: 写'1'复位。
5	PRFTBFS	预取缓冲区状态 该位指示预取缓冲区的状态 0: 预取缓冲区关闭; 1: 预取缓冲区开启。
4	PRFTBFE	预取缓冲区使能 0: 关闭预取缓冲区; 1: 启用预取缓冲区。
3	Reserved	保留，必须保持复位值。
2:0	LATENCY	时延 这些位表示 SYSCLK (系统时钟) 周期与闪存访问时间的比例 000: 零周期时延, 当 $0 < \text{SYSCLK} \leq 32\text{MHz}$ 001: 一个周期时延, 当 $32\text{MHz} < \text{SYSCLK} \leq 64\text{MHz}$ 010: 两个周期时延, 当 $64\text{MHz} < \text{SYSCLK} \leq 96\text{MHz}$ 011: 三个周期时延, 当 $96\text{MHz} < \text{SYSCLK} \leq 128\text{MHz}$ 100: 四个周期时延, 当 $128\text{MHz} < \text{SYSCLK} \leq 144\text{MHz}$ 其他值: 保留

3.2.5.2.2 FLASH 键寄存器 (FLASH_KEY)

偏移地址: 0x04

复位值: 0xXXXX XXXX

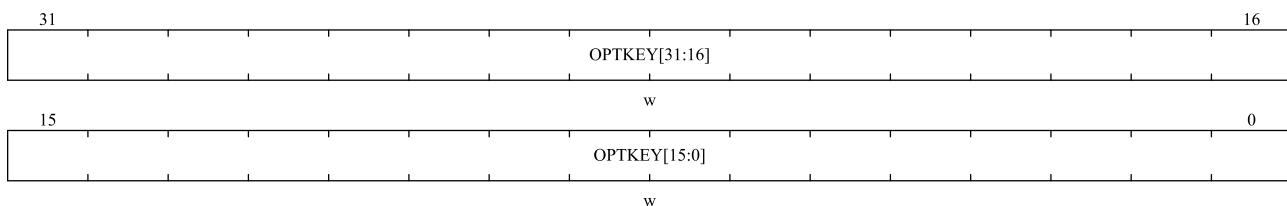


位域	名称	描述
31:0	FKEY	用于解锁 FLASH_CTRL.LOCK 位

3.2.5.2.3 FLASH OPTKEY 寄存器 (FLASH_OPTKEY)

偏移地址: 0x08

复位值: 0xXXXX XXXX

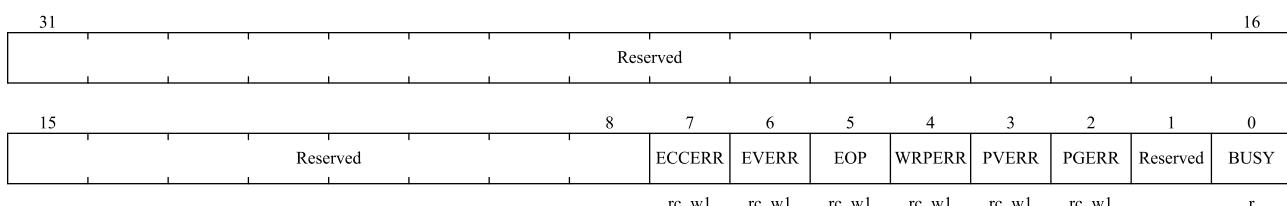


位域	名称	描述
31:0	OPTKEY	用于解锁 FLASH_CTRL.OPTWE 位

3.2.5.2.4 FLASH 状态寄存器 (FLASH_STS)

偏移地址: 0x0C

复位值: 0x0000 0000



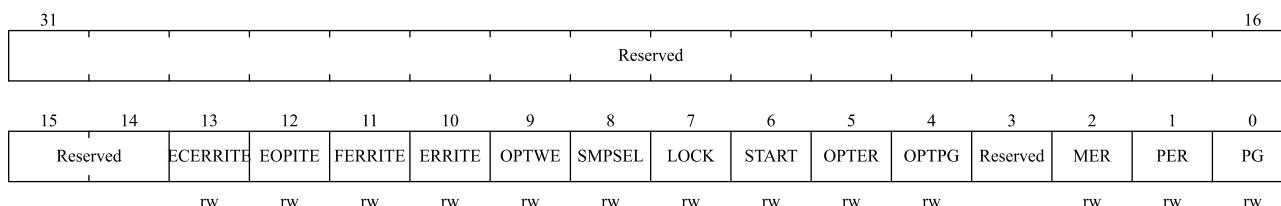
位域	名称	描述
31:8	Reserved	保留, 必须保持复位值
7	ECCERR	ECC 错误 读 FLASH 时报错, 硬件设置这位为'1', 写入'1'可以清除这位状态。
6	EVERR	擦除校验错误 当页擦除后校验时报错, 硬件设置这位为'1', 写入'1'可以清除这位状态。
5	EOP	操作结束 当闪存操作 (编程/擦除) 完成时, 硬件设置这位为'1', 写入'1'可以清除这位状态。 注: 每次成功的编程或擦除都会设置 EOP 状态。
4	WRPERR	写保护错误 试图对写保护的闪存地址编程时, 硬件设置这位为'1', 写入'1'可以清除这

位域	名称	描述
		位状态。
3	PVERR	编程校验错误 当编程后校验时报错，硬件设置这位为'1'，写入'1'可以清除这位状态。
2	PGERR	编程错误 试图对内容不是'0xFFFF_FFFF'的地址编程时，硬件设置这位为'1'，写入'1'可以清除这位状态。 注：进行编程操作之前，必须先清除FLASH_CTRL.START位。
1	Reserved	保留，必须保持复位值
0	BUSY	忙 该位指示闪存操作正在进行。在闪存操作开始时，该位被设置为'1'；在操作结束或发生错误时该位被清除为'0'。

3.2.5.2.5 FLASH 控制寄存器 (FLASH_CTRL)

偏移地址: 0x10

复位值: 0x0000 0080



位域	名称	描述
31:14	Reserved	保留，必须保持复位值
13	ECERRITE	ECC 错误中断 该位允许在 FLASH_STS.ECCERR 位变为'1'时产生中断。 0: 禁止产生中断； 1: 允许产生中断。
12	EOPITE	允许操作完成中断 该位允许在 FLASH_STS.EOP 位变为'1'时产生中断。 0: 禁止产生中断 1: 允许产生中断
11	FERRITE	擦除/编程校验错误中断 该位允许在 FLASH_STS.EVERR/PVERR 位变为'1'时产生中断。 0: 禁止产生中断； 1: 允许产生中断。
10	ERRITE	允许错误状态中断 该位允许在发生 Flash 错误时产生中断（当 FLASH_STS.PGERR/WRPERR 置为'1'时）。 0: 禁止产生中断 1: 允许产生中断
9	OPTWE	允许写选项字节 当该位为'1'时，允许对选项字节进行编程操作。当在 FLASH_OPTKEY 寄

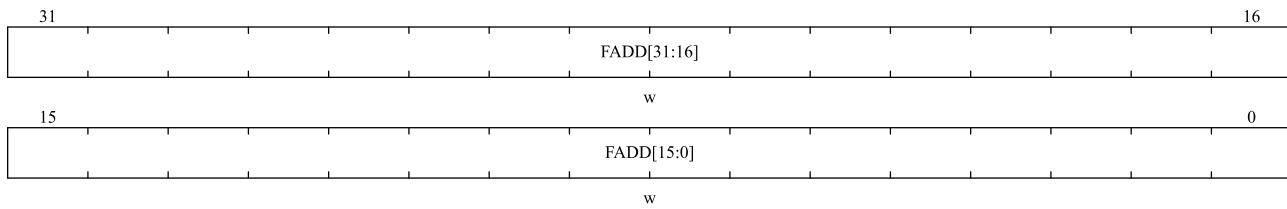
位域	名称	描述
		存器写入正确的键序列后，该位被置为'1'。 软件可清除此位。
8	SMPSEL	Flash 编程模式选项 0: SMP1 模式。在进行编程之前，需要先读出编程所在地址的内容，并检查是否已被擦除过，若尚未被擦除则不执行编程操作，并置起 FLASH_STS.PGERR 警告位； 1: SMP2 模式。在进行编程之前，不会判断编程所在地址的内容是否已经被擦除过，Flash 会直接启动编程。如果编程地址之前已经写入过数据，使用 SMP2 模式编程该地址时只能写入相同数据，否则无法保证数据写入正确。
7	LOCK	锁定 只能写'1'。当该位为'1'时表示 Flash 和 FLASH_CTRL 被锁住。在检测到正确的解锁序列后，硬件清除此位为'0'。 在一次不成功的解锁操作后，下次系统复位前，该位不能再被改变。
6	START	开始 当该位为'1'时将触发一次擦除操作。该位只可由软件置为'1'并在 FLASH_STS.BUSY 变为'1'时清除为'0'。
5	OPTER	擦除选项字节 0: 不开启选项字节擦除模式 1: 开启选项字节擦除模式
4	OPTPG	编程选项字节 0: 不开启选项字节编程模式 1: 开启选项字节编程模式
3	Reserved	保留，必须保持复位值
2	MER	片擦除 0: 不开启片擦除模式 1: 开启片擦除模式
1	PER	页擦除 0: 不开启页擦除模式 1: 开启页擦除模式
0	PG	编程 0: 不开启编程模式 1: 开启编程模式

注:关于编程及擦除请参考 3.2.1.4 节。

3.2.5.2.6 FLASH 地址寄存器 (FLASH_ADD)

偏移地址: 0x14

复位值: 0x0000 0000

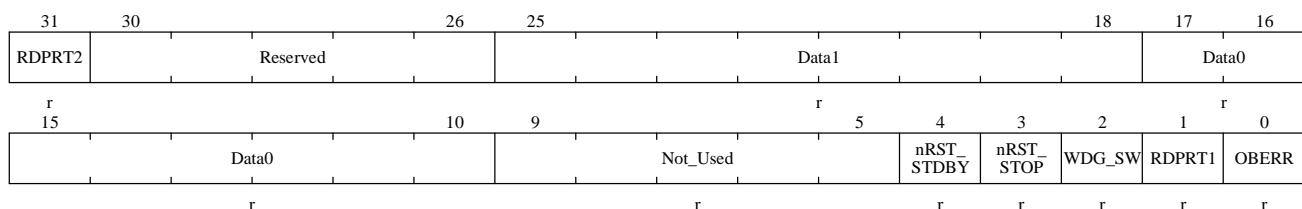


位域	名称	描述
31:0	FADD	闪存地址 当进行编程时选择要编程的地址，当进行页擦除时选择要擦除的页。 注意：当FLASH_STS.BUSY位为'1'时，不能写这个寄存器。

3.2.5.2.7 选项字节寄存器 (FLASH_OB)

偏移地址: 0x1C

复位值: 0x03FF FFFF



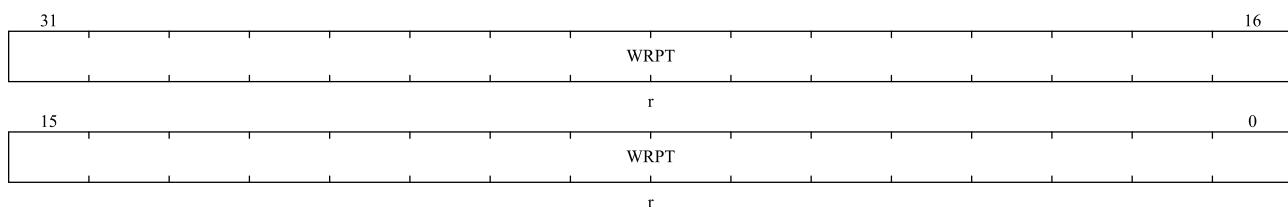
位域	名称	描述
31	RDPORT2	读保护 L2 级别 0: 读保护 L2 级别未使能 1: 读保护 L2 级别使能 注: 只读位。
30:26	Reserved	保留，必须保持复位值
25:18	Data1[7:0]	Data1 注: 只读位。
17:10	Data0[7:0]	Data0 注: 只读位。
9:5	Not_Used	没有使用，硬件保持为 1。
4	nRST_STDBY	进入 Standby 模式复位配置 0: 进入 Standby 模式后立即产生复位； 1: 进入 Standby 模式后不产生复位。 注: 该位为只读。
3	nRST_STOP	进入 STOP0/STOP2 模式复位配置 0: 进入 STOP0/STOP2 模式后立即产生复位； 1: 进入 STOP0/STOP2 模式后不产生复位。 注: 该位为只读。
2	WDG_SW	看门狗设置 0: 硬件看门狗 1: 软件看门狗 注: 只读位。

位域	名称	描述
1	RDPRT1	读保护 L1 级别 0: 读保护 L1 级别未使能 1: 读保护 L1 级别使能 注: 只读位。
0	OBERR	选项字节错误 当该位为'1'时表示选项字节和它的补码不匹配 注: 只读位。

3.2.5.2.8 写保护寄存器 (FLASH_WRP)

偏移地址: 0x20

复位值: 0xFFFF FFFF

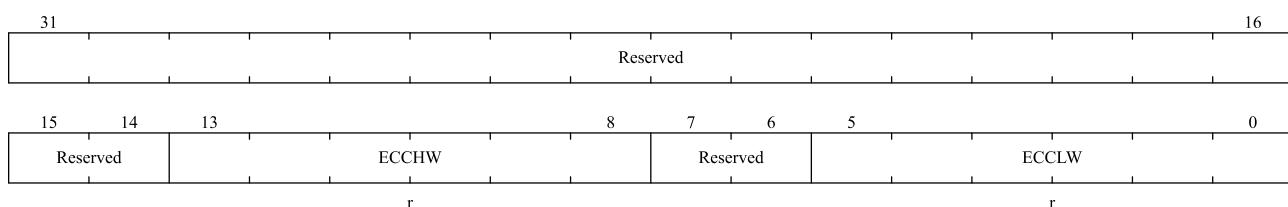


位域	名称	描述
31:0	WRPT	写保护 该寄存器包含由选项字节区加载的写保护选项字节。 0: 写保护生效; 1: 写保护失效。 注: 只读位。

3.2.5.2.9 ECC 寄存器 (FLASH_ECC)

偏移地址: 0x24

复位值: 0x0000 0000

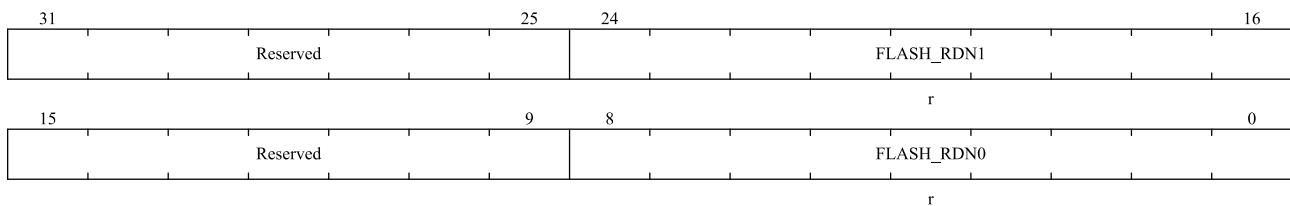


位域	名称	描述
31:14	Reserved	保留, 必须保持复位值。
13:8	ECCHW	向一个 32 位 Flash 地址写字后, 对应的高 6-bit ECC 值。
7:6	Reserved	保留, 必须保持复位值。
5:0	ECCLW	向一个 32 位 Flash 地址写字后, 对应的低 6-bit ECC 值。

3.2.5.2.10 RDN 寄存器 (FLASH_RDN)

偏移地址: 0x2C

复位值: 0x0000 0000

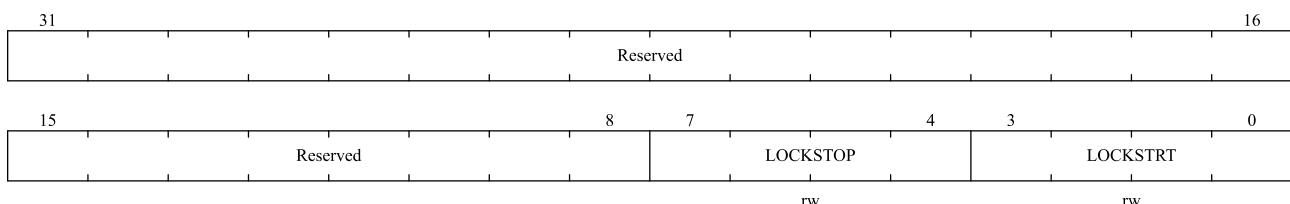


位域	名称	描述
31:25	保留	保留, 必须保持复位值。
24:16	FLASH_RDN1	Flash 冗余块页 1 的地址
15:9	保留	保留, 必须保持复位值。
8:0	FLASH_RDN0	Flash 冗余块页 0 的地址

3.2.5.2.11 CAHR 寄存器 (FLASH_CAHRS)

偏移地址: 0x30

复位值: 0x0000 0000



位域	名称	描述
31:8	Reserved	保留, 必须保持复位值
7:4	LOCKSTOP[3:0]	iCache 锁定停止 (详细操作说明见 3.2.2.3.3 iCache 锁定章节) 0: 不使能 1: 使能
3:0	LOCKSTRT[3:0]	iCache 锁定开始 0: 不使能 1: 使能

4 电源控制 (PWR)

4.1 通用描述

PWR 是用于控制不同模块在不同功耗模式下的状态的电源管理单元。它的主要功能是控制 MCU 进入不同的功耗模式，并在事件或中断发生时唤醒。MCU 支持 RUN、SLEEP、STOP0、STOP2、STANDBY 和 VBAT 模式。

4.1.1 电源

- ✧ MCU 工作电压 (VDD) 为 1.8V~3.6V。它主要有 3 个模拟/数字电源区域 (VDD、VBAT、VDDA)。具体请参考图 4-1 电源框图。为了说明不同的电源域的功能，下面将对一些电源区域进行介绍，本文档将在后面的章节介绍电源区域的数字部分。
 - V_{DD} 域：电压输入范围为 1.8V~3.6V，主要为 MR, CPU, AHB, APB, SRAM, FLASH 及大部分数字外设接口供电。
 - V_{BAT} 区域：输入电压范围为 1.8V~3.6V，为 BKR 和一些特殊的 IO (PC13, PC14, PC15) 口供电。当 VDD 掉电时，开关把供电系统 VDD 切换到 V_{BAT}。
 - V_{DDA} 域：电压输入范围为 1.8V~3.6V，主要为时钟及复位系统、大部分模拟外设供电。
- ✧ BKR 和 MR 是内部的电压调节器可以为数字模块供电系统提供电源。VDD 和 V_{BAT} 一般由外部直接供电，V_{BAT} 由电池供电来保持备份区域的内容，而 VDD 则由其他的外部供电系统供电。另外如果不接电池，那么 V_{BAT} 必须直接连接到 VDD。

● MR

MR 是内部的主电源控制器，主要用在 RUN 模式、SLEEP 模式以及 STOP0 模式。MR 有两种模式，正常模式和低功耗模式，低功耗模式用于 STOP0 来进一步降低功耗。

当 MR 进入低功耗模式时，CPU 会进入深度睡眠状态。此时应设置 PWR_CTRL.PDS 位为 0，PWR_CTRL.LPS 位为 1。当 MR 进入正常模式，此时需要设置 PWR_CTRL.PDS 位为 0，PWR_CTRL.LPS 位也为 0。

● BKR

BKR 是内部备电域电源控制器，用在 STOP2、STANDBY 和 V_{BAT} 模式。在 STOP2 模式，CPU 状态是保持的，另外给数字备电区域、GPIO 和 EXTI 供电。当 CPU 进入深度睡眠，此时应设置 PWR_CTRL2.STOP2S 位为 1。

数字备电区域主要模块包括 PWR、IO (PA0_WAKUP, PC13_TAMPER, PC14, PC15)、R-SRAM、RTC、BKR 和 RCC_BDCTRL 寄存器。SW3 开关打开时，CPU 会进入深度睡眠状态。当 SW1 把供电系统切换到 V_{BAT} 时，表明 VDD 此时已经掉电了。

- ✧ 复位时，SW1 会把供电系统切换到 VDD 供电区域。在 STOP2、STANDBY 和 V_{BAT} 模式，内部电压调整器 BKR 将给数字备电区域供电。

- 在 VDD 上升阶段或者 PDR 被检测到时，在 V_{BAT} 和 VDD 之间的开关保持连接到 V_{BAT} 区域。
- 在启动阶段，如果 VDD 快速建立，并且 VDD > V_{BAT} + 0.6V，电流可以通过内部二极管连接注入到 V_{BAT}。如果连接到 V_{BAT} 的电源或者电池不支持这种电流的注入。强烈建议在该电源和 V_{BAT}

引脚之间加一个低压的二极管。

如果应用中没有外部电池。建议 VBAT 引脚连接到 VDD 上，同时并一个 100nF 的陶瓷电容。在 RUN、SLEEP、STOP0 模式，备电区域由 VDD 供电（SW1 连接到 VDD），下述功能可用：

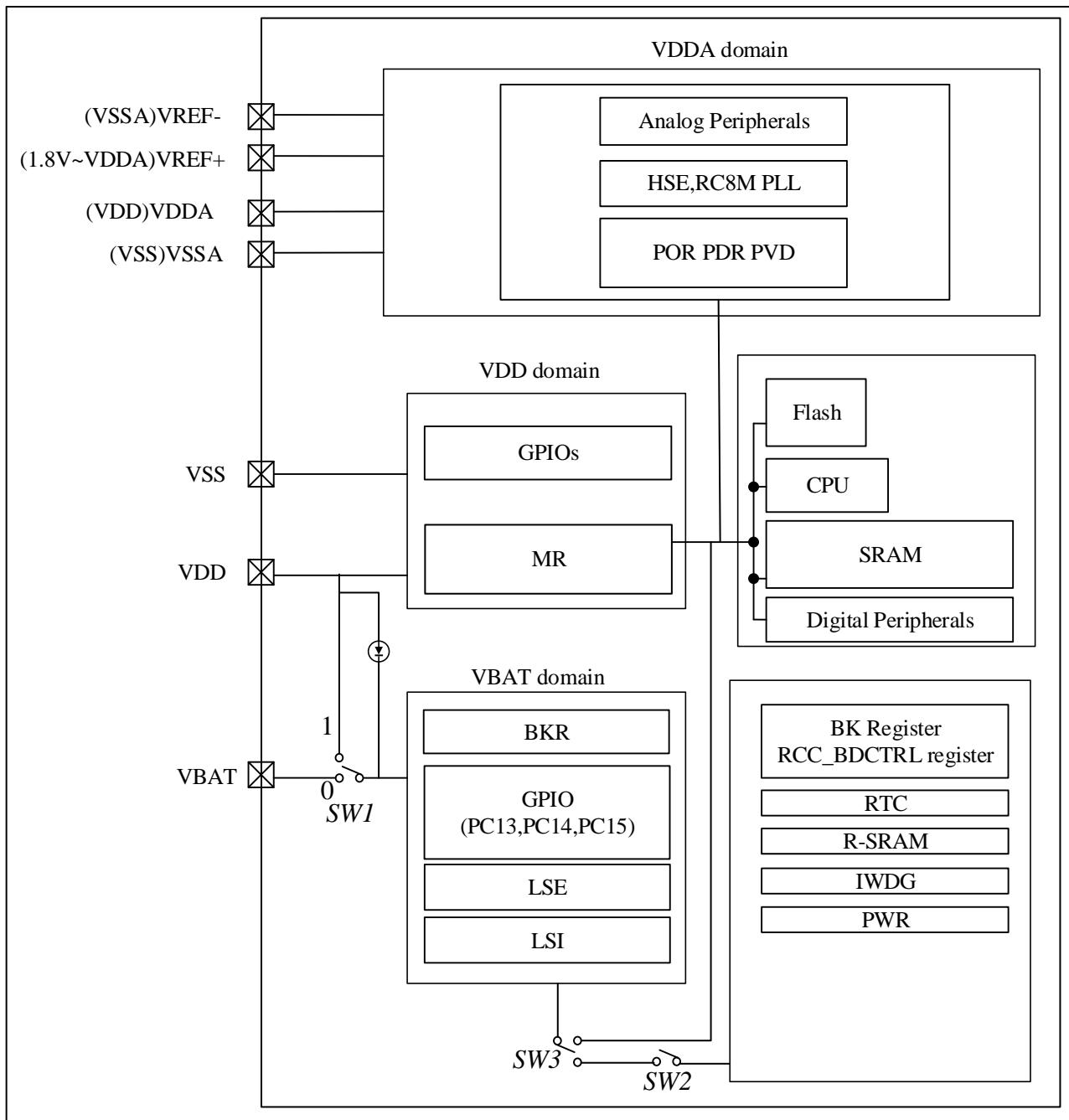
- PC14 和 PC15 可以被用于普通的 IO 口或者 LSE 管脚
 - PC13 可以被用于普通的 IO 口，TAMPER 管脚，RTC 校验时钟引脚，RTC 闹钟和周期性唤醒输出
- 注意：

由于事实上 SW1 和 SW2 流过的电流是受限制的，最大为 3mA。所以 PA0_WAKUP、PC13 到 PC15 这些 IO 输出模式是受限制的，在外挂 30PF 的电容时，最大的输出速度为 2MHz。另外这些 IO 不能当电流驱动，比如不能去驱动 LED。SW2 的电流会维持在 3mA 或者更低，因为 GPIO、EXTI 工作都会共同消耗电流。

当 VBAT 为备电区域供电时，此时可以使用以下功能：

- PC14 和 PC15 只能用于 LSE 管脚
- PC13 被用于 TAMPER 管脚，RTC 闹钟或者周期性唤醒输出

图 4-1 电源框图



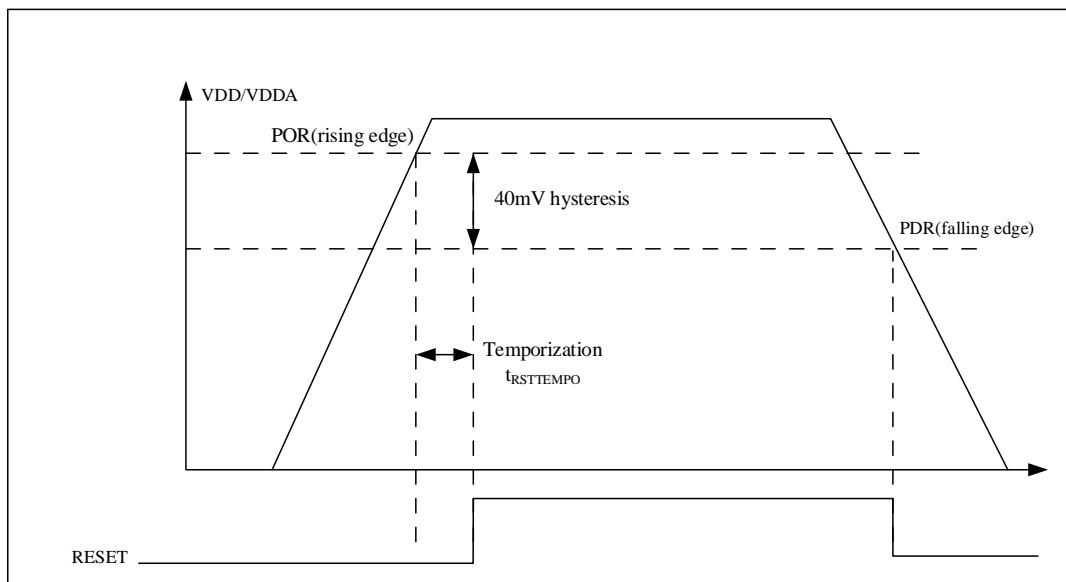
4.1.2 电压监控

4.1.2.1 上电复位（POR）和下电复位（PDR）

上电复位（POR）和与下电复位（PDR）电路集成在芯片内部。可以工作在最低 1.8V 的电压。不需要外部的复位电路，当 VDD 或者 VDDA 低于规定的阈值 ($V_{POR/PDR}$) 时，芯片会保持复位状态。

有关开关电源复位阀值的详细信息，请参阅相关数据手册电气特性部分。

图 4-2 上电复位和掉电复位的波形图



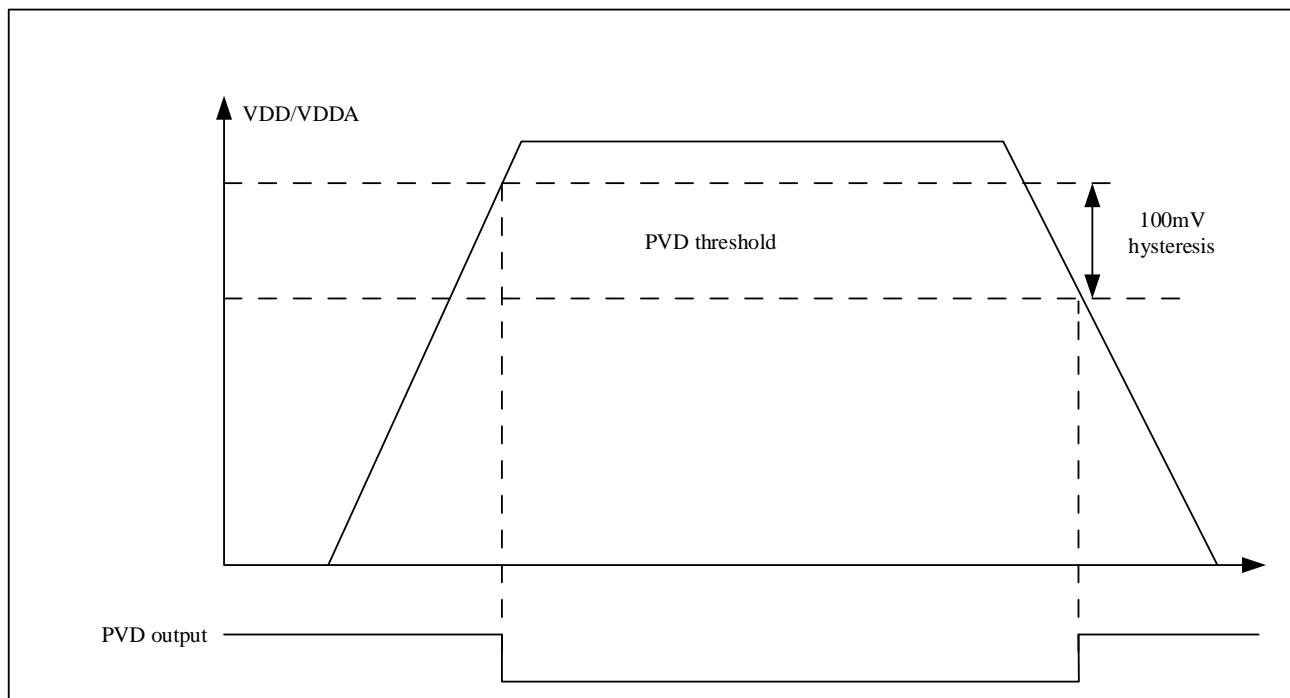
4.1.2.2 可编程电压监测器 (PWD)

通过与电源控制寄存器 PWR_CTRL.PRS[2:0]位设置的阈值进行比较，PWD 可用于监控 VDD/VDDA 电源。通过设置 PWR_CTRL.PVDEN 启用 PWD。

PWR_CTRLSTS.PVDO 标志用于指示 VDD/VDDA 是否高于/低于 PWD 电压阈值。该事件在内部连接到外部中断的中断线 16，如果在外部中断寄存器中使能了中断，则会产生中断。根据外部中断线 16 的上升/下降沿触发设置，当 VDD/VDDA 下降到 PWD 阈值以下或 VDD/VDDA 上升到 PWD 阈值以上时，会发生 PWD 中断。例如，此功能可用于执行紧急关机任务。

注意：N32G45x PWD 阈值需要配合寄存器 PWR_CTRL3 中位 EXMODE 配置。具体请参考寄存器 PWR_CTRL 中位 MSB 和 PRS[2:0]，它们的组合可以组成 4 位 PWD 阈值配置。

图 4-3 PVD 阈值波形图



4.1.2.3 Brown_out (BOR)

BOR 是器件内置的掉电复位控制器，当 VDD 电压低于 1.62V（典型值）时，器件将保持为复位状态。

4.2 功耗模式

MCU 共有 6 种功耗模式：RUN、SLEEP、STOP0、STOP2、STANDBY 和 VBAT，不同的模式具有不同的性能和功耗。MCU 功耗模式总结如下所示。

表 4-1 功耗模式

模式	条件	进入	退出
RUN	CPU 启动 外设配置	上电，系统复位，低功耗唤醒	进入睡眠、STOP0、STOP2、待机和 VBAT 模式
SLEEP	CPU 进入睡眠模式，内核停止。所有的外设配置，电压调节器仍在运行。任一中断和事件都可以唤醒 CPU	1) SCB_SCR.SLEEPDEEP = 0, SCB_SCR.SLEEPONEXIT = 0, WFI/WFE 2) SCB_SCR.SLEEPDEEP = 0, SCB_SCR.SLEEPONEXIT = 1, 没有中断等待，CPU 返回来自 ISR	唤醒： 1) 如果通过 WFI 进入或者设置 SCB_SCR.SLEEPONEXIT = 1，任一 NVIC 中断都可以退出 2) 如果通过 WFE 或者设置 SCB_SCR.SEVONPEND=1，任一外设中断都可以退出 SCB_SCR.SEVONPEND=0，外部中断线退出
STOP0 ^[1]	CPU 深度睡眠方式： 外设时钟，所有数字模块和电压调节器仍	WFI / WFE: 1) SCB_SCR.SLEEPDEEP	唤醒： 1) 如果由 WFI 进入，任何来自

模式	条件	进入	退出
	运行。HSE / HSI / PLL 关闭。 LSE / LSI, RTC 或者其他外设可以配置用来唤醒。 所有的 SRAM 保持数据，所有的 IO 口，IWDG 和 RTC 可以用来唤醒 CPU。 唤醒之后开启 HSI，代码从挂起的地方启动。	= 1, PWR_CTRL.PDS=0, 2) PWR_CTRL.LPS=0/1, 选择主电压调节器工作模式	外部中断/事件线（NVIC 启用），它可以是外部中断或内部外设 2) 如果由 WFE 进入，SCB_SCR.SEVONPEND=0，任何来自外部事件线 3) 如果由 WFE 进入，SCB_SCR.SEVONPEND=1，任何来自外部中断或内部外设中断
STOP2 ^[2]	CPU 深度睡眠方式： CPU 寄存器保持，所有的核心数字逻辑区域电源全部关闭。 主电压调节器（MR）关闭， HSE/HSI/PLL 关闭。LSE/LSI 可配置， GPIO 保持，外设 IO 复用不保持。16KB R-SRAM 保持，其他的 SRAM 和寄存器数据都丢失。 84B BK 寄存器保持。 GPIOs 和 EXTI 开启。	WFI/WFE: 1) SCB_SCR.SLEEPDEEP = 1 2) PWR_CTRL2.STOP2S = 1	唤醒： 1) 如果由 WFI 进入，任何来自外部中断/事件线（NVIC 启用），它可以是外部中断或内部外设 2) 如果由 WFE 进入，SCB_SCR.SEVONPEND=0，任何来自外部事件线 3) 如果由 WFE 进入，SCB_SCR.SEVONPEND=1，任何来自外部中断或内部外设中断
STANDBY	主电压调节器关闭，HSE/HSI/PLL 关闭。 LSE/LSI 可配置。 16KB 字节 R-SRAM 保持，通过 PWR_CTRL2.SR2STBRET 配置。其他的 SRAM 和寄存器数据都丢失。 除了以下 NRST/PA0_WKUP/PC13-TAMPER/PC14-OSC32_IN/PC15-OSC32_OUT，其他 IO 都是高阻态。 84 字节的 BK 寄存器仍保持数据值，IWDG, RTC/PA0WKUP/NRST/TAMPER 可以唤醒 CPU。	WFI/WFE: 1) SCB_SCR.SLEEPDEEP = 1 中断/事件 2) PWR_CTRL.PDS=1	WKUP 上升沿，RTC alarm 上升沿，NRST 复位，IWDG 复位
VBAT	CPU 关闭，所有的外设关闭，主电压调节器关闭，LSE/LSI 可配置， HSE/HSI/PLL 关闭。除了 NRST/PC13-TAMPER/PC14-OSC32_IN/PC15-OSC32_OUT，大部分 IO 口处于高阻态。	VDD 关闭	VDD 开启

注意：

1. STOP0 模式，在唤醒后，代码可以从停止位置继续运行。
2. STOP2 模式，在唤醒后，在 R-SRAM 区的堆和全局变量可以从停止的位置恢复和继续，此时外设需要重新初始化。

不同模块在不同功耗模式下的运行使能情况如下表所示：

表 4-2 模块运行状态⁽¹⁾

Peripheral	Run	Sleep	Stop 0		Stop 2		Standby		VBAT
			-	Wakeup capability	-	Wakeup capability	-	Wakeup capability	
MR	Y	Y	(3)	-	OFF	-	OFF	-	OFF
BKR	Y	Y	Y	-	Y	-	Y	-	Y
POR	Y	Y	Y	-	Y	-	Y	Y	
PDR	Y	Y	Y	-	Y	-	Y	Y	-
PVD	O	O	O	O	O	O	-	-	-
BKPOR/PDR	Y	Y	Y	-	Y	-	Y	-	Y
CPU	Y	HCLK (O)	HCLK (O)	-	-	-	OFF	-	OFF
Flash	O	O	(4)	-	OFF	-	OFF	-	OFF
SRAM	Y	Y	Y	-	OFF	-	OFF	-	OFF
R-SRAM	Y	O	Y	-	O	-	O	-	O
Backup Registers	Y	Y	Y	-	Y	-	Y	-	Y
DMA	O	O	-	-	-	-	-	-	-
HSI	O	O	OFF	-	OFF	-	OFF	-	OFF
HSE	O	O	OFF	-	OFF	-	OFF	-	OFF
LSI	O	O	O	-	O	-	O	-	O
LSE	O	O	O	-	O	-	O	-	O
CSS	O	O	-	-	-	-	-	-	-
RTC / Auto wakeup	O	O	O	O	O	O	O	O	O
Number of RTC Tamper	1	1	1	O	1	O	1	O	1

Peripheral	Run	Sleep	Stop 0		Stop 2		Standby		VBAT
			-	Wakeup capability	-	Wakeup capability	-	Wakeup capability	
pins									
USART1/2/3	O	O	-	-	-	-	-	-	-
UART4/5/6/7	O	O	-	-	-	-	-	-	-
I2C1/2/3/4	O	O	-	-	-	-	-	-	-
SPI1/2/3	O	O	-	-	-	-	-	-	-
CAN1/2	O	O	-	-	-	-	-	-	-
USB	O	O	-	-	-	-	-	-	-
ETH MAC	O	O	-	-	-	-	-	-	-
QSPI	O	O	-	-	-	-	-	-	-
SDMMC	O	O	-	-	-	-	-	-	-
ADC	O	O	-	-	-	-	-	-	-
DAC	O	O	-	-	-	-	-	-	-
OPAMP	O	O	-	-	-	-	-	-	-
COMP	O	O	O	O	-	-	-	-	-
DVP	O	O	-	-	-	-	-	-	-
Tempsensor	O	O	-	-	-	-	-	-	-
TIMx	O	O	-	-	-	-	-	-	-
IWDG	O	O	O	O	O	O	O	O	-
WWDG	O	O	-	-	-	-	-	-	-
SysTick	O	O	-	-	-	-	-	-	-
SAC	O	O	-	-	-	-	-	-	-
RNG	O	O	-	-	-	-	-	-	-

Peripheral	Run	Sleep	Stop 0		Stop 2		Standby		VBAT
			-	Wakeup capability	-	Wakeup capability	-	Wakeup capability	
CRC	O	O	-	-	-	-	-	-	-
GPIOs	O	O	O	O	O	O	Y	2pins	-

注意：

1. Y 表示 Yes (使能), O 表示 Option (可选), - 表示无效, OFF 表示关闭,
2. 2pins 代表 2 个唤醒 IO, PA0_WKUP 和 NRST
3. MR 可选处于正常模式或低功耗模式
4. FLASH 处于睡眠 (Flash 自身) 模式

4.2.1 SLEEP 模式

CPU 停止，所有外围设备，包括 Cortex®-M4F 内核周围的外围设备（如 NVIC、SysTick 等）都可以运行，在中断或事件发生时唤醒 CPU。在 SLEEP 模式下，所有 I/O 引脚保持与运行模式下相同的状态/功能。

4.2.1.1 进入 SLEEP 模式

通过执行 WFI（等待中断）或 WFE（等待事件）指令和 SCB_SCR.SLEEPDEEP=0 进入 SLEEP 模式。根据 SCB_SCR.SLEEPONEXIT，进入 SLEEP 模式有两种方式：

- SLEEP-NOW: 如果 SCB_SCR.SLEEPONEXIT=0，则立即执行 WFI 或 WFE 指令，系统立即进入 SLEEP 模式。
- SLEEP-ON-EXIT: 如果 SCB_SCR.SLEEPONEXIT=1，系统从最低优先级 ISR 退出时立即进入 SLEEP 模式。

在 SLEEP 模式下，所有 I/O 引脚保持与运行模式下相同的状态/功能。

4.2.1.2 退出 SLEEP 模式

如果使用 WFI 指令进入 SLEEP 模式，任何 NVIC 中断都可以将设备从 SLEEP 模式唤醒。

如果使用 WFE 指令进入 SLEEP 模式，MCU 将在事件发生时立即退出 SLEEP 模式。唤醒事件可以通过以下方式生成：

- 在外设控制寄存器而不是 NVIC 中使能中断，并使能 SCB_SCR.SEVONPEND。当 MCU 被 WFE 唤醒时，外设中断挂起位和外设 NVIC 中断通道挂起位（在 NVIC 中断清除挂起寄存器中）必须清零。
- 配置外部或内部 EXTI 事件模式。当 MCU 唤醒时，不需要清除外设中断挂起位和外设 NVIC 中断通道挂起位（在 NVIC 中断清除挂起寄存器中），因为没有设置事件线对应的挂起位。该模式提供最短的唤醒时间，因为没有时间花在中断进入或退出上。

4.2.2 STOP0 模式

STOP0 模式基于 Cortex®-M4 深度睡眠模式，并结合外设时钟控制机制。电压调整器可以配置为正常或低功耗模式。在 STOP0 模式下，核心域中的时钟源大多数都是禁用的，如 PLL、HSI 和 HSE。但是 SRAM、R-SRAM 和所有寄存器内容都被保存。

在 STOP0 模式下，所有 I/O 引脚都保持与运行模式相同的状态。

4.2.2.1 进入 STOP0 模式

进入 STOP0 模式时，主要的区别是设置 SCB_SCR.SLEEPDEEP= 1，PWR_CTRL.PDS=0。另一个不同之处在于，MR 可以运行在正常模式或者低功耗模式，通过配置寄存器 PWR_CTRL.LPS。当 PWR_CTRL.LPS = 1 时，MR 运行在低功耗模式。

当 PWR_CTRL.LPS = 0 时，MR 运行在正常模式。

在 STOP0 模式下，所有 I/O 引脚保持与运行模式下相同的状态和功能。

如果正在进行 FLASH 操作，则进入 STOP0 模式的时间将被延迟，直到完成内存访问。

如果对 APB 区域的访问正在进行，则进入 STOP0 模式的时间将被延迟，直到 APB 访问完成。

在 STOP0 模式下，通过对各个控制位进行编程来选择以下特性：

- 独立看门狗 (IWDG)：在它相关寄存器软件写入或者硬件操作时，独立看门狗将被启动，一旦启动将一直工作，直到产生一个复位信息
- RTC：可以通过寄存器 RCC_BDCTRL.RTCEN 位来开启
- 内部 RC 振荡器 (LSI RC)：可以通过寄存器 RCC_CTRLSTS.LSIEN 位来开启
- 外部的 32.768kHz 晶振 (LSE OSC)：可以通过寄存器 RCC_BDCTRL.LSEEN 位来开启

ADC 或 DAC 也可以在 STOP0 模式下耗电，可以在进入 STOP0 模式之前禁用 ADC 和 DAC。

注意：如果应用程序需要在进入停止模式之前禁用外部时钟，则必须首先禁用 RCC_CTRL.HSEEN 位，然后将系统时钟切换到 HSI。否则，如果在进入停止模式时，RCC_CTRL.HSEEN 位保持使能，并且去掉外部时钟（外部振荡器），则必须启用时钟安全系统 (CSS) 功能，以检测任何外部振荡器故障，并避免进入停止模式时出现故障行为。

4.2.2.2 退出 STOP0 模式

当产生中断或唤醒事件退出 STOP0 模式时，选择 HSI RC 振荡器作为系统时钟。

当电压调整器在低功率模式下工作时，从 STOP0 模式中唤醒时会产生额外的启动延迟。在 STOP0 模式下，通过内部调节器处于普通模式，这样可以减少启动时间，但相应的功耗会增加。

4.2.3 STOP2 模式

STOP2 模式基于 Cortex®-M4F 深度睡眠模式，所有的核心数字逻辑区域电源全部关闭。主电压调节器(MR)关闭，HSE/HSI/PLL 关闭。CPU 寄存器保持、LSE/LSI 可配置，GPIO 保持，外设 IO 复用不保持。16K 字节 R-SRAM 保持，其他的 SRAM 和寄存器数据都丢失。84 字节备份寄存器保持。GPIOs 和 EXTI 开启。

4.2.3.1 进入 STOP2 模式

要进入 STOP2 模式，寄存器位应配置为：SCB_SCR.SLEEPDEEP = 1，PWR_CTRL2.STOP2S=1，

PWR_CTRL.PDS=0, PWR_CTRL.LPS=0。

在 STOP2 模式下，如果 FLASH 正在操作，进入 STOP2 模式的时间将延迟到内存访问完成。

如果正在访问 APB 区域，则进入 STOP2 模式的时间将延迟到 APB 访问完成。

在 STOP2 模式下，可以使用以下外设：

- 独立看门狗(IWDG)可选：一旦启用，它将一直计数，直到产生复位。
- RTC 可选：可以通过 RCC_BDCTRL.RTCEN 开启。
- 内部 RC 振荡器（LSI RC）可选：可以通过 RCC_CTRLSTS.LSIEN 开启。
- 外部 32.768kHz 晶振（LSE OSC）可选：可通过 RCC_BDCTRL.LSEEN 开启。

注：如果进入 STOP2 还想保持数据（全局变量、栈等），应当将其放到 R-SRAM 里。

4.2.3.2 退出 STOP2 模式

当通过产生中断或唤醒事件退出 STOP2 模式时，选择 HSI RC 振荡器作为系统时钟，代码也将从停止的位置继续执行。

4.2.4 STANDBY 模式

STANDBY 模式是基于 Cortex®-M4 的 Deep-Sleep 模式。核心域完全关闭，备电区域打开，为 BKR 供电。

4.2.4.1 进入 STANDBY 模式

当进入 STANDBY 模式。主要的区别是设置 SCB_SCR.SLEEPDEEP= 1,PWR_CTRL.PDS=1。

在 STANDBY 模式中，除 NRST、PA0_WKUP、PC13_TAMPER、PC14、PC15 外，所有 I/O 引脚都保持高阻状态。

如果正在对 FLASH 进行操作时，则进入 STANDBY 模式的时间将被延迟，直到完成内存访问。

如果对 APB 区域的访问正在进行，则进入 STANDBY 模式的时间将被延迟，直到 APB 访问完成。

在 STANDBY 模式下，通过对各个控制位进行编程来选择以下特性：

- 独立看门狗(IWDG)可选：一旦启用，它将一直计数，直到产生复位。
- RTC 可选：可以通过 RCC_BDCTRL.RTCEN 开启。
- 内部 RC 振荡器（LSI RC）可选：可以通过 RCC_CTRLSTS.LSIEN 开启。
- 外部 32.768kHz 晶振（LSE OSC）可选：可通过 RCC_BDCTRL.LSEEN 开启。
- R-SRAM 数据保持，可以通过寄存器 PWR_CTRL2.SR2STBRET 位来开启

4.2.4.2 退出 STANDBY 模式

当外部复位（NRST 引脚）、IWDG 复位、WKUP 引脚的上升沿或 RTC 阔钟事件上升沿发生时，MCU 退出 STANDBY 模式。除电源状态寄存器（PWR_CTRLSTS）外，所有寄存器在从 STANDBY 状态唤醒后都会被复位。

从 STANDBY 模式唤醒后，代码执行与复位相同（检测 BOOT 引脚、获取复位向量等）。PWR_CTRLSTS.SBF 状态标志表示 MCU 退出 STANDBY 模式。

4.2.5 VBAT 模式

在 VBAT 模式下 CPU 关闭，所有的外设关闭，主电压调节器关闭，LSE/LSI 可配置，HSE/HSI/PLL 关闭。除了 NRST/PC13-TAMPER/PC14-OSC32_IN/PC15-OSC32_OUT，大部分 IO 口处于高阻态。

在 VBAT 模式下，根据 VDD 掉电之前的配置，可以使用以下特性：

- RTC：可以通过寄存器 RCC_BDCTRL.RTCEN 位来开启
- 内部 RC 振荡器（LSI RC）：可以通过寄存器 RCC_CTRLSTS.LSIEN 位来开启
- 外部的 32.768kHz 晶振（LSE OSC）：可以通过寄存器 RCC_BDCTRL.LSEEN 位来开启
- R-SRAM 数据保持，可以通过寄存器 PWR_CTRL2.SR2VBRET 位来开启

4.2.5.1 进入 VBAT 模式

当 VDD 掉电时，将在任何时候进入 VBAT 模式。

4.2.5.2 退出 VBAT 模式

当 VDD 恢复到上电复位阈值时，MCU 退出 VBAT 模式。在 VDD 恢复后，MCU 核心区域将完整的按照上电顺序执行。从 VBAT 模式中醒来后，代码执行等同于复位后的执行。PWR_CTRLSTS.VBATF 状态标志表明 MCU 由 VBAT 模式退出。

4.3 低功耗自动唤醒（AWU）模式

自动唤醒模式下，RTC 可以用于从不同的低功耗模式中唤醒，而不需要依赖外部中断。RTC 提供了一个可编程的时钟基准，用于从 STOP0、STOP2 和 STANDBY 模式中定时唤醒。为此，可以通过软件编程 RCC_BDCTRL.RTCSEL[1:0] 来选择三个可选的 RTC 时钟源中的如下两个：

- 32.768kHz 外部晶振时钟（LSE OSC）
这个时钟源提供了一个精确的时钟基准，并且有非常低的功耗。
- RC 内部晶振时钟（LSI RC）
这个时钟源具有节省 32.768 kHz 晶振成本的优势，但是时钟精准度比 LSE 差。

若要使用 RTC 闹钟事件从 STOP0/STOP2 模式唤醒，需要：

- 配置 EXTI 17 上升沿触发
- 配置 RTC 开启 RTC 闹钟事件

若要使用 RTC 闹钟事件从 STANDBY 模式中唤醒，不需要配置 EXTI 17。

VBAT 模式无法通过 RTC 唤醒。

4.4 PWR 寄存器

4.4.1 PWR 寄存器总览

表 4-3 PWR 寄存器总览

Offset	Register	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10			
000h	PWR_CTRL	Reserved												MSB	PRS[2:0]	PVDEN	CSBVBAT	VBATF	PVDO	CWKUP	PDS	LPS				
	Reset Value																									
004h	PWR_CTRLSTS	Reserved												WKUPEN	Reserved				0	0	0	0				
	Reset Value																									
008h	PWR_CTRL2	Reserved												IWDGRSTEN	LSITRIM[4:0]				TMPWPN	VBATF	SR2STBRET	SR2VBRET	STOP2S			
	Reset Value																									
00Ch	PWR_CTRL3	Reserved												IWDGWPN					0	0	0	0	0			
	Reset Value																									

4.4.2 电源控制寄存器 (PWR_CTRL)

偏移地址: 0x00

复位值: 0x0000 0000 (从 STANDBY 模式唤醒时清除)

31	Reserved												16
15	Reserved	10	9	8	7	5	4	3	2	1	0		
		rw	rw		rw	rw	rw	rc_w1	rc_w1	rw	rw		

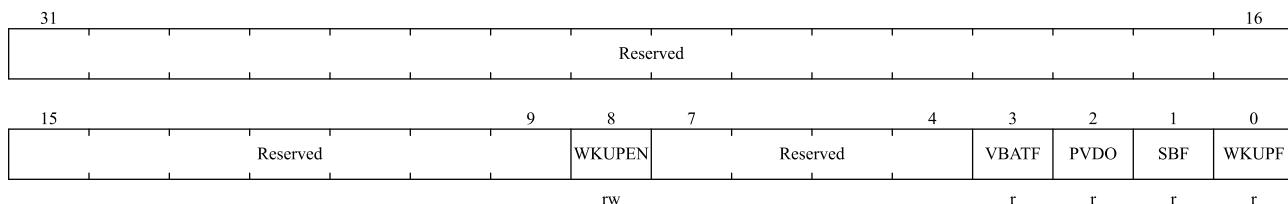
位域	名称	描述														
31:10	Reserved	保留, 必须保持复位值。														
9	MSB	<p>4 比特位 PVD 阈值设置位。 PWR_CTRL3.EXMODE = 1 时, 该位可操作。 因此需要先配置 PWR_CTRL3.EXMODE 位。 当 MSB 位为 0 时, 阈值如下:</p> <table border="1" data-bbox="627 1740 1063 2032"> <tbody> <tr> <td>寄存器 (4 位)</td> <td>电压</td> </tr> <tr> <td>0000</td> <td>2.2v</td> </tr> <tr> <td>0001</td> <td>2.3v</td> </tr> <tr> <td>0010</td> <td>2.4v</td> </tr> <tr> <td>0011</td> <td>2.5v</td> </tr> <tr> <td>0100</td> <td>2.6v</td> </tr> <tr> <td>0101</td> <td>2.7v</td> </tr> </tbody> </table>	寄存器 (4 位)	电压	0000	2.2v	0001	2.3v	0010	2.4v	0011	2.5v	0100	2.6v	0101	2.7v
寄存器 (4 位)	电压															
0000	2.2v															
0001	2.3v															
0010	2.4v															
0011	2.5v															
0100	2.6v															
0101	2.7v															

位域	名称	描述																						
		<table border="1" style="margin-left: auto; margin-right: auto;"> <tr><td>0110</td><td>2.8v</td></tr> <tr><td>0111</td><td>2.9v</td></tr> </table> <p>当 MSB 位为 1 时，阈值如下：</p> <table border="1" style="margin-left: auto; margin-right: auto;"> <tr><td>寄存器（4 位）</td><td>电压</td></tr> <tr><td>1000</td><td>1.78v</td></tr> <tr><td>1001</td><td>1.88v</td></tr> <tr><td>1010</td><td>1.98v</td></tr> <tr><td>1011</td><td>2.08v</td></tr> <tr><td>1100</td><td>3.28v</td></tr> <tr><td>1101</td><td>3.38v</td></tr> <tr><td>1110</td><td>3.48v</td></tr> <tr><td>1111</td><td>3.58v</td></tr> </table>	0110	2.8v	0111	2.9v	寄存器（4 位）	电压	1000	1.78v	1001	1.88v	1010	1.98v	1011	2.08v	1100	3.28v	1101	3.38v	1110	3.48v	1111	3.58v
0110	2.8v																							
0111	2.9v																							
寄存器（4 位）	电压																							
1000	1.78v																							
1001	1.88v																							
1010	1.98v																							
1011	2.08v																							
1100	3.28v																							
1101	3.38v																							
1110	3.48v																							
1111	3.58v																							
8	DBKP	<p>取消备电域的写保护。</p> <p>在复位状态下，RTC 和备电域寄存器要保护起来，防止非法写入。必须设置此位以启用对这些寄存器的写访问。</p> <p>0：禁用对 RTC 和备份寄存器的访问 1：启用对 RTC 和备份寄存器的访问</p> <p>注意：如果 RTC 时钟为 HSE/128，这个位必须保持为 1。</p>																						
7:5	PRS[2:0]	<p>PVD 监测电压选择。</p> <p>不同位的组合代表电压检测器不同的电压阈值。</p> <p>这些位需要结合 MSB 位进行配置，具体电压阈值见 MSB 位的描述。</p> <p>注意：详细说明参见数据手册中的电气特性部分。</p>																						
4	PVDEN	<p>电源电压监测器（PVD）使能。</p> <p>0：禁止 PVD 1：开启 PVD</p>																						
3	CSVBAT	<p>清除 STANDBY/VBAT 位。</p> <p>始终读出为 0</p> <p>0：无效 1：清除 PWR_CTRLSTS.SBF 和 PWR_CTRLSTS.VBATF 待机位（写）</p>																						
2	CWKUP	<p>清除唤醒位。</p> <p>始终读出为 0</p> <p>0：无效 1：2 个系统时钟周期后清除 PWR_CTRLSTS.WKUPF 唤醒位（写）</p>																						
1	PDS	<p>掉电深睡眠位。</p> <p>与 LPS 位协同操作</p> <p>0：当 CPU 进入深睡眠时进入停机模式，调压器的状态由 LPS 位控制。 1：CPU 进入深睡眠时进入待机模式。</p>																						
0	LPS	<p>深睡眠下的低功耗。</p> <p>PDS=0 时，与 PDS 位协同操作</p> <p>0：在停机模式下电压调压器开启 1：在停机模式下电压调压器处于低功耗模式</p>																						

4.4.3 电源控制状态寄存器 (PWR_CTRLSTS)

偏移地址: 0x04

复位值: 0x0000 0000(从待机模式唤醒时不被清零)



位域	名称	描述
31:9	Reserved	保留, 必须保持复位值。
8	WKUPEN	<p>使能 WKUP 引脚位</p> <p>0: WKUP 引脚为通用 I/O。WKUP 引脚上的事件不能将 CPU 从待机模式唤醒</p> <p>1: WKUP 引脚用于将 CPU 从待机模式唤醒, WKUP 引脚被强置为输入下拉的配置 (WKUP 引脚上的上升沿将系统从待机模式唤醒)</p> <p><i>注意: 在系统复位时清除这一位。</i></p>
7:4	Reserved	保留, 必须保持复位值。
3	VBATF	<p>VBAT 标志位。</p> <p>该位由硬件设置, 仅通过 POR 或者 PDR (电源上电复位/电源掉电复位) 清除或由 PWR_CTRL.CSBVBAT 位置位来设置。</p> <p>0: 设备未处于 VBAT 模式</p> <p>1: 设备已处于 VBAT 模式</p>
2	PVDO	<p>PVD 输出。</p> <p>当 PVD 被 PWR_CTRL.PVDEN 位使能后该位才有效</p> <p>0: VDD/VDDA 高于由 PWR_CTRL.PRS[2:0]选定的 PVD 阈值</p> <p>1: VDD/VDDA 低于由 PWR_CTRL.PRS[2:0]选定的 PVD 阈值</p> <p><i>注意: 在待机模式下 PVD 被停止。因此, 待机模式后或复位后, 直到设置 PWR_CTRL.PVDEN 位之前, 该位为 0。</i></p>
1	SBF	<p>待机标志位。</p> <p>该位由硬件设置, 并只能由 POR/PDR (上电/掉电复位) 或设置 PWR_CTRL.CSBVBAT 位清除。</p> <p>0: 系统不在待机模式</p> <p>1: 系统进入待机模式</p>
0	WKUPF	<p>唤醒标志位。</p> <p>该位由硬件设置, 并只能由 POR/PDR (上电/掉电复位) 或设置 PWR_CTRL.CWKUP 位清除。</p> <p>0: 没有发生唤醒事件</p> <p>1: 在 WKUP 引脚上发生唤醒事件或出现 RTC 闹钟事件。</p> <p><i>注: 当 WKUP 引脚已经是高电平时, 在 (通过设置 WKUPEN 位) 使能 WKUP 引脚时, 会检测到一个额外的事件。</i></p>

4.4.4 电源控制寄存器 2 (PWR_CTRL2)

偏移地址: 0x08

复位值: 0x0000 06E4 (从待机模式唤醒时清除)

31	Reserved										16		
15	11	10	9	8	LSITRIM[4:0]				4	3	2	1	0
Reserved			IWDG RSTEN	IWDG WPEN	LSITRIM[4:0]				TMP WPEN	SR2 STBRET	SR2 VBRET	STOP2S	

位域	名称	描述
31:11	Reserved	保留，必须保持复位值。
10	IWDGRSTEN	独立看门狗复位使能。 0: 独立看门狗不能产生复位给 RCC 1: 独立看门狗能产生复位给 RCC
9	IWDGWPEN	独立看门狗唤醒使能。 0: 独立看门狗唤醒禁止 1: 独立看门狗唤醒使能
8:4	LSITRIM[4:0]	LSI 修正值
3	TMPWPEN	TAMPER 唤醒使能。 0: 禁止 1: 开启
2	SR2STBRET	R-SRAM 在待机模式下保持使能位。 0: 在待机模式下，R-SRAM 保持禁止 1: 在待机模式下，R-SRAM 保持开启
1	SR2VBRET	R-SRAM 在 VBAT 模式下保持使能位。 0: 在 VBAT 模式下，R-SRAM 保持禁止 1: 在 VBAT 模式下，R-SRAM 保持开启
0	STOP2S	STOP2 模式使能位。 0: 无使用 1: 开启 STOP2 模式

4.4.5 电源控制寄存器3 (PWR_CTRL3)

偏移地址：0x0C

复位值: 0x0000 5B70

位域	名称	描述
31:1	Reserved	保留，必须保持复位值。
0	EXMODE	扩展模式控制位。 0: 普通模式 1: 扩展模式

5 备份寄存器 (BKP)

5.1 简介

备份存储器位于备份域里，电源 V_{DD} 关闭后由 V_{BAT} 供电维持。BKP 共有 42 个 16 位的寄存器，可用来存储并保护用户应用数据。这 84 个字节不受系统待机模式唤醒或系统复位的影响。

此外，BKP 控制寄存器具有入侵检测功能。

当系统发生复位，为保护备份域防止意外操作，所有的写操作都被禁止。如需使能，首先设置寄存器 RCC_APB1PCLKEN.PWREN 和 RCC_APB1PCLKEN.BKOPEN 位打开电源和后备接口时钟，然后设置 PWR_CTRL.DBKP 位使能对备份寄存器的写操作。

5.2 主要特性

- 仅需 V_{BAT} 供电维持 84 字节数据备份寄存器
- 入侵源的有效电平可配
- 可实现入侵检测中断或事件的控制 (BKP_CTRLSTS)

5.3 功能描述

- 掉电备份
- 入侵检测

入侵检测事件会清除所有备份数据寄存器内容。配置 BKP_CTRL.TP_EN 位可使能 TAMPER 管脚的检测功能。需要注意的是，入侵检测信号是电平检测信号与 BKP_CTRL.TP_EN 位的逻辑与，因此入侵检测应该在 TAMPER 管脚使能前配置。

当检测到入侵事件时，BKP_CTRLSTS.TEF 位被置‘1’。如果入侵检测中断使能(BKP_CTRLSTS.TPINT_EN 位置‘1’)，会产生一个中断。

为避免软件在入侵检测管脚上仍然有入侵事件时对备份数据寄存器进行写操作，当清除入侵事件后，应关闭入侵检测引脚 TAMPER 的检测功能。备份数据寄存器操作结束后再对 BKP_CTRL.TP_EN 位置‘1’。

BKP_CTRL.TP_ALEV 用于设定入侵检测事件的有效电平。当 BKP_CTRL.TP_ALEV=0 或 1，如果 TAMPER 引脚在使能之前已经为高或低，尽管 TAMPER 引脚上没有上升或下降沿信号，仍会发生一个额外的入侵事件。因此，TAMPER 引脚应该在片外连接到正确的电平。

5.4 BKP 寄存器

5.4.1 BKP 寄存器总览

BKP 寄存器是 16 位的可寻址寄存器。

表 5-1 BKP 寄存器总览

Offset	Register	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
000h																																	

Offset	Register	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0													
004h	BKP_DAT1	Reserved															DAT[15:0]																													
	Reset Value																0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0														
008h	BKP_DAT2	Reserved															DAT[15:0]																													
	Reset Value																0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0														
00Ch	BKP_DAT3	Reserved															DAT[15:0]																													
	Reset Value																0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0														
010h	BKP_DAT4	Reserved															DAT[15:0]																													
	Reset Value																0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0														
014h	BKP_DAT5	Reserved															DAT[15:0]																													
	Reset Value																0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0														
018h	BKP_DAT6	Reserved															DAT[15:0]																													
	Reset Value																0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0														
01Ch	BKP_DAT7	Reserved															DAT[15:0]																													
	Reset Value																0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0														
020h	BKP_DAT8	Reserved															DAT[15:0]																													
	Reset Value																0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0														
024h	BKP_DAT9	Reserved															DAT[15:0]																													
	Reset Value																0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0														
028h	BKP_DAT10	Reserved															DAT[15:0]																													
	Reset Value																0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0														
02Ch	Reserved																																													
030h	BKP_CTRL	Reserved																																												
	Reset Value																TP_ALEV	TP_EN	0	0																										
034h	BKP_CTRLSTS	Reserved															TINTF	TEF	Reserved																											
	Reset Value																0	0	Reserved																											
038h	Reserved																																													
03Ch	Reserved																																													
040h	BKP_DAT11	Reserved															DAT[15:0]																													
	Reset Value																0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0													
044h	BKP_DAT12	Reserved															DAT[15:0]																													
	Reset Value																0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0													
048h	BKP_DAT13	Reserved															DAT[15:0]																													
	Reset Value																0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0													
04Ch	BKP_DAT14	Reserved															DAT[15:0]																													
	Reset Value																0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0													
050h	BKP_DAT15	Reserved															DAT[15:0]																													
	Reset Value																0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0													
054h	BKP_DAT16	Reserved																																												

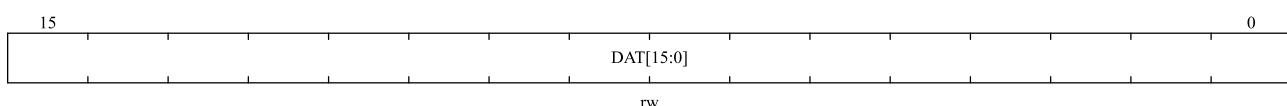
Offset	Register	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
058h	BKP_DAT17	Reserved												DAT[15:0]																					
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
05Ch	BKP_DAT18	Reserved												DAT[15:0]																					
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
060h	BKP_DAT19	Reserved												DAT[15:0]																					
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
064h	BKP_DAT20	Reserved												DAT[15:0]																					
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
068h	BKP_DAT21	Reserved												DAT[15:0]																					
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
06Ch	BKP_DAT22	Reserved												DAT[15:0]																					
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
070h	BKP_DAT23	Reserved												DAT[15:0]																					
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
074h	BKP_DAT24	Reserved												DAT[15:0]																					
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
078h	BKP_DAT25	Reserved												DAT[15:0]																					
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
07Ch	BKP_DAT26	Reserved												DAT[15:0]																					
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
080h	BKP_DAT27	Reserved												DAT[15:0]																					
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
084h	BKP_DAT28	Reserved												DAT[15:0]																					
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
088h	BKP_DAT29	Reserved												DAT[15:0]																					
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
08Ch	BKP_DAT30	Reserved												DAT[15:0]																					
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
090h	BKP_DAT31	Reserved												DAT[15:0]																					
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
094h	BKP_DAT32	Reserved												DAT[15:0]																					
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
098h	BKP_DAT33	Reserved												DAT[15:0]																					
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
09Ch	BKP_DAT34	Reserved												DAT[15:0]																					
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0			
0A0h	BKP_DAT35	Reserved												DAT[15:0]																					
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0			
0A4h	BKP_DAT36	Reserved												DAT[15:0]																					
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0			
0A8h	BKP_DAT37	Reserved												DAT[15:0]																					
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0			
0ACh	BKP_DAT38	Reserved												DAT[15:0]																					
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0			
0B0h	BKP_DAT39																																		

Offset	Register	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0B4h	BKP_DAT40	Reserved												DAT[15:0]																			
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
0B8h	BKP_DAT41	Reserved												DAT[15:0]																			
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
0BCh	BKP_DAT42	Reserved												DAT[15:0]																			
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				

5.4.2 备份数据寄存器 x (BKP_DATx) (x = 1 … 42)

地址偏移: 0x04 到 0x28, 0x40 到 0xBC

复位值: 0x0000 0000

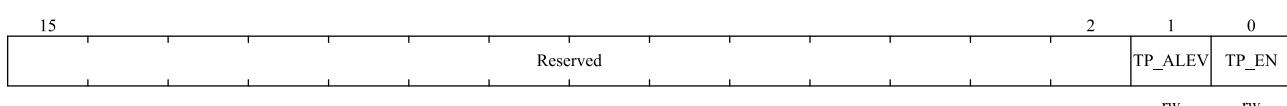


位域	名称	描述
15:0	DAT[15:0]	备份数据 这些位可以被用来写入用户数据。 <i>注: BKP_DATx 寄存器不会被系统复位、电源复位、从待机模式唤醒所复位。它们可以由备份域复位来复位或(如果入侵检测引脚 TAMPER 功能被开启时)由入侵引脚事件复位。</i>

5.4.3 备份控制寄存器 (BKP_CTRL)

偏移地址: 0x30

复位值: 0x0000 0000



位域	名称	描述
15:2	Reserved	保留, 必须保持复位值。
1	TP_ALEV	入侵检测 TAMPER 引脚有效电平 0: 入侵检测 TAMPER 引脚上的高电平会清除所有数据备份寄存器 1: 入侵检测 TAMPER 引脚上的低电平会清除所有数据备份寄存器
0	TP_EN	启动入侵检测 TAMPER 引脚 0: 入侵检测 TAMPER 引脚作为通用 IO 口使用 1: 开启入侵检测引脚作为入侵检测使用

注: 同时设置 BKP_CTRL.TP_ALEV 和 BKP_CTRL.TP_EN 位总是安全的。然而, 同时清除两者会产生一个假的入侵事件。因此, 推荐只在 BKP_CTRL.TP_EN 为 0 时才改变 BKP_CTRL.TP_ALEV 位的状态。

5.4.4 备份控制/状态寄存器 (BKP_CTRLSTS)

偏移地址: 0x34

复位值: 0x0000 0000

15	Reserved	10	TINTF	9	TEF	8		7	Reserved	3	TPINT_EN	2	CLRTINT	1	CLRTE	0
			r		r						rw		rw		rw	

位域	名称	描述
15:10	Reserved	保留, 必须保持复位值。
9	TINTF	<p>入侵中断标志 当检测到有入侵事件且 TPINT_EN 位为 1 时, 此位由硬件置 1。通过向 CLRTINT 位写 1 来清除此标志位 (同时也清除了中断)。如果 TPINT_EN 位被清除, 则此位也会被清除。</p> <p>0: 无入侵中断 1: 产生入侵中断 注: 仅当系统复位或由待机模式唤醒后才复位该位</p>
8	TEF	<p>入侵事件标志 当检测到入侵事件时此位由硬件置 1。通过向 CLRTE 位写 1 可清除此标志位</p> <p>0: 无入侵事件 1: 检测到入侵事件 注: 入侵事件会复位所有的 BKP_DATx 寄存器。只要 TEF 为 1, 所有的 BKP_DATx 寄存器就一直保持复位状态。当此位被置 1 时, 若对 BKP_DATx 进行写操作, 写入的值不会被保存。</p>
7:3	Reserved	保留, 必须保持复位值。
2	TPINT_EN	<p>允许入侵 TAMPER 引脚中断 0: 禁止入侵检测中断 1: 允许入侵检测中断 (BKP_CTRL 寄存器的 TP_EN 位也必须被置 1) 注 1: 入侵中断无法将系统内核从低功耗模式唤醒。 注 2: 仅当系统复位或由待机模式唤醒后才复位该位。</p>
1	CLRTINT	<p>清除入侵检测中断 此位只能写入, 读出值为 0。 0: 无效 1: 清除入侵检测中断和 TINTF 入侵检测中断标志</p>
0	CLRTE	<p>清除入侵检测事件 此位只能写入, 读出值为 0。 0: 无效 1: 清除 TEF 入侵检测事件标志 (并复位入侵检测器)。</p>

6 复位和时钟控制(RCC)

6.1 复位控制单元

支持以下三种复位方式：

- 电源复位
- 系统复位
- 备份域复位

6.1.1 电源复位

在以下情况下会发生电源重置：

- 上电复位 (POR 复位)
- 掉电复位 (PDR 复位)
- 从 STANDBY 模式中返回

电源复位将复位除了备份区域外的所有寄存器。(见图 4-1 电源框图)。

图中复位源将最终作用于 NRST 引脚，并在复位过程中保持低电平。复位入口矢量被固定在地址 0x0000_0004。更多细节，参阅表 2-1 向量表。

6.1.2 系统复位

除了控制/状态寄存器(RCC_CTRLSTS)中的复位标志和备份域中的寄存器(参见图 4-1)，系统复位会将所有寄存器设置为其复位值。

发生以下事件之一时会产生系统复位：

- NRST 引脚上的低电平 (外部复位)
- 窗口看门狗计数终止 (WWDG 复位)
- 独立看门狗计数终止 (IWDG 复位)
- 软件复位 (SW 复位)
- 低功耗管理复位
- 电源复位
- MMU 保护复位
- RAM 奇偶校验出错复位
- 备份域 EMC 复位
- 保持域 EMC 复位
- BOR 复位

可通过查看RCC_CTRLSTS控制状态寄存器中的复位状态标志位识别复位事件来源。

6.1.2.1 软件复位

可以通过设置 Cortex™-M4 应用中断和复位控制寄存器中的 SYSRESETREQ 位来产生软件复位。有关详细信息，请参阅 Cortex™-M4 技术参考手册。

6.1.2.2 低功耗管理复位

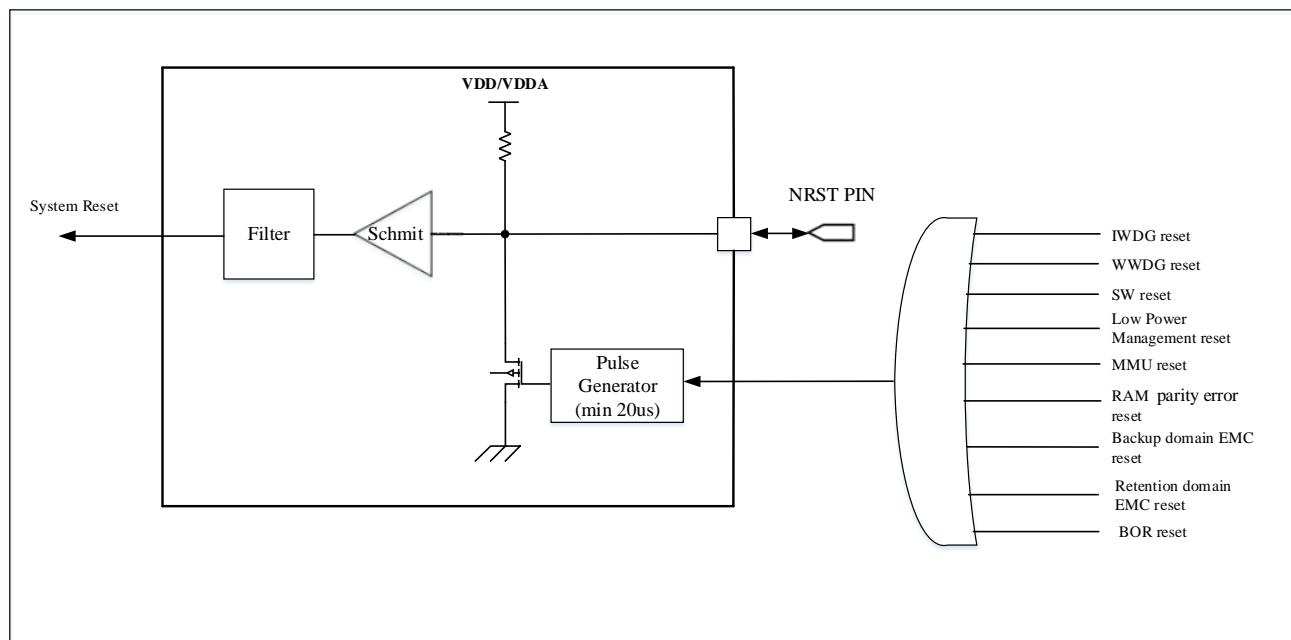
可以通过以下方式产生低功耗管理复位：

- 在进入 STANDBY 模式时产生低功耗管理复位：通过将用户选项字节中的 nRST_STDBY 位置 1 将使能该复位。这时，即使执行了进入 STANDBY 模式的过程，系统将被复位而不是进入 STANDBY 模式。
- 在进入 STOP0/STOP2 模式时产生低功耗管理复位：通过将用户选项字节中的 nRST_STOP 位置 1 将使能该复位。这时，即使执行了进入 STOP0/STOP2 模式的过程，系统将被复位而不是进入 STOP0/STOP2 模式。

提供给芯片的系统复位信号会在 NRST 引脚上输出。脉冲发生器保证每个复位源（外部或内部）的复位脉冲至少持续时间 20μs。对于外部复位，当 NRST 引脚置为低电平时会产生复位脉冲。

下图展示了复位电路：

图 6-1 复位电路



6.1.3 备份域复位

备份区域拥有两个专门的复位，它们只影响备份区域（见图 4-1 电源框图）。

发生以下事件之一时会产生备份域复位：

- 软件复位：备份域复位可由设置 RCC_BDCTRL.BDSFTRST 位产生。
- 在 V_{DD} 和 V_{BAT} 两者掉电的前提下，V_{DD} 或 V_{BAT} 上电才会引发备份区域复位。

6.2 时钟控制单元

可以使用三种不同的时钟源来驱动系统时钟(SYSCLK)：

- HSI 振荡器时钟；
- HSE 振荡器时钟；
- PLL 时钟。

有两种二级时钟源：

- LSI：40kHz 低速内部 RC，可以用于驱动独立看门狗和通过程序选择驱动 RTC。RTC 用于从 STOP0/STOP2/STANDBY 模式下自动唤醒系统。
- LSE：32.768kHz 低速外部晶体，也可用来通过程序选择驱动 RTC (RTCCLK)。

每个时钟源可以在不被使用时独立打开或关闭，以此优化系统功耗。

多个预分频器可用于配置 AHB、高速 APB(APB2)和低速 APB(APB1)的频率。AHB、APB2 和 APB1 的最大频率分别为 144MHz、72MHz 和 36MHz。SDIO 接口的时钟频率固定为 HCLK/2。

RCC 为 Cortex 系统定时器(SysTick)提供外部时钟：AHB 时钟(HCLK)8 分频。可以通过编程 SysTick 控制和状态寄存器来选择上述时钟或 Cortex 时钟(HCLK)来驱动 SysTick。ADC 时钟由 AHB 时钟或 PLL 时钟分频产生。

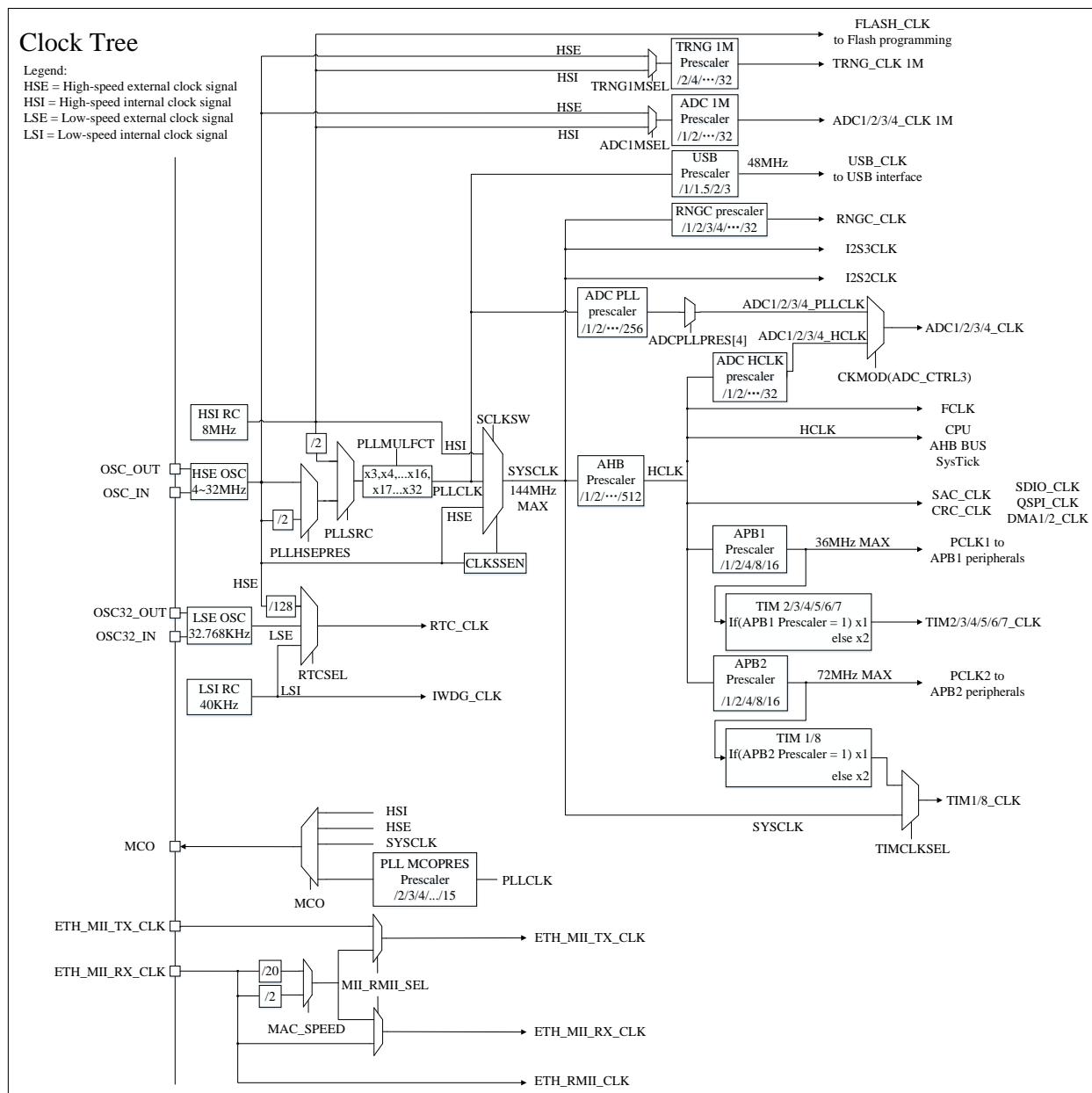
定时器的时钟频率由硬件自动设置，分以下两种情况：

- 如果 APB 预分频为 1，则定时器时钟频率与定时器所在的 APB 频率相同。
- 如果 APB 预分频不为 1，则定时器时钟频率是定时器所在的 APB 频率的 2 倍。

FCLK 是 Cortex™-M4F 的自由运行时钟。有关更多详细信息，请参阅 ARM Cortex™-M4 技术参考手册。

6.2.1 时钟树

图 6-2 时钟树



- 当 HSI 被用于作为 PLL 时钟的输入时，系统时钟能得到的最大频率是 128MHz。
- 有关内部和外部时钟源特性的详细信息，请参阅产品数据手册中的“电气特性”部分。
- PLL 作为系统时钟源时，PLL 最小时钟输出为 32MHz

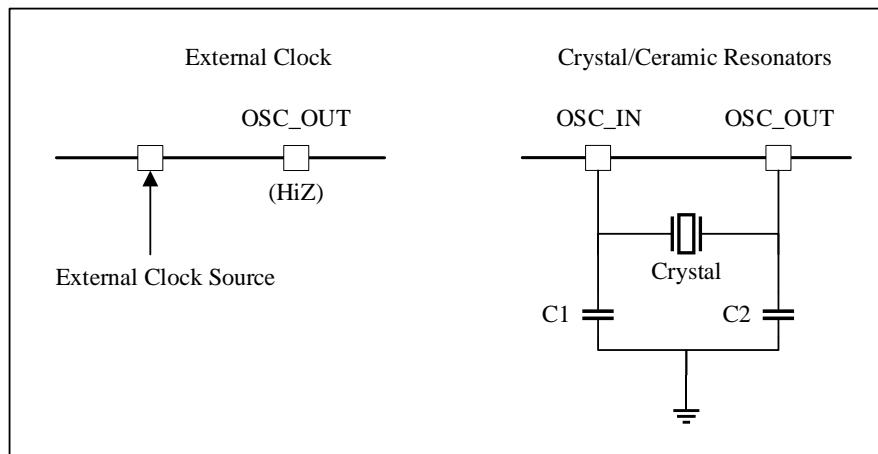
6.2.2 HSE 时钟

高速外部时钟信号（HSE）可以由以下两个时钟源产生：

- HSE外部晶体/陶瓷谐振器
- HSE用户外部时钟

为了减少时钟输出的失真和缩短启动稳定时间，晶体/陶瓷谐振器和负载电容器必须尽可能地靠近振荡器引脚。负载电容值必须根据所选择的振荡器来调整。

图 6-3 HSE/LSE 时钟源



6.2.2.1 外部时钟源(HSE 旁路模式)

在这种模式下，用户必须提供外部时钟源。它的频率最高可达 32MHz。用户可以通过设置 RCC_CTRL.HSEBP 和 RCC_CTRL.HSEEN 位来选择该模式。外部时钟信号（50% 占空比的方波、正弦波或三角波）必须连接到 OSC_IN 引脚，而 OSC_OUT 引脚必须悬空(Hi-Z)。见图 6-3。

6.2.2.2 晶体/陶瓷谐振器(HSE 晶体模式)

4~32MHz 外部振荡器具有为系统产生更准确的主时钟的优势。相关的硬件配置如图 6-3 所示。更多详细信息，请参阅数据手册的电气特性部分。

RCC_CTRL.HSERDF 位指示高速外部振荡器是否稳定。在启动时，直到该位被硬件设置，时钟才会被释放。如果在时钟中断寄存器(RCC_CLKINT)中使能对应位，则可以产生中断。

通过设置 RCC_CTRL.HSEEN 位可以打开和关闭 HSE 时钟。

6.2.3 HSI 时钟

HSI（高速内部）时钟信号由内部 8MHz RC 振荡器产生，可直接作为系统时钟或 2 分频后作为 PLL 输入。HSI RC 振荡器无需任何外部设备即可提供时钟源。它启动时间比 HSE 晶体振荡器更短。然而，即使经过校准它的频率精度仍较差。

每个芯片的 HSI 时钟频率在出厂前已经被校准到 1%（25°C）。系统复位后，出厂校准值会加载到 RCC_CTRL.HSICAL[7:0]里。

由于用户的应用场景会受到电压或温度变化的影响，这也会影晌 RC 振荡器的频率精度。用户可以使用 RCC_CTRL.HSITRIM[4:0]位调整 HSI 频率。

RCC_CTRL.HSIRDF 位指示内部 RC 振荡器是否稳定。在启动时，直到该位被硬件设置，HSI 输出时钟才会被释放。可以通过设置 RCC_CTRL.HSIEN 位打开和关闭 HSI 时钟。

如果 HSE 晶体振荡器失效，HSI 时钟会被作为备用时钟源。参考 6.2.8 节时钟安全系统。

6.2.4 PLL 时钟

内部 PLL 可用于倍频 HSI 或 HSE 时钟频率，参考图 6-2 时钟树。必须在使能 PLL 之前完成配置（选择 PLL 输入时钟（HSI/HSE 及分频）和配置倍频因子）。一旦 PLL 被使能，这些参数就不能改变。通过 RCC_CTRL 和 RCC_CFG 寄存器中的控制位来配置 PLL。

如果 PLL 中断在时钟中断寄存器里被允许，当 PLL 准备就绪时，可产生中断申请。

如果需要在应用中使用 USB 接口，PLL 必须被设置为输出 48、72、96、144MHz 时钟，用于提供 48MHz 的 USBCLK 时钟。

6.2.5 LSE 时钟

LSE 晶体是一个 32.768KHz 的低速外部晶体或陶瓷谐振器。它为实时时钟或者其他定时功能提供一个低功耗且精确的时钟源。

LSE 时钟通过 RCC_BDCTRL.LSEEN 位启动和关闭。

RCC_BDCTRL.LSERD 位指示 LSE 时钟是否稳定。在启动阶段，直到这个位被硬件置 1 后，LSE 时钟信号才被释放出来。如果在时钟中断寄存器里被允许，可产生中断请求。

6.2.5.1 LSE 外部时钟源(LSE 旁路)

在这种模式下，可以提供频率高达 1MHz 的外部时钟源。用户可以通过设置 RCC_BDCTRL.LSEBP 和 RCC_BDCTRL.LSEEN 位来选择该模式。占空比为 50% 的外部时钟信号（方波、正弦波或三角波）必须连接到 OSC32_IN 引脚，而 OSC32_OUT 引脚必须悬空（Hi-Z）。

6.2.6 LSI 时钟

LSI RC 可以在 STOP0/STOP2 和 STANDBY 模式下为 IWDG 和 AWU 提供时钟。LSI 时钟频率约为 40kHz。进一步信息请参考数据手册中有关电气特性部分。

通过 RCC_CTRLSTS.LSIEN 位打开或关闭 LSI 时钟。

RCC_CTRLSTS.LSIRD 位指示 LSI 时钟是否稳定。在启动时，直到该位被硬件设置，时钟才会被释放。如果在时钟中断寄存器(RCC_CLKINT)中使能对应位，则可以产生中断。

6.2.6.1 LSI 校准

可以通过校准补偿内部低速振荡器 LSI 频率误差，以获得更高精度的 RTC 时基和 IWDG 超时（当这些外设由 LSI 提供时钟时）。

校准可以通过使用 TIM5 的时钟(TIM5_CLK)测量 LSI 时钟频率来实现。测量由 HSE 的准确性保证，软件可以通过调整 RTC 的 20 位预分频器来获得准确的 RTC 时钟基准，以及通过计算获得准确的 IWDG 超时时间。

LSI 校准步骤如下：

1. 打开 TIM5，设置通道 4 为输入捕获模式；
2. 设置 AFIO_RMP_CFG.TIM5CH4_RMP 位为 1，将 LSI 内部连接到 TIM5 的通道 4；
3. 通过 TIM5 捕获/比较 4 事件或中断测量 LSI 时钟频率；

4. 根据测量结果和所需的 RTC 时基和独立的看门狗超时，设置 20 位预分频器。

6.2.7 系统时钟(SYSCLK)选择

系统复位后，HSI 振荡器被选为系统时钟。当时钟源被直接或通过 PLL 间接作为系统时钟时，它将不能被停止。

只有当目标时钟源准备就绪了（经过启动稳定阶段的延迟或 PLL 稳定），从一个时钟源到另一个时钟源的切换才会发生。在被选择时钟源没有就绪时，系统时钟的切换不会发生，直至目标时钟源就绪，才发生切换。在时钟控制寄存器 (RCC_CTRL) 里的状态位指示哪个时钟已经准备好了，哪个时钟目前被用作系统时钟。

6.2.8 时钟安全系统(CLKSS)

时钟安全系统可以通过软件通过设置 RCC_CTRL.CLKSSEN 位来激活。一旦被激活，时钟检测器在 HSE 振荡器的启动延时后被启用，并在 HSE 时钟关闭时被禁用。

如果 HSE 时钟出现故障，HSE 振荡器将自动关闭，时钟失效事件将发送到高级定时器 (TIM1 和 TIM8) 的刹车输入端，并产生时钟安全系统中断 CLKSSIF，允许软件执行营救措施。CLKSSIF 中断连接到 Cortex™-M4F 的 NMI（不可屏蔽）中断。

一旦 CLKSS 被激活，并且 HSE 时钟出现故障，CLKSS 中断就产生，并且 NMI 也自动产生。NMI 将连续执行，直到 CLKSSIF 中断挂起位被清除。因此，需要通过在 NMI 处理程序中设置 RCC_CLKINT.CLKSSICLR 位来清除中断。

如果 HSE 振荡器直接或间接用作系统时钟（间接的意思是：HSE 用作 PLL 输入时钟，PLL 时钟用作系统时钟），时钟失效会导致系统时钟切换到 HSI 振荡器，并且外部 HSE 振荡器被禁用。如果选择 HSE 时钟（分频或不分频）作为 PLL 输入时钟，那么当 HSE 时钟故障时，PLL 将被关闭。

6.2.9 RTC 时钟

通过对 RCC_BDCTRL.RTCSEL[1:0]位进行编程，RTCCLK 时钟源可以是 HSE/128、LSE 或 LSI 时钟。除非备份域复位，否则无法修改此选择。

LSE 时钟在备份域里，但 HSE 和 LSI 时钟不是。因此：

- 如果 LSE 被选为 RTC 时钟：
 - ◆ 只要 V_{BAT} 维持供电，尽管 V_{DD} 供电被切断，RTC 仍继续工作。
- 如果 LSI 被选为自动唤醒单元 (AWU) 时钟：
 - ◆ 如果 V_{DD} 供电被切断，AWU 状态不能被保证。有关 LSI 校准，详见 6.2.6 节 LSI 时钟。
- 如果 HSE 时钟 128 分频后作为 RTC 时钟：
 - ◆ 如果 V_{DD} 供电被切断或内部电压调压器被关闭 (1.8V 域的供电被切断)，则 RTC 状态不确定。
 - ◆ 必须设置电源控制寄存器 PWR_CTRL.DBKP 位（见 4.4.2 节）（取消备电域的写保护）为 1。

6.2.10 看门狗时钟

如果 IWDG 由硬件选项或软件访问启动，LSI 振荡器将被强制开启并且不能被禁用。LSI 振荡器稳定后，时

钟被提供给 IWDG。

6.2.11 时钟输出(MCO)

微控制器时钟输出(MCO)功能允许将时钟信号输出到外部 MCO 引脚。

对应的 GPIO 口寄存器必须配置为对应的功能。可以选择以下 4 个时钟信号作为 MCO 时钟：

- SYSCLK
 - HSI
 - HSE
 - PLL 时钟分频

时钟选择由 RCC_CFG.MCO[2:0]位控制。

6.3 RCC 寄存器

RCC 寄存器可通过 AHB 总线访问，寄存器说明如下。

6.3.1 寄存器总览

表 6-1 RCC 寄存器总览

Offset	Register		31
0000h	RCC_CTRL		30
		Reserved	29
	Reset Value		28
004h	RCC_CFG	MCOPRES[3:0]	PLLMLUFCT[4]
			0
	Reset Value	0 0 1 0	0 0 0 0
008h	RCC_CLKINT		MCO[2:0]
		Reserved	USBPRES[1:0]
	Reset Value	0 0 1 0	0 0 0 0
00Ch	RCC_APB2PRST		CLKSSICLR
		Reserved	0
	Reset Value	0 0 0 0	0 0 0 0
010h	RCC_APB1PRST		PLLDRICL
		Reserved	PLLMLUFCT[3:0]
	Reset Value	0 0 0 0	0 0 0 0
014h	RCC_AHBCLKEN		HSEBPL
		Reserved	CLKSSEN
	Reset Value	0 0 0 0	0 0 0 0
018h	RCC_APB2PCLKEN		HSERDF
		Reserved	HSERDF
	Reset Value	0 0 0 0	0 0 0 0
0000h	RCC_CTRL		HSICAL[7:0]
004h	RCC_CFG		
008h	RCC_CLKINT		
00Ch	RCC_APB2PRST		
010h	RCC_APB1PRST		
014h	RCC_AHBCLKEN		
018h	RCC_APB2PCLKEN		

Offset	Register																														
01Ch	RCC_APB1PCLKEN	OPAMPEN	31																												
		Reserved	30																												
		DACEN	29	PWREN	28																										
020h	RCC_BDCTRL	Reserved																													
		Reserved																													
		Reserved																													
024h	RCC_CTRLSTS	LPWRSTF	31																												
		WWGCRSTF	30																												
		IWDGRSTF	29																												
028h	RCC_AHBPRT	SFRSTF	28																												
		PORSTF	27																												
		PINRSTF	26																												
02Ch	RCC_CFG2	MMURSTF	25																												
		RMRSTF	24																												
		BORRSTF	23																												
030h	RCC_CFG3	Reserved																													
		TRNG1MEN	22																												
		TRNG1MSEL	21																												

6.3.2 时钟控制寄存器(RCC_CTRL)

偏移地址: 0x00

复位值: 0x0000 0083

31	Reserved								PLL RDF	PLLEN	Reserved								CLKSSEN	HSEBP	HSERDF	HSEEN	16
15	r	rw	8	7							rw	3	rw	2	r	1	rw	0					
	HSICAL[7:0]								HSITRIM[4:0]								Reserved	HSIRDF	HSIEN	r	rw		

位域	名称	描述
31:26	Reserved	保留, 必须保持复位值
25	PLL RDF	PLL 时钟就绪标志位 PLL 时钟就绪后由硬件置位。 0:PLL 未就绪 1:PLL 已就绪
24	PLLEN	PLL 使能位 由软件置位和清零。进入 STOP0/STOP2/STANDBY 模式时, 由硬件清零。当 PLL 用作系统时钟时, 该位不能清零。 当 HSI/HSE 作为 PLL 的时钟源时, PLL 不会被打开直到 HSI/HSE 时钟就绪 0: 禁用 PLL 1: 使能 PLL

位域	名称	描述
23:20	Reserved	保留, 必须保持复位值
19	CLKSEN	时钟安全系统使能位 由软件置位和清零。 0: 禁用时钟检测器 1: 如果 HSE 振荡器就绪, 则使能时钟检测器
18	HSEBP	外部高速时钟旁路使能位 由软件置位和清零。该位只能在 HSE 振荡器被禁止时写入。 0: 禁止 HSE 振荡器的旁路功能 1: 使能 HSE 振荡器的旁路功能
17	HSERDF	外部高速时钟就绪标志位 HSE 就绪后由硬件置位。该位在 HSEEN 位清零后需要 6 个 HSE 时钟周期来清零。 0: HSE 未就绪 1: HSE 就绪
16	HSEEN	外部高速时钟使能位 由软件置位和清零。进入 STOP0/STOP2 或 STANDBY 模式时, 由硬件清零。 当 HSE 直接或间接用作系统时钟时, 该位不能被清零。 0: 禁止 HSE 振荡器 1: 使能 HSE 振荡器
15:8	HSICAL[7:0]	内部高速时钟校准值 这些位在上电启动时自动初始化。
7:3	HSITRIM[4:0]	内部高速时钟修正值 由软件写入。这些位的值将被添加到 HSICAL[7:0]位, 以形成校准内部 HSI RC 振荡器频率的最终值。两个连续 HSICAL 步进之间的微调步进约为 40kHz, 默认值为 16, 可将 HSI 调整为 $8MHz \pm 1\%$ 。
2	Reserved	保留, 必须保持复位值
1	HSIRDF	内部高速时钟就绪标志位 HSI 就绪后由硬件置位。HSIEN 位清零后, 该位需要 6 个内部 8MHz 振荡器时钟周期才能清零。 0: HSI 未就绪 1: HSI 就绪
0	HSIEN	内部高速时钟使能 由软件置位和清零。当 HSI 用作系统时钟时, 该位不能清零。当从 STOP0/STOP2 或 STANDBY 模式返回或发生 HSE 故障时, 由硬件置位以启用 HSI 振荡器。如果 HSI 直接或间接用作系统时钟, 则该位不能复位。 0: 禁止 HSI 振荡器 1: 使能 HSI 振荡器

6.3.3 时钟配置寄存器(RCC_CFG)

偏移地址: 0x04

复位值: 0x2000 0000

31	MCOPRES[3:0]	PLLMULFCT[4]	MCO[2:0]	USBPRES[1:0]	PLLMULFCT[3:0]	PLLHSE PRES	PLLSRC
15	rw	rw	rw	rw	rw	rw	rw
14	13	11	10	8	7	4	3
Reserved	APB2PRES[2:0]	APB1PRES[2:0]		AHPRES[3:0]		SCLKSTS[1:0]	SCLKSW[1:0]
	rw	rw		rw		r	rw

位域	名称	描述
31:28	MCOPRES[3:0]	<p>MCO 预分频。</p> <p>软件设置或清零。</p> <p>0010: 由 PLL 时钟 2 分频作为 MCO 时钟 0011: 由 PLL 时钟 3 分频作为 MCO 时钟 0100: 由 PLL 时钟 4 分频作为 MCO 时钟 0101: 由 PLL 时钟 5 分频作为 MCO 时钟 0110: 由 PLL 时钟 6 分频作为 MCO 时钟 0111: 由 PLL 时钟 7 分频作为 MCO 时钟 1000: 由 PLL 时钟 8 分频作为 MCO 时钟 1001: 由 PLL 时钟 9 分频作为 MCO 时钟 1010: 由 PLL 时钟 10 分频作为 MCO 时钟 1011: 由 PLL 时钟 11 分频作为 MCO 时钟 1100: 由 PLL 时钟 12 分频作为 MCO 时钟 1101: 由 PLL 时钟 13 分频作为 MCO 时钟 1110: 由 PLL 时钟 14 分频作为 MCO 时钟 1111: 由 PLL 时钟 15 分频作为 MCO 时钟 其它值: 不允许设置 </p>
27	PLLMULFCT[4]	该位与位[21:18]组合形成 PLL 倍频因子。描述请参考 PLLMULFCT[3:0]。
26:24	MCO[2:0]	<p>微控制器时钟输出选择</p> <p>由软件置位和清零。</p> <p>0xx: 无时钟输出 100: 选择系统时钟 (SYSCLK) 输出 101: 选择内部高速时钟 (HSI) 输出 110: 选择外部高速时钟 (HSE) 输出 111: 选择 PLL 分频后的输出</p> <p>注意:</p> <p>该时钟输出在启动和切换 MCO 时钟源时可能会被截断。</p> <p>在系统时钟作为输出至 MCO 引脚时, 应保证输出时钟频率不超过 50MHz (I/O 口最高频率)。</p>
23:22	USBPRES[1:0]	<p>USB 预分频。</p> <p>软件设置或清零, 用于生成 48MHz 的 USB 时钟。在 RCC_APB1PCLKEN 寄存器中使能 USB 时钟之前这些位的值必须有效。</p> <p>00: 由 PLL 时钟 1.5 分频作为 USB 时钟 01: 由 PLL 时钟直接作为 USB 时钟 10: 由 PLL 时钟 2 分频作为 USB 时钟 11: 由 PLL 时钟 3 分频作为 USB 时钟 </p>
21:18	PLLMULFCT[3:0]	PLL 倍频系数(包括 bit27)

位域	名称	描述
		<p>倍频系数由软件写入。这些位只能在 PLL 被禁用时写入。PLL 输出频率不得超过 144MHz。</p> <p>00000:PLL 输入时钟 ×2 00001:PLL 输入时钟 ×3 00010:PLL 输入时钟 ×4 00011:PLL 输入时钟 ×5 00100:PLL 输入时钟 ×6 00101:PLL 输入时钟 ×7 00110:PLL 输入时钟 ×8 00111:PLL 输入时钟 ×9 01000:PLL 输入时钟 ×10 01001:PLL 输入时钟 ×11 01010:PLL 输入时钟 ×12 01011:PLL 输入时钟 ×13 01100:PLL 输入时钟 ×14 01101:PLL 输入时钟 ×15 01110:PLL 输入时钟 ×16 01111:PLL 输入时钟 ×16 10000:PLL 输入时钟 ×17 10001:PLL 输入时钟 ×18 10010:PLL 输入时钟 ×19 10011:PLL 输入时钟 ×20 10100:PLL 输入时钟 ×21 10101:PLL 输入时钟 ×22 10110:PLL 输入时钟 ×23 10111:PLL 输入时钟 ×24 11000:PLL 输入时钟 ×25 11001:PLL 输入时钟 ×26 11010:PLL 输入时钟 ×27 11011:PLL 输入时钟 ×28 11100:PLL 输入时钟 ×29 11101:PLL 输入时钟 ×30 11110:PLL 输入时钟 ×31 11111:PLL 输入时钟 ×32</p>
17	PLLHSEPRE	<p>PLL 输入的 HSE 预分频器</p> <p>由软件置位和清零，配置进入 PLL 之前 HSE 的分频。该位只能在 PLL 禁用时写入。</p> <p>0: HSE 时钟不分频 1: HSE 时钟 2 分频</p>
16	PLLSRC	<p>PLL 时钟源</p> <p>由软件置位和清零，配置选择 PLL 时钟源。该位只能在 PLL 禁用时写入。</p> <p>0: 选择 2 分频后的 HSI 时钟作为 PLL 输入时钟 1: 选择 HSE 时钟作为 PLL 输入时钟</p>

位域	名称	描述
15:14	Reserved	保留，必须保持复位值
13:11	APB2PRES[2:0]	<p>APB 高速(APB2)预分频器 由软件置位和清零，配置 APB2 时钟(PCLK2)的分频系数。需确保 PCLK2 不超过 72MHz。</p> <p>0xx:HCLK 不分频 100:HCLK 2 分频 101:HCLK 4 分频 110:HCLK 8 分频 111:HCLK 16 分频</p>
10:8	APB1PRES[2:0]	<p>APB 低速(APB1)预分频器 由软件置位和清零，配置 APB1 时钟(PCLK1)的分频系数。需确保 PCLK1 不超过 36MHz。</p> <p>0xx:HCLK 不分频 100:HCLK 2 分频 101:HCLK 4 分频 110:HCLK 8 分频 111:HCLK 16 分频</p>
7:4	AHBPRES[3:0]	<p>AHB 预分频器 由软件置位和清零，配置 AHB 时钟(HCLK)的分频系数。</p> <p>0xxx:SYSCLK 不分频 1000:SYSCLK 2 分频 1001:SYSCLK 4 分频 1010:SYSCLK 8 分频 1011:SYSCLK 16 分频 1100:SYSCLK 64 分频 1101:SYSCLK 128 分频 1110:SYSCLK 256 分频 1111:SYSCLK 512 分频</p>
3:2	SCLKSTS[1:0]	<p>系统时钟切换状态 由硬件置位和清零以指示使用哪个时钟源作为系统时钟</p> <p>00: 系统时钟来自 HSI 01: 系统时钟来自 HSE 10: 系统时钟来自 PLL 输出 11: 不可用</p>
1:0	SCLKSW[1:0]	<p>系统时钟切换 由软件置位和清零以选择系统时钟源。 当退出 STOP0/STOP2 或 STANDBY 模式或 HSE 振荡器发生故障 (RCC_CTRL.CLKSSEN 启用) 时，由硬件设置以强制选择 HSI。</p> <p>00: 选择 HSI 作为系统时钟 01: 选择 HSE 作为系统时钟 10: 选择 PLL 输出作为系统时钟 11: 不可用</p>

6.3.4 时钟中断寄存器(RCC_CLKINT)

偏移地址: 0x08

复位值: 0x0000 0000

31	Reserved								24	23	22	21	20	19	18	17	16
									CLKSSI CLR	Reserved		PLLRI CLR	HSERD CLR	HSIRD CLR	LSERD CLR	LSIRD CLR	
15	13	12	11	10	9	8	w 7	6	5	w 4	w 3	w 2	w 1	w 0			
Reserved	PLLRI EN	HSERD EN	HSIRD EN	LSERD EN	LSIRD EN	CLKSSIF	Reserved	PLLRI DIF	HSERD DIF	HSIRD DIF	LSERD DIF	LSIRD DIF					

rw rw rw rw rw r r r r r r r r r

位域	名称	描述
31:24	Reserved	保留, 必须保持复位值
23	CLKSSICLR	时钟安全系统中断清除 由软件置位以清除 CLKSSIF 标志。 0: 无效果 1: 清除 CLKSSIF 标志
22:21	Reserved	保留, 必须保持复位值
20	PLLRIICLR	PLL 就绪中断清除 由软件置位以清除 PLLRIIF 标志。 0: 无效果 1: 清除 PLLRIIF 标志
19	HSERDICLR	HSE 就绪中断清除 由软件置位以清除 HSERDIF 标志。 0: 无效果 1: 清除 HSERDIF 标志
18	HSIRDICLR	HSI 就绪中断清除 由软件置位以清除 HSIRDIF 标志。 0: 无效果 1: 清除 HSIRDIF 标志
17	LSERDICLR	LSE 就绪中断清除 由软件置位以清除 LSERDIF 标志。 0: 无效果 1: 清除 LSERDIF 标志
16	LSIRDICLR	LSI 就绪中断清除 由软件置位以清除 LSIRDIF 标志。 0: 无效果 1: 清除 LSIRDIF 标志
15:13	Reserved	保留, 必须保持复位值
12	PLLRIEN	PLL 就绪中断使能 由软件置位和清零以启用和禁用 PLL 就绪中断 0: 禁用 PLL 就绪中断 1: 使能 PLL 就绪中断

位域	名称	描述
11	HSERDIEN	HSE 就绪中断使能 由软件置位和清零以启用和禁用 HSE 就绪中断。 0: 禁用 HSE 就绪中断 1: 使能 HSE 就绪中断
10	HSIRDIEN	HSI 就绪中断使能 由软件置位和清零以启用和禁用 HSI 就绪中断。 0: 禁止 HSI 就绪中断 1: 使能 HSI 就绪中断
9	LSERDIEN	LSE 就绪中断使能 由软件置位和清零以启用和禁用 LSE 就绪中断。 0: 禁用 LSE 就绪中断 1: 使能 LSE 就绪中断
8	LSIRDIEN	LSI 就绪中断使能 由软件置位和清零以启用和禁用 LSI 就绪中断。 0: 禁用 LSI 就绪中断 1: 使能 LSI 就绪中断
7	CLKSSIF	时钟安全系统中断标志 当在外部 HSE 振荡器中检测到故障时由硬件置位。 0: 无 HSE 时钟故障引起的时钟安全系统中断 1: HSE 时钟故障引起的时钟安全系统中断
6:5	Reserved	保留, 必须保持复位值
4	PLL RDIF	PLL 就绪中断标志 当 PLLRDIEN 置位且 PLL 时钟准备好时, 该位由硬件置位。 该位由软件通过设置 PLLRDICLRL 位来清除。 0: 无由 PLL 锁定引起的时钟就绪中断 1: 由 PLL 锁定引起的时钟就绪中断
3	HSERDIF	HSE 就绪中断标志 当 HSERDIEN 置位且 HSE 时钟准备好时由硬件置位。 该位由软件通过设置 HSERDICLRL 位来清除。 0: 无由 HSE 振荡器引起的时钟就绪中断 1: HSE 振荡器引起的时钟就绪中断
2	HSIRDIF	HSI 就绪中断标志 当 HSIRDIEN 置位且 HSI 时钟准备好时由硬件置位。 该位由软件通过设置 HSERDICLRL 位来清除。 0: 无由 HSI 振荡器引起的时钟就绪中断 1: 由 HSI 振荡器引起的时钟就绪中断
1	LSERDIF	LSE 就绪中断标志 当 LSERDIEN 置位且 LSE 时钟准备好时由硬件置位。 该位由软件通过设置 LSERDICLRL 位来清除。 0: 无由 LSE 振荡器引起的时钟就绪中断 1: 由 LSE 振荡器引起的时钟就绪中断

位域	名称	描述
0	LSIRDIF	LSI 就绪中断标志 当 LSIRDEN 置位且 LSI 时钟就绪时由硬件置位。 该位由软件通过设置 LSIRDICLR 位来清除。 0: 无由 LSI 振荡器引起的时钟就绪中断 1: LSI 振荡器引起的时钟就绪中断

6.3.5 APB2 外设复位寄存器(RCC_APB2PRST)

偏移地址: 0x0c

复位值: 0x0000 0000

31	Reserved												21	20	19	18	17	16
													I2C4RST	I2C3RST	UART7 RST	UART6 RST	DVPRST	
15	14	13	12	11	10	9	8	7	6	5	rw	rw	rw	rw	rw	rw	rw	
Reserved	USART1 RST	TIM8RST	SPI1RST	TIM1RST	Reserved	IOPGRST	IOPFRST	IOPERST	IOPDRST	IOPCRST	IOPBRST	IOPARST	Reserved	AFIORST				
	rw	rw	rw	rw		rw				rw	rw							

位域	名称	描述
31:21	Reserved	保留, 必须保持复位值
20	I2C4RST	I2C4 复位。 软件置位或清零。 0: 清除复位 1: 复位 I2C4
19	I2C3RST	I2C3 复位。 软件置位或清零。 0: 清除复位 1: 复位 I2C3
18	UART7RST	UART7 复位 软件置位和清零 0: 清除复位 1: 复位 UART7
17	UART6RST	UART6 复位 软件置位和清零 0: 清除复位 1: 复位 UART6
16	DVPRST	DVP 复位。 软件置 1 或清零。 0: 清除复位 1: 复位 DVP
15	Reserved	保留, 必须保持复位值
14	USART1RST	USART1 复位 软件置位和清零 0: 清除复位

位域	名称	描述
		1: 复位 USART1
13	TIM8RST	TIM8 复位 软件置位和清零 0: 清除复位 1: 复位 TIM8
12	SPI1RST	SPI1 复位 软件置位和清零 0: 清除复位 1: 复位 SPI1
11	TIM1RST	TIM1 复位 软件置位和清零 0: 清除复位 1: 复位 TIM1
10:9	Reserved	保留, 必须保持复位值
8	IOPGRST	GPIO 端口 G 复位。 软件置 1 或清零。 0: 清除复位 1: 复位 GPIO 端口 G
7	IOPFRST	GPIO 端口 F 复位。 软件置 1 或清零。 0: 清除复位 1: 复位 GPIO 端口 F
6	IOPERST	GPIO 端口 E 复位。 软件置 1 或清零。 0: 清除复位 1: 复位 GPIO 端口 E
5	IOPDRST	GPIO 端口 D 复位。 软件置 1 或清零。 0: 清除复位 1: 复位 GPIO 端口 D
4	IOPCRST	GPIO 端口 C 复位。 软件置 1 或清零。 0: 清除复位 1: 复位 GPIO 端口 C
3	IOPBRST	GPIO 端口 B 复位。 软件置 1 或清零。 0: 清除复位 1: 复位 GPIO 端口 B
2	IOPAMPRST	GPIO 端口 A 复位。 软件置 1 或清零。 0: 清除复位 1: 复位 GPIO 端口 A
1	Reserved	保留, 必须保持复位值

位域	名称	描述
0	AFIORST	AFIO 复位 软件置位和清零 0: 清除复位 1: 复位 AFIO

6.3.6 APB1 外设复位寄存器(RCC_APB1PRST)

偏移地址: 0x10

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved	DACRST	PWRRST	BKPRST	CAN2RST	CAN1RST	Reserved	USBRST	I2C2RST	I2C1RST	UART5 RST	UART4 RST	USART3 RST	USART2 RST	Reserved	
15	14	rw 13	rw 12	rw 11	rw 10	rw	rw	rw 6	rw 5	rw 4	rw 3	rw 2	rw 1	rw	0
SPI3RST	SPI2RST	Reserved	WWDG RST		Reserved			TIM7RST	TIM6RST	TIM5RST	TIM4RST	TIM3RST	TIM2RST		
rw	rw		rw					rw	rw	rw	rw	rw	rw	rw	

位域	名称	描述
31:30	Reserved	保留, 必须保持复位值
29	DACRST	DAC 接口复位。 软件置位或清零。 0: 清除复位 1: 复位 DAC 接口
28	PWRRST	电源接口复位 软件置位和清零. 0: 清除复位 1: 复位电源接口
27	BKPRST	备份接口复位。 软件置 1 或清零。 0: 清除复位 1: 备份接口
26	CAN2RST	CAN2 复位。 软件置 1 或清零。 0: 清除复位 1: 复位 CAN2
25	CAN1RST	CAN1 复位 软件置位和清零. 0: 清除复位 1: 复位 CAN1
24	Reserved	保留, 必须保持复位值
23	USBRST	USB 复位。 软件置位或清零。 0: 清除复位 1: 复位 USB

位域	名称	描述
22	I2C2RST	I2C2 复位 软件置位和清零。 0: 清除复位 1: 复位 I2C2
21	I2C1RST	I2C1 复位 软件置位和清零。 0: 清除复位 1: 复位 I2C1
20	UART5RST	UART5 复位。 软件置 1 或清零。 0: 清除复位 1: 复位 UART5
19	UART4RST	UART4 复位。 软件置 1 或清零。 0: 清除复位 1: 复位 UART4
18	USART3RST	USART3 复位。 软件置位或清零。 0: 清除复位 1: 复位 USART3
17	USART2RST	USART2 复位 软件置位和清零。 0: 清除复位 1: 复位 USART2
16	Reserved	保留, 必须保持复位值
15	SPI3RST	SPI3 复位。 软件置 1 或清零。 0: 清除复位 1: 复位 SPI3
14	SPI2RST	SPI2 复位。 软件置 1 或清零。 0: 清除复位 1: 复位 SPI2
13:12	Reserved	保留, 必须保持复位值
11	WWDGRST	窗口看门狗复位 软件置位和清零 0: 清除复位 1: 复位窗口看门狗
10:6	Reserved	保留, 必须保持复位值
5	TIM7RST	TIM7 定时器复位。 软件置 1 或清零。 0: 清除复位 1: 复位 TIM7 定时器

位域	名称	描述
4	TIM6RST	TIM6 复位 软件置位和清零。 0: 清除复位 1: 复位 TIM6
3	TIM5RST	TIM5 复位 软件置位和清零。 0: 清除复位 1: 复位 TIM5
2	TIM4RST	TIM4 复位 软件置位和清零。 0: 清除复位 1: 复位 TIM4
1	TIM3RST	TIM3 复位 软件置位和清零。 0: 清除复位 1: 复位 TIM3
0	TIM2RST	TIM2 复位 软件置位和清零。 0: 清除复位 1: 复位 TIM2

6.3.7 AHB 外设时钟使能寄存器(RCC_AHPCLKEN)

偏移地址: 0x14

复位值: 0x0000 0014

31	Reserved															18	17	16
15	ADC4EN	ADC3EN	ADC2EN	ADC1EN	SACEN	SDIOEN	RNGCEN	Reserved	CRCEN	Reserved	FLITFEN	Reserved	SRAMEN	DMA2EN	DMA1EN	QSPIEN	ETHMACEN	
14	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	rw	rw	
13	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	0	
12	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	0	
11	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	0	
10	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	0	
9	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	0	
8	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	0	
7	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	0	
6	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	0	
5	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	0	
4	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	0	
3	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	0	
2	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	0	
1	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	0	
0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	0	

位域	名称	描述
31:18	Reserved	保留, 必须保持复位值
17	QSPIEN	QSPI 时钟使能。 软件置 1 或清零。 0: 关闭 QSPI 时钟 1: 使能 QSPI 时钟
16	ETHMACEN	ETHMAC 时钟使能。 软件置 1 或清零。 0: 关闭 ETHMAC 时钟 1: 使能 ETHMAC 时钟
15	ADC4EN	ADC4 时钟使能。

位域	名称	描述
		软件置 1 或清零。 0: 关闭 ADC4 时钟 1: 使能 ADC4 时钟
14	ADC3EN	ADC3 时钟使能。 软件置 1 或清零。 0: 关闭 ADC3 时钟 1: 使能 ADC3 时钟
13	ADC2EN	ADC2 时钟使能。 软件置 1 或清零。 0: 关闭 ADC2 时钟 1: 使能 ADC2 时钟
12	ADC1EN	ADC1 时钟使能 软件置位和清零. 0: ADC1 时钟禁能 1: ADC1 时钟使能
11	SACEN	SAC 时钟使能。 软件置位或清零。 0: 关闭 SAC 时钟 1: 使能 SAC 时钟
10	SDIOEN	SDIO 时钟使能。 软件置 1 或清零。 0: 关闭 SDIO 时钟 1: 使能 SDIO 时钟
9	RNGCEN	RNGC 时钟使能。 软件置 1 或清零。 0: 关闭 RNGC 时钟 1: 使能 RNGC 时钟
8:7	Reserved	保留, 必须保持复位值
6	CRCEN	CRC 时钟使能 软件置位和清零. 0: CRC 时钟禁能 1: CRC 时钟使能
5	Reserved	保留, 必须保持复位值
4	FLITFEN	闪存接口电路时钟使能。 软件置位或清零。 0: 关闭闪存接口电路时钟 1: 使能闪存接口电路时钟
3	Reserved	保留, 必须保持复位值
2	SRAMEN	SRAM 时钟使能 在 SLEEP 模式下, 软件置位和清零以启用/禁用 SRAM 时钟。 0: 在 SLEEP 模式下 SRAM 时钟禁能 1: 在 SLEEP 模式下 SRAM 时钟使能
1	DMA2EN	DMA2 时钟使能。

位域	名称	描述
		软件置位或清零。 0: 关闭 DMA2 时钟 1: 使能 DMA2 时钟
0	DMA1EN	DMA1 时钟使能 软件置位和清零. 0: DMA1 时钟禁能 1: DMA1 时钟使能

6.3.8 APB2 外设时钟使能寄存器 (RCC_APB2PCLKEN)

偏移地址: 0x18

复位值: 0x0000 0000

31	Reserved														21	20	19	18	17	16
															I2C4EN	I2C3EN	UART7EN	UART6EN	DVPEN	
15	14	13	12	11	10	9	8	7	6	5	rw	rw	rw	rw	rw	rw	rw	rw	rw	
Reserved	USART1EN	TIM8EN	SPI1EN	TIM1EN	Reserved	IOPGEN	IOPFEN	IOPEEN	IOPDEN	IOPCEN	IOPBEN	IOPAEN	Reserved	AFIOEN						
	rw	rw	rw	rw		rw		rw												

位域	名称	描述
31:21	Reserved	保留, 必须保持复位值
20	I2C4EN	I2C4 时钟使能。 软件置 1 或清零。 0: 关闭 I2C4 时钟 1: 使能 I2C4 时钟
19	I2C3EN	I2C3 时钟使能。 软件置 1 或清零。 0: 关闭 I2C3 时钟 1: 使能 I2C3 时钟
18	UART7EN	UART7 时钟使能。 软件置 1 或清零。 0: 关闭 UART7 时钟 1: 使能 UART7 时钟
17	UART6EN	UART6 时钟使能。 软件置 1 或清零。 0: 关闭 UART6 时钟 1: 使能 UART6 时钟
16	DVPEN	DVP 时钟使能。 软件置 1 或清零。 0: 关闭 DVP 时钟 1: 使能 DVP 时钟
15	Reserved	保留, 必须保持复位值
14	USART1EN	USART1 时钟使能

位域	名称	描述
		软件置位和清零。 0: USART1 时钟禁能 1: USART1 时钟使能
13	TIM8EN	TIM8 时钟使能 软件置位和清零。 0: TIM8 时钟禁能 1: TIM8 时钟使能
12	SPI1EN	SPI1 时钟使能 软件置位和清零。 0: SPI1 时钟禁能 1: SPI1 时钟使能
11	TIM1EN	TIM1 时钟使能 软件置位和清零。 0: TIM1 时钟禁能 1: TIM1 时钟使能
10:9	Reserved	保留, 必须保持复位值
8	IOPGEN	GPIO 端口 G 时钟使能。 软件置位或清零。 0: 关闭 GPIO 端口 G 的时钟 1: 使能 GPIO 端口 G 的时钟
7	IOPFEN	GPIO 端口 F 时钟使能。 软件置位或清零。 0: 关闭 GPIO 端口 F 的时钟 1: 使能 GPIO 端口 F 的时钟
6	IOPEEN	GPIO 端口 E 时钟使能。 软件置位或清零。 0: 关闭 GPIO 端口 E 的时钟 1: 使能 GPIO 端口 E 的时钟
5	IOPDEN	GPIO 端口 D 时钟使能。 软件置位或清零。 0: 关闭 GPIO 端口 D 的时钟 1: 使能 GPIO 端口 D 的时钟
4	IOPCEN	GPIO 端口 C 时钟使能。 软件置位或清零。 0: 关闭 GPIO 端口 C 的时钟 1: 使能 GPIO 端口 C 的时钟
3	IOPBEN	GPIO 端口 B 时钟使能。 软件置位或清零。 0: 关闭 GPIO 端口 B 的时钟 1: 使能 GPIO 端口 B 的时钟
2	IOPAMPEN	GPIO 端口 A 时钟使能。 软件置位或清零。 0: 关闭 GPIO 端口 A 的时钟

位域	名称	描述
		1: 使能 GPIO 端口 A 的时钟
1	Reserved	保留, 必须保持复位值
0	AFIOEN	AFIO 时钟使能 软件置位和清零. 0: AFIO 时钟禁能 1: AFIO 时钟使能

6.3.9 APB1 外设时钟使能寄存器(RCC_APB1PCLKEN)

偏移地址: 0x1c

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
OPAMP EN	Reserved	DACEN	PWREN	BKPen	CAN2EN	CAN1EN	Reserved	USBEN	I2C2EN	I2C1EN	UART5EN	UART4EN	USART3 EN	USART2 EN	Reserved
rw 15		rw 14	rw 13	rw 12	rw 11	rw 10	rw 8	rw 7	rw 6	rw 5	rw 4	rw 3	rw 2	rw 1	rw 0
SPI3EN	SPI2EN	Reserved	WWWDG EN	Reserved	COMP FILTEN	COMPEN	TIM7EN	TIM6EN	TIM5EN	TIM4EN	TIM3EN	TIM2EN			
rw	rw		rw		rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位域	名称	描述
31	OPAMPEN	OPAMP 时钟使能。 软件置位或清零。 0: 关闭 OPAMP 时钟 1: 使能 OPAMP 时钟
30	Reserved	保留, 必须保持复位值
29	DACEN	DAC 接口时钟使能。 软件置位或清零。 0: 关闭 DAC 接口时钟 1: 使能 DAC 接口时钟
28	PWREN	电源接口时钟使能 软件置位和清零. 0: 电源接口时钟禁能 1: 电源接口时钟使能
27	BKPen	备份接口时钟使能。 软件置 1 或清零。 0: 关闭备份接口时钟 1: 使能备份接口时钟
26	CAN2EN	CAN2 时钟使能。 软件置 1 或清零。 0: 关闭 CAN2 时钟 1: 使能 CAN2 时钟
25	CAN1EN	CAN1 时钟使能 软件置位和清零.

位域	名称	描述
		0: CAN1 时钟禁能 1: CAN1 时钟使能
24	Reserved	保留, 必须保持复位值
23	USBEN	USB 时钟使能。 软件置位或清零。 0: 关闭 USB 时钟 1: 使能 USB 时钟
22	I2C2EN	I2C2 时钟使能 软件置位和清零. 0: I2C2 时钟禁能 1: I2C2 时钟使能
21	I2C1EN	I2C1 时钟使能 软件置位和清零. 0: I2C1 时钟禁能 1: I2C1 时钟使能
20	UART5EN	UART5 时钟使能。 软件置 1 或清零。 0: 关闭 UART5 时钟 1: 使能 UART5 时钟
19	UART4EN	UART4 时钟使能。 软件置 1 或清零。 0: 关闭 UART4 时钟 1: 使能 UART4 时钟
18	USART3EN	USART3 时钟使能。 软件置位或清零。 0: 关闭 USART3 时钟 1: 使能 USART3 时钟
17	USART2EN	USART2 时钟使能 软件置位和清零. 0: USART2 时钟禁能 1: USART2 时钟使能
16	Reserved	保留, 必须保持复位值
15	SPI3EN	SPI3 时钟使能。 软件置 1 或清零。 0: 关闭 SPI3 时钟 1: 使能 SPI3 时钟
14	SPI2EN	SPI2 时钟使能。 软件置 1 或清零。 0: 关闭 SPI2 时钟 1: 使能 SPI2 时钟
13:12	Reserved	保留, 必须保持复位值
11	WWDGEN	窗口看门狗时钟使能 软件置位和清零.

位域	名称	描述
		0: 窗口看门狗时钟禁能 1: 窗口看门狗时钟使能
10:8	Reserved	保留, 必须保持复位值
7	COMPFILTEN	COMP 滤波器时钟使能 软件置位和清零. 0: COMP 滤波器时钟禁能 1: COMP 滤波器时钟使能
6	COMPEN	COMP 时钟使能 软件置位和清零. 0: COMP 时钟禁能 1: COMP 时钟使能
5	TIM7EN	TIM7 定时器时钟使能。 软件置 1 或清零。 0: 关闭 TIM7 定时器时钟 1: 使能 TIM7 定时器时钟
4	TIM6EN	TIM6 时钟使能 软件置位和清零. 0: TIM6 时钟禁能 1: TIM6 时钟使能
3	TIM5EN	TIM5 时钟使能 软件置位和清零. 0: TIM5 时钟禁能 1: TIM5 时钟使能
2	TIM4EN	TIM4 时钟使能 软件置位和清零. 0: TIM4 时钟禁能 1: TIM4 时钟使能
1	TIM3EN	TIM3 时钟使能 软件置位和清零. 0: TIM3 时钟禁能 1: TIM3 时钟使能
0	TIM2EN	TIM2 时钟使能 软件置位和清零. 0: TIM2 时钟禁能 1: TIM2 时钟使能

6.3.10 备份域控制寄存器(RCC_BDCTRL)

偏移地址: 0x20

复位值: 0x0000 0000

31	Reserved										17	16
											BDSFT RST	
15	14	Reserved	10	9	8	7	Reserved	3	2	1	rw	0
RTCEN			rw	RTCSEL[1:0]		rw	Reserved	LSEBP	LSERD	LSEEN	rw	rw

位域	名称	描述
31:17	Reserved	保留，必须保持复位值
16	BDSFTRST	备份域软件复位。 软件置 1 或清零。 0: 无作用 1: 复位整个备份域
15	RTCEN	RTC 时钟使能 软件置位和清零。 0: 禁能 RTC 时钟 1: 使能 RTC 时钟
14:10	Reserved	保留，必须保持复位值
9:8	RTCSEL[1:0]	RTC 时钟源选择 由软件设置以选择 RTC 时钟源。一旦选择了 RTC 时钟源，在下次备份域复位之前无法更改。这些位可以通过设置 BDSFTRST 位来复位。 00: 无时钟 01: 选择 LSE 振荡器作为 RTC 时钟 10: 选择 LSI 振荡器作为 RTC 时钟 11: 选择 HSE 振荡器 128 分频为 RTC 时钟
7:3	Reserved	保留，必须保持复位值
2	LSEBP	外部低速振荡器旁路 在调试模式下，软件置位和清零旁路振荡器。该位只能在外部低速振荡器禁用时写入。 0: LSE 振荡器未旁路 1: LSE 振荡器旁路
1	LSERD	外部低速时钟振荡器就绪 由硬件置位和清零以指示 LSE 振荡器是否就绪。LSEEN 位清零后，LSERD 在 LSE 时钟的 6 个周期后清零。 0: 外部低速振荡器未就绪 1: 外部低速振荡器就绪
0	LSEEN	外部低速时钟振荡器使能 软件置位和清零。 0: 禁止外部低速振荡器 1: 使能外部低速振荡器。

注意: RCC_BDCTRL.LSEEN、RCC_BDCTRL.LSEBP、RCC_BDCTRL.RTCSEL 和 RCC_BDCTRL.RTCEN 位处于备份域。因此，这些位在复位后是写保护的，只有在 PWR_CTRL.DBKP 位置位后才能更改。这些位只能由备份域复位清除。任何内部或外部复位都不会影响这些位。

6.3.11 控制/状态寄存器(RCC_CTRLSTS)

偏移地址: 0x24

复位值: 0x0C000003

31	30	29	28	27	26	25	24	23	22	21	20	19	18	16
LPWR RSTF	WWDG RSTF	IWDG RSTF	SFT RSTF	POR RSTF	PINRSTF	MMU RSTF	RMRSTF	RAM RSTF	Reserved	BKP EMCF	RET EMCF	BOR RSTF	Reserved	
r 15	r	r	r	r	r	r	rw	r		r	r	r		2 1 0
									Reserved					r rw
													LSIRD	LSIEN

位域	名称	描述
31	LPWRRSTF	低功耗复位标志 当发生低功耗管理复位时由硬件设置。 软件通过写入 RMRSTF 位清零。 0: 未发生低功耗管理复位 1: 发生低功耗管理复位
30	WWDGRSTF	窗口看门狗复位标志 发生窗口看门狗复位时由硬件置位。 软件通过写入 RMRSTF 位清零。 0: 未发生窗口看门狗复位 1: 发生窗口看门狗复位
29	IWDGRSTF	独立看门狗复位标志 发生独立看门狗复位时由硬件置位 软件通过写入 RMRSTF 位清零。 0: 未发生独立看门狗复位 1: 发生独立看门狗复位
28	SFTRSTF	软件复位标志 发生软件复位时由硬件置位。 软件通过写入 RMRSTF 位清零。 0: 未发生软件复位 1: 发生软件复位
27	PORRSTF	上电/掉电复位标志 发生上电/掉电复位时由硬件置位 软件通过写入 RMRSTF 位清零。 0: 未发生上电/断电复位 1: 发生上电/掉电复位
26	PINRSTF	外部引脚复位标志 当 NRST 引脚发生复位时由硬件置位。 软件通过写入 RMRSTF 位清零。 0: 未发生 NRST 引脚复位 1: 发生 NRST 引脚复位
25	MMURSTF	MMU 复位标志

位域	名称	描述
		发生 MMU 复位时由硬件置位。 软件通过写入 RMRSTF 位清零。 0: 未发生 MMU 复位 1: 发生 MMU 复位
24	RMRSTF	清除复位标志 软件通过置 1 该位来清除所有复位标志。 0:无作用 1:清除复位标志
23	RAMRSTF	RAM 复位标志。 在 RAM 复位发生时由硬件置 1, 软件通过写 RMRSTF 位清除。 0: 无 RAM 复位发生 1: 有 RAM 复位发生
22	Reserved	保留, 必须保持复位值
21	BKPEMCF	备份域 EMC 复位标志。 在备份域 EMC 复位发生时由硬件置 1, 软件通过写 RMRSTF 位清除。 0: 无备份域 EMC 复位发生 1: 有备份域 EMC 复位发生
20	RETEMCF	保持域 EMC 复位标志。 在保持域 EMC 复位发生时由硬件置 1, 软件通过写 RMRSTF 位清除。 0: 无保持域 EMC 复位发生 1: 有保持域 EMC 复位发生
19	BORRSTF	BOR 复位标志。 在 BOR 复位发生时由硬件置 1, 软件通过写 RMRSTF 位清除。 0: 无 BOR 复位发生 1: 有 BOR 复位发生
18:2	Reserved	保留, 必须保持复位值
1	LSIRD	内部低速振荡器就绪 由硬件置位和清零以指示内部 RC 40KHz 振荡器是否就绪。LSIEN 清零后, LSIRD 在 3 个内部 RC 40KHz 振荡器时钟周期后清零。 0: 内部 40KHz RC 振荡器时钟未就绪 1: 内部 40KHz RC 振荡器时钟就绪
0	LSIEN	内部低速振荡器使能 软件置位和清零。 0: 禁用内部 RC 40kHz 振荡器 1: 使能内部 RC 40kHz 振荡器

6.3.12 AHB 外设复位寄存器(RCC_AHBPRST)

偏移地址: 0x28

复位值: 0x0000 0000

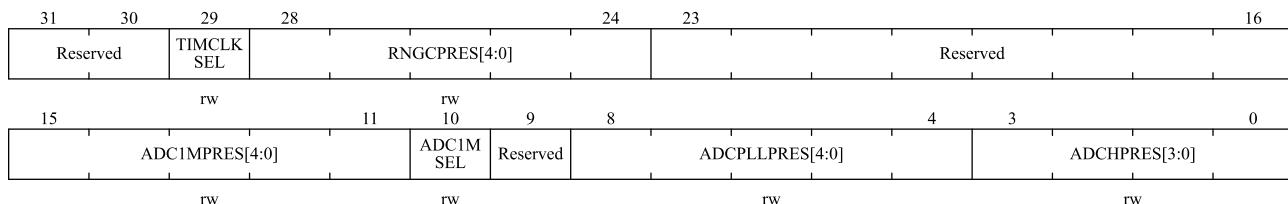
31	Reserved										18	17	16
											QSPIRST	ETHMAC RST	
15	rw	ADC4RST	rw	ADC3RST	rw	ADC2RST	rw	ADC1RST	SACRST	rw	9	8	rw
14	rw	ADC4RST	rw	ADC3RST	rw	ADC2RST	rw	ADC1RST	SACRST	rw	Reserved	Reserved	rw
13	rw	ADC4RST	rw	ADC3RST	rw	ADC2RST	rw	ADC1RST	SACRST	rw	Reserved	Reserved	rw
12	rw	ADC4RST	rw	ADC3RST	rw	ADC2RST	rw	ADC1RST	SACRST	rw	9	8	rw
11	rw	ADC4RST	rw	ADC3RST	rw	ADC2RST	rw	ADC1RST	SACRST	rw	Reserved	Reserved	rw
10	rw	ADC4RST	rw	ADC3RST	rw	ADC2RST	rw	ADC1RST	SACRST	rw	9	8	rw
9	rw	ADC4RST	rw	ADC3RST	rw	ADC2RST	rw	ADC1RST	SACRST	rw	Reserved	Reserved	rw
8:0	rw	ADC4RST	rw	ADC3RST	rw	ADC2RST	rw	ADC1RST	SACRST	rw	9	8	rw

位域	名称	描述
31:18	Reserved	保留，必须保持复位值
17	QSPIRST	QSPI 复位。 软件置 1 或清零。 0：清除复位 1：复位 QSPI
16	ETHMACRST	ETHMAC 复位。 软件置 1 或清零。 0：清除复位 1：复位 ETHMAC
15	ADC4RST	ADC4 复位。 软件置 1 或清零。 0：清除复位 1：复位 ADC4
14	ADC3RST	ADC3 复位。 软件置 1 或清零。 0：清除复位 1：复位 ADC3
13	ADC2RST	ADC2 复位。 软件置 1 或清零。 0：清除复位 1：复位 ADC2
12	ADC1RST	ADC1 复位 软件置位和清零. 0：清除复位 1：复位 ADC1
11	SACRST	SAC 复位。 软件置位或清零。 0：清除复位 1：复位 SAC
10	Reserved	保留，必须保持复位值
9	RNGCRST	RNGC 复位。 软件置位或清零。 0：清除复位 1：复位 RNGC
8:0	Reserved	保留，必须保持复位值

6.3.13 时钟配置寄存器 2 (RCC_CFG2)

偏移地址: 0x2c

复位值: 0x0000 3800



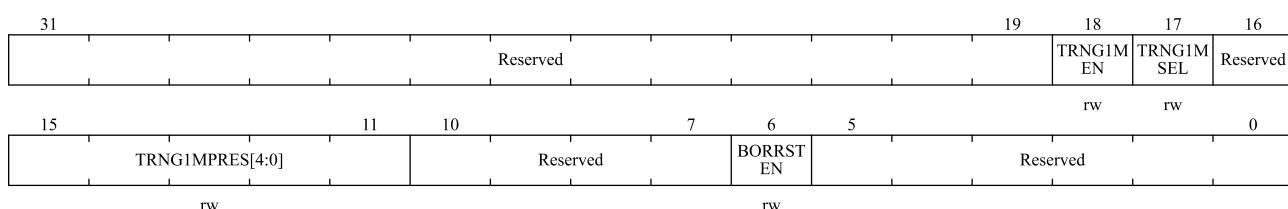
位域	名称	描述
31:30	Reserved	保留, 必须保持复位值
29	TIMCLKSEL	TIM1/8 时钟源选择 软件置位和清零。 0: 如果 APB2 预分频器为 1, 则选择 PCLK2 作为 TIM1/8 时钟源。否则, 选择 PCLK2×2 1: SYSCLK 输入时钟被选择为 TIM1/8 时钟源
28:24	RNGCPRES[4:0]	RNGC 预分频。 软件设置或清除这些位来配置 RNGC 时钟的预分频系数。 00000: SYSCLK 不分频 00001: SYSCLK 2 分频 00010: SYSCLK 3 分频 ... 11110: SYSCLK 31 分频 11111: SYSCLK 32 分频
23:16	Reserved	保留, 必须保持复位值
15:11	ADC1MPRES[4:0]	ADC 1M 时钟分频 软件置位和清零这些位来配置 ADC1M 时钟源的预分频系数。 00000: ADC 1M 时钟源不分频 00001: ADC 1M 时钟源 2 分频 00010: ADC 1M 时钟源 3 分频 ... 11110: ADC 1M 时钟源 31 分频 11111: ADC 1M 时钟源 32 分频 备注: ADC 该时钟必须配置成 IM
10	ADC1MSEL	ADC 1M 时钟源选择。 软件置位或清零。 0: 选择 HSI 振荡器时钟作为 ADC 1M 的输入时钟 1: 选择 HSE 振荡器时钟作为 ADC 1M 的输入时钟
9	Reserved	保留, 必须保持复位值
8:4	ADCPLL PRES[4:0]	ADC PLL 预分频 软件置位和清零这些位以配置 PLL 时钟到 ADC 的分频系数。

位域	名称	描述
		0xxxx: ADC PLL 时钟被禁用 10000: PLL 时钟不分频 10001: PLL 时钟 2 分频 10010: PLL 时钟 4 分频 10011: PLL 时钟 6 分频 10100: PLL 时钟 8 分频 10101: PLL 时钟 10 分频 10110: PLL 时钟 12 分频 10111: PLL 时钟 16 分频 11000: PLL 时钟 32 分频 11001: PLL 时钟 64 分频 11010: PLL 时钟 128 分频 11011: PLL 时钟 256 分频 其他: PLL 时钟 256 分频
3:0	ADCHPRES[3:0]	ADC HCLK 预分频 软件置位和清零这些位以配置 HCLK 时钟到 ADC 的分频系数。 0000: HCLK 时钟不分频 0001: HCLK 时钟 2 分频 0010: HCLK 时钟 4 分频 0011: HCLK 时钟 6 分频 0100: HCLK 时钟 8 分频 0101: HCLK 时钟 10 分频 0110: HCLK 时钟 12 分频 0111: HCLK 时钟 16 分频 1000: HCLK 时钟 32 分频 其他: HCLK 时钟 32 分频

6.3.14 时钟配置寄存器 3 (RCC_CFG3)

偏移地址: 0x30

复位值: 0x0000 3840



位域	名称	描述
31:19	Reserved	保留, 必须保持复位值
18	TRNG1MEN	TRNG 模拟接口时钟使能。 软件置 1 或清零。 0: 关闭 TRNG 模拟接口

位域	名称	描述
		1: 使能 TRNG 模拟接口时钟
17	TRNG1MSEL	TRNG 1M 时钟选择。 软件置 1 或清零。 0: 选择 HSI 振荡器作为 TRNG 1M 输入时钟 1: 选择 HSE 振荡器作为 TRNG 1M 输入时钟
16	Reserved	保留, 必须保持复位值
15:11	TRNG1MPRES[4:0]	TRNG 1M 时钟预分频。 软件设置或清除这些位以生成 TRNG 1M 时钟。 0000x: TRNG 1M 时钟源 2 分频 0001x: TRNG 1M 时钟源 4 分频 0010x: TRNG 1M 时钟源 6 分频 0011x: TRNG 1M 时钟源 8 分频 0100x: TRNG 1M 时钟源 10 分频 ... 1111x: TRNG 1M 时钟源 32 分频
10:7	Reserved	保留, 必须保持复位值
6	BORRSTEN	BOR 复位使能。 软件置 1 或清零。 0: 不使能 BOR 复位 1: 使能 BOR 复位
5:0	Reserved	保留, 必须保持复位值

7 GPIO 和 AFIO

7.1 概述

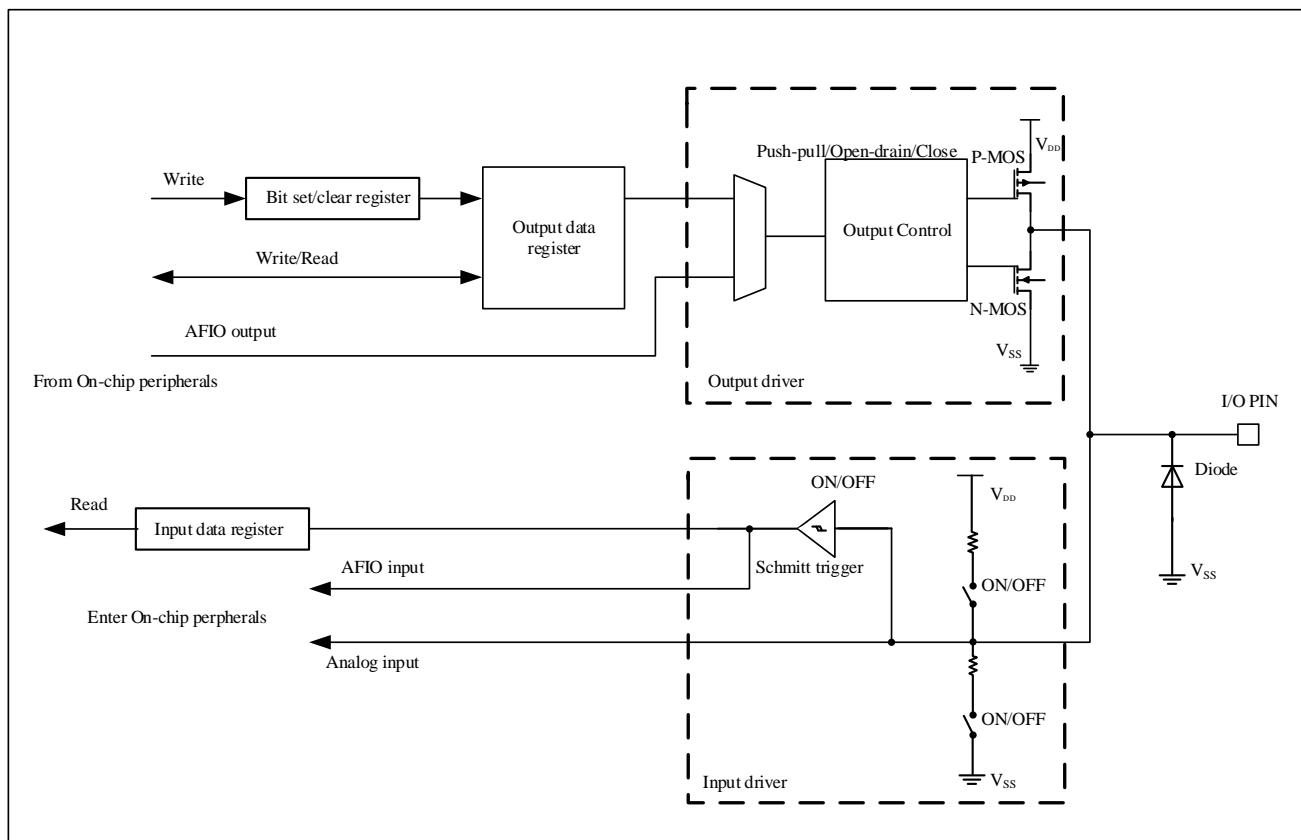
GPIO (General purpose input/output) 即通用型 I/O, AFIO (Alternate-function input/output) 即复用功能 I/O。芯片最多支持 97 个 GPIO, 共被分为 7 组 (GPIOA/GPIOB/GPIOC/GPIOD/GPIOE/GPIOF/GPIOG), 每组 16 个端口 (F 组共 10 个, G 组共 7 个)。GPIO 端口和其他的复用外设共用引脚, 用户可以根据需求灵活配置。每个 GPIO 引脚都可以独立配置成输出、输入或复用的外设功能端口。除了模拟功能引脚外, 其他的 GPIO 引脚都有大电流通过能力。

GPIO 端口可由软件分别配置成以下模式:

- 输入浮空
- 输入上拉
- 输入下拉
- 模拟功能
- 开漏输出
- 推挽输出
- 推挽复用功能
- 开漏复用功能

每个 I/O 端口位可以任意编程, 但必须按照 32 位字访问 I/O 端口寄存器 (不允许 16 位半字或 8 位字节访问)。下图给出了一个 I/O 端口的基本结构。

图 7-1 I/O 端口的基本结构



7.2 IO 功能描述

7.2.1 IO 模式配置

IO 的模式控制由配置寄存器 `GPIOx_PL_CFG`, `GPIOx_PH_CFG` 以及输出寄存器 `GPIOx_POD` ($x=A,B,C,D,E,F,G$) 来设置，不同的操作模式下的配置如下表所示：

表 7-1 IO 模式和配置关系

配置模式		PCFG1	PCFG0	PMODE1	PMODE0	PODx寄存器		
通用输出	推挽 (Push-Pull)	0	0	01: 最大10MHz 10: 最大2MHz 11: 最大50MHz	0 或 1 0 或 1 不使用 不使用	0 或 1		
	开漏 (Open-Drain)		1			0 或 1		
复用功能输出	推挽 (Push-Pull)	1	0			不使用		
	开漏 (Open-Drain)		1			不使用		
输入	模拟模式	0	0	00: 保留	不使用 不使用 0 1	不使用		
	浮空输入		1			不使用		
	下拉输入	1	0			0		
	上拉输入					1		

IO 在不同的配置下的输入输出特性如下表所示：

表 7-2 IO 不同配置的输入输出特性

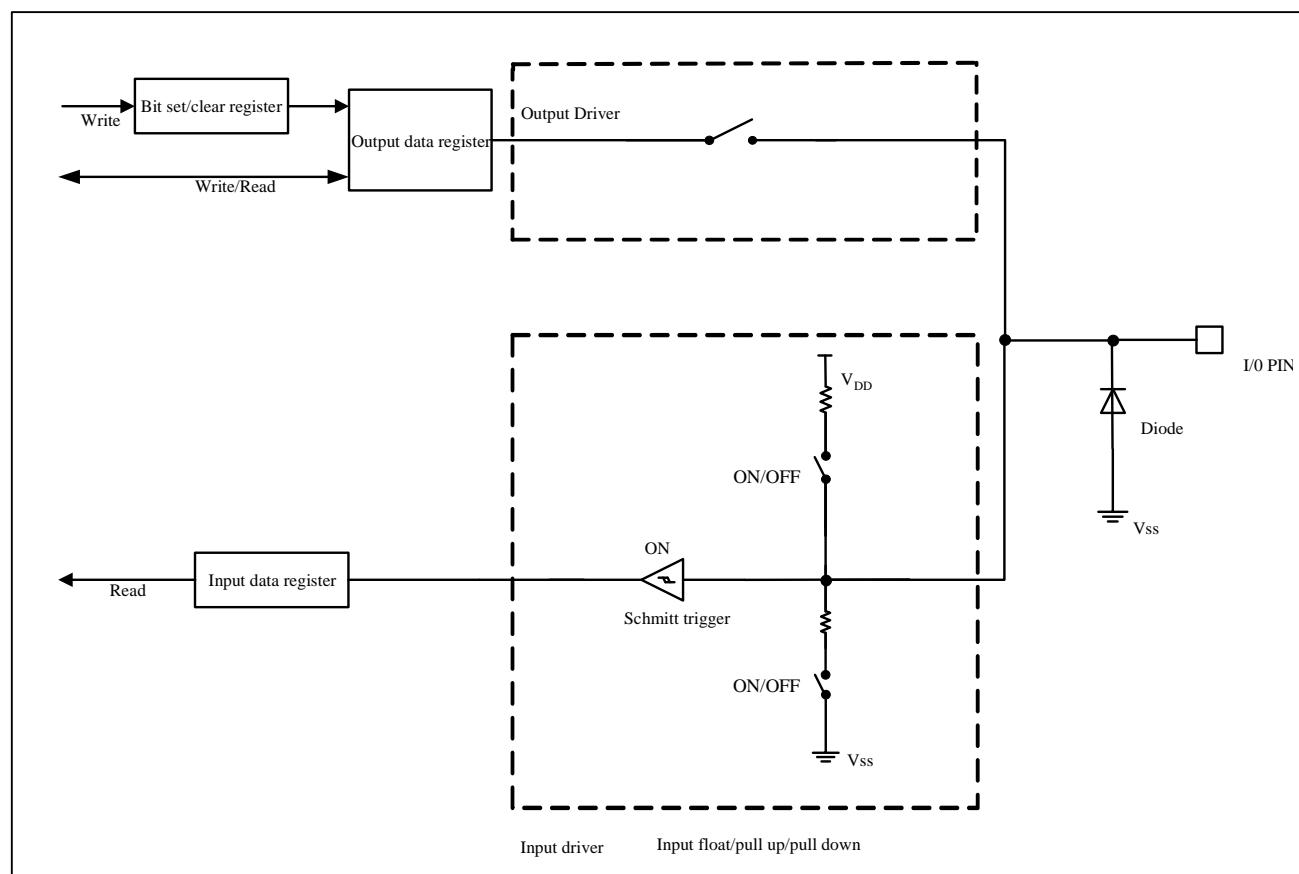
特性	GPIO输入	GPIO输出	模拟模式	外设复用
输出缓冲器	禁能	使能	禁能	根据外设功能配置
施密特触发器	使能	使能	禁能 输出值被强制为0	根据外设功能配置
上下拉/浮空	可配	禁能	禁能	根据外设功能配置
开漏模式	禁能	可配, 输出数据为"0"时GPIO 输出0, "1"时GPIO高阻	禁能	可配, 输出数据为"0"时 GPIO输出0, "1"时GPIO高 阻
输入数据寄存器 (IO状态)	可读写	可读	读出为0	可读
输出数据寄存器 (写入值)	无效	可读写	无效	可读

7.2.1.1 输入模式

当 I/O 端口配置为输入模式时：

- 出现在 I/O 脚上的数据在每个 APB2 时钟被采样到输入数据寄存器
- 对输入数据寄存器的访问可以得到 I/O 状态
- 输出缓冲器被禁止
- 施密特触发输入被激活
- 根据输入配置（上拉，下拉或浮空）的不同，弱上拉和下拉电阻被连接

图 7-2 输入浮空/上拉/下拉配置

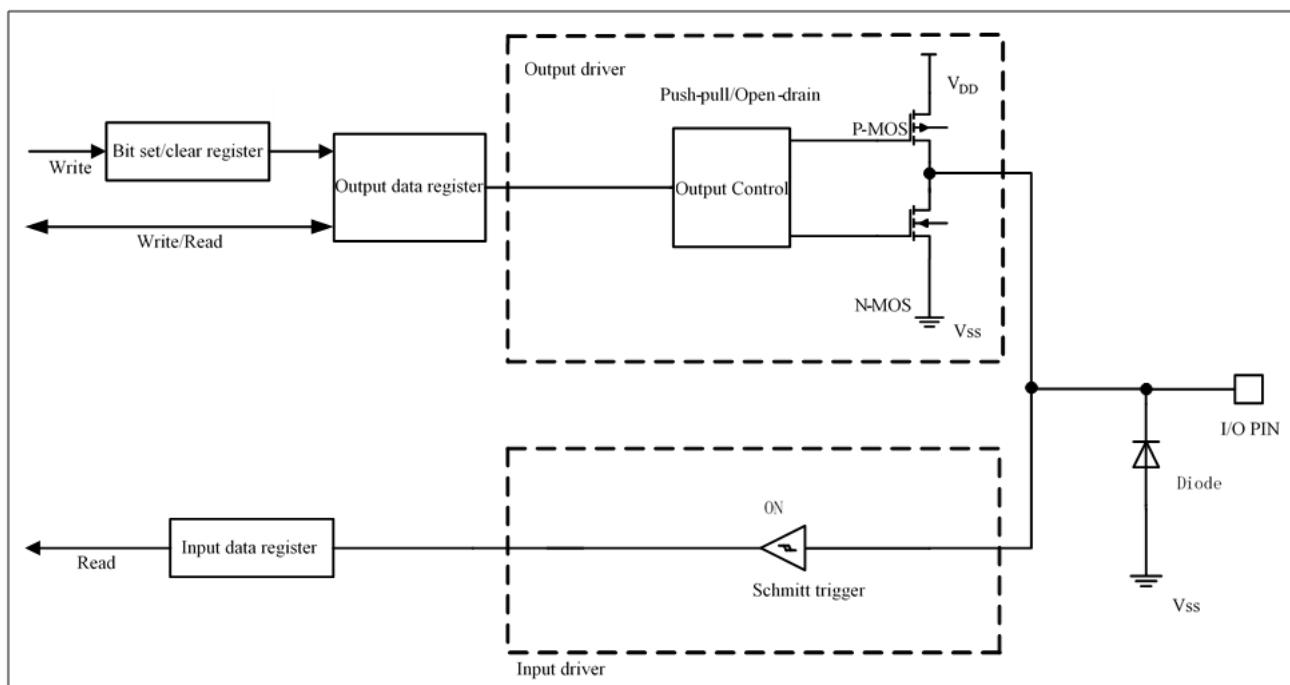


7.2.1.2 输出模式

当 I/O 端口配置为输出时：

- 施密特触发输入被激活
- 弱上拉和下拉电阻被禁止
- 输出缓冲器被激活
 - ◆ 开漏模式：输出寄存器上的'0'激活 N-MOS，引脚输出低电平
输出寄存器上的'1'使端口置于高阻状态（P-MOS 从不被激活）
 - ◆ 推挽模式：输出寄存器上的'0'激活 N-MOS，引脚输出低电平
输出寄存器上的'1'激活 P-MOS，引脚输出高电平
- 出现在 I/O 脚上的数据在每个 APB2 时钟被采样到输入数据寄存器
- 对输入数据寄存器的读访问可得到 I/O 状态
- 对输出数据寄存器的读访问得到最后写入的值

图 7-3 输出模式配置



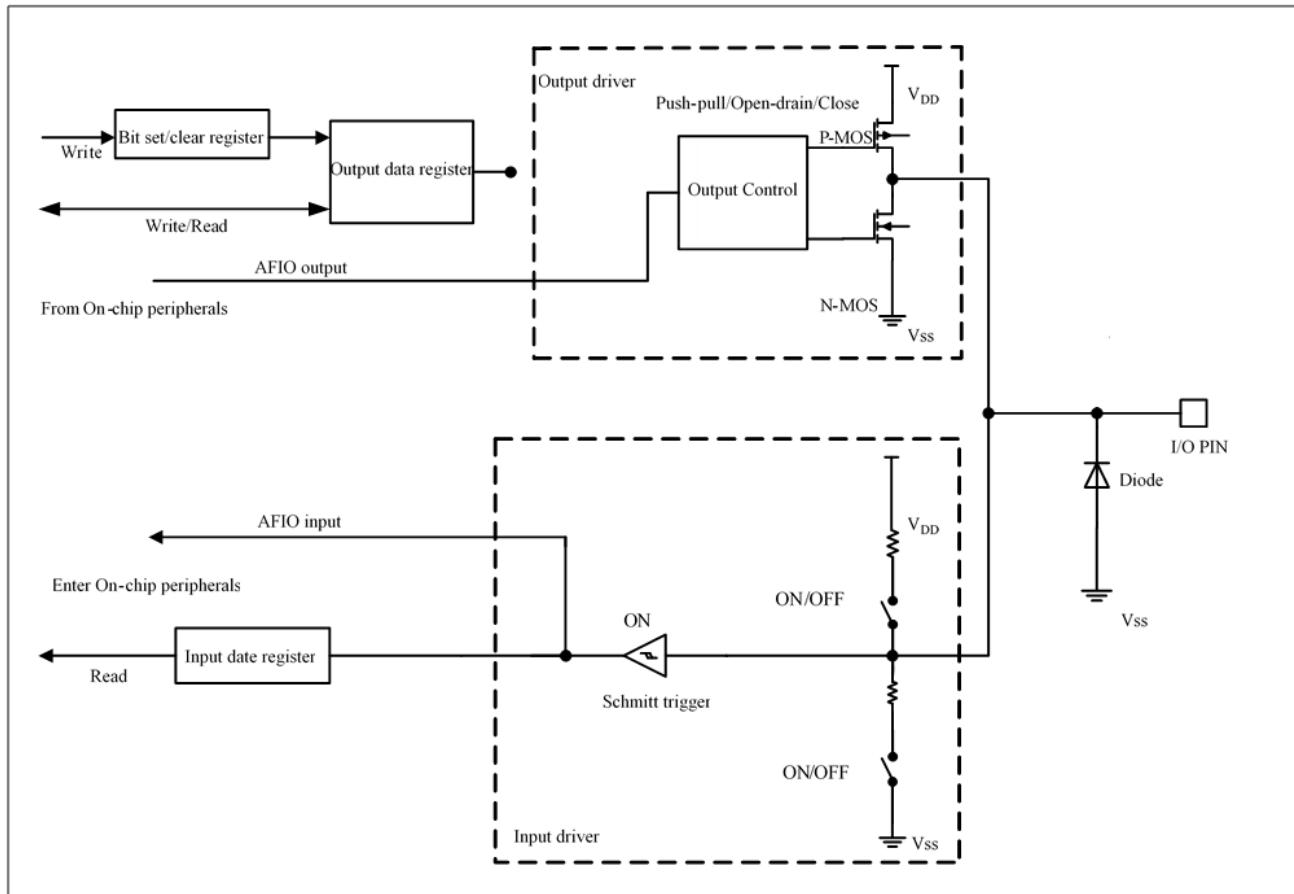
7.2.1.3 复用功能模式

当 I/O 端口配置为复用功能时：

- 施密特触发输入被激活
- 弱上拉和下拉电阻被禁止
- 在开漏或推挽式配置中，输出缓冲器被打开

- 内置外设的信号驱动输出缓冲器
- 在每个 APB2 时钟周期，对输入数据寄存器的访问可以得到 I/O 状态
- 对输入数据寄存器的读访问可得到 I/O 状态
- 对输出数据寄存器的读访问得到最后一次写的值

图 7-4 复用功能配置

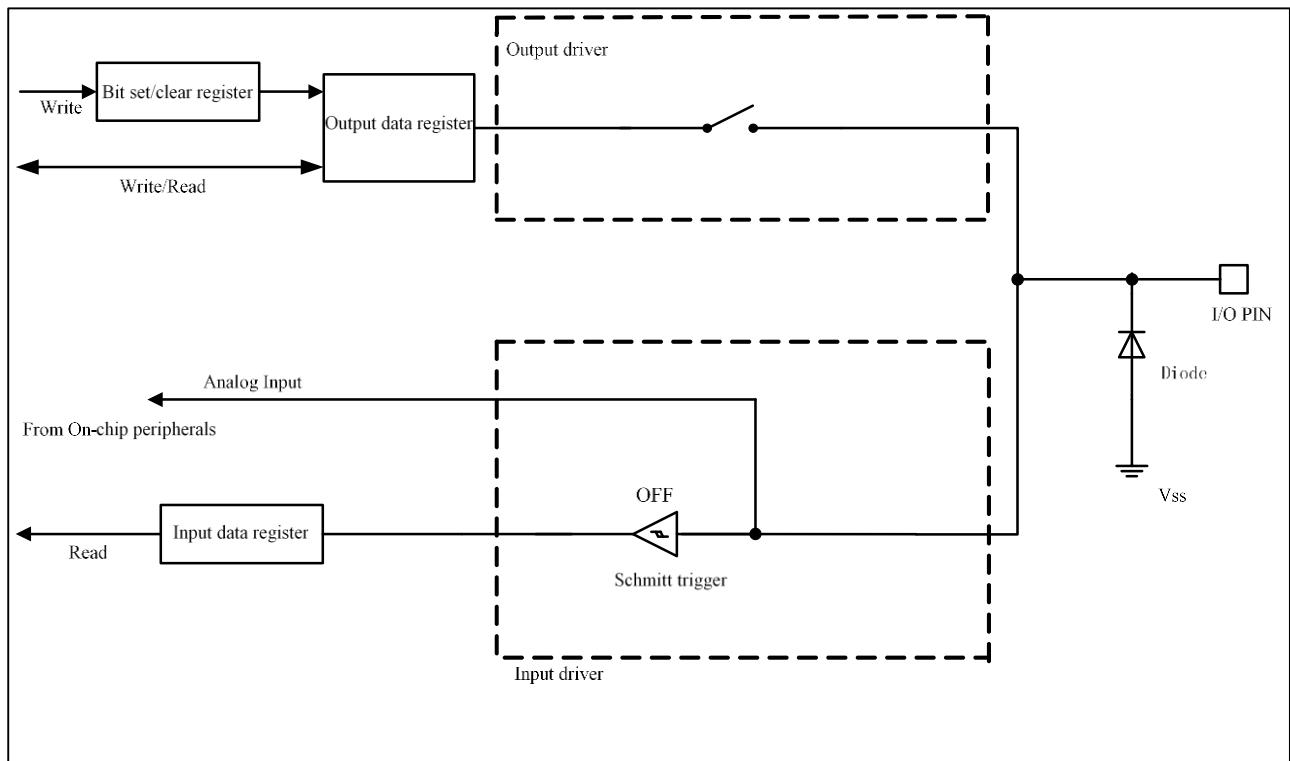


7.2.1.4 模拟模式

当 I/O 端口被配置为模拟模式时：

- 弱上拉和下拉电阻被禁止
- 读取输入数据寄存器时数值为'0'
- 输出缓冲器被禁止
- 施密特触发输入被禁止，输出值被强置为'0'（实现了每个模拟 I/O 引脚上的零消耗）

图 7-5 高阻抗的模拟模式配置



7.2.2 复位后状态

复位期间和刚复位后，复用功能未开启，I/O 端口被配置成模拟功能模式（PCFGy[1:0]=00b，PMODEy[1:0]=00b）。但有以下几个例外的信号：

- BOOT0、NRST、OSC_IN、OSC_OUT 默认无 GPIO 功能：
 - ◆ BOOT0 引脚默认输入下拉
 - ◆ NRST 上拉输入输出
- 复位后，调试系统相关的引脚默认状态为启动 SWD-JTAG，JTAG 引脚被置于输入上拉或下拉模式：
 - ◆ PA15:JTDI 置于输入上拉模式
 - ◆ PA14:JTCK 置于输入下拉模式
 - ◆ PA13:JTMS 置于输入上拉模式
 - ◆ PB4:NJTRST 置于输入上拉模式
 - ◆ PB3:JTD0 置于推挽输出无上下拉
- PD0 和 PD1：
 - ◆ PD0 和 PD1 在 80 及以上引脚封装默认为模拟模式
 - ◆ PD0 和 PD1 在 80 以下引脚封装复用到 OSC_IN/OUT
- PC13、PC14、PC15：
 - ◆ PC13~15 为备电域下的三个 IO，备份域初次上电默认为模拟模式；

- PB2/BOOT1:
 - ◆ PB2/BOOT1 默认处于下拉输入状态;
 - ◆ BOOT0 默认输入下拉, 参照下表, 若 BOOT 的引脚未连接, 则默认选择 Flash 主存储区。

启动模式选择引脚		启动模式	说明
BOOT1	BOOT0		
x	0	主闪存存储器	主闪存存储器作为启动区域
0	1	系统存储器	系统存储器作为启动区域
1	1	内置SRAM	内置SRAM作为启动区域

7.2.3 单独的位设置和位清除

通过将置位寄存器 (GPIOx_PBSC) 和复位寄存器 (GPIOx_PBC) 中要改变的位写“1”，可以实现数据寄存器 (GPIOx_POD) 的单独位操作，可以设置/复位一个或多个位，写入'1'的位相应置位或清除，未写入'1'的位不会改变。软件不需要禁止中断，并且在单次 APB2 写操作里完成。

7.2.4 外部中断/唤醒线

所有端口都有外部中断能力，可以在 EXTI 模块中配置：

- 端口必须配置成输入模式
- 所有端口可配置用于 SLEEP/STOP0/STOP2 模式唤醒，支持上升或下降沿可配
- PA0 可用于 STANDBY 模式唤醒
- 通用 I/O 端口以图 2-2 的方式连接到 16 个外部中断/事件线上，由寄存器 AFIO_EXTI_CFGx 配置

7.2.5 复用功能

当 I/O 端口配置为复用功能模式时，使用前必须对端口位配置寄存器 (GPIOx_PL_CFG/ GPIOx_PH_CFG) 编程，具体如下：

- 复用的输入功能：端口必须配置成输入模式（浮空、上拉或下拉）且输入引脚必须由外部驱动。
- 复用输出功能：端口必须配置成复用功能输出模式（推挽或开漏）。
- 双向复用功能：端口位必须配置复用功能输出模式（推挽或开漏）。此时，输入驱动器被配置成浮空输入模式。

端口在复用输出模式下，引脚和输出数据寄存器断开，并和片上外设的输出信号连接。如果软件把一个 GPIO 脚配置成复用输出功能，但是外设没有被激活，它的输出将不确定。

7.2.5.1 时钟输出 MCO

微控制器允许输出时钟信号到外部 MCO 引脚 (PA8)。PA8 必须被配置为复用推挽输出功能模式。以下四个时钟信号可被选作 MCO 时钟，时钟的选择由时钟配置寄存器 RCC_CFG.MCO[2:0]位控制：

- 分频的 SYSCLK
- HSI
- HSE

- 分频的 PLL 时钟

7.2.5.2 软件重新映射 I/O 复用功能

为拓展不同器件封装下的复用外设功能灵活性，可以把一些外设复用功能重新映射到其他引脚上。可以通过软件配置相应的寄存器（AFIO_RMP_CFG, AFIO_RMP_CFGx）来完成。这时，复用功能就和他原来的引脚断开，重新映射到新的引脚上了。

7.2.5.3 备份域 PC13~PC15 功能重映射

7.2.5.3.1 备份域 PC13~PC15 功能描述

PC13~PC15 三个引脚位于备份域下，可以作为 GPIO 模式或复用功能模式：

- 当备份区域由 VDD（内部模拟开关连到 VDD）供电时，下述功能可用：
 - ◆ PC14 和 PC15 可以用于 GPIO 或 LSE 引脚
 - ◆ PC13 可以作为通用 I/O 口、TAMPER 引脚、RTC 校准时钟、RTC 闹钟或秒输出（参见备份寄存器 5.4 章节）

注：因为模拟开关只能通过少量的电流 (3mA)，在输出模式下使用 PC13,PC14,PC15 的 I/O 口功能是有限制的：速度必须限制在 2MHz 以下，最大负载为 30pF，而且这些 I/O 口绝对不能当作电流源（如驱动 LED）。

- 当后备区域由 VBAT 供电时（VDD 消失后模拟开关连到 VBAT），可以使用下述功能：
 - ◆ PC14 和 PC15 只能用于 LSE 引脚
 - ◆ PC13 可以作为 TAMPER 引脚、RTC 闹钟或秒输出（参见 14.2.8，在 PC13 引脚（当该引脚不用于入侵检测时）上输出 RTC 校准时钟，RTC 闹钟脉冲或者秒脉冲。为方便测量，RTC 时钟可以经 64 分频输出到入侵检测引脚 TAMPER 上。通过设置 RTC_CTRL.COEN 位来开启这一功能。）

7.2.5.3.2 PC13~PC15 功能映射

根据前面的描述，整理了 PC13~PC15 不同模式的配置条件如下：

PC14和PC15	条件	PAD模式配置
GPIO模式	LSE关闭，且备份域由VDD供电，且不进入低功耗模式（STANDBY, STOP2）关闭1.1V电源时，才能用于GPIO模式	GPIO的模式由应用决定
PC13	条件	PAD模式配置
GPIO模式	备份域由VDD供电，且不进入低功耗模式（STANDBY, STOP2）关闭1.1V电源时，才能用于GPIO模式	GPIO的模式由应用决定
TAMPER引脚	任何时候均可配置于此项输入	浮空输入
RTC校准时钟，RTC闹钟脉冲或者秒脉冲	当该引脚不用于入侵检测时，可用于输出RTC校准时钟，RTC闹钟脉冲或者秒脉冲，因此优先级比TAMPER功能低。	复用推挽输出

由上，PC13~PC15 三个引脚管理的电源域划分：

■ GPIOx_PH_CFG/GPIOx_PID/GPIOx_POD/GPIOx_PBSC/GPIOx_PBC/GPIOx_PLOCK_CFG 等 GPIO 相关的配置寄存器都在 Core 电源域;

■ 这三个引脚的 Mux 逻辑在 VBAT 域，默认为 GPIO 浮空输入模式；PC14 和 PC15 根据 LSEEN、备份域供电电源控制信号、芯片模式信号、GPIOC_PH_CFG 、TAMPER 和时钟输出控制决定处于何种模式以及 Mux。

注：备份域由 VDD 供电还是 VBAT 供电的控制信号，由 PWR 模块自动切换，应该是 VDD 域的 POR 信号得到。

7.2.5.4 把 OSC_IN/OSC_OUT 引脚作为 GPIO 端口 PD0/PD1

如应用中未开启外部高速振荡器，引脚 OSC_IN/OSC_OUT 可以用做 GPIO 的 PD0/PD1，通过设置复用重映射和调试 I/O 配置寄存器（AFIO_RMP_CFG）实现，如下描述：

位15	PD01_RMP : PD0/PD1映射到OSC_IN/OSC_OUT (PD0/PD1 mapping on OSC_IN/OSC_OUT) 该位可由软件置'1'或置'0'。它控制PD0和PD1的GPIO功能映像。当不使用主振荡器HSE时（系统运行于内部的8MHz阻容振荡器），PD0和PD1可以映像到OSC_IN和OSC_OUT引脚。 0: 不进行PD0和PD1的重映像； 1: PD0映像到OSC_IN, PD1映像到OSC_OUT。 此功能只能适用于48和64引脚的封装（在80、100脚和128脚的封装上有PD0和PD1，不必重映像）。
-----	--

注：外部中断/事件功能没有被重映射。在 48 和 64 引脚的封装上，PD0 和 PD1 不能用来产生外部中断/事件。即对于 LQFP48/64 封装，只有 OSC_IN 和 OSC_OUT 两个引脚（没有 PD0 和 PD1），当不用外部晶振的时候，可以映射为 PD0 和 PD1；对于 80 脚和以上 封装，PD0 和 PD1 两个脚有了，OSC_IN 和 OSC_OUT 也有了，不需要重新将 PD0/PD1 映射到 OSC_IN/OSC_OUT。

7.2.5.5 JTAG/SWD 复用功能重映射

芯片上电默认使能 SWD-JTAG 调试接口，调试接口被映射到 GPIO 端口上，如下表所示。

复用功能	GPIO端口
JTMS/SWDIO	PA13
JTCK/SWCLK	PA14
JTDI	PA15
JTDO	PB3
NJTRST	PB4

如调试期间需要使用其 GPIO 功能，可通过设置 AFIO_RMP_CFG.SW_JTAG_CFG[2:0]位，可以改变上述重映像配置。参见下表。

表 7-3 调试端口映像

SW_JTAG_CFG[2:0]	可能的调试端口	SWD_JTAG I/O引脚分配				
		PA13/ JTMS/ SWDIO	PA14/ JTCK/ SWCLK	PA15/ JTDI	PB3/ JTDO	PB4/ NJTRST
000	完全SWD_JTAG (JTAG-DP + SW-DP) (复位状态)	I/O不可用	I/O不可用	I/O不可用	I/O不可用	I/O不可用

SW_JTAG_CFG[2:0]	可能的调试端口	SWD_JTAG I/O引脚分配				
		PA13/ JTMS/ SWDIO	PA14/ JTCK/ SWCLK	PA15/ JTDI	PB3/ JTDO	PB4/ NJTRST
001	完全SWD_JTAG (JTAG-DP + SW-DP) 但没有NJTRST	I/O不可用	I/O不可用	I/O不可用	I/O不可用	I/O可用
010	关闭JTAG-DP, 启用SW-DP	I/O不可用	I/O不可用	I/O可用	I/O可用	I/O可用
100	关闭JTAG-DP, 关闭SW-DP	I/O可用	I/O可用	I/O可用	I/O可用	I/O可用
其它	禁用					

7.2.5.5.1 SWJ_CFG 配置事项

当 APB 桥的写缓冲区满了的时候，在写 AFIO_RMP_CFG 寄存器时需要多用一个 APB 周期。这是因为 SWD_JTAG 脚的释放需要两个 APB 周期完成，以保证 NJTRST 和 JTCK 的输入信号为一个干净的电平。

第一个周期：输入 1 / 0 的 SWD_JTAG 输入到内核的信号被接为 0 或 1(NJTRST/TDI/TMS 接 1, JTCK 接 0);

第二个周期：由 IOM 控制 SWD_JTAG 引脚的控制信号（比如方向，上下拉，施密特输入等）。

7.2.5.5.2 上下拉配置

由于 JTAG 的引脚直接连接到内部的调试寄存器上(JTCK/SWCLK 直接连接到时钟端)，因此必须保证 JTAG 的输入引脚不能处于浮空态。为了避免任何非可控的 IO 电平，JTAG 的输入引脚固定内部的上下拉：

- NJTRST: 内部上拉
- JTDI: 内部上拉
- JTMS/SWDIO: 内部上拉
- JTCK/SWCLK: 内部下拉

7.2.5.6 ADC 外部触发复用功能重映射

ADC 的注入转换和规则转换的外部触发源支持重映射，参阅复用重映射和调试 I/O 配置寄存器 (AFIO_RMP_CFG)。

表 7-4 ADC1 外部触发注入转换复用功能重映射

复用功能	ADC1_ETRI = 0	ADC1_ETRI = 1
ADC1外部触发注入 转换	ADC1外部触发注入转换与EXTI15相连	ADC1外部触发注入转换与 TIM8_CH4相连

表 7-5 ADC1 外部触发规则转换复用功能重映射

复用功能	ADC1_ETRR = 0	ADC1_ETRR = 1
ADC1外部触发规则 转换	ADC1外部触发规则转换与EXTI11相连	ADC1外部触发规则转换与 TIM8_TRGO相连

表 7-6 ADC2 外部触发注入转换复用功能重映射

复用功能	ADC2_ETRI = 0	ADC2_ETRI = 1
ADC2外部触发注入 转换	ADC2外部触发注入转换与EXTI15相连	ADC2外部触发注入转换与 TIM8_CH4相连

表 7-7 ADC2 外部触发规则转换复用功能重映射

复用功能	ADC2_ETRR = 0	ADC2_ETRR = 1
ADC2外部触发规则 转换	ADC2外部触发规则转换与EXTI11相连	ADC2外部触发规则转换与 TIM8_TRGO相连

表 7-8 ADC3 外部触发注入转换复用功能重映射

复用功能	ADC3_ETRI = 0	ADC3_ETRI = 1
ADC3外部触发注入 转换	ADC3外部触发注入转换与EXTI14相连	ADC3外部触发注入转换与 TIM5_CH4相连

表 7-9 ADC3 外部触发规则转换复用功能重映射

复用功能	ADC3_ETRR = 0	ADC3_ETRR = 1
ADC3外部触发规则 转换	ADC3外部触发规则转换与EXTI10相连	ADC3外部触发规则转换与 TIM5_CH3相连

表 7-10 ADC4 外部触发注入转换复用功能重映射

复用功能	ADC4_ETRI = 0	ADC4_ETRI = 1
ADC4外部触发注入 转换	ADC4外部触发注入转换与EXTI14相连	ADC4外部触发注入转换与 TIM5_CH4相连

表 7-11 ADC4 外部触发规则转换复用功能重映射

复用功能	ADC4_ETRR = 0	ADC4_ETRR = 1
ADC4外部触发规则 转换	ADC4外部触发规则转换与EXTI10相连	ADC4外部触发规则转换与 TIM5_CH3相连

7.2.5.7 TIMx 复用功能重映射

表 7-12 TIM5 复用功能重映射

复用功能	TIM5CH4_RMP = 0	TIM5CH4_RMP = 1
TIM5_CH4	TIM5_CH4 与 PA3 相连	LSI 内部振荡器与TIM5_CH4相连以对LSI进行校准

表 7-13 TIM4 复用功能重映射

复用功能	TIM4_RMP = 0	TIM4_RMP = 1
TIM4_ETR	PE0	
TIM4_CH1	PB6	PD12
TIM4_CH2	PB7	PD13
TIM4_CH3	PB8	PD14
TIM4_CH4	PB9	PD15

表 7-14 TIM3 复用功能重映射

复用功能	TIM3_RMP[1:0] = 00 (没有重映像)	TIM3_RMP[1:0] = 10 (部分重映像)	TIM3_RMP[1:0] = 11 (完全重映像)
TIM3_ETR	PD2		
TIM3_CH1	PA6	PB4	PC6
TIM3_CH2	PA7	PB5	PC7
TIM3_CH3	PB0		PC8
TIM3_CH4	PB1		PC9

表 7-15 TIM2 复用功能重映射

复用功能	TIM2_RMP[1:0] = 00 (没有重映像)	TIM2_RMP[1:0] = 01 (部分重映像)	TIM2_RMP[1:0] = 10 (部分重映像)	TIM2_RMP[1:0] = 11 (完全重映像)
TIM2_CH1_ETR	PA0	PA15	PA0	PA15
TIM2_CH2	PA1	PB3	PA1	PB3
TIM2_CH3	PA2		PB10	
TIM2_CH4	PA3		PB11	

表 7-16 TIM1 复用功能重映射

复用功能	TIM1_RMP[1:0] = 00 (没有重映像)	TIM1_RMP[1:0] = 01 (部分重映像)	TIM1_RMP[1:0] = 10 (部分重映像)	TIM1_RMP[1:0] = 11 (完全重映像)
TIM1_ETR	PA12		PA12	PE7
TIM1_CH1	PA8		PA8	PE9
TIM1_CH2	PA9		PA9	PE11
TIM1_CH3	PA10		PA10	PE13
TIM1_CH4	PA11		PA11	PE14
TIM1_BKIN	PB12	PA6	PB5	PE15
TIM1_CH1N	PB13	PA7	PB13	PE8
TIM1_CH2N	PB14	PB0	PB14	PE10
TIM1_CH3N	PB15	PB1	PB15	PE12

表 7-17 TIM8 复用功能重映射

复用功能	TIM8_RMP[1:0] = 00 (没有重映像)	TIM8_RMP[1:0] = 01 (部分重映像)	TIM8_RMP[1:0] = 11 (完全重映像)
TIM8_ETR	PA0	PB4	PB4
TIM8_CH1	PC6	PC6	PD14
TIM8_CH2	PC7	PC7	PD15
TIM8_CH3	PC8	PC8	PC8
TIM8_CH4	PC9	PC9	PC9
TIM8_BKIN	PA6	PB3	PB3
TIM8_CH1N	PA7	PA15	PA15
TIM8_CH2N	PB0	PC12	PC12
TIM8_CH3N	PB1	PD2	PD2

7.2.5.8 CAN 复用功能重映射

7.2.5.8.1 CAN1 复用功能重映射

CAN1 信号可以被映射到端口 A、端口 B 或端口 D 上，如下表所示。对于端口 D，在 48 和 64 引脚的封装上没有重映射功能（这些封装上没有 PD0 和 PD1）。

表 7-18 CAN1 复用功能重映射

复用功能	CAN1_RMP[1:0] = 00	CAN1_RMP[1:0] = 01	CAN1_RMP[1:0] = 10	CAN1_RMP[1:0] = 11
CAN1_RX	PA11	PD8	PB8	PD0
CAN1_TX	PA12	PD9	PB9	PD1

7.2.5.8.2 CAN2 复用功能重映射

CAN2 信号可以被映射到端口 B 或端口 D 上，如下表所示。

表 7-19 CAN2 复用功能重映射

复用功能	CAN2_RMP[1:0] = 00	CAN2_RMP[1:0] = 01	CAN2_RMP[1:0] = 11
CAN2_RX	PB12	PB5	PD10
CAN2_TX	PB13	PB6	PD11

7.2.5.9 DVP 复用功能重映射

DVP 信号映射关系如下表所示。

表 7-20 DVP 复用功能重映射

复用功能	DVP_RMP[1:0] = 00	DVP_RMP[1:0] = 01	DVP_RMP[1:0] = 11
DVP_HSYNC	PA1	PE2	PE2
DVP_VSYNC	PA2	PE3	PE3
DVP_PCLK	PA3	PE4	PE4
DVP_D0	PA4	PE5	PE5
DVP_D1	PA5	PE6	PE6
DVP_D2	PA6	PC0	PC0
DVP_D3	PA7	PB2	PB2
DVP_D4	PC4	PF12	PB10
DVP_D5	PC5	PF13	PB11
DVP_D6	PB0	PF14	PF14
DVP_D7	PB1	PF15	PF15

7.2.5.10 USARTx 复用功能重映射

7.2.5.10.1 USART1 管脚重映射

USART1/2/3 三个接口具有重映射功能，参见复用重映射配置寄存器 (AFIO_RMP_CFG)。

表 7-21 USART1 复用功能重映射

复用功能	USART1_RMP = 0	USART1_RMP = 1
USART1_CTS		PA11
USART1_RTS		PA12
USART1_TX	PA9	PB6

复用功能	USART1_RMP = 0	USART1_RMP = 1
USART1_RX	PA10	PB7
USART1_CK	PA8	

7.2.5.10.2 USART2 管脚重映射

表 7-22 USART2 复用功能重映射

复用功能	USART2_RMP[1:0] = 00	USART2_RMP[1:0] = 01	USART2_RMP[1:0] = 10	USART2_RMP [1:0] =11
USART2_CTS	PA0	PD3	PC6	PA15
USART2_RTS	PA1	PD4	PC7	PB3
USART2_TX	PA2	PD5	PC8	PB4
USART2_RX	PA3	PD6	PC9	PB5
USART2_CK	PA4	PD7	/	PA4

7.2.5.10.3 USART3 管脚重映射

表 7-23 USART3 复用功能重映射

复用功能	USART3_RMP[1:0] = 00	USART3_RMP[1:0] = 01	USART3_RMP[1:0] = 11
USART3_TX	PB10	PC10	PD8
USART3_RX	PB11	PC11	PD9
USART3_CK	PB12	PC12	PD10
USART3_CTS	PB13		PD11
USART3_RTS	PB14		PD12

7.2.5.11 UARTx 复用功能重映射

UART4/5/6/7 三个接口具有重映射功能，参见复用重映射配置寄存器 (AFIO_RMP_CFG3)。

7.2.5.11.1 UART4 管脚重映射

表 7-24 UART4 复用功能重映射

复用功能	UART4_RMP[1:0] = 00	UART4_RMP[1:0] = 01	UART4_RMP[1:0] = 10	UART4_RMP [1:0] =11
UART4_TX	PC10	PB2	PA13	PD0
UART4_RX	PC11	PE7	PA14	PD1

7.2.5.11.2 UART5 管脚重映射

表 7-25 UART5 复用功能重映射

复用功能	UART5_RMP[1:0] = 00	UART5_RMP[1:0] = 01	UART5_RMP[1:0] = 10	UART5_RMP [1:0] =11
UART5_TX	PC12	PB13	PE8	PB8
UART5_RX	PD2	PB14	PE9	PB9

7.2.5.11.3 UART6 管脚重映射

表 7-26 UART6 复用功能重映射

复用功能	UART6_RMP[1:0] = 00	UART6_RMP[1:0] = 10	UART6_RMP[1:0] = 11
UART6_TX	PE2	PC0	PB0
UART6_RX	PE3	PC1	PB1

7.2.5.11.4 UART7 管脚重映射

表 7-27 UART7 复用功能重映射

复用功能	UART7_RMP[1:0] = 00	UART7_RMP[1:0] = 01	UART7_RMP[1:0] = 11
UART7_TX	PC4	PC2	PG0
UART7_RX	PC5	PC3	PG1

7.2.5.12 I2C 复用功能重映射

7.2.5.12.1 I2C1 管脚重映射

参见复用重映射配置寄存器 (AFIO_RMP_CFG)。

表 7-28 I2C1 管脚重映射

复用功能	I2C1_RMP=0	I2C1_RMP=1
I2C1_SCL	PB6	PB8
I2C1_SDA	PB7	PB9
I2C1_SMBA	PB5	

7.2.5.12.2 I2C2 管脚重映射

参见复用重映射配置寄存器 (AFIO_RMP_CFG3)。

表 7-29 I2C2 管脚重映射

复用功能	I2C2_RMP[1:0] = 00	I2C2_RMP[1:0] = 01	I2C2_RMP[1:0] = 11
I2C2_SCL	PB10	PG2	PA4
I2C2_SDA	PB11	PG3	PA5
I2C2_SMBA	PB12		

7.2.5.12.3 I2C3 管脚重映射

参见复用重映射配置寄存器 (AFIO_RMP_CFG3)。

表 7-30 I2C3 管脚重映射

复用功能	I2C3_RMP[1:0] = 00	I2C3_RMP[1:0] = 10	I2C3_RMP[1:0] = 11
I2C3_SCL	PC0	PF4	PC4
I2C3_SDA	PC1	PF5	PC5

7.2.5.12.4 I2C4 管脚重映射

参见复用重映射配置寄存器 (AFIO_RMP_CFG3)。

表 7-31 I2C4 管脚重映射

复用功能	I2C4_RMP[1:0] = 00	I2C4_RMP[1:0] = 01	I2C4_RMP[1:0] = 11
I2C4_SCL	PC6	PD14	PA9
I2C4_SDA	PC7	PD15	PA10

7.2.5.13 SPI/I2S 复用功能重映射

7.2.5.13.1 SPI1 管脚重映射

参见复用重映射配置寄存器 (AFIO_RMP_CFG)。

表 7-32 SPI1 管脚重映射

复用功能	SPI1_RMP[1:0] = 00	SPI1_RMP[1:0] = 01	SPI1_RMP[1:0] = 10	SPI1_RMP [1:0] = 11
SPI1_NSS	PA4	PA15	PB2	PB2
SPI1_SCLK	PA5	PB3	PA5	PE7
SPI1_MISO	PA6	PB4	PA6	PE8
SPI1_MOSI	PA7	PB5	PA7	PE9

7.2.5.13.2 SPI2/I2S2 管脚重映射

参见复用重映射配置寄存器 (AFIO_RMP_CFG3)。

表 7-33 SPI2/I2S2 管脚重映射

复用功能	SPI2_RMP[1:0] = 00	SPI2_RMP[1:0] = 01	SPI2_RMP[1:0] = 11
SPI2_NSS/I2S2_WS	PB12	PC6	PE10
SPI2_SCK/I2S2_CK	PB13	PC7	PE11
SPI2_MISO	PB14	PC8	PE12
SPI2_MOSI/I2S2_SD	PB15	PC9	PE13

7.2.5.13.3 SPI3/I2S3 管脚重映射

参见复用重映射配置寄存器 (AFIO_RMP_CFG3)。

表 7-34 SPI3/I2S3 管脚重映射

复用功能	SPI3_RMP[1:0] = 00	SPI3_RMP[1:0] = 01	SPI3_RMP[1:0] = 10	SPI3_RMP[1:0] = 11
SPI3_NSS/I2S3_WS	PA15	PD2	PD8	PC2
SPI3_SCK/I2S3_CK	PB3	PC10	PD9	PC3
SPI3_MISO	PB4	PC11	PD11	PA0
SPI3_MOSI/I2S3_SD	PB5	PC12	PD12	PA1

7.2.5.14 SDIO 复用功能重映射

参见复用重映射配置寄存器 (AFIO_RMP_CFG3)。

表 7-35 SDIO 管脚重映射

复用功能	SDIO_RMP = 0	SDIO_RMP = 1
SDIO_0	PC8	PE8
SDIO_1	PC9	PE9
SDIO_2	PC10	PE10
SDIO_3	PC11	PE11
SDIO_4	PB8	
SDIO_5	PB9	
SDIO_6	PC6	
SDIO_7	PC7	
SDIO_CK	PC12	PE12
SDIO_CMD	PD2	PE13

7.2.5.15 QSPI 复用功能重映射

QSPI 只支持主机模式，且不支持多主模式。单线模式下 QSPI_IO1 作为 MISO，支持推挽复用输出，还可以

支持浮空输入或上拉输入。参见复用重映射配置寄存器（AFIO_RMP_CFG3）。

表 7-36 QSPI 管脚重映射

复用功能	QSPI_RMP[1:0] = 00	QSPI_RMP[1:0] = 01	QSPI_RMP[1:0] = 11
QSPI_NSS	PA4	PF0	PC10
QSPI_CLK	PA5	PF1	PC11
QSPI_IO0	PA6	PF2	PC12
QSPI_IO1	PA7	PF3	PD0
QSPI_IO2	PC4	PF4	PD1
QSPI_IO3	PC5	PF5	PD2

7.2.5.16 ETH 复用功能重映射

参见复用重映射配置寄存器（AFIO_RMP_CFG）。

表 7-37 ETH 管脚重映射

复用功能	ETH_RMP[1:0] = 00	ETH_RMP[1:0] = 01	ETH_RMP[1:0] = 10	ETH_RMP[1:0] = 11
ETH_MII_MDC			PC1	
ETH_RMII_MDC				
ETH_MII_TX2			PC2	
ETH_MII_TX_CLK			PC3	
ETH_MII_CRS_WKUP			PA0	
ETH_MII_RX_CLK			PA1	
ETH_MII_REF_CLK				
ETH_MII_MDIO			PA2	
ETH_RMII_MDIO				
ETH_MII_COL			PA3	
ETH_MII_RX_DV	PA7	PD8	PA7	PD8
ETH_RMII_CRS_DV				
ETH_MII_RXD0	PC4	PD9	PC4	PD9
ETH_RMII_RXD0				
ETH_MII_RXD1	PC5	PD10	PC5	PD10
ETH_RMII_RXD1				
ETH_MII_RXD2	PB0	PD11	PB0	PB0
ETH_RMII_RXD2				
ETH_MII_RXD3	PB1	PD12	PB1	PB1
ETH_RMII_RXD3				
ETH_MII_RX_ER			PB10	
ETH_MII_TX_EN			PB11	
ETH_RMII_TX_EN				
ETH_MII_TXD0			PB12	
ETH_RMII_TXD0				
ETH_MII_TXD1			PB13	
ETH_RMII_TXD1				
ETH_MII_PPS_OUT		PB5		PB6

复用功能	ETH_RMP[1:0] = 00	ETH_RMP[1:0] = 01	ETH_RMP[1:0] = 10	ETH_RMP[1:0] = 11
ETH_RMII_PPS_OUT				
ETH_MII_TXD3	PB8		PB7	

7.2.6 外设的 IO 配置

表 7-38 ADC/DAC

ADC/DAC引脚	GPIO配置
ADC	模拟模式
DAC	模拟模式

表 7-39 TIM1/TIM8

TIM1/TIM8引脚	配置	PAD配置模式
TIM1/8_CHx	输入捕获通道x	浮空输入
	输出比较通道x	推挽复用输出
TIM1/8_CHxN	互补输出通道x	推挽复用输出
TIM1/8_BKIN	刹车输入	浮空输入
TIM1/8_ETR	外部触发时钟输入	浮空输入

表 7-40 TIM2/3/4/5

TIM2/3/4/5引脚	配置	PAD配置模式
TIM2/3/4/5_CHx	输入捕获通道x	浮空输入
	输出比较通道x	推挽复用输出
TIM2/3/4/5_ETR	外部触发时钟输入	浮空输入

表 7-41 BxCAN

BxCAN引脚	GPIO配置
CAN_TX	推挽复用输出
CAN_RX	浮空输入或带上拉输入

表 7-42 DVP

DVP引脚	GPIO配置
DVP_HSYNC	浮空输入
DVP_VSYNC	浮空输入
DVP_PCLK	浮空输入
DVP_D0	浮空输入
DVP_D1	浮空输入
DVP_D2	浮空输入
DVP_D3	浮空输入
DVP_D4	浮空输入
DVP_D5	浮空输入
DVP_D6	浮空输入
DVP_D7	浮空输入

表 7-43 USART

USART引脚	配置	GPIO配置
USARTx_TX	全双工模式	推挽复用输出
	半双工同步模式	推挽复用输出
USARTx_RX	全双工模式	浮空输入或带上拉输入
	半双工同步模式	未用, 可作为通用I/O
USARTx_CK	同步模式	推挽复用输出
USARTx_RTS	硬件流量控制	推挽复用输出
USARTx_CTS	硬件流量控制	浮空输入或带上拉输入

表 7-44 I2C

I2C引脚	配置	GPIO配置
I2Cx_SCL	I2C时钟	开漏复用输出
I2Cx_SDA	I2C数据	开漏复用输出
I2Cx_SMBA	SMBA数据	推挽复用输出

表 7-45 SPI

SPI引脚	配置	GPIO配置
SPIx_SCK	主模式	推挽复用输出
	从模式	浮空输入
SPIx_MOSI	全双工模式/主模式	推挽复用输出
	全双工模式/从模式	浮空输入或带上拉输入或推挽复用输出
	简单的双向数据线/主模式	推挽复用输出
	简单的双向数据线/从模式	未用, 可作为通用I/O
SPIx_MISO	全双工模式/主模式	浮空输入或带上拉输入或推挽复用输出
	全双工模式/从模式	推挽复用输出
	简单的双向数据线/主模式	未用, 可作为通用I/O
	简单的双向数据线/从模式	推挽复用输出
SPIx_NSS	硬件主/从模式	浮空输入或带上拉输入或带下拉输入
	硬件主模式/NSS输出使能	推挽复用输出 (作为主机时NSS可选择idle高阻或idle为1)
	软件模式	未用, 可作为通用I/O

表 7-46 I2S

I2S引脚	配置	GPIO配置
I2Sx_WS	主模式	推挽复用输出
	从模式	浮空输入
I2Sx_CK	主模式	推挽复用输出
	从模式	浮空输入
I2Sx_SD	发送器	推挽复用输出
	接收器	浮空输入或带上拉输入或带下拉输入
I2Sx_MCK	主模式	推挽复用输出
	从模式	未用, 可作为通用I/O

表 7-47 SDIO

SDIO引脚	GPIO配置
SDIO_CLK	推挽复用输出
SDIO_CMD	推挽复用输出
SDIO[D7:D0]	推挽复用输出

表 7-48 QSPI

QSPI引脚	GPIO配置	备注
QSPI_IO3	推挽复用输出	QSPI只支持主机模式，且不支持多主模式
QSPI_IO2	推挽复用输出	
QSPI_IO1	推挽复用输出	
QSPI_IO0	推挽复用输出	
QSPI_CLK	推挽复用输出	
QSPI_NSS	推挽复用输出	

表 7-49 ETH

MAC信号	引脚配置
ETH_MDC	推挽复用输出, 高速 (50MHz)
ETH_MII_TXD2	推挽复用输出
ETH_MII_TX_CLK	浮空输入 (复位状态)
ETH_MII_CRS	浮空输入 (复位状态)
ETH_MII_RX_CLK	浮空输入 (复位状态)
ETH_RMII_REF_CLK	
ETH_MDIO	推挽复用输出, 高速 (50MHz)
ETH_MII_COL	浮空输入 (复位状态)
ETH_MII_RX_DV	浮空输入 (复位状态)
ETH_RMII_CRS_DV	
ETH_MII_RXD0	浮空输入 (复位状态)
ETH_RMII_RXD0	
ETH_MII_RXD1	浮空输入 (复位状态)
ETH_RMII_RXD1	
ETH_MII_RXD2	浮空输入 (复位状态)
ETH_MII_RXD3	浮空输入 (复位状态)
ETH_MII_RX_ER	浮空输入 (复位状态)
ETH_MII_TX_EN	推挽复用输出, 高速 (50MHz)
ETH_RMII_TX_EN	
ETH_MII_TXD0	推挽复用输出, 高速 (50MHz)
ETH_RMII_TXD0	
ETH_MII_TXD1	推挽复用输出, 高速 (50MHz)
ETH_RMII_TXD1	
ETH_PPS_OUT	推挽复用输出, 高速 (50MHz)
ETH_MII_TXD3	推挽复用输出, 高速 (50MHz)
ETH_RMII_CRS_DV	浮空输入 (复位状态)

MAC信号	引脚配置
ETH_MII_RXD0	浮空输入（复位状态）
ETH_RMII_RXD0	
ETH_MII_RXD1	浮空输入（复位状态）
ETH_RMII_RXD1	
ETH_MII_RXD2	浮空输入（复位状态）
ETH_MII_RXD3	浮空输入（复位状态）

表 7-50 USB

USB引脚	GPIO配置
USB_DM	一旦使能了USB模块，这些引脚会自动连接到内部USB收发器
USB_DP	

表 7-51 其他

引脚	复用功能	GPIO配置
TAMPER-RTC	RTC输出	当配置BKP_CR和BKP_RTCCR寄存器时，由硬件强制设置
	侵入事件输入	
MCO	时钟输出	推挽复用输出
EXTI输入线	外部中断输入	浮空输入或带上拉输入或带下拉输入

7.2.7 GPIO 锁定机制

锁定机制用于冻结 IO 配置以防止被意外更改。当在一个端口位上执行了锁定（LOCK）程序，在下一次复位之前，不能再更改端口的配置，参考端口配置锁定寄存器 GPIOx_PLOCK_CFG。

- PLOCKK_CFG 即 GPIOx_PLOCK_CFG.PLOCKK_CFG[16]，只有在对 PLOCKK_CFG 按照正确的序列 w1->w0->w1->r0（此处 r0 必须有）操作之后，才会变为 1；之后只有在进行系统复位才会变为 0。
- PLOCK_CFGy 即 GPIOx_PLOCK_CFG.PLOCK_CFG[15:0]，只有在 PLOCKK_CFG=0 也就是未锁定的时候才能进行修改。
- PLOCKK_CFG 只有在和非 0 的 GPIOx_PLOCK_CFG.PLOCK_CFG[15:0]同时写入的情况下，序列 w1->w0->w1->r0 才会有效；序列写入的过程中，GPIOx_PLOCK_CFG.PLOCK_CFG[15:0]必须不能改变；
- 只要 PLOCKK_CFG=0 ， GPIOx_PH_CFG/GPIOx_PL_CFG 位都能修改，不受 GPIOx_PLOCK_CFG.PLOCK_CFG[15:0]配置的影响。
- PLOCKK_CFG=1，GPIOx_PH_CFG/GPIOx_PL_CFG 受 GPIOx_PLOCK_CFG.PLOCK_CFG[15:0]的控制，对应 PLOCK_CFGy (y = 0...15) =1，为锁定配置，不可修改，PLOCK_CFGy=0，可以修改。
- 假如序列操作错误，必须重新进行 w1->w0->w1->r0 才能再次发起锁定操作。

7.3 GPIO 寄存器

必须以 32 位字的方式操作这些外设寄存器。

7.3.1 GPIO 寄存器总览

GPIOA 基址: 0x40010800

GPIOB 基地址: 0x40010C00

GPIOC 基地址: 0x40011000

GPIOD 基地址: 0x40011400

GPIOE 基地址: 0x40011800

GPIOF 基地址: 0x40011C00

GPIOG 基地址: 0x40012000

表 7-52 GPIO 寄存器总览

Offset	Register	
000h	GPIOx_PL_CFG	
	Reset Value	x=B x=A,C,D,E,F,G
		PCFG1[5:1:0] PMODE15[1:0]
		PCFG7[1:0] PMODE7[1:0]
004h	GPIOx_PH_CFG	
	Reset Value	x=A x=B,C,D,E,F,G
		PCFG14[1:0] PMODE14[1:0]
		PCFG6[1:0] PMODE6[1:0]
008h	GPIOx_PID	
	Reset Value	
00Ch	GPIOx_POD	
	Reset Value	x=A x=B x=C,D,E,F,G
010h	GPIOx_PBSC	
	Reset Value	
014h	GPIOx_PBC	
	Reset Value	
018h	GPIOx_PLOCK_CFG	
	Reset Value	
01Ch	Reserved	
020h	GPIOx_DS_CFG	
	Reset Value	x=F x=G x=A,B,C,D,E
024h	GPIOx_SR_CFG	
	Reset Value	x=F x=G x=A,B,C,D,E

7.3.2 GPIO 端口低配置寄存器 (GPIOx_PL_CFG)

偏移地址: 0x00

复位值: 0x0000 0000 (x=A,C,D,E,F,G); 0x0008 0800 (x=B)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
PCFG7[1:0]	PMODE7[1:0]		PCFG6[1:0]		PMODE6[1:0]		PCFG5[1:0]		PMODE5[1:0]		PCFG4[1:0]		PMODE4[1:0]		
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PCFG3[1:0]	PMODE3[1:0]		PCFG2[1:0]		PMODE2[1:0]		PCFG1[1:0]		PMODE1[1:0]		PCFG0[1:0]		PMODE0[1:0]		
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位域	名称	描述
31:30	PCFGy[1:0]	端口 x 配置位 (y = 0...7) PMODE[1:0]=00 输入模式时： 00: 模拟功能模式 (复位后的状态) 01: 浮空输入模式 10: 上拉/下拉输入模式 (注意：配置上拉/下拉输入模式时，需要置位/复位相应的 GPIOx_POD 寄存器)
27:26		
23:22		
19:18		
15:14		
11:10		
7:6		11: 保留
3:2		PMODE[1:0]>00 输出模式时： 00: 通用推挽输出模式 01: 通用开漏输出模式 10: 复用功能推挽输出模式 11: 复用功能开漏输出模式
29:28	PMODEy[1:0]	端口 x 的模式位 (y = 0...7) 00: 输入模式 (复位后的状态) 01: 输出模式，最大速度 2MHz 10: 输出模式，最大速度 10MHz 11: 输出模式，最大速度 50MHz
25:24		
21:20		
17:16		
13:12		
9:8		
5:4		
1:0		

7.3.3 GPIO 端口高配置寄存器 (GPIOx_PH_CFG)

偏移地址：0x04

复位值： 0x8880 0000 (x=A); 0x0000 0000 (x=B,C,D,E,F,G)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
PCFG15[1:0]	PMODE15[1:0]		PCFG14[1:0]		PMODE14[1:0]		PCFG13[1:0]		PMODE13[1:0]		PCFG12[1:0]		PMODE12[1:0]		
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PCFG11[1:0]	PMODE11[1:0]		PCFG10[1:0]		PMODE10[1:0]		PCFG9[1:0]		PMODE9[1:0]		PCFG8[1:0]		PMODE8[1:0]		
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位域	名称	描述
31:30	PCFGy[1:0]	端口 x 配置位 (y = 8...15) PMODE[1:0]=00 输入模式时： 00: 模拟功能模式 (复位后的状态) 01: 浮空输入模式
27:26		
23:22		
19:18		

位域	名称	描述
15:14		10: 上拉/下拉输入模式（注意：配置上拉/下拉输入模式时，需要置位/复位相应的 GPIOx_POD 寄存器）
11:10		
7:6		11: 保留
3:2		MODE[1:0]>00 输出模式时： 00: 通用推挽输出模式 01: 通用开漏输出模式 10: 复用功能推挽输出模式 11: 复用功能开漏输出模式
29:28	PMODEy[1:0]	端口 x 的模式位 (y = 8...15) 00: 输入模式（复位后的状态） 01: 输出模式，最大速度 2MHz 10: 输出模式，最大速度 10MHz 11: 输出模式，最大速度 50MHz
25:24		
21:20		
17:16		
13:12		
9:8		
5:4		
1:0		

7.3.4 GPIO 端口输入数据寄存器 (GPIOx_PID)

偏移地址: 0x08

复位值: 0x0000 0000

31	Reserved															16
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
PID15	PID14	PID13	PID12	PID11	PID10	PID9	PID8	PID7	PID6	PID5	PID4	PID3	PID2	PID1	PID0	
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

位域	名称	描述
31:16	Reserved	保留，必须保持复位值。
15:0	PIDy	端口输入数据 (y = 0...15) 这些位为只读并只能以 16 位字的形式读出，读出的值为对应 I/O 口的状态。

7.3.5 GPIO 端口输出数据寄存器 (GPIOx_POD)

偏移地址: 0x0C

复位值: 0x0000 A000 (x=A); 0x0000 0010 (x=B); 0x0000 0000 (x=C,D,E,F,G)

31	Reserved															16
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
POD15	POD14	POD13	POD12	POD11	POD10	POD9	POD8	POD7	POD6	POD5	POD4	POD3	POD2	POD1	POD0	
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	

位域	名称	描述
31:16	Reserved	保留, 必须保持复位值。
15:0	PODy	端口输出数据 ($y = 0 \dots 15$) 这些位只能以 16 位字的形式读或写操作。对 $\text{GPIO}_x\text{_PBSC}$ ($x = A \dots G$), 可以对相应的 POD 位进行独立的设置/清除。

7.3.6 GPIO 端口位设置/清除寄存器 ($\text{GPIO}_x\text{_PBSC}$)

偏移地址: 0x10

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
PBC15	PBC14	PBC13	PBC12	PBC11	PBC10	PBC9	PBC8	PBC7	PBC6	PBC5	PBC4	PBC3	PBC2	PBC1	PBC0
w 15	w 14	w 13	w 12	w 11	w 10	w 9	w 8	w 7	w 6	w 5	w 4	w 3	w 2	w 1	w 0
PBS15	PBS14	PBS13	PBS12	PBS11	PBS10	PBS9	PBS8	PBS7	PBS6	PBS5	PBS4	PBS3	PBS2	PBS1	PBS0

w w

位域	名称	描述
31:16	PBCy	清除端口 GPIO_x 的位 y ($y = 0 \dots 15$) 这些位只能写入并只能以字 (16 位) 的形式操作。 0: 对相应的 PODy 位不产生影响 1: 清除对应的 PODy 位为 0 注: 如果同时设置了 PBSy 和 PBCy 的对应位, PBSy 位起作用。
15:0	PBSy	设置端口 GPIO_x 的位 y ($y = 0 \dots 15$) 这些位只能写入并只能以字 (16 位) 的形式操作。 0: 对相应的 PODy 位不产生影响 1: 设置对应的 PODy 位为 1

7.3.7 GPIO 端口位清除寄存器 ($\text{GPIO}_x\text{_PBC}$)

偏移地址: 0x14

复位值: 0x0000 0000

31															16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PBC15	PBC14	PBC13	PBC12	PBC11	PBC10	PBC9	PBC8	PBC7	PBC6	PBC5	PBC4	PBC3	PBC2	PBC1	PBC0

w w

位域	名称	描述
31:16	Reserved	保留, 必须保持复位值。
15:0	PBCy	清除端口 GPIO_x 的位 y ($y = 0 \dots 15$) 这些位只能写入并只能以字 (16 位) 的形式操作。 0: 对相应的 PODy 位不产生影响

位域	名称	描述
		1: 清除对应的 PODy 位为 0

7.3.8 GPIO 端口锁定配置寄存器 (GPIOx_PLOCK_CFG)

偏移地址: 0x18

复位值: 0x0000 0000

31	Reserved															17	16
PLOCK _CFG15	PLOCK _CFG14	PLOCK _CFG13	PLOCK _CFG12	PLOCK _CFG11	PLOCK _CFG10	PLOCK _CFG9	PLOCK _CFG8	PLOCK _CFG7	PLOCK _CFG6	PLOCK _CFG5	PLOCK _CFG4	PLOCK _CFG3	PLOCK _CFG2	PLOCK _CFG1	PLOCK _CFG0	PLOCKK _CFG	
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	

位域	名称	描述
31:17	Reserved	保留, 必须保持复位值。
16	PLOCKK_CFG	<p>锁键。该位可随时读出, 它只可通过锁键写入序列修改。</p> <p>0: 端口配置锁键位激活</p> <p>1: 端口配置锁键位被激活, 下次系统复位前 GPIOx_PLOCK_CFG 寄存器被锁住。锁键的写入序列:</p> <p>写 1 -> 写 0 -> 写 1 -> 读 0 -> 读 1</p> <p>最后一个读可省略, 但可以用来确认锁键已被激活。</p> <p>注: 在操作锁键的写入序列时, 不能改变 PLOCK_CFG[15:0] 的值。操作锁键写入序列中的任何错误将不能激活锁键。</p>
15:0	PLOCK_CFGy	<p>端口 GPIOx 的配置锁定位 y (y = 0...15)</p> <p>这些位可读可写但只能在 PLOCKK_CFG 位为 0 时写入。</p> <p>0: 不锁定端口的配置</p> <p>1: 锁定端口的配置</p>

7.3.9 GPIO 驱动能力配置寄存器 (GPIOx_DS_CFG)

偏移地址: 0x20

复位值: 0x0000 FFFF (x = A,B,C,D,E); 0x0000 F03F (x=F); 0x0000 023F (x=G)

31	Reserved															16
DS _CFG15	DS _CFG14	DS _CFG13	DS _CFG12	DS _CFG11	DS _CFG10	DS _CFG9	DS _CFG8	DS _CFG7	DS _CFG6	DS _CFG5	DS _CFG4	DS _CFG3	DS _CFG2	DS _CFG1	DS _CFG0	
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

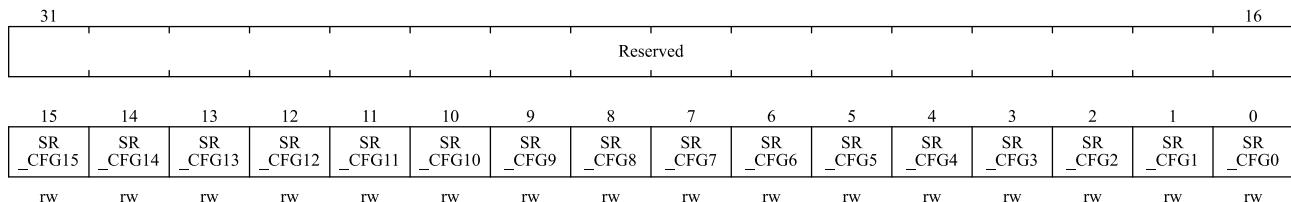
位域	名称	描述
31:16	Reserved	保留, 必须保持复位值。
15:0	DS_CFGy	<p>端口 GPIOx 的驱动能力配置位 y (y = 0...15)</p> <p>这些位只能以 16 位字的形式读或写操作。</p>

位域	名称	描述
		0: 2mA 1: 由 GPIOx_PH_CFG/GPIOx_PL_CFG 的 PMODEy 控制。 PMODE:00/01 时, 4mA; PMODEy:10 时, 8mA; PMODEy:11 时, 12mA。

7.3.10 GPIO 翻转率配置寄存器 (GPIOx_SR_CFG)

偏移地址: 0x24

复位值: 0x0000 FFFF (x=A,B,C,D,E); 0x0000 F03F (x=F); 0x0000 023F (x=G)



位域	名称	描述
31:16	Reserved	保留, 必须保持复位值。
15:0	SR_CFGy	端口 GPIOx 的翻转率配置位 y (y = 0...15) 这些位只能以 16 位字的形式读或写操作。 0: 快速翻转 1: 慢速翻转

7.4 AFIO 寄存器

7.4.1 AFIO 寄存器总览

AFIO 基地址: 0x40010000

表 7-53 AFIO 寄存器总览

7.4.2 AFIO 事件控制寄存器 (AFIO_ECTRL)

偏移地址: 0x00

复位值: 0x0000 0000

31	Reserved								16
15	Reserved				8	7	6	4	3
					EOE	PORT_SEL[2:0]	PIN_SEL[3:0]		0
					rw	rw	rw		

位域	名称	描述																
31:8	Reserved	保留，必须保持复位值。																
7	EOE	<p>事件输出使能位。 当设置该位后，Cortex 的事件输出信号将连接到由 PORT_SEL[2:0]和 PIN_SEL[3:0]选定的 I/O 口。</p> <p>0: 输出禁止 1: 输出使能</p>																
6:4	PORT_SEL[2:0]	<p>端口选择位 选择用于输出 Cortex 的事件输出信号的端口：</p> <p>000: 选择 Port A 001: 选择 Port B 010: 选择 Port C 011: 选择 Port D 100: 选择 Port E</p>																
3:0	PIN_SEL[3:0]	<p>引脚选择位 选择用于输出 Cortex 的事件输出信号的引脚，(x=A...E) 与 PORT_SEL[2:0]选定的 I/O 对应。</p> <table> <tr> <td>0000: 选择 Px0</td> <td>0001: 选择 Px1</td> <td>0010: 选择 Px2</td> <td>0011: 选择 Px3</td> </tr> <tr> <td>0100: 选择 Px4</td> <td>0101: 选择 Px5</td> <td>0110: 选择 Px6</td> <td>0111: 选择 Px7</td> </tr> <tr> <td>1000: 选择 Px8</td> <td>1001: 选择 Px9</td> <td>1010: 选择 Px10</td> <td>1011: 选择 Px11</td> </tr> <tr> <td>1100: 选择 Px12</td> <td>1101: 选择 Px13</td> <td>1110: 选择 Px14</td> <td>1111: 选择 Px15</td> </tr> </table>	0000: 选择 Px0	0001: 选择 Px1	0010: 选择 Px2	0011: 选择 Px3	0100: 选择 Px4	0101: 选择 Px5	0110: 选择 Px6	0111: 选择 Px7	1000: 选择 Px8	1001: 选择 Px9	1010: 选择 Px10	1011: 选择 Px11	1100: 选择 Px12	1101: 选择 Px13	1110: 选择 Px14	1111: 选择 Px15
0000: 选择 Px0	0001: 选择 Px1	0010: 选择 Px2	0011: 选择 Px3															
0100: 选择 Px4	0101: 选择 Px5	0110: 选择 Px6	0111: 选择 Px7															
1000: 选择 Px8	1001: 选择 Px9	1010: 选择 Px10	1011: 选择 Px11															
1100: 选择 Px12	1101: 选择 Px13	1110: 选择 Px14	1111: 选择 Px15															

7.4.3 AFIO 复用重映射配置寄存器 (AFIO_RMP_CFG)

偏移地址: 0x04

复位值: 0x0000 0000

31	Reserved				27	26	24	23	22	21	20	19	18	17	16
	SW_JTAG_CFG[2:0]				MII_RMII_SEL	Reserved		ADC2_ETRR	ADC2_ETRI	ADC1_ETRR	ADC1_ETRI	TIM5CH4_RMP			
15	14	13	12	11	10	w	9	8	rw	7	6	5	rw	3	rw
PD01_RMP	CAN1_RMP	TIM4_RMP	TIM3_RMP	TIM2_RMP	TIM1_RMP	USART3_RMP	USART2_RMP_0	USART1_RMP	I2C1_RMP	SPI1_RMP_0			rw	1	rw
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位域	名称	描述
31:27	Reserved	保留，必须保持复位值。
26:24	SW_JTAG_CFG[2:0]	<p>串行线 JTAG 配置（Serial wire JTAG configuration）</p> <p>这些位只可由软件写（读这些位，将返回未定义的数值），用于配置 SWD_JTAG 复用功能的 I/O 口。SWD_JTAG（串行线 JTAG）支持 JTAG 或 SWD 访问 Cortex 的调试端口。系统复位后的默认状态是启用 SWD_JTAG，这种状态下可以通过 JTMS/JTCK 脚上的特定信号选择 JTAG 或 SW（串行线）模式。</p> <p>000: 完全 SWD_JTAG (JTAG-DP + SW-DP): 复位状态；</p> <p>001: 完全 SWD_JTAG (JTAG-DP + SW-DP) 但没有 NJTRST;</p> <p>010: 关闭 JTAG-DP, 启用 SW-DP;</p> <p>100: 关闭 JTAG-DP, 关闭 SW-DP;</p> <p>其它值: 无作用。</p>
23	MII_RMII_SEL	<p>以太网的 MAC 连接方式选择位。</p> <p>该位可由软件置'1'或置'0'。它配置内部的以太网 MAC 使用外部的 MII 接口还是 RMII 接口的收发器 PHY。</p> <p>0: 配置以太网的 MAC 使用外部 MII 接口的收发器；</p> <p>1: 配置以太网的 MAC 使用外部 RMII 接口的收发器。</p>
22:21	Reserved	保留，必须保持复位值。
20	ADC2_ETRR	<p>ADC2 规则转换外部触发重映射</p> <p>该位可由软件置'1'或置'0'。它控制与 ADC2 规则转换外部触发相连的触发输入。</p> <p>0: ADC2 规则转换外部触发与 EXTI11 相连</p> <p>1: ADC2 规则转换外部触发与 TIM8_TRGO 相连</p>
19	ADC2_ETRI	<p>ADC2 注入转换外部触发重映射</p> <p>该位可由软件置'1'或置'0'。它控制与 ADC2 注入转换外部触发相连的触发输入。</p> <p>0: ADC2 注入转换外部触发与 EXTI15 相连</p> <p>1: ADC2 注入转换外部触发与 TIM8_CH4 相连。</p>
18	ADC1_ETRR	<p>ADC1 规则转换外部触发重映射</p> <p>该位可由软件置'1'或置'0'。它控制与 ADC1 规则转换外部触发相连的触发输入。</p> <p>0: ADC1 规则转换外部触发与 EXTI11 相连</p> <p>1: ADC1 规则转换外部触发与 TIM8_TRGO 相连</p>
17	ADC1_ETRI	<p>ADC1 注入转换外部触发重映射</p> <p>该位可由软件置'1'或置'0'。它控制与 ADC1 注入转换外部触发相连的触发输入。</p> <p>0: ADC1 注入转换外部触发与 EXTI15 相连</p> <p>1: ADC1 注入转换外部触发与 TIM8_CH4 相连</p>
16	TIM5CH4_RMP	<p>TIM5 通道 4 内部重映射</p> <p>该位可由软件置'1'或置'0'。它控制 TIM5_CH4 内部映像。</p> <p>0: TIM5_CH4 与 PA3 相连</p> <p>1: LSI 内部振荡器与 TIM5_CH4 相连，目的是对 LSI 进行校准</p>
15	PD01_RMP	PDO/PD1 映像到 OSC_IN/OSC_OUT (PD0/PD1 mapping on)

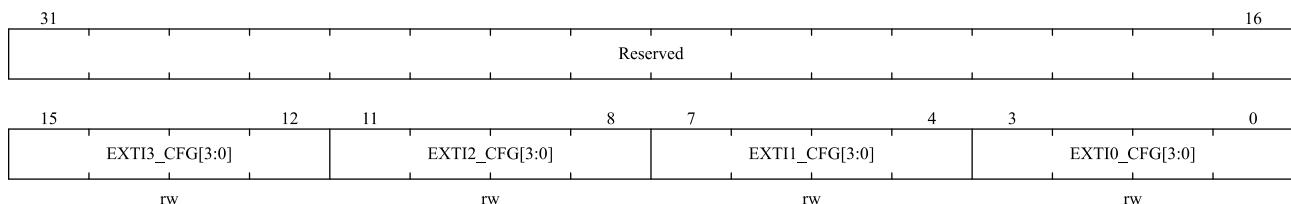
位域	名称	描述
		<p>OSC_IN/OSC_OUT)</p> <p>该位可由软件置'1'或置'0'。它控制 PD0 和 PD1 的 GPIO 功能映像。当不使用主振荡器 HSE 时（系统运行于内部的 8MHz 阻容振荡器），PD0 和 PD1 可以映像到 OSC_IN 和 OSC_OUT 引脚。此功能只能适用于 80 以下引脚的封装（PD0 和 PD1 出现在 80 及以上引脚的封装上，不必重映像）。</p> <p>0: 不进行 PD0 和 PD1 的重映像； 1: PD0 映像到 OSC_IN, PD1 映像到 OSC_OUT。</p>
14:13	CAN1_RMP[1:0]	<p>CAN1 复用功能重映像</p> <p>这些位可由软件置'1'或置'0'，在只有单个 CAN1 接口的产品上控制复用功能 CAN1_RX 和 CAN1_TX 的重映像。</p> <p>00: CAN1_RX 映像到 PA11, CAN1_TX 映像到 PA12; 01: CAN1_RX 映像到 PD8, CAN1_TX 映像到 PD9; 10: CAN1_RX 映像到 PB8, CAN1_TX 映像到 PB9 (不能用于 36 脚的封装); 11: CAN1_RX 映像到 PD0, CAN1_TX 映像到 PD1。</p>
12	TIM4_RMP	<p>定时器 4 的重映像</p> <p>该位可由软件置'1'或置'0'，控制将 TIM4 的通道 1-4 映射到 GPIO 端口上。</p> <p>0: 没有重映像 (TIM4_CH1/PB6, TIM4_CH2/PB7, TIM4_CH3/PB8, TIM4_CH4/PB9); 1: 完全映像 (TIM4_CH1/PD12, TIM4_CH2/PD13, TIM4_CH3/PD14, TIM4_CH4/PD15)。</p> <p>注：重映像不影响在 PE0 上的 TIM4_ETR。</p>
11:10	TIM3_RMP[1:0]	<p>定时器 3 的重映像</p> <p>这些位可由软件置'1'或置'0'，控制定时器 3 的通道 1 至 4 在 GPIO 端口的映像。</p> <p>00: 没有重映像 (CH1/PA6, CH2/PA7, CH3/PB0, CH4/PB1); 01: 未用组合; 10: 部分映像 (CH1/PB4, CH2/PB5, CH3/PB0, CH4/PB1); 11: 完全映像 (CH1/PC6, CH2/PC7, CH3/PC8, CH4/PC9)。</p> <p>注：重映像不影响在 PD2 上的 TIM3_ETR。</p>
9:8	TIM2_RMP[1:0]	<p>定时器 2 的重映像</p> <p>这些位可由软件置'1'或置'0'，控制定时器 2 的通道 1 至 4 和外部触发 (ETR) 在 GPIO 端口的映像。</p> <p>00: 没有重映像 (CH1/ETR/PA0, CH2/PA1, CH3/PA2, CH4/PA3); 01: 部分映像 (CH1/ETR/PA15, CH2/PB3, CH3/PA2, CH4/PA3); 10: 部分映像 (CH1/ETR/PA0, CH2/PA1, CH3/PB10, CH4/PB11); 11: 完全映像 (CH1/ETR/PA15, CH2/PB3, CH3/PB10, CH4/PB11)。</p>
7:6	TIM1_RMP[1:0]	<p>定时器 1 的重映像</p> <p>这些位可由软件置'1'或置'0'，控制定时器 1 的通道 1 至 4、1N 至 3N、外部触发 (ETR) 和刹车输入 (BKIN) 在 GPIO 端口的映像。</p> <p>00: 没有重映像 (ETR/PA12, CH1/PA8, CH2/PA9, CH3/PA10, CH4/PA11, BKIN/PB12, CH1N/PB13, CH2N/PB14, CH3N/PB15);</p>

位域	名称	描述
		01: 部分映像 (ETR/PA12, CH1/PA8, CH2/PA9, CH3/PA10, CH4/PA11, BKIN/PA6, CH1N/PA7, CH2N/PB0, CH3N/PB1); 10: 部分映像(ETR/PA12, CH1/PA8, CH2/PA9, CH3/PA10, CH4/PA11, BKIN/PB5, CH1N/PB13, CH2N/PB14, CH3N/PB15); 11: 完全映像 (ETR/PE7, CH1/PE9, CH2/PE11, CH3/PE13, CH4/PE14, BKIN/PE15, CH1N/PE8, CH2N/PE10, CH3N/PE12)。
5:4	USART3_RMP[1:0]	USART3 的重映像 这些位可由软件置'1'或置'0', 控制 USART3 的 CTS、RTS、CK、TX 和 RX 复用功能在 GPIO 端口的映像。 00: 没有重映像 (TX/PB10, RX/PB11, CK/PB12, CTS/PB13, RTS/PB14); 01: 部分映像 (TX/PC10, RX/PC11, CK/PC12, CTS/PB13, RTS/PB14); 10: 未用组合; 11: 完全映像 (TX/PD8, RX/PD9, CK/PD10, CTS/PD11, RTS/PD12)。
3	USART2_RMP_0	USART2 的重映像 这些位可由软件置'1'或置'0', 与 USART2_RMP_1 配合使用, 组成 USART2_RMP[1:0], 控制 USART2 的 CTS、RTS、CK、TX 和 RX 复用功能在 GPIO 端口的映像。 00: 没有重映像 (CTS/PA0、RTS/PA1、TX/PA2, RX/PA3、CK/PA4); 01: 重映像 (CTS/PD3、RTS/PD4、TX/PD5, RX/PD6、CK/PD7); 10: 重映像 (CTS/PC6、RTS/PC7、TX/PC8, RX/PC9、CK/-); 11: 重映像 (CTS/PA15、RTS/PB3、TX/PB4, RX/PB5、CK/PA4)。 <i>注: 10 时不支持同步模式</i>
2	USART1_RMP[1:0]	USART1 的重映像 该位可由软件置'1'或置'0', 控制 USART1 的 TX 和 RX 复用功能在 GPIO 端口的映像。 0: 没有重映像 (TX/PA9, RX/PA10); 1: 重映像 (TX/PB6, RX/PB7)。
1	I2C1_RMP	I2C1 的重映像 该位可由软件置'1'或置'0', 控制 I2C1 的 SCL 和 SDA 复用功能在 GPIO 端口的映像。 0: 没有重映像 (SCL/PB6, SDA/PB7); 1: 重映像 (SCL/PB8, SDA/PB9)。
0	SPI1_RMP_0	SPI1 的重映像 该位可由软件置'1'或置'0', 与 SPI1_RMP_1 配合使用, 组成 SPI1_RMP[1:0], 控制 SPI1 的 NSS、SCK、MISO 和 MOSI 复用功能在 GPIO 端口的映像。 00: 没有重映射(NSS/PA4, SCK/PA5, MISO/PA6, MOSI/PA7); 01: 重映射(NSS/PA15, SCK/PB3, MISO/PB4, MOSI/PB5); 10: 重映射(NSS/PB2, SCK/PA5, MISO/PA6, MOSI/PA7); 11: 重映射(NSS/PB2, SCK/PE7, MISO/PE8, MOSI/PE9);

7.4.4 AFIO 外部中断配置寄存器 1 (AFIO_EXTI_CFG1)

偏移地址: 0x08

复位值: 0x0000 0000

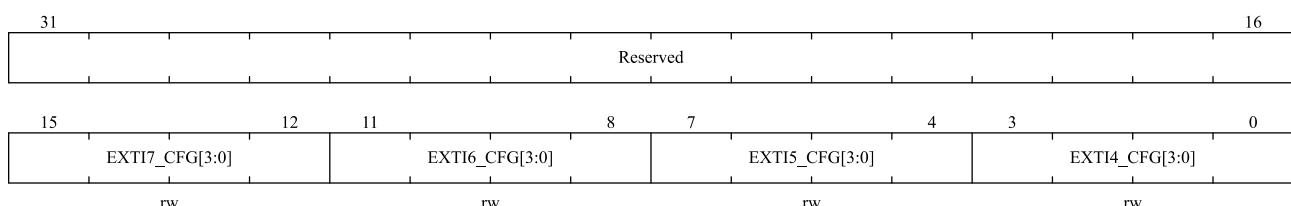


位域	名称	描述
31:16	Reserved	保留, 必须保持复位值。
15:0	EXTIx_CFG[3:0]	EXTIx 配置 ($x = 0 \dots 3$) 这些位可由软件读写, 用于选择 EXTIx 外部中断的输入源。 EXTI0 配置: 0000: PA0 引脚 0001: PB0 引脚 0010: PC0 引脚 0011: PD0 引脚 0100: PE0 引脚 0101: 保留 0110: PG0 引脚 EXTI1 配置: 0000: PA1 引脚 0001: PB1 引脚 0010: PC1 引脚 0011: PD1 引脚 0100: PE1 引脚 0101: PF1 引脚 0110: PG1 引脚 EXTI2 配置: 0000: PA2 引脚 0001: PB2 引脚 0010: PC2 引脚 0011: PD2 引脚 0100: PE2 引脚 0101: PF2 引脚 0110: PG2 引脚 EXTI3 配置: 0000: PA3 引脚 0001: PB3 引脚 0010: PC3 引脚 0011: PD3 引脚 0100: PE3 引脚 0101: PF3 引脚 0110: PG3 引脚

7.4.5 AFIO 外部中断配置寄存器 2 (AFIO_EXTI_CFG2)

偏移地址: 0x0C

复位值: 0x0000 0000

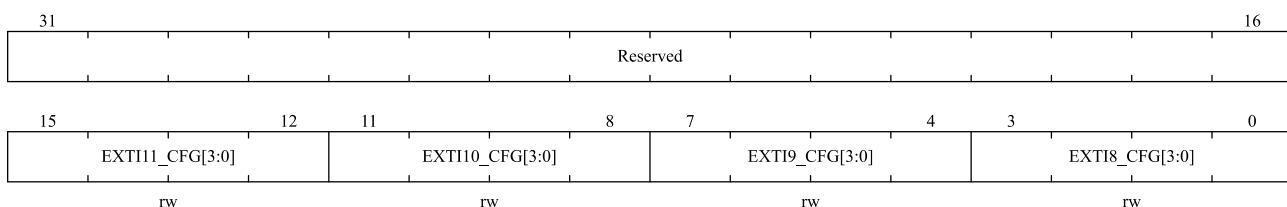


位域	名称	描述																																				
31:16	Reserved	保留，必须保持复位值。																																				
15:0	EXTIx_CFG[3:0]	<p>EXTIx 配置 ($x = 4 \dots 7$) 这些位可由软件读写，用于选择 EXTIx 外部中断的输入源。</p> <p>EXTI4 配置：</p> <table> <tr><td>0000: PA4 引脚</td><td>0001: PB4 引脚</td><td>0010: PC4 引脚</td></tr> <tr><td>0011: PD4 引脚</td><td>0100: PE4 引脚</td><td>0101: PF4 引脚</td></tr> <tr><td>0110: PG4 引脚</td><td></td><td></td></tr> </table> <p>EXTI5 配置：</p> <table> <tr><td>0000: PA5 引脚</td><td>0001: PB5 引脚</td><td>0010: PC5 引脚</td></tr> <tr><td>0011: PD5 引脚</td><td>0100: PE5 引脚</td><td>0101: PF5 引脚</td></tr> <tr><td>0110: PG5 引脚</td><td></td><td></td></tr> </table> <p>EXTI6 配置：</p> <table> <tr><td>0000: PA6 引脚</td><td>0001: PB6 引脚</td><td>0010: PC6 引脚</td></tr> <tr><td>0011: PD6 引脚</td><td>0100: PE6 引脚</td><td>0101: 保留</td></tr> <tr><td>0110: 保留</td><td></td><td></td></tr> </table> <p>EXTI7 配置：</p> <table> <tr><td>0000: PA7 引脚</td><td>0001: PB7 引脚</td><td>0010: PC7 引脚</td></tr> <tr><td>0011: PD7 引脚</td><td>0100: PE7 引脚</td><td>0101: 保留</td></tr> <tr><td>0110: 保留</td><td></td><td></td></tr> </table>	0000: PA4 引脚	0001: PB4 引脚	0010: PC4 引脚	0011: PD4 引脚	0100: PE4 引脚	0101: PF4 引脚	0110: PG4 引脚			0000: PA5 引脚	0001: PB5 引脚	0010: PC5 引脚	0011: PD5 引脚	0100: PE5 引脚	0101: PF5 引脚	0110: PG5 引脚			0000: PA6 引脚	0001: PB6 引脚	0010: PC6 引脚	0011: PD6 引脚	0100: PE6 引脚	0101: 保留	0110: 保留			0000: PA7 引脚	0001: PB7 引脚	0010: PC7 引脚	0011: PD7 引脚	0100: PE7 引脚	0101: 保留	0110: 保留		
0000: PA4 引脚	0001: PB4 引脚	0010: PC4 引脚																																				
0011: PD4 引脚	0100: PE4 引脚	0101: PF4 引脚																																				
0110: PG4 引脚																																						
0000: PA5 引脚	0001: PB5 引脚	0010: PC5 引脚																																				
0011: PD5 引脚	0100: PE5 引脚	0101: PF5 引脚																																				
0110: PG5 引脚																																						
0000: PA6 引脚	0001: PB6 引脚	0010: PC6 引脚																																				
0011: PD6 引脚	0100: PE6 引脚	0101: 保留																																				
0110: 保留																																						
0000: PA7 引脚	0001: PB7 引脚	0010: PC7 引脚																																				
0011: PD7 引脚	0100: PE7 引脚	0101: 保留																																				
0110: 保留																																						

7.4.6 AFIO 外部中断配置寄存器 3 (AFIO_EXTI_CFG3)

偏移地址：0x10

复位值：0x0000 0000



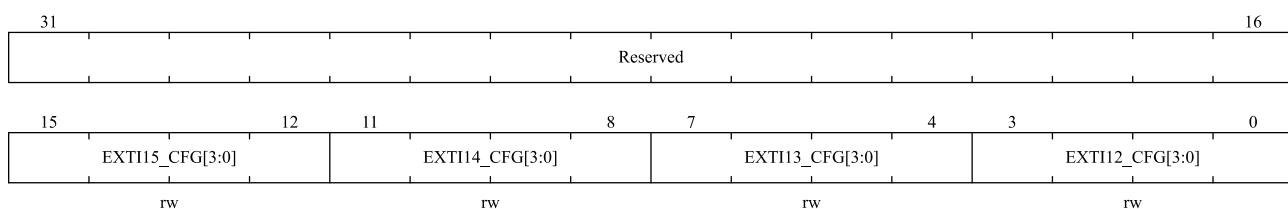
位域	名称	描述																		
31:16	Reserved	保留，必须保持复位值。																		
15:0	EXTIx_CFG[3:0]	<p>EXTIx 配置 ($x = 8 \dots 11$) 这些位可由软件读写，用于选择 EXTIx 外部中断的输入源。</p> <p>EXTI8 配置：</p> <table> <tr><td>0000: PA8 引脚</td><td>0001: PB8 引脚</td><td>0010: PC8 引脚</td></tr> <tr><td>0011: PD8 引脚</td><td>0100: PE8 引脚</td><td>0101: 保留</td></tr> <tr><td>0110: 保留</td><td></td><td></td></tr> </table> <p>EXTI9 配置：</p> <table> <tr><td>0000: PA9 引脚</td><td>0001: PB9 引脚</td><td>0010: PC9 引脚</td></tr> <tr><td>0011: PD9 引脚</td><td>0100: PE9 引脚</td><td>0101: 保留</td></tr> <tr><td>0110: PG9 引脚</td><td></td><td></td></tr> </table>	0000: PA8 引脚	0001: PB8 引脚	0010: PC8 引脚	0011: PD8 引脚	0100: PE8 引脚	0101: 保留	0110: 保留			0000: PA9 引脚	0001: PB9 引脚	0010: PC9 引脚	0011: PD9 引脚	0100: PE9 引脚	0101: 保留	0110: PG9 引脚		
0000: PA8 引脚	0001: PB8 引脚	0010: PC8 引脚																		
0011: PD8 引脚	0100: PE8 引脚	0101: 保留																		
0110: 保留																				
0000: PA9 引脚	0001: PB9 引脚	0010: PC9 引脚																		
0011: PD9 引脚	0100: PE9 引脚	0101: 保留																		
0110: PG9 引脚																				

位域	名称	描述
		EXTI10 配置: 0000: PA10 引脚 0001: PB10 引脚 0010: PC10 引脚 0011: PD10 引脚 0100: PE10 引脚 0101: 保留 0110: 保留 EXTI11 配置: 0000: PA11 引脚 0001: PB11 引脚 0010: PC11 引脚 0011: PD11 引脚 0100: PE11 引脚 0101: 保留 0110: 保留

7.4.7 AFIO 外部中断配置寄存器 4 (AFIO_EXTI_CFG4)

偏移地址: 0x14

复位值: 0x0000 0000



位域	名称	描述
31:16	Reserved	保留, 必须保持复位值。
15:0	EXTIx_CFG[3:0]	EXTIx 配置 ($x = 12 \dots 15$) 这些位可由软件读写, 用于选择 EXTIx 外部中断的输入源。 EXTI12 配置: 0000: PA12 引脚 0001: PB12 引脚 0010: PC12 引脚 0011: PD12 引脚 0100: PE12 引脚 0101: PF12 引脚 0110: 保留 EXTI13 配置: 0000: PA13 引脚 0001: PB13 引脚 0010: PC13 引脚 0011: PD13 引脚 0100: PE13 引脚 0101: PF13 引脚 0110: 保留 EXTI14 配置: 0000: PA14 引脚 0001: PB14 引脚 0010: PC14 引脚 0011: PD14 引脚 0100: PE14 引脚 0101: PF14 引脚 0110: 保留 EXTI15 配置: 0000: PA15 引脚 0001: PB15 引脚 0010: PC15 引脚 0011: PD15 引脚 0100: PE15 引脚 0101: PF15 引脚 0110: 保留

7.4.8 AFIO 复用重映射配置寄存器 3 (AFIO_RMP_CFG3)

偏移地址: 0x20

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TIM8_RMP[1:0]	Reserved		UART7_RMP[1:0]	UART6_RMP[1:0]		UART5_RMP[1:0]	UART4_RMP[1:0]	USART2_RMP_1	SPI1_RMP_1		ETH_RMP[1:0]				
rw			rw	rw		rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SPI3_RMP[1:0]	SPI2_RMP[1:0]	I2C4_RMP[1:0]	I2C3_RMP[1:0]	I2C2_RMP[1:0]	QSPI_RMP[1:0]	Reserved	CAN2_RMP[1:0]	SDIO_RMP							
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位域	名称	描述
31:30	TIM8_RMP[1:0]	定时器 8 的重映像 这些位可由软件置'1'或置'0', 控制定时器 8 的通道 1 至 2 在 GPIO 端口的映像。 00: 没有重映像 (ETR/PA0, CH1/PC6, CH2/PC7, CH3/PC8, CH4/PC9,BKIN/PA6, CH1N/PA7, CH2N/PB0,CH3N/PB1); 01: 部分映像 (ETR/PB4, CH1/PC6, CH2/PC7, CH3/PC8, CH4/PC9, BKIN/PB3, CH1N/PA15, CH2N/PC12, CH3N/PD2); 10: 未用组合; 11: 部分映像 (ETR/PB4, CH1/PD14, CH2/PD15, CH3/PC8, CH4/PC9, BKIN/PB3, CH1N/PA15, CH2N/PC12, CH3N/PD2)。
29:28	Reserved	保留, 必须保持复位值。
27:26	UART7_RMP[1:0]	UART7 的重映像 这些位可由软件置'1'或置'0', 控制 UART7 的 TX 和 RX 复用功能在 GPIO 端口的映像。 00: 没有重映像 (TX/PC4, RX/PC5); 01: 重映像 (TX/PC2, RX/PC3); 10: 未用组合; 11: 重映像 (TX/PG0, RX/PG1)。
25:24	UART6_RMP[1:0]	UART6 的重映像 这些位可由软件置'1'或置'0', 控制 UART6 的 TX 和 RX 复用功能在 GPIO 端口的映像。 00: 没有重映像 (TX/PE2, RX/PE3); 01: 未用组合; 10: 重映像 (TX/PC0, RX/PC1); 11: 重映像 (TX/PB0, RX/PB1)。
23:22	UART5_RMP[1:0]	UART5 的重映像 这些位可由软件置'1'或置'0', 控制 UART5 的 TX 和 RX 复用功能在 GPIO 端口的映像。 00: 没有重映像 (TX/PC12, RX/PD2); 01: 重映像 (TX/PB13, RX/PB14); 10: 重映像 (TX/PE8, RX/PE9);

位域	名称	描述
		11: 重映像 (TX/PB8, RX/PB9)。
21:20	UART4_RMP[1:0]	<p>UART4 的重映像 这些位可由软件置'1'或置'0', 控制 UART4 的 TX 和 RX 复用功能在 GPIO 端口的映像。 00: 没有重映像 (TX/PC10, RX/PC11); 01: 重映像 (TX/PB2, RX/PE7); 10: 重映像 (TX/PA13, RX/PA14); 11: 重映像 (TX/PD0, RX/PD1)。</p>
19	USART2_RMP_1	<p>USART2 的重映像 这些位可由软件置'1'或置'0', 与 USART2_RMP_0 配合使用, 组成 USART2_RMP[1:0], 控制 USART2 的 CTS、RTS、CK、TX 和 RX 复用功能在 GPIO 端口的映像。 00: 没有重映像 (CTS/PA0、RTS/PA1、TX/PA2, RX/PA3、CK/PA4); 01: 重映像 (CTS/PD3、RTS/PD4、TX/PD5, RX/PD6、CK/PD7); 10: 重映像 (CTS/PC6、RTS/PC7、TX/PC8, RX/PC9、CK/-); 11: 重映像 (CTS/PA15、RTS/PB3、TX/PB4, RX/PB5、CK/PA4)。 注: 10 时不支持同步模式</p>
18	SPI1_RMP_1	<p>SPI1 的重映像 该位可由软件置'1'或置'0', 与 SPI1_RMP_0 配合使用, 组成 SPI1_RMP[1:0], 控制 SPI1 的 NSS、SCK、MISO 和 MOSI 复用功能在 GPIO 端口的映像。 00: 没有重映射(NSS/PA4, SCK/PA5, MISO/PA6, MOSI/PA7); 01: 重映射(NSS/PA15, SCK/PB3, MISO/PB4, MOSI/PB5); 10: 重映射(NSS/PB2, SCK/PA5, MISO/PA6, MOSI/PA7); 11: 重映射(NSS/PB2, SCK/PE7, MISO/PE8, MOSI/PE9);</p>
17:16	ETH_RMP[1:0]	<p>以太网 MAC 的引脚配置 该位可由软件置'1'或置'0'。它控制以太网 MAC 至外部收发器 PHY 的连接。 00: 没有重映射 (RX_DV/CRS_DV/PA7、RxD0/PC4、RxD1/PC5、RxD2/PB0、RxD3/PB1, PPS_OUT/PB5, TxD3/PB8); 01: 重映射 (RX_DV/CRS_DV/PD8、RxD0/PD9、RxD1/PD10、RxD2/PD11、RxD3/PD12, PPS_OUT/PB5, TxD3/PB8); 10: 重映射 (RX_DV/CRS_DV/PA7、RxD0/PC4、RxD1/PC5、RxD2/PB0、RxD3/PB1, PPS_OUT/PB6, TxD3/PB7); 11: 重映射 (RX_DV/CRS_DV/PD8、RxD0/PD9、RxD1/PD10、RxD2/PB0、RxD3/PB1, PPS_OUT/PB6, TxD3/PB7)。</p>
15:14	SPI3_RMP[1:0]	<p>SPI3 的重映像 该位可由软件置'1'或置'0', 控制 SPI3 的 NSS、SCK、MISO 和 MOSI 复用功能在 GPIO 端口的映像。 00: 没有重映像 (NSS/WS/PA15, SCK/CK/PB3, MISO/PB4, MOSI/PB5); 01: 重映像 (NSS/WS/PD2, SCK/CK/PC10, MISO/PC11, MOSI/PC12); 10: 重映像 (NSS/WS/PD8, SCK/CK/PD9, MISO/PD11, MOSI/PD12); 11: 重映像 (NSS/WS/PC2, SCK/CK/PC3, MISO/PA0, MOSI/PA1)。</p>

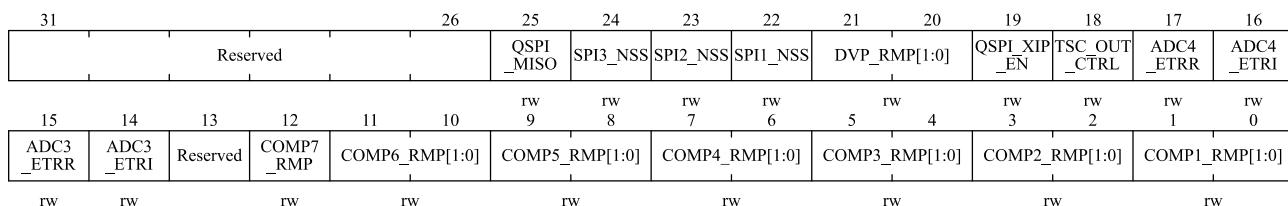
位域	名称	描述
13:12	SPI2_RMP[1:0]	<p>SPI2 的重映像</p> <p>该位可由软件置'1'或置'0'，控制 SPI2 的 NSS、SCK、MISO 和 MOSI 复用功能在 GPIO 端口的映像。</p> <p>00: 没有重映像 (NSS/WS/PB12, SCK/CK/PB13, MISO/PB14, MOSI/PB15);</p> <p>01: 重映像 (NSS/WS/PC6, SCK/CK/PC7, MISO/PC8, MOSI/PC9);</p> <p>10: 未用组合;</p> <p>11: 重映像 (NSS/WS/PE10, SCK/CK/PE11, MISO/PE12, MOSI/PE13)。</p>
11:10	I2C4_RMP[1:0]	<p>I2C4 的重映像</p> <p>该位可由软件置'1'或置'0'，控制 I2C4 的 SDA、SCL 复用功能在 GPIO 端口的映像。</p> <p>00: 没有重映像 (SCL/PC6, SDA/PC7);</p> <p>01: 重映像 (SCL/PD14, SDA/PD15);</p> <p>10: 未用组合;</p> <p>11: 重映像 (SCL/PA9, SDA/PA10)。</p>
9:8	I2C3_RMP[1:0]	<p>I2C3 的重映像</p> <p>该位可由软件置'1'或置'0'，控制 I2C3 的 SDA、SCL 复用功能在 GPIO 端口的映像。</p> <p>00: 没有重映像 (SCL/PC0, SDA/PC1);</p> <p>01: 未用组合;</p> <p>10: 重映像 (SCL/PF4, SDA/PF5);</p> <p>11: 重映像 (SCL/PC4, SDA/PC5)。</p>
7:6	I2C2_RMP[1:0]	<p>I2C2 的重映像</p> <p>该位可由软件置'1'或置'0'，控制 I2C2 的 SDA、SCL 复用功能在 GPIO 端口的映像。</p> <p>00: 没有重映像 (SCL/PB10, SDA/PB11);</p> <p>01: 重映像 (SCL/PG2, SDA/PG3);</p> <p>10: 未用组合;</p> <p>11: 重映像 (SCL/PA4, SDA/PA5)。</p>
5:4	QSPI_RMP[1:0]	<p>QSPI 的重映像</p> <p>该位可由软件置'1'或置'0'，控制 QSPI 的 IO0、IO1、IO2、IO3、CLK、NSS 复用功能在 GPIO 端口的映像。</p> <p>00: 没有重映像 (NSS/PA4, SCK/PA5, IO0/PA6, IO1/PA7, IO2/PC4, IO3/PC5);</p> <p>01: 未用组合;</p> <p>10: 重映像 (NSS/PF0, SCK/PF1, IO0/PF2, IO1/PF3, IO2/PF4, IO3/PF5);</p> <p>11: 重映像 (NSS/PC10, SCK/PC11, IO0/PC12, IO1/PD0, IO2/PD1, IO3/PD2)。</p>
3	Reserved	保留，必须保持复位值。
2:1	CAN2_RMP[1:0]	<p>CAN2 的重映像</p> <p>该位可由软件置'1'或置'0'，控制 CAN2 的 CAN2_RX、CAN2_TX 复用功能在 GPIO 端口的映像。</p>

位域	名称	描述
		00: 没有重映像 (RX/PB12, TX/PB13); 01: 重映像 (RX/PB5, TX/PB6); 10: 未用组合; 11: 重映像 (RX/PD10, TX/PD11)。
0	SDIO_RMP	SDIO 的重映像 该位可由软件置'1'或置'0', 控制复用功能端口的映像, D4/PB8, D5/PB9, D6/PC6, D7/PC7 不重映像。 0: 没有重映像 (DO/PC8, D1/PC9, D2/PC10, D3/PC11, CK/PC12, CMD/PD2); 1: 重映像 (DO/PE8, D1/PE9, D2/PE10, D3/PE11, CK/PE12, CMD/PE13);

7.4.9 AFIO 复用重映射配置寄存器 4 (AFIO_RMP_CFG4)

偏移地址: 0x24

复位值: 0x0000 0000



位域	名称	描述
31:26	Reserved	保留, 必须保持复位值。
25	QSPI_MISO	QSPI 的 IO1 脚在标准单线模式下相当于 MISO, 管脚属性可配置为: 0: 由 QSPI 模块自动控制是输入还是输出 1: 固定为浮空输入
24	SPI3_NSS	SPI3 的 NSS 模式位 (NSS 配置为 AFIO 推挽时)。 0: 空闲时 NSS 为高阻 1: 空闲时 NSS 为 1
23	SPI2_NSS	SPI2 的 NSS 模式位 (NSS 配置为 AFIO 推挽时)。 0: 空闲时 NSS 为高阻 1: 空闲时 NSS 为 1
22	SPI1_NSS	SPI1 的 NSS 模式位 (NSS 配置为 AFIO 推挽时)。 0: 空闲时 NSS 为高阻 1: 空闲时 NSS 为 1
21:20	DVP_RMP[1:0]	DVP 的重映像 该位可由软件置'1'或置'0'。 00: 没有重映像 (HSYNC/PA1, VSYNC/PA2, CLK/PA3, D0/PA4, D1/PA5, D2/PA6, D3/PA7, D4/PC4, D5/PC5, D6/PB0, D7/PB1); 01: 重映像 (HSYNC/PE2, VSYNC/PE3, CLK/PE4, D0/PE5, D1/PE6, D2/PC0, D3/PB2, D4/PF12, D5/PF13, D6/PF14, D7/PF15);

位域	名称	描述
		10: 未用组合; 11: 重映像 (HSYNC/PE2, VSYNC/PE3, CLK/PE4, D0/PE5, D1/PE6, D2/PC0, D3/PB2, D4/PB10, D5/PB11, D6/PF14, D7/PF15)。
19	QSPI_XIP_EN	QSPI XIP 内存映射模式使能控制 0: 禁止 1: 使能
18	Reserved	保留, 必须保持复位值。
17	ADC4_ETRR	ADC4 规则转换外部触发重映射 该位可由软件置'1'或置'0'。它控制与 ADC4 规则转换外部触发相连的触发输入。 0: ADC4 规则转换外部触发与 EXTI10 相连 1: ADC4 规则转换外部触发与 TIM5_CH3 相连
16	ADC4_ETRI	ADC4 注入转换外部触发重映射 该位可由软件置'1'或置'0'。它控制与 ADC4 注入转换外部触发相连的触发输入。 0: ADC4 注入转换外部触发与 EXTI14 相连 1: ADC4 注入转换外部触发与 TIM5_CH4 相连。
15	ADC3_ETRR	ADC3 规则转换外部触发重映射 该位可由软件置'1'或置'0'。它控制与 ADC3 规则转换外部触发相连的触发输入。 0: ADC3 规则转换外部触发与 EXTI10 相连 1: ADC3 规则转换外部触发与 TIM5_CH 3 相连
14	ADC3_ETRI	ADC3 注入转换外部触发重映射 该位可由软件置'1'或置'0'。它控制与 ADC3 注入转换外部触发相连的触发输入。 0: ADC3 注入转换外部触发与 EXTI14 相连 1: ADC3 注入转换外部触发与 TIM5_CH 4 相连
13	Reserved	保留, 必须保持复位值。
12	COMP7_RMP	COMP7_OUT 的重映像 该位可由软件置'1'或置'0'。 0: 没有重映像 (COMP7_OUT/PC2); 1: 重映像 (COMP7_OUT/PD12)。
11:10	COMP6_RMP[1:0]	COMP6_OUT 的重映像 该位可由软件置'1'或置'0'。 00: 没有重映像 (COMP6_OUT/PC9); 01: 重映像 (COMP6_OUT/PA12); 10: 未用组合; 11: 重映像 (COMP6_OUT/PB7)。
9:8	COMP5_RMP[1:0]	COMP5_OUT 的重映像 该位可由软件置'1'或置'0'。 00: 没有重映像 (COMP5_OUT/PB0); 01: 重映像 (COMP5_OUT/PB11); 10: 重映像 (COMP5_OUT/PB6);

位域	名称	描述
		11: 重映像 (COMP5_OUT/PA11)。
7:6	COMP4_RMP[1:0]	COMP4_OUT 的重映像 该位可由软件置'1'或置'0'。 00: 没有重映像 (COMP4_OUT/PC5); 01: 重映像 (COMP4_OUT/PB12); 10: 未用组合; 11: 重映像 (COMP4_OUT/PC11)。
5:4	COMP3_RMP[1:0]	COMP3_OUT 的重映像 该位可由软件置'1'或置'0'。 00: 没有重映像 (COMP3_OUT/PB10); 01: 重映像 (COMP3_OUT/PC10); 10: 未用组合; 11: 重映像 (COMP3_OUT/PA2)。
3:2	COMP2_RMP[1:0]	COMP2_OUT 的重映像 该位可由软件置'1'或置'0'。 00: 没有重映像 (COMP2_OUT/PA6); 01: 重映像 (COMP2_OUT/PA7); 10: 重映像 (COMP2_OUT/PA12); 11: 重映像 (COMP2_OUT/PB9)。
1:0	COMP1_RMP[1:0]	COMP1_OUT 的重映像 该位可由软件置'1'或置'0'。 00: 没有重映像 (COMP1_OUT/PA0); 01: 重映像 (COMP1_OUT/PB1); 10: 重映像 (COMP1_OUT/PA11); 11: 重映像 (COMP1_OUT/PB8)。

7.4.10 AFIO 复用重映射配置寄存器 5 (AFIO_RMP_CFG5)

偏移地址: 0x28

复位值: 0x0000 0000

31	Reserved												24	23	22	21	20	19	18	17	16
15	ECLAMP4_DET_EN	ECLAMP3_DET_EN	ECLAMP2_DET_EN	ECLAMP1_DET_EN	EGB4_RST_EN	EGB3_RST_EN	EGB2_RST_EN	EGB1_RST_EN	EGBN4_RST_EN	EGBN3_RST_EN	EGBN2_RST_EN	EGBN1_RST_EN	ECLAMP4_RST_EN	ECLAMP3_RST_EN	ECLAMP2_RST_EN	ECLAMP1_RST_EN					
14	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW		
13	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw		

位域	名称	描述
31:24	Reserved	保留, 必须保持复位值。
23	EGB4_DET_EN	EMC GB4 检测使能位 (地弹检测)。 0: 禁止 1: 使能
22	EGB3_DET_EN	EMC GB3 检测使能位。

位域	名称	描述
		0: 禁止 1: 使能
21	EGB2_DET_EN	EMC GB2 检测使能位。 0: 禁止 1: 使能
20	EGB1_DET_EN	EMC GB1 检测使能位。 0: 禁止 1: 使能
19	EGBN4_DET_EN	EMC GBN4 检测使能位。 0: 禁止 1: 使能
18	EGBN3_DET_EN	EMC GBN3 检测使能位。 0: 禁止 1: 使能
17	EGBN2_DET_EN	EMC GBN2 检测使能位。 0: 禁止 1: 使能
16	EGBN1_DET_EN	EMC GBN1 检测使能位。 0: 禁止 1: 使能
15	ECLAMP4_DET_EN	针对 VDD_4 的 EMC CLAMP4 检测使能位。 0: 禁止 1: 使能
14	ECLAMP3_DET_EN	针对 VDD_3 的 EMC CLAMP3 检测使能位。 0: 禁止 1: 使能
13	ECLAMP2_DET_EN	针对 VDD_2 的 EMC CLAMP2 检测使能位。 0: 禁止 1: 使能
12	ECLAMP1_DET_EN	针对 VDD_1 的 EMC CLAMP1 检测使能位。 0: 禁止 1: 使能
11	EGB4_RST_EN	当 EMC GB4 检测到时, 系统复位使能位。 0: 禁止 1: 使能
10	EGB3_RST_EN	当 EMC GB3 检测到时, 系统复位使能位。 0: 禁止 1: 使能
9	EGB2_RST_EN	当 EMC GB2 检测到时, 系统复位使能位。 0: 禁止 1: 使能
8	EGB1_RST_EN	当 EMC GB1 检测到时, 系统复位使能位。 0: 禁止

位域	名称	描述
		1: 使能
7	EGBN4_RST_EN	当 EMC GBN4 检测到时，系统复位使能位。 0: 禁止 1: 使能
6	EGBN3_RST_EN	当 EMC GBN3 检测到时，系统复位使能位。 0: 禁止 1: 使能
5	EGBN2_RST_EN	当 EMC GBN2 检测到时，系统复位使能位。 0: 禁止 1: 使能
4	EGBN1_RST_EN	当 EMC GBN1 检测到时，系统复位使能位。 0: 禁止 1: 使能
3	ECLAMP4_RST_EN	当 EMC CLAMP4 检测到时，系统复位使能位。 0: 禁止 1: 使能
2	ECLAMP3_RST_EN	当 EMC CLAMP3 检测到时，系统复位使能位。 0: 禁止 1: 使能
1	ECLAMP2_RST_EN	当 EMC CLAMP2 检测到时，系统复位使能位。 0: 禁止 1: 使能
0	ECLAMP1_RST_EN	当 EMC CLAMP1 检测到时，系统复位使能位。 0: 禁止 1: 使能

8 DMA 控制器

8.1 简介

DMA 控制器总共可以访问 8 个 AHB 从机：Flash、SRAM、ADC、SDIO、QSPI、ETH、ABP1 和 APB2。DMA 控制器由 CPU 控制以执行从源到目的的快速数据移动。配置完成后，无需 CPU 干预即可传输数据。因此，可以释放 CPU 用于其他计算/控制任务或节省整体系统功耗。

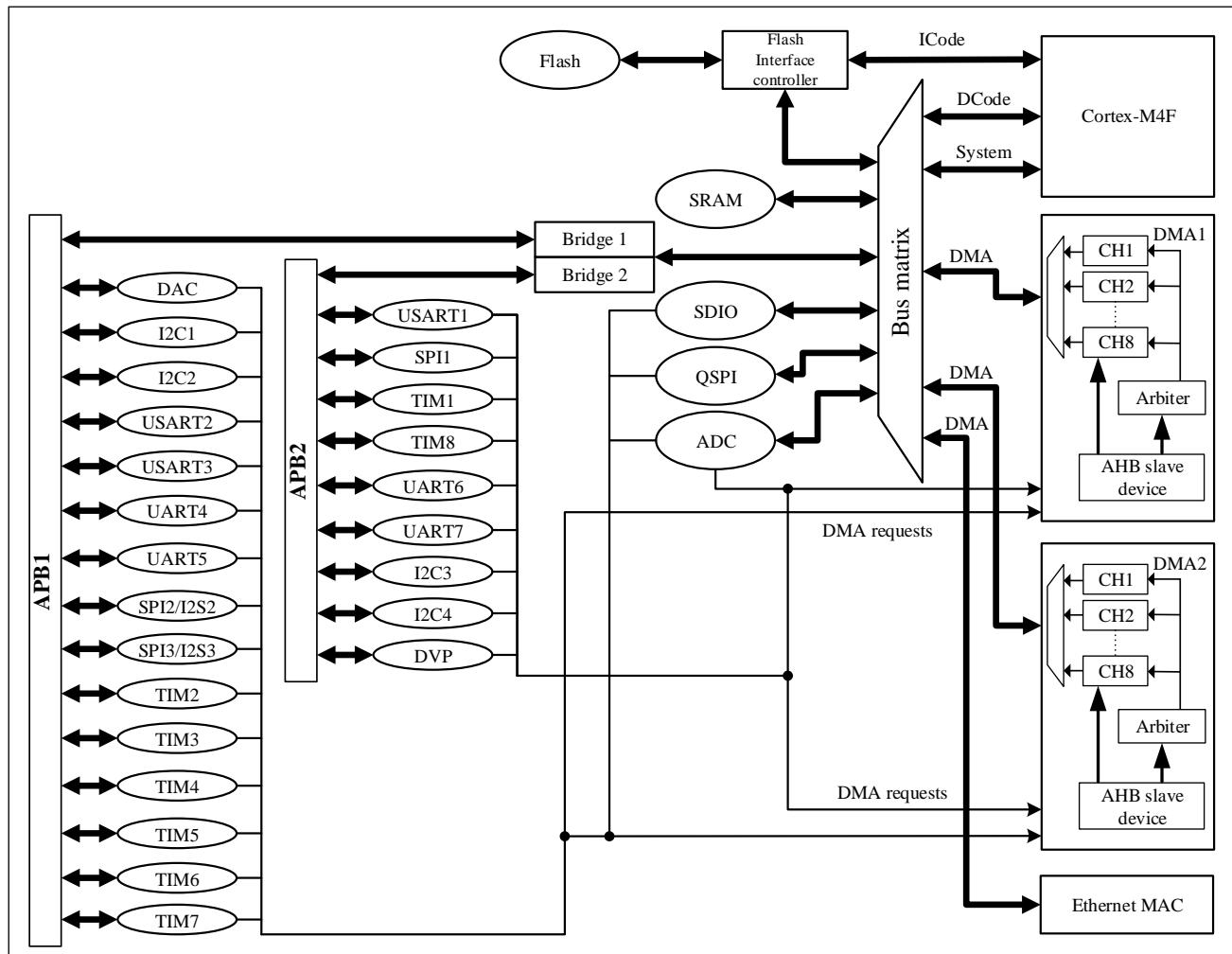
芯片有两个 DMA（DMA1、DMA2）控制器，每个 DMA 控制器有 8 个逻辑通道。每个逻辑通道用于服务来自单个或多个外设的内存访问请求。内部仲裁器控制不同 DMA 通道的优先级。

8.2 主要特性

- 16 个可独立配置的 DMA 通道：DMA1 和 DMA2 各有 8 个通道
- 支持内存到内存、内存到外设和外设到内存三种传输类型
- 每个 DMA 通道支持硬件请求和软件触发来启动传输，并由软件配置
- 每个 DMA 通道都有专用的软件优先级（DMA_CHCFGx.PRIOLVL[1:0]位，对应 4 个优先级），可以单独配置。具有相同软件优先级的通道将进一步比较硬件索引（通道号）以确定最终优先级（索引号越低的通道优先级越高）
- 可配置的源和目标大小。地址设置应与数据大小相对应
- 每个通道可配置循环传输模式
- 每个通道有 3 个独立的事件标志和中断（传输完成、半传输、传输错误）和 1 个全局中断标志（由 3 个事件的逻辑或设置）。
- 共访问 8 个 AHB 从机：Flash、SRAM、ADC、SDIO、QSPI、ETH、ABP1 和 APB2
- 可配置数据传输数（0~65535）

8.3 功能框图

图 8-1 DMA 框图



8.4 功能描述

DMA 控制器和 CortexTM-M4F 内核共享相同的系统数据总线。当 CPU 和 DMA 同时访问同一个目标（RAM 或外设）时，DMA 请求会暂停 CPU 访问系统总线几个周期，由总线仲裁器进行循环调度。这允许 CPU 获得至少一半的系统总线（内存或外围设备）带宽。

8.4.1 DMA 操作

DMA 请求可以由硬件外设或软件触发，DMA 控制器根据通道的优先级处理请求。根据配置的传输地址和位宽从源地址读取数据，然后将读取的数据存储在目的地址空间中。一次操作后，控制器计算剩余传输次数，并更新下一次传输的源地址和目的地址。

每个 DMA 数据传输包括三个操作：

- 数据访问：根据传输方向确定源地址（DMA_PADDRx 或 DMA_MADDRx），从源地址读取数据。
- 数据存储：根据传输方向确定目的地址（DMA_PADDRx 或 DMA_MADDRx），将读取的数据存储到目

的地址空间。

- 计算未完成操作的数量，对 DMA_TXNUMx 寄存器进行减量操作，更新下一个操作的源地址和目的地址。

8.4.2 通道优先级和仲裁器

DMA 使用仲裁策略来处理来自不同通道的多个请求。每个通道的优先级可在通道控制寄存器 (DMA_CHCFGx) 中进行编程。

4 个优先级：

- ◆ 非常高优先级
- ◆ 高优先级
- ◆ 中优先级
- ◆ 低优先级

默认情况下，如果编程的优先级相同，则索引较低的通道具有较高的优先级。

8.4.3 DMA 通道和传输数量

每个通道都可以在指定地址的外设寄存器和内存地址之间进行 DMA 传输。DMA 传输的数据数量是可编程的，最大支持值为 65535。DMA_TXNUM 寄存器在每次传输后递减。

8.4.4 可编程的数据位宽

外设和内存传输数据位宽支持字节、半字和字，可以通过 DMA_CHCFGx.PSIZE 和 DMA_CHCFGx.MSIZE 进行编程。

当 DMA_CHCFGx.PSIZE 和 DMA_CHCFGx.MSIZE 不同时，DMA 模块根据表 8-1 对齐数据。

表 8-1 可编程的数据宽度和大小端操作(当 PINC = MINC = 1)

Source width (bit)	Destina- tion width (bit)	Number of transfer (bit)	Source: Address / data	Transfer operations (R: Read,W: Write)	Destination: Address / data
8	8	4	0x0 / B0	1: R B0 [7:0] @0x0, W B0 [7:0] @0x0	0x0 / B0
			0x1 / B1	2: R B1 [7:0] @0x1, W B1 [7:0] @0x1	0x1 / B1
			0x2 / B2	3: R B2 [7:0] @0x2, W B2 [7:0] @0x2	0x2 / B2
			0x3 / B3	4: R B3 [7:0] @0x3, W B3 [7:0] @0x3	0x3 / B3
8	16	4	0x0 / B0	1: R B0 [7:0] @0x0, W 00B0 [15:0] @0x0	0x0 / 00B0
			0x1 / B1	2: R B1 [7:0] @0x1, W 00B1 [15:0] @0x2	0x2 / 00B1
			0x2 / B2	3: R B2 [7:0] @0x2, W 00B2 [15:0] @0x4	0x4 / 00B2
			0x3 / B3	4: R B3 [7:0] @0x3, W 00B3 [15:0] @0x6	0x6 / 00B3
8	32	4	0x0 / B0	1: R B0 [7:0] @0x0, W 000000B0 [31:0] @0x0	0x0 / 000000B0
			0x1 / B1	2: R B1 [7:0] @0x1, W 000000B1 [31:0] @0x4	0x4 / 000000B1
			0x2 / B2	3: R B2 [7:0] @0x2, W 000000B2 [31:0] @0x8	0x8 / 000000B2

Source width (bit)	Destina- tion width (bit)	Number of transfer (bit)	Source: Address / data	Transfer operations (R: Read,W: Write)	Destination: Address / data
			0x3 / B3	4: R B3 [7:0] @0x3, W 000000B3 [31:0] @0xC	0xC / 000000B3
16	8	4	0x0 / B1B0 0x2 / B3B2 0x4 / B5B4 0x6 / B7B6	1: R B1B0 [15:0] @0x0, W B0 [7:0] @0x0 2: R B3B2 [15:0] @0x2, W B2 [7:0] @0x1 3: R B5B4 [15:0] @0x4, W B4 [7:0] @0x2 4: R B7B6 [15:0] @0x6, W B6 [7:0] @0x3	0x0 / B0 0x1 / B2 0x2 / B4 0x3 / B6
16	16	4	0x0 / B1B0 0x2 / B3B2 0x4 / B5B4 0x6 / B7B6	1: R B1B0 [15:0] @0x0, W B1B0 [15:0] @0x0 2: R B3B2 [15:0] @0x2, W B3B2 [15:0] @0x2 3: R B5B4 [15:0] @0x4, W B5B4 [15:0] @0x4 4: R B7B6 [15:0] @0x6, W B7B6 [15:0] @0x6	0x0 / B1B0 0x2 / B3B2 0x4 / B5B4 0x6 / B7B6
16	32	4	0x0 / B1B0 0x2 / B3B2 0x4 / B5B4 0x6 / B7B6	1: R B1B0 [15:0] @0x0, W 0000B1B0 [31:0] @0x0 2: R B3B2 [15:0] @0x2, W 0000B3B2 [31:0] @0x4 3: R B5B4 [15:0] @0x4, W 0000B5B4 [31:0] @0x8 4: R B7B6 [15:0] @0x6, W 0000B7B6 [31:0] @0xC	0x0 / 0000B1B0 0x4 / 0000B3B2 0x8 / 0000B5B4 0xC / 0000B7B6
32	8	4	0x0 / B3B2B1B0 0x4 / B7B6B5B4 0x8 / BBBAB9B8 0xC / BFBEBDDBC	1: R B3B2B1B0 [31:0] @0x0, W B0 [7:0] @0x0 2: R B7B6B5B4 [31:0] @0x4, W B4 [7:0] @0x1 3: R BBBAB9B8 [31:0] @0x8, W B8 [7:0] @0x2 4: R BFBEBDDBC [31:0] @0xC, W BC [7:0] @0x3	0x0 / B0 0x1 / B4 0x2 / B8 0x3 / BC
32	16	4	0x0 / B3B2B1B0 0x4 / B7B6B5B4 0x8 / BBBAB9B8 0xC / BFBEBDDBC	1: R B3B2B1B0 [31:0] @0x0, W B1B0 [15:0] @0x0 2: R B7B6B5B4 [31:0] @0x4, W B5B4 [15:0] @0x2 3: R BBBAB9B8 [31:0] @0x8, W B9B8 [15:0] @0x4 4: R BFBEBDDBC [31:0] @0xC, W BDBC [15:0] @0x6	0x0 / B1B0 0x2 / B5B4 0x4 / B9B8 0x6 / BDBC
32	32	4	0x0 / B3B2B1B0 0x4 / B7B6B5B4 0x8 / BBBAB9B8 0xC / BFBEBDDBC	1: R B3B2B1B0 [31:0] @0x0, W B3B2B1B0 [31:0] @0x0 2: R B7B6B5B4 [31:0] @0x4, W B7B6B5B4 [31:0] @0x4 3: R BBBAB9B8 [31:0] @0x8, W BBBAB9B8 [31:0] @0x8 4: R BFBEBDDBC [31:0] @0xC, W BFBEBDDBC [31:0] @0xC	0x0 / B3B2B1B0 0x4 / B7B6B5B4 0x8 / BBBAB9B8 0xC / BFBEBDDBC

注意：

DMA 总是向 HWDATA[31:0]提供完整的 32 位数据，无论它是什么目标大小（HSIZE 仍然遵循设备支持字节/半字操作的目标大小设置）。它提供的 HWDATA[31:0]遵循以下规则：

- 当源大小小于目标大小时，DMA 用 0 填充 MSB，直到它们的大小匹配并将其复制为 32 位。例如，源是 8 位数据 0x55，目标大小是 16 位。DMA 用 0 填充源数据使其成为 16 位 0x0055，然后将其复制为 32 位数据 0x0055_0055 并提供给 HWDATA[31:0]；（如果目标大小为 32 位，则 DMA 只会用 0 填充源数据）。
- 当源大小大于或等于目标大小且小于 32 位时，DMA 将源数据复制到 32 位数据。例如，源数据为 8 位数据 0x1F，HWDATA[31:0] = 0x1F1F_1F1F。如果源数据是 16 位数据 0x2345，则 HWDATA[31:0] = 0x2345_2345。

这保证了仅支持字操作的外设不会产生总线错误，并且所需的数据仍然可以通过额外的位（即 0 填充）移动

到我们想要的位置。如果用户想要配置一个 8 位寄存器但与 32 位地址边界对齐，则源大小应设置为 8 位，目标大小应设置为 32 位，因此额外的位将用 0 填充。

8.4.5 外设/内存地址递增

DMA_CHCFGx.PINC 和 DMA_CHCFGx.MINC 分别控制外设地址和内存地址是否使能自动递增模式。软件在传输过程中不能（可以读）写地址寄存器。

- 在自动递增模式下，下一个要传输的地址在每次传输后根据数据位宽（1、2 或 4）自动增加。第一次传输的地址存储在 DMA_PADDRx 或 DMA_MADDRx 寄存器中。
- 在固定模式下，地址始终固定为初始地址。

在传输结束时（即传输计数变为 0），将根据当前是否工作于循环模式进行不同的处理。

- 在非循环模式下，DMA 在传输完成后停止。要开始新的 DMA 传输，需要在禁用 DMA 通道的情况下重写 DMA_TXNUMx 寄存器中的传输数量。
- 在循环模式下，在传输结束时，DMA_TXNUMx 寄存器的内容会自动重新加载其初始值，并且当前内部外设或内存地址也会重新加载 DMA_PADDRx 或 DMA_MADDRx 寄存器设置的初始基址。

8.4.6 通道配置流程

详细配置流程如下：

1. 配置中断屏蔽位，1：启用中断，0：禁用中断。
2. 配置通道外设地址和内存地址以及传输方向。
3. 配置通道优先级，0：最低，3：最高。
4. 配置外设和内存地址增量。
5. 配置通道传输块大小。
6. 如有必要，配置循环模式。
7. 如果是存储器到存储器，配置 MEM2MEM 模式。
8. 在通道 1~8 上重复第 1~8 步。
9. 最后使能相应通道。

如果使用软件提供中断服务，则软件必须查询中断状态寄存器以检查发生了哪个中断（软件需要向中断标志清除位写 1 来清除相应的中断）。在使能通道之前，应清除该通道对应的所有中断。

如果中断是传输完成中断，软件可以配置下一次传输，或者向用户报告该通道传输完成。

8.4.7 流量控制

支持三种主要的流量控制：

- 存储器到存储器
- 存储器到外设
- 外设到存储器

流控制由每个 DMA 通道配置寄存器中的两个寄存器位控制。流控制用于控制 DMA 通道的源/目标和方向。

表 8-2 流量控制表

DMA_CHCFGx.MEM2MEM	DMA_CHCFGx.DIR	Source	Destination	Transfer
1	x	Memory	Memory	AHB read to AHB write, can do back2back transfer
0	1	Memory	AHB Peripheral	AHB read to AHB write, single transfer
			APB Peripheral	APB read to APB write, single transfer
0	0	AHB Peripheral	Memory	AHB read to AHB write, single transfer
		APB Peripheral		APB read to AHB write, single transfer

8.4.8 循环模式

循环模式用于处理循环缓冲区和连续数据传输(如 ADC 扫描模式)。DMA_CHCFGx.CIRC 用于启用此功能。激活循环模式时, 如果要传输的数据数变为 0, 则在配置通道时会自动恢复到初始值, 继续进行 DMA 操作。

如果用户想关闭循环模式, 用户需要向 DMA_CHCFGx.CHEN 写入 0 以禁用 DMA 通道, 然后向 DMA_CHCFGx.CIRC 写入 0 (当 DMA_CHCFGx.CHEN 为 1 时, DMA_CHCFGx 寄存器中的其他位不能被改写)。

8.4.9 错误管理

对保留地址区域的 DMA 访问会导致 DMA 传输错误。发生错误时, 设置传输错误标志, 硬件自动清除当前 DMA 通道使能位 (DMA_CHCFGx.CHEN), 通道操作停止。如果在 DMA_CHCFGx 寄存器中设置了传输错误中断使能位, 则会产生中断。

8.4.10 中断

- 传输完成中断:

通道数据传输完成时会产生中断。中断是一个电平信号。每个通道都有其专用的中断、中断屏蔽控制和中断状态位。当中断标志清除位被设置时, 中断状态位被清除。

- 半传输中断:

当传输了一半的通道数据时会产生中断。中断是一个电平信号。每个通道都有其专用的中断、中断屏蔽控制和中断状态位。当中断标志清除位被设置时, 中断状态位被清除。

- 传输错误中断:

总线返回错误时产生中断。中断是一个电平信号。每个通道都有其专用的中断、中断屏蔽控制和中断状态位。当中断标志清除位被设置时, 中断状态位被清除。

表 8-3 DMA 中断请求

中断事件	事件标志位	使能控制位
传输过半	HTXF	HTXIE
传输完成	TXCF	TXCIE
传输错误	ERRF	ERRIE

8.4.11 DMA 请求映像

8.4.11.1 DMA1 控制器

DMA1 请求映像如下图所示。通过配置对应外设的寄存器，每个外设的 DMA 请求均可以独立的开启或关闭，并根据通道优先级，同一时间只有一个请求有效。

图 8-2 DMA1 请求映像

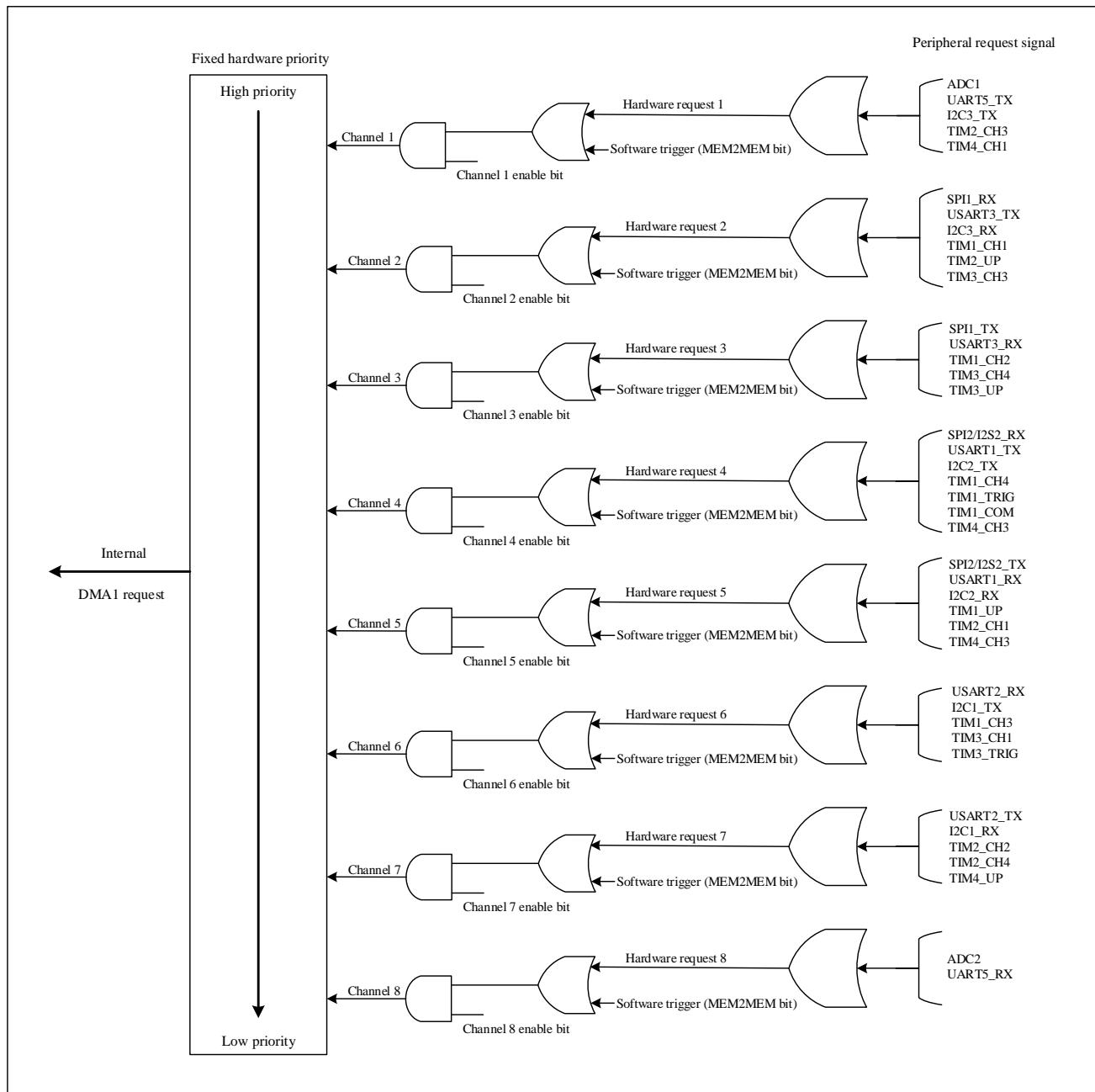


表 8-4 各个通道的 DMA1 请求映射表

外设	通道 1	通道 2	通道 3	通道 4	通道 5	通道 6	通道 7	通道 8
ADC	ADC1	-	-	-	-	-	-	ADC2
SPI/I2S	-	SPI1_RX	SPI1_TX	SPI2/I2S2_RX	SPI2/I2S2_TX	-	-	-

外设	通道 1	通道 2	通道 3	通道 4	通道 5	通道 6	通道 7	通道 8
USART	UART5_TX	USART3_TX	USART3_RX	USART1_TX	USART1_RX	USART2_RX	USART2_TX	UART5_RX
I2C	I2C3_TX	I2C3_RX		I2C2_TX	I2C2_RX	I2C1_TX	I2C1_RX	
TIM1	-	TIM1_CH1	TIM1_CH2	TIM1_CH4 TIM1_TRIG TIM1_COM	TIM1_UP	TIM1_CH3	-	-
TIM2	TIM2_CH3	TIM2_UP	-	-	TIM2_CH1	-	TIM2_CH2 TIM2_CH4	-
TIM3	-	TIM3_CH3	TIM3_CH4 TIM3_UP	-	-	TIM3_CH1 TIM3_TRIG	-	-
TIM4	TIM4_CH1	-	-	TIM4_CH2	TIM4_CH3	-	TIM4_UP	-

8.4.11.2 DMA2 控制器

DMA2 请求映像如下图所示。通过配置对应外设的寄存器，每个外设的 DMA 请求均可以独立的开启或关闭，并根据通道优先级，同一时间只有一个请求有效。

图 8-3 DMA2 请求映像

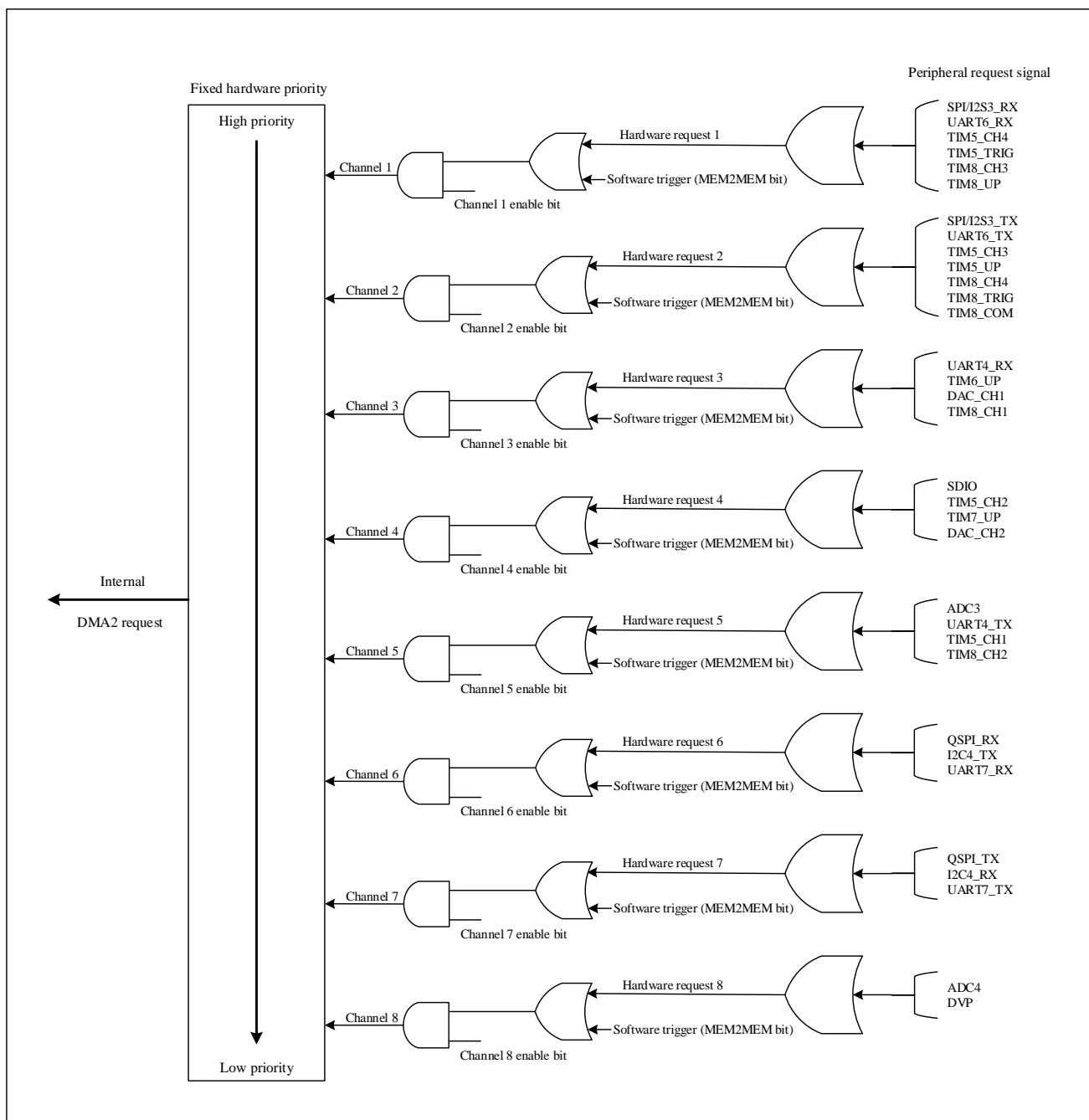


表 8-5 各个通道的 DMA2 请求映射表

外设	通道 1	通道 2	通道 3	通道 4	通道 5	通道 6	通道 7	通道 8
ADC	-	-	-	-	ADC3	-	-	ADC4
SPI/I2S	SPI3/I2S3_RX	SPI3/I2S3_TX	-	-	-	QSPI_RX	QSPI_TX	-
I2C4	-	-	-	-	-	I2C4_TX	I2C4_RX	-
UART	UART6_RX	UART6_TX	UART4_RX	-	UART4_TX	UART7_RX	UART7_TX	-
SDIO	-	-	-	SDIO	-	-	-	-
TIM5	TIM5_CH4 TIM5_TRIG	TIM5_CH3 TIM5_UP	-	TIM5_CH2	TIM5_CH1	-	-	-

外设	通道 1	通道 2	通道 3	通道 4	通道 5	通道 6	通道 7	通道 8
TIM6/DAC	-	-	TIM6_UP DAC_CH1	-	-	-	-	-
TIM7/DAC	-	-	-	TIM7_UP DAC_CH2	-	-	-	-
TIM8	TIM8_CH3 TIM8_UP	TIM8_CH4 TIM8_TRIG TIM8_COM	TIM8_CH1	-	TIM8_CH2	-	-	-
DVP	-	-	-	-	-	-	-	DVP

8.5 DMA 寄存器

DMA1 基地址: 0x4002_0000;

DMA2 基地址: 0x4002_0400。

8.5.1 DMA 寄存器总览

表 8-6 DMA 寄存器总览

Offset	Register	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
000h	DMA_INTSTS	ERRF8	CHTXF8	HTXF8	TXCF8	GLBF8	CTXCF8	CTXCF7	CTXCF7	CTXCF7	CTXCF6	CTXCF6	CTXCF6	CTXCF6	CTXCF5	CTXCF5	CTXCF5	CTXCF5	CTXCF4	CTXCF4	CTXCF4	CTXCF4	CTXCF3	CTXCF3	CTXCF3	CTXCF3	CTXCF2	CTXCF2	CTXCF2	CTXCF2	CTXCF1	CTXCF1	CTXCF1	CTXCF1
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
004h	DMA_INTCLR	CERREF7	CERREF7	CERREF7	CERREF7	CERREF7	CERREF7	CERREF7	CERREF7	CERREF7	CERREF6	CERREF6	CERREF6	CERREF6	CERREF5	CERREF5	CERREF5	CERREF5	CERREF4	CERREF4	CERREF4	CERREF4	CERREF3	CERREF3	CERREF3	CERREF3	CERREF2	CERREF2	CERREF2	CERREF2	CERREF1	CERREF1	CERREF1	CERREF1
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
008h	DMA_CHCFG1	Reserved															Reserved																	
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
00Ch	DMA_TXNUM1	Reserved															NDTX[15:0]																	
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
010h	DMA_PADDR1	ADDR[31:0]															ADDR[31:0]																	
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
014h	DMA_MADDR1	ADDR[31:0]															ADDR[31:0]																	
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
018h	DMA_CHSEL1	Reserved															CH_SEL[5:0]																	
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
01Ch	DMA_CHCFG2	Reserved															Reserved																	
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
020h	DMA_TXNUM2	Reserved															NDTX[15:0]																	
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
024h	DMA_PADDR2	ADDR[31:0]															ADDR[31:0]																	
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
028h	DMA_MADDR2	ADDR[31:0]															ADDR[31:0]																	
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
02Ch	DMA_CHSEL2	Reserved															CH_SEL[5:0]																	
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
030h	DMA_CHCFG3	Reserved															NDTX[15:0]																	
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
034h	DMA_TXNUM3	Reserved															NDTX[15:0]																	
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
038h	DMA_PADDR3	ADDR[31:0]															ADDR[31:0]																	
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
03Ch	DMA_MADDR3	ADDR[31:0]															ADDR[31:0]																	

Offset	Register	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0							
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
040h	DMA_CHSEL3	Reserved															CH_SEL[5:0]				CH_SEL[5:0]				CH_SEL[5:0]				CH_SEL[5:0]				CH_SEL[5:0]							
044h	DMA_CHCFG4	Reserved															MEM2MEM	PRIOLVL[1:0]	MSIZE[1:0]	PSIZE[1:0]	MINC	PINC	CIRC	DIR	ERRIE	HTXIE	TXCIE	CHEN	CH_SEL[5:0]				CH_SEL[5:0]							
048h	DMA_TXNUM4	Reserved															NDTX[15:0]																CH_SEL[5:0]							
04Ch	DMA_PADDR4	ADDR[31:0]															CH_SEL[5:0]				CH_SEL[5:0]				CH_SEL[5:0]				CH_SEL[5:0]				CH_SEL[5:0]							
050h	DMA_MADDR4	ADDR[31:0]															CH_SEL[5:0]				CH_SEL[5:0]				CH_SEL[5:0]				CH_SEL[5:0]				CH_SEL[5:0]							
054h	DMA_CHSEL4	Reserved															CH_SEL[5:0]				CH_SEL[5:0]				CH_SEL[5:0]				CH_SEL[5:0]				CH_SEL[5:0]							
058h	DMA_CHCFG5	Reserved															MEM2MEM	PRIOLVL[1:0]	MSIZE[1:0]	PSIZE[1:0]	MINC	PINC	CIRC	DIR	ERRIE	HTXIE	TXCIE	CHEN	CH_SEL[5:0]				CH_SEL[5:0]							
05Ch	DMA_TXNUM5	Reserved															NDTX[15:0]																CH_SEL[5:0]							
060h	DMA_PADDR5	ADDR[31:0]															CH_SEL[5:0]				CH_SEL[5:0]				CH_SEL[5:0]				CH_SEL[5:0]				CH_SEL[5:0]							
064h	DMA_MADDR5	ADDR[31:0]															CH_SEL[5:0]				CH_SEL[5:0]				CH_SEL[5:0]				CH_SEL[5:0]				CH_SEL[5:0]							
068h	DMA_CHSEL5	Reserved															CH_SEL[5:0]				CH_SEL[5:0]				CH_SEL[5:0]				CH_SEL[5:0]				CH_SEL[5:0]							
06Ch	DMA_CHCFG6	Reserved															MEM2MEM	PRIOLVL[1:0]	MSIZE[1:0]	PSIZE[1:0]	MINC	PINC	CIRC	DIR	ERRIE	HTXIE	TXCIE	CHEN	CH_SEL[5:0]				CH_SEL[5:0]							
070h	DMA_TXNUM6	Reserved															NDTX[15:0]																CH_SEL[5:0]							
074h	DMA_PADDR6	ADDR[31:0]															CH_SEL[5:0]				CH_SEL[5:0]				CH_SEL[5:0]				CH_SEL[5:0]				CH_SEL[5:0]							
078h	DMA_MADDR6	ADDR[31:0]															CH_SEL[5:0]				CH_SEL[5:0]				CH_SEL[5:0]				CH_SEL[5:0]				CH_SEL[5:0]							
07Ch	DMA_CHSEL6	Reserved															CH_SEL[5:0]				CH_SEL[5:0]				CH_SEL[5:0]				CH_SEL[5:0]				CH_SEL[5:0]							
080h	DMA_CHCFG7	Reserved															MEM2MEM	PRIOLVL[1:0]	MSIZE[1:0]	PSIZE[1:0]	MINC	PINC	CIRC	DIR	ERRIE	HTXIE	TXCIE	CHEN	CH_SEL[5:0]				CH_SEL[5:0]							
084h	DMA_TXNUM7	Reserved															NDTX[15:0]																CH_SEL[5:0]							
088h	DMA_PADDR7	ADDR[31:0]															CH_SEL[5:0]				CH_SEL[5:0]				CH_SEL[5:0]				CH_SEL[5:0]				CH_SEL[5:0]							
08Ch	DMA_MADDR7	ADDR[31:0]															CH_SEL[5:0]				CH_SEL[5:0]				CH_SEL[5:0]				CH_SEL[5:0]				CH_SEL[5:0]							
090h	DMA_CHSEL7	Reserved															CH_SEL[5:0]				CH_SEL[5:0]				CH_SEL[5:0]				CH_SEL[5:0]				CH_SEL[5:0]							
094h	DMA_CHCFG8	Reserved															MEM2MEM	PRIOLVL[1:0]	MSIZE[1:0]	PSIZE[1:0]	MINC	PINC	CIRC	DIR	ERRIE	HTXIE	TXCIE	CHEN	CH_SEL[5:0]				CH_SEL[5:0]							
098h	DMA_TXNUM8	Reserved															NDTX[15:0]																CH_SEL[5:0]							
09Ch	DMA_PADDR8	ADDR[31:0]															CH_SEL[5:0]				CH_SEL[5:0]				CH_SEL[5:0]				CH_SEL[5:0]				CH_SEL[5:0]							
0A0h	DMA_MADDR8	ADDR[31:0]															CH_SEL[5:0]				CH_SEL[5:0]				CH_SEL[5:0]				CH_SEL[5:0]				CH_SEL[5:0]							
0A4h	DMA_CHSEL8	Reserved															CH_SEL[5:0]				CH_SEL[5:0]				CH_SEL[5:0]				CH_SEL[5:0]				CH_SEL[5:0]							
0A8h	DMA_CHMAPEN	Reserved															MAP_EN				MAP_EN				MAP_EN				MAP_EN				MAP_EN							

8.5.2 DMA 中断状态寄存器 (DMA_INTSTS)

偏移地址: 0x00

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ERRF8	HTXF8	TXCF8	GLBF8	ERRF7	HTXF7	TXCF7	GLBF7	ERRF6	HTXF6	TXCF6	GLBF6	ERRF5	HTXF5	TXCF5	GLBF5
r 15	r 14	r 13	r 12	r 11	r 10	r 9	r 8	r 7	r 6	r 5	r 4	r 3	r 2	r 1	r 0
ERRF4	HTXF4	TXCF4	GLBF4	ERRF3	HTXF3	TXCF3	GLBF3	ERRF2	HTXF2	TXCF2	GLBF2	ERRF1	HTXF1	TXCF1	GLBF1
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

位域	名称	描述
31/27/23/19/15/11/7/3	ERRFx	通道 x(x = 1...8)的传输错误标志。 发生传输错误时，硬件设置该位。该位由软件通过向 DMA_INTCLR.CERRFx 位写 1 清零。 0: 通道 x 上没有发生传输错误。 1: 通道 x 上发生传输错误。
30/26/22/18/14/10/6/2	HTXFx	通道 x(x = 1...8)的半传输标志。 当半传输完成时，硬件设置该位。该位由软件通过向 DMA_INTCLR.CHTXFx 位写 1 清零。 0: 通道 x 上的半传输尚未完成。 1: 通道 x 上的半传输已完成。
29/25/21/17/13/9/5/1	TXCFx	通道 x(x = 1...8)的传输完成标志。 当传输完成时，硬件设置该位。该位由软件通过向 DMA_INTCLR.CTXCFx 位写 1 清零。 0: 通道 x 上的传输尚未完成。 1: 通道 x 上的传输已完成。
28/24/20/16/12/8/4/0	GLBFx	通道 x(x = 1...8)的全局标志。 当该通道中发生任何中断事件时，硬件设置该位。该位由软件通过向 DMA_INTCLR.CGLBFx 位写 1 清零。 0: 通道 x 上没有发生传输错误、半传输或传输完成事件。 1: 通道 x 上发生传输错误、半传输或传输完成事件之一。

8.5.3 DMA 中断标志清除寄存器 (DMA_INTCLR)

偏移地址: 0x04

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CERRF8	CHTF8	CTXCF8	CGLBF8	CERRF7	CHTF7	CTXCF7	CGLBF7	CERRF6	CHTF6	CTXCF6	CGLBF6	CERRF5	CHTF5	CTXCF5	CGLBF5
rw 15	rw 14	rw 13	rw 12	rw 11	rw 10	rw 9	rw 8	rw 7	rw 6	rw 5	rw 4	rw 3	rw 2	rw 1	rw 0
CERRF4	CHTF4	CTXCF4	CGLBF4	CERRF3	CHTF3	CTXCF3	CGLBF3	CERRF2	CHTF2	CTXCF2	CGLBF2	CERRF1	CHTF1	CTXCF1	CGLBF1
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

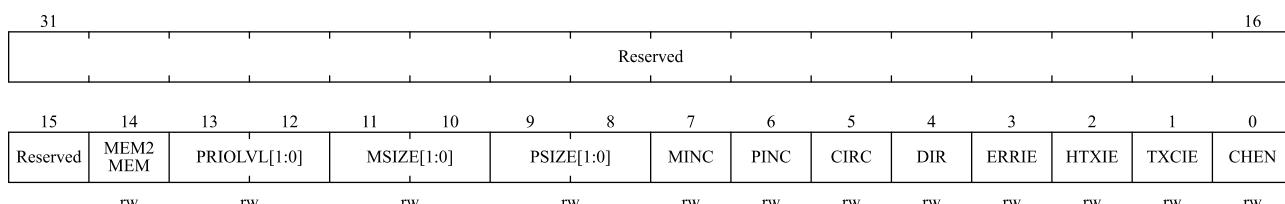
位域	名称	描述
31/27/23/19/15/11/7/3	CERRFx	清除通道 x(x = 1...8)的传输错误标志。 软件可以设置该位来清除相应通道的 ERRF。 0: 无动作。 1: 复位相应通道的 DMA_INTSTS.ERRF 位。
30/26/22/18/14/10/6/2	CHTDXFx	清除通道 x(x = 1...8)的半传输标志。 软件可以设置该位来清除相应通道的 HTXF。 0: 无动作。 1: 复位相应通道的 DMA_INTSTS.HTXF 位。
29/25/21/17/13/9/5/1	CTXCFx	清除通道 x(x = 1...8)的传输完成标志。 软件可以设置该位来清除相应通道的 TXCF。 0: 无动作。 1: 复位相应通道的 DMA_INTSTS.TXCF 位。
28/24/20/16/12/8/4/0	CGLBFx	清除通道 x(x = 1...8)的全局事件标志。 软件可以设置该位来清除相应通道的 GLBF。 0: 无动作。 1: 复位相应通道的 DMA_INTSTS.GLBF 位。

8.5.4 DMA 通道 x 配置寄存器 (DMA_CHCFGx)

x 为通道号, x=1 ... 8

地址偏移: 0x08 + 20 * (x - 1)

复位值: 0x0000 0000



位域	名称	描述
31:15	Reserved	保留, 必须保持复位值。
14	MEM2MEM	存储器到存储器模式。 当通道尚未使能时, 软件可以将此通道配置为存储器到存储器传输。 0: 存储器和外设之间的通道传输。 1: 通道设置为存储器到存储器间的传输。
13:12	PRIOLVL[1:0]	通道优先级。 当通道未使能时, 软件可以编程通道优先级。 00: 低 01: 中 10: 高 11: 非常高
11:10	MSIZE[1:0]	存储器数据大小。 软件可以配置从/向存储器地址读取/写入的数据大小。

位域	名称	描述
		00: 8 位 01: 16 位 10: 32 位 11: 保留
9:8	PSIZE[1:0]	外设数据大小。 软件可以配置从/向外设地址读取/写入的数据大小。 00: 8 位 01: 16 位 10: 32 位 11: 保留
7	MINC	存储器地址递增模式。 软件可以使能/禁能存储器地址递增模式。 0: 内存地址不会随着每次传输而递增。 1: 内存地址随着每次传输而递增。
6	PINC	外设地址增量模式。 软件可以使能/禁能外设地址递增模式。 0: 外设地址不会随着每次传输而递增。 1: 外设地址随每次传输而递增。
5	CIRC	循环模式。 软件可以设置/清除该位。 0: 经过一轮传输后通道停止。 1: 通道配置为循环模式。
4	DIR	数据传输方向 软件可以设置/清除该位。 0: 从外设到存储器的数据传输 1: 从存储器到外设的数据传输。
3	ERRIE	传输错误中断使能。 软件可以使能/禁能传输错误中断。 0: 禁止通道 x 的传输错误中断。 1: 使能通道 x 的传输错误中断。
2	HTXIE	半传输中断使能。 软件可以使能/禁能半传输中断。 0: 禁止通道 x 的半传输中断。 1: 使能通道 x 的半传输中断。
1	TXCIE	传输完成中断使能。 软件可以使能/禁能传输完成中断。 0: 禁止通道 x 的传输完成中断。 1: 使能通道 x 的传输完成中断。
0	CHEN	通道使能。 软件可以设置/复位该位。 0: 禁用通道。 1: 使能通道。

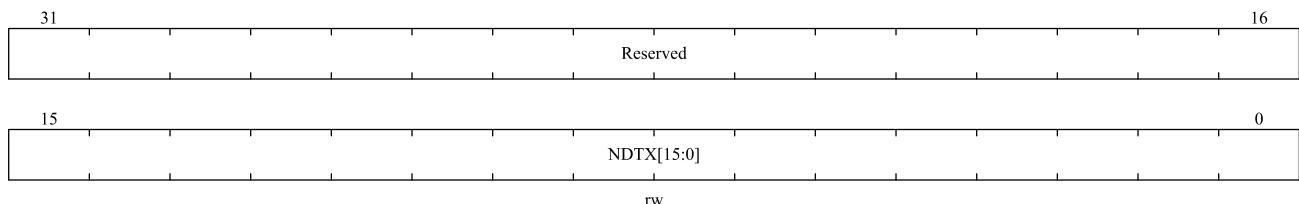
8.5.5 DMA 通道 x 传输数量寄存器 (DMA_TXNUMx)

x 为通道号, x=1 ... 8

地址偏移: 0x0C + 20 * (x - 1)

复位值: 0x0000 0000

只有在禁用通道(DMA_CHCFGx.CHEN = 0)时才能写该寄存器。



位域	名称	描述
31:16	Reserved	保留, 必须保持复位值。
15:0	NDTX	数据传输数量。 要传输的数据数量 (0~65535)。软件可以在通道禁用时写入/读出传输数量, 并且通道使能后该位为只读。相应的 DMA 通道每次成功传输后, 该寄存器就会减 1。如果使能循环模式, 它会在达到零时自动重新加载预设值。否则它将保持为零并复位通道使能位。

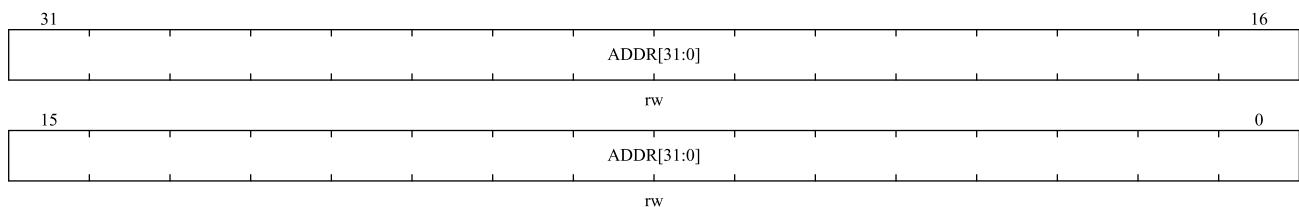
8.5.6 通道 x 外设基址寄存器 (DMA_PADDRx)

x 为通道号, x=1 ... 8

地址偏移: 0x10 + 20 * (x - 1)

复位值: 0x0000 0000

只有在禁用通道(DMA_CHCFGx.CHEN = 0)时才能写该寄存器。



位域	名称	描述
31:0	ADDR	外设基址。 DMA 读取/写入的外设起始地址。 地址的递增由 DMA_CHCFGx.PSIZE 决定。 DMA_CHCFGx.PSIZE 等于‘01’, DMA 忽略 PADDR 的第 0 位。 DMA_CHCFGx.PSIZE 等于‘10’, DMA 将忽略 PADDR 的第 0 位和第 1 位。

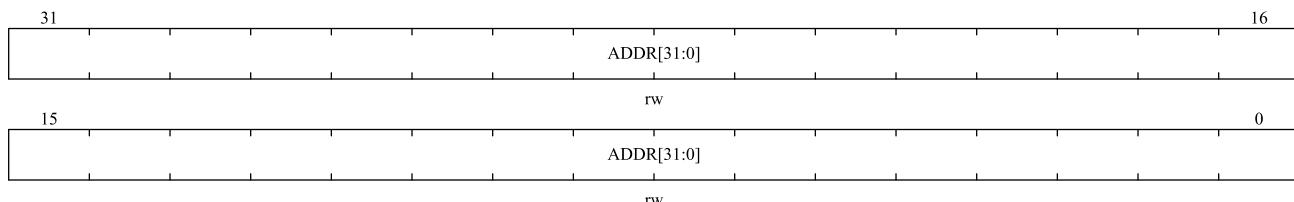
8.5.7 通道 x 存储器基地址寄存器 (DMA_MADDRx)

x 为通道号, x=1 ... 8

地址偏移: 0x14 + 20 * (x - 1)

复位值: 0x0000 0000

只有在禁用通道(DMA_CHCFGx.CHEN = 0)时才能写该寄存器。



位域	名称	描述
31:0	ADDR	存储器基地址。 DMA 读取/写入的存储器起始地址。 地址的递增由 DMA_CHCFGx.MSIZE 决定。 DMA_CHCFGx.MSIZE 等于‘01’，DMA 忽略 MADDR 的第 0 位。 DMA_CHCFGx.MSIZE 等于‘10’，DMA 将忽略 MADDR 的第 0 位和第 1 位。

8.5.8 DMA1 通道 x 通道选择寄存器 (DMA1_CHSELx)

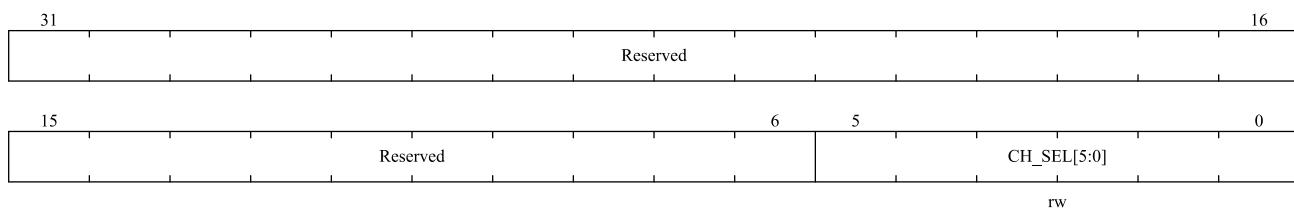
x 为通道号, x=1 ... 8

地址偏移: 0x18 + 20 * (x - 1)

复位值: 0x0000 0000

当通道 MAP 使能 (DMA_CHMAPEN.MAP_EN=1) 时写该寄存器才有效。该寄存器用来管理 DMA1 外设请求映射的 DMA1 的通道。

注意: 通道 MAP 使能后, DMA 通道选择寄存器会变为默认值, 需要为每一个已经使用的通道配置相应的映射, 若没有重新配置, DMA1 所有通道将会只响应ADC1 的 DMA 请求。



位域	名称	描述
31:6	Reserved	保留, 必须保持复位值。
5:0	CH_SEL[5:0]	DMA1 通道请求选择 40: UART5_RX 39: ADC2 38: I2C1_RX

位域	名称	描述
		37: TIM4_UP 36: TIM2_CH4 35: TIM2_CH2 34: USART2_TX 33: I2C1_TX 32: TIM3_TRIG 31: TIM3_CH1 30: TIM1_CH3 29: USART2_RX 28: I2C2_RX 27: TIM4_CH3 26: TIM2_CH1 25: SPI2/I2S2_TX 24: TIM1_UP 23: USART1_RX 22: I2C2_TX 21: SPI2/I2S2_RX 20: TIM4_CH2 19: TIM1_COM 18: TIM1_TRIG 17: TIM1_CH4 16: USART1_TX 15: SPI1_TX 14: TIM3_UP 13: TIM3_CH4 12: TIM1_CH2 11: USART3_RX 10: SPI1_RX 9: TIM3_CH3 8: TIM2_UP 7: TIM1_CH1 6: I2C3_RX 5: USART3_TX 4: TIM4_CH1 3: TIM2_CH3 2: I2C3_TX 1: UART5_TX 0: ADC1

8.5.9 DMA2 通道 x 通道选择寄存器 (DMA2_CHSELx)

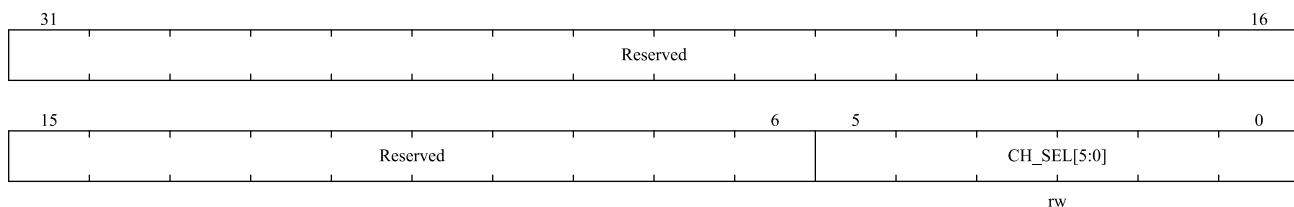
x 为通道号, x=1 ... 8

地址偏移: 0x18 + 20 * (x - 1)

复位值: 0x0000 0000

当通道 MAP 使能 (DMA_CHMAPEN.MAP_EN=1) 时写该寄存器才有效。该寄存器用来管理 DMA2 外设请求映射的 DMA2 的通道。

注意: 通道 MAP 使能后, DMA 通道选择寄存器会变为默认值, 需要为每一个已经使用的通道配置相应的映射, 若没有重新配置, DMA2 所有通道将会只响应 TIM5_CH4 的 DMA 请求。



位域	名称	描述
31:6	Reserved	保留, 必须保持复位值。
5:0	CH_SEL[5:0]	DMA2 通道请求选择 32: DVP 31: ADC4 30: UART7_TX 29: I2C4_RX 28: QSPI_TX 27: UART7_RX 26: I2C4_TX 25: QSPI_RX 24: UART4_TX 23: TIM5_CH1 22: TIM8_CH2 21: ADC3 20: DAC2 19: TIM7_UP 18: SDIO 17: TIM5_CH2 16: DAC1 15: TIM6_UP 14: UART4_RX 13: TIM8_CH1 12: UART6_TX 11: SPI3/I2S3_TX 10: TIM5_UP 9: TIM5_CH3 8: TIM8_COM 7: TIM8_TRIG 6: TIM8_CH4 5: UART6_RX 4: SPI3/I2S3_RX

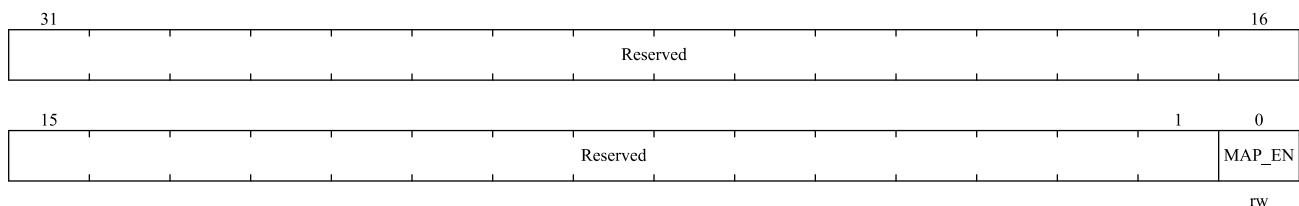
位域	名称	描述
		3: TIM8_UP 2: TIM8_CH3 1: TIM5_TRIG 0: TIM5_CH4

8.5.10 DMA 通道 MAP 使能寄存器 (DMA_CHMAPEN)

地址偏移: 0xA8

复位值: 0x0000 0000

注意: MAP 使能后 DMA 将根据选择寄存器的配置来响应 DMA 请求, 需要配置外设的通道请求选择, 若未配置, DMA 将只响应通道选择寄存器的默认值 (DMA1 为 ADC1, DMA2 为 TIM5_CH4)。



位域	名称	描述
31:1	Reserved	保留, 必须保持复位值。
0	MAP_EN	通道 MAP 使能。 0: 禁止通道 MAP 1: 使能通道 MAP

9 模拟数字转换 (ADC)

9.1 简述

12 位 ADC 是使用逐次逼近的高速模数转换器。它有多个通道，每个通道的 A/D 转换有四种执行模式：单次、连续、扫描或间断。ADC 转换值存储（左对齐/右对齐）在 16 位数据寄存器中。可以通过模拟看门狗检测输入电压是否在用户定义的高/低阈值内，并且 ADC 的输入时钟的最大频率为 80MHz。

9.2 ADC 主要特征

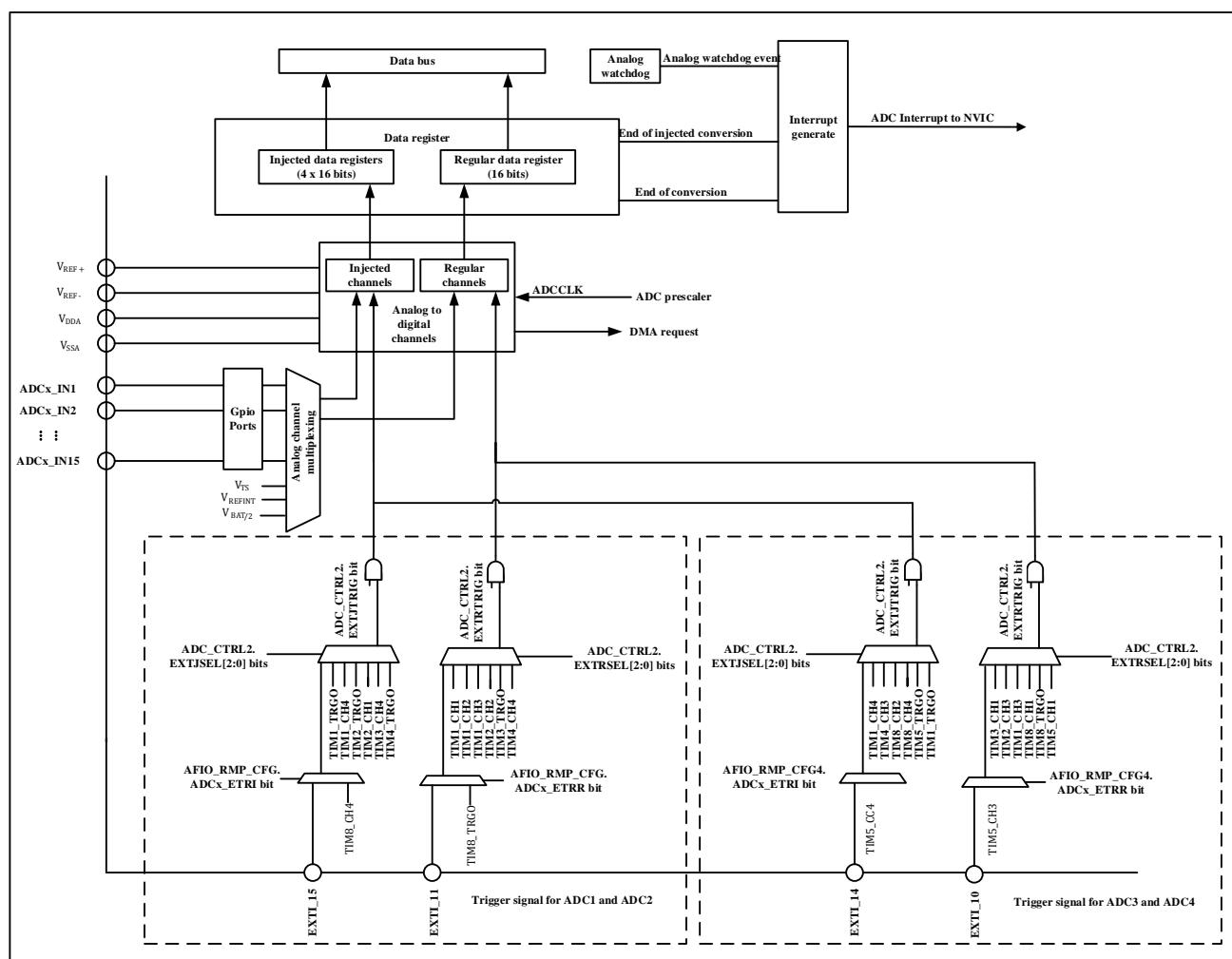
- 支持最多 4 个 ADC，支持单端输入和差分输入，可测量 40 个外部和 7 个内部信号源
- ADC1 支持 11 个外部通道，ADC2 支持 13 个外部通道，ADC3 支持 15 个外部通道，ADC4 支持 13 个外部通道
- 支持 12 位、10 位、8 位、6 位分辨率
 - ◆ 12bit 分辨率下最高采样速率 4.7MSPS
 - ◆ 10bit 分辨率下最高采样速率 6.1MSPS
 - ◆ 8bit 分辨率下最高采样速率 7.3MSPS
 - ◆ 6bit 分辨率下最高采样速率 8.9MSPS
- ADC 时钟源分为工作时钟源、采样时钟源和计时时钟源
 - ◆ 仅可配置 AHB_CLK 作为工作时钟源，最高可到 144MHz
 - ◆ 可配置 PLL 作为采样时钟源，最高可到 80MHz，支持分频 1,2,4,6,8,10,12,16,32,64,128,256
 - ◆ 可配置 AHB_CLK 作为采样时钟源，最高可到 80MHz，支持分频 1,2,4,6,8,10,12,16,32
 - ◆ 计时时钟用于内部计时功能，频率必须配置成 1MHz
- 支持触发采样，包括 EXTI/TIMER
- 各通道的采样时间间隔可编程
- 支持扫描模式
- 支持单次转换
- 支持连续转换
- 支持间断模式
- 支持自校准
- 支持 DMA
- 中断生成
 - ◆ 转换结束
 - ◆ 注入转换结束
 - ◆ 模拟看门狗事件

- 带内嵌数据一致性的数据对齐
- 可以外部触发注入转换和规则转换
- ADC 的工作电压在 1.8V 到 3.6V 之间
- ADC 支持转换的电压在 V_{REF-} 和 V_{REF+} 之间
- 双 ADC 模式，ADC1 和 ADC2 组合、ADC3 和 ADC4 组合

9.3 ADC 功能描述

ADC 的框图和引脚描述如下：

图 9-1 ADC 框图



注意：ADC1 和 ADC2, ADC3 和 ADC4 的规则转换和注入转换触发参考具体的寄存器定义。

表 9-1 ADC 引脚

名称	信号类型	描述
V_{REF+}	输入，模拟参考正极	ADC 正极参考电压， $1.8V \leq V_{REF+} \leq V_{DDA}$
V_{REF-}	输入，模拟参考负极	ADC 负极参考电压， $V_{REF-} = V_{SSA}$

名称	信号类型	描述
V _{DDA}	输入, 模拟电源	模拟电源等效于V _{DD} 且: 1.8V≤V _{DDA} ≤V _{DD} (3.6V)
V _{SSA}	输入, 模拟电源地	模拟电源地等效于V _{SS}
ADCx_IN	模拟输入信号	外部通道

注意:

1. V_{DDA} 和 V_{SSA} 应该分别连接到 V_{DD} 和 V_{SS}。
2. 如果有 V_{REF-} 引脚 (取决于封装), 必须和 V_{SSA} 相连接。
3. 如果没有 V_{REF+} 引脚 (取决于封装), 尽量保证 V_{DDA} 和 V_{DD} 的电压值一致, 否则会影响 ADC 精度。
4. 具体外部通道请参考数据手册引脚复用表。

9.3.1 ADC 时钟

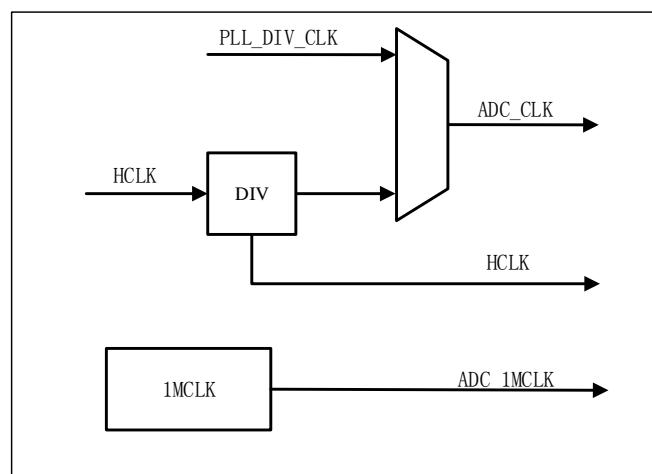
ADC 需要三个时钟, ADC_CLK, HCLK, ADC_1MCLK。

- HCLK 用于寄存器的访问时钟。
- ADC_CLK 为 ADC 的工作时钟, ADC_CLK 有两个源 (HCLK 的分频或 PLL 的分频), HCLK 分频与系统是同步时钟, PLL 的分频与系统是异步时钟, 用同步时钟的好处是在触发 ADC 响应触发时, 没有不确定性, 用 PLL 的分频时钟的好处是可以独立处理 ADC 的工作时钟, 不会影响到挂在 HCLK 的其他模块
- ADC_1MCLK 用于内部计时功能, 在 RCC 中配置, 频率大小必须配置成 1MHz

注意

1. 配置 PLL 作为时钟源时, 最高可到 72M, 支持分频 1,2,4,6,8,10,12,16,32,64,128,256。
2. 配置 AHB_CLK 分频作为工作时钟最高可到 72M, 支持分频 1,2,4,6,8,10,12,16,32。
3. 切换 ADC_1M 时钟源时, 需要保证 HSI 时钟开启。

图 9-2 ADC 时钟



9.3.2 ADC 开关控制

只有在上电过程完成后，您才能进行下一步。您可以通过轮询 ADC_CTRL3.RDY 来检查上电是否完成。

您可以设置 ADC_CTRL2.ON 来打开 ADC。第一次设置 ADC_CTRL2.ON 时，它将 ADC 从断电状态唤醒。在 ADC 的上电延迟(tSTAB)之后，当 ADC_CTRL2.ON 再次置位时，转换开始。

可以通过清除 ADC_CTRL2.ON 将 ADC 置于断电模式来停止转换。在这种模式下，ADC 几乎不消耗功率（仅几 μ A）。可以通过轮询 ADC_CTRL3.PDRDY 来检查掉电情况。

在 ADC Disable 的时候默认都是 PowerDown 模式，这个模式下只要不断电，不需要重新校正，校正值会在 ADC 自动保持。为了进一步的降低功耗，ADC 有设计一个深睡眠模式。会在 ADC Disable 进入深睡眠模式，ADC 内部的校正值会丢失，需要重新校正。深睡眠模式可以省大概 0.2 μ A 的功耗。

注意：当在双 ADC 模式时，最好双 ADC 都选同一种睡眠模式。控制 ADC 深睡眠模式的寄存器 ADC_CTRL3.DPWMOD。

9.3.3 通道选择

每个通道可以配置为规则序列和注入序列。

注入序列由多次转换组成，最多 4 次。ADC_JSEQ 寄存器指定注入通道和注入通道的转换顺序。ADC_JSEQ.JLEN[1:0]指定注入序列长度。

规则序列由多次转换组成，最多 16 次。ADC_RSEQx 寄存器指定规则通道和规则通道的转换顺序。ADC_RSEQ1.LEN[3:0]指定规则通道序列长度。

注意：在转换期间，禁止更改 ADC_RSEQx 或 ADC_JSEQ 寄存器；ADC_RSEQx 或 ADC_JSEQ 寄存器只能在 ADC 空闲时更改。

图 9-3 ADC1 和 ADC2 通道引脚连接

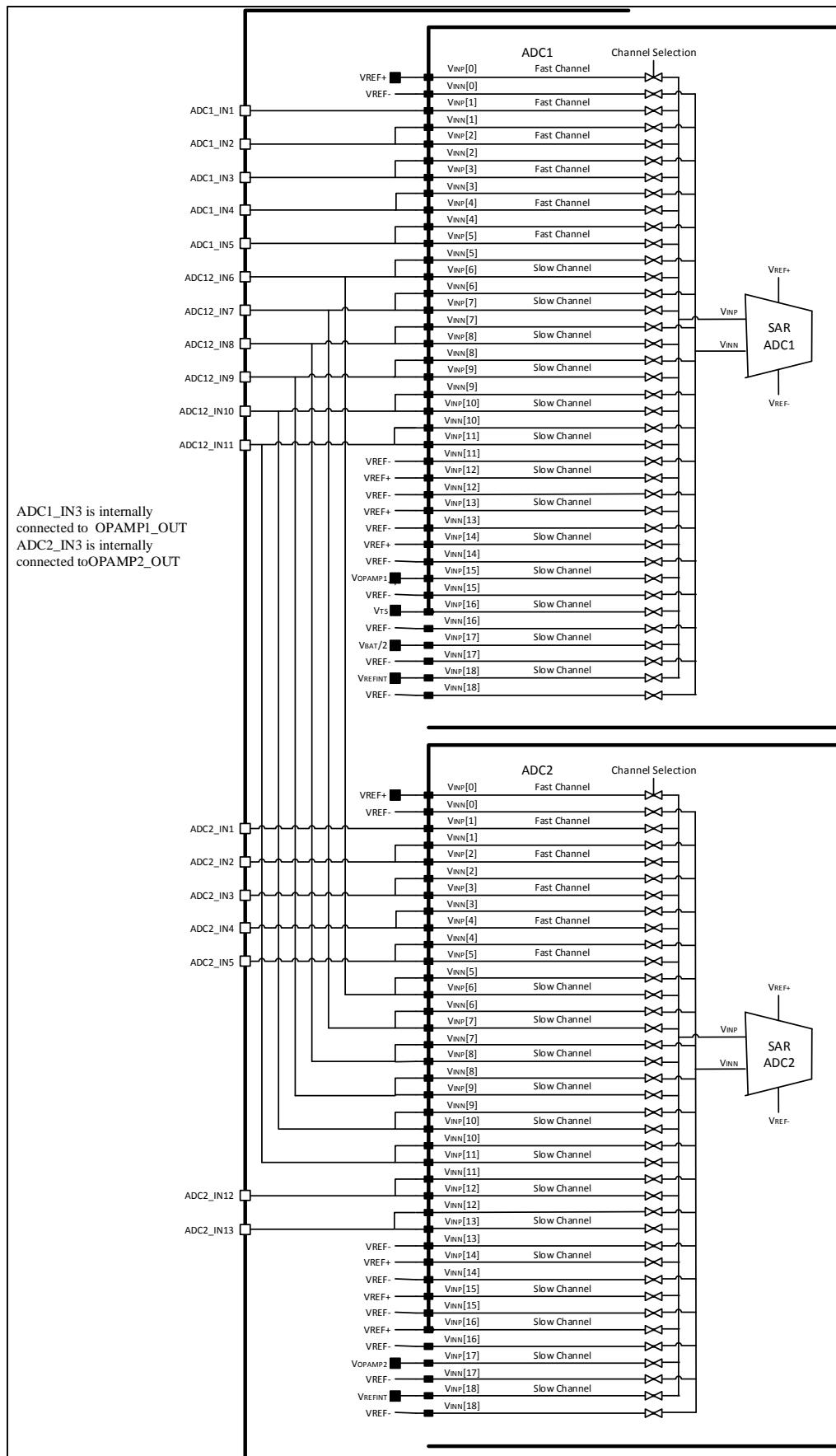
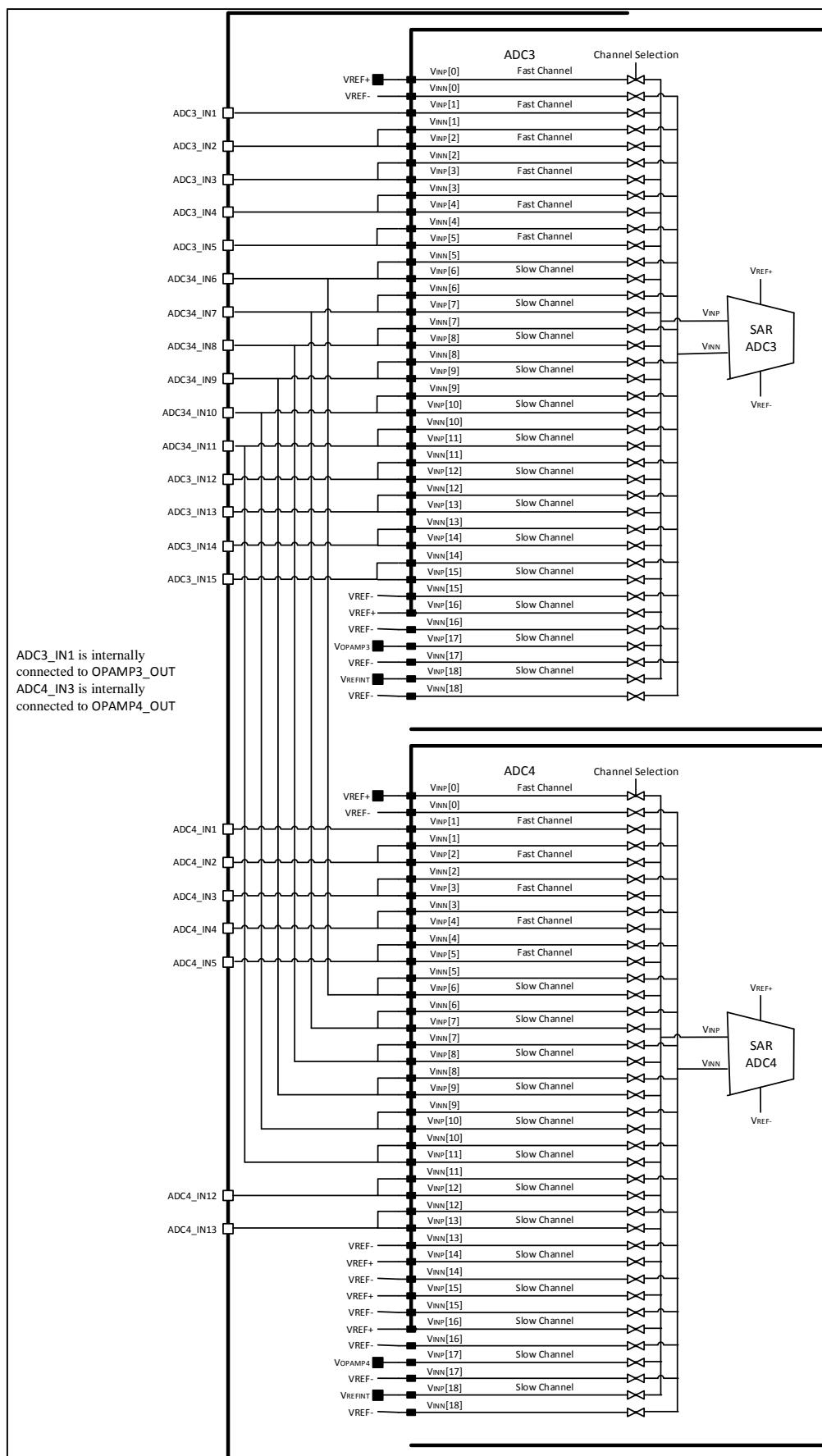


图 9-4 ADC3 和 ADC4 通道引脚连接



9.3.4 内部通道

- 温度传感器连接到通道 ADC1_IN16
- $V_{BAT}/2$ 连接到通道 ADC1_IN17
- 内部参照电压 V_{REFINT} 连接到通道 ADCx_IN18
- $V_{OPIOOUT}$ 输出连接到通道 ADC1_IN3
- V_{OP2OUT} 输出连接到通道 ADC2_IN3
- V_{OP3OUT} 输出连接到通道 ADC3_IN1
- V_{OP4OUT} 输出连接到通道 ADC4_IN3

ADC 内部通道可以按规则或者注入通道的方式进行转换。

注意：温度传感器， $V_{BAT}/2$ 只能在主 ADC1 中使用。

9.3.5 单次转换模式

ADC 可以通过配置 ADC_CTRL2.CTU 为 0 进入单次转换模式。在该模式下，外部触发（适用于规则或注入通道）或设置 ADC_CTRL2.ON=1（仅适用于规则通道）可以启动 ADC 启动转换，ADC 只进行一次转换。

转换开始后，当一个注入通道转换完成时，注入通道转换结束标志（ADC_STS.JENDC）将被设置为 1。如果注入通道转换结束中断使能（ADC_CTRL1.JENDCIEN）位被设置为 1，一个中断将生成，转换后的数据将存储在 ADC_JDATx 寄存器中。

转换开始后，当一个规则通道转换完成时，规则通道转换结束标志（ADC_STS.ENDC）将被置 1。如果规则通道转换结束中断使能（ADC_CTRL1.ENDCIEN）位被置 1，则一个中断将生成，转换后的数据将存储在 ADC_DAT 寄存器中。

单次转换后，ADC 停止。

9.3.6 连续转换模式

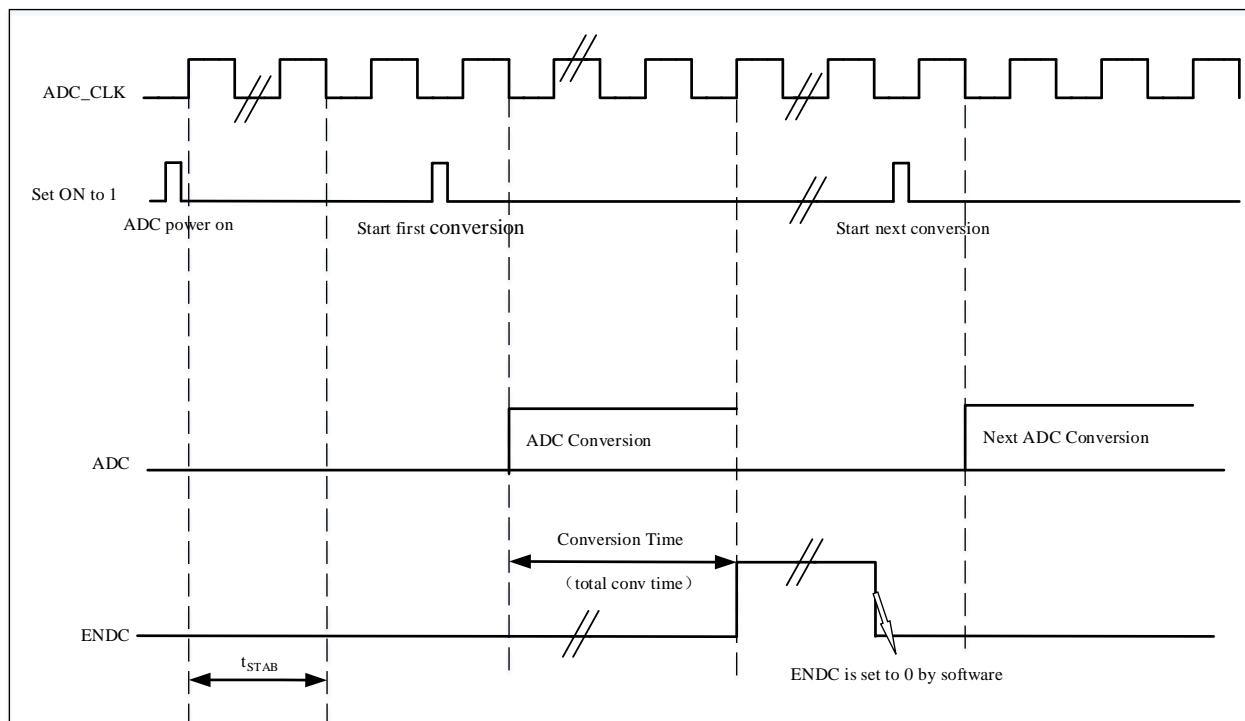
ADC 可以通过配置 ADC_CTRL2.CTU 为 1 进入连续转换模式。在该模式下，外部触发或设置 ADC_CTRL2.ON 为 1 可以启动 ADC 开始转换，ADC 会持续转换选择的通道。连续模式仅对规则通道有效，对注入通道无效。

转换开始后，当规则通道转换完成时，规则通道转换结束标志位（ADC_STS.ENDC）将设置为 1。如果规则通道转换结束中断位使能（ADC_CTRL1.ENDCIEN）设置为 1，将产生一个中断。转换后的数据将存储在 ADC_DAT 寄存器中

9.3.7 时序图

ADC_CTRL2.ON 首次设置为 1 时，ADC 上电。ADC 上电后，ADC 需要时间 t_{STAB} 来保证其稳定性。ADC 稳定后，再次对 ADC_CTRL2.ON 写 1，ADC 开始转换，转换结束标志位将在转换完成后设置为 1。

图 9-5 时序图



9.3.8 模拟看门狗

可以通过设置 **ADC_CTRL1.AWDGERCH** 为 1 在规则通道上打开模拟看门狗，也可以通过将 **ADC_CTRL1.AWDGEJCH** 设置为 1 在注入通道上启用模拟看门狗。可以通过配置 **ADC_WDGHIGH.HTH** 设置模拟看门狗的高阈值，模拟看门狗的低阈值可以通过 **ADC_WDGLOW.LTH** 来设置。模拟看门狗的阈值与数据对齐的方式无关，因为 ADC 的转换值与阈值的比较是在对齐之前完成。当 ADC 转换的值高于模拟看门狗的高阈值或低于模拟看门狗的低阈值时，如果 **ADC_CTRL1.AWDGIEN** 已配置，则模拟看门狗标志 (**ADC_STS.AWDG**) 将被置为 1，此时会产生中断。通过配置 **ADC_CTRL1.AWDGSGLEN** 和 **ADC_CTRL1.AWDGCH[4:0]**，可以控制模拟看门狗作用于一个或多个通道。

表 9-2 模拟看门狗开启的通道

模拟看门狗开启的通道	ADC_CTRL1寄存器控制位		
	AWDGSGLEN	AWDGERCH	AWDGEJCH
无	任意值	0	0
所有注入通道	0	0	1
所有规则通道	0	1	0
所有注入和规则通道	0	1	1
单一的注入通道	1	0	1
单一的规则通道	1	1	0
单一的注入或规则通道	1	1	1

9.3.9 扫描模式

通过配置 **ADC_CTRL1.SCAMD** 为 1 可以开启扫描转换模式，通过配置四个寄存器 **ADC_RSEQ1**、

ADC_RSEQ2、ADC_RSEQ3、ADC_JSEQ 可以选择转换通道序列，ADC 会对所有选择的规则或注入通道进行扫描转换。转换开始后，通道将一个一个转换。如果此时 ADC_CTRL2.CTU 为 1，则在所有选中的规则通道的转换完成后，将从转换序列的第一个通道重新开始转换。注入通道不支持连续转换。DMA 功能可以通过设置 ADC_CTRL2.ENDMA 为 1 来开启，DMA 会在规则通道转换完成后将数据传输到 SRAM 中。注入通道转换的数据总是存储在 ADC_JDATx 寄存器中。

注意：双ADC 模式时，ADC2 的规则通道上 DMA 功能需要通过 ADC1 的 DMA 来完成，ADC4 的规则通道上 DMA 功能需要通过 ADC3 的 DMA 来完成

9.3.10 注入通道管理

9.3.10.1 自动注入

如果设置了 ADC_CTRL1.AUTOJC 位，则 ADC_JSEQ 选择的注入通道将在 ADC_RSEQx 选中的规则通道转换完成后自动转换，最多可以转换 16+4 个通道。设置 ADC_CTRL2.CTU 转换序列将被连续转换。

开启该功能时，需要关闭注入通道的外部触发。

此功能不能与间断模式同时使用。

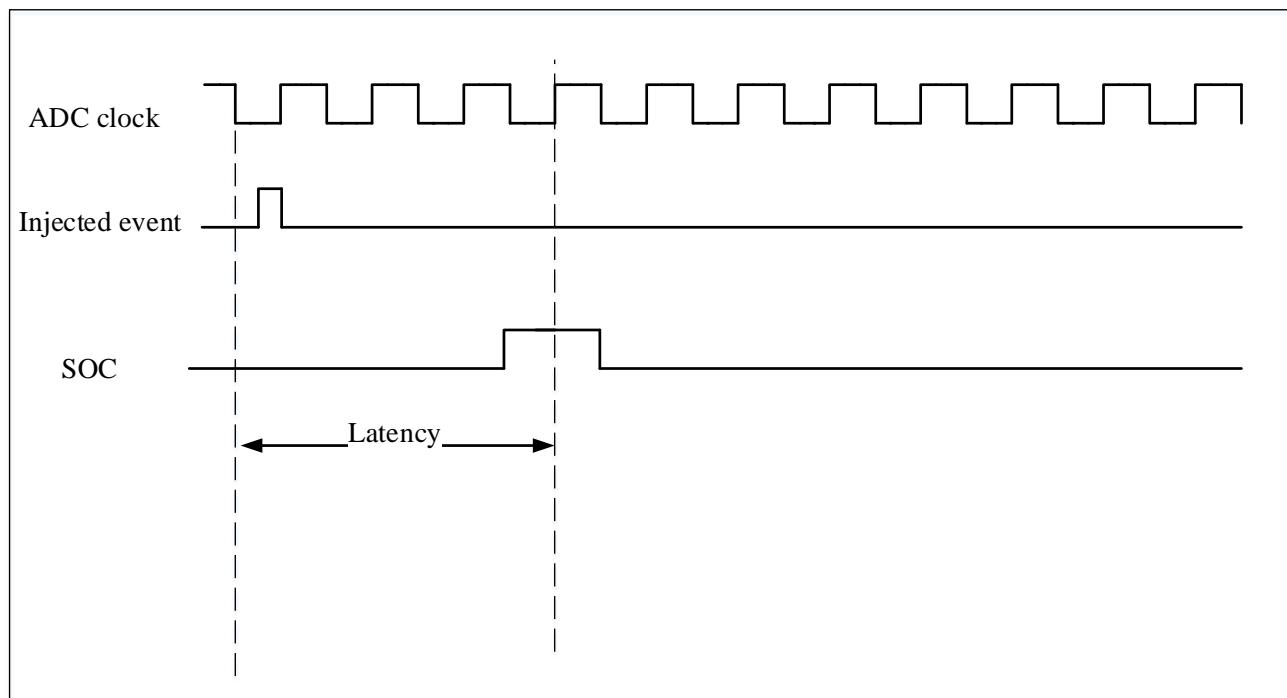
当 ADC 时钟预分频因子为 2 时，当转换序列从规则变为注入或注入变为规则时，会有 2 个 ADC 时钟间隔的延迟。当 ADC 时钟预分频因子为 4 到 8 时，当转换序列从规则变为注入或注入变为规则时，会有 1 个 ADC 时钟间隔的延迟。

9.3.10.2 触发注入

将 ADC_CTRL1.AUTOJC 设置为 0 并将 ADC_CTRL1.SCAMD 设置为 1 以开启触发注入功能。在此功能中，通过设置 ADC_CTRL2.ON 或通过外部触发连续转换的规则通道。规则通道转换时，如果产生外部注入触发，则暂停当前转换，注入序列通道开始转换。当注入序列通道转换完成后，将恢复中断的规则序列通道转换。如果在注入转换过程中产生了规则事件，则规则序列通道将在注入序列通道转换完成后开始转换。

使用此功能时，注入通道触发的时间间隔需要大于注入序列完成转换所需的时间。

图 9-6 注入转换延时



注意：最大延迟数值请参考数据手册中有关电气特性部分。

9.3.11 间断模式

9.3.11.1 规则通道

配置 ADC_CTRL1.DREGCH 为 1，开启规则通道的间断模式，通过配置 ADC_RSEQ1、ADC_RSEQ2、ADC_RSEQ3 获取规则转换序列，配置 ADC_CTRL1.DCTU[2:0]控制每次触发后转换 n 个通道。

当触发信号产生时，对规则序列的 n 个通道进行转换然后停止，直到下一个触发信号产生，从上一次转换停止的地方开始继续转换 n 个通道，直到规则序列的所有通道被转换（如果最后一个触发发生并且转换序列中的剩余通道小于 n，则只转换剩余未转换的通道并停止转换），并且转换结束标志位也将被设置为 1。当转换序列中所有通道的转换完成后，下一个触发信号出现时，再次从规则序列的第一个通道开始转换。

9.3.11.2 注入通道

配置 ADC_CTRL1.DJCH 为 1，开启注入通道的间断模式，通过配置 ADC_JSEQ 获取注入转换序列。

当触发信号产生时，它将转换注入转换序列的 1 个通道，然后停止。直到下一个触发信号产生，它会从上一次转换停止的通道处继续转换 1 个通道，直到注入序列的所有通道都被转换，并且转换结束标志位也将被设置为 1。当转换序列中所有通道的转换完成后，下一个触发信号出现时，再次从注入序列的第一个通道开始转换。

同时间只能设置规则转换和注入转换其中一种为间断模式，不能同时设置自动注入模式和间断模式。

9.4 校准

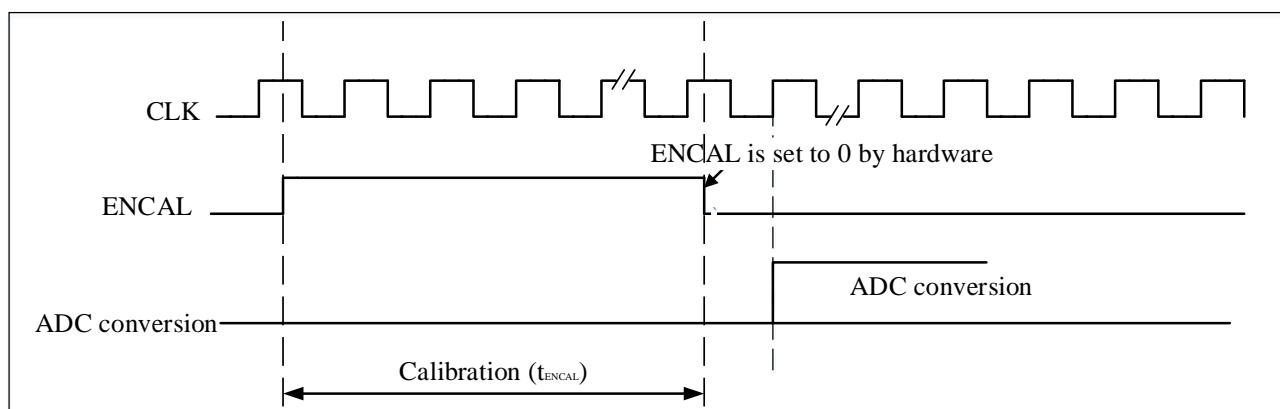
为了减少误差，ADC 具有内置的自校准机制。在 A/D 转换之前，计算每个电容器的误差修正值。该值用于消除转换期间内部电容器组引起的误差。将 ADC_CTRL2.ENCAL 位设置为 1 以启动自校准。在校准过程

中, ADC_CTRL2.ENCAL 位保持为 1。校准后, ADC_CTRL2.ENCAL 位由硬件清零, 然后可以开始 A/D 转换。

注意:

1. 建议每次上电后进行校准。如果ADC 已经转换并处于连续转换模式, 则无法完成校准操作。
2. 默认为单端校正, 需要进行双端自动校正, 必须设置 ADC_CTRL3.CALDIF 为 1。然后将 ADC_CTRL2.ENCAL 位写入 1, 等待校正完成 (ADC_CTRL2.ENCAL 位清 0 修正后自动)

图 9-7 校准时序图



9.5 数据对齐

转换后的数据有两种对齐方式: 左对齐和右对齐。对齐可以通过 ADC_CTRL2.ALIG 位设置。ADC_CTRL2.ALIG=0 为右对齐, 如表 9-3 所示, ADC_CTRL2.ALIG=1 为左对齐, 如表 9-4 所示。

对于注入序列, SYM 位是扩展的符号值, 寄存器中存储的数据是转换结果减去 ADC_JOFFSETx 寄存器中用户定义的偏移量, 所以结果可以是负值; 对于规则序列, 不需要减去偏移值。

表 9-3 数据右对齐

注入序列

SYM	SYM	SYM	SYM	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
-----	-----	-----	-----	-----	-----	----	----	----	----	----	----	----	----	----	----

规则序列

0	0	0	0	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
---	---	---	---	-----	-----	----	----	----	----	----	----	----	----	----	----

表 9-4 数据左对齐

注入序列

SYM	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	0	0	0
-----	-----	-----	----	----	----	----	----	----	----	----	----	----	---	---	---

规则序列

D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	0	0	0	0
-----	-----	----	----	----	----	----	----	----	----	----	----	---	---	---	---

注意: 转换位数为 10、8、6 位时参考转换位数为 12 位的对齐方式

9.6 可编程的通道采样时间

ADC 使用若干个 ADC_CLK 周期对输入电压采样，采样周期数目可以通过 ADC_SAMPTx.SAMPx[2:0]更改。每个通道可以分别用不同的时间采样。总转换时间如下计算：

$$T_{CONV} = \text{采样时间} + 12.5 \text{ 个周期}$$

例如：

当 ADCCLK=72MHz, 采样时间为 1.5 周期

$$T_{CONV} = 1.5 + 12.5 = 14 \text{ 周期} = 0.1944\mu\text{s}$$

9.7 外部触发转换

对于规则序列，软件将 ADC_CTRL2.EXTRTRIG 位设置为 1，则规则通道可以使用外部事件的上升沿触发启动转换，然后软件通过配置 ADC_CTRL2.EXTRSEL[2:0]来选择规则序列的外部触发源。外部触发源选择如下表所示。如果选择 EXTI_line11 或 TIM8_TRGO 作为外部触发源，可以通过设置 AFIO_RMP_CFG.ADC1_ETRR 或 AFIO_RMP_CFG.ADC2_ETRR 位来实现；如果选择 EXTI_line10 或 TIM5_CC3 作为外部触发源，可以通过设置 AFIO_RMP_CFG4.ADC3_ETRR 或 AFIO_RMP_CFG4.ADC4_ETRR 位来实现；如果选择 SWSTRRCH 作为外部触发源，则可以通过将 ADC_CTRL2.SWSTRRCH 设置为 1 来启动规则通道转换。

表 9-5 ADC1 和 ADC2 的规则通道的外部触发

EXTRSEL[2:0]	触发源	触发类型
000	TIM1_CC1事件	来自片上定时器的内部信号
001	TIM1_CC2事件	
010	TIM1_CC3事件	
011	TIM2_CC2事件	
100	TIM3_TRGO事件	
101	TIM4_CC4事件	
110	EXTI line11/TIM8_TRGO事件	外部引脚/来自片上定时器的内部信号
111	SWSTRRCH	软件控制位

表 9-6 ADC3 和 ADC4 的规则通道的外部触发

EXTRSEL [2:0]	触发源	触发类型
000	TIM3_CC1事件	来自片上定时器的内部信号
001	TIM2_CC3事件	
010	TIM1_CC3事件	
011	TIM8_CC1事件	
100	TIM8_TRGO事件	
101	TIM5_CC1事件	
110	EXTI line10/TIM5_CC3事件	
111	SWSTRRCH	软件控制位

对于注入序列，软件将 ADC_CTRL2.EXTJTRIG 位设置为 1，则注入通道可以使用外部事件的上升沿触发启动转换，软件将通过配置 ADC_CTRL2.EXTJSEL[2:0]选择注入序列的外部触发源。外部触发源选择如下表

所示。如果选择 EXTI_line15 或 TIM8_CC4 作为外部触发源，可以设置 AFIO_RMP_CFG.ADC1_ETRI 或 AFIO_RMP_CFG.ADC2_ETRI 位来实现；如果选择 EXTI_line14 或 TIM5_CC4 作为外部触发源，可以设置 AFIO_RMP_CFG4.ADC3_ETRI 或 AFIO_RMP_CFG4.ADC4_ETRI 位来实现；如果选择 SWSTRJCH 作为外部触发源，则可以通过将 ADC_CTRL2.SWSTRJCH 设置为 1 来启动注入通道转换。

表 9-7 ADC1 和 ADC2 的注入通道的外部触发

EXTJSEL[2:0]	触发源	触发类型
000	TIM1_TRGO事件	来自片上定时器的内部信号
001	TIM1_CC4事件	
010	TIM2_TRGO事件	
011	TIM2_CC1事件	
100	TIM3_CC4事件	
101	TIM4_TRGO事件	
110	EXTI line15/TIM8_CC4事件	外部引脚/来自片上定时器的内部信号
111	SWSTRJCH	软件控制位

表 9-8 ADC3 和 ADC4 用于注入通道的外部触发

EXTJSEL[2:0]	触发源	触发类型
000	TIM1_TRGO事件	来自片上定时器的内部信号
001	TIM1_CC4事件	
010	TIM4_CC3事件	
011	TIM8_CC2事件	
100	TIM8_CC4事件	
101	TIM5_TRGO事件	
110	EXTI line14/TIM5_CC4事件	外部引脚/来自片上定时器的内部信号
111	SWSTRJCH	软件控制位

注意：注入触发可以打断规则转换。

9.8 DMA 请求

为避免多个规则通道转换时数据过多，导致 ADC_DAT 寄存器中保存的规则通道转换结果丢失，可以将 ADC_CTRL2.ENDMA 位设置为 1，以此使用 DMA。当 ADC 规则通道转换结束时，会产生一个 DMA 请求。DMA 收到请求后，会将转换后的数据从 ADC_DAT 寄存器传送到用户指定的目标地址。

注意：独立 ADC 模式时，ADC1, ADC2, ADC3, ADC4 拥有 DMA 功能。双 ADC 模式时，由 ADC2 转化的数据在 ADC1 的数据寄存器中，由 ADC4 转化的数据在 ADC3 的数据寄存器中。

9.9 ADC 模式

ADC1（主）和 ADC2（从），ADC3（主）和 ADC4（从）可以组成双 ADC 模式。

可以通过配置 ADC_CTRL1.DUSEL[3:0] 选择 ADC 工作的模式，可以配置为独立模式或者双 ADC 模式，ADC 模式可配置为以下几种工作方式：

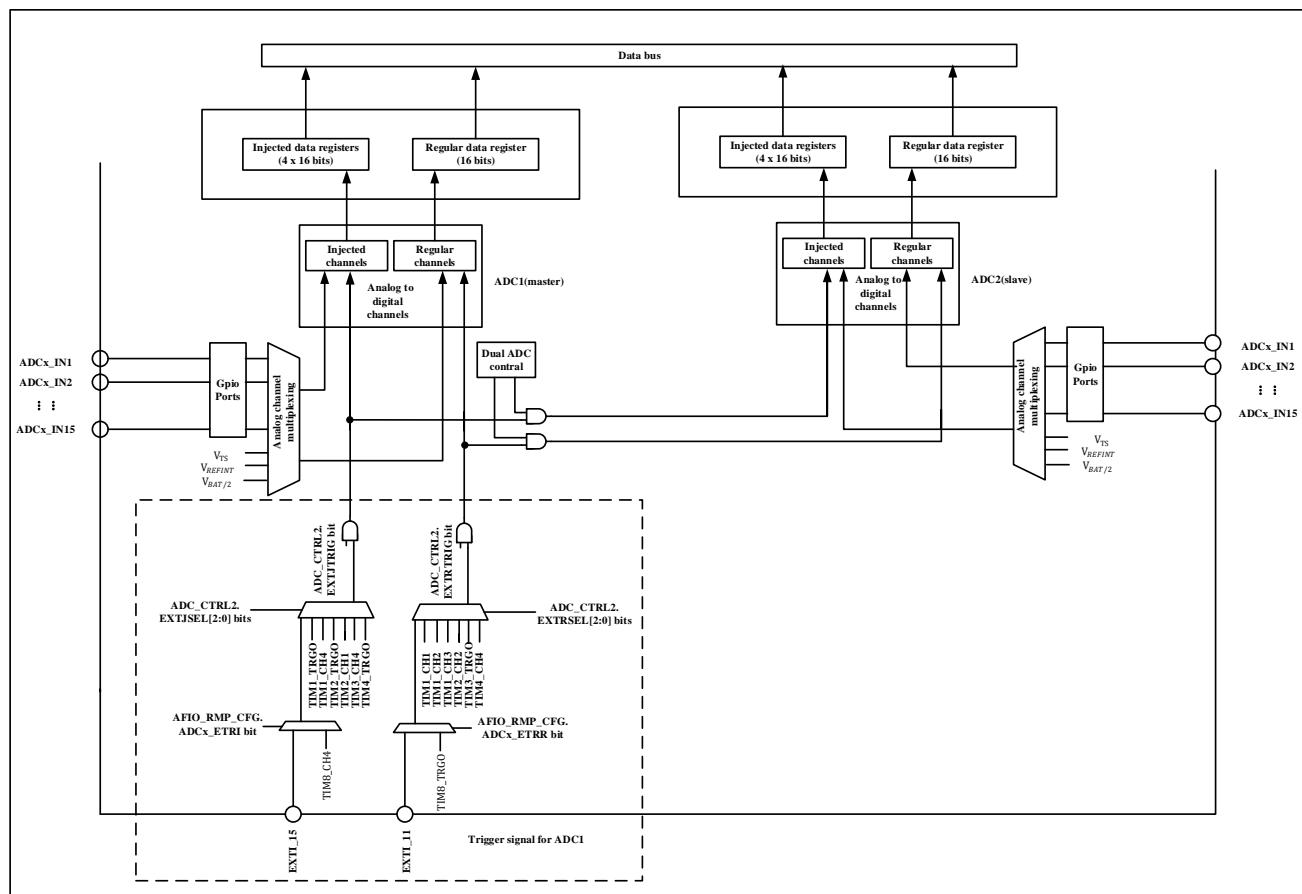
- 独立模式
- 同步注入模式

- 同步规则模式
- 快速交叉模式
- 慢速交叉模式
- 交替触发模式
- 同步注入模式 + 同步规则模式
- 同步规则模式 + 交替触发模式
- 同步注入模式 + 交叉模式

注意：

1. 当配置双ADC模式时，如果需要外部事件触发，需要配置主ADC外部事件触发，从ADC软件触发，主ADC和从ADC外部触发需同时使能，这样可以避免从ADC错误的触发转换。
2. 在双ADC模式工作时，即使不使用DMA传输数据，也需要将DMA使能，从ADC的转换数据可通过主ADC的数据寄存器读取。

图 9-8 双 ADC 框图



9.9.1 独立模式

此模式里，每个 ADC 都独立工作。

9.9.2 同步规则模式

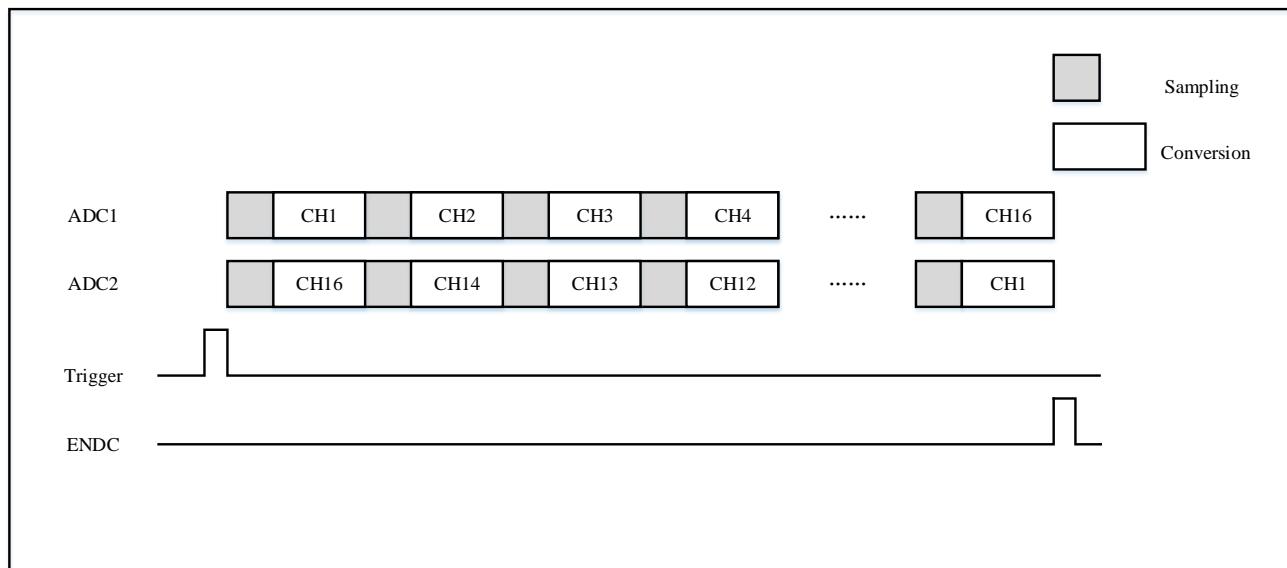
在此模式下转换一个规则序列，外部触发来源于 ADC1 的多路开关，由 ADC_CTRL2.EXTRSEL[2:0]决定，ADC2 会被同步触发。

如果 ADC1 或者 ADC2 置位了 ADC_CTRL1.ENDCIEN，当 ADC1 和 ADC2 的规则序列转换完毕时，会产生一个 ENDC 中断，转换的数据会被存储在 ADC_DAT 寄存器中，ADC_DAT 的高半字是 ADC2 的转换数据，ADC_DAT 的低半字是 ADC1 的转换数据，32 位的 DMA 可以用来将 ADC_DAT 的数据传送到 SRAM。

注意：

1. 不要在 2 个 ADC 上转换相同的通道（两个 ADC 在同一通道上的采样时间不能重叠）。
2. 在同步规则模式下，ADC1 和 ADC2 同步转换的规则序列需要设置为一样的时间，或者触发信号的间隔大于转换时间较长的序列。如果触发信号的间隔小于转换时间较长的序列，时间较长的序列未转换完毕时，较短的序列可能会重新开始转换。

图 9-9 16 个通道的同步规则模式转换示意图



9.9.3 同步注入模式

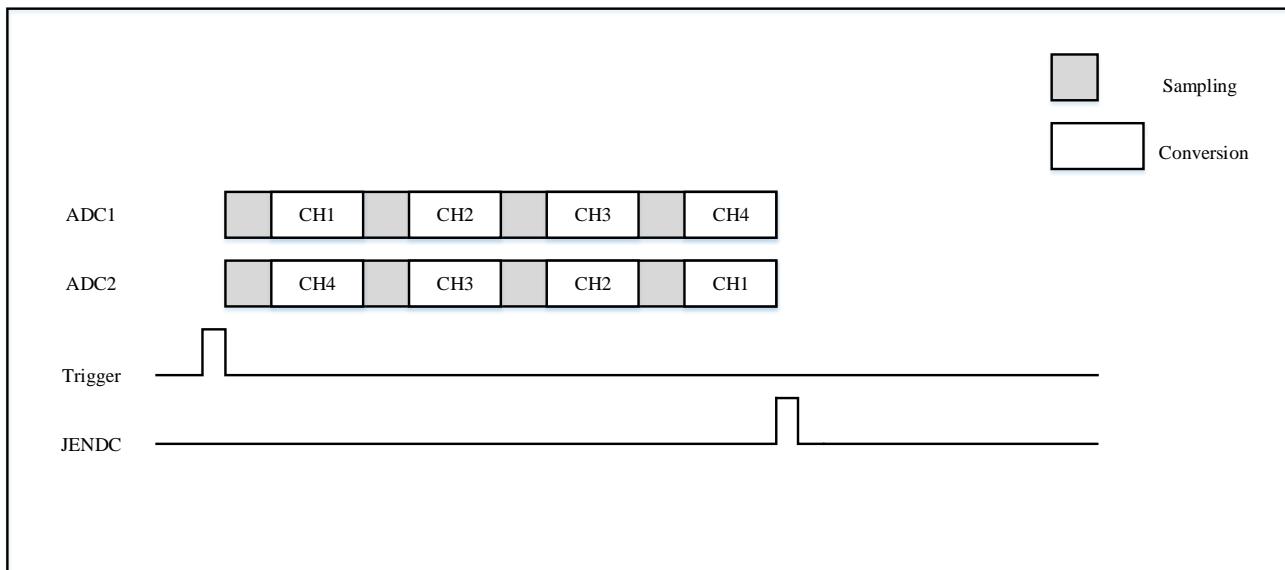
在此模式下转换一个注入序列，外部触发来源于 ADC1 的多路开关，由 ADC_CTRL2.EXTJSEL[2:0]决定，ADC2 会被同步触发。

如果 ADC1 或者 ADC2 置位了 ADC_CTRL1.JENDCIEN，当 ADC1 和 ADC2 的注入序列转换完毕时，会产生一个 JENDC 中断，转换的数据会被存储在各自的 ADC_JDATx 寄存器中。

注意：

1. 不要在 2 个 ADC 上转换相同的通道（两个 ADC 在同一通道上的采样时间不能重叠）。
2. 在同步注入模式下，ADC1 和 ADC2 同步转换的注入序列需要设置为一样的时间，或者触发信号的间隔大于转换时间较长的序列。如果触发信号的间隔小于转换时间较长的序列，时间较长的序列未转换完毕时，较短的序列可能会重新开始转换。

图 9-10 4 个通道的同步注入模式转换示意图



9.9.4 快速交叉模式

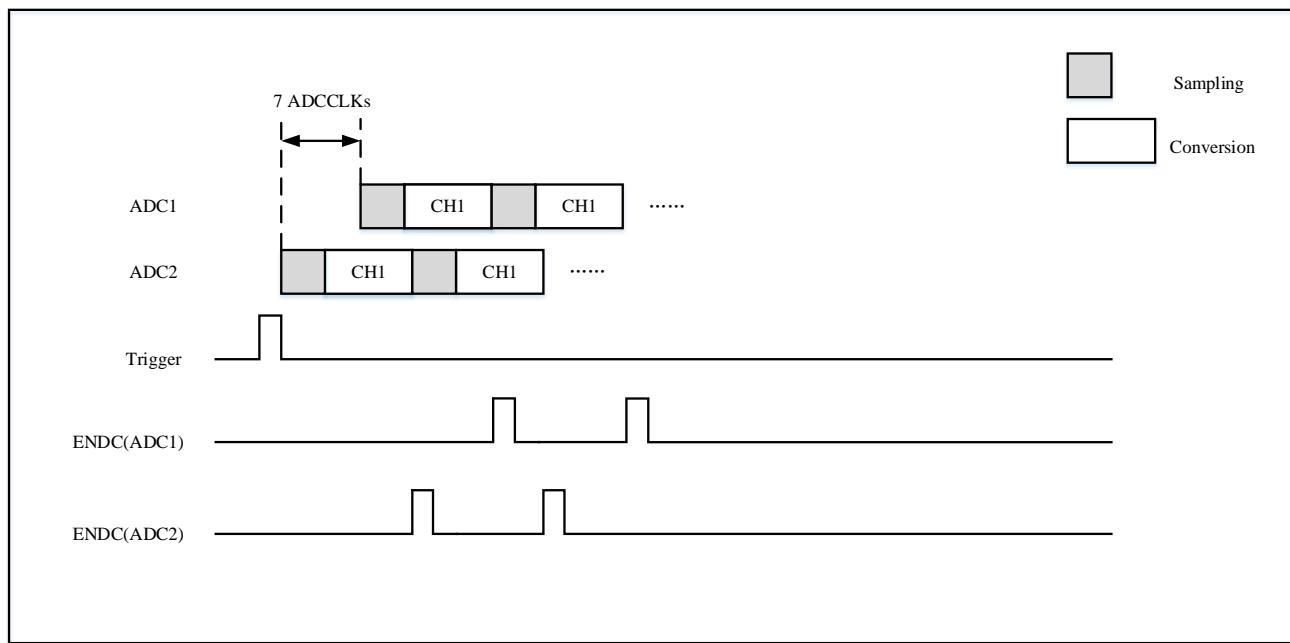
此模式适用于规则序列（通常为一个通道）。外部触发来源于 ADC1 的多路开关，由 ADC_CTRL2.EXTRSEL[2:0]决定。当触发产生时，ADC2 立即转换，ADC1 会在 7 个 ADC 时钟周期后开始转换。如果 ADC1 和 ADC2 的 ADC_CTRL2.CTU 被置位，那么被选中的规则序列会连续转换。

转换的数据会被存储在 ADC_DAT 寄存器中，ADC_DAT 的高半字是 ADC2 的转换数据，ADC_DAT 的低半字是 ADC1 的转换数据。如果 ADC1 或者 ADC2 置位了 ADC_CTRL1.ENDCIEN，当 ADC1 和 ADC2 的规则序列转换完毕时，会产生一个 ENDC 中断，此时如果 ADC_CTRL2.ENDDMA 被置位，可以产生一个 DMA 传输请求，ADC_DAT 的数据可以通过 DMA 传送到 SRAM。

注意：

1. 使用快速交叉模式时，需保证没有注入通道被外部触发。
2. 采样时间必须小于 7 个 ADC 时钟周期，避免 ADC1 和 ADC2 转换相同通道时出现采样周期重叠。

图 9-11 1 个通道的连续转换的快速交叉模式转换示意图



9.9.5 慢速交叉模式

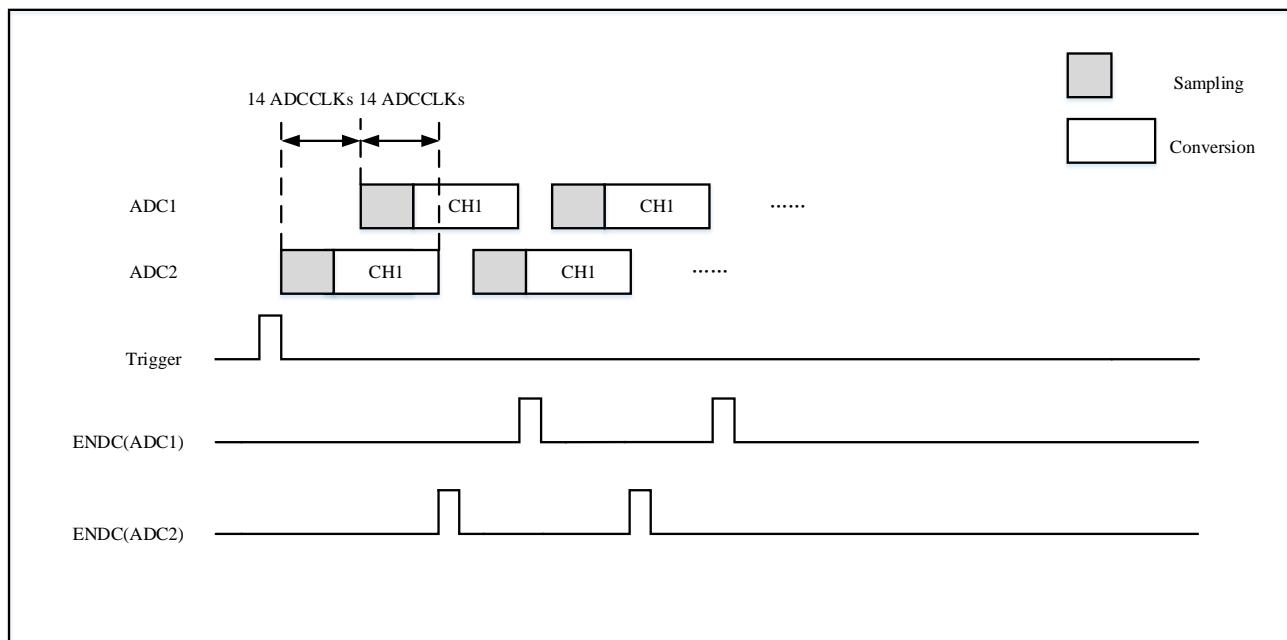
此模式适用于规则序列（通常为一个通道）。外部触发来源于 ADC1 的多路开关，由 ADC_CTRL2.EXTRSEL[2:0]决定。当触发产生时，ADC2 立即转换，14 个 ADC 时钟周期后 ADC1 开始转换，14 个 ADC 时钟周期后 ADC2 再次开始转换，依此循环。该模式会自动连续转换规则序列，不需要置位 ADC_CTRL2.CTU。

转换的数据会被存储在 ADC_DAT 寄存器中，ADC_DAT 的高半字是 ADC1 的转换数据，ADC_DAT 的低半字是 ADC2 的转换数据，如果 ADC1 或者 ADC2 置位了 ADC_CTRL1.ENDCIEN，当 ADC1 和 ADC2 的规则序列转换完毕时，会产生一个 ENDC 中断，此时如果 ADC_CTRL2.ENDMA 被置位，可以产生一个 DMA 传输请求，ADC_DAT 的数据可以通过 DMA 传送到 SRAM。

注意：

1. 使用慢速交叉模式时，需保证没有注入通道被外部触发。
2. 采样时间必须小于 14 个 ADC 时钟周期，避免 ADC1 和 ADC2 转换相同通道时出现采样周期重叠。

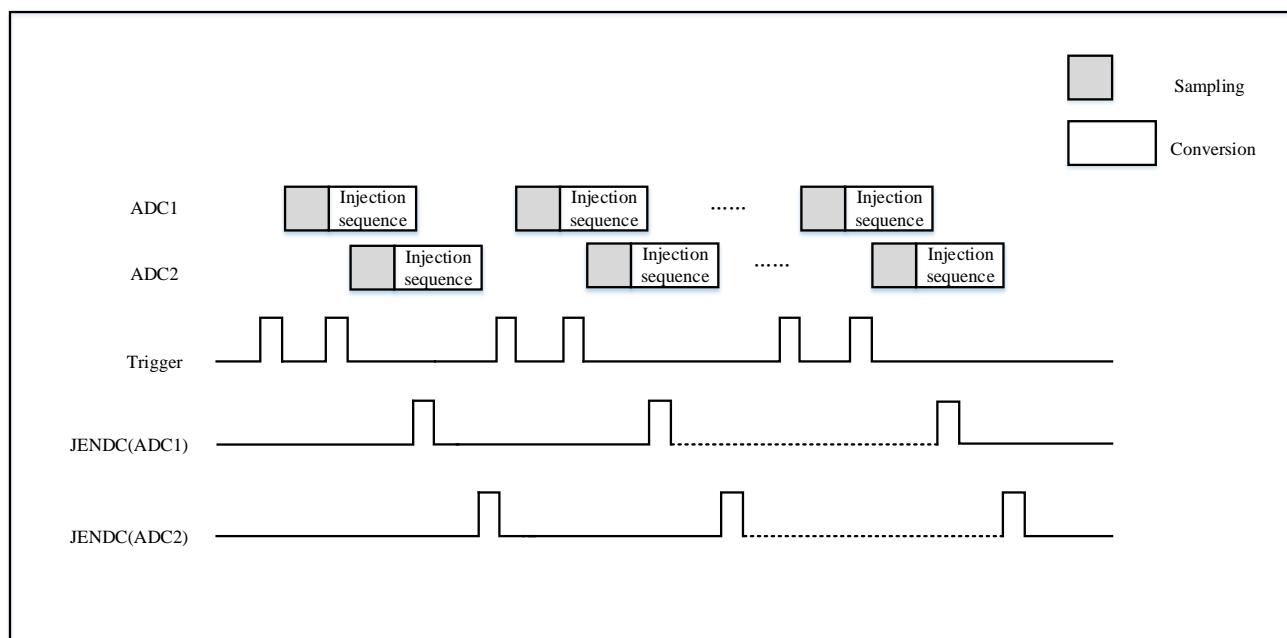
图 9-12 1 个通道的慢速交叉模式转换示意图



9.9.6 交替触发模式

此模式适用于注入序列。外部触发来源于 ADC1 的多路开关，由 ADC_CTRL2.EXTJSEL[2:0]决定。当第一次触发产生，ADC1 所有的注入通道被转换，当第二次触发产生，ADC2 所有的注入通道被转换，依此循环。如果 ADC1 或者 ADC2 置位了 ADC_CTRL1.JENDCIEN，当 ADC1 或 ADC2 的注入序列转换完毕时，会产生一个 JENDC 中断。当所有注入序列都转换完后，另一个外部触发产生，那么交替触发会重新开始。

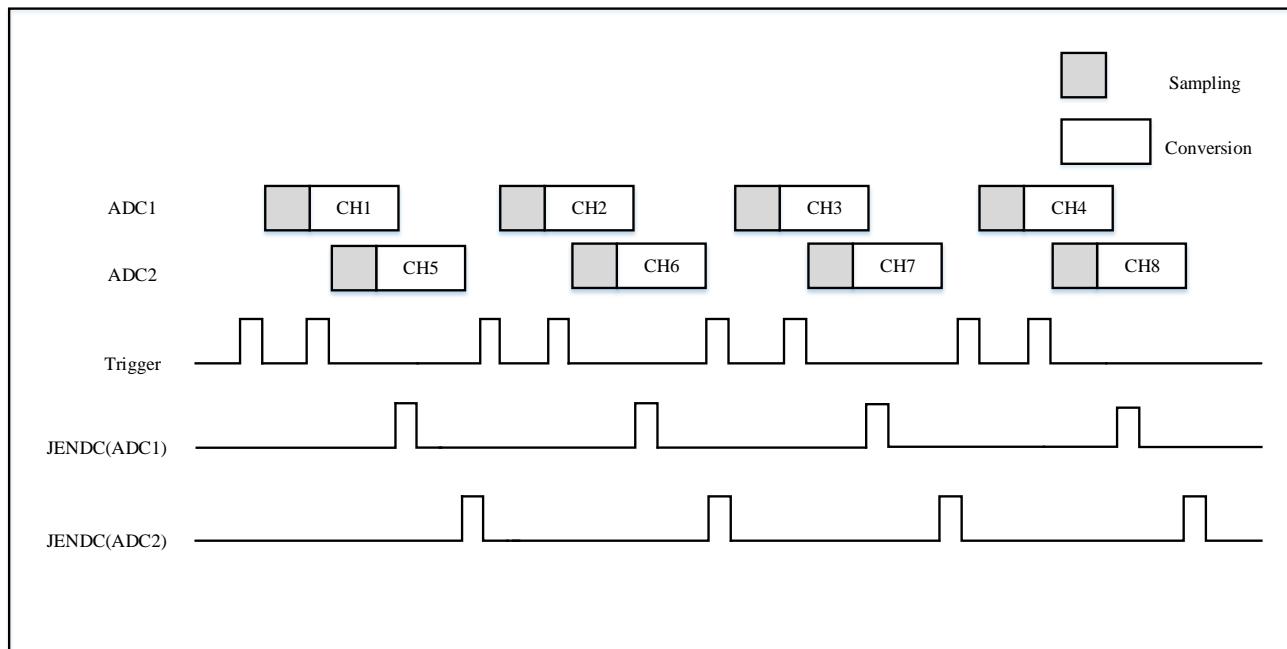
图 9-13 交替触发：注入通道组



如果 ADC1 和 ADC2 上同时使用了注入间断模式，当第一次触发产生，ADC1 的第一组注入通道被转换，

当第二次触发产生, ADC2 的第一组注入通道被转换, 当第三次触发产生, ADC1 的第二组注入通道被转换, 当第四次触发产生, ADC2 的第二组注入通道被转换, 依此循环。如果 ADC1 或者 ADC2 置位了 ADC_CTRL1.JENDCIEN, 当 ADC1 或 ADC2 的注入序列转换完毕时, 会产生一个 JENDC 中断。当所有注入序列都转换完后, 另一个外部触发产生, 那么交替触发会重新开始。

图 9-14 交替触发: 在间断模式下注入通道组



9.9.7 混合的规则+注入同步模式

在此模式下, 同步注入通道的转换可以打断同步规则通道的转换。

注意: 在此模式下, ADC1 和 ADC2 同步转换的序列需要设置为一样的时间, 或者触发信号的间隔大于转换时间较长的序列。如果触发信号的间隔小于转换时间较长的序列, 时间较长的序列未转换完毕时, 较短的序列可能会重新开始转换。

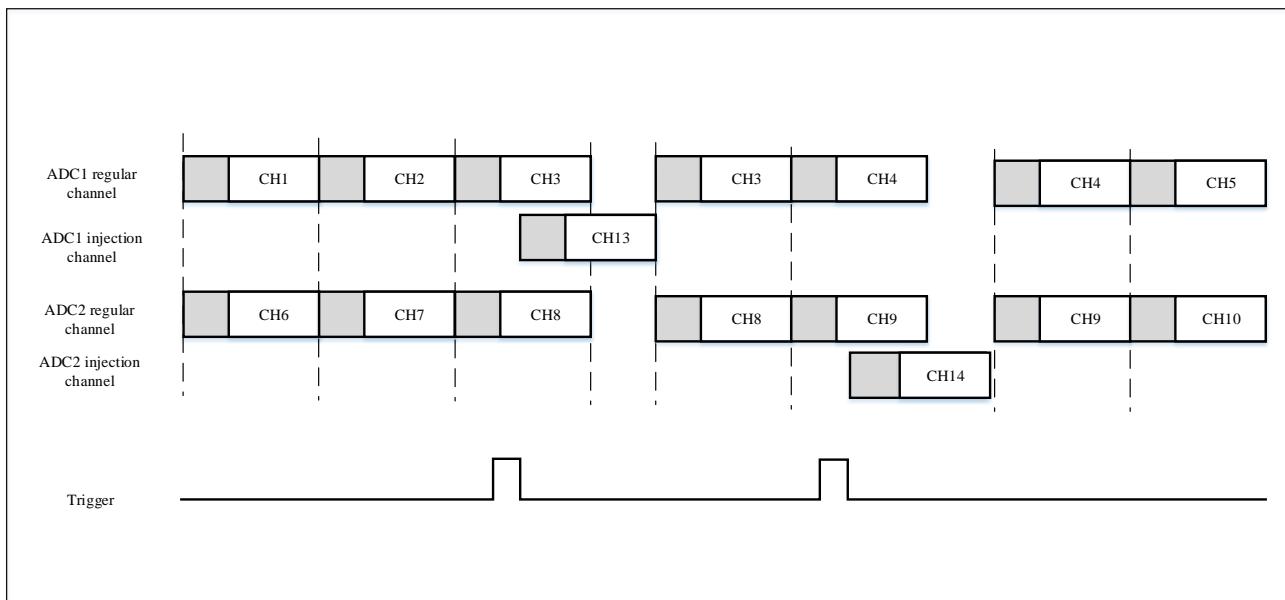
9.9.8 混合的同步规则+交替触发模式

注入通道的交替触发转换可以打断同步规则通道的转换。

当注入通道事件出现时, 注入交替转换立刻启动。如果规则转换正在进行, 主 ADC 和从 ADC 的规则转换都会停止, 以保证规则转换在注入转换完成后可以同步恢复。

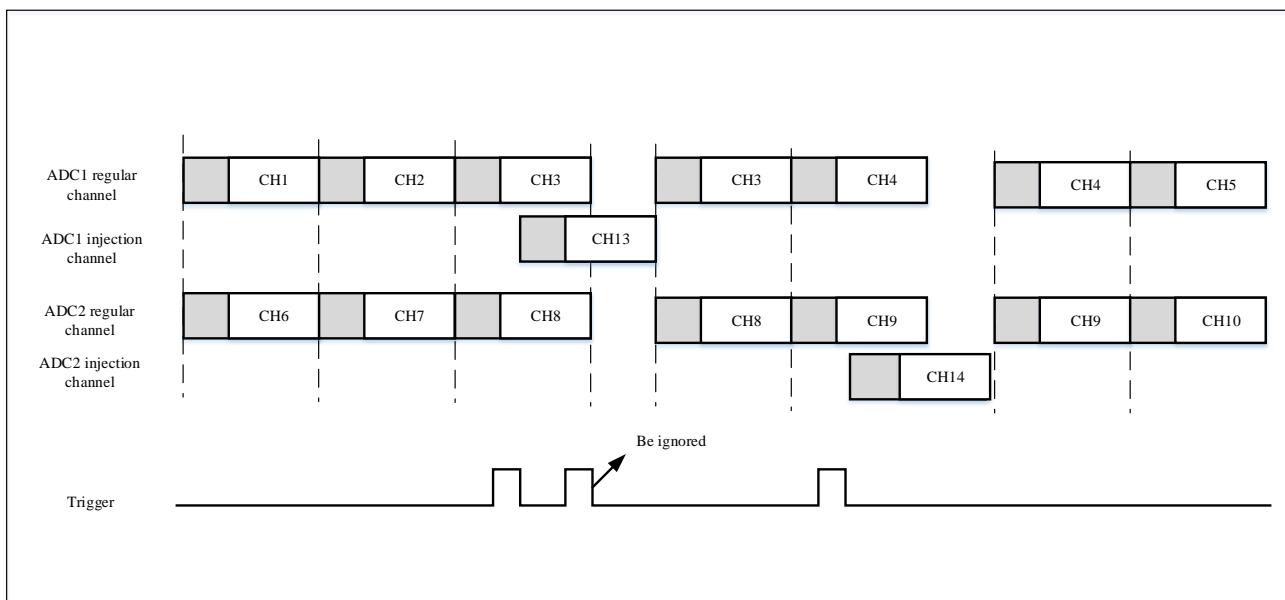
注意: 在此模式下, ADC1 和 ADC2 同步转换的序列需要设置为一样的时间, 或者触发信号的间隔大于转换时间较长的序列。如果触发信号的间隔小于转换时间较长的序列, 时间较长的序列未转换完毕时, 较短的序列可能会重新开始转换。

图 9-15 交替模式和规则同步模式组合



如果在注入转换期间产生了另一个注入触发，这个触发将被忽略。如下图所示

图 9-16 在注入转换期间发生注入触发

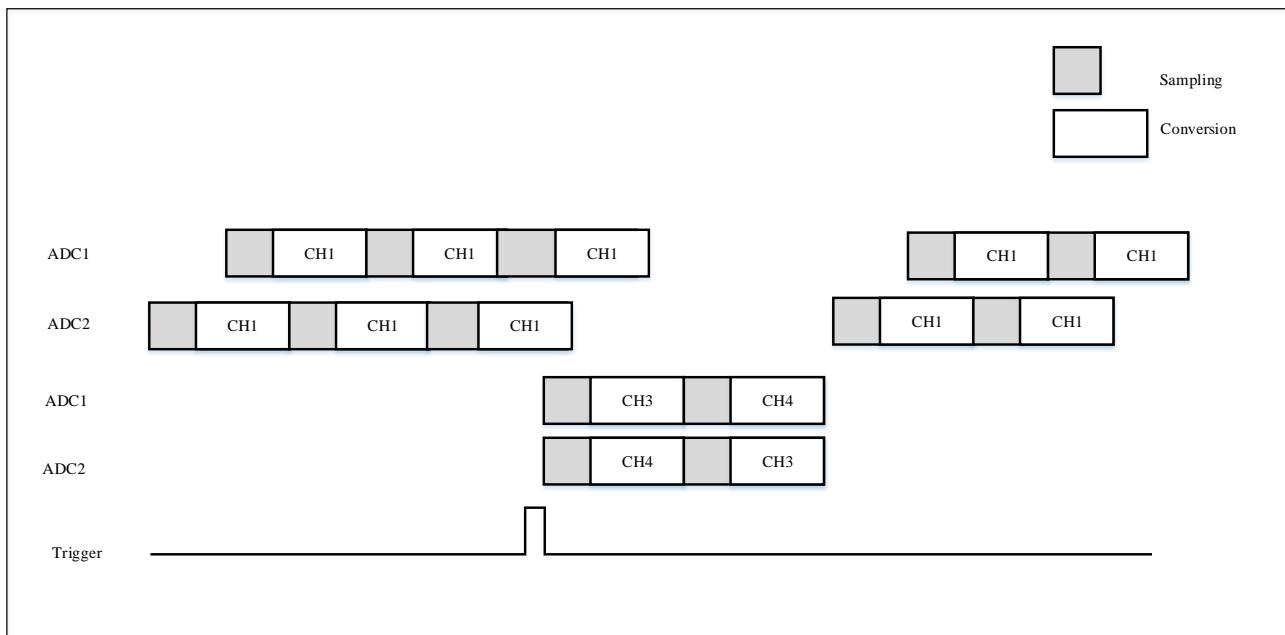


9.9.9 混合同步注入 + 交叉模式

在此模式下，当注入触发产生时，交叉转换会被中断，注入转换会启动，在注入转换完成后，交叉转换会被恢复。

注：当ADC 时钟预分频系数设置为4 时，交叉模式恢复后不会均匀地分配采样时间，采样间隔是8 个ADC 时钟周期与6 个ADC 时钟周期轮替，而不是均匀的7 个ADC 时钟周期。

图 9-17 交叉的单通道转换被注入序列 CH3 和 CH4 中断

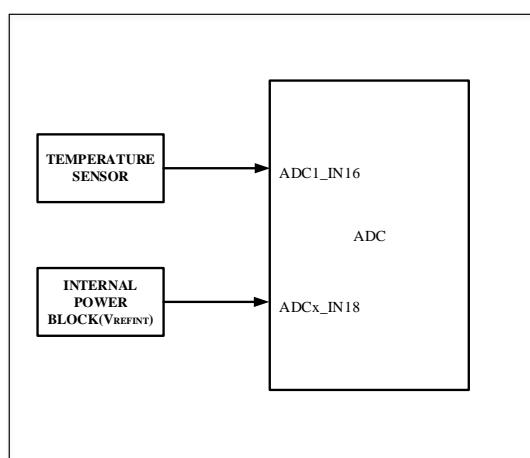


9.10 温度传感器

设置 ADC_CTRL2.TEMPEN 位为 1，使能温度传感器和 V_{REFINT}，设备工作时使用温度传感器检测环境温度。温度传感器采样的输出电压通过 ADC1_IN16 通道转换为数字值。温度传感器工作时，理想的采样时间为 17.1us；当温度传感器不工作时，ADC_CTRL2.TEMPEN 位可通过软件清零以降低功耗。图 9-18 是温度传感器的框图。

温度传感器的输出电压随温度线性变化。不同的芯片由于生产工艺的不同，在温度曲线上会有不同的偏移量。通过测试，发现最大偏移为 3° C。这一特性使得内部温度传感器更适合检测温度变化。不适合测量绝对温度。当需要精确的温度测量时，应使用外部温度传感器。

图 9-18 温度传感器和 V_{REFINT} 通道框图



9.10.1 测量温度值

1. 配置通道 (ADC1_IN16) 和通道的采样时间为 17.1us。
2. 将 ADC_CTRL2.TEMPEN 位设置为 1 以启用温度传感器和 V_{REFINT}。
3. 设置 ADC_CTRL2.ON 位为 1 以启动 ADC 转换 (或通过外部触发)。
4. 读取 ADC 数据寄存器中的温度数据，通过以下公式计算温度值：

$$\text{温度} (\text{C}) = \{(V_{30} - V_{\text{SENSE}}) / \text{Avg_Slope}\} + 30 \cdot T_{\text{offset}}$$

其中：

V_{30} = 30 摄氏度时的 V_{SENSE}

Avg_Slope = 温度和 V_{SENSE} 曲线的平均斜率(单位为 mV/ °C 或 μV/°C)

T_{offset} = 温度误差补偿经验值 (单位为 °C)

参考数据手册的电气特性章节中 V_{30} 和 Avg_Slope 的实际值。

注意：在传感器从断电模式唤醒到正确输出 V_{SENSE} 之前，有一个建立时间；ADC 上电后还有一个建立时间，所以为了缩短延迟，ADC_CTRL2.TEMPEN 和 ADC_CTRL2.ON 位应该同时置位。

9.11 中断

ADC 中断可以来自规则或注入序列转换的结束、输入电压不在模拟看门狗设置的范围、任一规则或注入通道转换的结束。这些中断具有独立的中断使能位。

ADC_STS 寄存器中有 2 个状态标志：注入序列通道转换启动(JSTR)和规则序列通道转换启动(STR)。但是 ADC 中没有与这两个标志相关的中断。

注：ADC1 和 ADC2 共享一个中断入口，而 ADC3 和 ADC4 共享一个中断入口。

表 9-9 ADC 中断

中断事件	事件标志	使能控制位
规则或注入序列转换结束	ENDC	ENDCIEN
注入序列转换结束	JENDC	JENDCIEN
超出模拟看门狗阈值	AWDG	AWDGIEN
任何通道转换结束	ENDCA	ENDCAIEN
任何注入通道转换结束	JENDCA	JENDCAIEN

9.12 ADC 寄存器

9.12.1 ADC 寄存器总览

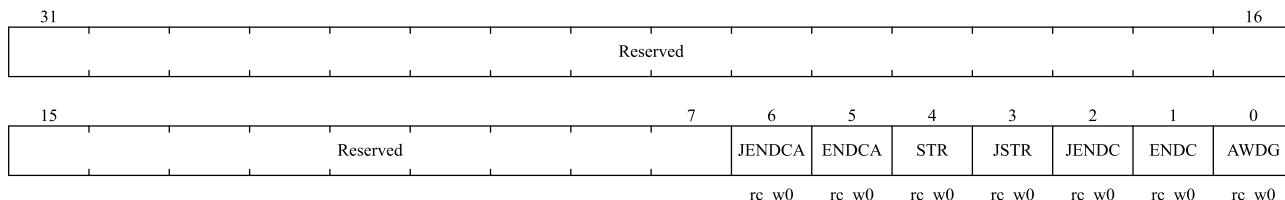
表 9-10 ADC 寄存器映像和复位值

Offset	Register	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
000h	ADC_STS																																	
	Reset Value																																	

9.12.2 ADC 状态寄存器 (ADC_STS)

地址偏移: 0x00

复位值: 0x0000 0000



位域	名称	描述
31:15	Reserved	保留, 必需保持复位值。
6	JENDCA	任意注入通道转换结束位 (Any injected channel end of conversion flag) 在任意注入通道转换结束时被硬件设置为1, 软件写0清除。 0: 转换没有完成; 1: 转换完成。
5	ENDCA	任意通道转换结束位 (Any end of conversion flag) 任意规则或注入通道转换结束时被硬件设置为1, 软件写0清除。 0: 转换没有完成; 1: 转换完成。
4	STR	规则通道开始位 (Regular channel start flag) 规则通道转换开始时该位被硬件设置为1, 软件写0清除。 0: 规则通道转换未开始; 1: 规则通道转换已开始。
3	JSTR	注入通道开始位 (Injected channel start flag) 注入通道转换开始时被硬件设置为1, 软件写0清除。 0: 注入通道转换未开始; 1: 注入通道转换已开始。
2	JENDC	注入通道转换结束位 (Injected channel end of conversion) 注入通道序列转换结束时被硬件设置为1, 软件写0清除。 0: 转换未完成; 1: 转换完成。
1	ENDC	转换结束位 (End of conversion) 规则或注入通道序列转换结束时被硬件设置为1, 软件写0清除。 0: 转换未完成; 1: 转换完成。
0	AWDG	模拟看门狗标志位 (Analog watchdog flag) 转换的电压值超出了ADC_LTR和ADC_HTR寄存器定义的范围时被硬件设置为1, 软件写0清除。 0: 没有发生模拟看门狗事件; 1: 发生模拟看门狗事件。

9.12.3 ADC 控制寄存器 1 (ADC_CTRL1)

地址偏移: 0x04

复位值: 0x0000 0000

31	Reserved								24	23	22	21	20	19	16
15									rw	7	rw	6	5	4	rw
DCTU[2:0]	DJCH	DREGCH	AUTOJC	AWDG_SGLEN	SCANMD	JENDC_IEN	AWD_GIEN	ENDCIEN		AWDGCH[4:0]					rw
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位域	名称	描述
31:24	Reserved	保留, 必需保持复位值。
23	AWDGERCH	在规则通道上开启模拟看门狗 (Analog watchdog enable on regular channels) 该位由软件设置和清除。 0: 在规则通道上关闭模拟看门狗; 1: 在规则通道上开启模拟看门狗。
22	AWDGEJCH	在注入通道上开启模拟看门狗 (Analog watchdog enable on injected channels) 该位由软件设置和清除。 0: 在注入通道上关闭模拟看门狗; 1: 在注入通道上开启模拟看门狗。
21:20	Reserved	保留, 必需保持复位值。
19:16	DUSEL[3:0]	模式选择 (Dual mode selection) 配置这些位可以选择ADC的工作模式。 0000: 独立模式; 0001: 混合的同步规则+同步注入模式; 0010: 混合的同步规则+交替触发模式; 0011: 混合同步注入+快速交叉模式; 0100: 混合同步注入+慢速交叉模式; 0101: 注入同步模式; 0110: 规则同步模式; 0111: 快速交叉模式; 1000: 慢速交叉模式; 1001: 交替触发模式。 注意: 在ADC2和ADC4中这些位为保留位, 在双ADC模式时改变通道的配置会产生一个重新开始的条件, 建议在改变配置前先关闭双ADC模式, 以避免同步丢失。
15:13	DCTU[2:0]	间断模式通道计数 (Discontinuous mode channel count) 这些位可以配置收到外部触发后转换通道的数目。 000: 1个通道; 001: 2个通道; 111: 8个通道。

位域	名称	描述
12	DJCH	在注入通道上的间断模式 (Discontinuous mode on injected channels) 由软件设置和清除。 0: 注入通道序列上禁用间断模式; 1: 注入通道序列上使用间断模式。
11	DREGCH	在规则通道上的间断模式 (Discontinuous mode on regular channels) 该位由软件设置和清除。 0: 规则通道序列上禁用间断模式; 1: 规则通道序列上使用间断模式。
10	AUTOJC	自动的注入通道序列转换 (Automatic injected group conversion) 该位由软件设置和清除, 用于规则通道序列转换结束后注入通道序列转换的开启或关闭 0: 关闭自动的注入通道序列转换; 1: 开启自动的注入通道序列转换。
9	AWDGSGLEN	扫描模式中在一个单一的通道上使用看门狗 (Enable the watchdog on a single channel in scan mode) 该位由软件设置和清除, 用于AWDGCH[4:0]位指定的通道上的模拟看门狗功能开启或所有通道上模拟看门狗功能开启。 0: 在所有的通道上使用模拟看门狗; 1: 在单一通道上使用模拟看门狗。
8	SCANMD	扫描模式 (Scan mode) 该位由软件设置和清除以启用或禁用扫描模式。在扫描模式下, 转换由ADC_RSEQx或ADC_JSEQ 寄存器选定的通道。 0: 禁用扫描模式; 1: 启用扫描模式。 注意: 如果单独设置 ADC_CTRL1.ENDCIEN 或 ADC_CTRL1.JENDCIEN 位, ADC_STS.ENDC 或ADC_STS.JENDC 中断仅在最后一个通道转换后发生。
7	JENDCIEN	注入通道的中断使能 (Interrupt enable for injected channels) 该位由软件设置和清除, 在所有注入通道转换完成后禁止或允许中断。 0: 禁止JENDC中断; 1: 使能JENDC中断。
6	AWDGIEN	模拟看门狗中断使能 (Analog watchdog interrupt enable) 该位由软件设置和清除, 禁止或允许模拟看门狗产生中断。在扫描模式下, 如果看门狗检测到超出范围的值, 则仅当该位置位时才会中止扫描。 0: 禁止模拟看门狗中断; 1: 使能模拟看门狗中断。
5	ENDCIEN	ENDC的中断使能 (Interrupt enable for ENDC) 该位由软件设置和清除, 以禁止或允许在规则或注入转换序列转换结束后发生中断。 0: 禁止ENDC中断; 1: 使能ENDC中断。

位域	名称	描述
4:0	AWDGCH[4:0]	模拟看门狗通道选择位 (Analog watchdog channel select bits) 这些位由软件设置和清除以选择模拟看门狗保护的输入通道。 00000: ADC模拟输入通道0; 00001: ADC模拟输入通道1; ... 01111: ADC模拟输入通道15; 10000: ADC模拟输入通道16; 10001: ADC模拟输入通道17; 10010: ADC模拟输入通道18; 保留所有其他值。

9.12.4 ADC 控制寄存器 2 (ADC_CTRL2)

地址偏移: 0x08

复位值: 0x0000 0000

31	Reserved								24	23	22	21	20	19	17	16
									TEMPEN	SWSTR RCH	SWSTR JCH	EXT RTRIG	EXTRSEL[2:0]		Reserved	
15	14	12	11	10	9	8	rw	7	rw	rw	rw	rw	3	rw	1	0
EXT JTRIG	EXTSEL[2:0]		ALIG	Reserved	ENDMA	Reserved				ENCAL	CTU	ON	rw	rw	rw	rw

位域	名称	描述
31:24	Reserved	保留, 必需保持复位值。
23	TEMPEN	温度传感器和VREFINT开启 (Temperature sensor and VREFINT enable) 该位由软件设置和清除以开启或关闭温度传感器和VREFINT通道。 0: 关闭温度传感器和VREFINT; 1: 开启温度传感器和VREFINT。
22	SWSTRRCH	开始转换规则通道 (Start conversion of regular channels) 该位由软件设置以启动转换, 并在转换开始后由硬件清零。如果在ADC_CTRL2.EXTRSEL[2:0] 位中选择 SWSTRRCH 作为触发事件, 该位用于启动一组规则通道的转换。 0: 复位状态; 1: 开始转换规则通道。
21	SWSTRJCH	开始转换注入通道 (Start conversion of injected channels) 该位由软件设置以启动转换, 并且可以在转换开始后立即由软件或硬件清零。如果在ADC_CTRL2.EXTRSEL[2:0]位中选择 SWSTRJCH作为触发事件, 该位用于启动一组注入通道的转换 0: 复位状态; 1: 开始转换注入通道。
20	EXTRTRIG	规则通道的外触发转换模式 (External trigger conversion mode for regular channels) 该位由软件设置和清零, 以启用或禁用可以启动规则序列转换的外部触发事件。 0: 禁用外部事件启动转换; 1: 启用外部事件启动转换。

位域	名称	描述																
19:17	EXTRSEL[2:0]	<p>选择启动规则通道序列转换的外部事件 (External event select for regular group) 这些位选择外部事件以启动规则序列转换。</p> <p>ADC1和ADC2的触发配置:</p> <table> <tr><td>000: 定时器1的CC1事件;</td><td>100: 定时器3的TRGO事件;</td></tr> <tr><td>001: 定时器1的CC2事件;</td><td>101: 定时器4的CC4事件;</td></tr> <tr><td>010: 定时器1的CC3事件;</td><td>110: EXTI线11/TIM8_TRGO事件;</td></tr> <tr><td>011: 定时器2的CC2事件;</td><td>111: SWSTRRCH。</td></tr> </table> <p>ADC3和ADC4的触发配置:</p> <table> <tr><td>000: 定时器3的CC1事件;</td><td>100: 定时器8的TRGO事件;</td></tr> <tr><td>001: 定时器2的CC3事件;</td><td>101: 定时器5的CC1事件;</td></tr> <tr><td>010: 定时器1的CC3事件;</td><td>110: EXTI线10/定时器5的CC3事件;</td></tr> <tr><td>011: 定时器8的CC1事件;</td><td>111: SWSTRRCH。</td></tr> </table>	000: 定时器1的CC1事件;	100: 定时器3的TRGO事件;	001: 定时器1的CC2事件;	101: 定时器4的CC4事件;	010: 定时器1的CC3事件;	110: EXTI线11/TIM8_TRGO事件;	011: 定时器2的CC2事件;	111: SWSTRRCH。	000: 定时器3的CC1事件;	100: 定时器8的TRGO事件;	001: 定时器2的CC3事件;	101: 定时器5的CC1事件;	010: 定时器1的CC3事件;	110: EXTI线10/定时器5的CC3事件;	011: 定时器8的CC1事件;	111: SWSTRRCH。
000: 定时器1的CC1事件;	100: 定时器3的TRGO事件;																	
001: 定时器1的CC2事件;	101: 定时器4的CC4事件;																	
010: 定时器1的CC3事件;	110: EXTI线11/TIM8_TRGO事件;																	
011: 定时器2的CC2事件;	111: SWSTRRCH。																	
000: 定时器3的CC1事件;	100: 定时器8的TRGO事件;																	
001: 定时器2的CC3事件;	101: 定时器5的CC1事件;																	
010: 定时器1的CC3事件;	110: EXTI线10/定时器5的CC3事件;																	
011: 定时器8的CC1事件;	111: SWSTRRCH。																	
16	Reserved	保留, 必需保持复位值。																
15	EXTJTRIG	<p>注入通道的外部触发转换模式 (External trigger conversion mode for injected channels) 该位由软件设置和清零, 以启用或禁用可以启动注入序列转换的外部触发事件。</p> <p>0: 禁用外部事件启动转换; 1: 启用外部事件启动转换。</p>																
14:12	EXTJSEL[2:0]	<p>选择启动注入通道序列转换的外部事件 (External event select for injected group) 这些位选择用于触发注入序列转换的外部事件。</p> <p>ADC1和ADC2的触发配置:</p> <table> <tr><td>000: 定时器1的TRGO事件;</td><td>100: 定时器3的CC4事件;</td></tr> <tr><td>001: 定时器1的CC4事件;</td><td>101: 定时器4的TRGO事件;</td></tr> <tr><td>010: 定时器2的TRGO事件;</td><td>110: EXTI线15/定时器8的CC4事件;</td></tr> <tr><td>011: 定时器2的CC1事件;</td><td>111: SWSTRJCH。</td></tr> </table> <p>ADC3和ADC4的触发配置:</p> <table> <tr><td>000: 定时器1的TRGO事件;</td><td>100: 定时器8的CC4事件;</td></tr> <tr><td>001: 定时器1的CC4事件;</td><td>101: 定时器5的TRGO事件;</td></tr> <tr><td>010: 定时器4的CC3事件;</td><td>110: EXTI线14/定时器5的CC4事件;</td></tr> <tr><td>011: 定时器8的CC2事件;</td><td>111: SWSTRJCH。</td></tr> </table>	000: 定时器1的TRGO事件;	100: 定时器3的CC4事件;	001: 定时器1的CC4事件;	101: 定时器4的TRGO事件;	010: 定时器2的TRGO事件;	110: EXTI线15/定时器8的CC4事件;	011: 定时器2的CC1事件;	111: SWSTRJCH。	000: 定时器1的TRGO事件;	100: 定时器8的CC4事件;	001: 定时器1的CC4事件;	101: 定时器5的TRGO事件;	010: 定时器4的CC3事件;	110: EXTI线14/定时器5的CC4事件;	011: 定时器8的CC2事件;	111: SWSTRJCH。
000: 定时器1的TRGO事件;	100: 定时器3的CC4事件;																	
001: 定时器1的CC4事件;	101: 定时器4的TRGO事件;																	
010: 定时器2的TRGO事件;	110: EXTI线15/定时器8的CC4事件;																	
011: 定时器2的CC1事件;	111: SWSTRJCH。																	
000: 定时器1的TRGO事件;	100: 定时器8的CC4事件;																	
001: 定时器1的CC4事件;	101: 定时器5的TRGO事件;																	
010: 定时器4的CC3事件;	110: EXTI线14/定时器5的CC4事件;																	
011: 定时器8的CC2事件;	111: SWSTRJCH。																	
11	ALIG	<p>数据对齐 (Data alignment)</p> <p>该位由软件设置和清除。请参阅表9-3和表9-4。</p> <p>0: 右对齐; 1: 左对齐。</p>																
10:9	Reserved	保留, 必需保持复位值。																
8	ENDMA	<p>直接存储器访问模式 (Direct memory access mode)</p> <p>该位由软件设置和清除。有关详细信息, 请参见DMA控制器章节。</p> <p>0: 不使用DMA模式; 1: 使用DMA模式。</p>																
7:3	Reserved	保留, 必需保持复位值。																
2	ENCAL	<p>A/D 校准 (A/D Calibration)</p> <p>该位由软件设置以开始校准, 并在校准结束时由硬件清零。</p> <p>0: 校准完成; 1: 开始校准。</p>																

位域	名称	描述
1	CTU	<p>连续转换 (Continuous conversion)</p> <p>该位由软件设置和清除。如果该位置位，则转换将继续，直到该位被清除。</p> <p>0: 单次转换模式； 1: 连续转换模式。</p>
0	ON	<p>A/D 转换器开/关 (A/D converter ON/OFF)</p> <p>该位由软件设置和清除。当该位为“0”时，写入“1”会将ADC从断电模式中唤醒。</p> <p>当该位为“1”时，写入“1”开始转换。应注意，转换器上电与转换开始之间存在延迟t_{STAB}，请参见图9-5。</p> <p>0: 关闭ADC转换/校准并进入掉电模式； 1: 启动ADC并开始转换。</p> <p>注意：如果该寄存器中的其他位随着ON发生变化，则不会触发转换。这是为了防止触发错误的转换。</p>

9.12.5 ADC 采样时间寄存器 1 (ADC_SAMPT1)

地址偏移: 0x0C

复位值: 0x0000 0000

31	Reserved						24	23	21	20	18	17	16
15	14	12	11	9	8		rw	6	5	rw	3	2	rw
SAMP 15_0	SAMP14[2:0]	SAMP13[2:0]	SAMP12[2:0]	SAMP11[2:0]	SAMP10[2:0]		rw						

位域	名称	描述																																
31:24	Reserved	保留，必需保持复位值。																																
23:0	SAMPx[2:0]	<p>通道x采样时间选择 (Channel x Sample time selection)</p> <p>这些位用于独立选择每个通道的采样时间。通道选择位在采样期间必须保持不变。</p> <p>ADC_SAMPT3.SAMPSEL = 0, 采样时间设置如下:</p> <table> <tr><td>000:</td><td>1.5周期;</td><td>100:</td><td>41.5周期;</td></tr> <tr><td>001:</td><td>7.5周期;</td><td>101:</td><td>55.5周期;</td></tr> <tr><td>010:</td><td>13.5周期;</td><td>110:</td><td>71.5周期;</td></tr> <tr><td>011:</td><td>28.5周期;</td><td>111:</td><td>239.5周期。</td></tr> </table> <p>ADC_SAMPT3.SAMPSEL = 1, 采样时间设置如下:</p> <table> <tr><td>000:</td><td>1.5周期;</td><td>100:</td><td>19.5周期;</td></tr> <tr><td>001:</td><td>2.5周期;</td><td>101:</td><td>61.5周期;</td></tr> <tr><td>010:</td><td>4.5周期;</td><td>110:</td><td>181.5周期;</td></tr> <tr><td>011:</td><td>7.5周期;</td><td>111:</td><td>601.5周期。</td></tr> </table>	000:	1.5周期;	100:	41.5周期;	001:	7.5周期;	101:	55.5周期;	010:	13.5周期;	110:	71.5周期;	011:	28.5周期;	111:	239.5周期。	000:	1.5周期;	100:	19.5周期;	001:	2.5周期;	101:	61.5周期;	010:	4.5周期;	110:	181.5周期;	011:	7.5周期;	111:	601.5周期。
000:	1.5周期;	100:	41.5周期;																															
001:	7.5周期;	101:	55.5周期;																															
010:	13.5周期;	110:	71.5周期;																															
011:	28.5周期;	111:	239.5周期。																															
000:	1.5周期;	100:	19.5周期;																															
001:	2.5周期;	101:	61.5周期;																															
010:	4.5周期;	110:	181.5周期;																															
011:	7.5周期;	111:	601.5周期。																															

9.12.6 ADC 采样时间寄存器 2 (ADC_SAMPT2)

地址偏移: 0x10

复位值: 0x0000 0000

31	30	29	27	26	24	23	21	20	18	17	16
Reserved		SAMP9[2:0]		SAMP8[2:0]		SAMP7[2:0]		SAMP6[2:0]		SAMP5[2:1]	
15	14	rw 12	11	rw 9	8	rw 6	5	rw 3	2	rw 0	
SAMP5_0		SAMP4[2:0]		SAMP3[2:0]		SAMP2[2:0]		SAMP1[2:0]		SAMP0[2:0]	
rw		rw		rw		rw		rw		rw	

位域	名称	描述																																
31:30	Reserved	保留，必需保持复位值。																																
29:0	SAMPx[2:0]	<p>通道x采样时间选择 (Channel x Sample time selection) 这些位用于独立选择每个通道的采样时间。通道选择位在采样期间必须保持不变。 ADC_SAMPT3.SAMPSEL = 0, 采样时间设置如下：</p> <table> <tr><td>000:</td><td>1.5周期;</td><td>100:</td><td>41.5周期;</td></tr> <tr><td>001:</td><td>7.5周期;</td><td>101:</td><td>55.5周期;</td></tr> <tr><td>010:</td><td>13.5周期;</td><td>110:</td><td>71.5周期;</td></tr> <tr><td>011:</td><td>28.5周期;</td><td>111:</td><td>239.5周期。</td></tr> </table> <p>ADC_SAMPT3.SAMPSEL = 1, 采样时间设置如下：</p> <table> <tr><td>000:</td><td>1.5周期;</td><td>100:</td><td>19.5周期;</td></tr> <tr><td>001:</td><td>2.5周期;</td><td>101:</td><td>61.5周期;</td></tr> <tr><td>010:</td><td>4.5周期;</td><td>110:</td><td>181.5周期;</td></tr> <tr><td>011:</td><td>7.5周期;</td><td>111:</td><td>601.5周期。</td></tr> </table>	000:	1.5周期;	100:	41.5周期;	001:	7.5周期;	101:	55.5周期;	010:	13.5周期;	110:	71.5周期;	011:	28.5周期;	111:	239.5周期。	000:	1.5周期;	100:	19.5周期;	001:	2.5周期;	101:	61.5周期;	010:	4.5周期;	110:	181.5周期;	011:	7.5周期;	111:	601.5周期。
000:	1.5周期;	100:	41.5周期;																															
001:	7.5周期;	101:	55.5周期;																															
010:	13.5周期;	110:	71.5周期;																															
011:	28.5周期;	111:	239.5周期。																															
000:	1.5周期;	100:	19.5周期;																															
001:	2.5周期;	101:	61.5周期;																															
010:	4.5周期;	110:	181.5周期;																															
011:	7.5周期;	111:	601.5周期。																															

9.12.7 ADC 注入通道数据偏移寄存器 x (ADC_JOFFSETx) (x=1..4)

地址偏移: 0x14-0x20

复位值: 0x0000 0000

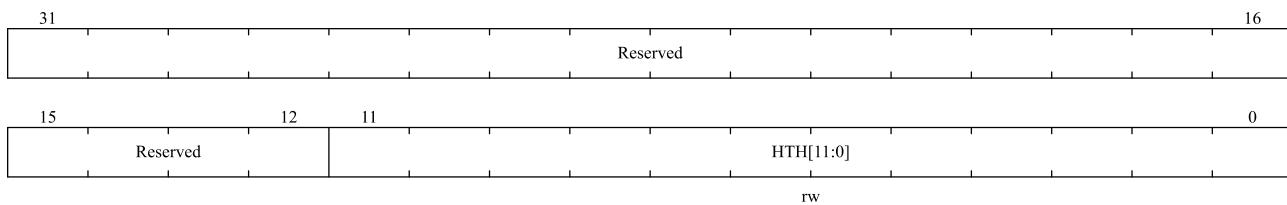
31	Reserved	16
15		
12	Reserved	11
11		0
		OFFSETJCHx
		rw

位域	名称	描述
31:12	Reserved	保留，必需保持复位值。
11:0	OFFSETJCHx[11:0]	<p>注入通道x的数据偏移 (Data offset for injected channel x) 这些位定义在将转换注入通道时用于从原始转换数据中减去的值。转换结果可以在 ADC_JDATx 寄存器中读取。</p>

9.12.8 ADC 看门狗高阈值寄存器 (ADC_WDGHIGH)

地址偏移: 0x24

复位值: 0x0000 0FFF

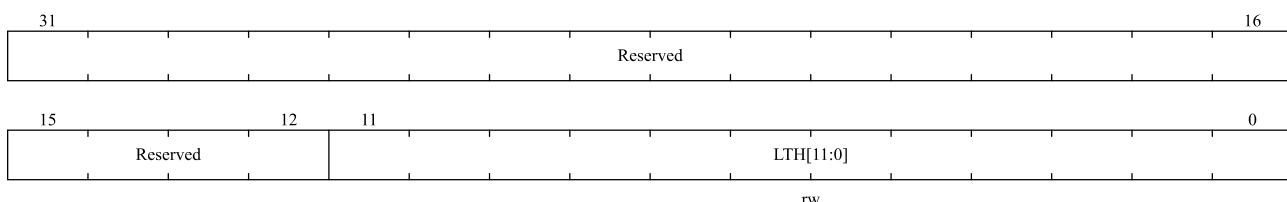


位域	名称	描述
31:12	Reserved	保留，必需保持复位值。
11:0	HTH[11:0]	模拟看门狗高阈值 (Analog watchdog high threshold) 这些位定义模拟看门狗的高阈值。

9.12.9 ADC 看门狗低阈值寄存器 (ADC_WDGLOW)

地址偏移: 0x28

复位值: 0x0000 0000

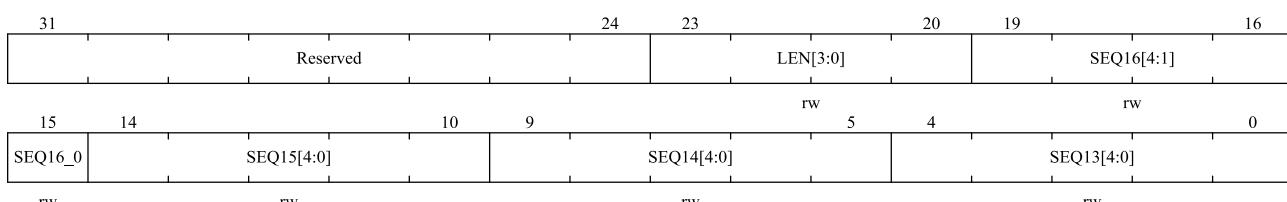


位域	名称	描述
31:12	Reserved	保留，必需保持复位值。
11:0	LTH[11:0]	模拟看门狗低阈值 (Analog watchdog low threshold) 这些位定义模拟看门狗的低阈值。

9.12.10 ADC 规则序列寄存器 1 (ADC_RSEQ1)

地址偏移: 0x2C

复位值: 0x0000 0000



位域	名称	描述
31:24	Reserved	保留，必需保持复位值。
23:20	LEN[3:0]	规则通道序列长度 (Regular channel sequence length) 这些位由软件定义规则序列通道转换中的通道数。 0000: 1个转换; 0001: 2个转换;

位域	名称	描述
		1111: 16个转换。
19:15	SEQ16[4:0]	规则序列中的第16个转换 (16th conversion in regular sequence) 这些位由软件定义转换序列中的第16个转换通道的编号 (0~18)。
14:10	SEQ15[4:0]	规则序列中的第15个转换 (15th conversion in regular sequence)
9:5	SEQ14[4:0]	规则序列中的第14个转换 (14th conversion in regular sequence)
4:0	SEQ13[4:0]	规则序列中的第13个转换 (13th conversion in regular sequence)

9.12.11 ADC 规则序列寄存器 2 (ADC_RSEQ2)

地址偏移: 0x30

复位值: 0x0000 0000

31	30	29	25	24	20	19	16
Reserved		SEQ12[4:0]		SEQ11[4:0]		SEQ10[4:1]	
15	14		rw	10	9	rw	rw
SEQ10_0		SEQ9[4:0]		SEQ8[4:0]		SEQ7[4:0]	
rw		rw		rw		rw	0

位域	名称	描述
31:30	Reserved	保留, 必需保持复位值。
29:25	SEQ12[4:0]	规则序列中的第12个转换 (12th conversion in regular sequence) 这些位由软件定义转换序列中的第12个转换通道的编号 (0~18)。
24:20	SEQ11[4:0]	规则序列中的第11个转换 (11th conversion in regular sequence)
19:15	SEQ10[4:0]	规则序列中的第10个转换 (10th conversion in regular sequence)
14:10	SEQ9[4:0]	规则序列中的第9个转换 (9th conversion in regular sequence)
9:5	SEQ8[4:0]	规则序列中的第8个转换 (8th conversion in regular sequence)
4:0	SEQ7[4:0]	规则序列中的第7个转换 (7th conversion in regular sequence)

9.12.12 ADC 规则序列寄存器 3 (ADC_RSEQ3)

地址偏移: 0x34

复位值: 0x0000 0000

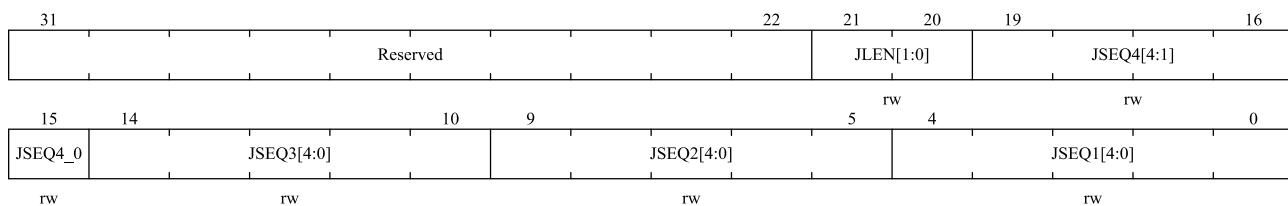
31	30	29	25	24	20	19	16
Reserved		SEQ6[4:0]		SEQ5[4:0]		SEQ4[4:1]	
15	14		rw	10	9	rw	rw
SEQ4_0		SEQ3[4:0]		SEQ2[4:0]		SEQ1[4:0]	
rw		rw		rw		rw	0

位域	名称	描述
31:30	Reserved	保留，必需保持复位值。
29:25	SEQ6[4:0]	规则序列中的第6个转换 (6th conversion in regular sequence) 这些位由软件定义转换序列中的第6个转换通道的编号 (0~18)。
24:20	SEQ5[4:0]	规则序列中的第5个转换 (5th conversion in regular sequence)
19:15	SEQ4[4:0]	规则序列中的第4个转换 (4th conversion in regular sequence)
14:10	SEQ3[4:0]	规则序列中的第3个转换 (3rd conversion in regular sequence)
9:5	SEQ2[4:0]	规则序列中的第2个转换 (2nd conversion in regular sequence)
4:0	SEQ1[4:0]	规则序列中的第1个转换 (1st conversion in regular sequence)

9.12.13 ADC 注入序列寄存器 (ADC_JSEQ)

地址偏移: 0x38

复位值: 0x0000 0000

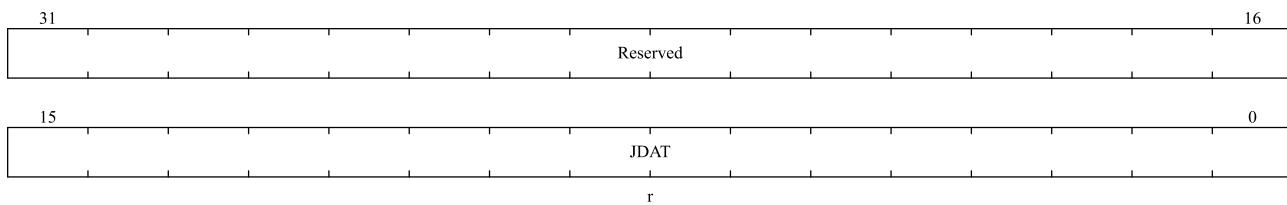


位域	名称	描述
31:22	Reserved	保留，必需保持复位值。
21:20	JLEN[1:0]	注入通道序列长度 (Injected sequence length) 这些位由软件定义为注入通道转换序列中的通道数。 00: 1个转换; 01: 2个转换; 10: 3个转换; 11: 4个转换。
19:15	JSEQ4[4:0]	注入序列中的第4个转换 (4th conversion in injected sequence) 这些位由软件定义为转换序列中第4个转换通道的编号 (0~18)。 注意：与规则转换序列不同，如果ADC_JSEQ.JLEN[1:0]的长度小于4，则转换序列从(4-JLEN)开始。例如，ADC_JSEQ[21:0] = 10 00011 00011 00111 00010 表示扫描转换将按照以下通道顺序进行转换：7、3、3 而不是 2、7、3。
14:10	JSEQ3[4:0]	注入序列中的第3个转换 (3rd conversion in injected sequence)
9:5	JSEQ2[4:0]	注入序列中的第2个转换 (2nd conversion in injected sequence)
4:0	JSEQ1[4:0]	注入序列中的第1个转换 (1st conversion in injected sequence)

9.12.14 ADC 注入数据寄存器 x (ADC_JDATx) (x=1..4)

地址偏移: 0x3C – 0x48

复位值: 0x0000 0000

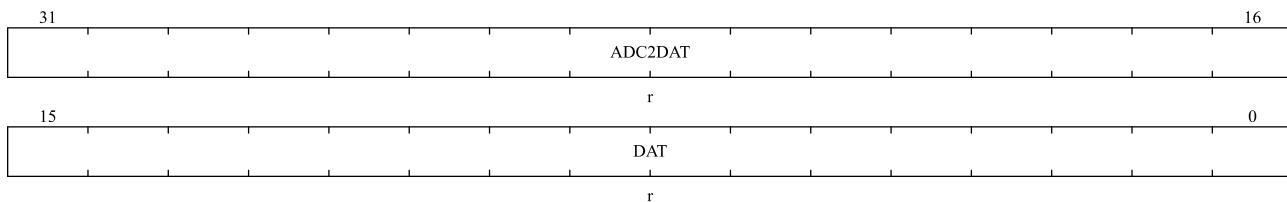


位域	名称	描述
31:16	Reserved	保留，必需保持复位值。
15:0	JDAT[15:0]	注入转换的数据 (Injected data) 这些位是只读的，包含注入通道的转换结果。数据左对齐或右对齐。

9.12.15 ADC 规则数据寄存器 (ADC_DAT)

地址偏移: 0x4C

复位值: 0x0000 0000

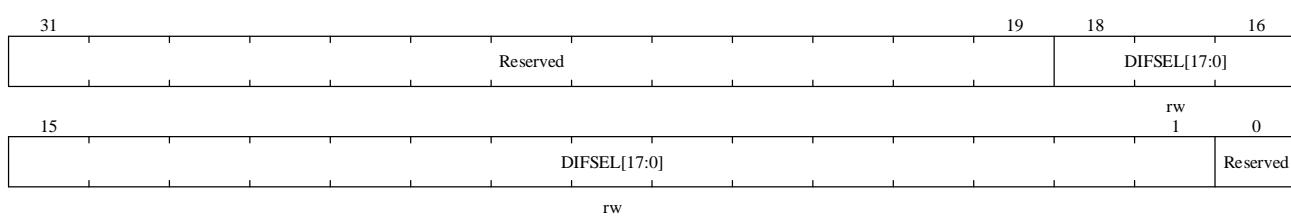


位域	名称	描述
31:16	ADC2DAT[15:0]	ADC2/ADC4转换的数据 (ADC2 data,ADC4 data) 在ADC1和ADC3中：双ADC模式下，这些位包含了ADC2和ADC4转换的规则通道数据。 在ADC2和ADC4中：不使用这些位。
15:0	DAT[15:0]	规则转换的数据 (Regular data) 这些位是只读的，包含规则通道的转换结果。数据左对齐或右对齐。

9.12.16 ADC 差分模式选择寄存器 (ADC_DIFSEL)

地址偏移: 0x50

复位值: 0x0000 0000



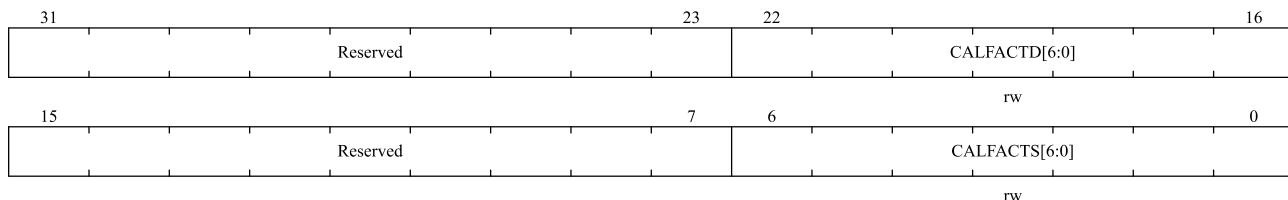
位域	名称	描述
31:19	Reserved	保留，必需保持复位值。
18:1	DIFSEL[17:0]	差分模式通道18—1选择 (Differential mode for channels 18 to 1) DIFSEL[i] = 0:ADC通道输入i+1配置成单端模式；

位域	名称	描述
		DIFSEL[i] = 1:ADC通道输入i+1配置成差分模式。
0	Reserved	保留，必需保持复位值。

9.12.17 ADC 校正因子 (ADC_CALFACT)

地址偏移: 0x54

复位值: 0x0000 0000

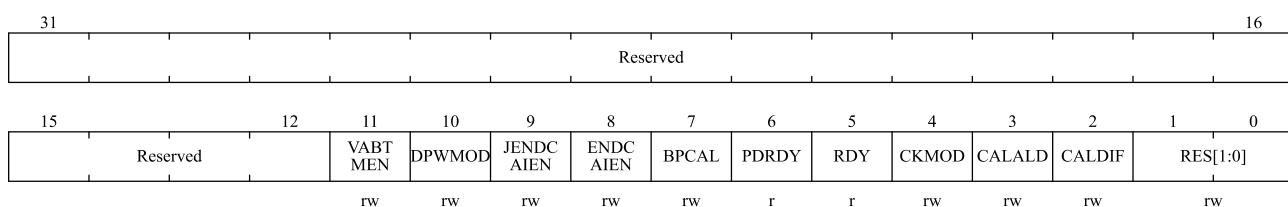


位域	名称	描述
31:23	Reserved	保留，必需保持复位值。
22:16	CALFACTD[6:0]	差分模式校正因子 (Calibration Factors in differential mode) 该位可由硬件或软件写入。 差分输入校准完成后，硬件会根据校准系数进行更新。 软件可以使用新的校准因子写入这些位。如果新的校准系数与模拟ADC中存储的当前系数不同，则将在启动新的差分校准时应用该系数。 注意： 软件只允许在ADC_CTRL2.ON = 1, ADC_STS.STR = 0, ADC_STS.JSTR = 0时写入 (ADC没有处理转换或开始转换)。
15:7	Reserved	保留，必需保持复位值。
6:0	CALFACTS[6:0]	单端模式校正因子 (Calibration Factors in Single-Ended mode) 该位可由硬件或软件写入。 单端输入校准完成后，硬件会根据校准系数进行更新。 软件可以使用新的校准因子写入这些位。如果新的校准系数与模拟ADC中存储的当前系数不同，则将在启动新的单端校准时应用该系数。 注： 软件只允许在ADC_CTRL2.ON = 1, ADC_STS.STR = 0, ADC_STS.JSTR = 0时写入 (ADC没有处理转换或开始转换)。

9.12.18 ADC 控制寄存器 3 (ADC_CTRL3)

地址偏移: 0x58

复位值: 0x0000 0043



位域	名称	描述
31:12	Reserved	保留，必需保持复位值。
11	VBATMEN	Vbat监测使能 (Vbat monitor enable) 0: 禁止 1: 使能
10	DPWMOD	深度睡眠模式 (Deep Power Mode) 0: 当ADC不使能时，ADC 进入PowerDown模式； 1: 当ADC不使能时，ADC 进入深度睡眠模式。
9	JENDCAIEN	任何注入通道中断使能 (Interrupt enable for any injected channels) 该位由软件设置和清除以启用/禁用注入通道转换结束中断。 0: ADC_STS.JENDCA 中断禁用； 1: ADC_STS.JENDCA 中断启用。
8	ENDCAIEN	任何通道中断使能 (Interrupt enable for any regular channels) 该位由软件设置和清除以启用/禁任意通道转换结束中断。 0: ADC_STS.ENDCA 中断禁用； 1: ADC_STS.ENDCA 中断启用。
7	BPCAL	旁路校准 (Bypass calibration) 0: 禁用； 1: 启用。
6	PDRDY	ADC低功耗准备好 (Power down ready) 0: 没有准备好； 1: 准备好。
5	RDY	ADC准备好 (Ready) 0: 没有准备好； 1: 准备好。
4	CKMOD	时钟模式 (Clock Mode) 0: 同步时钟选择AHB； 1: 异步时钟选择PLL。
3	CALALD	校准自动载入 (calibration auto load) 0: 禁止； 1: 启用。
2	CALDIF	差分模式校准 (Differential mode for calibration) 该位由软件设置和清除，以配置校准的单端或差分输入模式。 0: 写入ENCAL位将在单端输入模式下启动校准； 1: 写入ENCAL位将在差分输入模式下启动校准。
1:0	RES[1:0]	数据分辨率 (Data resolution) 该位由软件设置和清除，选择转换的分辨率。 00: 6位； 01: 8位； 10: 10位； 11: 12位。

9.12.19 ADC 采样时间寄存器 3 (ADC_SAMPT3)

地址偏移: 0x5C

复位值：0x0000 0000

The diagram shows the bit field for register SAMPSEL. It consists of two horizontal lines. The top line is a long horizontal bar with 16 tick marks, labeled with the value 15 at the far left. The bottom line is a shorter horizontal bar with 5 tick marks, labeled with values 4, 3, 2, and 0 from left to right. A vertical line connects the 15th tick mark of the top bar to the 4th tick mark of the bottom bar. A bracket below the bars spans from the 15th tick mark to the 3rd tick mark, labeled 'Reserved'. Another bracket spans from the 2nd tick mark to the 0th tick mark, labeled 'SAMPSEL'. To the right of the 0th tick mark is the label 'SAMP18[2:0]'.

位域	名称	描述																																
31:4	Reserved	保留，必需保持复位值。																																
3	SAMPSEL	<p>采样时间选择(Sample time selection)</p> <p>SAMPSEL位为0时，采样时间配置SAMPx[2:0]的取值如下</p> <table><tbody><tr><td>000:</td><td>1.5周期;</td><td>100:</td><td>41.5周期;</td></tr><tr><td>001:</td><td>7.5周期;</td><td>101:</td><td>55.5周期;</td></tr><tr><td>010:</td><td>13.5周期;</td><td>110:</td><td>71.5周期;</td></tr><tr><td>011:</td><td>28.5周期;</td><td>111:</td><td>239.5周期。</td></tr></tbody></table> <p>SAMPSEL位为1时，采样时间配置SAMPx[2:0]的取值如下</p> <table><tbody><tr><td>000:</td><td>1.5周期;</td><td>100:</td><td>19.5周期;</td></tr><tr><td>001:</td><td>2.5周期;</td><td>101:</td><td>61.5周期;</td></tr><tr><td>010:</td><td>4.5周期;</td><td>110:</td><td>181.5周期;</td></tr><tr><td>011:</td><td>7.5周期;</td><td>111:</td><td>601.5周期。</td></tr></tbody></table>	000:	1.5周期;	100:	41.5周期;	001:	7.5周期;	101:	55.5周期;	010:	13.5周期;	110:	71.5周期;	011:	28.5周期;	111:	239.5周期。	000:	1.5周期;	100:	19.5周期;	001:	2.5周期;	101:	61.5周期;	010:	4.5周期;	110:	181.5周期;	011:	7.5周期;	111:	601.5周期。
000:	1.5周期;	100:	41.5周期;																															
001:	7.5周期;	101:	55.5周期;																															
010:	13.5周期;	110:	71.5周期;																															
011:	28.5周期;	111:	239.5周期。																															
000:	1.5周期;	100:	19.5周期;																															
001:	2.5周期;	101:	61.5周期;																															
010:	4.5周期;	110:	181.5周期;																															
011:	7.5周期;	111:	601.5周期。																															
2:0	SAMP18[2:0]	<p>通道采样时间(Channel Sample time)</p> <p>通道采样时间定义和ADC_SAMPT2一致</p>																																

10 数字/模拟转换 (DAC)

10.1 DAC 介绍

DAC 是数字/模拟转换器，主要是数字输入，电压输出。DAC 数据有 8 位或 12 位两种模式，支持 DMA 传输数据。当 DAC 配置为 12bit 模式时，DAC 数据可以左对齐或者右对齐；当 DAC 配置为 8bit 模式时，DAC 数据可以右对齐。DAC 输出通道有 2 个，每一个都有独立的转换器。两个通道可以配置成独立转换或者同时进行转换同步更新输出。 V_{REF+} 通过引脚输入作为 DAC 参考电压，使 DAC 的转换数据精确度更高。

10.2 DAC 主要特性

- 2 个独立的 DAC 转换器，各自对应 1 个输出通道
- 单调输出
- 支持 8 位或 12 位输出，数据在 12 位模式下分右对齐和左对齐两种模式
- 同步更新
- 噪声波形、三角波形生成
- 两个 DAC 通道同步或者独立转换
- 每个通道都支持 DMA 传输数据
- 输入参考电压 V_{REF+}
- 外部事件触发转换

DAC 结构框图和引脚说明如下。

图 10-1 DAC 结构框图

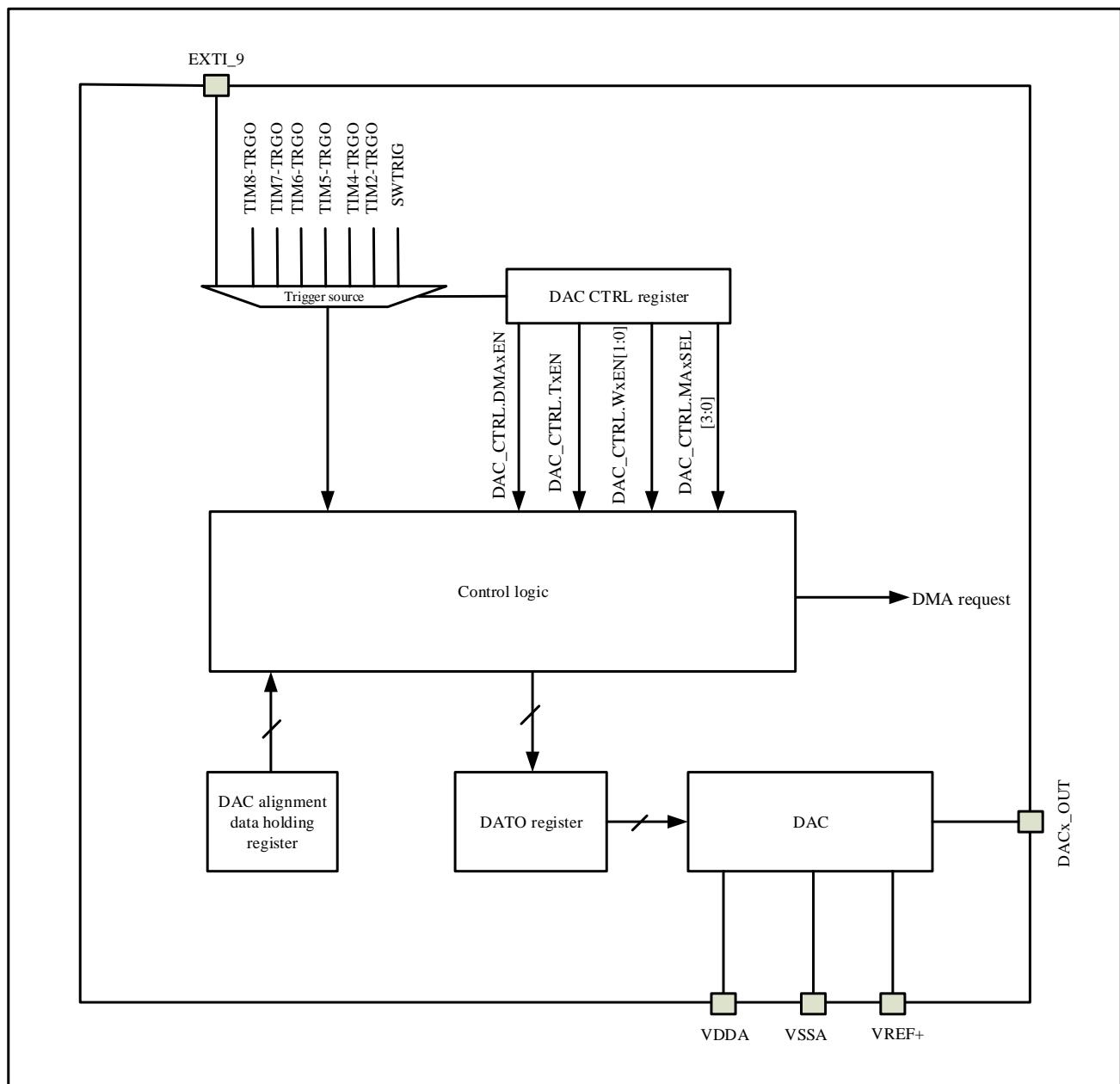


表 10-1 DAC 引脚

名称	信号类型	描述
V _{REF+}	输入, 正模拟参考电压	DAC使用的正参考电压, 2.4V≤V _{REF+} ≤V _{DDA} (3.3V)
V _{DDA}	输入, 模拟电源	模拟电源
V _{SSA}	输入, 模拟电源地	模拟电源地
DAC_OUTx	模拟输出信号	DAC输出

注意：使能DACx时，PA4或者PA5需要配置为模拟输入模式，PA4或PA5会自动连接到DACx的输出。

10.3 DAC 功能描述与操作说明

10.3.1 DAC 开启

给 DAC 上电可通过配置 DAC_CTRL.CHxEN=1 完成，DAC 需要一段时间 tWAKEUP 打开。

10.3.2 DAC 输出缓存

通过配置 DAC_CTRL.BxEN 开启或关闭 DAC 的输出缓存，输出缓存开启，输出阻抗降低，驱动能力增强，可以在没有外部运放的条件下驱动外部负载。

10.3.3 DAC 数据格式

依据数据对齐配置方式，数据配置对应寄存器如下：

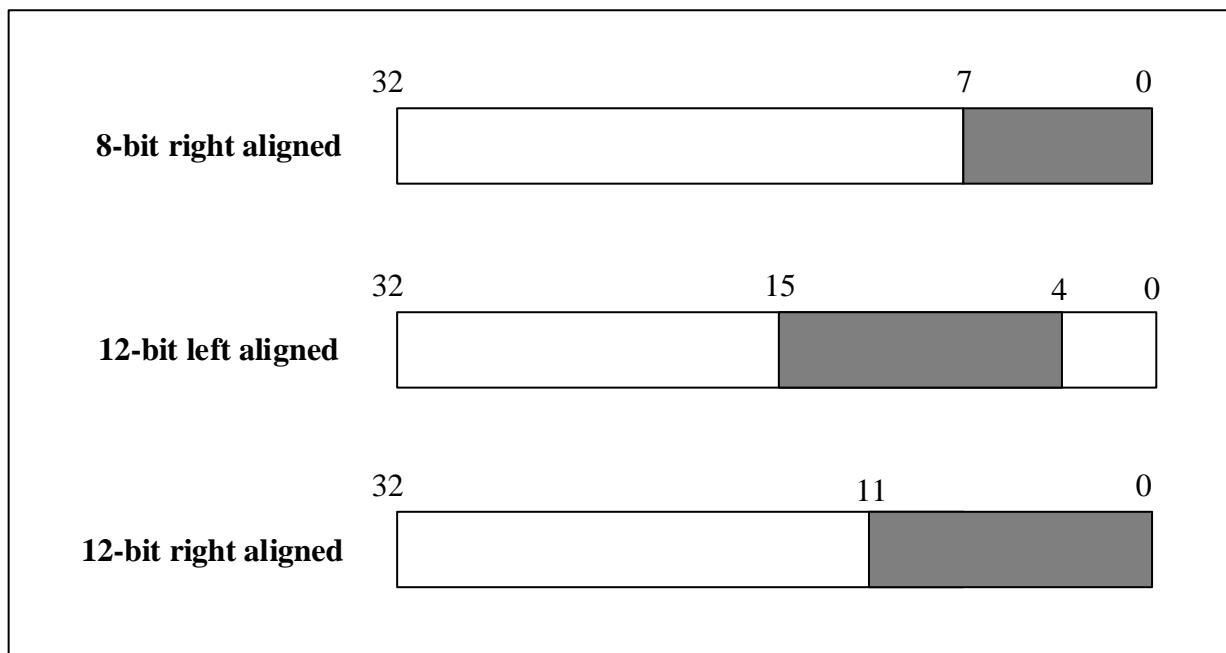
当 DAC 独立输出时，有 3 种情况：

配置数据写入 DAC_DR12CHx 寄存器时，数据写入 DAC_DR12CHx[11:0],12 位数据右对齐。（实际是存入寄存器 DACCHxD[11:0]位，DACCHxD 是内部的数据保存寄存器）。

配置数据写入 DAC_DL12CHx 寄存器时，数据写入 DAC_DL12CHx[15:4],12 位数据左对齐。（实际是存入寄存器 DACCHxD[11:0]位，DACCHxD 是内部的数据保存寄存器）。

配置数据写入 DAC_DR8CHx 寄存器时，数据写入 DAC_DR8CHx[7:0],8 位数据右对齐。（实际是存入寄存器 DACCHxD[11:4]位，DACCHxD 是内部的数据保存寄存器）。

图 10-2 DAC 独立输出时的数据格式



当 DAC 同步输出时，有 3 种情况：

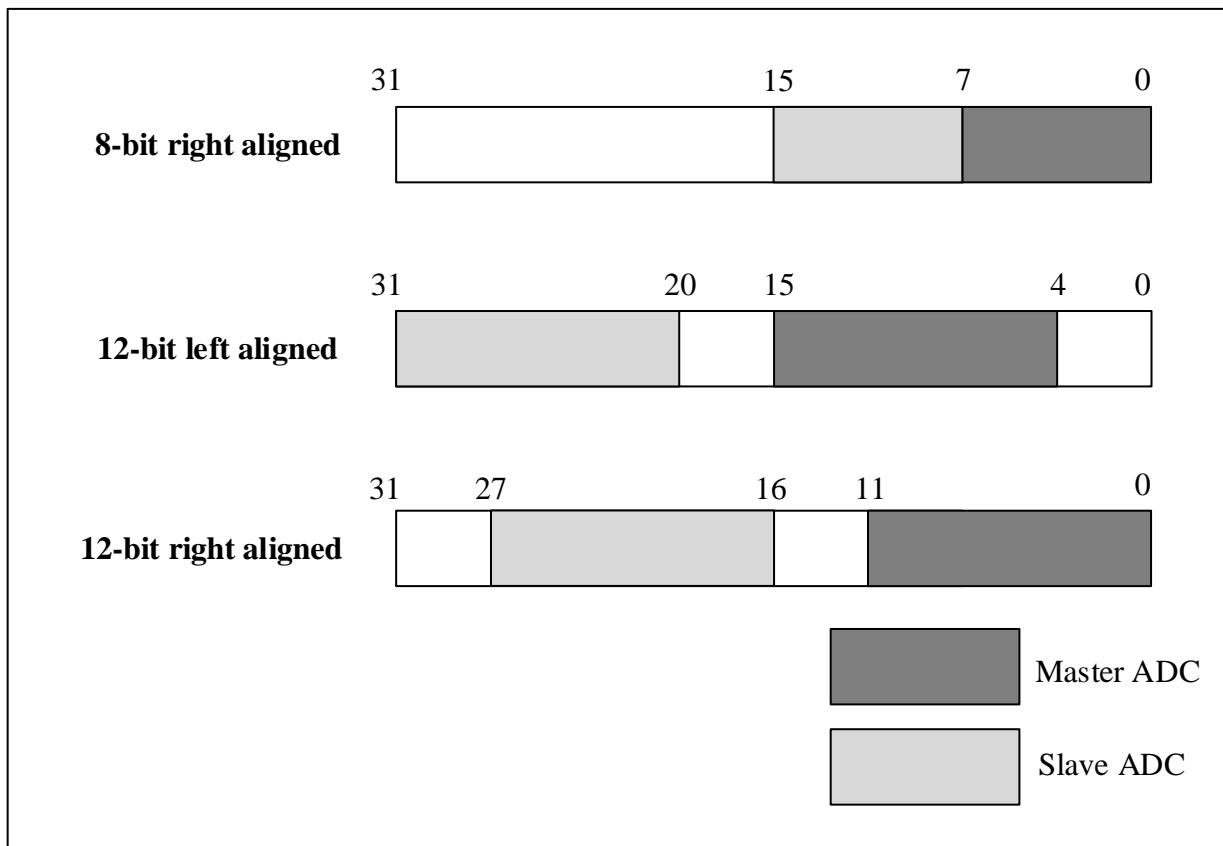
配置数据写入 DAC_DR12DCH 寄存器时，DAC1 数据写入 DAC_DR12DCH[11:0]（实际是存入寄存器 DACCH1D[11:0]位，DACCH1D 是内部的数据保存寄存器），DAC2 数据写入 DAC_DR12DCH[27:16]（实际

是存入寄存器 DACCH2D[11:0]位, DACCH2D 是内部的数据保存寄存器), 12 位数据右对齐。

配置数据写入 DAC_DR12DCH 寄存器时，DAC1 数据写入 DAC_DR12DCH[15:4]（实际是存入寄存器 DACCH1D[11:0]位，DACCH1D 是内部的数据保存寄存器），DAC2 数据写入 DAC_DR12DCH[31:20]（实际是存入寄存器 DACCH2D[11:0]位，DACCH2D 是内部的数据保存寄存器），12 位数据左对齐。

配置数据写入 DAC_DR8DCH 寄存器时，DAC1 数据写入 DAC_DR8DCH[7:0]（实际是存入寄存器 DACCH1D[11:4]位，DACCH1D 是内部的数据保存寄存器），DAC2 数据写入 DAC_DR8DCH[15:8]（实际是存入寄存器 DACCH2D[11:4]位，DACCH2D 是内部的数据保存寄存器），8 位数据左对齐。

图 10-3 DAC 同步输出时的数据格式



10.3.4 DAC 触发

配置 DAC_CTRL.TxEN=1 可以使能 DAC 的外部触发，通过配置 DAC_CTRL.TxSEL[2:0]来选择一个外部触发事件作为 DAC 的外部触发源。

表 10-2 DAC 外部触发

触发源	类型	TxSEL[2:0]
定时器 6 TRGO 事件	来自片上定时器的内部信号	0
定时器 8 TRGO 事件		1
定时器 7 TRGO 事件		10
定时器 5 TRGO 事件		11
定时器 2 TRGO 事件		100
定时器 4 TRGO 事件		101

EXTI line 9	外部引脚	110
SWTRIG (软件触发)	软件控制位	111

当 DAC 的触发源为定时器输出或者 EXTI line 9 的上升沿时，当触发产生，对齐数据保持寄存器的数据会被传送到 DAC_DATOx 寄存器中，这个数据传输过程需要 3 个 APB1 时钟周期的时间。

配置 DAC_SOTTR.TRxEN=1 可以使能 DAC 软件触发，当 DAC 由软件触发时，对齐数据保持寄存器的数据会被传送到 DAC_DATOx 寄存器中，DAC_SOTTR.TRxEN 在数据传输后硬件自动清 0。

注意：

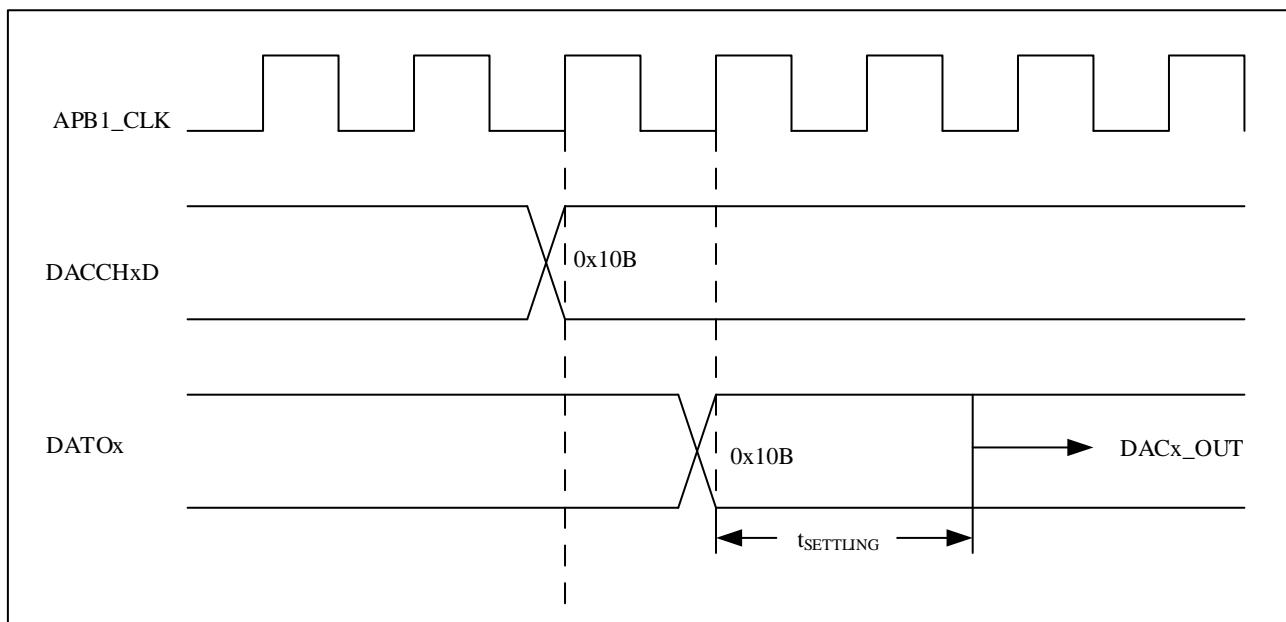
1. DAC 使能状态下禁止改变 DAC_CTRL.TxSEL[2:0] 位。
2. 软件触发时对齐数据保持寄存器的数据被传送到 DAC_DATO 寄存器中需要 1 个 APB1 时钟周期的时间。

10.3.5 DAC 转换

如果 DAC 触发开启，那么根据选择的触发事件，硬件触发发生时，DAC 对齐数据保持寄存器的数据会在三个 APB1 周期后将数据传送至 DAC_DATOx 寄存器，软件触发发生时，DAC 对齐数据保持寄存器的数据会在一个 APB1 周期后将数据传送至 DAC_DATOx 寄存器。

当 DAC 对其数据保持寄存器将数据传送至 DAC_DATOx 寄存器后，经过时间 $t_{SETTLING}$ 输出才有效，这个时间与电源电压及模拟输出负载相关。

图 10-4 触发禁用时转换的时间框图



10.3.6 DAC 输出电压

数字输入通过 DAC 模块转换为模拟电压输出，它们之间呈线性关系，输出范围为 0 到 VREF+。以下是 DAC 的输出电压计算公式：

$$\text{DAC 输出} = V_{\text{REF}} \times (\text{DATO} / 4095)$$

10.3.7 DMA 请求

配置 `DAC_CTRL.DMAxEN=1` 来开启 DMA 功能，2 个 DMA 通道分别对应两个 DAC，有外部触发发生时（不是软件触发），生成一个 DMA 请求，随后对齐数据保持寄存器的数据被传输到 `DAC_DATOx` 寄存器。

在开启双 DAC 模式时，只需要一个 DMA 来传输数据，所以只使用一个 DAC 开启 DMA 功能，开启两个会有两个 DMA 请求出现。

注意: DAC 的 DMA 请求没有累计功能, 当第 2 个外部触发发生在响应第 1 个外部触发之前, 则不能处理第 2 个 DMA 请求, 也没有报告错误机制。

10.3.8 噪声产生

DAC 可以生成噪声，通过配置 DAC_CTRL.WxEN[1:0] 为“01”开启噪声功能，通过配置 DAC_CTRL.MAxESEL[3:0] 来选择屏蔽线性反馈移位寄存器（LFSR）的哪些位，LFSR 寄存器的值与 DAC 对齐数据保持寄存器的值相加后写入到 DAC_DATOx 寄存器中（溢出位被舍弃）。LFSR 的初始值为 0xAAA，LFSR 的值更新于触发事件发生后的 3 个 APB1 周期之后。

图 10-5 DAC LFSR 算法

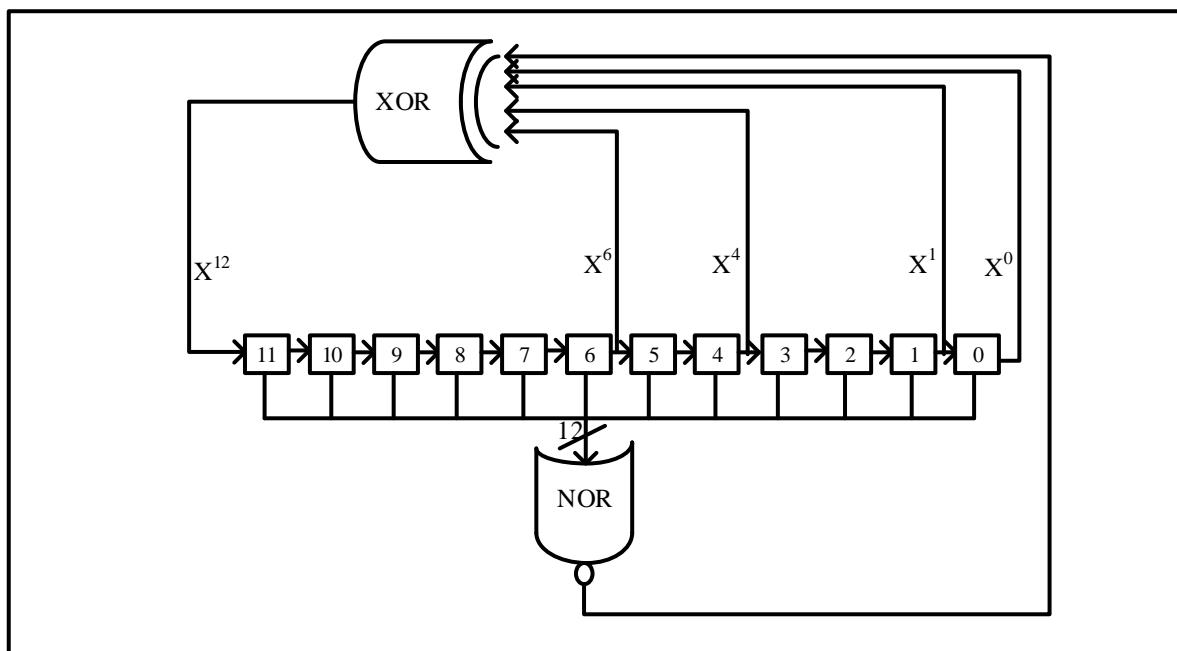
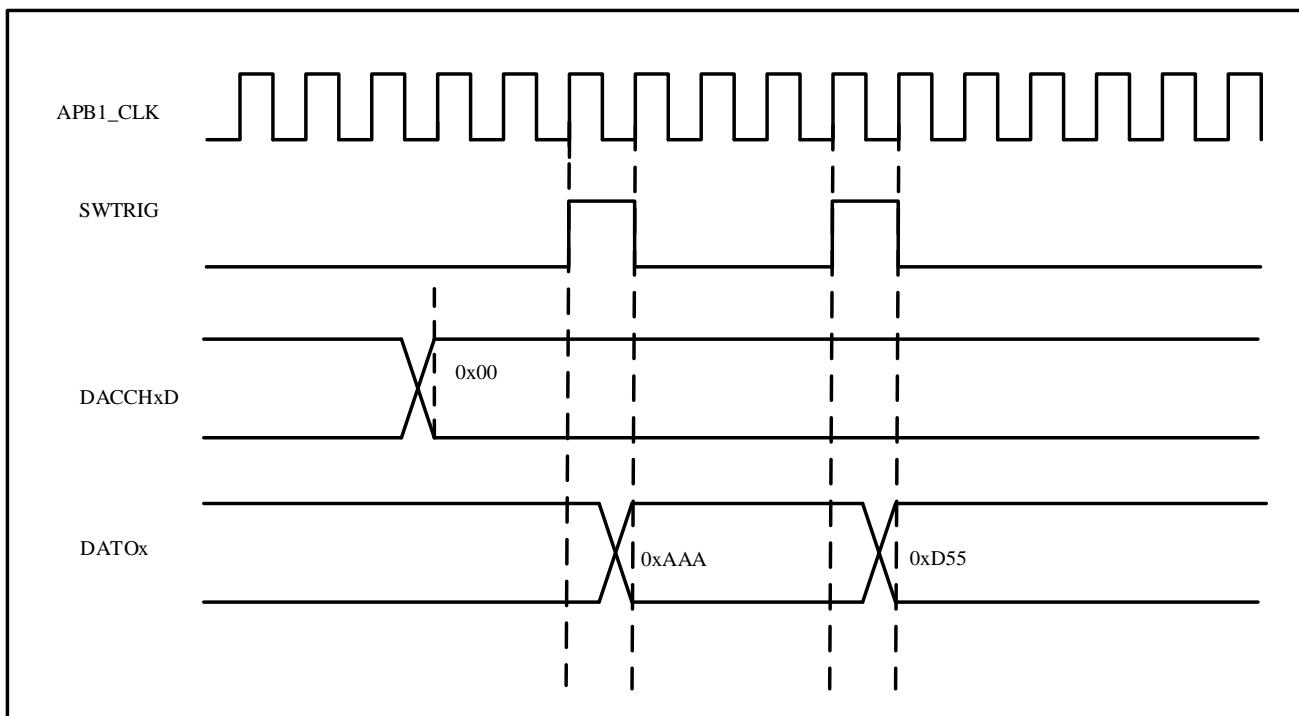


图 10-6 带 LFSR 波形生成的 DAC 转换（使能软件触发）



注意: DAC 配置为触发才能产生噪声。

10.3.9 三角波产生

DAC 可以生成三角波，通过配置 `DAC_CTRL.WxEN[1:0]` 为“10”开启三角波功能，通过配置 `DAC_CTRL.MAXSEL[3:0]` 来选择三角波的幅值，内部的三角波计数器值与 DAC 对齐数据保持寄存器的值相加后写入到 `DAC_DATOx` 寄存器中(溢出位被舍弃)。三角波计数器的值更新于触发事件发生后 3 个 APB1 周期，三角波计数器会累加到设置的最大幅值，然后递减到 0，依此循环。

图 10-7 DAC 三角波生成

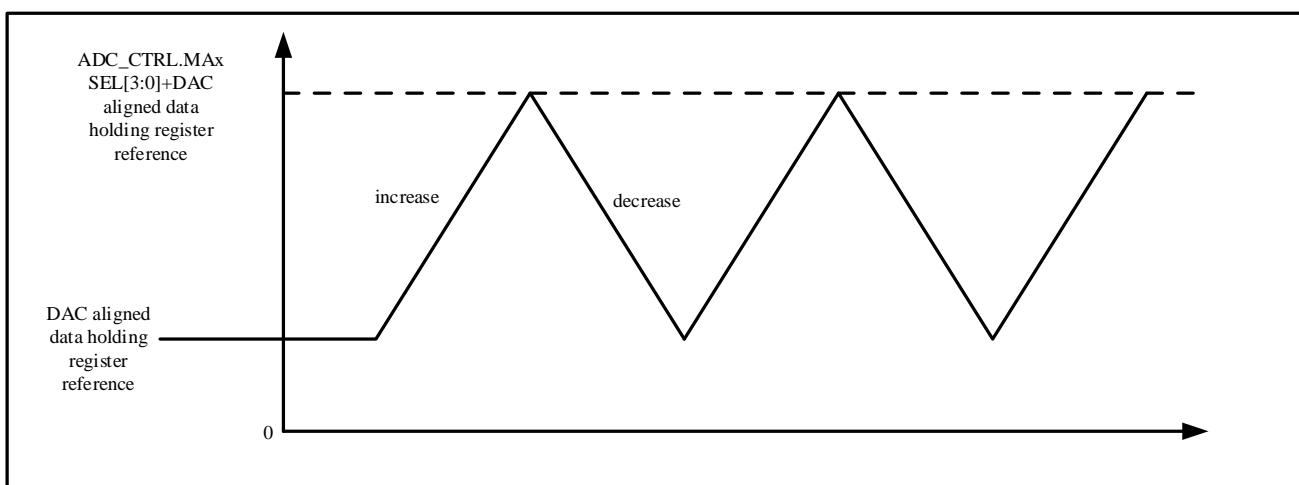
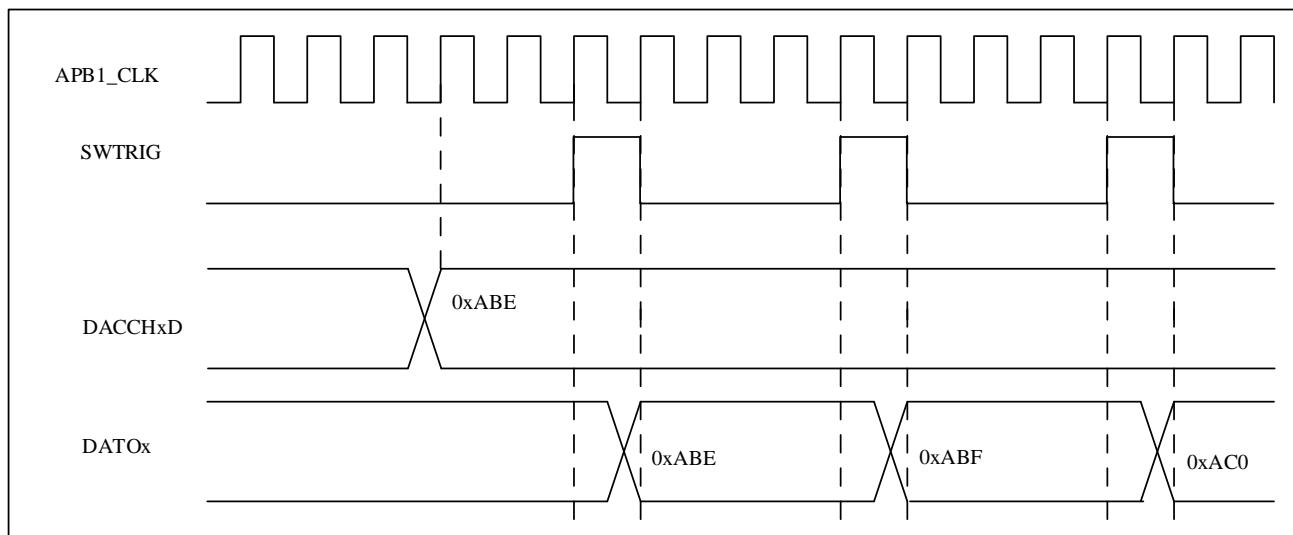


图 10-8 带三角生成的 DAC 转换（使能软件触发）



注意：

1. DAC 配置为触发才能产生三角波
2. 不允许在 DAC 使能后设置 DAC_CTRL.MAXSEL[3:0]。

10.4 DAC 双通道转换操作

DAC 两个通道即可以单独工作，也可以同时工作。该模式下，有 DAC_DR12DCH、DAC_DL12DCH 和 DAC_DR8DCH 总共 3 个寄存器可以使用，可以高效的利用总线带宽，每个寄存器都可以同时对 2 路 DAC 进行操作。

双 DAC 通道同时开启转换，总共有 11 种模式，在只使用一路 DAC 转换的情况下，另外一路 DAC 仍可以独立进行操作。具体请参考下面的章节描述。

10.4.1 不使用波形发生器的独立触发

配置流程如下：

- ◆ 配置 DAC_CTRL.T1EN 和 DAC_CTRL.T2EN 来开启 DAC1 和 DAC2 的触发使能。
- ◆ 配置 DAC_CTRL.T1SEL[2:0]和 DAC_CTRL.T2SEL[2:0]为不同值来选择不同触发源。
- ◆ 将所需转换的数据放入对应的对齐数据保持寄存器中。

当 DAC1 触发事件产生时，对齐数据保持寄存器的值将在延迟 3 个 APB1 时钟周期后传入寄存器 DAC_DATO1。当 DAC2 触发事件产生时，对齐数据保持寄存器的值将在延迟 3 个 APB1 时钟周期后传入寄存器 DAC_DATO2。

10.4.2 产生相同噪声的独立触发

配置流程如下：

- ◆ 配置 DAC_CTRL.T1EN 和 DAC_CTRL.T2EN 来开启 DAC1 和 DAC2 的触发使能。
- ◆ 配置 DAC_CTRL.T1SEL[2:0]和 DAC_CTRL.T2SEL[2:0]为不同值来选择不同触发源。

- ◆ 配置 DAC_CTRL.W1EN[1:0]和 DAC_CTRL.W2EN[1:0]为“01”来选择噪声生成使能。
- ◆ 配置 DAC_CTRL.MA1SEL3:0]和 DAC_CTRL.MA2SEL3:0]为相同值，以得到相同的 LFSR 寄存器屏蔽位。
- ◆ 将所需转换的数据放入对应的对齐数据保持寄存器中。

当 DAC1 触发事件产生时，LFSR 寄存器 1 的计数器值与对应数据保持寄存器数值相加，此相加值在延迟 3 个 APB1 时钟周期后传入寄存器 DAC_DATO1，LFSR 寄存器 1 的计数器值此时会更新。当 DAC2 触发事件产生时，LFSR 寄存器 2 的计数器值与对应数据保持寄存器数值相加，此相加值在延迟 3 个 APB1 时钟周期后传入寄存器 DAC_DATO2，LFSR 寄存器 2 的计数器值此时会更新。

10.4.3 产生不同噪声的独立触发

配置流程如下：

- ◆ 配置 DAC_CTRL.T1EN 和 DAC_CTRL.T2EN 来开启 DAC1 和 DAC2 的触发使能。
- ◆ 配置 DAC_CTRL.T1SEL[2:0]和 DAC_CTRL.T2SEL[2:0]为不同值来选择不同触发源。
- ◆ 配置 DAC_CTRL.W1EN[1:0]和 DAC_CTRL.W2EN[1:0]为“01”来选择噪声生成使能。
- ◆ 配置 DAC_CTRL.MA1SEL3:0]和 DAC_CTRL.MA2SEL3:0]为不同值，以得到不同的 LFSR 寄存器屏蔽位。
- ◆ 将所需转换的数据放入对应的对齐数据保持寄存器中。

当 DAC1 触发事件产生时，LFSR 寄存器 1 的计数器值与对应数据保持寄存器数值相加，此相加值在延迟 3 个 APB1 时钟周期后传入寄存器 DAC_DATO1，LFSR 寄存器 1 的计数器值此时会更新。当 DAC2 触发事件产生时，LFSR 寄存器 2 的计数器值与对应数据保持寄存器数值相加，此相加值在延迟 3 个 APB1 时钟周期后传入寄存器 DAC_DATO2，LFSR 寄存器 2 的计数器值此时会更新。

10.4.4 产生相同三角波的独立触发

配置流程如下：

- ◆ 配置 DAC_CTRL.T1EN 和 DAC_CTRL.T2EN 来开启 DAC1 和 DAC2 的触发使能。
- ◆ 配置 DAC_CTRL.T1SEL[2:0]和 DAC_CTRL.T2SEL[2:0]为不同值来选择不同触发源。
- ◆ 配置 DAC_CTRL.W1EN[1:0]和 DAC_CTRL.W2EN[1:0]为“1x”来选择三角波生成使能。
- ◆ 配置 DAC_CTRL.MA1SEL3:0]和 DAC_CTRL.MA2SEL3:0]为相同值，以得到相同的三角波幅值。
- ◆ 将所需转换的数据放入对应的对齐数据保持寄存器中。

当 DAC1 触发事件产生时，DAC1 的三角波幅值与对应数据保持寄存器数值相加，此相加值在延迟 3 个 APB1 时钟周期后传入寄存器 DAC_DATO1，DAC1 的三角波的计数器值此时会更新。当 DAC2 触发事件产生时，DAC2 的三角波幅值与对应数据保持寄存器数值相加，此相加值在延迟 3 个 APB1 时钟周期后传入寄存器 DAC_DATO2，DAC2 的三角波的计数器值此时会更新。

10.4.5 产生不同三角波的独立触发

配置流程如下：

- ◆ 配置 DAC_CTRL.T1EN 和 DAC_CTRL.T2EN 来开启 DAC1 和 DAC2 的触发使能。
- ◆ 配置 DAC_CTRL.T1SEL[2:0]和 DAC_CTRL.T2SEL[2:0]为不同值来选择不同触发源。
- ◆ 配置 DAC_CTRL.W1EN[1:0]和 DAC_CTRL.W2EN[1:0]为“1x”来选择三角波生成使能。
- ◆ 配置 DAC_CTRL.MA1SEL3:0]和 DAC_CTRL.MA2SEL3:0]为不同值，以得到不同的三角波幅值。
- ◆ 将所需转换的数据放入对应的对齐数据保持寄存器中。

当 DAC1 触发事件产生时，DAC1 的三角波幅值与对应数据保持寄存器数值相加，此相加值在延迟 3 个 APB1 时钟周期后传入寄存器 DAC_DATO1，DAC1 的三角波的计数器值此时会更新。当 DAC2 触发事件产生时，DAC2 的三角波幅值与对应数据保持寄存器数值相加，此相加值在延迟 3 个 APB1 时钟周期后传入寄存器 DAC_DATO2，DAC2 的三角波的计数器值此时会更新。

10.4.6 同时软件启动

配置流程如下：

- ◆ 配置 DAC_CTRL.T1EN 和 DAC_CTRL.T2EN 来开启 DAC1 和 DAC2 的触发使能。
- ◆ 配置 DAC_CTRL.TR1EN 和 DAC_CTRL.TR2EN 来选择软件触发。
- ◆ 将所需转换的数据放入对应的对齐数据保持寄存器中。

DAC1 的对齐数据保持寄存器的值将在延迟 1 个 APB1 时钟周期后传入寄存器 DAC_DATO1。

DAC2 的对齐数据保持寄存器的值将在延迟 1 个 APB1 时钟周期后传入寄存器 DAC_DATO2。

10.4.7 不使用波形发生器的同步触发

配置流程如下：

- ◆ 配置 DAC_CTRL.T1EN 和 DAC_CTRL.T2EN 来开启 DAC1 和 DAC2 的触发使能。
- ◆ 配置 DAC_CTRL.T1SEL[2:0]和 DAC_CTRL.T2SEL[2:0]为相同值来选择相同触发源。
- ◆ 将所需转换的数据放入对应的对齐数据保持寄存器中。

触发事件产生时，DAC1 的对齐数据保持寄存器的值将在延迟 3 个 APB1 时钟周期后传入寄存器 DAC_DATO1；DAC2 的对齐数据保持寄存器的值将在延迟 3 个 APB1 时钟周期后传入寄存器 DAC_DATO2。

10.4.8 产生相同噪声的同步触发

配置流程如下：

- ◆ 配置 DAC_CTRL.T1EN 和 DAC_CTRL.T2EN 来开启 DAC1 和 DAC2 的触发使能。
- ◆ 配置 DAC_CTRL.T1SEL[2:0]和 DAC_CTRL.T2SEL[2:0]为相同值来选择相同触发源。
- ◆ 配置 DAC_CTRL.W1EN[1:0]和 DAC_CTRL.W2EN[1:0]为“01”来选择噪声生成使能。
- ◆ 配置 DAC_CTRL.MA1SEL3:0]和 DAC_CTRL.MA2SEL3:0]为相同值，以得到相同的 LFSR 寄存器屏蔽位。
- ◆ 将所需转换的数据放入对应的对齐数据保持寄存器中。

当触发事件产生时, LFSR 寄存器 1 的计数器值与对应数据保持寄存器数值相加, 此相加值在延迟 3 个 APB1 时钟周期后传入寄存器 DAC_DATO1, LFSR 寄存器 1 的计数器值此时会更新; LFSR 寄存器 2 的计数器值与对应数据保持寄存器数值相加, 此相加值在延迟 3 个 APB1 时钟周期后传入寄存器 DAC_DATO2, LFSR 寄存器 2 的计数器值此时会更新。

10.4.9 产生不同噪声的同步触发

配置流程如下:

- ◆ 配置 DAC_CTRL.T1EN 和 DAC_CTRL.T2EN 来开启 DAC1 和 DAC2 的触发使能。
- ◆ 配置 DAC_CTRL.T1SEL[2:0]和 DAC_CTRL.T2SEL[2:0]为不同值来选择不同触发源。
- ◆ 配置 DAC_CTRL.W1EN[1:0]和 DAC_CTRL.W2EN[1:0]为“01”来选择噪声生成使能。
- ◆ 配置 DAC_CTRL.MA1SEL3:0]和 DAC_CTRL.MA2SEL3:0]为相同值, 以得到相同的 LFSR 寄存器屏蔽位。
- ◆ 将所需转换的数据放入对应的对齐数据保持寄存器中。

当触发事件产生时, LFSR 寄存器 1 的计数器值与对应数据保持寄存器数值相加, 此相加值在延迟 3 个 APB1 时钟周期后传入寄存器 DAC_DATO1, LFSR 寄存器 1 的计数器值此时会更新; LFSR 寄存器 2 的计数器值与对应数据保持寄存器数值相加, 此相加值在延迟 3 个 APB1 时钟周期后传入寄存器 DAC_DATO2, LFSR 寄存器 2 的计数器值此时会更新。

10.4.10 产生相同三角波的同步触发

配置流程如下:

- ◆ 配置 DAC_CTRL.T1EN 和 DAC_CTRL.T2EN 来开启 DAC1 和 DAC2 的触发使能。
- ◆ 配置 DAC_CTRL.T1SEL[2:0]和 DAC_CTRL.T2SEL[2:0]为相同值来选择相同触发源。
- ◆ 配置 DAC_CTRL.W1EN[1:0]和 DAC_CTRL.W2EN[1:0]为“1x”来选择三角波生成使能。
- ◆ 配置 DAC_CTRL.MA1SEL3:0]和 DAC_CTRL.MA2SEL3:0]为相同值, 以得到相同的三角波幅值。
- ◆ 将所需转换的数据放入对应的对齐数据保持寄存器中。

当触发事件产生时, DAC1 的三角波幅值与对应数据保持寄存器数值相加, 此相加值在延迟 3 个 APB1 时钟周期后传入寄存器 DAC_DATO1, DAC1 的三角波的计数器值此时会更新; DAC2 的三角波幅值与对应数据保持寄存器数值相加, 此相加值在延迟 3 个 APB1 时钟周期后传入寄存器 DAC_DATO2, DAC2 的三角波的计数器值此时会更新。

10.4.11 产生不同三角波的同步触发

配置流程如下:

- ◆ 配置 DAC_CTRL.T1EN 和 DAC_CTRL.T2EN 来开启 DAC1 和 DAC2 的触发使能。
- ◆ 配置 DAC_CTRL.T1SEL[2:0]和 DAC_CTRL.T2SEL[2:0]为相同值来选择相同触发源。
- ◆ 配置 DAC_CTRL.W1EN[1:0]和 DAC_CTRL.W2EN[1:0]为“1x”来选择三角波生成使能。
- ◆ 配置 DAC_CTRL.MA1SEL3:0]和 DAC_CTRL.MA2SEL3:0]为不同值, 以得到不同的三角波幅值。

- ◆ 将所需转换的数据放入对应的对齐数据保持寄存器中。

当触发事件产生时，DAC1 的三角波幅值与对应数据保持寄存器数值相加，此相加值在延迟 3 个 APB1 时钟周期后传入寄存器 DAC_DATO1，DAC1 的三角波的计数器值此时会更新；DAC2 的三角波幅值与对应数据保持寄存器数值相加，此相加值在延迟 3 个 APB1 时钟周期后传入寄存器 DAC_DATO2，DAC2 的三角波的计数器值此时会更新。

10.5 DAC 寄存器

10.5.1 DAC 寄存器总览

表 10-3 DAC 寄存器总览

Offset	Register	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0											
000h	DAC_CTRL	Reserved			DMA2EN	MA2SEL[3:0]			W2EN[1:0]			T2SEL[2:0]			T2EN	B2EN	C2EN	Reserved			DMA1EN	MA1SEL[3:0]			W1EN[1:0]	T1SEL[2:0]			T1EN	B1EN	C1EN	0	0											
					0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0													
004h	DAC_SOTTR	Reserved																												TR2EN	TR1EN	0	0											
008h	DAC_DR12CH1	Reserved																																										
00Ch	DAC_DL12CH1	Reserved																																										
010h	DAC_DR8CH1	Reserved																																										
014h	DAC_DR12CH2	Reserved																																										
018h	DAC_DL12CH2	Reserved																																										
01Ch	DAC_DR8CH2	Reserved																																										
020h	DAC_DR12DCH	Reserved	DACCH2D[11:0]												Reserved	DACCH1D[11:0]														DACCH1D[7:0]														
			0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	DACCH1D[7:0]																	
024h	DAC_DL12DCH	DACCH2D[11:0]												Reserved	DACCH1D[11:0]														Reserved															
		0	0	0	0	0	0	0	0	0	0	0	0		0	0	0	0	0	0	0	0	0	0	0	Reserved																		
028h	DAC_DR8DCH	Reserved																																										
02Ch	DAC_DATO1	Reserved																																										
030h	DAC_DATO2	Reserved																																										

10.5.2 DAC 控制寄存器 (DAC_CTRL)

偏移地址：0x000

复位值：0x0000 0000

31	29	28	27	24	23	22	21	19	18	17	16
Reserved	DMA2EN		MA2SEL[3:0]		W2EN[1:0]		T2SEL[2:0]		T2EN	B2EN	CH2EN
15	13	rw 12	rw 11	rw 8	rw 7	rw 6	rw 5	rw 3	rw 2	rw 1	rw 0
Reserved	DMA1EN		MA1SEL[3:0]		W1EN[1:0]		T1SEL[2:0]		T1EN	B1EN	CH1EN
		rw		rw		rw		rw		rw	rw

位域	名称	描述
31:29	Reserved	保留，必需保持复位值。
28	DMA2EN	DAC2 的 DMA 功能开启/禁用 该位由软件置 1 和清零。 0: 禁用 DAC2 的 DMA 功能 1: 开启 DAC2 的 DMA 功能
27:24	MA2SEL[3:0]	DAC2 屏蔽/幅值选择器。 这些位由软件配置，可以设置噪声功能的 LFSR 屏蔽位和三角波的幅值。 0000: 不屏蔽 LFSR 位 0 / 三角波幅值等于 1; 0001: 不屏蔽 LFSR 位[1:0] / 三角波幅值等于 3; 0010: 不屏蔽 LFSR 位[2:0] / 三角波幅值等于 7; 0011: 不屏蔽 LFSR 位[3:0] / 三角波幅值等于 15; 0100: 不屏蔽 LFSR 位[4:0] / 三角波幅值等于 31; 0101: 不屏蔽 LFSR 位[5:0] / 三角波幅值等于 63; 0110: 不屏蔽 LFSR 位[6:0] / 三角波幅值等于 127; 0111: 不屏蔽 LFSR 位[7:0] / 三角波幅值等于 255; 1000: 不屏蔽 LFSR 位[8:0] / 三角波幅值等于 511; 1001: 不屏蔽 LFSR 位[9:0] / 三角波幅值等于 1023; 1010: 不屏蔽 LFSR 位[10:0] / 三角波幅值等于 2047; ≥1011: 不屏蔽 LFSR 位[11:0] / 三角波幅值等于 4095。
23:22	W2EN[1:0]	DAC2 噪声/三角波功能选择。 这些位由软件置 1 和清零。 00: 禁用噪声和三角波; 01: 开启噪声功能; 1x: 开启三角波功能。
21:19	T2SEL[2:0]	DAC2 触发选择。 这些位用于 DAC2 外部触发的选择。 000: TIM6 TRGO 事件; 001: TIM8 TRGO 事件; 010: TIM7 TRGO 事件; 011: TIM5 TRGO 事件; 100: TIM2 TRGO 事件; 101: TIM4 TRGO 事件; 110: 外部中断线 9; 111: 软件触发。 <i>注意：这些位只能在 DAC2 触发使能时设置。</i>
18	T2EN	DAC2 触发使能。 该位由软件置 1 和清零，用来开启/禁用 DAC2 的触发。

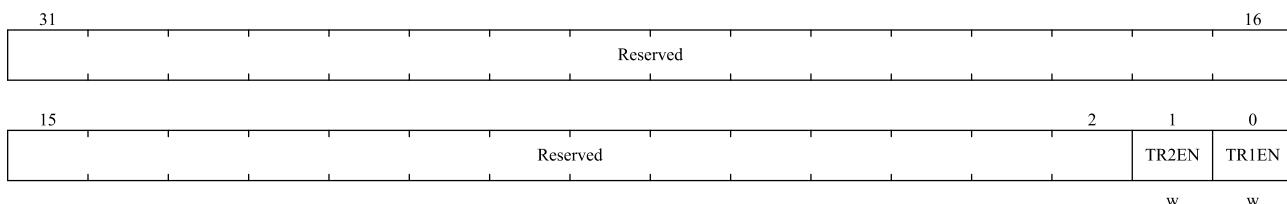
位域	名称	描述
		0: 禁用 DAC 触发; 1: 开启 DAC 触发。
17	B2EN	DAC2 输出缓存。 该位由软件置 1 和清零, 用来开启/禁用 DAC2 的输出缓存。 0: 禁用 DAC2 输出缓存; 1: 开启 DAC2 输出缓存。
16	CH2EN	DAC2 开启。 该位由软件置 1 和清零, 用来开启/禁用 DAC2。 0: 禁用 DAC2; 1: 开启 DAC2。
15:13	Reserved	保留, 必需保持复位值。
12	DMA1EN	DAC1 的 DMA 功能开启/禁用 该位由软件置 1 和清零。 0: 禁用 DAC1 的 DMA 功能; 1: 开启 DAC1 的 DMA 功能。
11:8	MA1SEL[3:0]	DAC1 屏蔽/幅值选择器。 这些位由软件配置, 可以设置噪声功能的 LFSR 屏蔽位和三角波的幅值。 0000: 不屏蔽 LFSR 位 0 / 三角波幅值等于 1; 0001: 不屏蔽 LFSR 位[1:0] / 三角波幅值等于 3; 0010: 不屏蔽 LFSR 位[2:0] / 三角波幅值等于 7; 0011: 不屏蔽 LFSR 位[3:0] / 三角波幅值等于 15; 0100: 不屏蔽 LFSR 位[4:0] / 三角波幅值等于 31; 0101: 不屏蔽 LFSR 位[5:0] / 三角波幅值等于 63; 0110: 不屏蔽 LFSR 位[6:0] / 三角波幅值等于 127; 0111: 不屏蔽 LFSR 位[7:0] / 三角波幅值等于 255; 1000: 不屏蔽 LFSR 位[8:0] / 三角波幅值等于 511; 1001: 不屏蔽 LFSR 位[9:0] / 三角波幅值等于 1023; 1010: 不屏蔽 LFSR 位[10:0] / 三角波幅值等于 2047; ≥1011: 不屏蔽 LFSR 位[11:0] / 三角波幅值等于 4095。
7:6	W1EN[1:0]	DAC1 噪声/三角波功能选择。 这些位由软件置 1 和清零。 00: 禁用噪声和三角波; 01: 开启噪声功能; 1x: 开启三角波功能。
5:3	T1SEL[2:0]	DAC1 触发选择。 这些位用于 DAC1 外部触发的选择。 000: TIM6 TRGO 事件; 001: TIM8 TRGO 事件; 010: TIM7 TRGO 事件; 011: TIM5 TRGO 事件; 100: TIM2 TRGO 事件; 101: TIM4 TRGO 事件; 110: 外部中断线 9;

位域	名称	描述
		111: 软件触发。 注意: 这些位只能在 DAC1 触发使能时设置。
2	T1EN	DAC1 触发使能。 该位由软件置 1 和清零, 用来开启/禁用 DAC1 的触发。 0: 禁用 DAC1 触发; 1: 开启 DAC1 触发。
1	B1EN	DAC1 输出缓存。 该位由软件置 1 和清零, 用来开启/禁用 DAC1 的输出缓存。 0: 禁用 DAC1 输出缓存; 1: 开启 DAC1 输出缓存。
0	CH1EN	DAC1 开启。 该位由软件置 1 和清零, 用来开启/禁用 DAC1。 0: 禁用 DAC1; 1: 开启 DAC1。

10.5.3 DAC 软件触发寄存器 (DAC_SOTTR)

偏移地址: 0x04

复位值: 0x0000 0000

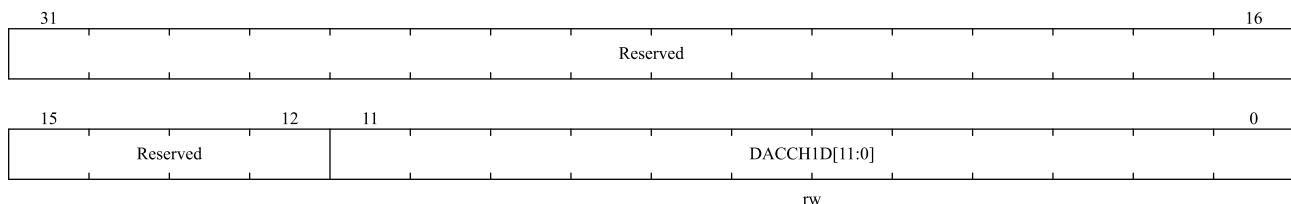


位域	名称	描述
31:2	Reserved	保留, 必需保持复位值。
1	TR2EN	DAC2 软件触发开启。 该位由软件置 1, 用来开启/禁用软件触发。 0: 禁用 DAC2 软件触发; 1: 开启 DAC2 软件触发。 注意: 对齐数据保持寄存器将数据传送至 DAC_DATO2 寄存器之后, 一个 APB1 时钟之后该位会由硬件清 0.
0	TR1EN	DAC1 软件触发开启。 该位由软件置 1, 用来开启/禁用软件触发。 0: 禁用 DAC1 软件触发; 1: 开启 DAC1 软件触发。 注意: 对齐数据保持寄存器将数据传送至 DAC_DATO1 寄存器之后, 一个 APB1 时钟之后该位会由硬件清 0.

10.5.4 DAC1 的 12 位右对齐数据保持寄存器 (DAC_DR12CH1)

偏移地址: 0x08

复位值: 0x0000 0000

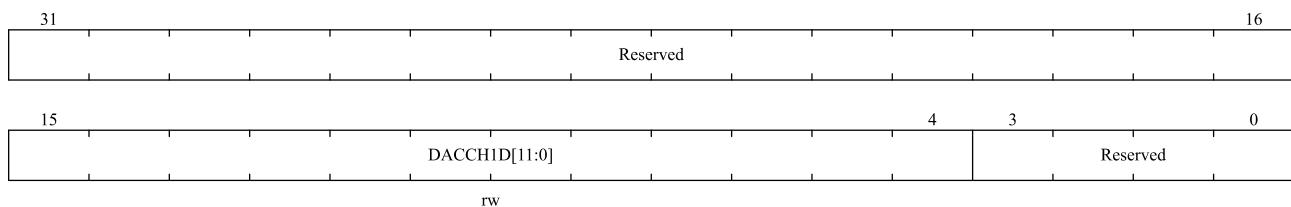


位域	名称	描述
31:12	Reserved	保留, 必需保持复位值。
11:0	DACCH1D[11:0]	DAC1 的 12 位右对齐数据 这些位由软件配置, DAC1 转换这些数据。

10.5.5 DAC1 的 12 位左对齐数据保持寄存器 (DAC_DL12CH1)

偏移地址: 0x0C

复位值: 0x0000 0000

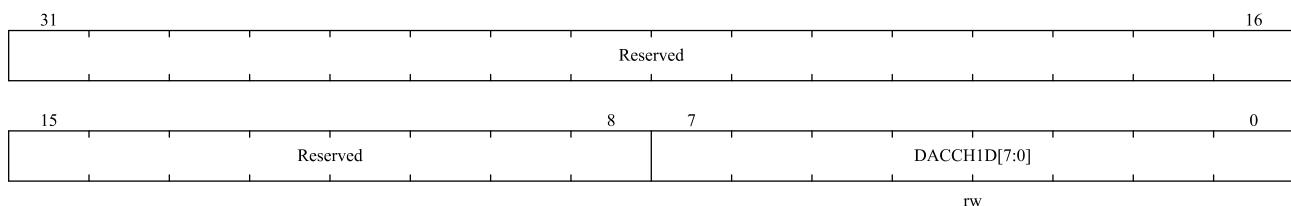


位域	名称	描述
31:16	Reserved	保留, 必需保持复位值。
15:4	DACCH1D[11:0]	DAC1 的 12 位左对齐数据 这些位由软件配置, DAC1 转换这些数据。
3:0	Reserved	保留, 必需保持复位值。

10.5.6 DAC1 的 8 位右对齐数据保持寄存器 (DAC_DR8CH1)

偏移地址: 0x10

复位值: 0x0000 0000

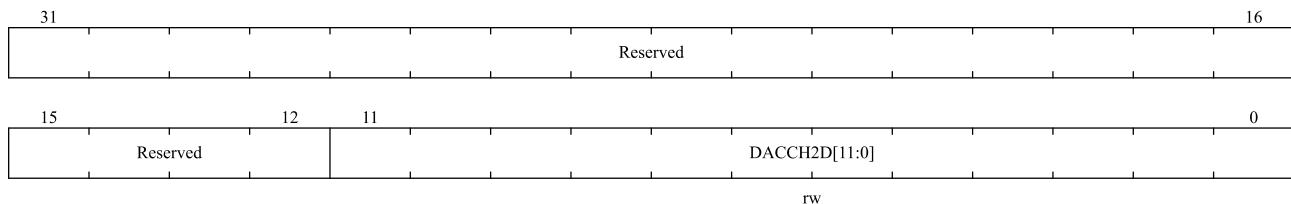


位域	名称	描述
31:8	Reserved	保留, 必需保持复位值。
7:0	DACCH1D[7:0]	DAC1 的 8 位右对齐数据 这些位由软件配置, DAC1 转换这些数据。

10.5.7 DAC2 的 12 位右对齐数据保持寄存器 (DAC_DR12CH2)

偏移地址: 0x14

复位值: 0x0000 0000

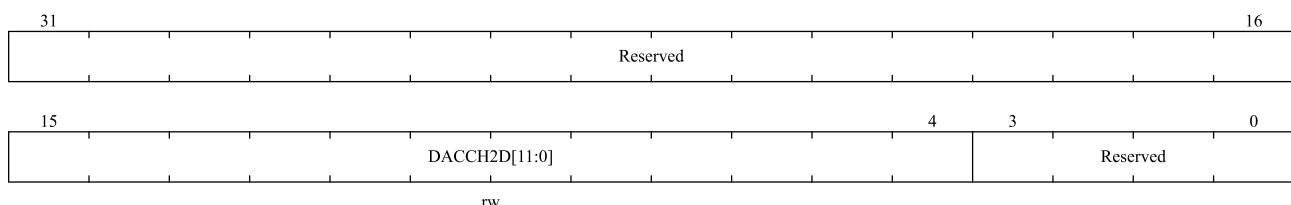


位域	名称	描述
31:12	Reserved	保留, 必需保持复位值。
11:0	DACCH2D[11:0]	DAC2 的 12 位右对齐数据 这些位由软件配置, DAC2 转换这些数据。

10.5.8 DAC2 的 12 位左对齐数据保持寄存器 (DAC_DL12CH2)

偏移地址: 0x18

复位值: 0x0000 0000

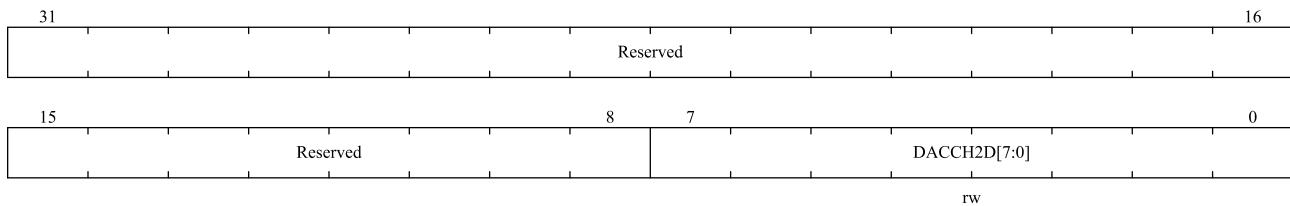


位域	名称	描述
31:16	Reserved	保留, 必需保持复位值。
15:4	DACCH2D[11:0]	DAC2 的 12 位左对齐数据 这些位由软件配置, DAC2 转换这些数据。
3:0	Reserved	保留, 必需保持复位值。

10.5.9 DAC2 的 8 位右对齐数据保持寄存器 (DAC_DR8CH2)

偏移地址: 0x1C

复位值: 0x0000 0000

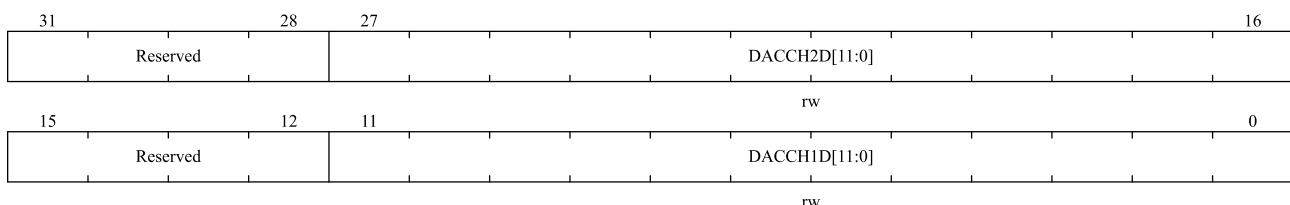


位域	名称	描述
31:8	Reserved	保留，必需保持复位值。
7:0	DACCH2D[7:0]	DAC2 的 8 位右对齐数据 这些位由软件配置，DAC2 转换这些数据。

10.5.10 双 DAC 的 12 位右对齐数据保持寄存器 (DAC_DR12DCH)

偏移地址: 0x20

复位值: 0x0000 0000

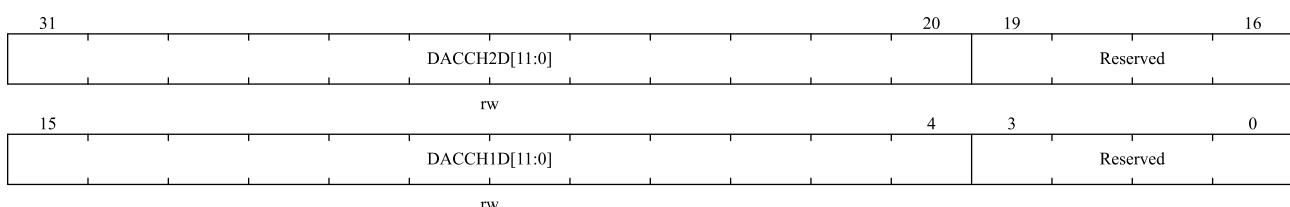


位域	名称	描述
31:28	Reserved	保留，必需保持复位值。
27:16	DACCH2D[11:0]	DAC2 的 12 位右对齐数据。 这些位由软件配置，DAC2 转换这些数据。
15:12	Reserved	保留，必需保持复位值。
11:0	DACCH1D[11:0]	DAC1 的 12 位右对齐数据。 这些位由软件配置，DAC1 转换这些数据。.

10.5.11 双 DAC 的 12 位左对齐数据保持寄存器 (DAC_DL12DCH)

偏移地址: 0x24

复位值: 0x0000 0000



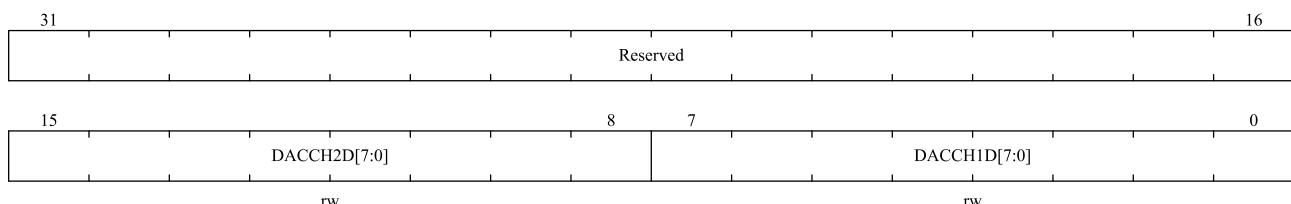
位域	名称	描述
31:20	DACCH2D[11:0]	DAC2 的 12 位左对齐数据。 这些位由软件配置，DAC2 转换这些数据。

位域	名称	描述
19:16	Reserved	保留, 必需保持复位值。
15:4	DACCH1D[11:0]	DAC1 的 12 位左对齐数据。 这些位由软件配置, DAC1 转换这些数据。
3:0	Reserved	保留, 必需保持复位值。

10.5.12 双 DAC 的 8 位右对齐数据保持寄存器 (DAC_DR8DCH)

偏移地址: 0x28

复位值: 0x0000 0000

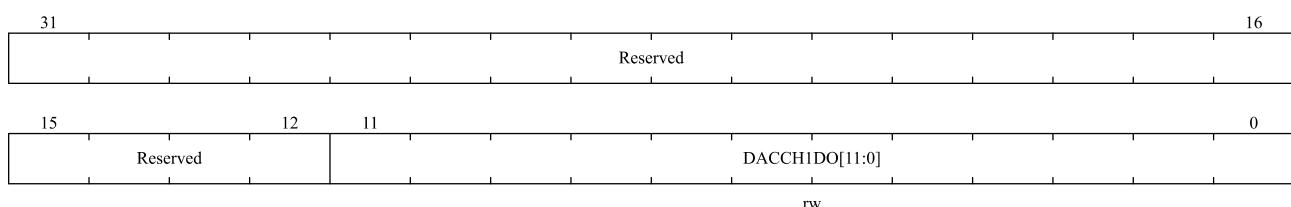


位域	名称	描述
31:16	Reserved	保留, 必需保持复位值。
15:8	DACCH2D[7:0]	DAC2 的 8 位右对齐数据。 这些位由软件配置, DAC2 转换这些数据。
7:0	DACCH1D[7:0]	DAC1 的 8 位右对齐数据。 这些位由软件配置, DAC1 转换这些数据。

10.5.13 DAC1 的数据输出寄存器 (DAC_DATO1)

偏移地址: 0x2C

复位值: 0x0000 0000

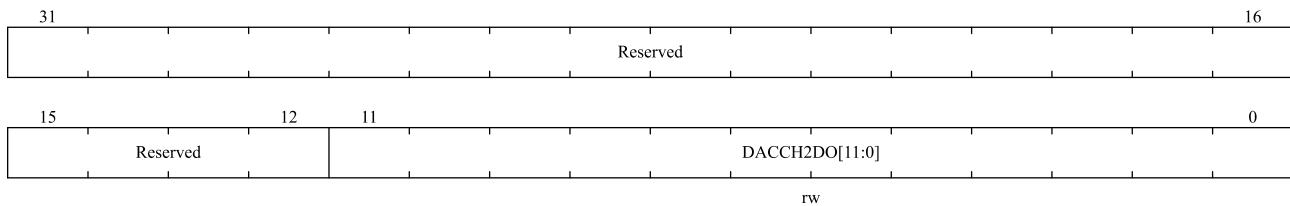


位域	名称	描述
31:12	Reserved	保留, 必需保持复位值。
11:0	DACCH1DO[11:0]	DAC1 数据输出。 这些位为只读, 表示 DAC1 的输出数据

10.5.14 DAC2 的数据输出寄存器 (DAC_DATO2)

偏移地址: 0x30

复位值: 0x0000 0000



位域	名称	描述
31:12	Reserved	保留，必需保持复位值。
11:0	DACCH2DO[11:0]	DAC2 数据输出。 这些位为只读，表示 DAC2 的输出数据

11 高级控制定时器（TIM1 和 TIM8）

11.1 TIM1 和 TIM8 简介

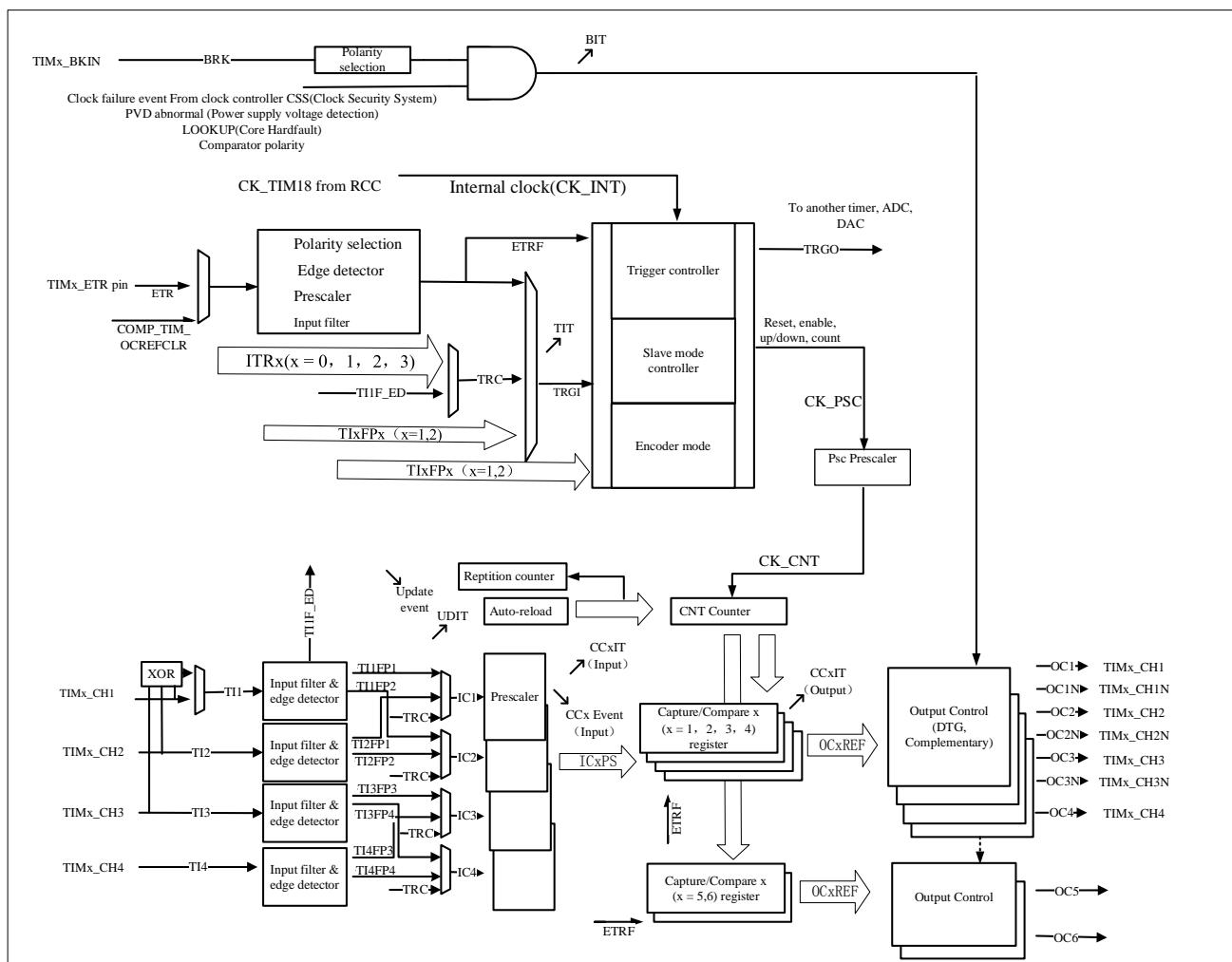
高级控制定时器（TIM1 和 TIM8）主要用于以下场合：对输入信号进行计数、测量输入信号的脉冲宽度和产生输出波形等。

高级定时器具有互补输出功能、死区插入和刹车功能。适用于电机控制。

11.2 TIM1 和 TIM8 主要特性

- 16 位自动装载计数器。（可实现向上计数、向下计数、向上/下计数）。
- 16 位可编程预分频器。（分频系数可配置为 1 到 65536 之间的任意值）
- 可编程重复计数器
- TIM1 最多 6 个通道，TIM8 最多 6 个通道
- 4 个捕获/比较通道，工作模式为：PWM 输出、输出比较、单脉冲模式输出、输入捕获
- 如下事件发生时产生中断/DMA：
 - ◆ 更新事件
 - ◆ 触发事件
 - ◆ 输入捕获
 - ◆ 输出比较
 - ◆ 刹车信号输入
- 死区时间可编程的互补输出
 - 对于 TIM1、TIM8，通道 1、2、3 支持此功能
- 可通过外部信号控制定时器
- 多个定时器连接，以实现定时器同步或链接
- TIM1_CC5 和 TIM8_CC5 用于比较器消隐
- TIM1_CC6 用于 OPAMP1 和 OPAMP2 的输入通道切换；TIM8_CC6 用于 OPAMP3 和 OPAMP4 的输入通道切换；
- 增量（正交）编码器接口：用于追踪运行轨迹和解析旋转方位
- 霍尔传感器接口：用于三相电机控制

图 11-1 TIMx(x=1/8)框图



11.3 TIM1 和 TIM8 功能描述

11.3.1 时基单元

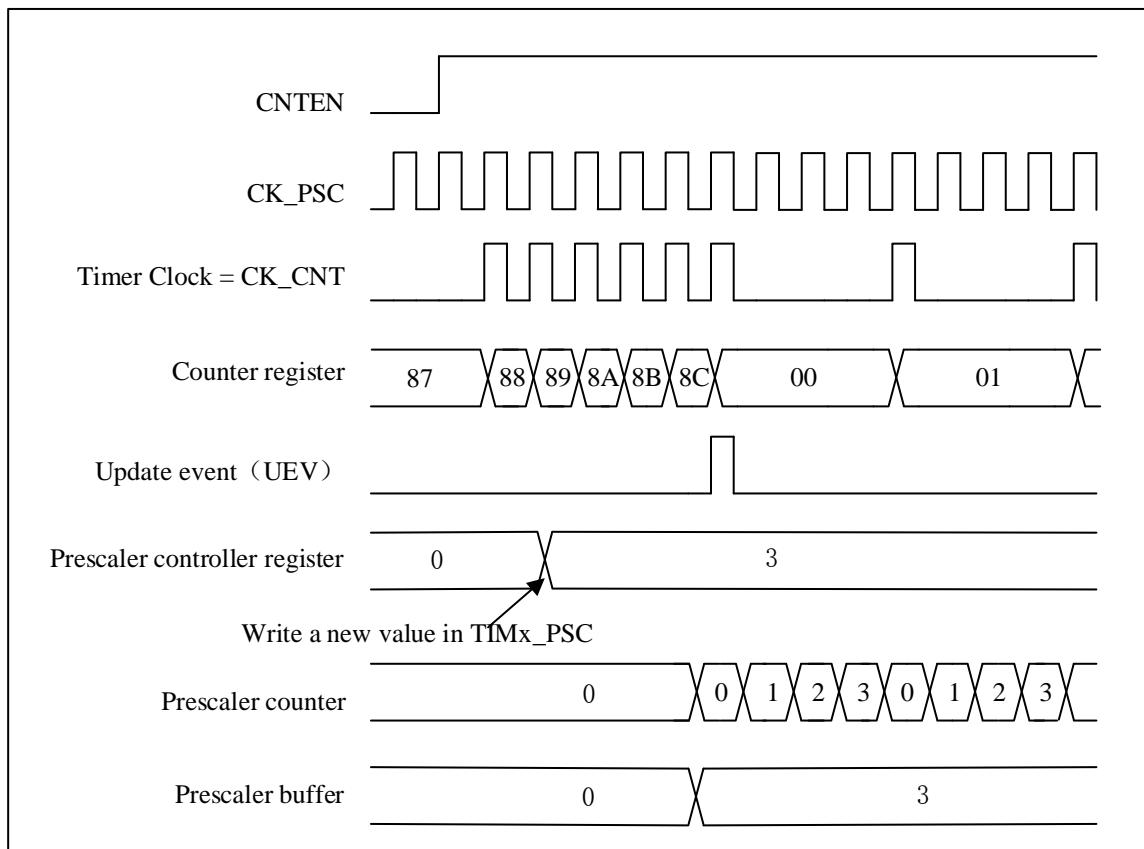
高级控制器的时基单元主要包括：预分频器、计数器、自动重装载寄存器和重复计数器。当时基单元工作时，软件可以随时读取和写入相应的寄存器（TIMx_PSC、TIMx_CNT、TIMx_AR 和 TIMx_REPCNT）。

根据自动重装载预装载使能位（TIMx_CTRL1.AR PEN）的设置，预装载寄存器的值会立即或在每次更新事件 UEV 时传输到影子寄存器。TIMx_CTRL1.UPDIS=0 时，计数器上溢 / 下溢或软件设置 TIMx_EVTGEN.UDGN 将生成更新事件。计数器 CK_CNT 仅在 TIMx_CTRL1.CNTEN 位被设置时有效。计数器在 TIMx_CTRL.CNTEN 位被设置后一个时钟周期之后开始计数。

11.3.1.1 预分频器描述

TIMx_PSC 寄存器由一个 16 位计数器组成，可用于计数器时钟频率按 1 和 65536 之间的任意分频。因为这个控制器带有缓冲器，可以在运行时动态改变。新的预分频器值只有在下次更新事件中才会被采用。

图 11-2 当预分频的参数从 1 到 4，计数器的时序图



11.3.2 计数器模式

11.3.2.1 向上计数模式

使用向上计数模式，计数器将从 0 计数到寄存器 TIMx_AR 的值，然后重置为 0。并产生一个计数器溢出事件。

如果设置 TIMx_CTRL1.UPRS 位(选择更新请求)和 TIMx_EVTGEN.UDGN 位, 将产生一个更新事件(UEV)。但是 TIMx_STS.UDITF 不会被硬件置起，因此不会产生更新中断或 DMA 更新请求。这是为了避免清除计数器时产生更新中断。

取决于 TIMx_CTRL1.UPRS 的配置，当发生更新事件时，TIMx_STS.UDITF 被设置，所有寄存器都会更新：

- 重复计数器被重新加载为 TIMx_REPCNT 的内容
- 当 TIMx_CTRL1.AR PEN = 1，预装载寄存器(TIMx_AR)的值被更新到自动装载影子寄存器
- 预加载值 (TIMx_PSC) 被重新加载到预分频器影子寄存器中

为了避免在向预装载寄存器中写入新值时更新影子寄存器，可以通过设置 TIMx_CTRL1.UPDIS=1 来禁止更新事件。

当产生一个更新事件时，计数器仍将被清除，预分频器计数器也将被设置为 0(但预分频器值将保持不变)。

下图给出一些示例，展示了向上计数模式计数器在不同分频因子下的动作。

图 11-3 当内部时钟分频因子 = 2/N 时，向上计数的时序图

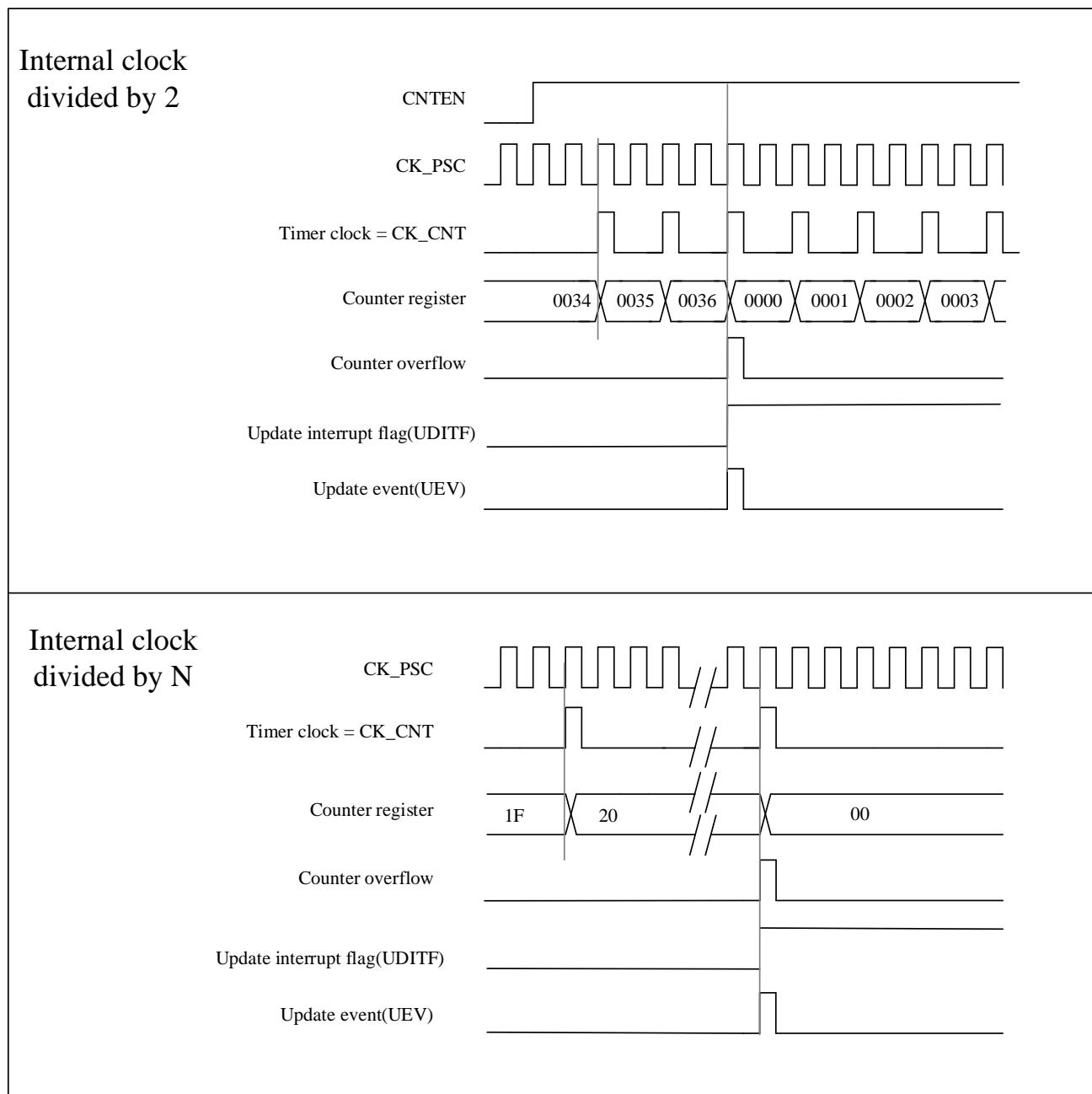
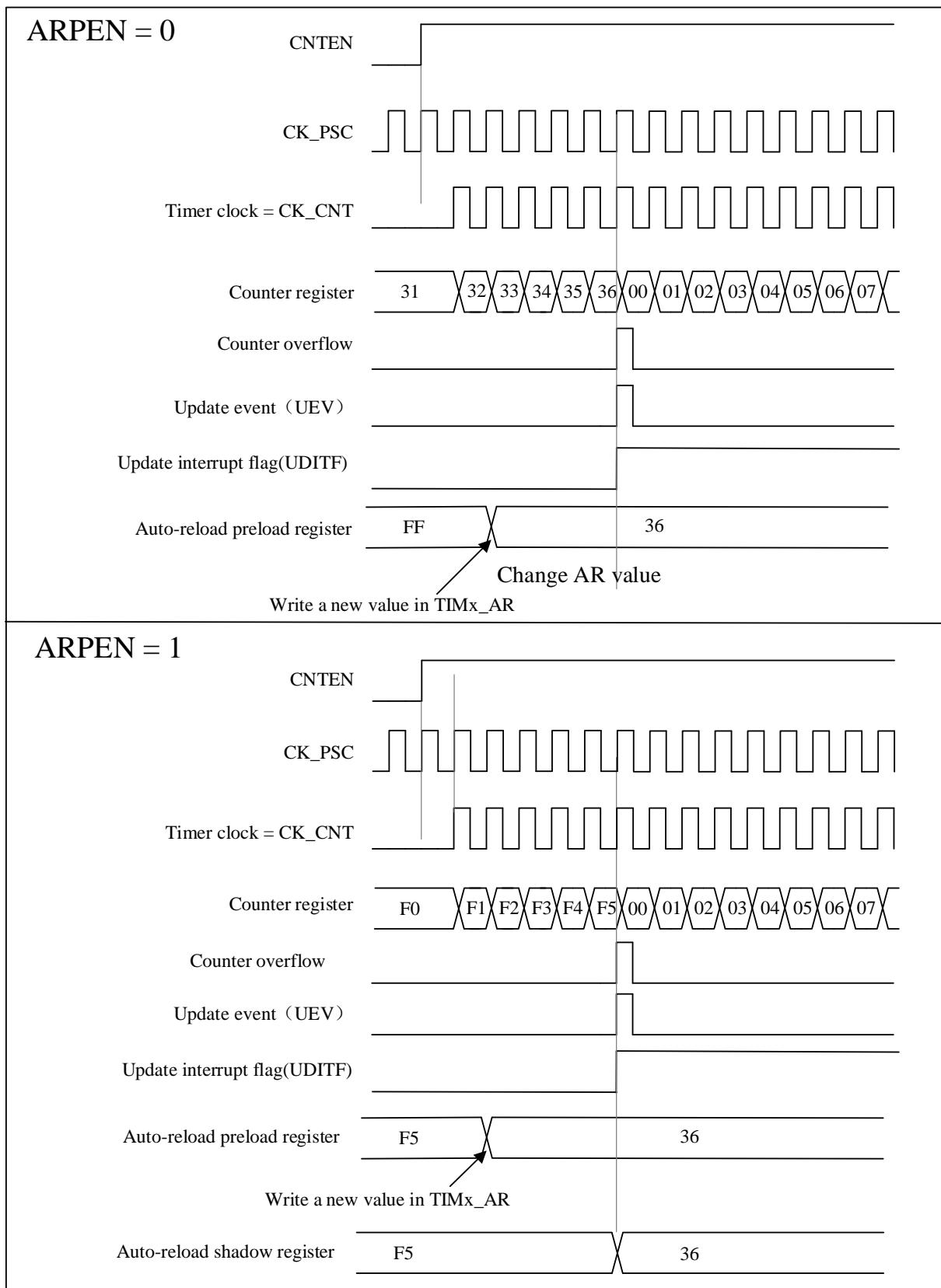


图 11-4 当 ARDEN=0/1 产生更新事件时，向上计数的时序图



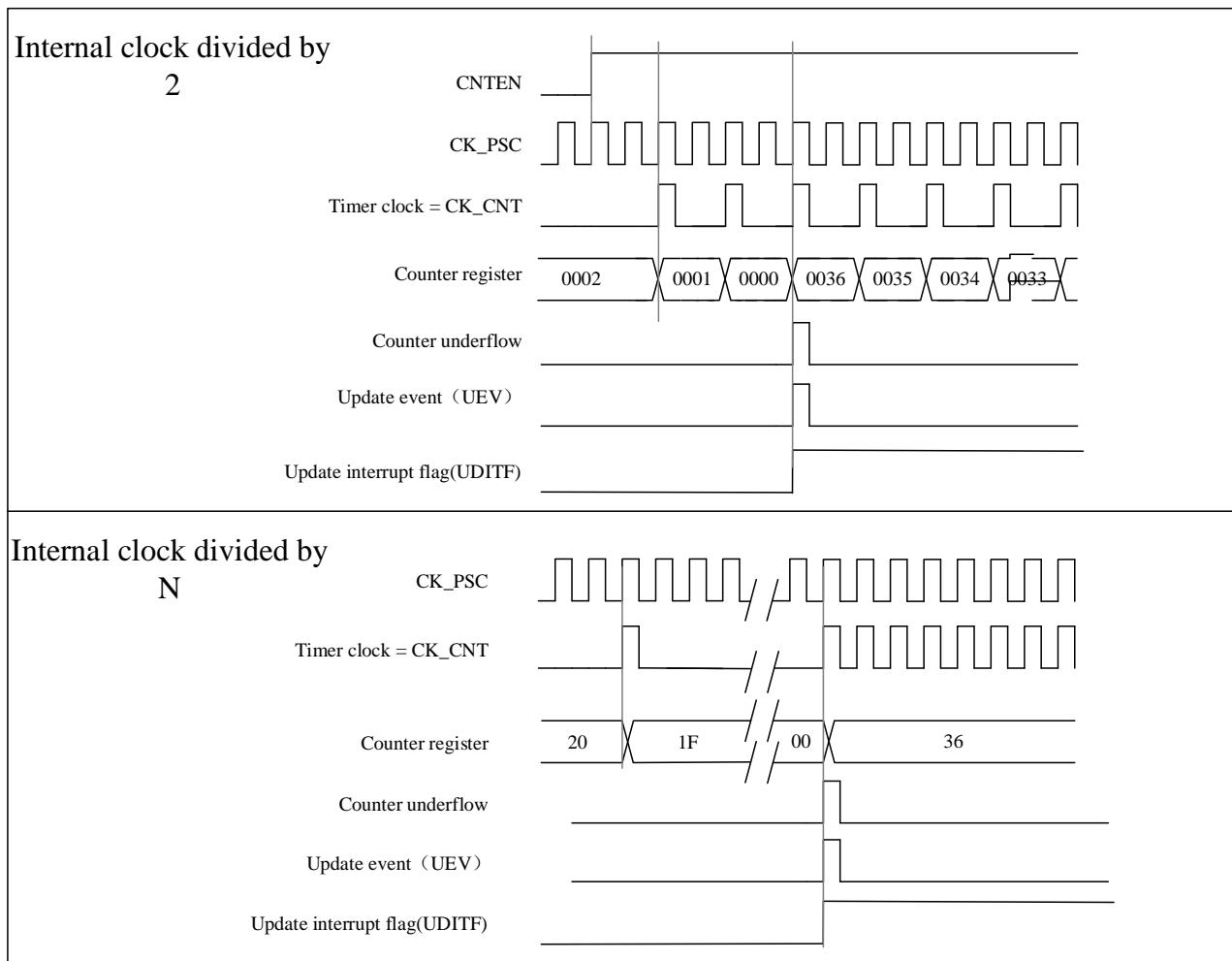
11.3.2.2 向下计数模式

向下计数模式，计数器将从寄存器 TIMx_AR 的值减至 0，然后从自动重装载值重新开始，并产生计数器向下溢出事件。

向下计数模式和向上计数模式配置更新事件和更新寄存器的过程相同，请查阅 11.3.2.1 章节。

下图给出一些示例，展示了向下计数模式计数器在不同分频因子下的动作。

图 11-5 内部时钟分频因子 = 2/N 时，向下计数时序图



11.3.2.3 中央对齐模式

在中央对齐模式下，计数器从 0 增加到值 (TIMx_AR) -1，产生计数器溢出事件。然后，它从自动重装载值 (TIMx_AR) 向下计数到 1，并生成一个计数器向下溢出事件。然后计数器重置为 0 并再次开始计数。

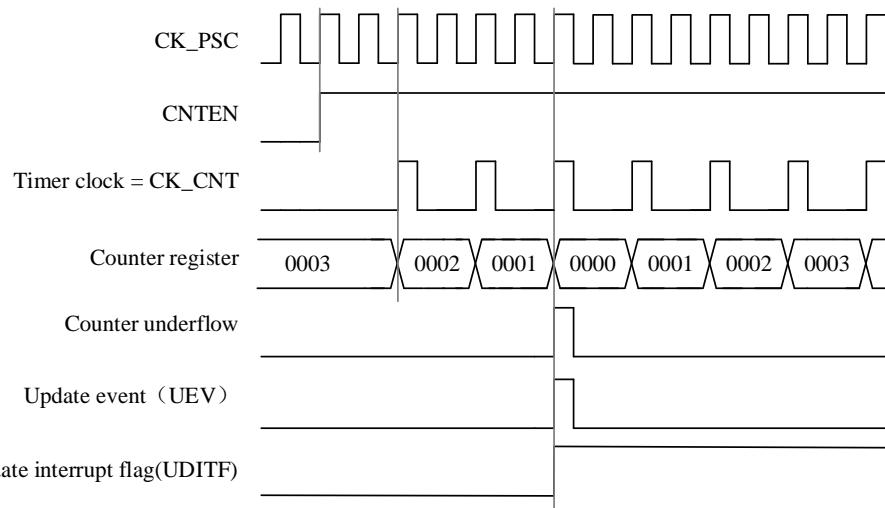
在这种模式下，TIMx_CTRL1.DIR 方向位无效，由硬件更新和指定当前计数方向。当 TIMx_CTRL1.CAMSEL 位不等于“00”时，中央对齐模式有效。

每次计数上溢和计数下溢时都会生成更新事件。或者，也可以通过设置 TIMx_EVTGEN.UDGN 位（通过软件或使用从模式控制器）来生成更新事件。在这种情况下，计数器从 0 重新开始计数，预分频器的计数器也从 0 重新开始计数。

注：如果因为计数器溢出而产生更新，自动重装载将在计数器重新载入之前被更新。

图 11-6 内部时钟分频因子 = 2/N, 中央对齐时序图

Internal clock divided by 2



Internal clock divided by N

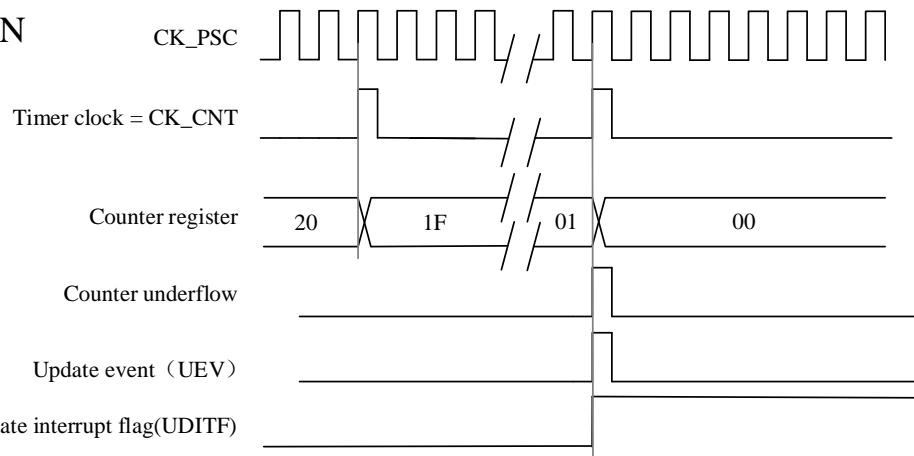
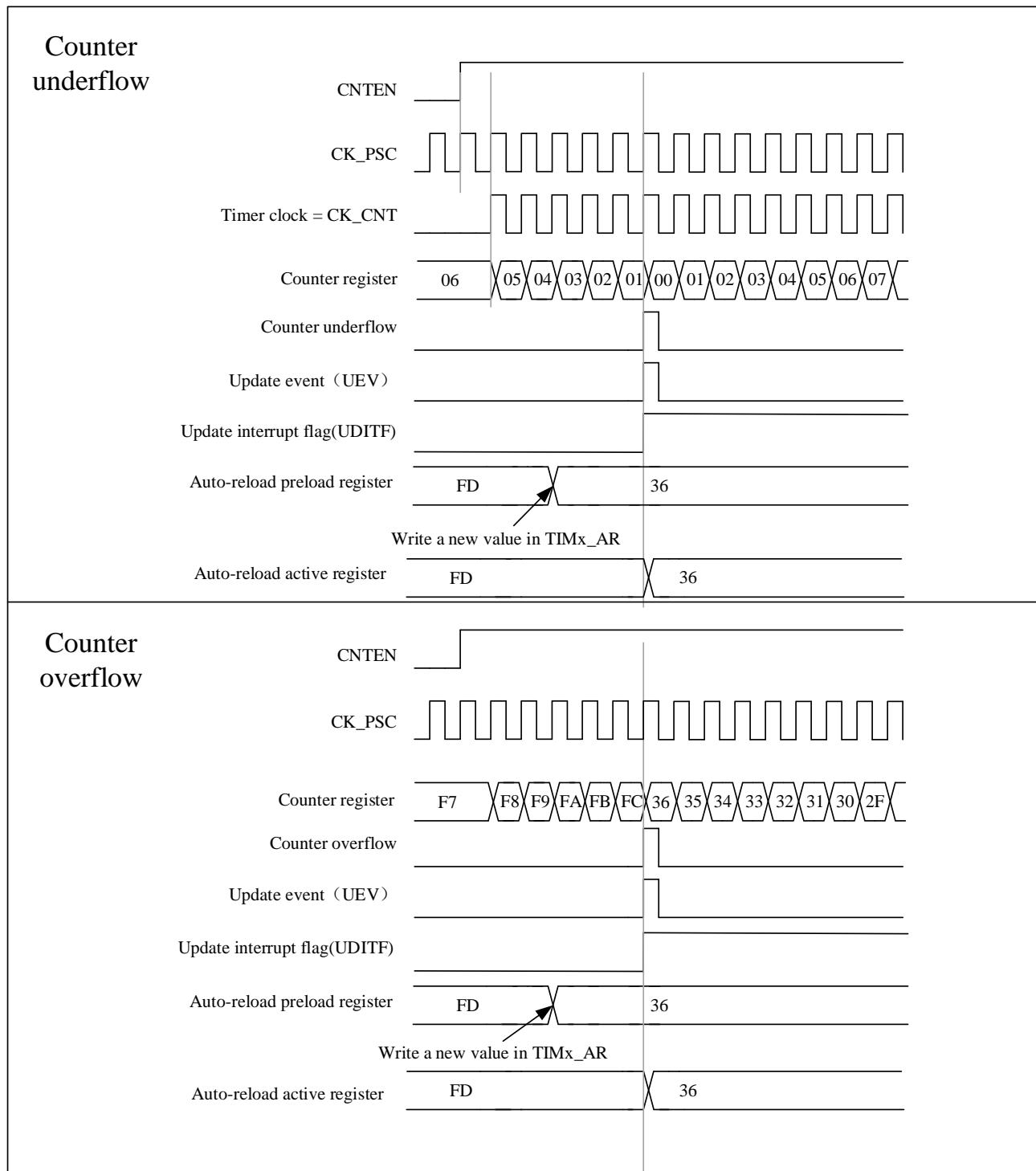


图 11-7 包含计数器上溢和下溢的中央对齐时序图(ARPEN=1)



11.3.3 重复计数器

第 11.3.1 章节的基本单元描述了生成更新事件 (UEV) 的条件。更新事件 (UEV) 实际上仅在重复计数器达到零时生成，这对于生成 PWM 信号非常有用。

这意味着每 $N+1$ 计数器溢出或下溢一次，数据就会从预加载寄存器传输到影子寄存器，其中 N 是 TIMx_REPCNT 中的值。

重复计数器递减：

- 在向上计数模式下，每次计数器达到最大值时，都会发生溢出
- 在向下计数模式下，每次计数器减至最小值时，都会发生下溢
- 在中央对齐模式下，每次计数上溢或下溢时

其重复率由 TIMx_REPCTN 寄存器的值定。

重复计数器具有自动重新加载功能。无论重复计数器的值如何，更新事件（通过从模式控制器设置 TIMx_EVTGEN.UDGN 或硬件生成）都会立即发生。

图 11-8 向下计数模式下的重复计数时序图

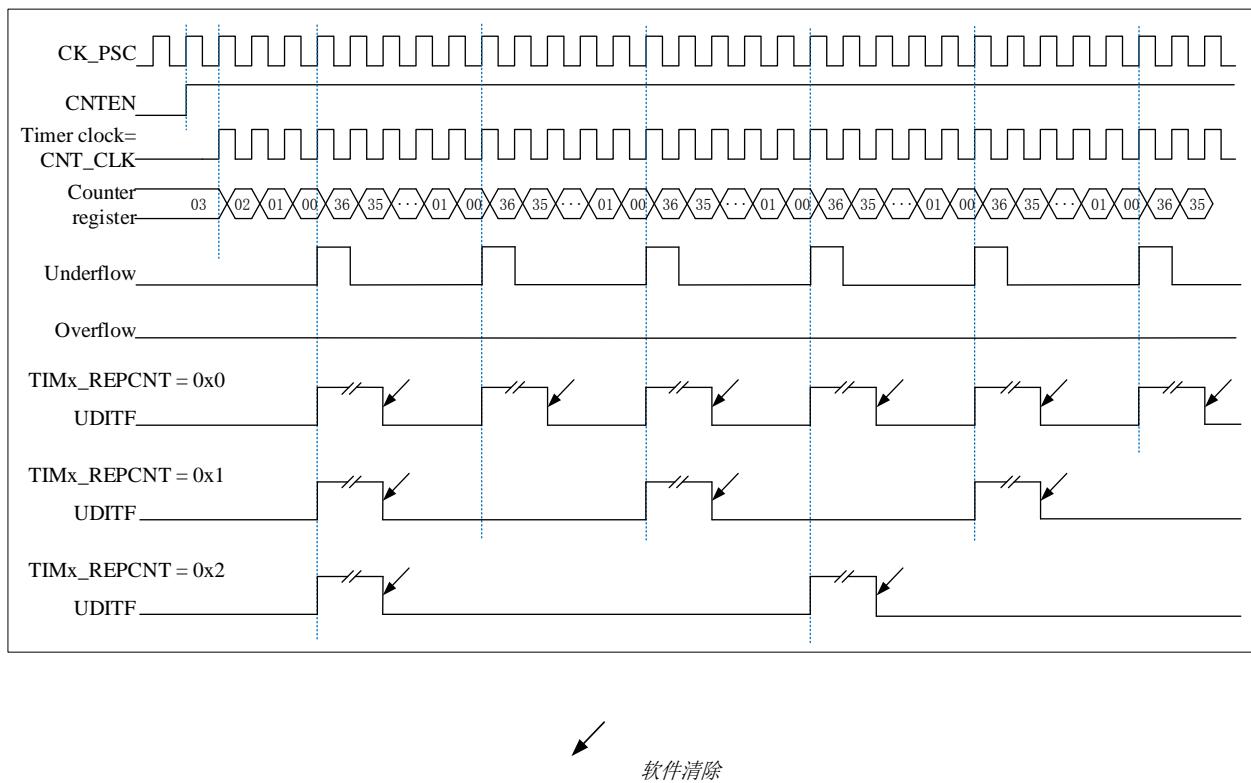


图 11-9 向上计数模式下的重复计数时序图

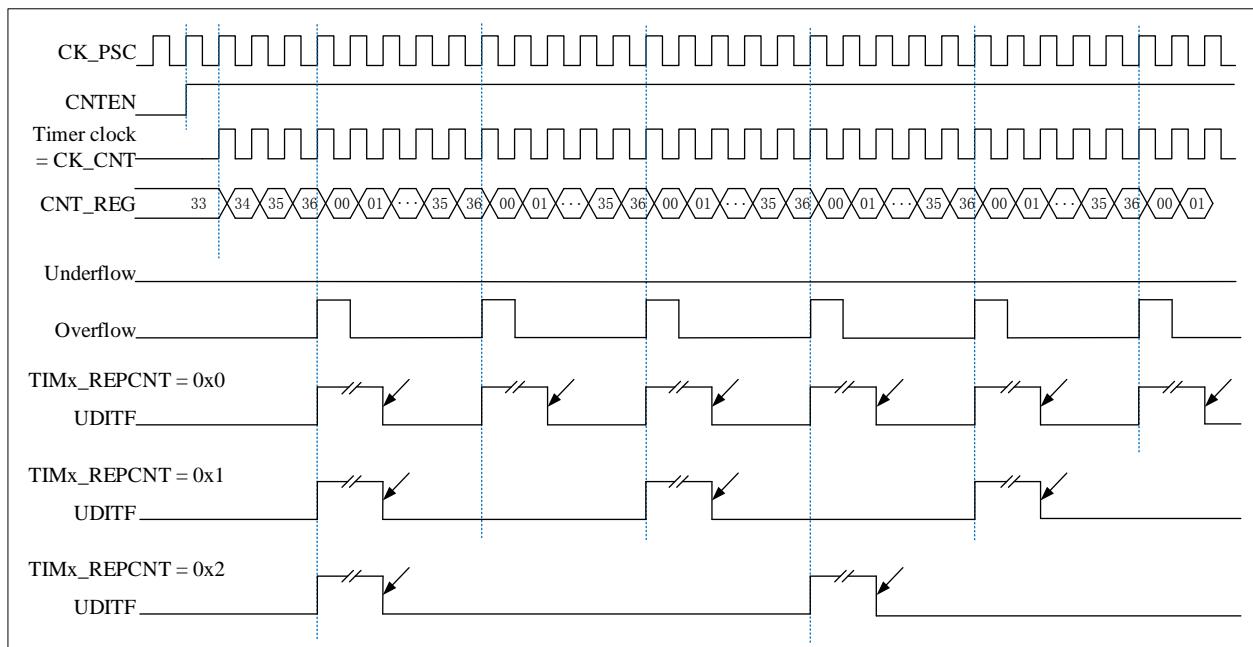
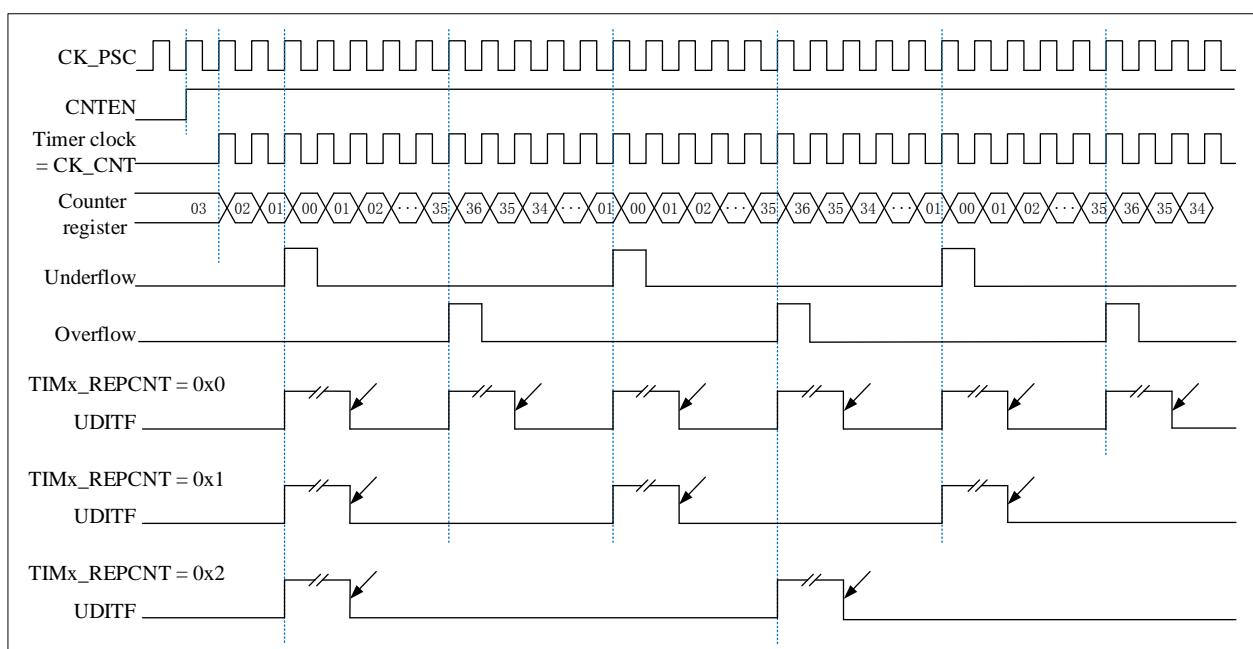


图 11-10 中央对齐模式下的重复计数时序图



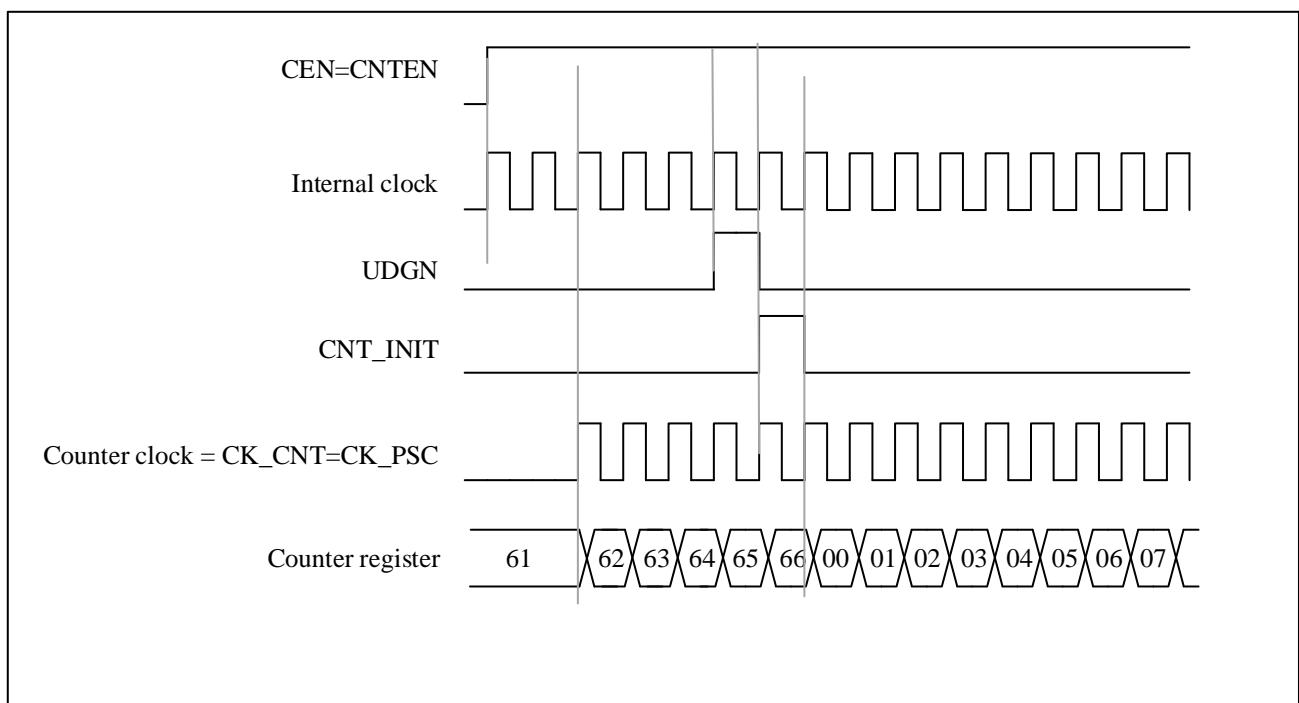
11.3.4 时钟选择

- 高级控制定时器的内部时钟: CK_INT:
- 两种外部时钟模式:
 - 外部输入引脚
 - 外部触发输入 ETR
- 内部触发输入 (ITRx): 一个定时器用作另一个定时器的预分频器

11.3.4.1 内部时钟源(CK_INT)

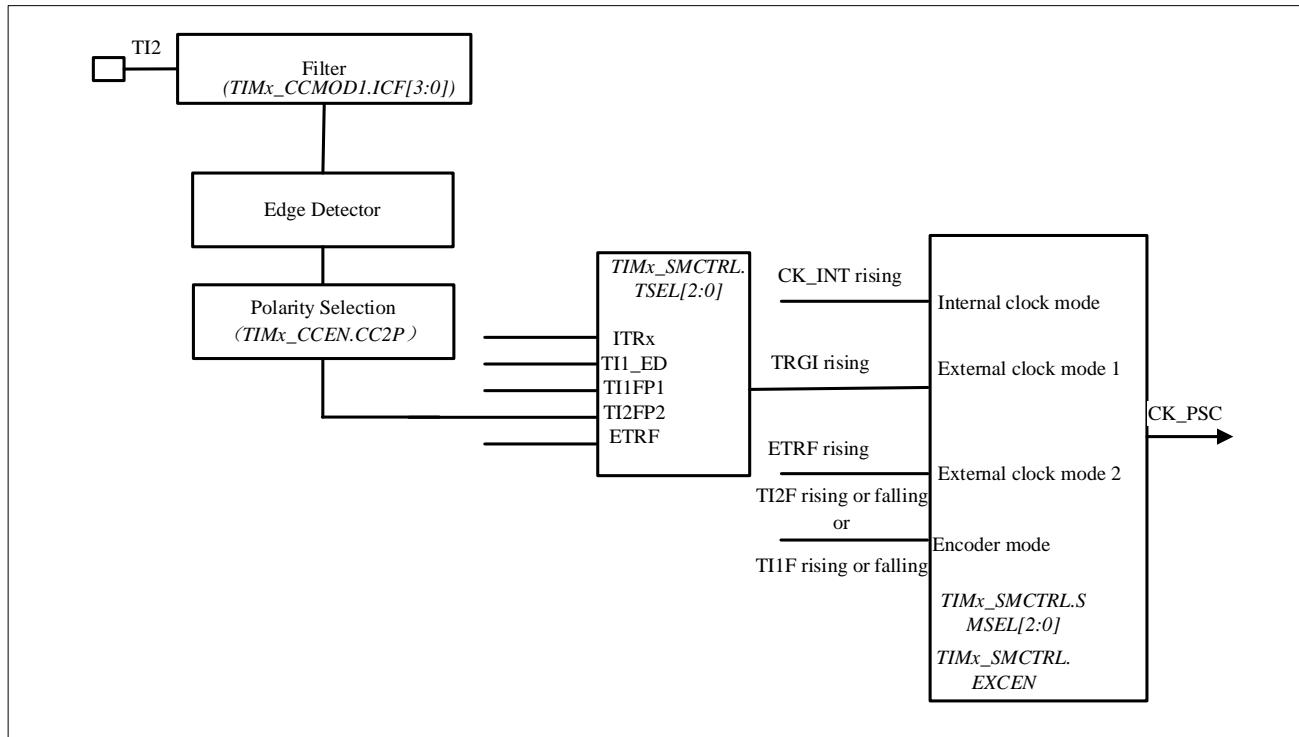
当 TIMx_SMCTRL.SMSEL 等于“000”时，从模式控制器被禁用。这三个控制位 (TIMx_CTRL1.CNTEN、TIMx_CTRL1.DIR、TIMx_EVTGEN.UDGN) 只能由软件改变 (TIMx_EVTGEN.UDGN 除外，它保持自动清零)。前提是 TIMx_CTRL1.CNTEN 位被软写为'1'，预分频器的时钟源由内部时钟 CK_INT 提供。

图 11-11 正常模式下的控制电路，内部时钟除以 1



11.3.4.2 外部时钟源模式 1

图 11-12 TI2 外部时钟连接示例



通过配置 $\text{TIMx_SMCTRL.SMSEL}=111$ 选择该模式。计数器可以配置为在所选输入的时钟上升沿或下降沿进行计数。

例如，配置向上计数模式在 TI2 输入的时钟上升沿计数，配置步骤如下：

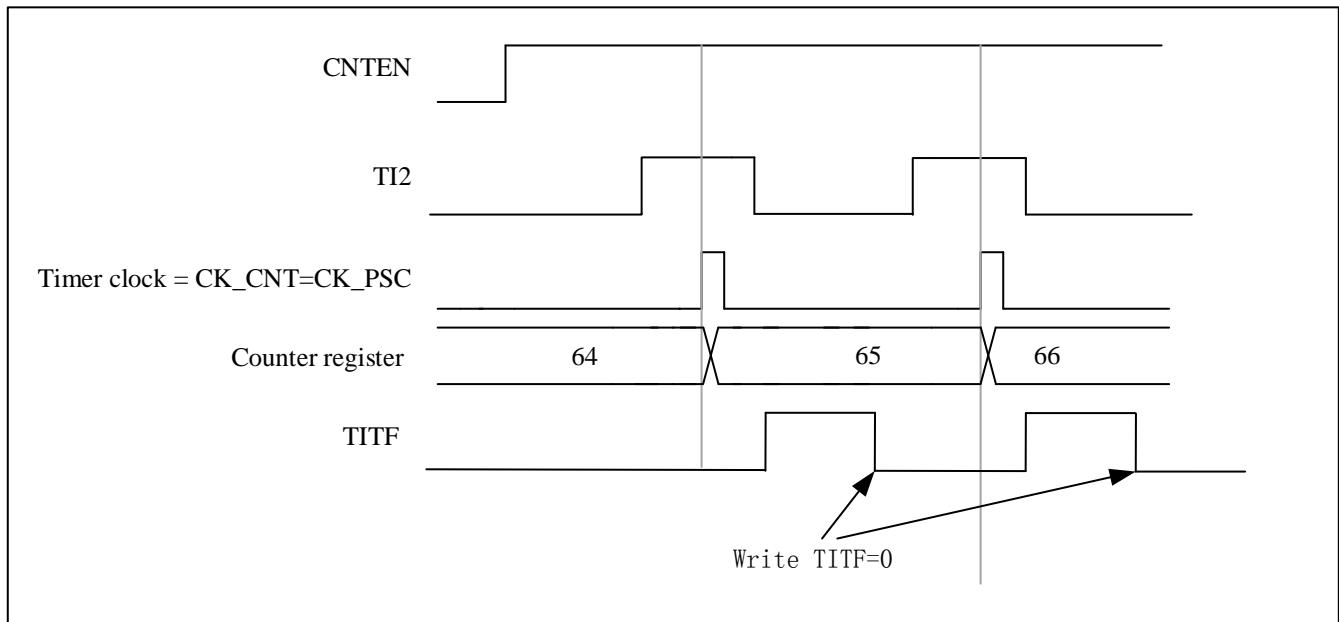
- 配置 $\text{TIMx_CCMOD1.CC2SEL}$ 等于‘01’，CC2 通道配置为输入，IC2 映射到 TI2
- 配置 TIMx_CCEN.CC2P 等于‘0’，选择时钟上升沿极性
- 通过配置 $\text{TIMx_CCMOD1.IC2F}[3:0]$ 选择输入滤波器带宽（如果不需滤波器，保持 IC2F 位为‘0000’）
- 配置 TIMx_SMCTRL.SMSEL 等于‘111’，选择定时器外部时钟模式 1
- 配置 TIMx_SMCTRL.TSEL 等于‘110’，选择 TI2 作为触发输入源
- 配置 TIMx_CTRL1.CNTEN 等于 ‘1’ 以启动计数器

注意：捕获预分频器不用于触发，所以不需要配置

当定时器时钟的上升沿出现在 $\text{TI2}=1$ 时，计数器计数一次并且 TIMx_STS .TITF 标志被拉高。

TI2 的上升沿与计数器实际时钟之间的延迟取决于 TI2 输入端的再同步电路。

图 11-13 外部时钟模式 1 的控制电路

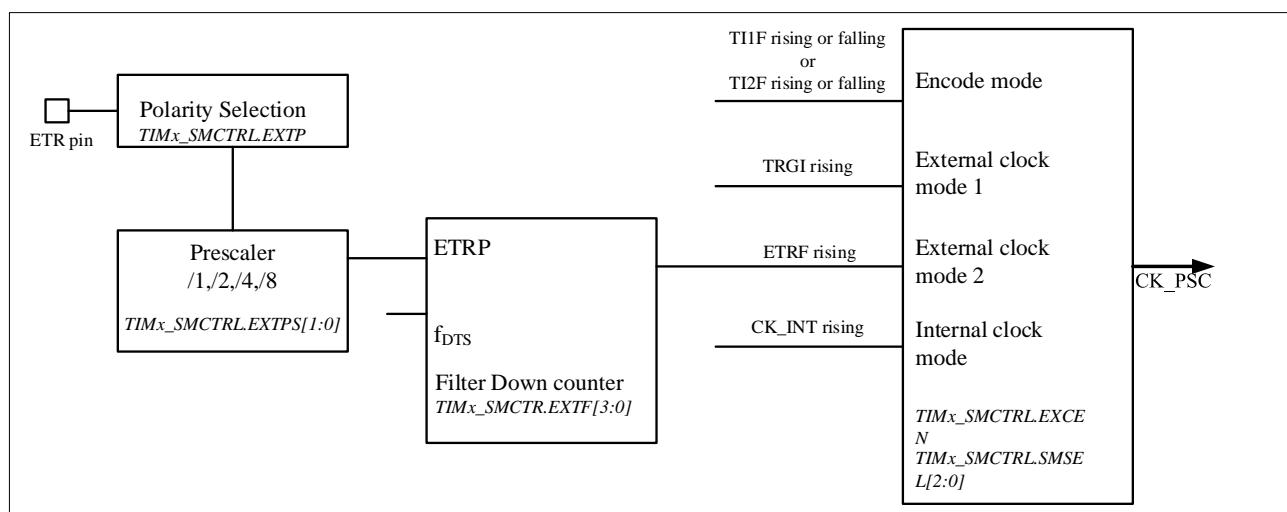


11.3.4.3 外部时钟源模式 2

此模式由 `TIMx_SMCTRL.EXCEN` 选择等于 1。计数器可以在外部触发输入 ETR 的每个上升沿或下降沿计数。

下图为外部时钟源模式 2 的外部触发输入模块示意图。

图 11-14 外部触发输入框图



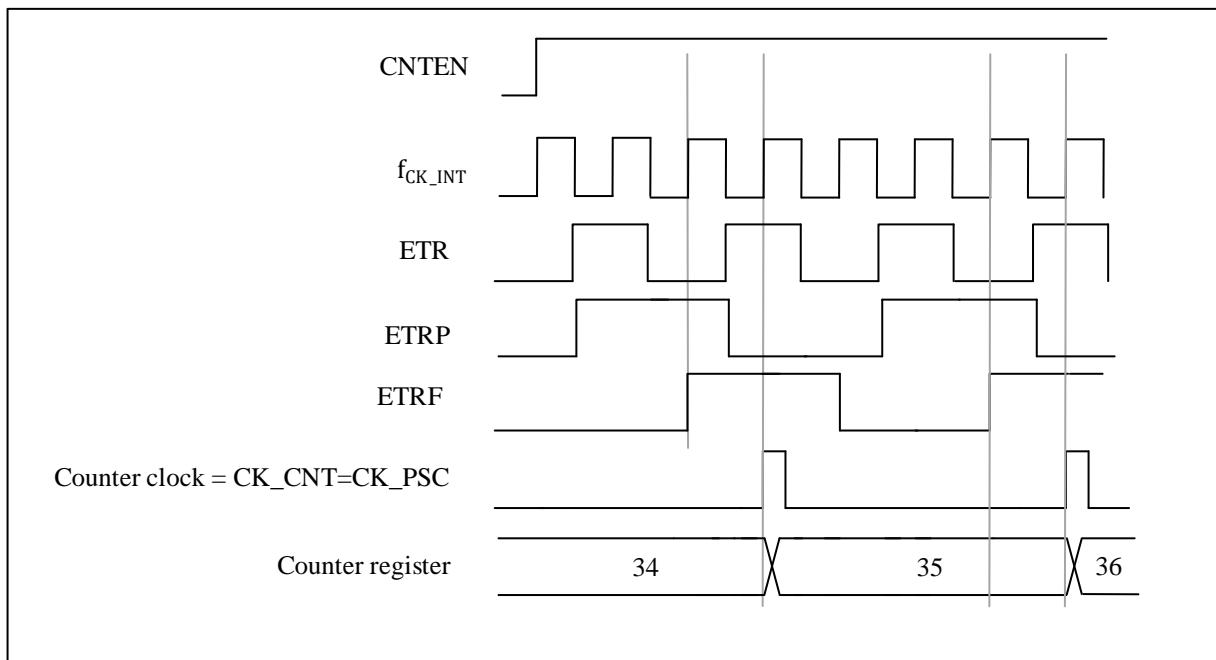
例如，使用以下配置步骤使向上计数器在 ETR 上每 2 个上升沿计数一次。

- 由于在这种情况下不需要过滤器，因此使 `TIMx_SMCTRL.EXTF[3:0]` 等于‘0000’
- 通过使 `TIMx_SMCTRL.EXTPS[1:0]` 等于 ‘01’ 来配置预分频器
- 通过设置 `TIMx_SMCTRL.EXTP` 等于‘0’来选择 ETR 引脚的极性，ETR 的上升沿有效
- 外部时钟模式 2 通过设置 `TIMx_SMCTRL.EXCEN` 等于‘1’来选择

- 通过设置 `TIMx_CTRL1.CNTEN` 等于“1”启动计数器。

计数器每 2 个 ETR 上升沿计数一次。ETR 的上升沿与计数器的实际时钟之间的延迟是由于 ETRP 信号上的再同步电路造成的。

图 11-15 外部时钟模式 2 的控制电路

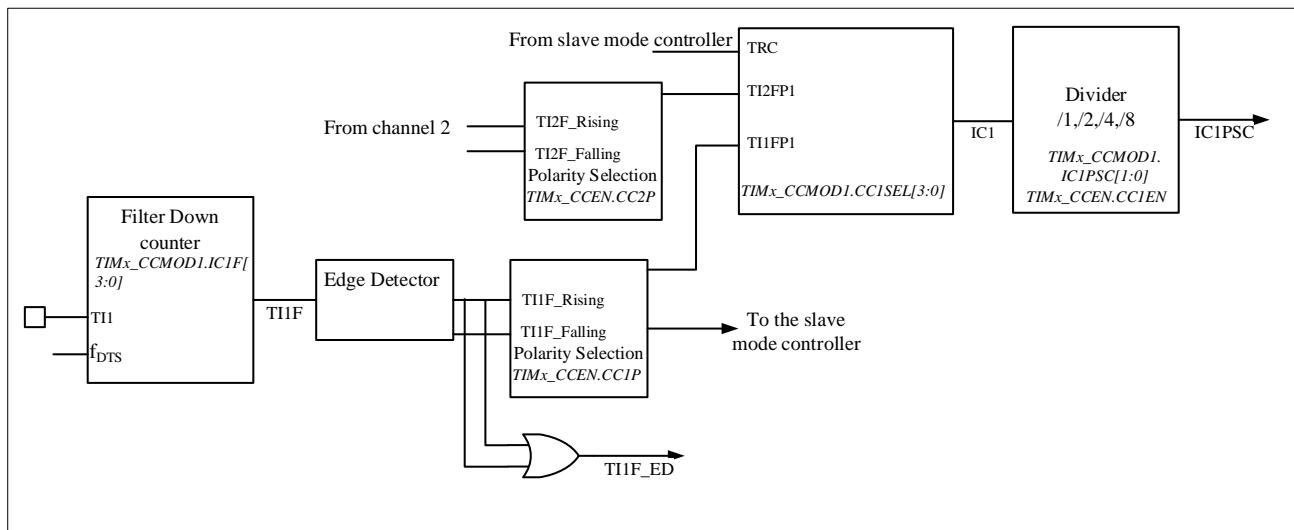


11.3.5 捕获/比较通道

捕获/比较通道包括捕获/比较寄存器和影子寄存器。输入部分由数字滤波器、多路复用器和预分频器组成。输出部分包括比较器和输出控制。

输入信号 `TIx` 被采样和滤波以产生信号 `TIxF`。然后由极性选择功能的边沿检测器生成信号 (`TIxF_rising` 或 `TIxF_falling`)，其极性由 `TIMx_CCEN.CCxP` 位选择。该信号可用作从模式控制器的触发输入。同时，信号 `ICx` 经过分频后送入捕获寄存器。下图显示了捕获/比较通道的框图。

图 11-16 捕获/比较通道（例如：通道 1 输入级）



输出部分生成一个中间波形 OCxRef (高电平有效) 作为参考。极性作用在链的末端。

图 11-17 捕获/比较通道 1 主电路

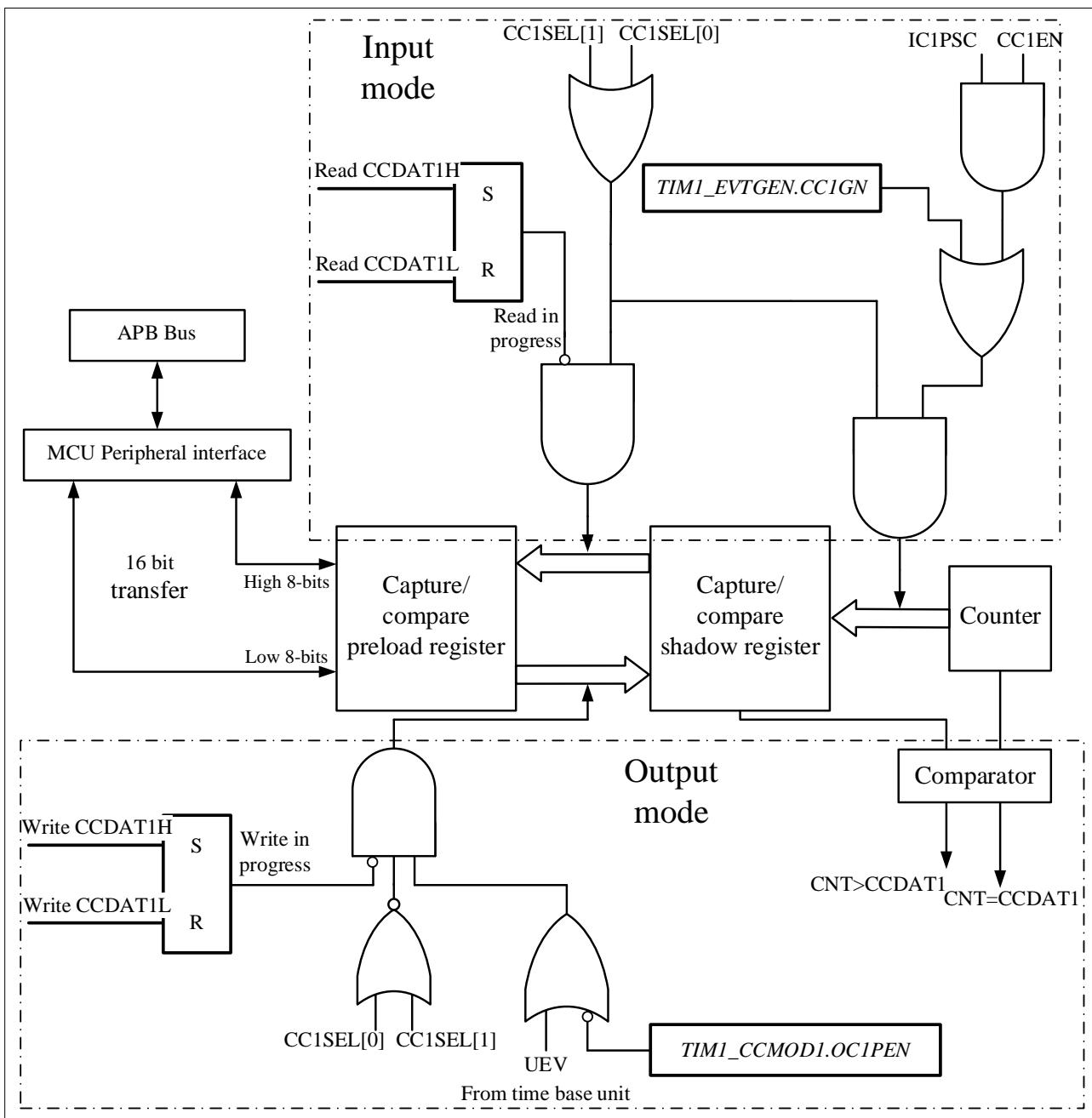


图 11-18 通道 x 的输出部分 (x=1,2,3; 以通道 1 为例子)

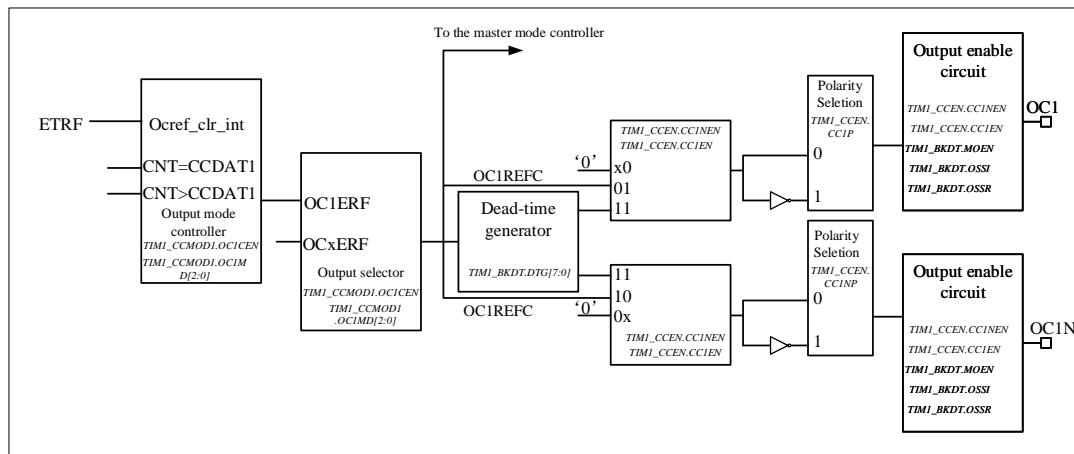
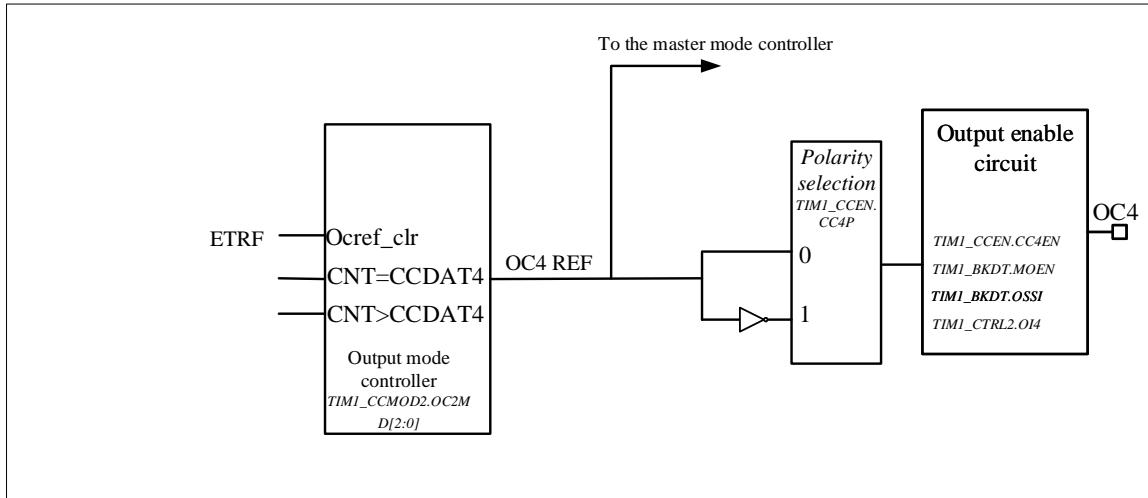


图 11-19 通道 x 的输出部分 (x=4)



在捕获/比较时，读取和写入始终访问预加载的寄存器。两个具体工作流程如下：

在捕获模式下，捕获实际上是在影子寄存器中完成的，然后将影子寄存器中的值复制到预加载寄存器中。

在比较模式下，与捕获模式相反，预加载寄存器的值被复制到影子寄存器中，并与计数器进行比较。

11.3.6 输入捕获模式

在捕获模式下，`TIMx_CCDATx` 寄存器用于在检测到 `ICx` 信号后锁存计数器值。

有一个捕获中断标志 `TIMx_STS.CCxITF`，如果相应的中断使能被拉高，它可以发出中断或 DMA 请求。

`TIMx_STS.CCxITF` 位在发生捕获事件时由硬件设置，并由软件或读取 `TIMx_CCDATx` 寄存器清零。

当 `TIMx_CCDATx` 寄存器中的计数器值被捕获并且 `TIMx_STS.CC1ITF` 被拉高时，重复捕获标志 `TIMx_STS.CCxOCF` 设置为 1。与前者不同，`TIMx_STS.CCxOCF` 通过向其写入 0 来清除。

为实现 TI1 输入的上升沿将计数器值捕获到 `TIMx_CCDAT1` 寄存器中，配置流程如下：

- 选择有效输入：

将 `TIMx_CCMOD1.CC1SEL` 配置为“01”。此时输入为 CC1 通道，IC1 映射到 TI1。

- 编程所需的输入滤波器持续时间：

通过配置 `TIMx_CCMODx.ICxF` 位来定义 TI1 输入的采样频率和数字滤波器的长度。示例：如果输入信号抖动多达 5 个内部时钟周期，我们必须选择比这 5 个时钟周期更长的滤波器持续时间。当检测到具有新电平的 8 个连续样本（以 f_{DTS} 频率采样）时，我们可以验证 TI1 上的转换。然后配置 `TIMx_CCMOD1.IC1F` 到“0011”

- 通过配置 `TIMx_CCEN.CC1P=0`，选择上升沿作为 TI1 通道的有效跳变极性
- 配置输入预分频器。在本例中，配置 `TIMx_CCMOD1.IC1PSC=‘00’` 以禁用预分频器，因为我们想要捕获每个有效转换
- 通过配置 `TIMx_CCEN.CC1EN = ‘1’` 启用捕获。

如果要使能 DMA 请求，可以配置 `TIMx_DINTEN.CC1DEN=1`。如果要使能相关中断请求，可以配置 `TIMx_DINTEN.CC1IEN =1`。

11.3.7 PWM 输入模式

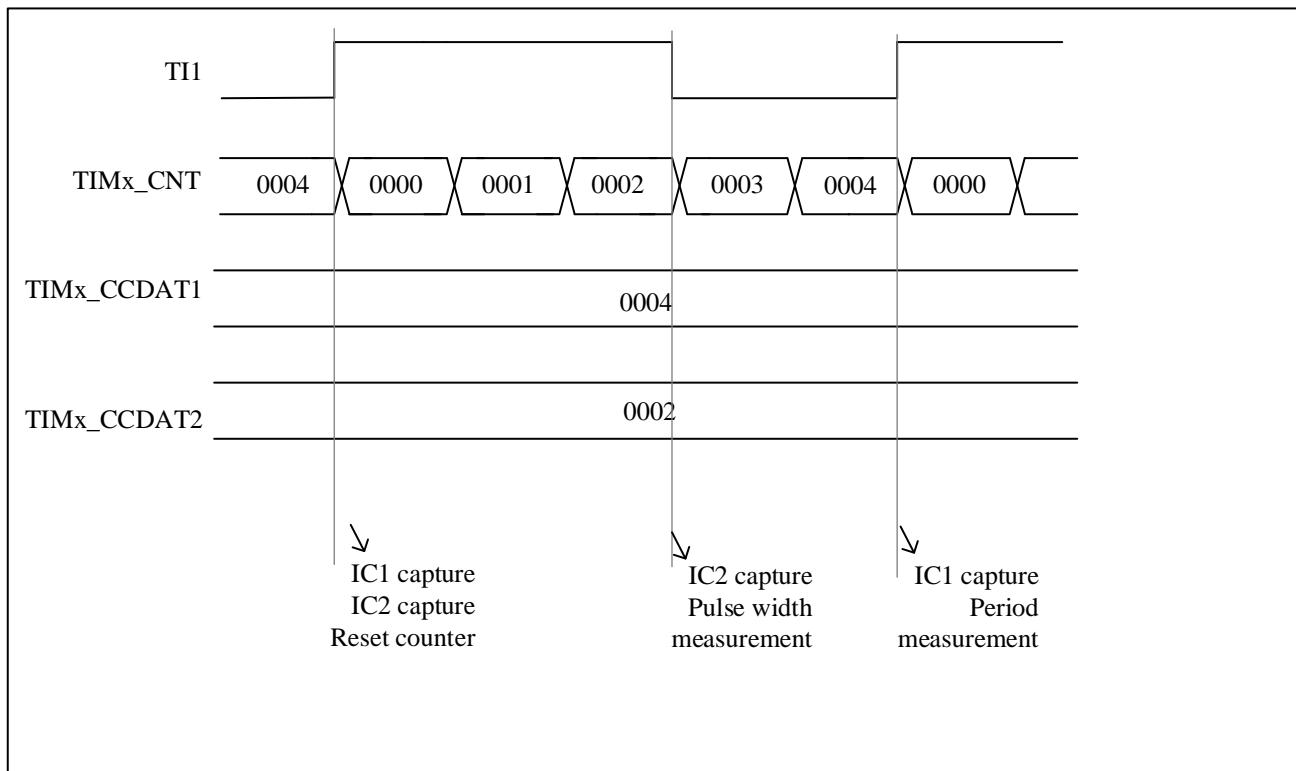
PWM 输入模式和普通输入捕获模式有一些区别，包括：

- 两个 ICx 信号映射到同一个 TIx 输入
- 两个 ICx 信号在极性相反的边沿有效
- 选择两个 TIxFP 信号之一作为触发输入
- 从机模式控制器配置为复位模式

例如，下面的配置流程可以用来知道 TI1 上 PWM 信号的周期和占空比（这取决于 CK_INT 的频率和预分频器的值）。

- 配置 `TIMx_CCMOD1.CC1SEL` 等于 ‘01’ 以选择 TI1 作为 `TIMx_CCDAT1` 的有效输入
- 配置 `TIMx_CCEN.CC1P` 等于 ‘0’ 选择滤波定时器输入 1(TI1FP1) 的有效极性，在上升沿有效
- 配置 `TIMx_CCMOD1.CC2SEL` 等于 ‘10’ 选择 TI1 作为 `TIMx_CCDAT2` 的有效输入
- 配置 `TIMx_CCEN.CC2P` 等于 1 选择滤波定时器输入 2(TI1FP2) 的有效极性，下降沿有效
- 配置 `TIMx_SMCTRL.TSEL=101` 选择 Filtered timer input 1 (TI1FP1) 作为有效触发输入
- 配置 `TIMx_SMCTRL.SMSEL=100` 配置从模式控制器为复位模式
- 配置 `TIMx_CCEN.CC1EN=1` 和 `TIMx_CCEN.CC2EN=1` 以启用捕获

图 11-20 PWM 输入模式时序



由于只有滤波器定时器输入 1(TI1FP1) 和滤波器定时器输入 2(TI2FP2) 连接到从模式控制器，因此 PWM 输入模式只能与 TIMx_CH1/TIMx_CH2 信号一起使用。

11.3.8 强制输出模式

在输出模式 (TIMx_CCMODx.CCxSEL=00) 下，软件可以直接将输出比较信号强制为有效或无效电平。

用户可以设置 TIMx_CCMODx.OCxMD=101 强制输出比较信号为有效电平。OCxREF 将被强制为高电平，OCx 得到与 CCxP 极性位相反的值。另一方面，用户可以设置 TIMx_CCMODx.OCxMD=100 强制输出比较信号为无效电平，即 OCxREF 被强制为低电平。

在此模式下，TIMx_CC DATx 影子寄存器和计数器的值仍然相互比较。

输出比较寄存器 TIMx_CC DATx 和计数器 TIMx_CNT 之间的比较对 OCxREF 没有影响。并且仍然可以设置标志。因此，仍然可以发送中断和 DMA 请求。

11.3.9 输出比较模式

用户可以使用此模式来控制输出波形，或指示一段时间已过。

当捕获/比较寄存器和计数器的值相同时，输出比较函数的操作如下：

- TIMx_CCMODx.OCxMD 为输出比较模式，TIMx_CCEN.CCxP 为输出极性。当比较匹配时，如果设置 TIMx_CCMODx.OCxMD=000，则输出管脚将保持其电平；如果设置 TIMx_CCMODx.OCxMD=001，则设置输出管脚有效；如果设置 TIMx_CCMODx.OCxMD=010，则输出管脚将为设置为无效；如果设置 TIMx_CCMODx.OCxMD=011，则输出引脚将设置为翻转。
- 设置 TIMx_STS.CCxITF

- 如果用户设置了 `TIMx_DINTEN.CCxIEN`, 将产生相应的中断
- 如果用户设置 `TIMx_DINTEN.CCxDEN` 并设置 `TIMx_CTRL2.CCDSEL` 选择 DMA 请求, 将发送 DMA 请求

用户可以设置 `TIMx_CCMODx.OCxPEN` 来选择是否使用捕获/比较预加载寄存器 (`TIMx_CC DATx`) 来选择捕获/比较影子寄存器。

时间分辨率是计数器的一个计数周期。

在单脉冲模式下, 输出比较模式也可用于输出单脉冲。

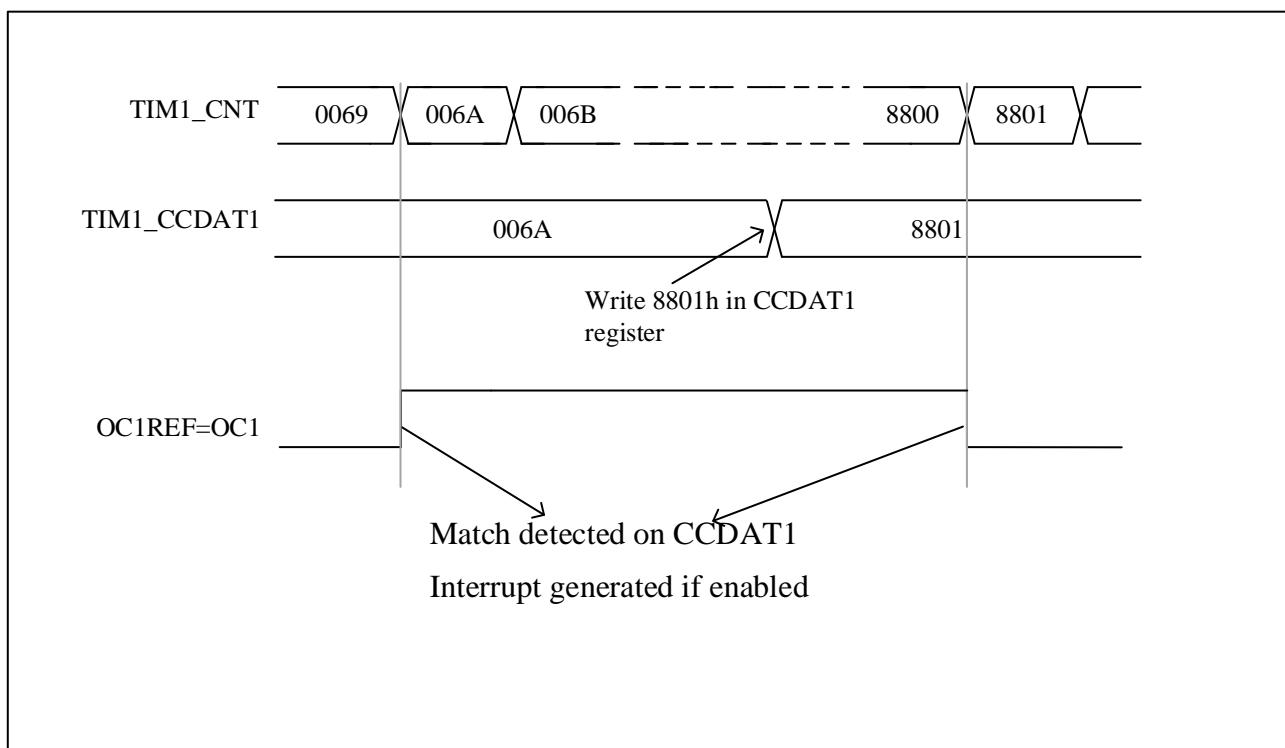
以下是输出比较模式的配置步骤:

- 首先, 用户应该选择计数器时钟
- 其次, 用所需数据设置 `TIMx_AR` 和 `TIMx_CC DATx`
- 如果用户需要产生中断, 设置 `TIMx_DINTEN.CCxIEN`
- 然后通过设置 `TIMx_CCEN.CCxP`、`TIMx_CCMODx.OCxMD`、`TIMx_CCEN.CCxEN` 等选择输出模式
- 最后, 设置 `TIMx_CTRL1.CNTEN` 启用计数器

用户可以随时通过设置 `TIMx_CC DATx` 来更新输出波形, 只要不启用预加载寄存器。否则, `TIMx_CC DATx` 影子寄存器将在下一次更新事件中更新。

例如:

图 11-21 输出比较模式, 开启 OC1



11.3.10 PWM 模式

用户可以使用 PWM 模式产生一个信号，其占空比由 TIMx_CCDATx 寄存器的值决定，其频率由 TIMx_AR 寄存器的值决定。并且取决于 TIMx_CTRL1.CAMSEL 的值，TIM 可以在边沿对齐模式或中央对齐模式下产生 PWM 信号。

用户可以通过设置 TIMx_CCMODx.OCxMD=110 或设置 TIMx_CCMODx.OCxMD=111 来设置 PWM 模式 1 或 PWM 模式 2。要使能预加载寄存器，用户必须设置相应的 TIMx_CCMODx.OCxPEN。然后设置 TIMx_CTRL1.AR PEN 自动重装载预加载寄存器。

用户可以通过设置 TIMx_CCEN.CCxP 来设置 OCx 的极性。另一方面，要使能 OCx 的输出，用户需要在 TIMx_CCEN 和 TIMx_BKDT 中设置 CCxEN、CCxNEN、MOEN、OSSI 和 OSSR 的值的组合。

当 TIM 处于 PWM 模式时，TIMx_CNT 和 TIMx_CCDATx 的值总是相互比较。

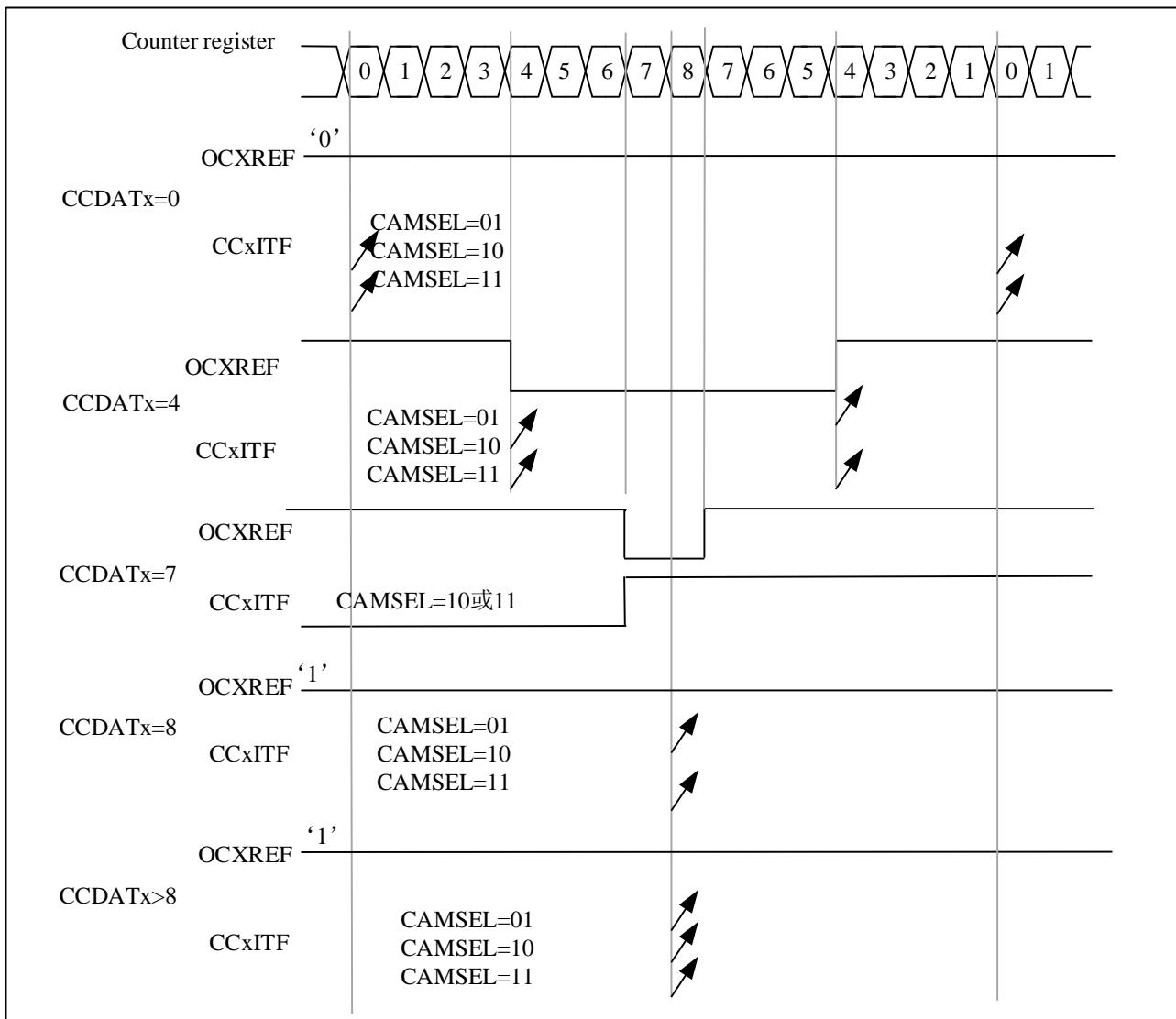
只有当更新事件发生时，预加载寄存器才会转移到影子寄存器。因此，用户必须在计数器开始计数之前通过设置 TIMx_EVTGEN.UDGN 来复位所有寄存器。

11.3.10.1 PWM 中央对齐模式

如果用户设置 TIMx_CTRL1.CAMSEL 等于 01、10 或 11，PWM 中央对齐模式将被激活。比较标志的设置取决于 TIMx_CTRL1.CAMSEL 的值。设置比较标志的情况有 3 种，仅当计数器向上计数时，仅当计数器向下计数时，或当计数器向上计数和向下计数时。用户不应通过软件修改 TIMx_CTRL1.DIR，它是由硬件更新的。

中央对齐 PWM 波形示例如下，波形设置为：TIMx_AR=8，PWM 模式 1，当计数器向下计数对应 TIMx_CTRL1.CAMSEL=01 时设置比较标志。

图 11-22 中央对齐的 PWM 波形 (AR=8)



使用中央对齐模式时用户应注意的事项如下：

- 计数器向上或向下计数取决于 TIMx_CTRL1.DIR 的值。注意不要同时更改 DIR 和 CAMSEL 位。
- 用户在中央对齐模式下不要写计数器，否则会导致意想不到的结果。例如：
 - 如果写入计数器的值为 0 或者是 TIMx_AR 的值，则方向会被更新，但不会产生更新事件
 - 如果写入计数器的值大于自动重载的值，则方向不会更新
- 为了安全起见，建议用户在启动计数器之前设置 TIMx_EVTGEN.UDGN 以通过软件生成更新，并且在计数器运行时不要写入计数器

11.3.10.2 PWM 边沿对齐模式

边沿对齐模式有两种配置，向上计数和向下计数。

- 向上计数

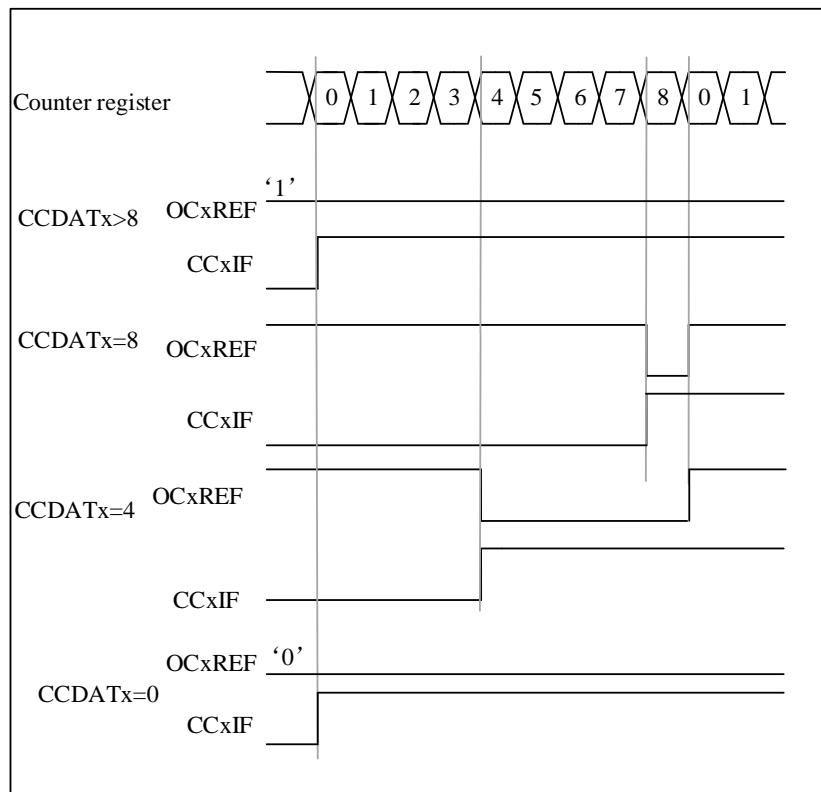
用户可以设置 TIMx_CTRL1.DIR=0 使计数器向上计数。

PWM 模式 1 的示例：

当 $\text{TIMx_CNT} < \text{TIMx_CCDATx}$ 时， OCxREF 为高电平，否则为低电平。如果 TIMx_CCDATx 中的比较值大于自动重载值，则 OCxREF 将保持为 1。相反，如果比较值为 0，则 OCxREF 将保持为 0。

当 $\text{TIMx_AR}=8$ 时，PWM 波形如下：

图 11-23 边沿对齐 PWM 波形 ($\text{AR}=8$)



● 向下计数

用户可以设置 $\text{TIMx_CTRL1.DIR}=1$ 使计数器向下计数。

PWM 模式 1 的示例：

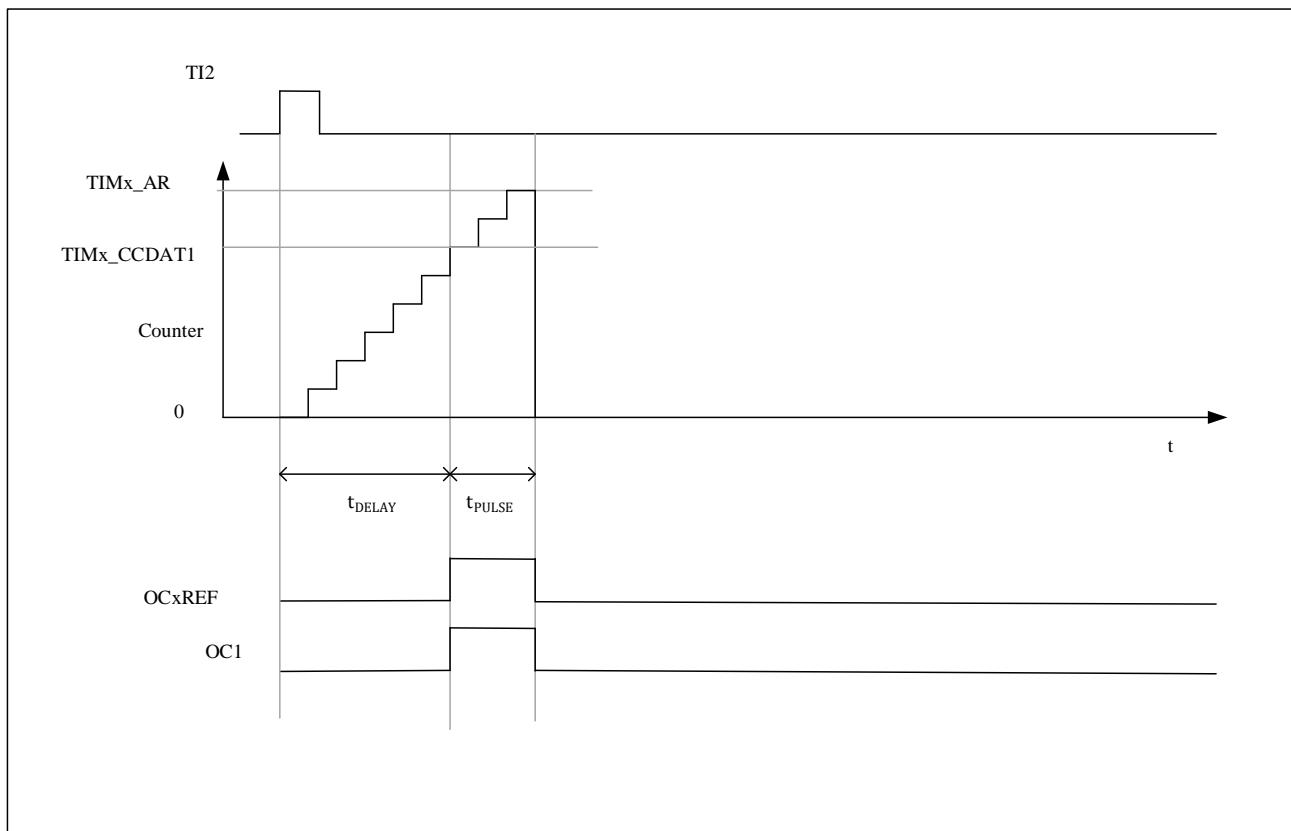
当 $\text{TIMx_CNT} > \text{TIMx_CCDATx}$ 时， OCxREF 为低电平，否则为高电平。如果 TIMx_CCDATx 中的比较值大于自动重载值，则 OCxREF 将保持为 1。

注：若第 n 个 PWM 周期 CCDATx 影子寄存器 $>= \text{AR}$ 值，第 $n+1$ 个 PWM 周期 CCDATx 的影子寄存器值是 0。在第 $n+1$ 个 PWM 周期的计数器为 0 的时刻，虽然计数器 = CCDATx 影子寄存器的值 = 0， $\text{OCxREF} = '0'$ ，但不会产生比较事件。

11.3.11 单脉冲模式

在单脉冲模式(ONEPM)中，接收到触发信号，经过可控延迟 t_{DELAY} 后产生脉宽可控的脉冲 t_{PULSE} 。输出模式需要配置为输出比较模式或 PWM 模式。选择单脉冲模式后，计数器会在更新事件 UEV 产生后停止计数。

图 11-24 单脉冲模式示例



以下是单脉冲模式的示例：

从 TI2 输入检测到上升沿触发，延迟 t_{DELAY} 后在 OC1 上产生宽度为 t_{PULSE} 的脉冲。

1. 计数器配置：向上计数，计数器 $TIMx_CNT < TIMx_CCDAT1 \leq TIMx_AR$ ；
2. TI2FP2 映射到 TI2, $TIMx_CCMOD1.CC2SEL = '01'$; TI2FP2 配置为上升沿检测, $TIMx_CCEN.CC2P = '0'$;
3. TI2FP2 充当从模式控制器的触发器 (TRGI) 并启动计数器, $TIMx_SMCTRL.TSEL = '110'$, $TIMx_SMCTRL.SMSEL = '110'$ (触发模式);
4. $TIMx_CCDAT1$ 写入要延迟的计数值 (t_{DELAY}), $TIMx_AR - TIMx_CCDAT1$ 为脉宽 t_{PULSE} 的计数值;
5. 配置 $TIMx_CTRL1.ONEPM=1$ 使能单脉冲模式, 配置 $TIMx_CCMOD1.OC1MD = '111'$ 选择 PWM2 模式;
6. 等待 TI2 有外部触发事件, OC1 输出一个单脉冲波形;

11.3.11.1 特殊情况：OCx 快速使能：

在单脉冲模式下，通过 TI_x 输入检测到一个边沿，并触发计数器开始计数到比较值，然后输出一个脉冲。这些操作限制了可以达到的最小延迟 t_{DELAY} 。

您可以设置 $TIMx_CCMODx.OCxFEN=1$ 开启 OCx 快速使能，在触发上升沿后，OCxREF 信号将被强制转换为与比较匹配立即发生的电平相同的电平，而不管比较结果如何。OCxFEN 快速使能仅在通道模式配置为 PWM1 和 PWM2 模式时生效。

11.3.12 在外部事件上清除 OCxREF 信号

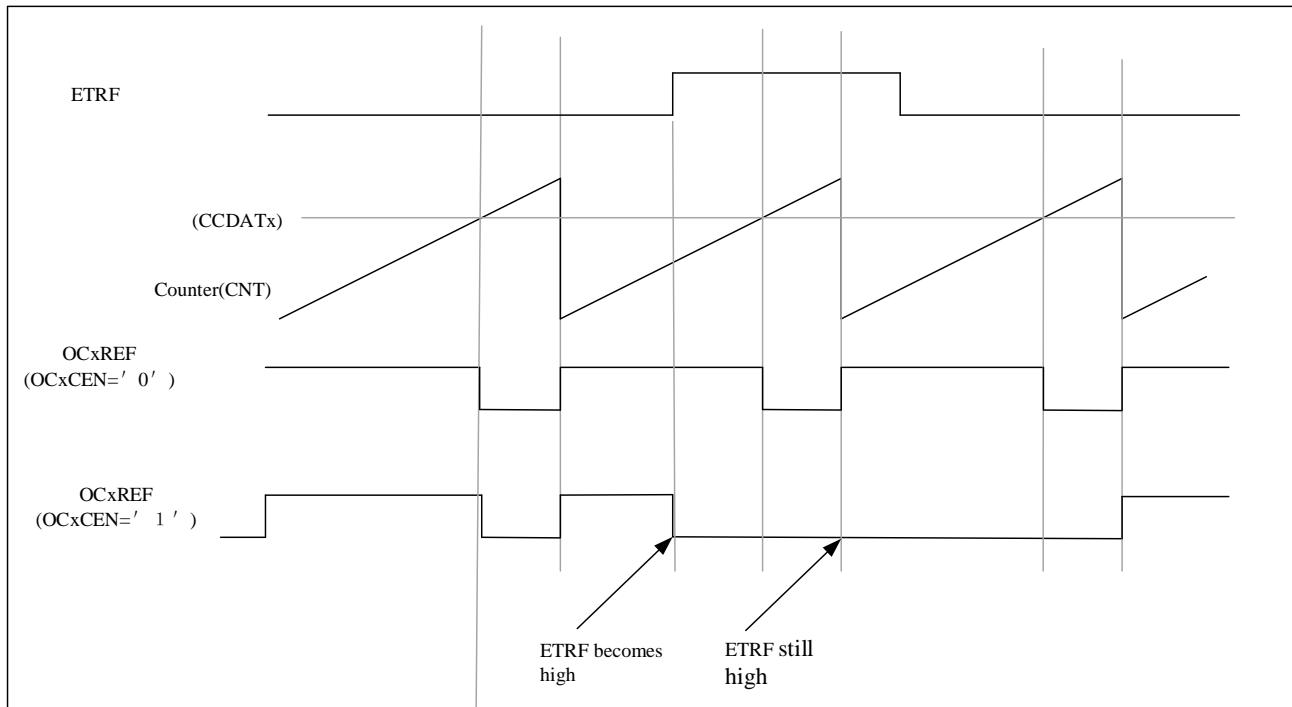
如果用户设置 `TIMx_CCMODx.OCxCEN=1`, `ETRF` 输入的高电平可用于驱动 `OCxREF` 信号为低电平, `OCxREF` 信号将保持低电平, 直到下一次 UEV 发生。只有输出比较和 PWM 模式可以使用该功能。在强制模式下不能使用。

例如: 为了控制电流, 用户可以将 `ETR` 信号连接到比较器的输出端, `ETR` 的操作如下:

- 设置 `TIMx_SMCTRL.EXTPS=00` 禁用外部触发预分频器。
- 设置 `TIMx_SMCTRL.EXCEN=0` 禁用外部时钟模式 2。
- 设置 `TIMx_SMCTRL.EXTP` 和 `TIMx_SMCTRL.EXTF`, 根据需要配置外触发极性和外触发滤波器。

例: 当 `ETRF` 输入变高时, `OCxREF` 信号对于不同的 `OCxCEN` 值的行为。在这种情况下, 定时器设置为 PWM 模式。

图 11-25 清除 TIMx 的 `OCxREF`



11.3.13 互补输出和死区插入

高级控制定时器可以输出两个互补信号, 并管理输出的关闭和打开。这称为死区时间。用户应根据连接到输出的设备及其特性调整死区时间。

用户可以通过设置 `TIMx_CCEN.CCxP` 和 `TIMx_CCEN.CCxNP` 来选择输出的极性。并且此选择对于每个输出都是独立的。

用户可以通过设置几个控制位的组合来控制互补信号 `OCx` 和 `OCxN`, 它们分别是 `TIMx_CCEN.CCxEN`、`TIMx_CCEN.CCxNEN`、`TIMx_BKDT.MOEN`、`TIMx_CTRL2.OIx`、`TIMx_CTRL2.OIxN`、`TIMx_BKDT.OSSI` 和 `TIMx_BKDT.OSSR`。当切换到空闲状态时, 死区时间将被激活。

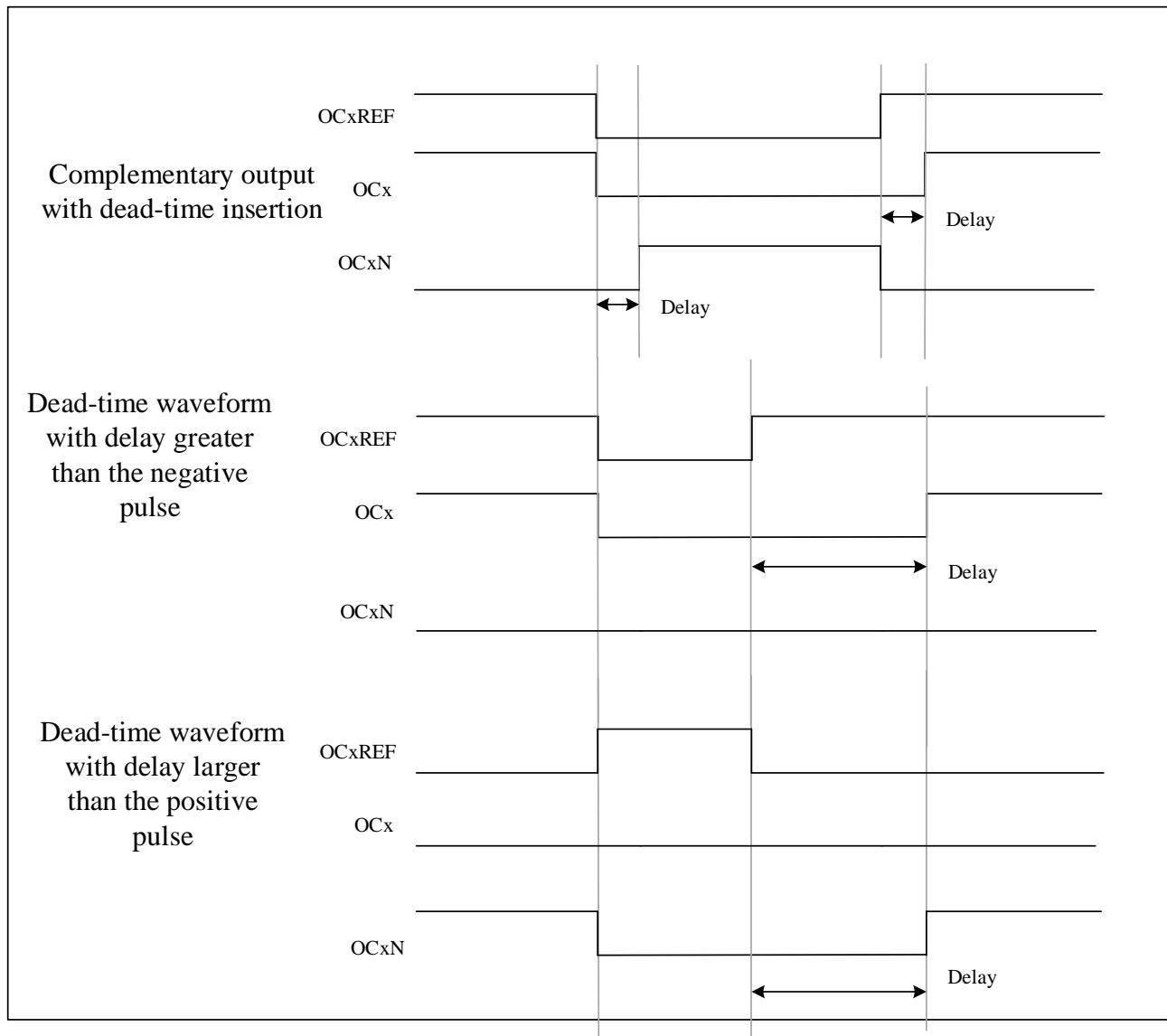
如果用户同时设置 `TIMx_CCEN.CCxEN` 和 `TIMx_CCEN.CCxNEN`, 则会插入死区时间。如果有刹车, 还要设置 `TIMx_BKDT.MOEN`。每个通道都有 10 位死区时间发生器。

参考波形 `OCxREF` 可以生成 2 个输出 `OCx` 和 `OCxN`。如果 `OCx` 和 `OCxN` 为高电平有效, 则 `OCx` 输出信号与参考信号相同, 而 `OCxN` 输出信号与参考信号相反。但是, `OCx` 输出信号将相对于参考上升沿延迟, 而 `OCxN` 输出信号将相对于参考下降沿延迟。如果延迟大于有效 `OCx` 或 `OCxN` 输出的宽度, 则不会产生相应的脉冲。

死区时间发生器的输出信号与参考信号 `OCxREF` 之间的关系如下。

假设 `TIMx_CCEN.CCxP=0`, `TIMx_CCEN.CCxNP=0`, `TIMx_BKDT.MOEN=1`, `TIMx_CCEN.CCxEN=1`, `TIMx_CCEN.CCxNEN=1`。

图 11-26 带死区插入的互补输出



用户可以设置 `TIMx_BKDT.DTGN` 来编程每个通道的死区时间延迟。

11.3.13.1 重定向 `OCxREF` 到 `OCx` 或 `OCxN`

在输出模式下, 用户可以设置 `TIMx_CCEN.CCxEN` 和 `TIMx_CCEN.CCxNEN` 以将 `OCxREF` 重定向到

OCx 输出或 OCxN 输出。

这里有两种使用这个功能的方法。当互补保持在其无效电平时，用户可以使用此功能发送特定波形，例如 PWM 或静态有效电平。用户还可以使用此功能将两个输出设置为无效电平，或将两个输出都设置为有效，两者互补且带死区。

如果用户设置 `TIMx_CCEN.CCxEN=0` 和 `TIMx_CCEN.CCxNEN=1`，两者不互补，当 `OCxREF` 为高电平时 `OCxN` 将变为有效。另一方面，如果用户设置 `TIMx_CCEN.CCxEN=1` 和 `TIMx_CCEN.CCxNEN=1`，当 `OCxREF` 为高电平时，`OCx` 将变为有效。相反，当 `OCxREF` 为低电平时，`OCxN` 将变为有效。

11.3.14 刹车功能

使用刹车功能时，设置相应的控制位时会修改输出使能信号和无效电平。但是，无论何时，`OCx` 和 `OCxN` 的输出都不能同时处于有效电平，即需要满足 $(CCxP \wedge OIx) \wedge (CCxNP \wedge OIxN) != 0$ 。

当启用多个刹车信号时，每个刹车信号构成一个 OR 逻辑。这里有一些信号可能是刹车的来源。

- 刹车输入引脚
- 时钟失效事件，由时 RCC 中的时钟安全系统 (CSS) 生成。
- PVD 事件。
- 内核 Hardfault 事件。
- 比较器的输出信号（在比较器模块中配置，高电平刹车）。
- 软件设置 `TIMx_EVTGEN.BGN`。

复位后刹车电路将被禁用。`MOEN` 位将为低电平。用户可以设置 `TIMx_BKDT.BKEN` 来启用刹车功能。通过设置 `TIMx_BKDT.BKP` 可以选择刹车输入信号的极性。用户可以同时修改 `TIMx_BKDT.BKEN` 和 `TIMx_BKDT.BKP`。用户设置 `TIMx_BKDT.BKEN` 和 `TIMx_BKDT.BKP` 后，生效前有 1 个 APB 时钟周期延迟。因此，用户需要等待 1 个 APB 时钟周期才能读回写入位的值。

`MOEN` 的下降沿可以是异步的，所以在实际信号和同步控制位之间设置了一个再同步电路。该电路将导致异步和同步信号之间的延迟。当用户设置 `TIMx_BKDT.MOEN` 为低电平时，用户需要在读取该值之前插入一个延迟。因为写入了异步信号，但用户读取了同步信号。

刹车发生后的行为如下：

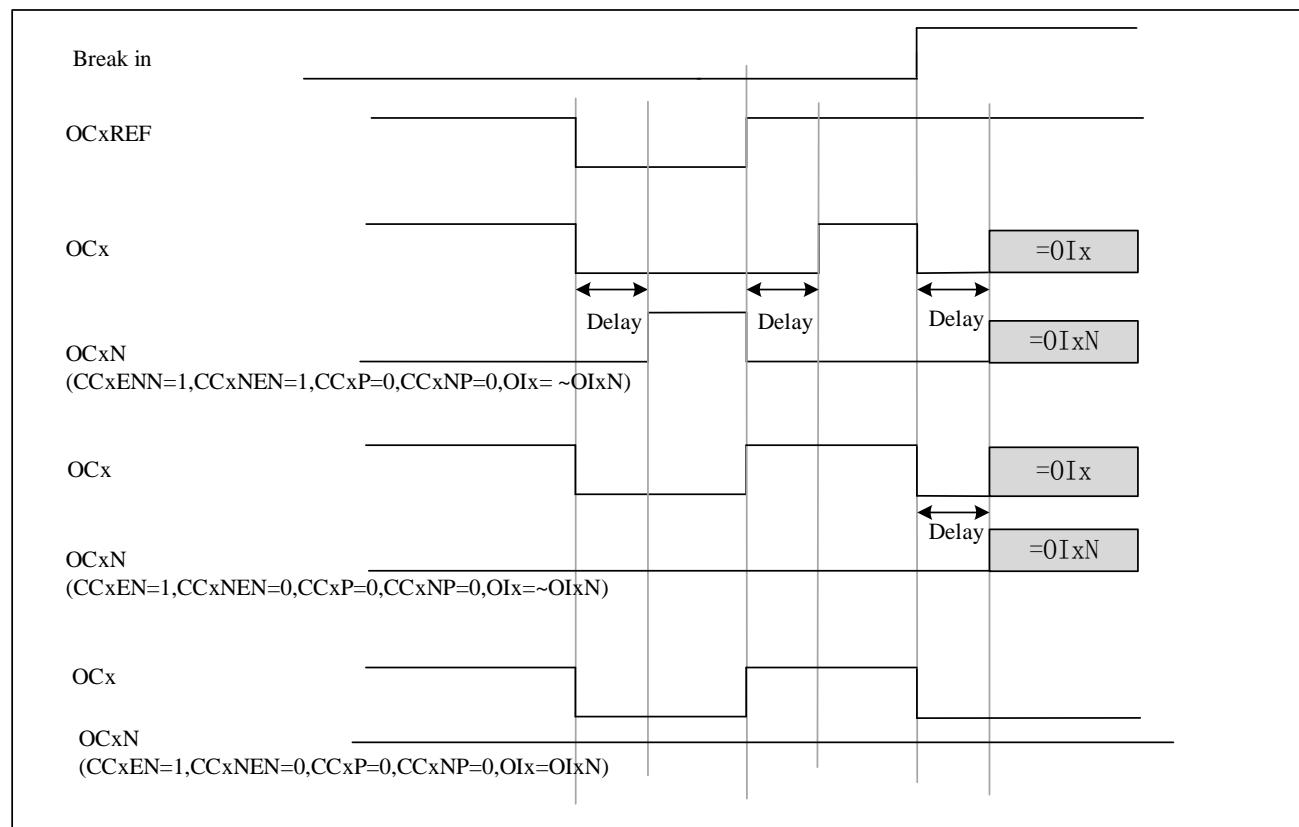
- `TIMx_BKDT.MOEN` 将被异步清除，然后输出将进入无效状态、空闲状态或复位状态。通过设置 `TIMx_BKDT.OSSI` 选择输出状态。即使 MCU 振荡器关闭，这也会生效。
- 一旦 `TIMx_BKDT.MOEN=0`，每个输出通道的输出将使用 `TIMx_CTRL2.OIx` 中编程的电平驱动。如果 `TIMx_BKDT.OSSI=0`，定时器将释放使能输出（由 GPIO 控制器接管），否则将保持高电平。
- 如果用户选择使用互补输出，TIM 的行为如下
 - 取决于极性，输出将首先设置为复位状态。它是一个异步选项，因此即使没有为计时器提供时钟，它仍然可以工作。
 - 如果仍然提供定时器时钟，死区发生器将重新激活，当 $(CCxP \wedge OIx) \wedge (CCxNP \wedge OIxN) != 0$ ，即 `OCx` 和 `OCxN` 仍然不能同时被驱动到有效电平，在死区时间后根据 `TIMx_CTRL2.OIx` 和 `TIMx_CTRL2.OIxN` 的值驱动输出。请注意，由于 `MOEN` 上的重新同步（大概 2 个 `ck_tim` 周期），死区时间将比平时长。

- 如果 `TIMx_BKDT.OSSI=0`, 定时器将释放输出控制。否则, 如果使能输出为高电平, 它将保持为高电平。如果为低电平, 则在 `TIMx_CCEN.CCxEN` 或 `TIMx_CCEN.CCxNEN` 为高电平时变为高电平。
- 如果 `TIMx_DINTEN.BIEN=1`, 当 `TIMx_STS.BITF=1` 时, 会产生中断。
- 如果用户设置了 `TIMx_BKDT.AOEN`, `TIMx_BKDT.MOEN` 将在下一次 UEV 发生时自动设置。用户可以使用它来调节。如果用户未设置 `TIMx_BKDT.AOEN`, 则 `TIMx_BKDT.MOEN` 将保持低电平, 直到再次设置为 1。在这种情况下, 用户可以使用它来保证安全。用户可以将刹车输入连接到热传感器、电源驱动器警报或其他安全组件。
- 刹车输入有效时, `TIMx_BKDT.MOEN` 不能自动置位或软件同时置位, `TIMx_STS.BITF` 也不能清零。因为刹车输入在电平上处于有效状态。

为保证应用安全, 刹车电路具有写保护功能, 并有刹车输入输出管理。它允许用户冻结一些参数, 例如死区持续时间、`OCx/OCxN` 极性和禁用时的状态、`OCxMD` 配置、刹车启用和极性。用户可以通过设置 `TIMx_BKDT.LCKCFG` 选择使用 3 种保护级别之一。但是, `TIMx_BKDT.LCKCFG` 只能在 MCU 复位后写入一次。

响应刹车的输出行为示例如下

图 11-27 响应刹车的输出行为



11.3.15 调试模式

当微控制器处于调试模式 (Cortex-M4 内核停止) 时, 根据 `DBG_CTRL.TIMx_STOP` 配置, `TIMx` 计数器可以继续正常工作或停止。详见 29.4.3。

11.3.16 TIMx 定时器和外部触发的同步

TIMx 定时器可以通过从模式（复位、触发和门控）中的触发器进行同步。

11.3.16.1 从模式：复位模式

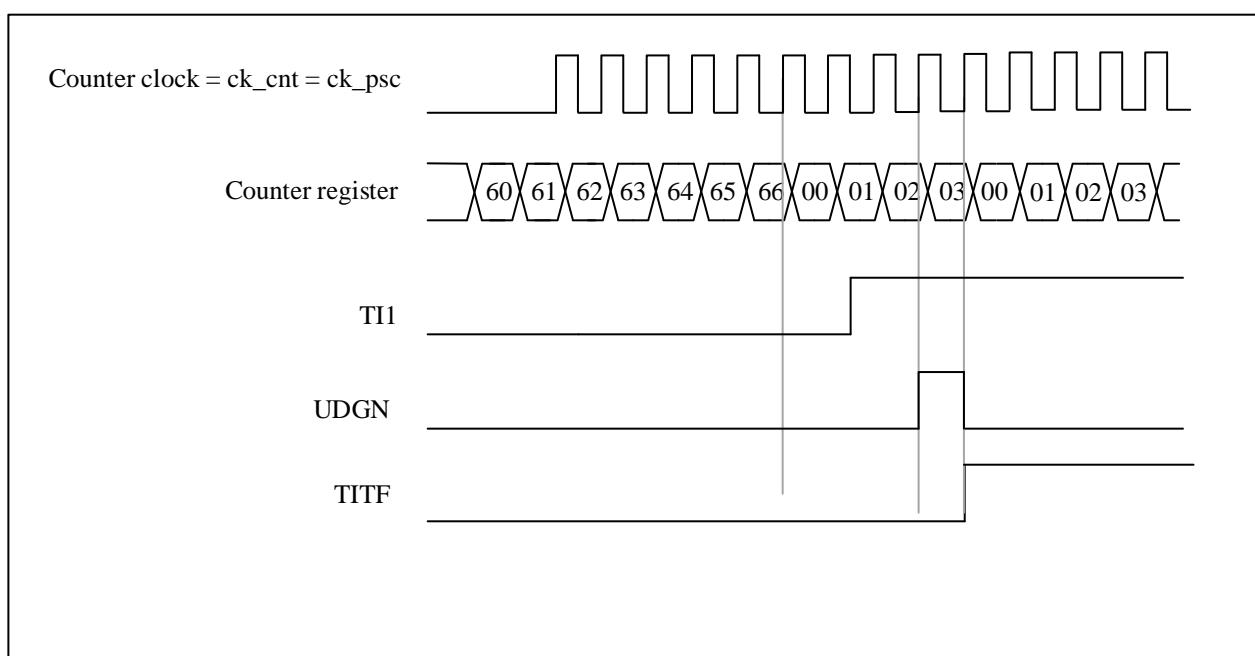
在复位模式下，触发事件可以复位计数器和预分频器。更新预加载寄存器 TIMx_AR、TIMx_CC DATx，并产生更新事件 UEV (TIMx_CTRL1.UPRS=0)。

以下是复位模式的示例：

1. 通道 1 配置为输入检测 TI1 的上升沿 (TIMx_CCMOD1.CC1SEL=01, TIMx_CCEN.CC1P=0);
2. 从模式选择为复位模式 (TIMx_SMCTRL.SMSEL=100)，触发输入选择为 TI1 (TIMx_SMCTRL.TSEL=101);
3. 启动计数器 (TIMx_CTRL1.CNTEN = 1)

启动定时器后，当 TI1 检测到上升沿时，计数器复位并重新开始计数，并设置触发标志 (TIMx_STS.TITF=1)；TI1 的上升沿与实际计数器复位之间的延迟是由于 TI1 输入的重新同步电路引起的。

图 11-28 复位模式下的控制电路



11.3.16.2 从模式：触发模式

在触发模式下，输入端口的触发事件（上升沿/下降沿）可以触发计数器开始计数。

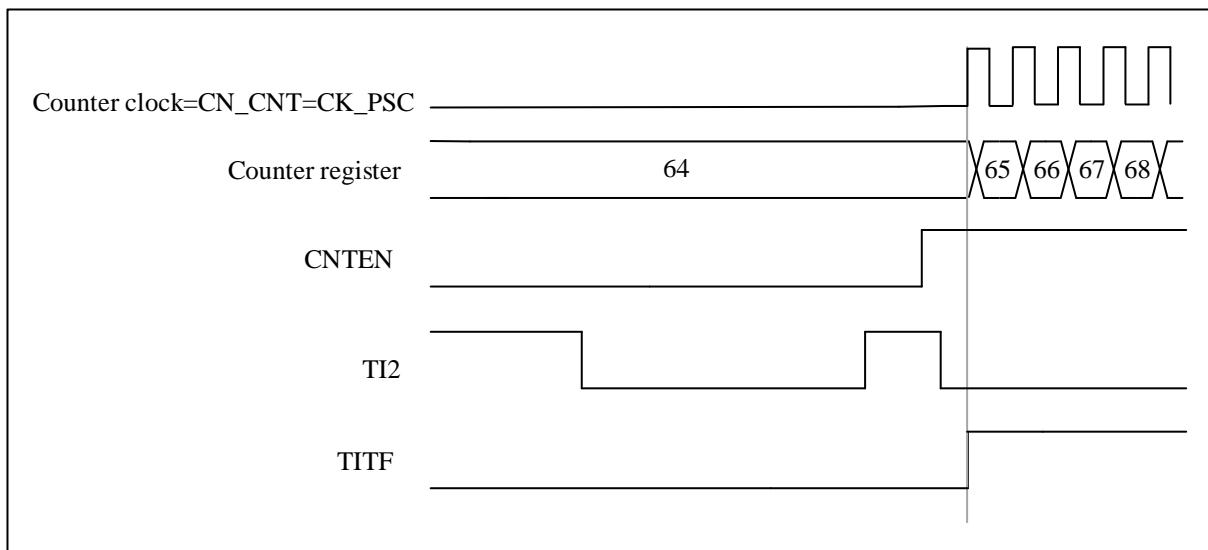
以下是触发模式的示例：

1. 通道 2 配置为输入，检测 TI2 的上升沿 (TIMx_CCMOD1.CC2SEL=01, TIMx_CCEN.CC2P=0);
2. 选择从模式为触发模式 (TIMx_SMCTRL.SMSEL=110)，触发输入选择 TI2 (TIMx_SMCTRL.TSEL=110);

当 TI2 检测到上升沿时，计数器开始计数，触发标志置位 (TIMx_STS.TITF=1)；

TI2 的上升沿与实际计数器启动之间的延迟是由于 TI2 输入的重新同步电路引起的。

图 11-29 触发器模式下的控制电路



11.3.16.3 从模式：门控模式

在门控模式下，输入端口的电平极性可以控制计数器是否计数。

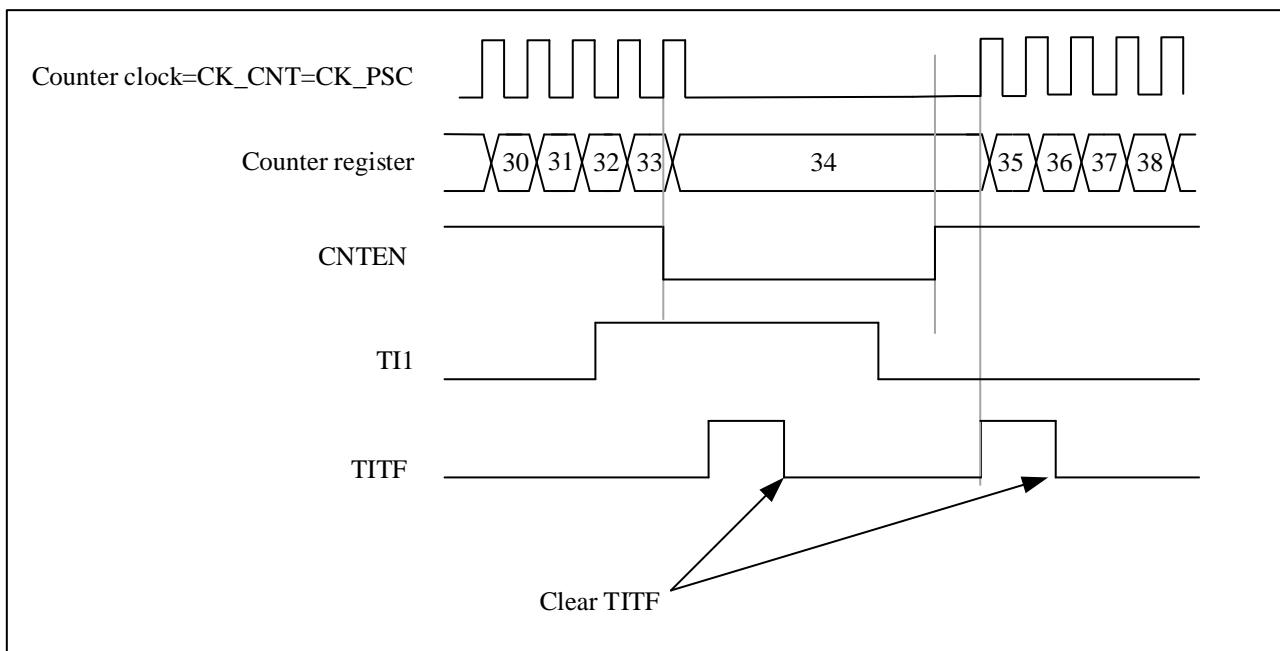
以下是门控模式的示例：

1. 通道 1 配置为 TI1 上的输入检测低电平有效 (TIMx_CCMOD1.CC1SEL=01, TIMx_CCEN.CC1P=1);
2. 选择从模式为门控模式 (TIMx_SMCTRL.SMSEL=101)，选择 TI1 作为 TRGI (TIMx_SMCTRL.TSEL=101);
3. 启动计数器 (TIMx_CTRL1.CNTEN = 1)

当 TI1 检测到电平由低变高时，计数器停止计数，当 TI1 检测到电平由高变低时，计数器开始计数，开始或停止计数时触发标志置位 (TIMx_STS.TITF=1);

TI1 的上升沿与实际计数器停止之间的延迟是由于 TI1 输入的重新同步电路引起的。

图 11-30 门控模式下的控制电路



11.3.16.4 从模式：触发模式 + 外部时钟模式 2

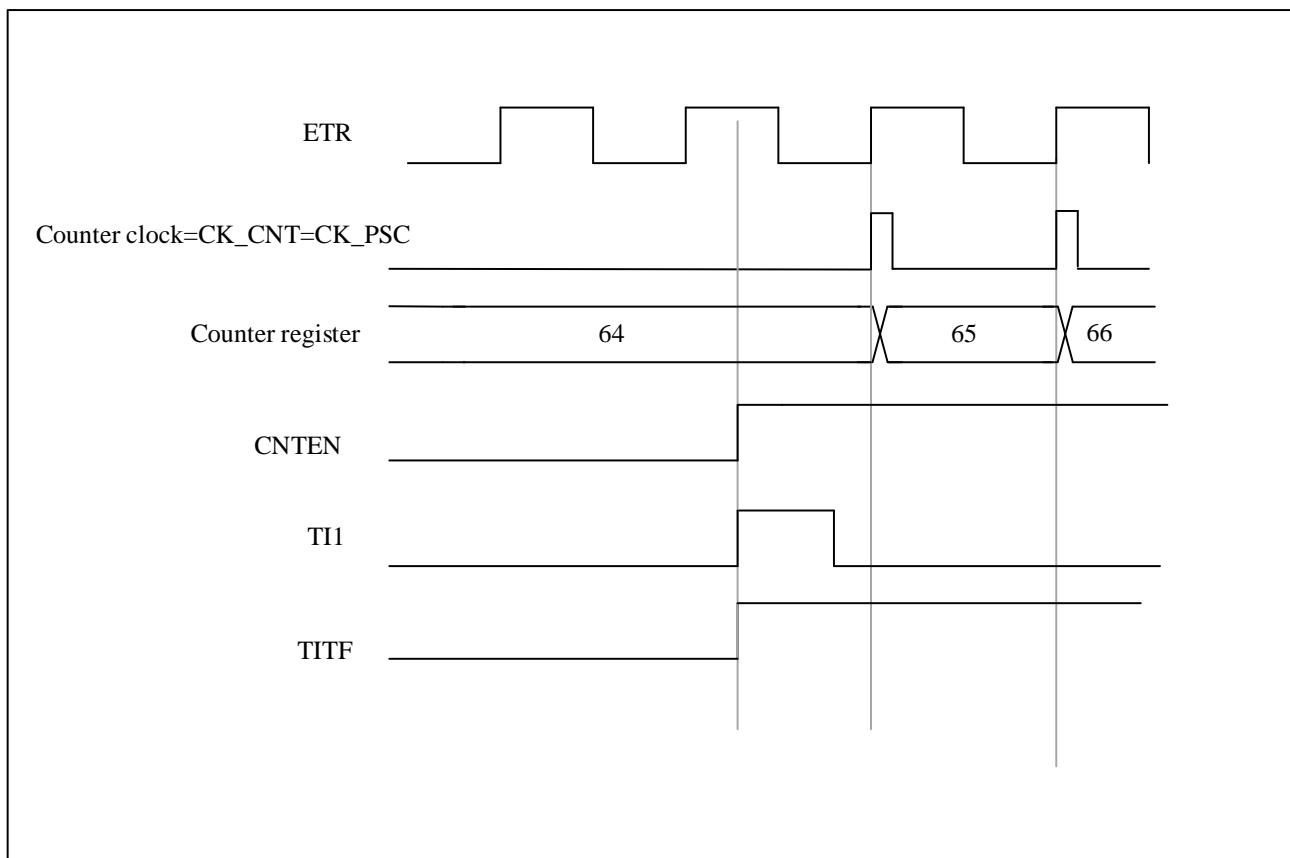
在复位模式、触发模式和门控模式下，计数器时钟可选择为外部时钟模式 2，ETR 信号作为外部时钟源输入。这时候触发选择需要选择非 ETRF (TIMx_SMCTRL.TSEL=111)。

这是一个例子：

1. 通道 1 配置为输入检测 TI1 的上升沿 (TIMx_CCMOD1.CC1SEL=01, TIMx_CCEN.CC1P=0);
2. 使能外部时钟模式 2 (TIMx_SMCTRL.EXCEN=1), 外部触发极性选择上升沿 (TIMx_SMCTRL.EXTP=0), 触发模式作为从模式 (TIMx_SMCTRL.SMSEL=110), TRGI 选择 TI1 (TIMx_SMCTRL.TSEL=101);

当 TI1 检测到上升沿时，计数器在 ETR 的上升沿开始计数，并设置触发标志 (TIMx_STS.TITF=1);

图 11-31 外部时钟模式 2+触发模式下的控制电路



11.3.17 定时器同步

所有 TIM 定时器在内部相连，用于定时器同步或链接。详见 12.3.14 章节。

11.3.18 产生六步 PWM 输出

为了同时修改所有通道的配置，可以提前设置下一步的配置（预加载位为 OCxMD、CCxEN 和 CCxNEN）。当发生 COM 换相事件时，OCxMD、CCxEN 和 CCxNEN 预加载位被传送到影子寄存器位。

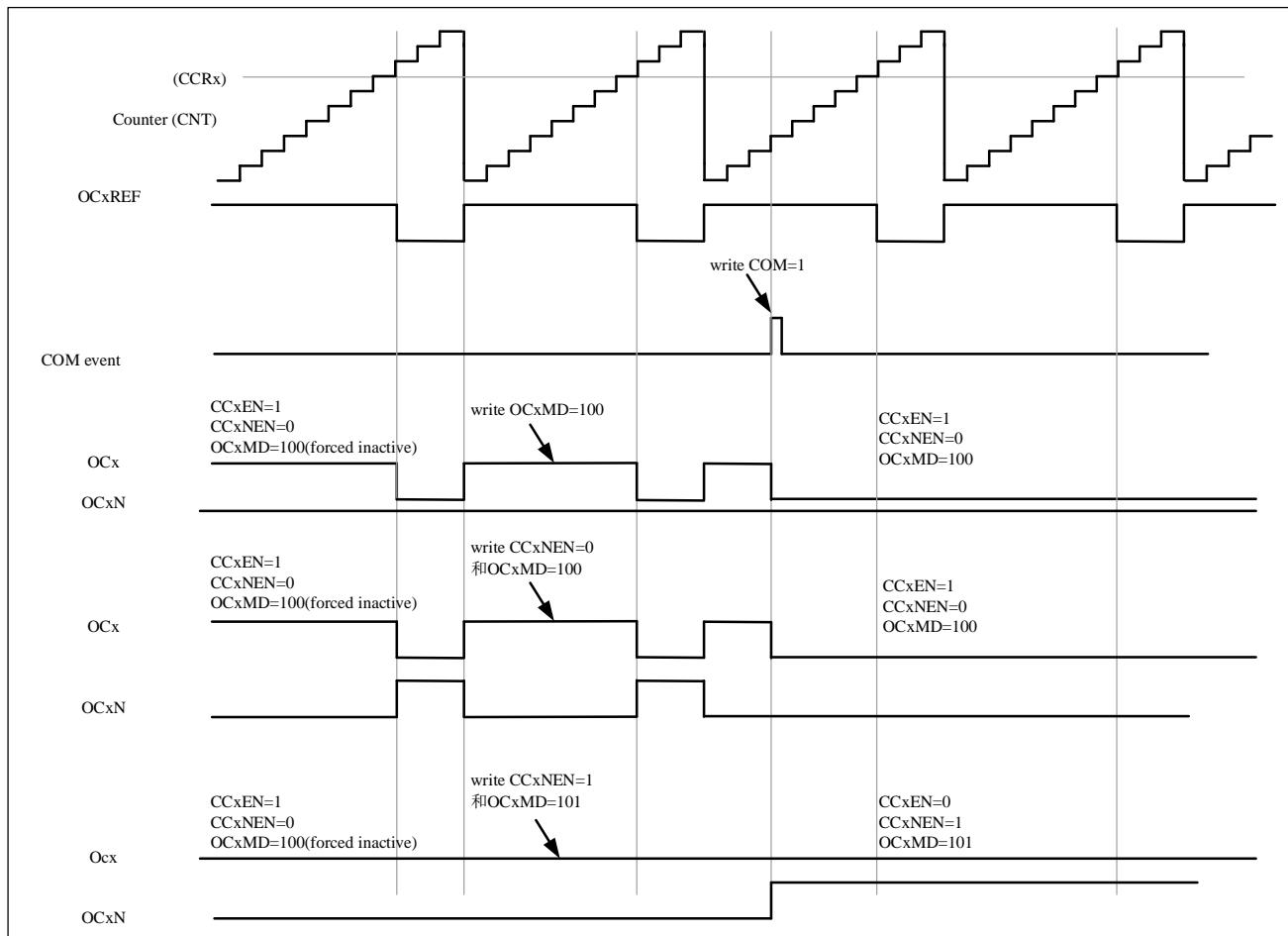
COM 换相事件生成方法：

1. 软件设置 TIMx_EVTGEN.CCUDGN；
2. 在 TRGI 的上升沿由硬件产生；

当 COM 换相事件发生时，TIMx_STS.COMITF 标志将被设置，启用中断 (TIMx_DINTEN.COMIEN) 将产生中断，启用 DMA 请求 (TIMx_DINTEN.COMDEN) 将产生 DMA 请求。

下图显示了三种不同配置下发生 COM 换向事件时 OCx 和 OCxN 的输出时序图：

图 11-32 产生六步 PWM，使用 COM 的例子 (OSSR=1)



11.3.19 编码器接口模式

编码器使用两个输入 TI1 和 TI2 作为接口，计数器对 TI1FP1 或 TI2FP2 上的每个边沿变化进行计数。计数方向由硬件 TIM_x_CTRL1.DIR 自动控制。编码器计数模式共有三种：

1. 计数器只在 TI1 的边沿计数，TIM_x_SMCTRL.SMSEL = ‘001’；
2. 计数器只在 TI2 的边沿计数，TIM_x_SMCTRL.SMSEL = ‘010’；
3. 计数器同时在 TI1 和 TI2 的边沿计数，TIM_x_SMCTRL.SMSEL = ‘011’；

编码器接口相当于使用带方向选择的外部时钟，计数器只在 0 和自动重载值 (TIM_x_AR.AR [15:0]) 之间连续计数。因此，需要提前配置自动重载寄存器 TIM_x_AR。

注意：编码器模式和外部时钟模式 2 不兼容，不能同时选择。

计数方向与编码器信号的关系如下表：

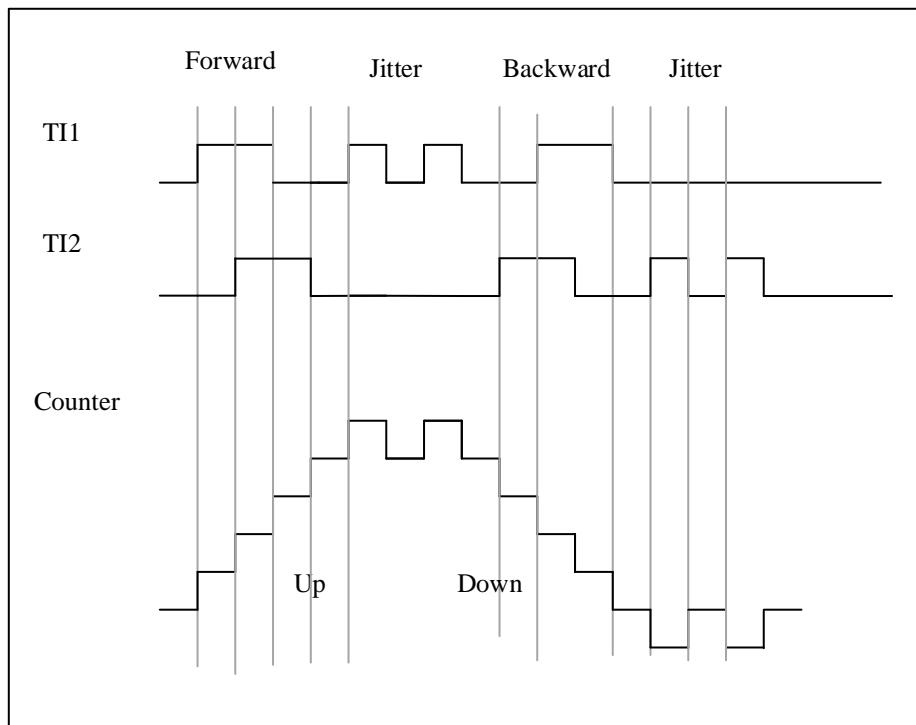
表 11-1 计数方向与编码器信号的关系

有效边沿 (TI1FP1对应TI2, TI2FP2对应TI1)	相对信号的电平	TI1FP1信号		TI2FP2信号	
		上升	下降	上升	下降
	仅在TI1计数	高	向下计数	向上计数	不计数
		低	向上计数	向下计数	不计数
仅在TI2计数	高	不计数	不计数	向上计数	向下计数
	低	不计数	不计数	向下计数	向上计数
在TI1和TI2上计数	高	向下计数	向上计数	向上计数	向下计数
	低	向上计数	向下计数	向下计数	向上计数

以下是选择了双边沿触发以抑制输入抖动的编码器示例：

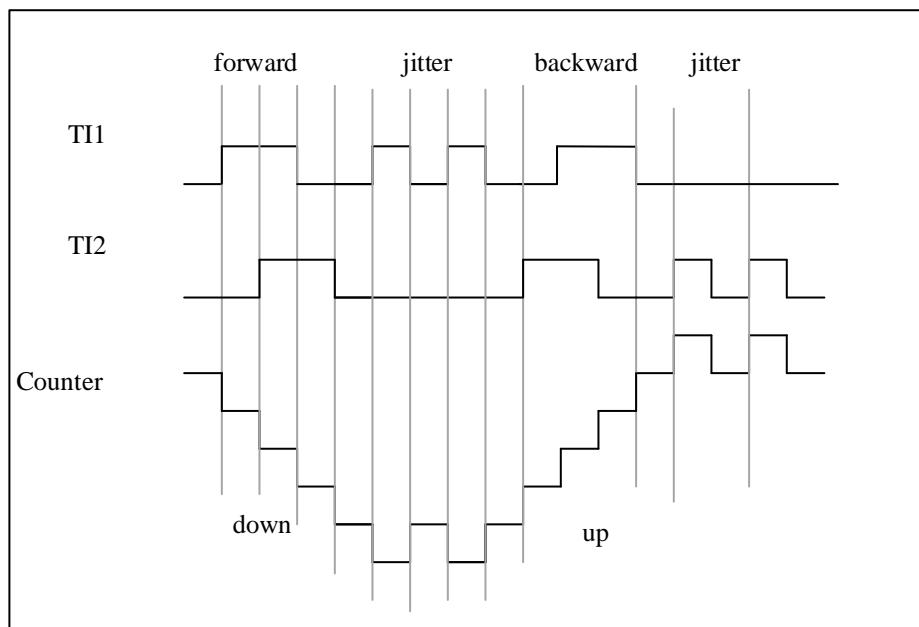
1. IC1FP1 映射到 TI1 (TIMx_CCMOD1.CC1SEL='01'), IC1FP1 不反相 (TIMx_CCEN.CC1P='0');
2. IC1FP2 映射到 TI2 (TIMx_CCMOD2.CC2SEL='01'), IC2FP2 不反相 (TIMx_CCEN.CC2P='0');
3. 输入在上升沿和下降沿均有效 (TIMx_SMCTRL.SMSEL='011');
4. 启用计数器 TIMx_CTRL1.CNTEN='1';

图 11-33 编码器模式下的计数器操作实例



下图为 IC1FP1 极性反转时的计数器行为示例（CC1P='1'，其他配置同上）

图 11-34 IC1FP1 反相的编码器接口模式实例



11.3.20 与霍尔传感器的接口

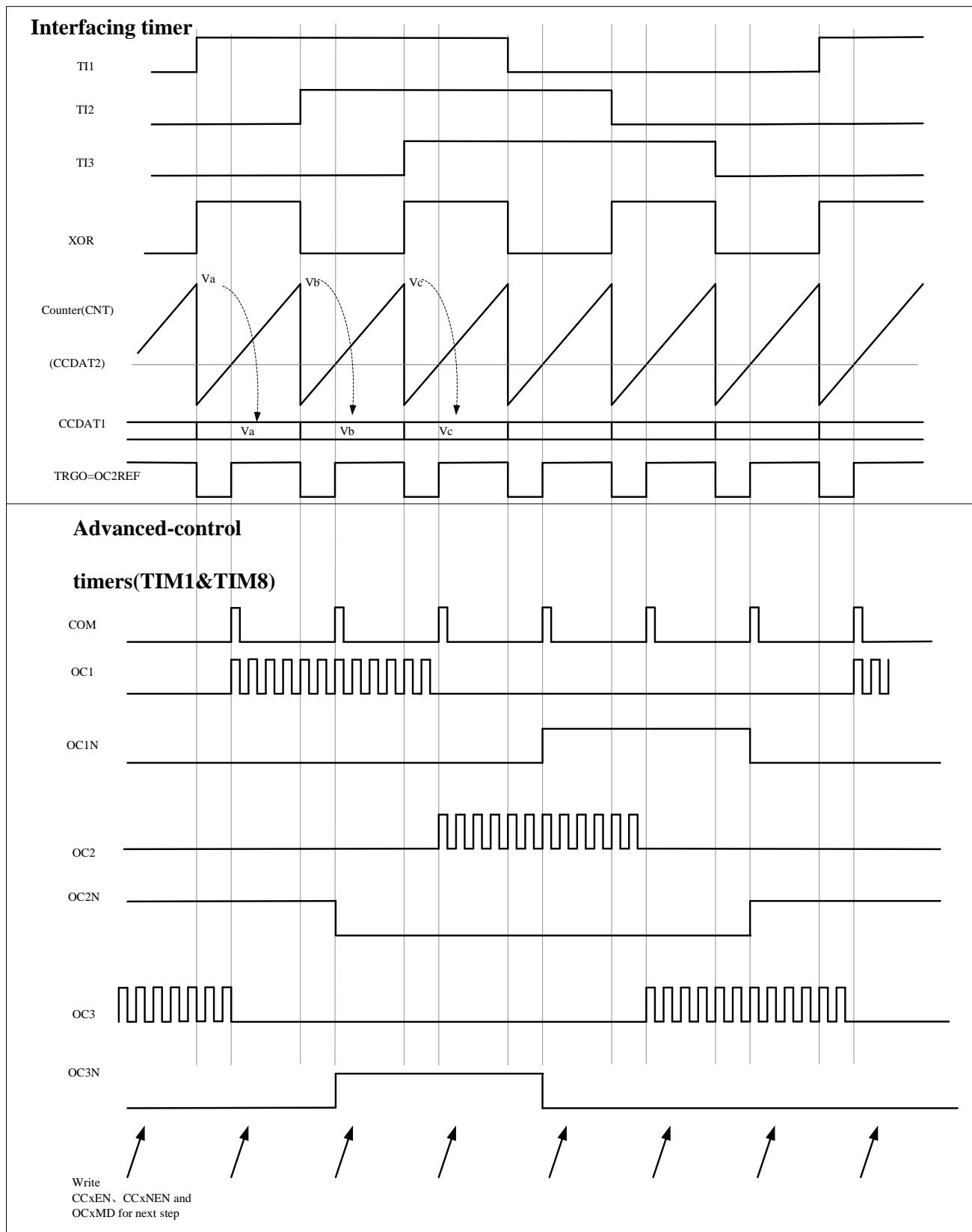
将霍尔传感器连接到定时器的三个输入引脚（CC1、CC2 和 CC3），然后选择异或功能将 TIMx_CH1、TIMx_CH2 和 TIMx_CH3 的输入通过异或门作为 TI1 的输出到通道 1 进行捕捉信号。

定时器需要配置为从模式下的复位模式（TIMx_SMCTRL.SMSEL='100'）；触发选择 TI1 的边沿触发 TI1F_ED (TIMx_SMCTRL.TSEL='100')，霍尔 3 输入的任何变化都会触发计数器重新计数，因此用作时间参考；捕获/比较通道 1 配置为捕获模式下的 TRC 信号 (TIMx_CCMOD1.CC1SEL='11')，用于计算两个输入时间间隔，从而反映电机速度。

选择定时器通道 2 向高级定时器输出脉冲，触发高级定时器的 COM 事件，更新输出 PWM 的控制位。高级定时器的触发选择需要选择对应的内部触发信号 (TIMx_SMCTRL.TSEL="ITRx")，捕获/比较预加载控制位需要配置为支持预加载 (TIMx_CTRL2.CCPCTL=1) 并支持上升沿 TRGI 边沿触发更新 (TIMx_CTRL2.CCUSEL=1)。

此示例如下图所示。

图 11-35 霍尔传感器接口的实例



11.4 TIMx 寄存器 ($x=1,8$)

关于在寄存器描述里面所用到的缩写，详见第 1.1 节。

可以用半字（16 位）或字（32 位）的方式操作这些外设寄存器。

11.4.1 寄存器总览

表 11-2 TIM1 和 TIM8 寄存器总览

Offset	Register	31	30	29	28	27	26	25	24	23	22	21	20	19	18
000h	TIMx_CTRL1														
	Reset Value														
004h	TIMx_CTRL2														
	Reset Value														
008h	TIMx_SMCTRL														
	Reset Value														
00Ch	TIMx_DINTEN														
	Reset Value														
010h	TIMx_STS														
	Reset Value														
014h	TIMx_EVTGEN														
	Reset Value														
018h	TIMx_CCMD01														
	Reset Value														
01Ch	TIMx_CCMD01														
	Reset Value														
01Ch	TIMx_CCMD02														
	Reset Value														
020h	TIMx_CCEN														
	Reset Value														
024h	TIMx_CNT														
	Reset Value														
028h	TIMx_PSC														
	Reset Value														
02Ch	TIMx_AR														

Offset	Register	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	Reset Value											1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	
030h	TIMx_REPCNT	Reserved										REPCNT[7:0]										0	0	0	0	0	0	0	0	0	0	0		
	Reset Value											0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
034h	TIMx_CCDAT1	Reserved										CCDAT1[15:0]										0	0	0	0	0	0	0	0	0	0	0		
	Reset Value											0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
038h	TIMx_CCDAT2	Reserved										CCDAT2[15:0]										0	0	0	0	0	0	0	0	0	0	0		
	Reset Value											0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
03Ch	TIMx_CCDAT3	Reserved										CCDAT3[15:0]										0	0	0	0	0	0	0	0	0	0	0		
	Reset Value											0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
040h	TIMx_CCDAT4	Reserved										CCDAT4[15:0]										0	0	0	0	0	0	0	0	0	0	0		
	Reset Value											0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
044h	TIMx_BKDT	Reserved										MOEN	AOEN	BKP	BKEN	OSSR	OSSI	LCKCF	G[1:0]	DTGN[7:0]										0	0	0		
	Reset Value											0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
048h	TIMx_DCTRL	Reserved										DBLEN[4:0]				Reserved				DBADDR[4:0]				0	0	0	0	0	0	0	0	0	0	0
	Reset Value											0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
04Ch	TIMx_DADDR	Reserved										BURST[15:0]										0	0	0	0	0	0	0	0	0	0	0		
	Reset Value											0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
050h	TIMx_CCMOD3	Reserved										OCC6CEN	OCCMD[2:0]	OCC6PEN	OCC6FEN	OCC5CEN	OCC5MD[2:0]	OCS6PEN	OCS6FEN	Reserved										0	0	0		
	Reset Value											0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
054h	TIMx_CCDAT5	Reserved										CCDAT5[15:0]										0	0	0	0	0	0	0	0	0	0	0		
	Reset Value											0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
058h	TIMx_CCDAT6	Reserved										CCDAT6[15:0]										0	0	0	0	0	0	0	0	0	0	0		
	Reset Value											0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	

11.4.2 控制寄存器 1 (TIMx_CTRL1)

偏移地址: 0x00

复位值: 0x0000 0000

31	15	14	12	11	10	9	8	7	6	5	4	3	2	1	0	18	17	16	
CLRSEL																PBKPen	LBKPen		
rw			rw	rw	rw	rw													

位域	名称	描述
31:18	Reserved	保留, 必须保持复位值
17	PBKPen	PVD作为BRK启用 (PVD as brk Enable) 0: 禁止 1: 使能 注: 操作此位前必须开启芯片的扩展模式 (置位PWR_CTRL3.EXMODE)
16	LBKPen	锁存作为BRK使能 (LockUp as brk Enable) (Core Hardfault) 0: 禁止

位域	名称	描述
		1: 使能 注: 操作此位前必须开启芯片的扩展模式 (置位PWR_CTRL3.EXMODE)
15	CLRSEL	OCxRef选择 (OCxRef selection) 0: 选择外部Ocxclr (ETR) 信号 1: 选择内部OCxclr (来自COMP) 信号 注: 操作此位前必须开启芯片的扩展模式 (置位PWR_CTRL3.EXMODE)
14:12	Reserved	保留, 必须保持复位值
11	C1SEL	通道1选择 (Channel 1 selection) 0: 选择外部CH1 (来自IOM) 信号 1: 选择内部CH1 (来自COMP) 信号 注: 操作此位前必须开启芯片的扩展模式 (置位PWR_CTRL3.EXMODE)
10	IOMBKPN	IOM作为BRK使能 (IOM as brk Enable) 0: 使能。选择外部刹车信号 (来自IOM) 1: 禁止。选择内部刹车信号 (来自COMP) 注: 操作此位前必须开启芯片的扩展模式 (置位PWR_CTRL3.EXMODE)
9:8	CLKD[1:0]	时钟分频因子 (Clock division) CLKD[1:0] 表示 CK_INT (定时器时钟) 和 DTS (用于死区时间发生器和数字滤波器 (ETR、TIx) 的时钟) 之间的分频比。 00: tDTS = tCK_INT · 01: tDTS = 2 × tCK_INT 10: tDTS = 4 × tCK_INT 11: 保留, 不要使用这个配置
7	ARPEN	自动重装载预装载允许位 (Auto-reload preload enable) 0: TIMx_AR 寄存器的影子寄存器禁用 1: TIMx_AR 寄存器的影子寄存器使能
6:5	CAMSEL[1:0]	选择中央对齐模式 (Center-aligned mode selection) 00: 边缘对齐模式。TIMx_CTRL1.DIR 指定向上计数或向下计数。 01: 中央对齐模式1。计数器在中央对齐模式下计数, 向下计数时输出比较中断标志位设置为 1。 10: 中央对齐模式2。计数器在中央对齐模式下计数, 向上计数时输出比较中断标志位设置为1。 11: 中央对齐模式3。计数器在中央对齐模式下计数, 向上计数或向下计数时输出比较中断标志位设置为 1。 注意: 当计数器仍然启用时 (TIMx_CTRL1.CNTEN = 1), 不允许从边缘对齐模式切换到中央对齐模式。
4	DIR	方向 (Direction) 0: 计数器向上计数; 1: 计数器向下计数。 注: 当计数器配置为中央对齐模式或编码器模式时, 该位为只读。
3	ONEPM	单脉冲模式 (One pulse mode) 0: 禁用单脉冲模式, 发生更新事件时不影响计数器计数。 1: 使能单脉冲模式, 下次更新事件发生时计数器停止计数
2	UPRS	更新请求源 (Update request source)

位域	名称	描述
		<p>该位用于通过软件选择 UEV 事件源。</p> <p>0: 如果更新中断或 DMA 请求使能, 以下任何事件都会产生更新中断或 DMA 请求:</p> <ul style="list-style-type: none"> - 计数器上溢/下溢 - TIMx_EVTGEN.UDGN 位被设置 - 从模式控制器的更新生成 <p>1: 如果更新中断或 DMA 请求使能, 只有计数器上溢/下溢会产生更新中断或 DMA 请求。</p>
1	UPDIS	<p>更新禁用 (Update disable)</p> <p>该位用于启用/禁用软件生成的更新事件 (UEV) 事件。</p> <p>0: 启用。如果满足以下条件之一, 将生成 UEV:</p> <ul style="list-style-type: none"> - 计数器上溢/下溢 - TIMx_EVTGEN.UDGN 位被设置 - 从模式控制器的更新生成 <p>影子寄存器将使用预加载值进行更新。</p> <p>1: UEV 禁用。不生成更新事件, 影子寄存器 (AR、PSC 和 CC DATx) 保持它们的值。如果 TIMx_EVTGEN.UDGN 位置位或从模式控制器发出硬件复位, 则重新初始化计数器和预分频器。</p>
0	CNTEN	<p>使能计数器 (Counter enable)</p> <p>0: 禁止计数器;</p> <p>1: 使能计数器。</p> <p>注: 在软件设置了CNTEN位后, 外部时钟、门控模式和编码器模式才能工作。触发模式可以自动地通过硬件设置CNTEN位。</p>

11.4.3 控制寄存器 2 (TIMx_CTRL2)

偏移地址: 0x04

复位值: 0x0000 0000

31	Reserved												19	18	17	16
15	14	13	12	11	10	9	8	7	6	4	3	rw	2	1	rw	0
Reserved	OI4	OI3N	OI3	OI2N	OI2	OI1N	OI1	TI1SEL	MMSEL[2:0]	CCDSEL	CCUSEL	Reserved	CCPCTL			
	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw			rw

位域	名称	描述
31:19	Reserved	保留, 必须保持复位值
18	OI6	输出空闲状态6 (OC6输出)。参见OI1位。
17	Reserved	保留, 必须保持复位值
16	OI5	输出空闲状态5 (OC5输出)。参见OI1位。
15	Reserved	保留, 必须保持复位值
14	OI4	输出空闲状态4 (OC4输出)。参见OI1位。
13	OI3N	输出空闲状态3 (OC3N输出)。参见OI1N位。
12	OI3	输出空闲状态3 (OC3输出)。参见OI1位。

位域	名称	描述
11	OI2N	输出空闲状态2（OC2N输出）。参见OI1N位。
10	OI2	输出空闲状态2（OC2输出）。参见OI1位。
9	OI1N	输出空闲状态1（OC1N输出）（Output Idle state 1） 0: 当MOEN=0时，死区后OC1N=0； 1: 当MOEN=0时，死区后OC1N=1。
8	OI1	输出空闲状态1（OC1输出）（Output Idle state 1） 0: 当MOEN=0时，如果实现了OC1N，则死区后OC1=0； 1: 当MOEN=0时，如果实现了OC1N，则死区后OC1=1。
7	TI1SEL	TI1选择（TI1 selection） 0: TIMx_CH1引脚连到TI1输入； 1: TIMx_CH1、TIMx_CH2和TIMx_CH3引脚经异或后连到TI1输入。
6:4	MMSEL[2:0]	主模式选择 这3位用于选择在主模式下发送到从定时器的同步信息（TRGO）。可能的组合如下： 000: 复位 - 当 TIMx_EVTGEN.UDGN 置位或从模式控制器产生复位时，将出现 TRGO 脉冲。在后一种情况下，TRGO 上的信号与实际复位相比有所延迟。 001: 使能 - TIMx_CTRL1.CNTEN 位用作触发输出（TRGO）。有时需要同时启动多个定时器或者在一段时间内开启从定时器。 当 TIMx_CTRL1.CNTEN 位置位或门控模式下的触发输入为高电平时，计数器使能信号置位。 当计数器使能信号由触发输入控制时，TRGO 上有一个延迟，除非选择了主/从模式（参见 TIMx_SMCTRL.MSMD 位的说明）。 010: 更新 - 选择更新事件作为触发输出（TRGO）。例如，主定时器时钟可用作从定时器预分频器。 011: 比较脉冲 - 当 TIMx_STS.CC1ITF 被设置时（即使它已经是高电平），即捕获或比较成功时，触发输出发送一个正脉冲（TRGO）。 100: 比较 - OC1REF 信号用作触发输出（TRGO）。 101: 比较 - OC2REF 信号用作触发输出（TRGO）。 110: 比较 - OC3REF 信号用作触发输出（TRGO）。 111: 比较 - OC4REF 信号用作触发输出（TRGO）。
3	CCDSEL	捕获/比较的DMA选择（Capture/compare DMA selection） 0: 当发生CCx事件时，送出CCx的DMA请求； 1: 当发生更新事件时，送出CCx的DMA请求。
2	CCUSEL	捕获/比较控制更新选择（Capture/compare control update selection） 0: 如果捕获/比较控制位是预装载的（CCPCTL=1），只能通过设置CCUDGN位更新它们； 1: 如果捕获/比较控制位是预装载的（CCPCTL=1），可以通过设置CCUDGN位或TRGI上的一个上升沿更新它们。 注：该位只对具有互补输出的通道起作用。
1	Reserved	保留，必须保持复位值
0	CCPCTL	捕获/比较预装载控制位（Capture/compare preloaded control） 0: CCxEN, CCxNEN和OCxMD位不是预装载的； 1: CCxEN, CCxNEN和OCxMD位是预装载的；设置该位后，它们只在设置了CCUDGN位后被更新。

位域	名称	描述
		注：该位只对具有互补输出的通道起作用。

11.4.4 从模式控制寄存器 (TIMx_SMCTRL)

偏移地址: 0x08

复位值: 0x0000

15	EXTP	RW	14	EXCEN	RW	13	EXTPS[1:0]	RW	12	EXTF[3:0]	RW	11	MSMD	RW	8	TSEL[2:0]	RW	7	Reserved	RW	6	SMSEL[2:0]	RW	4	3	2	0
----	------	----	----	-------	----	----	------------	----	----	-----------	----	----	------	----	---	-----------	----	---	----------	----	---	------------	----	---	---	---	---

位域	名称	描述
15	EXTP	外部触发极性 (External trigger polarity) 该位选择是用ETR还是ETR的反相来作为触发操作 0: ETR高电平或上升沿有效; 1: ETR低电平或下降沿有效。
14	EXCEN	外部时钟使能位 (External clock enable) 该位启用外部时钟模式2。启用后，计数器由ETRF信号上的任意有效边沿驱动。 0: 禁止外部时钟模式2; 1: 使能外部时钟模式2。 <i>注 1: 当同时使能外部时钟模式 1 和外部时钟模式 2 时，外部时钟的输入为 ETRF。</i> <i>注2: 以下从机模式可以与外部时钟模式2同时使用：复位模式、门控模式和触发模式；但是，TRGI 无法连接到 ETRF (TIMx_SMCTRL.TSEL ≠ '111')。</i> <i>注 3: 设置 TIMx_SMCTRL.EXCEN 位与选择外部时钟模式 1 并将 TRGI 连接到 ETRF (TIMx_SMCTRL.SMSEL = 111 和 TIMx_SMCTRL.TSEL = 111) 的效果相同</i>
13:12	EXTPS[1:0]	外部触发预分频 (External trigger prescaler) 外部触发信号 ETRP 的频率必须最多为 TIMxCLK 频率的 1/4。当输入更快的外部时钟时，可以使用预分频器来降低 ETRP 的频率。 00: 关闭预分频; 01: ETRP频率除以2; 10: ETRP频率除以4; 11: ETRP频率除以8。
11:8	EXTF[3:0]	外部触发滤波 (External trigger filter) 这些位用于定义 ETRP 信号的采样频率和 ETRP 数字滤波的带宽。实际上，数字滤波器是一个事件计数器，在记录连续 N 个事件后生成验证输出。 0000: 无滤波器，以fDTS采样 1000: 采样频率fSAMPLING=fDTS/8, N=6 0001: 采样频率fSAMPLING=fCK_INT, N=2 1001: 采样频率fSAMPLING=fDTS/8, N=8 0010: 采样频率fSAMPLING=fCK_INT, N=4 1010: 采样频率fSAMPLING=fDTS/16, N=5 0011: 采样频率fSAMPLING=fCK_INT, N=8 1011: 采样频率fSAMPLING=fDTS/16, N=6 0100: 采样频率fSAMPLING=fDTS/2, N=6 1100: 采样频率fSAMPLING=fDTS/16, N=8 0101: 采样频率fSAMPLING=fDTS/2, N=8 1101: 采样频率fSAMPLING=fDTS/32,

位域	名称	描述
		<p>N=5</p> <p>0110: 采样频率fSAMPLING=fDTS/4, N=6 1110: 采样频率fSAMPLING=fDTS/32, N=6</p> <p>0111: 采样频率fSAMPLING=fDTS/4, N=8 1111: 采样频率fSAMPLING=fDTS/32, N=8</p>
7	MSMD	<p>主/从模式 (Master/slave mode)</p> <p>0: 无作用;</p> <p>1: 触发输入 (TRGI) 上的事件被延迟了, 以允许在当前定时器 (通过TRGO) 与它的从定时器间的完美同步。这对要求把几个定时器同步到一个单一的外部事件时是非常有用的。</p>
6:4	TSEL[2:0]	<p>触发选择 (Trigger selection)</p> <p>这3位选择用于同步计数器的触发输入。</p> <p>000: 内部触发0 (ITR0) 100: TI1的边沿检测器 (TI1F_ED) 001: 内部触发1 (ITR1) 101: 滤波后的定时器输入1 (TI1FP1) 010: 内部触发2 (ITR2) 110: 滤波后的定时器输入2 (TI2FP2) 011: 内部触发3 (ITR3) 111: 外部触发输入 (ETRF)</p> <p>更多有关ITRx的细节, 参见表11-3。</p> <p>注: 这些位只能在未用到 (如SMSEL=000) 时被改变, 以避免在改变时产生错误的边沿检测。</p>
3	Reserved	保留, 必须保持复位值
2:0	SMSEL[2:0]	<p>从模式选择 (Slave mode selection)</p> <p>当选择了外部信号, 触发信号 (TRGI) 的有效边沿与选中的外部输入极性相关 (见输入控制寄存器和控制寄存器的说明)</p> <p>000: 关闭从模式 – 如果CNTEN=1, 则预分频器直接由内部时钟驱动。</p> <p>001: 编码器模式1 – 根据TI2FP2的电平, 计数器在TI1FP1的边沿向上/下计数。</p> <p>010: 编码器模式2 – 根据TI1FP1的电平, 计数器在TI2FP2的边沿向上/下计数。</p> <p>011: 编码器模式3 – 根据另一个信号的输入电平, 计数器在TI1FP1和TI2FP2的边沿向上/下计数。</p> <p>100: 复位模式 – 在选定触发输入 (TRGI) 的上升沿, 计数器重新初始化并更新影子寄存器。</p> <p>101: 门控模式 – 当触发输入 (TRGI) 为高时, 计数器的时钟开启。一旦触发输入变为低, 则计数器停止 (但不复位)。计数器的启动和停止都是受控的。</p> <p>110: 触发模式 – 计数器在触发输入TRGI的上升沿启动 (但不复位), 只有计数器的启动是受控的。</p> <p>111: 外部时钟模式1 – 选中的触发输入 (TRGI) 的上升沿驱动计数器。</p> <p>注: 如果TI1F_ED被选为触发输入 (TSEL=100) 时, 不要使用门控模式。这是因为, TI1F_ED在每次TIIF变化时输出一个脉冲, 然而门控模式是要检查触发输入的电平。</p>

表 11-3 TIMx 内部触发连接

Slave timer	ITR0 (TSEL = 000)	ITR1 (TSEL = 001)	ITR2 (TSEL = 010)	ITR3 (TSEL = 011)
TIM1	TIM5	TIM2	TIM3	TIM4
TIM8	TIM1	TIM2	TIM4	TIM5

11.4.5 DMA/中断使能寄存器 (TIMx_DINTEN)

偏移地址: 0x0C

复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved	TDEN	COMDEN	CC4DEN	CC3DEN	CC2DEN	CC1DEN	UDEN	BIEN	TIEN	COMIEN	CC4IEN	CC3IEN	CC2IEN	CC1IEN	UIEN

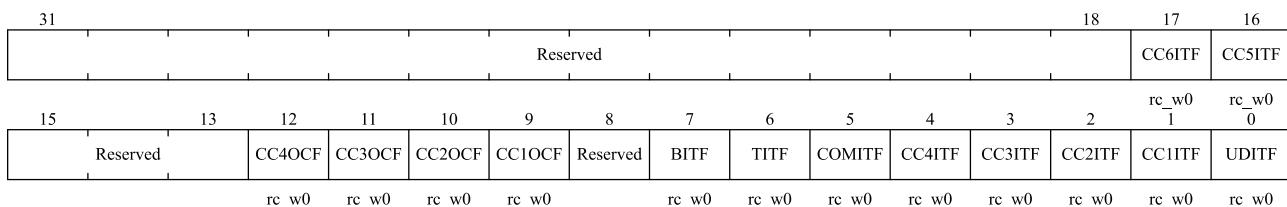
位域	名称	描述
15	Reserved	保留, 必须保持复位值
14	TDEN	允许触发DMA请求 (Trigger DMA request enable) 0: 禁止触发DMA请求; 1: 允许触发DMA请求。
13	COMDEN	允许COM的DMA请求 (COM DMA request enable) 0: 禁止COM的DMA请求; 1: 允许COM的DMA请求。
12	CC4DEN	允许捕获/比较4的DMA请求 (Capture/Compare 4 DMA request enable) 0: 禁止捕获/比较4的DMA请求; 1: 允许捕获/比较4的DMA请求。
11	CC3DEN	允许捕获/比较3的DMA请求 (Capture/Compare 3 DMA request enable) 0: 禁止捕获/比较3的DMA请求; 1: 允许捕获/比较3的DMA请求。
10	CC2DEN	允许捕获/比较2的DMA请求 (Capture/Compare 2 DMA request enable) 0: 禁止捕获/比较2的DMA请求; 1: 允许捕获/比较2的DMA请求。
9	CC1DEN	允许捕获/比较1的DMA请求 (Capture/Compare 1 DMA request enable) 0: 禁止捕获/比较1的DMA请求; 1: 允许捕获/比较1的DMA请求。
8	UDEN	允许更新的DMA请求 (Update DMA request enable) 0: 禁止更新的DMA请求; 1: 允许更新的DMA请求。
7	BIEN	允许刹车中断 (Break interrupt enable) 0: 禁止刹车中断; 1: 允许刹车中断。
6	TIEN	触发中断使能 (Trigger interrupt enable) 0: 禁止触发中断; 1: 使能触发中断。
5	COMIEN	允许COM中断 (COM interrupt enable) 0: 禁止COM中断; 1: 允许COM中断。
4	CC4IEN	允许捕获/比较4中断 (Capture/Compare 4 interrupt enable) 0: 禁止捕获/比较4中断; 1: 允许捕获/比较4中断。

位域	名称	描述
3	CC3IEN	允许捕获/比较3中断 (Capture/Compare 3 interrupt enable) 0: 禁止捕获/比较3中断; 1: 允许捕获/比较3中断。
2	CC2IEN	允许捕获/比较2中断 (Capture/Compare 2 interrupt enable) 0: 禁止捕获/比较2中断; 1: 允许捕获/比较2中断。
1	CC1IEN	允许捕获/比较1中断 (Capture/Compare 1 interrupt enable) 0: 禁止捕获/比较1中断; 1: 允许捕获/比较1中断。
0	UIEN	允许更新中断 (Update interrupt enable) 0: 禁止更新中断; 1: 允许更新中断。

11.4.6 状态寄存器 (TIMx_STS)

偏移地址: 0x10

复位值: 0x0000 0000



位域	名称	描述
31:18	Reserved	保留, 必须保持复位值
17	CC6ITF	捕获/比较6中断标记 (Capture/Compare 6 interrupt flag) 参考CC1ITF描述。
16	CC5ITF	捕获/比较5中断标记 (Capture/Compare 5 interrupt flag) 参考CC1ITF描述。
15:13	Reserved	保留, 必须保持复位值
12	CC4OCF	捕获/比较4重复捕获标记 (Capture/Compare 4 overcapture flag) 参见CC1OCF描述。
11	CC3OCF	捕获/比较3重复捕获标记 (Capture/Compare 3 overcapture flag) 参见CC1OCF描述。
10	CC2OCF	捕获/比较2重复捕获标记 (Capture/Compare 2 overcapture flag) 参见CC1OCF描述。
9	CC1OCF	捕获/比较1重复捕获标记 (Capture/Compare 1 overcapture flag) 仅当相应的通道被配置为输入捕获时, 该标记可由硬件置1。写0可清除该位。 0: 无重复捕获产生; 1: 计数器的值被捕获到TIMx_CCDAT1寄存器时, CC1ITF的状态已经为‘1’。
8	Reserved	保留, 必须保持复位值

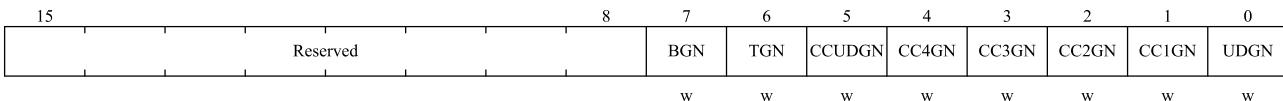
位域	名称	描述
7	BITF	刹车中断标记 (Break interrupt flag) 一旦刹车输入有效, 由硬件对该位置'1'。如果刹车输入无效, 则该位可由软件清'0'。 0: 无刹车事件产生; 1: 刹车输入上检测到有效电平。
6	TITF	触发器中断标记 (Trigger interrupt flag) 当发生触发事件 (当从模式控制器处于除门控模式外的其它模式时, 在TRGI输入端检测到有效边沿, 或门控模式下的任一边沿) 时由硬件对该位置'1'。它由软件清'0'。 0: 无触发器事件产生; 1: 触发中断等待响应。
5	COMITF	COM中断标记 (COM interrupt flag) 一旦产生COM事件 (当捕获/比较控制位: CCxEN、CCxNEN、OCxMD已被更新) 该位由硬件置'1'。它由软件清'0'。 0: 无COM事件产生; 1: COM中断等待响应。
4	CC4ITF	捕获/比较4中断标记 (Capture/Compare 4 interrupt flag) 参考CC1ITF描述。
3	CC3ITF	捕获/比较3中断标记 (Capture/Compare 3 interrupt flag) 参考CC1ITF描述。
2	CC2ITF	捕获/比较2中断标记 (Capture/Compare 2 interrupt flag) 参考CC1ITF描述。
1	CC1ITF	捕获/比较1中断标记 (Capture/Compare 1 interrupt flag) 如果通道CC1配置为输出模式: 除中央对齐模式外, 当计数器值与比较值相同时, 该位由硬件设置 (参见 TIMx_CTRL1.CAMSEL 位描述)。该位由软件清零。 0: 未发生匹配。 1: TIMx_CNT 的值与 TIMx_CCDAT1 的值相同。 当 TIMx_CCDAT1 的值大于 TIMx_AR 的值时, 如果计数器溢出 (在向上计数和向上/向下计数模式下) 和向下计数模式下溢, 则 TIMx_STS.CC1ITF 位将变为高电平。 如果通道CC1配置为输入模式: 当捕捉事件发生时, 该位由硬件设置。该位由软件或读取 TIMx_CCDAT1 清零。 0: 未发生输入捕捉。 1: 发生输入捕捉。计数器值已在 TIMx_CCDAT1 中捕获。在 IC1 上检测到与所选极性相同的边沿。
0	UDITF	更新中断标志 (Update interrupt flag) 当在以下条件下发生更新事件时, 该位由硬件设置: – 当 TIMx_CTRL1.UPDIS = 0 时, 并且重复计数器值上溢或下溢 (当重复计数器等于 0 时生成更新事件UEV)。 – 当 TIMx_CTRL1.UPRS = 0 时, TIMx_CTRL1.UPDIS = 0, 并通过软件设置 TIMx_EVTGEN.UDGN 位以重新初始化 CNT。 – 当 TIMx_CTRL1.UPRS = 0 时, TIMx_CTRL1.UPDIS = 0, 并且计数器 CNT 由触发事件重新初始化。 (参见 TIMx_SMCTRL 寄存器说明) 该位由软件清零。 0: 未发生更新事件

位域	名称	描述
		1: 发生更新中断

11.4.7 事件产生寄存器 (TIMx_EVTGEN)

偏移地址:0x14

复位值:0x0000



位域	名称	描述
15:8	Reserved	保留, 必须保持复位值
7	BGN	<p>产生刹车事件 (Break generation) 当由软件设置时, 该位可以产生一个刹车事件。而此时TIMx_BKDT.MOEN = 0, TIMx_STS.BITF = 1, 如果相应的中断和DMA被使能, 就会产生相应的中断和DMA。该位由硬件自动清零。</p> <p>0: 无动作 1: 产生刹车事件</p>
6	TGN	<p>产生触发事件 (Trigger generation) 当由软件置位时, 该位可以产生一个触发事件。而此时TIMx_STS.TITF = 1, 如果相应的中断和DMA被使能, 就会产生相应的中断和DMA。该位由硬件自动清零。</p> <p>0: 无动作 1: 产生触发事件</p>
5	CCUDGN	<p>捕获/比较事件, 产生控制更新 (Capture/Compare control update generation) 该位由软件设置。如果此时 TIMx_CTRL2.CCPCTL = 1, 则允许更新 CCxEN、CCxNEN 和 OCxMD 位。该位由硬件自动清零。</p> <p>0: 无动作 1: 产生一个COM事件 注意: 该位仅对具有互补输出的通道有效。</p>
4	CC4GN	<p>产生捕获/比较4事件 (Capture/Compare 4 generation) 参考CC1GN描述。</p>
3	CC3GN	<p>产生捕获/比较3事件 (Capture/Compare 3 generation) 参考CC1GN描述。</p>
2	CC2GN	<p>产生捕获/比较2事件 (Capture/Compare 2 generation) 参考CC1GN描述。</p>
1	CC1GN	<p>产生捕获/比较1事件 (Capture/Compare 1 generation) 当由软件设置时, 该位可以产生一个捕获/比较事件。该位由硬件自动清零。 CC1对应通道为输出模式时: TIMx_STS.CC1ITF 标志将被拉高, 如果相应的中断和 DMA 被使能, 就会产生相应的中断和 DMA。 CC1对应通道为输入模式时: TIMx_CCDAT1 将捕获当前计数器值, 并将 TIMx_STS.CC1ITF 标志拉高, 如果相应的中断和 DMA 被使能, 则会产生相应的中断和 DMA。如果 TIMx_STS.CC1ITF 已经拉高, 则拉高 TIMx_STS.CC1OCF。</p>

位域	名称	描述
		0: 无动作 1: 生成 CC1 捕获/比较事件
0	UDGN	产生更新事件 (Update generation) 该位由软件置'1'，由硬件自动清'0'。 当由软件设置时，该位可以生成更新事件。而此时计数器会重新初始化，预分频计数器会被清零，计数器在中央对齐或向上计数模式下会被清零，但在向下计数模式下取 TIMx_AR 寄存器的值。该位由硬件自动清零。 0: 无动作 1: 生成更新事件

11.4.8 捕获/比较模式寄存器 1 (TIMx_CCMOD1)

偏移地址: 0x18

复位值: 0x0000

通道可用于输入（捕获模式）或输出（比较模式），通道的方向由相应的 CCxSEL 位定义。该寄存器其它位的作用在输入和输出模式下不同。OCx 描述了通道在输出模式下的功能，ICx 描述了通道在输入模式下的功能。因此必须注意，同一个位在输出模式和输入模式下的功能是不同的。

输出比较模式:

15	14	12	11	10	9	8	7	6	4	3	2	1	0
OC2CEN	OC2MD[2:0]		OC2PEN	OC2FEN	CC2SEL[1:0]	OC1CEN		OC1MD[2:0]		OC1PEN	OC1FEN	CC1SEL[1:0]	

位域	名称	描述
15	OC2CEN	输出比较2清0使能 (Output Compare 2 clear enable)
14:12	OC2MD[2:0]	输出比较2模式 (Output Compare 2 mode)
11	OC2PEN	输出比较2预装载使能 (Output Compare 2 preload enable)
10	OC2FEN	输出比较2快速使能 (Output Compare 2 fast enable)
9:8	CC2SEL[1:0]	捕获/比较2选择。 (Capture/Compare 2 selection) 该位定义通道的方向（输入/输出），及输入脚的选择： 00: CC2通道被配置为输出； 01: CC2通道被配置为输入， IC2映射在TI2上； 10: CC2通道被配置为输入， IC2映射在TI1上； 11: CC2通道被配置为输入， IC2映射在TRC上。此模式仅工作在内部触发输入被选中时（由TIMx_SMCTRL 寄存器的TSEL位选择）。 注：CC2SEL 仅在通道关闭时 (TIMx_CCEN 寄存器的CC2EN=0) 才是可写的。
7	OC1CEN	输出比较1清'0'使能 (Output Compare 1 clear enable) 0: OC1REF 不受ETRF输入的影响； 1: 一旦检测到ETRF输入高电平，清除OC1REF=0。
6:4	OC1MD[2:0]	输出比较1模式 (Output Compare 1 mode)

位域	名称	描述
		<p>这些位用于管理输出参考信号 OC1REF，它决定了 OC1 和 OC1N 的值，在高电平有效，而 OC1 和 OC1N 的有效电平取决于 TIMx_CCEN.CC1P 和 TIMx_CCEN.CC1NP 位。</p> <p>000: 冻结。 TIMx_CCDAT1 寄存器和计数器 TIMx_CNT 之间的比较对 OC1REF 信号没有影响。</p> <p>001: 将通道 1 设置为匹配时的有效电平。当 TIMx_CCDAT1 = TIMx_CNT 时，OC1REF 信号将被强制为高电平。</p> <p>010: 将通道 1 设置为匹配时的无效电平。当 TIMx_CCDAT1 = TIMx_CNT 时，OC1REF 信号将被强制为低电平。</p> <p>011: 翻转。当 TIMx_CCDAT1 = TIMx_CNT 时，OC1REF 信号将被翻转。</p> <p>100: 强制无效电平。 OC1REF 信号被强制为低电平。</p> <p>101: 强制有效电平。 OC1REF 信号被强制为高电平。</p> <p>110: PWM 模式 1 - 在向上计数模式下，如果 TIMx_CNT < TIMx_CCDAT1，则通道 1 的 OC1REF 信号为高电平，否则为低电平。在向下计数模式下，如果 TIMx_CNT > TIMx_CCDAT1，则通道 1 的 OC1REF 信号为低电平，否则为高电平。</p> <p>111: PWM 模式 2 - 在向上计数模式下，如果 TIMx_CNT < TIMx_CCDAT1，则通道 1 的 OC1REF 信号为低电平，否则为高电平。在向下计数模式下，如果 TIMx_CNT > TIMx_CCDAT1，则通道 1 的 OC1REF 信号为高电平，否则为低电平。</p> <p><i>注 1: 在 PWM 模式 1 或 PWM 模式 2 中，OC1REF 电平仅在比较结果改变或输出比较模式从冻结模式切换到 PWM 模式时才会改变。</i></p>
3	OC1PEN	<p>输出比较 1 预加载使能 (Output Compare 1 preload enable)</p> <p>0: 禁用 TIMx_CCDAT1 寄存器的预加载功能。 支持随时对 TIMx_CCDAT1 寄存器进行写操作，写入的值立即生效。</p> <p>1: 使能 TIMx_CCDAT1 寄存器的预加载功能。 仅对预加载寄存器进行读写操作。当更新事件发生时，TIMx_CCDAT1 的值被加载到影子寄存器中。</p> <p><i>注 1: 只有当 TIMx_CTRL1.ONEPM = 1 (在单脉冲模式下) 时，才能使用 PWM 模式而不验证预加载寄存器，否则无法预测其他行为。</i></p>
2	OC1FEN	<p>输出比较1 快速使能 (Output Compare 1 fast enable)</p> <p>该位用于加快CC输出对触发输入事件的响应。</p> <p>0: 根据计数器与CCDAT1的值，CC1正常操作，即使触发器是打开的。当触发器的输入有一个有效沿时，激活CC1输出的最小延时为5个时钟周期。</p> <p>1: 输入到触发器的有效沿的作用就像发生了一次比较匹配。因此，OC1被设置为比较电平而与比较结果无关。采样触发器的有效沿和CC1输出间的延时被缩短为3个时钟周期。</p> <p>OCxFEN只在通道被配置成PWM1或PWM2模式时起作用。</p>
1:0	CC1SEL[1:0]	<p>捕获/比较1 选择。 (Capture/Compare 1 selection)</p> <p>这2位定义通道的方向（输入/输出），及输入脚的选择：</p> <p>00: CC1通道被配置为输出；</p> <p>01: CC1通道被配置为输入，IC1映射在TI1上；</p> <p>10: CC1通道被配置为输入，IC1映射在TI2上；</p> <p>11: CC1通道被配置为输入，IC1映射在TRC上。此模式仅工作在内部触发输入被选中时（由TIMx_SMCTRL寄存器的TSEL位选择）。</p> <p><i>注: CC1SEL 仅在通道关闭时 (TIMx_CCEN 寄存器的CC1EN=0) 才是可写的。</i></p>

输入捕获模式:

15	12	11	10	9	8	7	4	3	2	1	0
	IC2F[3:0]		IC2PSC[1:0]		CC2SEL[1:0]		IC1F[3:0]		IC1PSC[1:0]		CC1SEL[1:0]

rw rw rw rw rw rw

位域	名称	描述
15:12	IC2F[3:0]	输入捕获2滤波器 (Input capture 2 filter)
11:10	IC2PSC[1:0]	输入/捕获2预分频器 (Input capture 2 prescaler)
9:8	CC2SEL[1:0]	<p>捕获/比较2选择 (Capture/Compare 2 selection) 这2位定义通道的方向 (输入/输出), 及输入脚的选择: 00: CC2通道被配置为输出; 01: CC2通道被配置为输入, IC2映射在TI2上; 10: CC2通道被配置为输入, IC2映射在TI1上; 11: CC2通道被配置为输入, IC2映射在TRC上。此模式仅工作在内部触发输入被选中时 (由TIMx_SMCTRL寄存器的TSEL位选择)。 <small>注: CC2SEL仅在通道关闭时 (TIMx_CCEN 寄存器的CC2EN=0) 才是可写的。</small></p>
7:4	IC1F[3:0]	<p>输入捕获1滤波器 (Input capture 1 filter) 这几位定义了TI1输入的采样频率及数字滤波器长度。数字滤波器由一个事件计数器组成, 它记录到N个事件后会产生一个输出的跳变: 0000: 无滤波器, 以fDTS采样 1000: 采样频率fSAMPLING=fDTS/8, N=6 0001: 采样频率fSAMPLING=fCK_INT, N=2 1001: 采样频率fSAMPLING=fDTS/8, N=8 0010: 采样频率fSAMPLING=fCK_INT, N=4 1010: 采样频率fSAMPLING=fDTS/16, N=5 0011: 采样频率fSAMPLING=fCK_INT, N=8 1011: 采样频率fSAMPLING=fDTS/16, N=6 0100: 采样频率fSAMPLING=fDTS/2, N=6 1100: 采样频率fSAMPLING=fDTS/16, N=8 0101: 采样频率fSAMPLING=fDTS/2, N=8 1101: 采样频率fSAMPLING=fDTS/32, N=5 0110: 采样频率fSAMPLING=fDTS/4, N=6 1110: 采样频率fSAMPLING=fDTS/32, N=6 0111: 采样频率fSAMPLING=fDTS/4, N=8 1111: 采样频率fSAMPLING=fDTS/32, N=8</p>
3:2	IC1PSC[1:0]	<p>输入/捕获1预分频器 (Input capture 1 prescaler) 这2位定义了CC1输入 (IC1) 的预分频系数。 <small>一旦TIMx_CCEN.CC1EN=0, 则预分频器复位。</small> 00: 无预分频器, 捕获输入口上检测到的每一个边沿都触发一次捕获; 01: 每2个事件触发一次捕获; 10: 每4个事件触发一次捕获; 11: 每8个事件触发一次捕获。</p>
1:0	CC1SEL[1:0]	<p>捕获/比较1选择 (Capture/Compare 1 Selection) 这2位定义通道的方向 (输入/输出), 及输入脚的选择: 00: CC1通道被配置为输出; 01: CC1通道被配置为输入, IC1映射在TI1上; 10: CC1通道被配置为输入, IC1映射在TI2上; 11: CC1通道被配置为输入, IC1映射在TRC上。此模式仅工作在内部触发输入被选中时 (由TIMx_SMCTRL寄存器的TSEL位选择)。 <small>注: CC1SEL仅在通道关闭时 (TIMx_CCEN 寄存器的CC1EN=0) 才是可写的。</small></p>

11.4.9 捕获/比较模式寄存器 2 (TIMx_CCMOD2)

偏移地址: 0x1C

复位值: 0x0000 0000

参看以上 CCMOD1 寄存器的描述

输出比较模式:

15	14	12	11	10	9	8	7	6	4	3	2	1	0
OC4CEN	OC4MD[2:0]	OC4PEN	OC4FEN	CC4SEL[1:0]	OC3CEN	OC3MD[2:0]	OC3PEN	OC3FEN	CC3SEL[1:0]				

rw

rw

rw

rw

rw

rw

rw

rw

rw

位域	名称	描述
15	OC4CEN	输出比较4清0使能 (Output compare 4 clear enable)
14:12	OC4MD[2:0]	输出比较4模式 (Output compare 4 mode)
11	OC4PEN	输出比较4预装载使能 (Output compare 4 preload enable)
10	OC4FEN	输出比较4快速使能 (Output compare 4 fast enable)
9:8	CC4SEL[1:0]	捕获/比较4选择 (Capture/Compare 4 selection) 该2位定义通道的方向 (输入/输出), 及输入脚的选择: 00: CC4通道被配置为输出; 01: CC4通道被配置为输入, IC4映射在TI4上; 10: CC4通道被配置为输入, IC4映射在TI3上; 11: CC4通道被配置为输入, IC4映射在TRC上。此模式仅工作在内部触发输入被选中时 (由TIMx_SMCTRL寄存器的TSEL位选择)。 <i>注: CC4SEL仅在通道关闭时 (TIMx_CCEN寄存器的CC4EN=0) 才是可写的。</i>
7	OC3CEN	输出比较3清0使能 (Output compare 3 clear enable)
6:4	OC3MD[2:0]	输出比较3模式 (Output compare 3 mode)
3	OC3PEN	输出比较3预装载使能 (Output compare 3 preload enable)
2	OC3FEN	输出比较3快速使能 (Output compare 3 fast enable)
1:0	CC3SEL[1:0]	捕获/比较3选择 (Capture/Compare 3 selection) 这2位定义通道的方向 (输入/输出), 及输入脚的选择: 00: CC3通道被配置为输出; 01: CC3通道被配置为输入, IC3映射在TI3上; 10: CC3通道被配置为输入, IC3映射在TI4上; 11: CC3通道被配置为输入, IC3映射在TRC上。此模式仅工作在内部触发输入被选中时 (由TIMx_SMCTRL寄存器的TSEL位选择)。 <i>注: CC3SEL仅在通道关闭时 (TIMx_CCEN寄存器的CC3EN=0) 才是可写的。</i>

输入捕获模式:

15	12	11	10	9	8	7	4	3	2	1	0
IC4F[3:0]	IC4PSC[1:0]	CC4SEL[1:0]		IC3F[3:0]		IC3PSC[1:0]	CC3SEL[1:0]				

rw

rw

rw

rw

rw

rw

位域	名称	描述
15:12	IC4F[3:0]	输入捕获4滤波器 (Input capture 4 filter)
11:10	IC4PSC[1:0]	输入/捕获4预分频器 (Input capture 4 prescaler)
9:8	CC4SEL[1:0]	捕获/比较4选择 (Capture/Compare 4 selection) 这2位定义通道的方向(输入/输出), 及输入脚的选择:

位域	名称	描述
		00: CC4通道被配置为输出; 01: CC4通道被配置为输入, IC4映射在TI4上; 10: CC4通道被配置为输入, IC4映射在TI3上; 11: CC4通道被配置为输入, IC4映射在TRC上。此模式仅工作在内部触发输入被选中时(由TIMx_SMCTRL寄存器的TSEL位选择)。 <i>注: CC4SEL仅在通道关闭时(TIMx_CCEN寄存器的CC4EN=0)才是可写的。</i>
7:4	IC3F[3:0]	输入捕获3滤波器 (Input capture 3 filter)
3:2	IC3PSC[1:0]	输入/捕获3预分频器 (Input capture 3 prescaler)
1:0	CC3SEL[1:0]	捕获/比较3选择 (Capture/compare 3 selection) 这2位定义通道的方向(输入/输出), 及输入脚的选择: 00: CC3通道被配置为输出; 01: CC3通道被配置为输入, IC3映射在TI3上; 10: CC3通道被配置为输入, IC3映射在TI4上; 11: CC3通道被配置为输入, IC3映射在TRC上。此模式仅工作在内部触发输入被选中时(由TIMx_SMCTRL寄存器的TSEL位选择)。 <i>注: CC3SEL仅在通道关闭时(TIMx_CCEN寄存器的CC3EN=0)才是可写的。</i>

11.4.10 捕获/比较使能寄存器 (TIMx_CCEN)

偏移地址: 0x20

复位值: 0x0000 0000

31	Reserved														22	21	20	19	18	17	16
15	14	13	12	11	10	9	8	7	6	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
Reserved	CC4P	CC4EN	CC3NP	CC3NEN	CC3P	CC3EN	CC2NP	CC2NEN	CC2P	CC2EN	CC1NP	CC1NEN	CC1P	CC1EN							

位域	名称	描述
31:22	Reserved	保留, 必须保持复位值
21	CC6P	捕获/比较6输出极性 (Capture/Compare 6 output polarity) 参考TIMx_CCEN.CC1P的描述。
20	CC6EN	捕获/比较6输出使能 (Capture/Compare 6 output enable) 参考TIMx_CCEN.CC1EN 的描述
19:18	Reserved	保留, 必须保持复位值
17	CC5P	捕获/比较5输出极性 (Capture/Compare 5 output polarity) 参考TIMx_CCEN.CC1P的描述。
16	CC5EN	捕获/比较5输出使能 (Capture/Compare 5 output enable) 参考TIMx_CCEN.CC1EN 的描述
15: 14	Reserved	保留, 必须保持复位值
13	CC4P	捕获/比较4输出极性 (Capture/Compare 4 output polarity) 参考TIMx_CCEN.CC1P的描述。
12	CC4EN	捕获/比较4输出使能 (Capture/Compare 4 output enable) 参考TIMx_CCEN.CC1EN 的描述。

位域	名称	描述
11	CC3NP	捕获/比较3互补输出极性 (Capture/Compare 3 complementary output polarity) 参考TIMx_CCEN.CC1NP的描述。
10	CC3NEN	捕获/比较3互补输出使能 (Capture/Compare 3 complementary output enable) 参考TIMx_CCEN.CC1NEN的描述。
9	CC3P	捕获/比较3输出极性 (Capture/Compare 3 output polarity) 参考TIMx_CCEN.CC1P的描述。
8	CC3EN	捕获/比较3输出使能 (Capture/Compare 3 output enable) 参考TIMx_CCEN.CC1E 的描述。
7	CC2NP	捕获/比较2互补输出极性 (Capture/Compare 2 complementary output polarity) 参考TIMx_CCEN.CC1NP的描述。
6	CC2NEN	捕获/比较2互补输出使能 (Capture/Compare 2 complementary output enable) 参考TIMx_CCEN.CC1NEN的描述。
5	CC2P	捕获/比较2输出极性 (Capture/Compare 2 output polarity) 参考TIMx_CCEN.CC1P的描述。
4	CC2EN	捕获/比较2输出使能 (Capture/Compare 2 output enable) 参考TIMx_CCEN.CC1EN的描述。
3	CC1NP	捕获/比较1互补输出极性 (Capture/Compare 1 complementary output polarity) 0: OC1N高电平有效; 1: OC1N低电平有效。
2	CC1NEN	捕获/比较1互补输出使能 (Capture/Compare 1 complementary output enable) 0: 禁用 - 禁用输出 OC1N 信号。 OC1N 的电平取决于TIMx_BKDT.MOEN、 TIMx_BKDT.OSSI、TIMx_BKDT.OSSR、TIMx_CTRL2.OI1、TIMx_CTRL2.OI1N 和 TIMx_CCEN.CC1EN 的值。 1: 使能 - 使能输出 OC1N 信号。 OC1N 的电平取决于TIMx_BKDT.MOEN、 TIMx_BKDT.OSSI、TIMx_BKDT.OSSR、TIMx_CTRL2.OI1、TIMx_CTRL2.OI1N 和 TIMx_CCEN.CC1EN 的值。
1	CC1P	捕获/比较1输出极性 (Capture/Compare 1 output polarity) CC1对应通道为输出模式时: 0: OC1 高电平有效 1: OC1 低电平有效 CC1对应通道为输入模式时: 此时, 该位用于选择是使用IC1还是IC1的反相信号作为触发信号或捕捉信号。 0: 非反相: 当 IC1 产生上升沿时发生捕获动作。 当用作外部触发时, IC1 是非反相的。 1: 反相: 当 IC1 产生下降沿时发生捕获动作。 当用作外部触发时, IC1 被反相。
0	CC1EN	捕获/比较1输出使能 (Capture/Compare 1 output enable) CC1通道配置为输出: 0: 关闭 - OC1禁止输出, 因此OC1的输出电平依赖于MOEN、OSSI、OSSR、OI1、 OI1N和CC1NEN位的值。 1: 开启 - OC1信号输出到对应的输出引脚, 其输出电平依赖于MOEN、OSSI、OSSR、 OI1、OI1N和CC1NEN位的值。 CC1通道配置为输入: 该位决定了计数器的值是否能捕获入TIMx_CCDAT1寄存器。 0: 捕获禁止;

位域	名称	描述
		1: 捕获使能。

表 11-4 带刹车功能的互补输出通道 OCx 和 OCxN 的控制位

控制位					输出状态 ⁽¹⁾	
MOEN	OSSI	OSSR	CCxEN	CCxNEN	OCx 输出状态	OCxN 输出状态
1	X	0	0	0	输出禁止 (与定时器断开) OCx=0, OCx_EN=0	输出禁止 (与定时器断开) OCxN=0, OCxN_EN=0
		0	0	1	输出禁止 (与定时器断开) OCx=0, OCx_EN=0	OCxREF + 极性, OCxN= OCxREF xor CCxNP, OCxN_EN=1
		0	1	0	OCxREF + 极性, OCx= OCxREF xor CCxP, OCx_EN=1	输出禁止 (与定时器断开) OCxN=0, OCxN_EN=0
		0	1	1	OCxREF + 极性 + 死区, OCx_EN=1	OCxREF 反相 + 极性 + 死区, OCxN_EN=1
		1	0	0	输出禁止 (与定时器断开) OCx=CCxP, OCx_EN=0	输出禁止 (与定时器断开) OCxN=CCxNP, OCxN_EN=0
		1	0	1	关闭状态 (输出使能且为无效电平) OCx=CCxP, OCx_EN=1	OCxREF + 极性, OCxN= OCxREF xor CCxNP, OCxN_EN=1
		1	1	0	OCxREF + 极性, OCx= OCxREF xor CCxP, OCx_EN=1	关闭状态 (输出使能且为无效电平) OCxN=CCxNP, OCxN_EN=1
		1	1	1	OCxREF + 极性 + 死区, OCx_EN=1	OCxREF 反相 + 极性 + 死区, OCxN_EN=1
0	X	0	0	0	输出禁止 (与定时器断开)	
		0	0	1	异步: OCx=CCxP, OCx_EN=0, OCxN=CCxNP, OCxN_EN=0;	
		0	1	0	若时钟存在: 假设 (CCxP ^ OIx) ^ (CCxNP^OIxN)! = 0,	
		0	1	1	经过一个死区时间后 OCx=OIx, OCxN=OIxN	
		1	0	0	关闭状态 (输出使能且为无效电平)	
		1	0	1	异步: OCx=CCxP, OCx_EN=1, OCxN=CCxNP, OCxN_EN=1;	
		1	1	0	若时钟存在: 假设 (CCxP ^ OIx) ^ (CCxNP^OIxN)! = 0,	

控制位					输出状态 ⁽¹⁾	
MOEN	OSSI	OSSR	CCxEN	CCxNEN	OCx 输出状态	OCxN 输出状态
	1		1	1	经过一个死区时间后 OCx=OIx, OCxN=OIxN,	

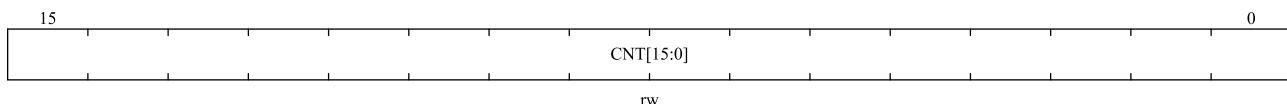
1. 如果一个通道的 2 个输出都没有使用 (CCxEN = CCxNEN = 0), 那么 OIx, OIxN, CCxP 和 CCxNP 都必须清零。

注: 引脚连接到互补的 OCx 和 OCxN 通道的外部 I/O 引脚的状态, 取决于 OCx 和 OCxN 通道状态和 GPIO 以及 AFIO 寄存器。

11.4.11 计数器 (TIMx_CNT)

偏移地址: 0x24

复位值: 0x0000

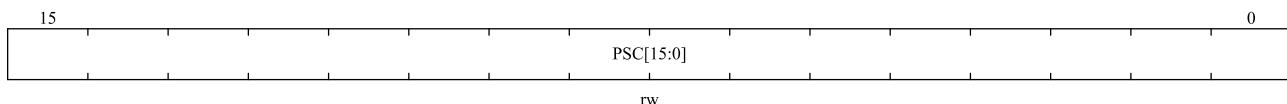


位域	名称	描述
15:0	CNT[15:0]	计数器的值 (Counter value)

11.4.12 预分频器 (TIMx_PSC)

偏移地址: 0x28

复位值: 0x0000

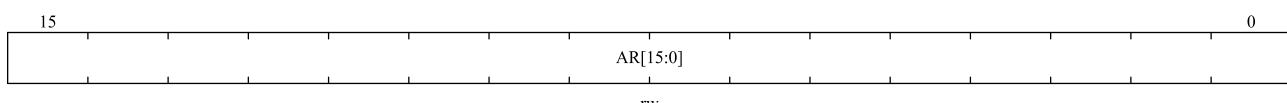


位域	名称	描述
15:0	PSC[15:0]	预分频器的值 (Prescaler value) 计数器时钟 $f_{CK_CNT} = f_{CK_PSC} / (PSC [15:0] + 1)$ 。 每次发生更新事件时, PSC 值都会加载到预分频器的影子寄存器中。

11.4.13 自动重装载寄存器 (TIMx_AR)

偏移地址: 0x2C

复位值: 0xFFFF

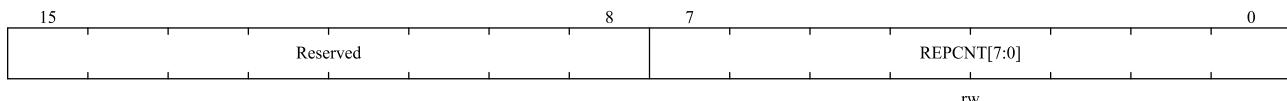


位域	名称	描述
15:0	AR[15:0]	自动重装载的值 (Auto-reload value) AR包含了将要装载入实际的自动重装载寄存器的值。详细参考11.3.1节: 有关AR的更新和动作。 当自动重装载的值为空时, 计数器不工作。

11.4.14 重复计数寄存器 (TIMx_REPCNT)

偏移地址: 0x30

复位值: 0x0000

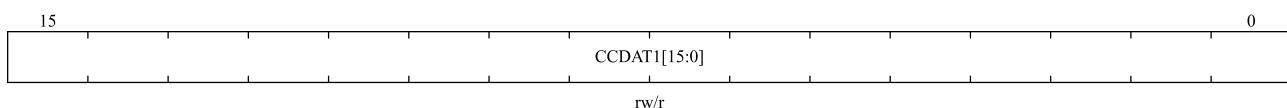


位域	名称	描述
15:8	Reserved	保留, 必须保持复位值
7:0	REPCNT[7:0]	<p>重复计数器的值 (Repetition counter value)</p> <p>重复计数器仅在给定数量 ($N+1$) 个计数器周期后用于生成更新事件或更新定时器寄存器, 其中 N 是 TIMx_REPCNT.REPCNT 的值。在向上计数模式下, 每次计数器溢出, 向下计数模式下每次计数器下溢或中央对齐模式下每次计数器溢出和每次计数器下溢时, 重复计数器都会递减。设置 TIMx_EVTGEN.UDGN 位将重新加载 TIMx_REPCNT.REPCNT 的内容并生成更新事件。</p>

11.4.15 捕获/比较寄存器 1 (TIMx_CCDAT1)

偏移地址: 0x34

复位值: 0x0000 0000

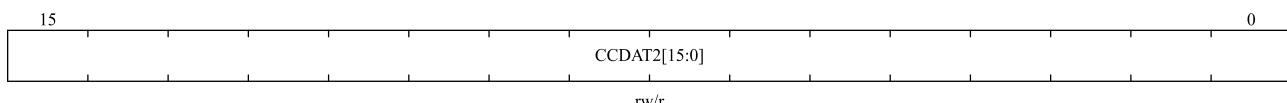


位域	名称	描述
15:0	CCDAT1[15:0]	<p>捕获/比较通道1的值 (Capture/Compare 1 value)</p> <ul style="list-style-type: none"> ■ CC1 通道配置为输出: <p>CCDAT1 包含要与计数器 TIMx_CNT 比较的值, 在 OC1 输出上发出信号。如果未在 TIMx_CCMOD1.OC1PEN 位中选择预加载功能, 则写入的值会立即传输到有效寄存器。否则, 仅当更新事件发生时, 此预加载值才会传输到活动寄存器。</p> <ul style="list-style-type: none"> ■ CC1 通道配置为输入: <p>CCDAT1 包含由最后一个输入捕获 1 事件 (IC1) 传输的计数器值。当配置为输入模式时, 寄存器 CCDAT1 和 CCDDAT1 只能读取。当配置为输出模式时, 寄存器 CCDAT1 和 CCDDAT1 是可读写的。</p>

11.4.16 捕获/比较寄存器 2 (TIMx_CCDAT2)

偏移地址: 0x38

复位值: 0x0000 0000

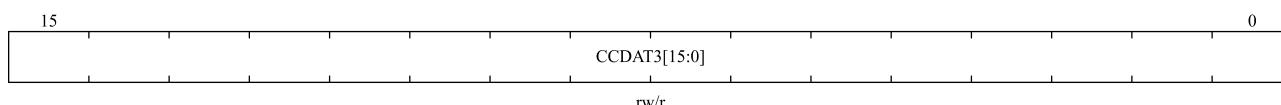


位域	名称	描述
15:0	CCDAT2[15:0]	<p>捕获/比较通道2的值 (Capture/Compare 2 value)</p> <ul style="list-style-type: none"> ■ CC2 通道配置为输出: CCDAT2 包含要与计数器 TIMx_CNT 比较的值，在 OC2 输出上发出信号。如果未在 TIMx_CCMOD1.OC2PEN 位中选择预加载功能，则写入的值会立即传输到有效寄存器。否则，仅当更新事件发生时，此预加载值才会传输到活动寄存器。 ■ CC2 通道配置为输入: CCDAT2 包含由最后一个输入捕获 2 事件 (IC2) 传输的计数器值。当配置为输入模式时，寄存器 CCDAT2 和 CCDDAT2 只能读取。当配置为输出模式时，寄存器 CCDAT2 和 CCDDAT2 是可读写的。

11.4.17 捕获/比较寄存器 3 (TIMx_CC DAT3)

偏移地址: 0x3C

复位值: 0x0000 0000

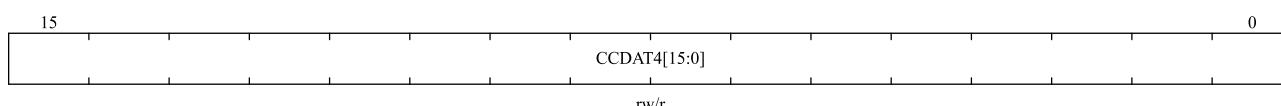


位域	名称	描述
15:0	CCDAT3[15:0]	<p>捕获/比较通道3的值 (Capture/Compare 3 value)</p> <ul style="list-style-type: none"> ■ CC3 通道配置为输出: CCDAT3 包含要与计数器 TIMx_CNT 比较的值，在 OC3 输出上发出信号。如果未在 TIMx_CCMOD2.OC3PEN 位中选择预加载功能，则写入的值会立即传输到有效寄存器。否则，仅当更新事件发生时，此预加载值才会传输到活动寄存器。 ■ CC3 通道配置为输入: CCDAT3 包含由最后一个输入捕获 3 事件 (IC3) 传输的计数器值。当配置为输入模式时，寄存器 CCDAT3 和 CCDDAT3 只能读取。当配置为输出模式时，寄存器 CCDAT3 和 CCDDAT3 是可读写的。

11.4.18 捕获/比较寄存器 4 (TIMx_CC DAT4)

偏移地址: 0x40

复位值: 0x0000 0000



位域	名称	描述
15:0	CCDAT4[15:0]	<p>捕获/比较通道4的值 (Capture/Compare 4 value)</p> <ul style="list-style-type: none"> ■ CC4 通道配置为输出: CCDAT4 包含要与计数器 TIMx_CNT 比较的值，在 OC4 输出上发出信号。如果未在 TIMx_CCMOD2.OC4PEN 位中选择预加载功能，则写入的值会立即传输到有效寄存器。否则，仅当更新事件发生时，此预加载值才会传输到活动寄存器。 ■ CC4 通道配置为输入: CCDAT4 包含由最后一个输入捕获 4 事件 (IC4) 传输的计数器值。

位域	名称	描述
		当配置为输入模式时，寄存器 CCDAT4 和 CCDDAT4 只能读取。 当配置为输出模式时，寄存器 CCDAT4 和 CCDDAT4 是可读写的。

11.4.19 刹车和死区寄存器 (TIMx_BKDT)

偏移地址: 0x44

复位值: 0x0000

15	14	13	12	11	10	9	8	7	0
MOEN	AOEN	BKP	BKEN	OSSR	OSSI	LCKCFG[1:0]		DTGN[7:0]	

rw rw rw rw rw rw rw rw rw

注释: 根据锁定设置, AOEN、BKP、BKEN、OSSI、OSSR 和 DTGN[7:0] 位均可被写保护, 有必要在第一次写入 TIMx_BKDT 寄存器时对它们进行配置。

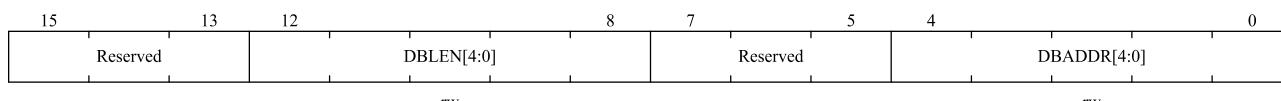
位域	名称	描述
15	MOEN	主输出使能 (Main output enable) 该位可由软件或硬件根据 TIMx_BKDT.AOEN 位设置, 一旦刹车输入有效, 该位由硬件异步清零。它仅对配置为输出的通道有效。 0: OC 和 OCN 输出被禁用或强制进入空闲状态。 1: 如果设置了 TIMx_CCEN.CCxEN 或 TIMx_CCEN.CCxNEN 位, 则使能 OC 和 OCN 输出。有关更多详细信息, 请参见第 11.4.10 节捕获/比较使能寄存器 (TIMx_CCEN)。
14	AOEN	自动输出使能 (Automatic output enable) 0: 只有软件可以设置 TIMx_BKDT.MOEN; 1: 软件设置 TIMx_BKDT.MOEN; 或者如果刹车输入未激活, 则在下一次更新事件发生时, 硬件自动设置 TIMx_BKDT.MOEN。
13	BKP	刹车输入极性 (Break polarity) 0: 刹车输入低电平有效; 1: 刹车输入高电平有效。 注: 任何对该位的写操作都需要一个APB时钟的延迟以后才能起作用。
12	BKEN	刹车功能使能 (Break enable) 0: 禁止刹车输入 (BRK及CCS时钟失效事件); 1: 开启刹车输入 (BRK及CCS时钟失效事件)。 注: 任何对该位的写操作都需要一个APB时钟的延迟以后才能起作用。
11	OSSR	当 TIMx_BKDT.MOEN=1 且通道为互补输出时使用该位。 没有互补输出的定时器中不存在 OSSR 位。 0: 当定时器不工作时, 禁止OC/OCN输出 (OC/OCN使能输出信号=0); 1: 当定时器不工作时, 一旦CCxEN=1或CCxNEN=1, 首先开启OC/OCN并输出无效电平, 然后置OC/OCN使能输出信号=1。 有关更多详细信息, 请参见第11.4.10节, 捕获/比较启用寄存器 (TIMx_CCEN)。
10	OSSI	空闲模式下“关闭状态”选择 (Off-state selection for Idle mode) 当 TIMx_BKDT.MOEN=0 且通道配置为输出时使用该位。 0: 当定时器不工作时, 禁止OC/OCN输出 (OC/OCN使能输出信号=0); 1: 当定时器不工作时, 一旦CCxEN=1 或CCxNEN=1, OC/OCN首先输出其空闲电平, 然后OC/OCN使能输出信号=1。

位域	名称	描述
		有关更多详细信息, 请参见第11.4.10 节, 捕获/比较启用寄存器 (TIMx_CCEN)。
9:8	LCKCFG[1:0]	<p>锁定设置 (Lock configuration) 该位为防止软件错误而提供写保护。这些位提供针对软件错误的写保护。</p> <p>00: – 没有写保护。</p> <p>01: – 锁定级别 1 TIMx_BKDT.DTGN、TIMx_BKDT.BKEN、TIMx_BKDT.BKP、TIMx_BKDT.AOEN、TIMx_CTRL2.OIx、TIMx_CTRL2.OIxN 位启用写保护。</p> <p>10: – 锁定 2 级 除了 LOCK Level 1 模式下的寄存器写保护外, TIMx_CCEN.CCxP 和 TIMx_CCEN.CCxNP (如果相应通道配置为输出模式), TIMx_BKDT.OSSR 和 TIMx_BKDT.OSSI 位也使能写保护。</p> <p>11: – 锁定 3 级 除了 LOCK Level 2 中的寄存器写保护外, TIMx_CCMODx.OCxMD 和 TIMx_CCMODx.OCxPEN 位 (如果相应通道配置为输出模式) 也启用写保护。 注意: 系统复位后, LCKCFG 位只能写一次。一旦写入 TIMx_BKDT 寄存器, LCKCFG 将受到保护, 直到下一次复位。</p>
7:0	DTGN[7:0]	<p>死区发生器设置 (Dead-time generator setup)</p> <p>这些位定义插入的互补输出之间的死区持续时间。 DTGN值与死区时间的关系如下:</p> <p>DTGN[7:5]=0xx => DT=DTGN[7:0] × T_{dtgn}, T_{dtgn} = T_{DTS};</p> <p>DTGN[7:5]=10x => DT=(64+DTGN[5:0]) × T_{dtgn}, T_{dtgn} = 2 × T_{DTS};</p> <p>DTGN[7:5]=110 => DT=(32+DTGN[4:0]) × T_{dtgn}, T_{dtgn} = 8 × T_{DTS};</p> <p>DTGN[7:5]=111 => DT=(32+DTGN[4:0]) × T_{dtgn}, T_{dtgn} = 16 × T_{DTS};</p>

11.4.20 DMA 控制寄存器 (TIMx_DCTRL)

偏移地址: 0x48

复位值: 0x0000



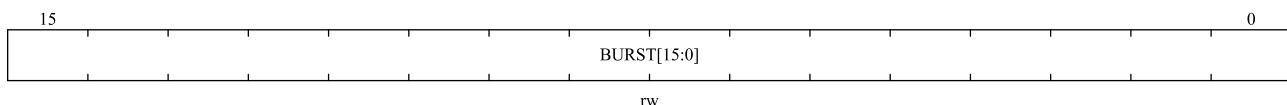
位域	名称	描述
15:13	Reserved	保留, 必须保持复位值
12:8	DBLEN[4:0]	<p>DMA连续传送长度 (DMA burst length)</p> <p>该位字段定义 DMA 将访问 (写入/读取) TIMx_DADDR 寄存器的次数。</p> <p>00000: 1次传输 00001: 2次传输 00010: 3次传输 ... 10001: 18次传输</p>

位域	名称	描述
7:5	Reserved	保留, 必须保持复位值
4:0	DBADDR[4:0]	<p>DMA 基地址 (DMA base address)</p> <p>该位字段定义 DMA 访问 TIMx_DADDR 寄存器的第一个地址。</p> <p>当第一次通过 TIMx_DADDR 完成访问时, 该位域指定您刚刚访问的地址。然后第二次访问 TIMx_DADDR, 会访问到“DMA Base Address + 4”的地址</p> <p>00000: TIMx_CTRL1, 00001: TIMx_CTRL2, 00010: TIMx_SMCTRL, 10001: TIMx_BKDT 10010: TIMx_DCTRL</p>

11.4.21 连续模式的 DMA 地址 (TIMx_DADDR)

偏移地址: 0x4C

复位值: 0x0000



位域	名称	描述
15:0	BURST[15:0]	<p>DMA 访问缓冲区。</p> <p>当对该寄存器分配读或写操作时, 将访问位于地址范围 (DMA base address + DMA burst length × 4) 的寄存器。</p> <p>DMA base address = The address of TIM_CTRL1 + TIMx_DCTRL.DBADDR * 4; DMA burst len = TIMx_DCTRL.DBLEN + 1.</p> <p>例子:</p> <p>如果 TIMx_DCTRL.DBLEN = 0x3 (4 次传输), TIMx_DCTRL.DBADDR = 0xD (TIMx_CCDAT1), DMA 数据长度 = 半字, DMA 存储器地址 = SRAM 中的缓冲区地址, DMA 外设地址 = TIMx_DADDR 地址。</p> <p>当事件发生时, TIMx 将向 DMA 发送请求, 并传输 4 次数据。</p> <p>第一次, 对 TIMx_DADDR 寄存器的 DMA 访问将映射到访问 TIMx_CCDAT1 寄存器;</p> <p>第二次, 对 TIMx_DADDR 寄存器的 DMA 访问将映射到访问 TIMx_CCDAT2 寄存器;</p> <p>.....</p> <p>第四次, 对 TIMx_DADDR 寄存器的 DMA 访问将映射到访问 TIMx_CCDAT4 寄存器;</p>

11.4.22 捕获/比较寄存器 (TIMx_CCMOD3)

偏移地址: 0x54

复位值: 0x0000

15	14	12	11	10	9	8	7	6	4	3	2	1	0
OC6CEN	OC6MD[2:0]		OC6PEN	OC6FEN	Reserved		OC5CEN	OC5MD[2:0]		OC5PEN	OC5FEN		Reserved

rw rw rw rw rw rw rw rw

位域	名称	描述
15	OC6CEN	输出比较6清0使能 (Output compare 6 clear enable)
14:12	OC6MD[2:0]	输出比较6模式 (Output compare 6 mode)
11	OC6PEN	输出比较6预装载使能 (Output compare 6 preload enable)
10	OC6FEN	输出比较6快速使能 (Output compare 6 fast enable)
9:8	Reserved	保留, 必须保持复位值
7	OC5CEN	输出比较5清0使能 (Output compare 3 clear enable)
6:4	OC5MD[2:0]	输出比较5模式 (Output compare 3 mode)
3	OC5PEN	输出比较5预装载使能 (Output compare 5 preload enable)
2	OC5FEN	输出比较5快速使能 (Output compare 5 fast enable)
1:0	Reserved	保留, 必须保持复位值

11.4.23 捕获/比较寄存器 5 (TIMx_CC DAT5)

偏移地址: 0x58

复位值: 0x0000

15	CC DAT5[15:0]	0
rw		

位域	名称	描述
15:0	CC DAT5[15:0]	<p>捕获/比较通道5的值 (Capture/Compare 5 value)</p> <p>■ CC5 通道只能配置为输出:</p> <p>CC DAT5 包含要与计数器 TIMx_CNT 比较的值, 在 OC5 输出上发出信号。</p> <p>如果未在 TIMx_CCMOD3.OC5PEN 位中选择预加载功能, 则写入的值会立即传输到有效寄存器。否则, 仅当更新事件发生时, 此预加载值才会传输到活动寄存器。</p> <p>CC5 用于比较器消隐。</p>

11.4.24 捕获/比较寄存器 6 (TIMx_CC DAT6)

偏移地址: 0x5C

复位值: 0x0000

15	CC DAT6[15:0]	0
rw		

位域	名称	描述
15:0	CC DAT6[15:0]	<p>捕获/比较通道6的值 (Capture/Compare 6 value)</p> <p>■ CC6 通道只能配置为输出:</p> <p>CC DAT6 包含要与计数器 TIMx_CNT 比较的值, 在 OC6 输出上发出信号。</p> <p>如果未在 TIMx_CCMOD3.OC6PEN 位中选择预加载功能, 则写入的值会立即传输到有效寄存器。否则, 仅当更新事件发生时, 此预加载值才会传输到活动寄存器。</p> <p>TIM1_CC6 用于 OPAMP1 和 OPAMP2 的输入通道切换; TIM8_CC6 用于 OPAMP3</p>

位域	名称	描述
		和 OPAMP4 的输入通道切换;

12 通用定时器（TIM2、TIM3、TIM4 和 TIM5）

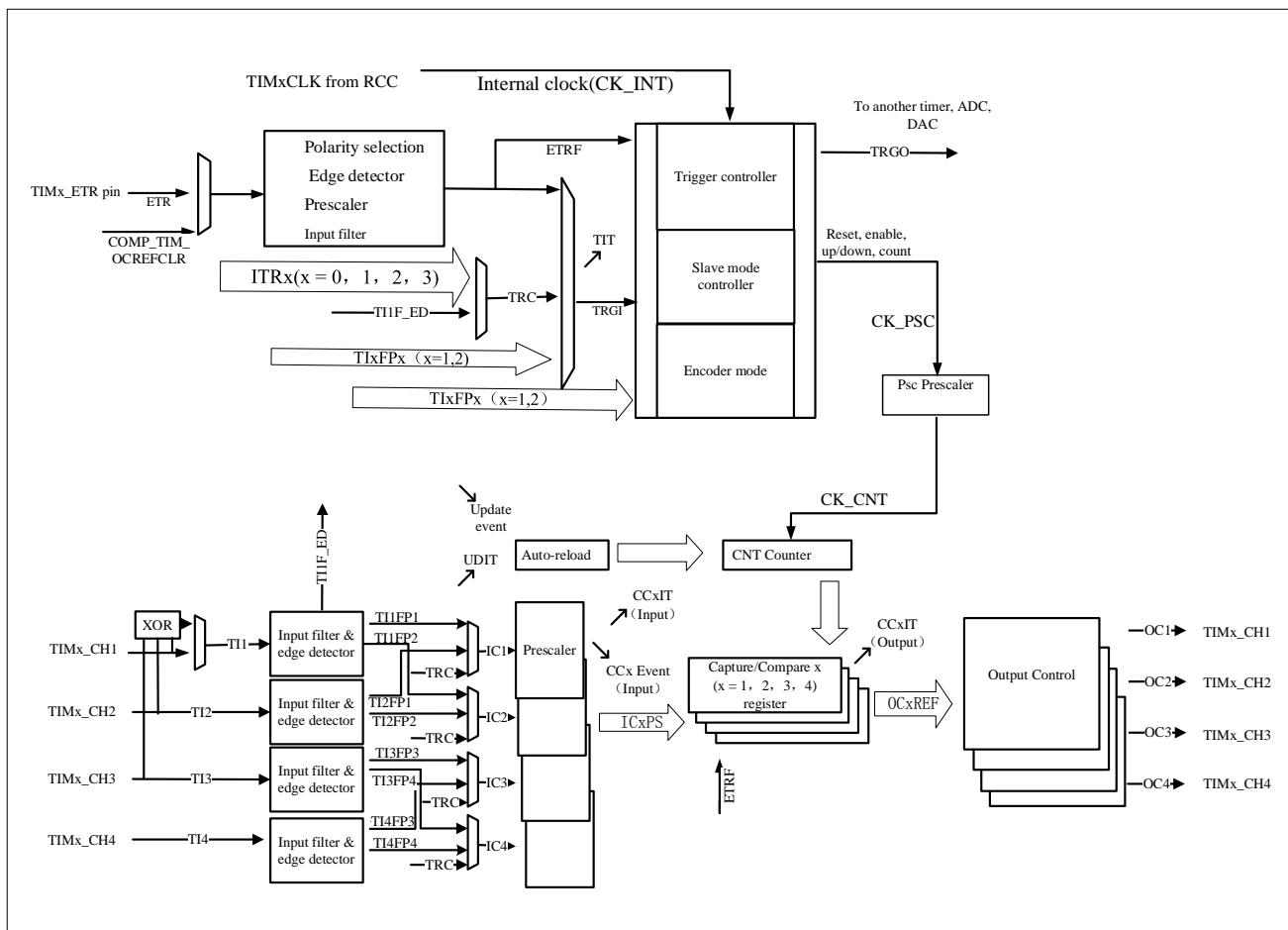
12.1 TIM2、TIM3、TIM4 和 TIM5 简介

通用定时器（TIM2、TIM3、TIM4 和 TIM5）主要用于以下场合：对输入信号进行计数、测量输入信号的脉冲宽度和产生输出波形等。

12.2 TIM2、TIM3、TIM4 和 TIM5 主要特性

- 16 位自动装载计数器。（可实现向上计数、向下计数、向上/下计数）
- 16 位可编程预分频器。（分频系数可配置为 1 到 65536 之间的任意值）
- TIM2、TIM3、TIM4 和 TIM5 最多支持 4 个通道
- 通道工作模式：PWM 输出、输出比较、单脉冲模式输出、输入捕获
- 如下事件发生时产生中断/DMA：
 - ◆ 更新事件
 - ◆ 触发事件
 - ◆ 输入捕获
 - ◆ 输出比较
- 可通过外部信号控制定时器
- 多个定时器连接，以实现定时器同步或链接
- 增量（正交）编码器接口：用于追踪运行轨迹和解析旋转方位
- 霍尔传感器接口：用于三相电机控制
- 支持捕获内部比较器输出信号。

图 12-1 TIMx ($x=2,3,4$ and 5) 框图



↓ The event ↑ Interrupt and DMA output

捕获通道 1/2/3/4 输入可以来自 IOM 或比较器输出, TIM5 的 CH4 除外 (只能来自 IOM)

ETR 输入到 IOM 的映射, 见 7.2.5.7

12.3 TIM2、TIM3、TIM4 和 TIM5 功能描述

12.3.1 时基单元

通用定时器的时基单元主要包括：预分频器、计数器和自动重装载寄存器。当时基单元工作时，软件可以随时读取和写入相应的寄存器（TIMx_PSC、TIMx_CNT 和 TIMx_AR）。

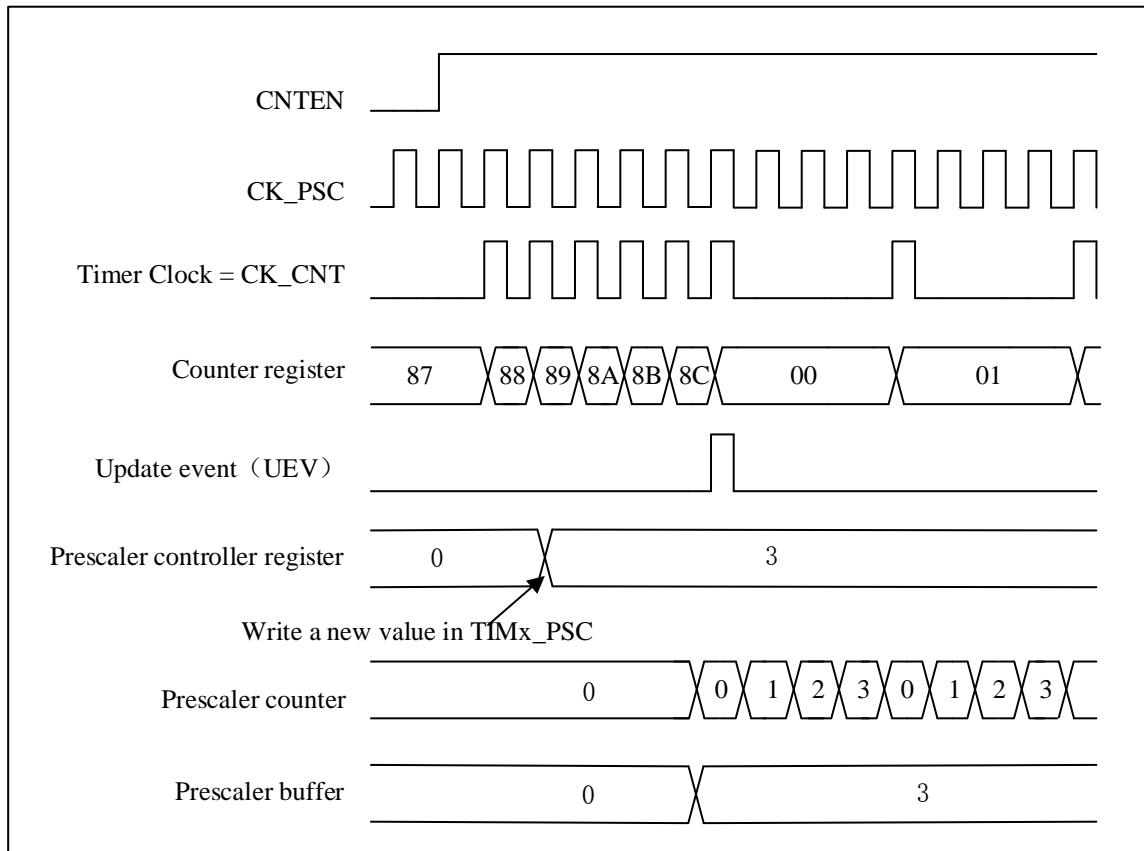
根据自动重装载预装载使能位（TIMx_CTRL1.AR PEN）的设置，预装载寄存器的值会立即或在每次更新事件 UEV 时传输到影子寄存器。TIMx_CTRL1.UPDIS=0 时，当计数器上溢/下溢或软件设置 TIMx_EVTGEN.UDGN，将生成更新事件。计数器 CK_CNT 仅在 TIMx_CTRL1.CNTEN 位被设置时有效。计数器在 TIMx_CTRL.CNTEN 位被设置后一个时钟周期之后开始计数。

12.3.1.1 预分频器描述

TIMx_PSC 寄存器由一个 16 位计数器组成，可用于计数器时钟频率按 1 和 65536 之间的任意分频。因为这

个控制器带有缓冲器，可以在运行时动态改变。新的预分频器值只有在下次更新事件中才会被采用。

图 12-2 当预分频的参数从 1 到 4，计数器的时序图



12.3.2 计数器模式

12.3.2.1 向上计数模式

使用向上计数模式，计数器将从 0 计数到寄存器 TIMx_AR 的值，然后重置为 0。并产生一个计数器溢出事件。

如果设置 TIMx_CTRL1.UPRS 位(选择更新请求)和 TIMx_EVTGEN.UDGN 位，将产生一个更新事件(UEV)。但是 TIMx_STS.UDITF 不会被硬件置起，因此不会产生更新中断或 DMA 更新请求。这是为了避免清除计数器时产生更新中断。

取决于 TIMx_CTRL1.UPRS 的配置，当发生更新事件时，TIMx_STS.UDITF 被设置，所有寄存器都会更新：

- 当 TIMx_CTRL1.AR PEN = 1，预装载寄存器(TIMx_AR)的值被更新到自动装载影子寄存器
- 预加载值 (TIMx_PSC) 被重新加载到预分频器影子寄存器中

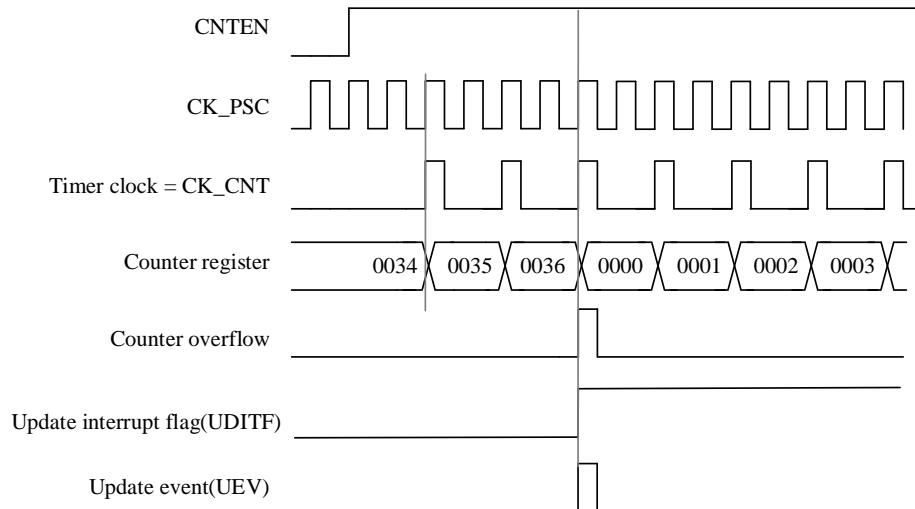
为了避免在向预装载寄存器中写入新值时更新影子寄存器，可以通过设置 TIMx_CTRL1.UPDIS=1 来禁止更新事件。

当产生一个更新事件时，计数器仍将被清除，预分频器计数器也将被设置为 0 (但预分频器值将保持不变)。

下图给出一些示例，展示了向上计数模式计数器在不同分频因子下的动作。

图 12-3 当内部时钟分频因子 = 2/N 时，向上计数的时序图

Internal clock divided by 2



Internal clock divided by N

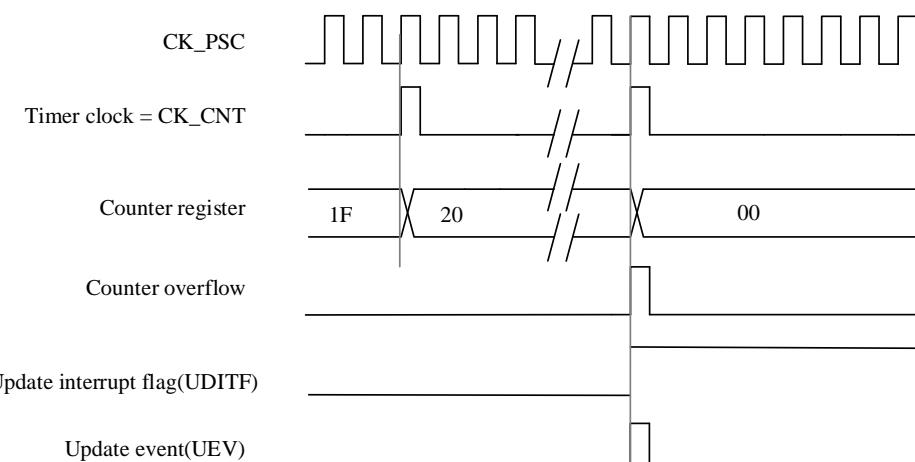
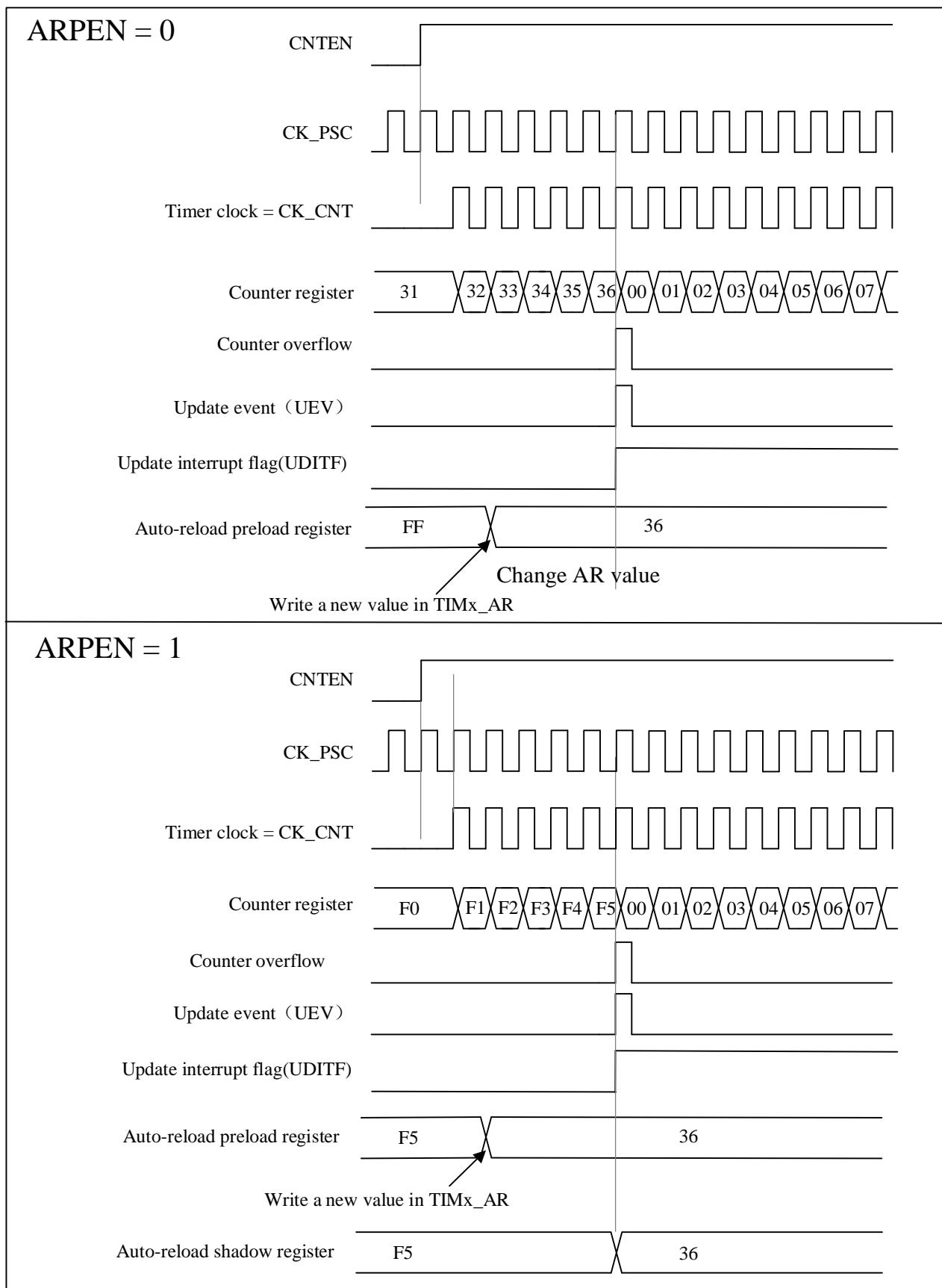


图 12-4 当 ARPEN=0/1 产生更新事件时，向上计数的时序图



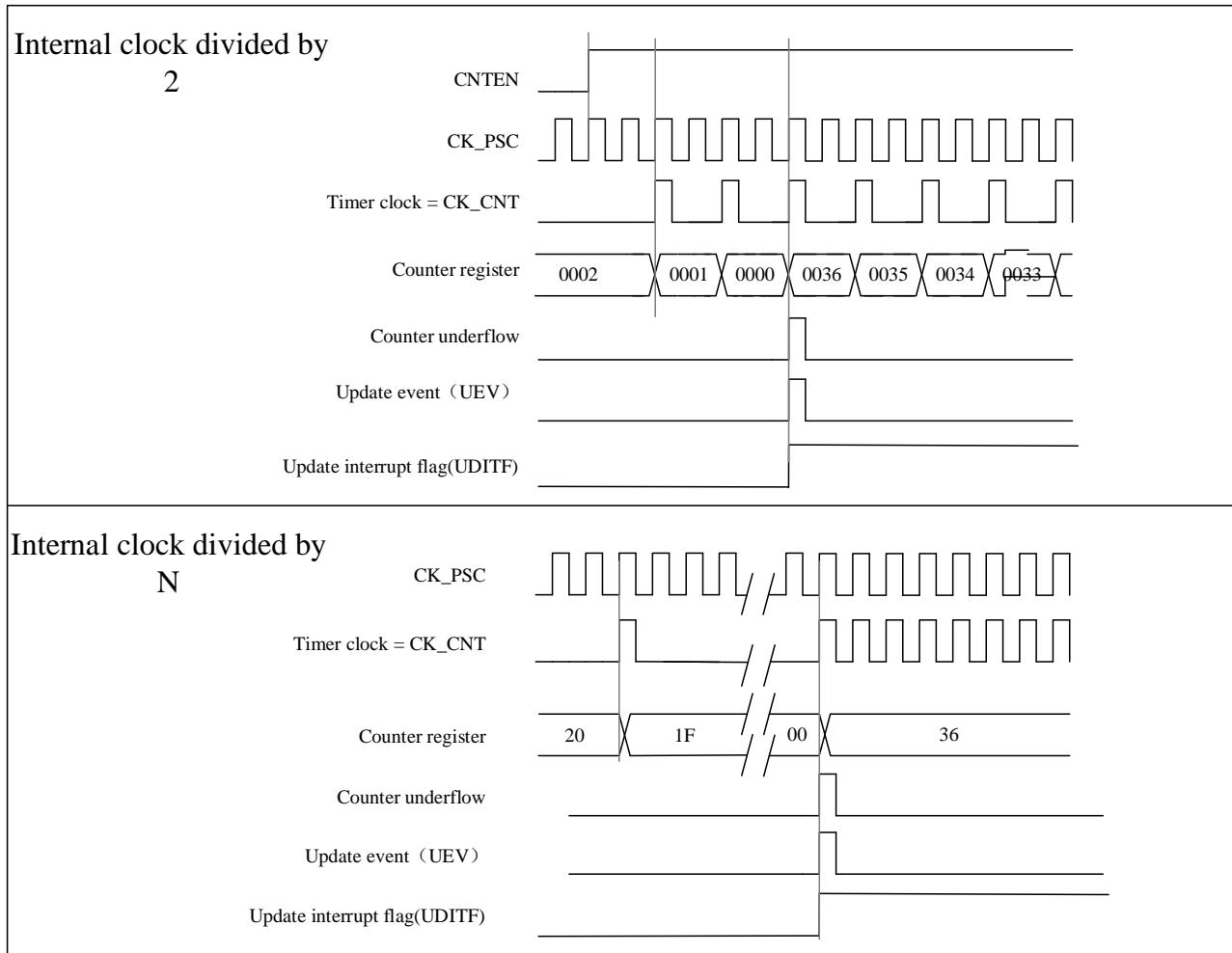
12.3.2.2 向下计数模式

向下计数模式，计数器将从寄存器 TIMx_AR 的值减至 0，然后从自动重装载值重新开始，并产生计数器向下溢出事件。

向下计数模式和向上计数模式配置更新事件和更新寄存器的过程相同，请查阅 12.3.2.1 章节。

下图给出一些示例，展示了向下计数模式计数器在不同分频因子下的动作。

图 12-5 内部时钟分频因子 = 2/N 时，向下计数时序图



12.3.2.3 中央对齐模式

在中央对齐模式下，计数器从 0 增加到值 (TIMx_AR) -1，产生计数器溢出事件。然后，它从自动重装载值 (TIMx_AR) 向下计数到 1，并生成一个计数器向下溢出事件。然后计数器重置为 0 并再次开始计数。

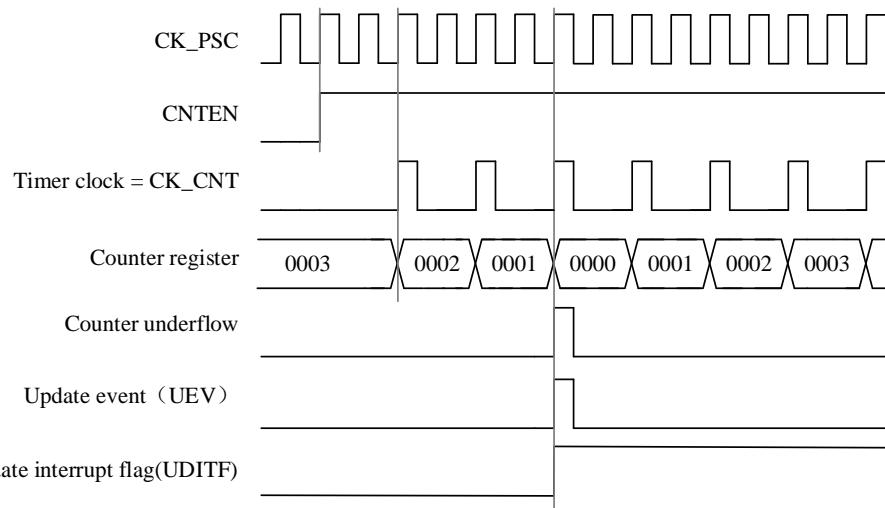
在这种模式下，TIMx_CTRL1.DIR 方向位无效，由硬件更新和指定当前计数方向。当 TIMx_CTRL1.CAMSEL 位不等于“00”时，中央对齐模式有效。

每次计数上溢和计数下溢时都会生成更新事件。或者，也可以通过设置 TIMx_EVTGEN.UDGN 位（通过软件或使用从模式控制器）来生成更新事件。在这种情况下，计数器从 0 重新开始计数，预分频器的计数器也从 0 重新开始计数。

注：如果因为计数器溢出而产生更新，自动重装载将在计数器重新载入之前被更新。

图 12-6 内部时钟分频因子 = 2/N，中央对齐时序图

Internal clock divided by 2



Internal clock divided by N

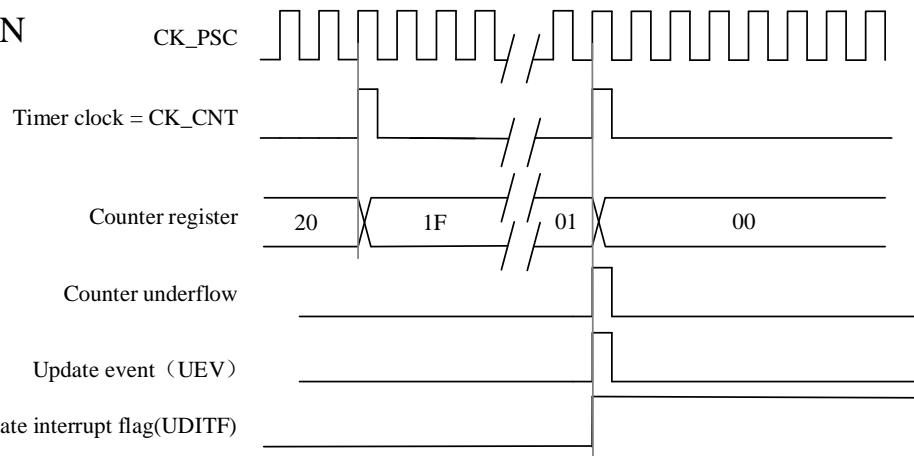
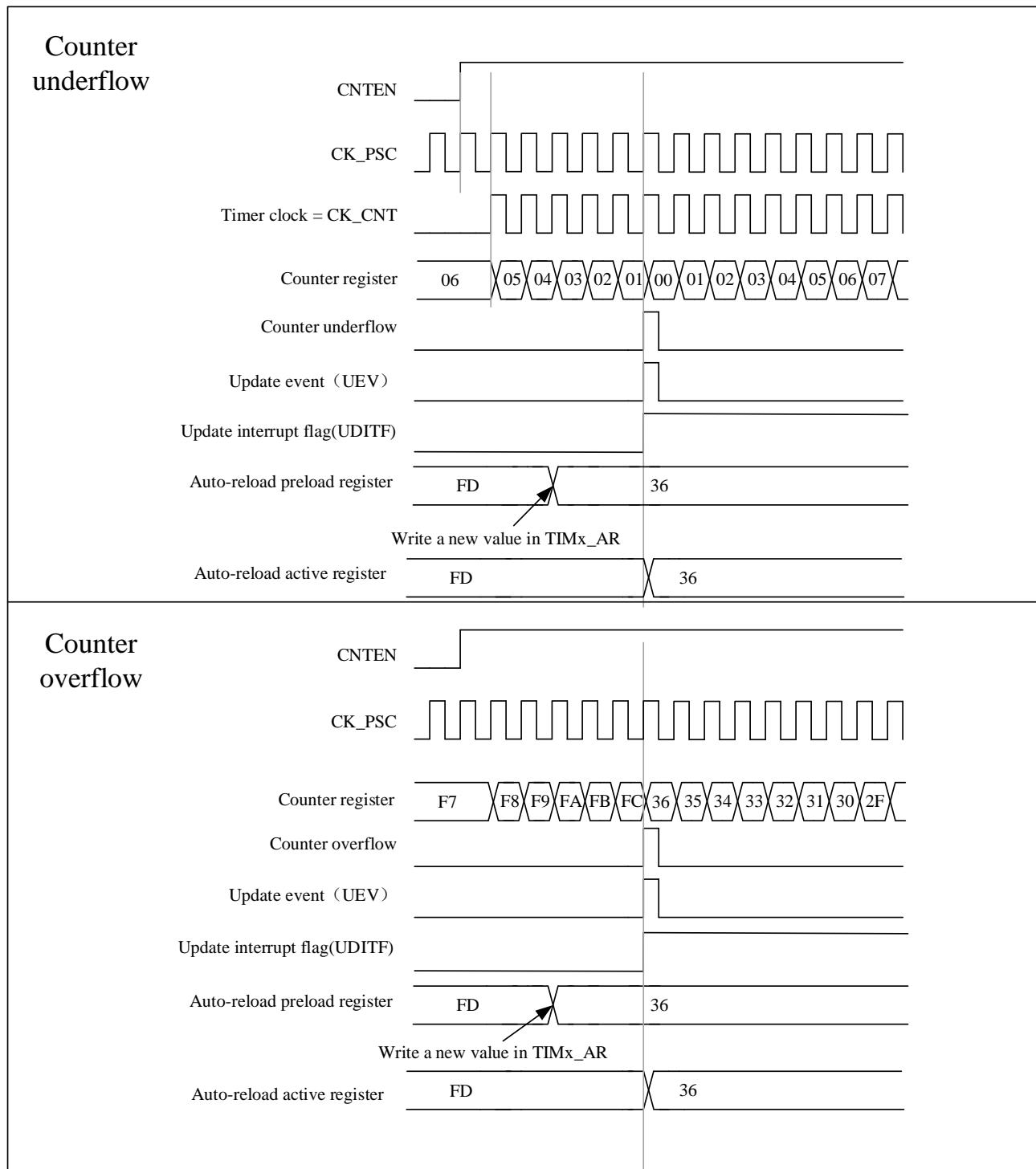


图 12-7 包含计数器上溢和下溢的中央对齐时序图(ARPEN=1)



12.3.3 时钟选择

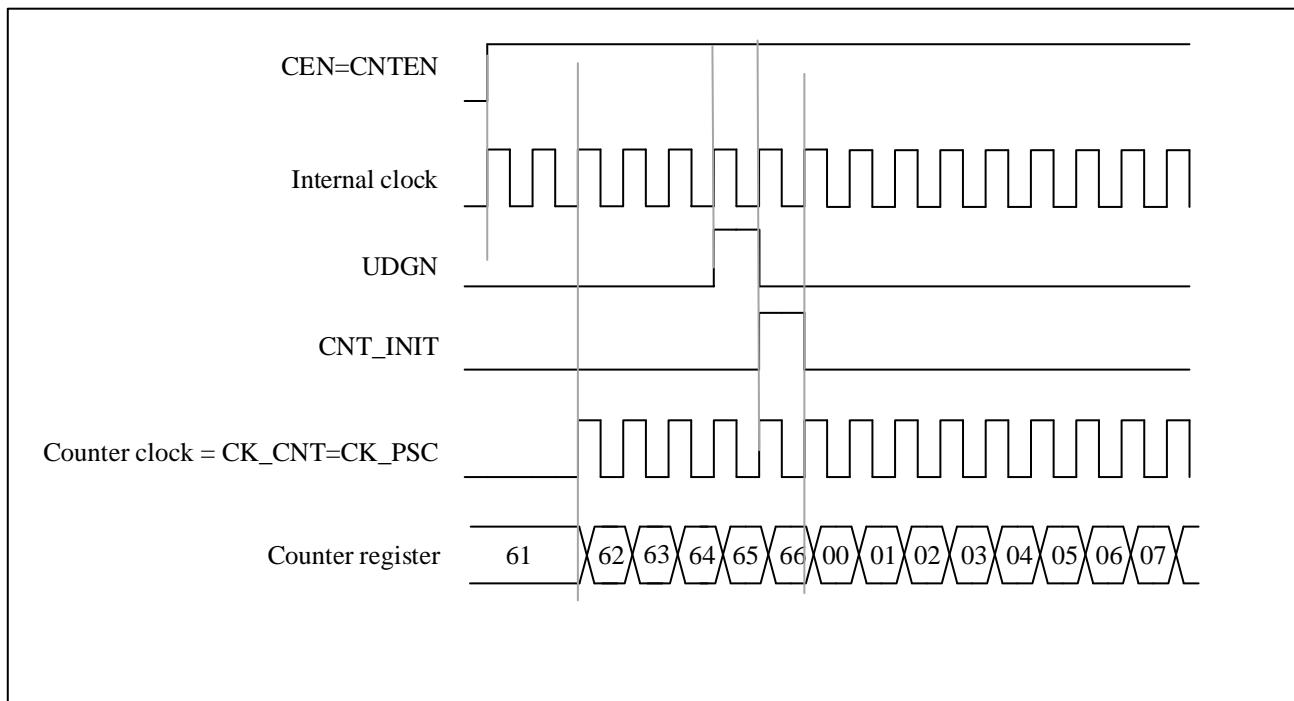
- 通用定时器的内部时钟: CK_INT:
- 两种外部时钟模式:
 - 外部输入引脚

- 外部触发输入 ETR
- 内部触发输入 (ITRx): 一个定时器用作另一个定时器的预分频器

12.3.3.1 内部时钟源(CK_INT)

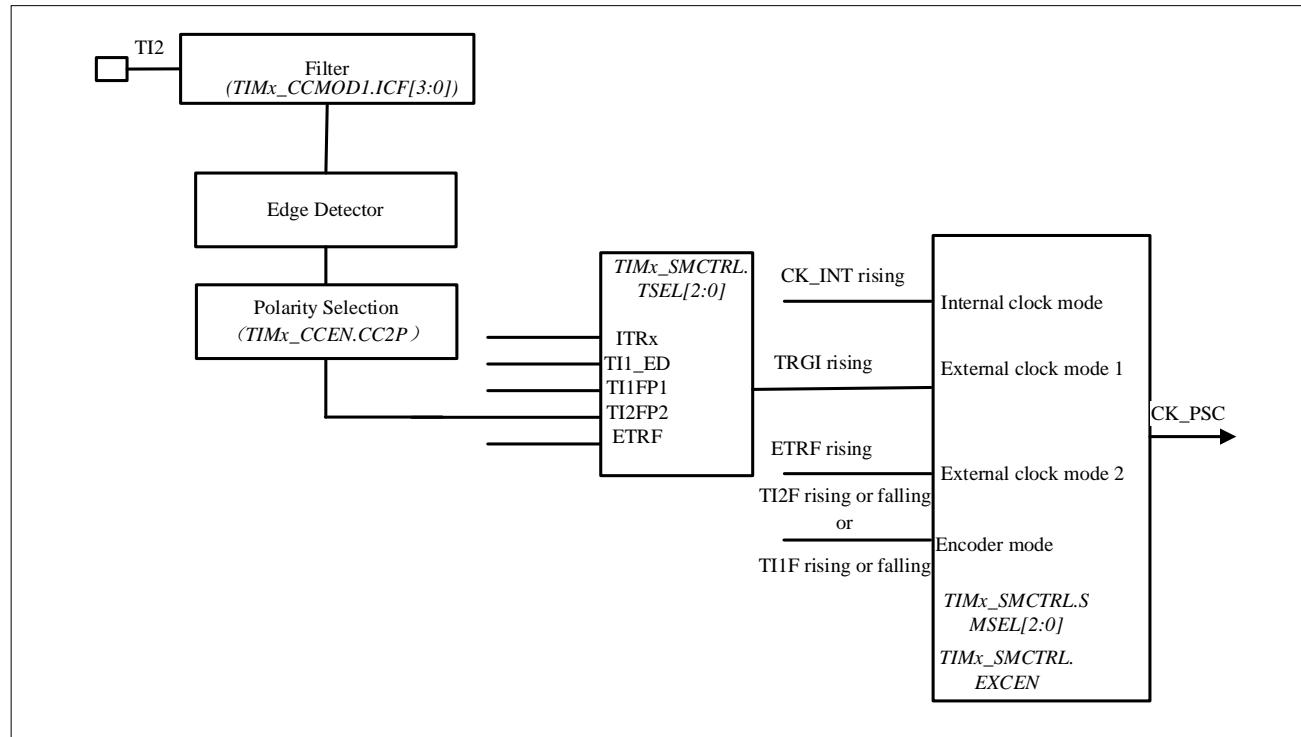
当 TIMx_SMCTRL.SMSEL 等于“000”时，从模式控制器被禁用。这三个控制位 (TIMx_CTRL1.CNTEN 、 TIMx_CTRL1.DIR 、 TIMx_EVTGEN.UDGN) 只能由软件改变 (TIMx_EVTGEN.UDGN 除外，它保持自动清零)。前提是 TIMx_CTRL1.CNTEN 位被软写为'1'，预分频器的时钟源由内部时钟 CK_INT 提供。

图 12-8 正常模式下的控制电路，内部时钟除以 1



12.3.3.2 外部时钟源模式 1

图 12-9 TI2 外部时钟连接示例



通过配置 $\text{TIMx_SMCTRL.SMSEL}=111$ 选择该模式。计数器可以配置为在所选输入的时钟上升沿或下降沿进行计数。

例如，配置向上计数模式在 TI2 输入的时钟上升沿计数，配置步骤如下：

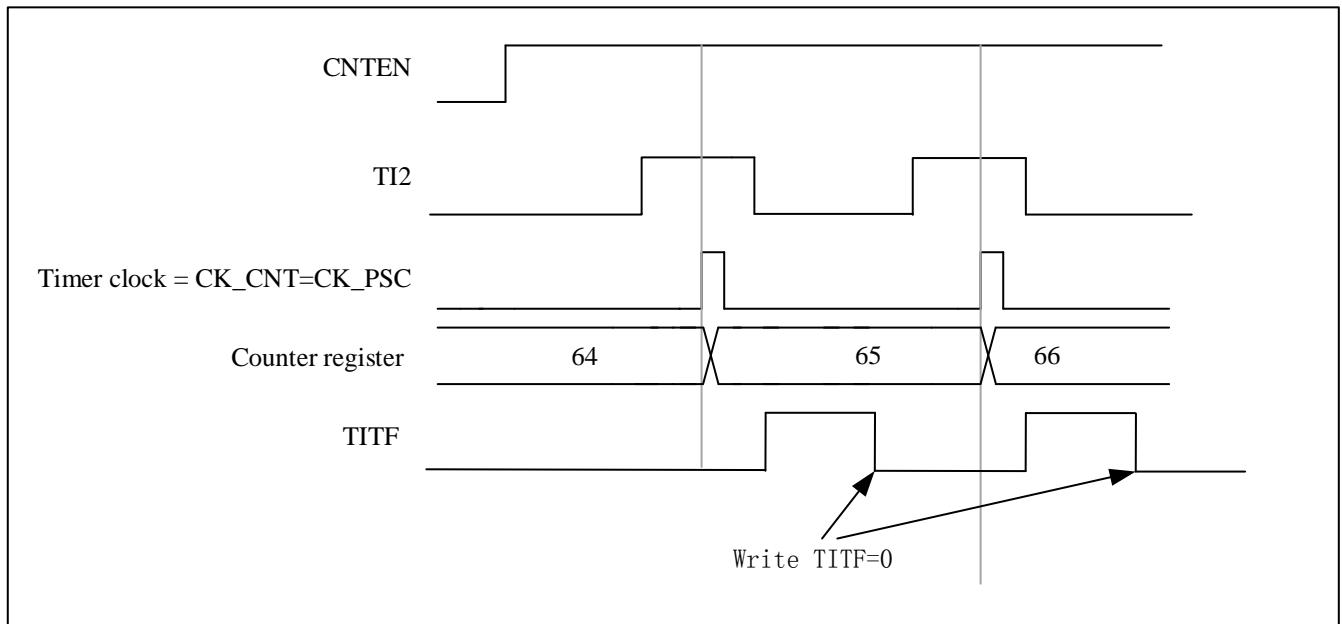
- 配置 $\text{TIMx_CCMOD1.CC2SEL}$ 等于‘01’，CC2 通道配置为输入，IC2 映射到 TI2
- 配置 TIMx_CCEN.CC2P 等于‘0’，选择时钟上升沿极性
- 通过配置 $\text{TIMx_CCMOD1.IC2F}[3:0]$ 选择输入滤波器带宽（如果不需滤波器，保持 IC2F 位为‘0000’）
- 配置 TIMx_SMCTRL.SMSEL 等于‘111’，选择定时器外部时钟模式 1
- 配置 TIMx_SMCTRL.TSEL 等于‘110’，选择 TI2 作为触发输入源
- 配置 TIMx_CTRL1.CNTEN 等于 ‘1’ 以启动计数器

注意：捕获预分频器不用于触发，所以不需要配置

当定时器时钟的上升沿出现在 $\text{TI2}=1$ 时，计数器计数一次并且 TIMx_STS .TITF 标志被拉高。

TI2 的上升沿与计数器实际时钟之间的延迟取决于 TI2 输入端的再同步电路。

图 12-10 外部时钟模式 1 的控制电路

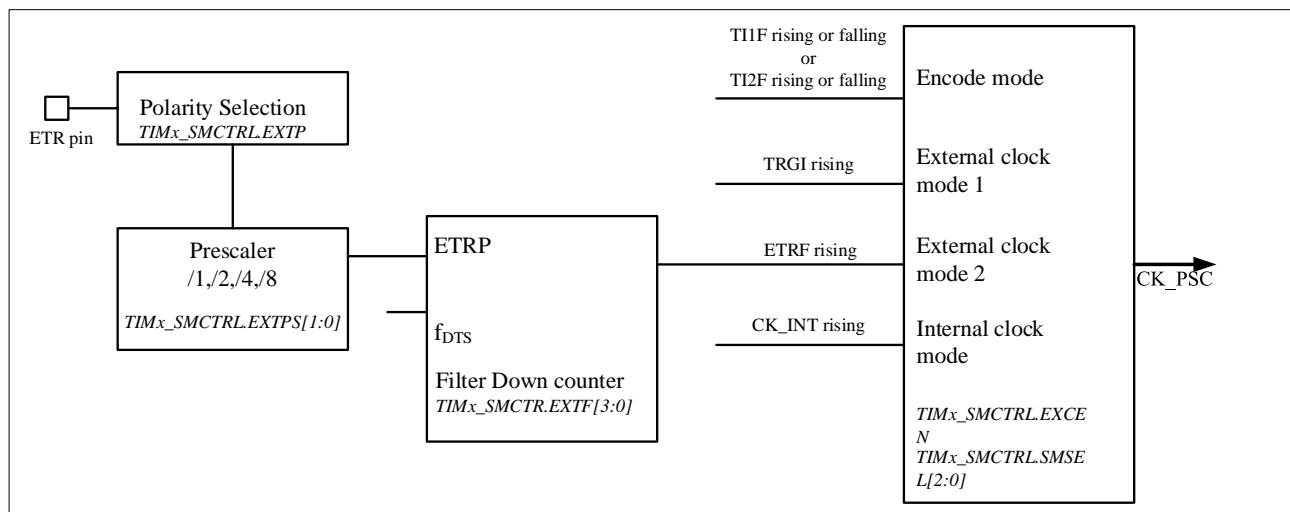


12.3.3.3 外部时钟源模式 2

此模式由 `TIMx_SMCTRL.EXCEN` 选择等于 1。计数器可以在外部触发输入 ETR 的每个上升沿或下降沿计数。

下图为外部时钟源模式 2 的外部触发输入模块示意图。

图 12-11 外部触发输入框图



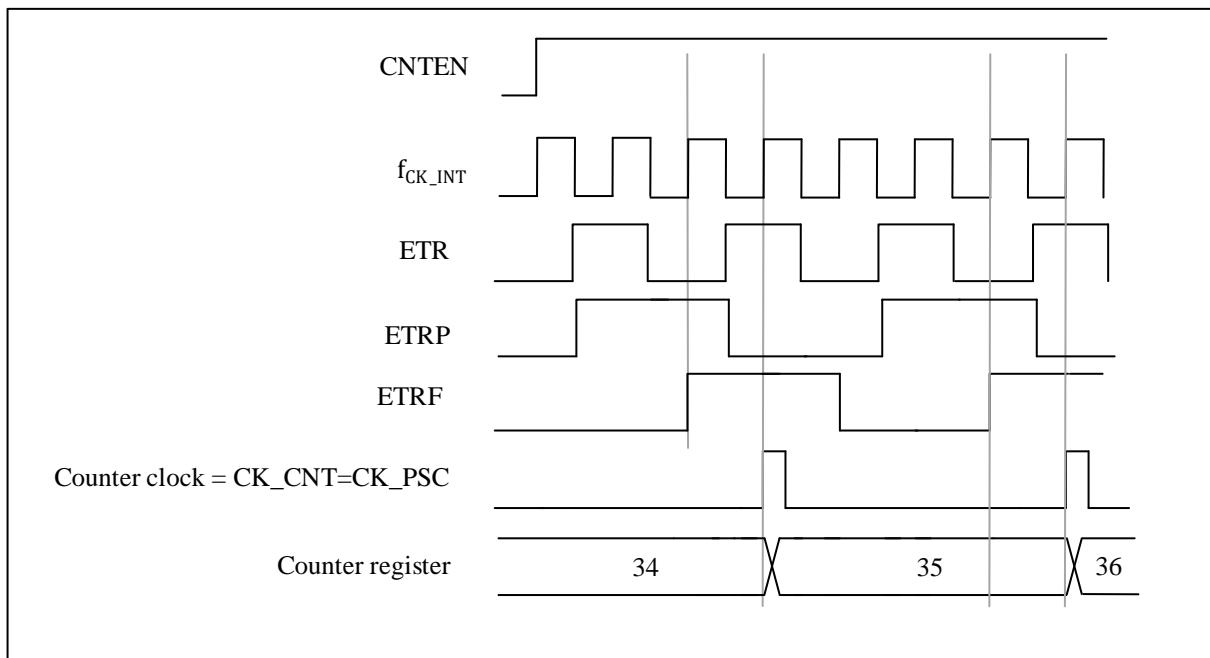
例如，使用以下配置步骤使向上计数器在 ETR 上每 2 个上升沿计数一次。

- 由于在这种情况下不需要过滤器，因此使 `TIMx_SMCTRL.EXTF[3:0]` 等于‘0000’
- 通过使 `TIMx_SMCTRL.EXTPS[1:0]` 等于 ‘01’ 来配置预分频器
- 通过设置 `TIMx_SMCTRL.EXTP` 等于‘0’来选择 ETR 引脚的极性，ETR 的上升沿有效
- 外部时钟模式 2 通过设置 `TIMx_SMCTRL.EXCEN` 等于‘1’来选择

- 通过设置 `TIMx_CTRL1.CNTEN` 等于“1”启动计数器。

计数器每 2 个 ETR 上升沿计数一次。ETR 的上升沿与计数器的实际时钟之间的延迟是由于 ETRP 信号上的再同步电路造成的。

图 12-12 外部时钟模式 2 的控制电路

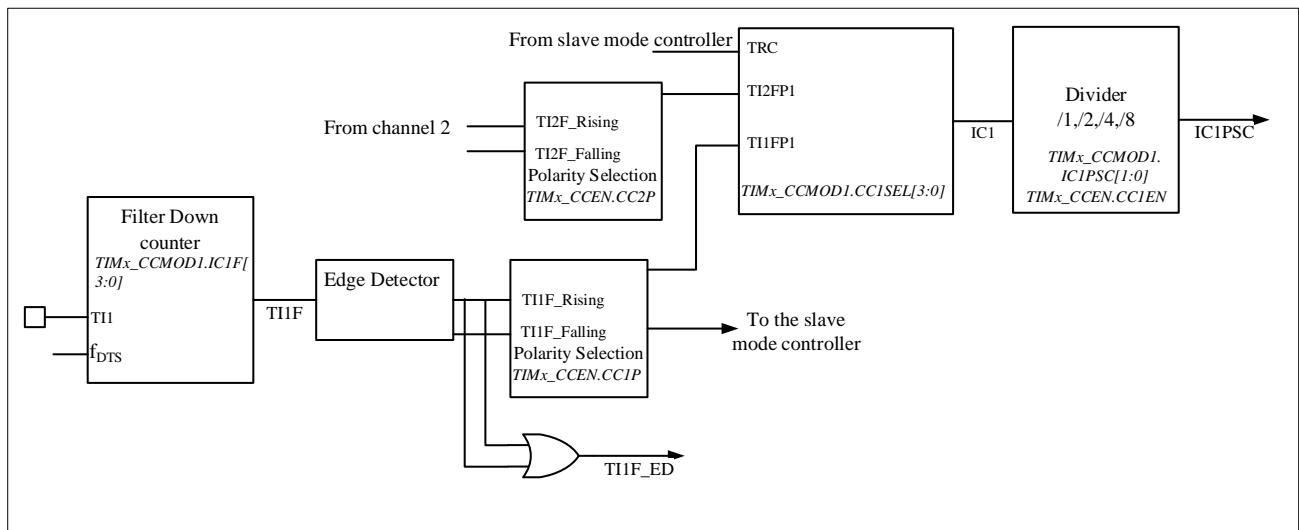


12.3.4 捕获/比较通道

捕获/比较通道包括捕获/比较寄存器和影子寄存器。输入部分由数字滤波器、多路复用器和预分频器组成。输出部分包括比较器和输出控制。

输入信号 `TIx` 被采样和滤波以产生信号 `TIxF`。然后由极性选择功能的边沿检测器生成信号 (`TIxF_rising` 或 `TIxF_falling`)，其极性由 `TIMx_CCEN.CCxP` 位选择。该信号可用作从模式控制器的触发输入。同时，信号 `ICx` 经过分频后送入捕获寄存器。下图显示了捕获/比较通道的框图。

图 12-13 捕获/比较通道（例如：通道 1 输入级）



输出部分生成一个中间波形 OCxRef (高电平有效) 作为参考。极性作用在链的末端。

图 12-14 捕获/比较通道 1 主电路

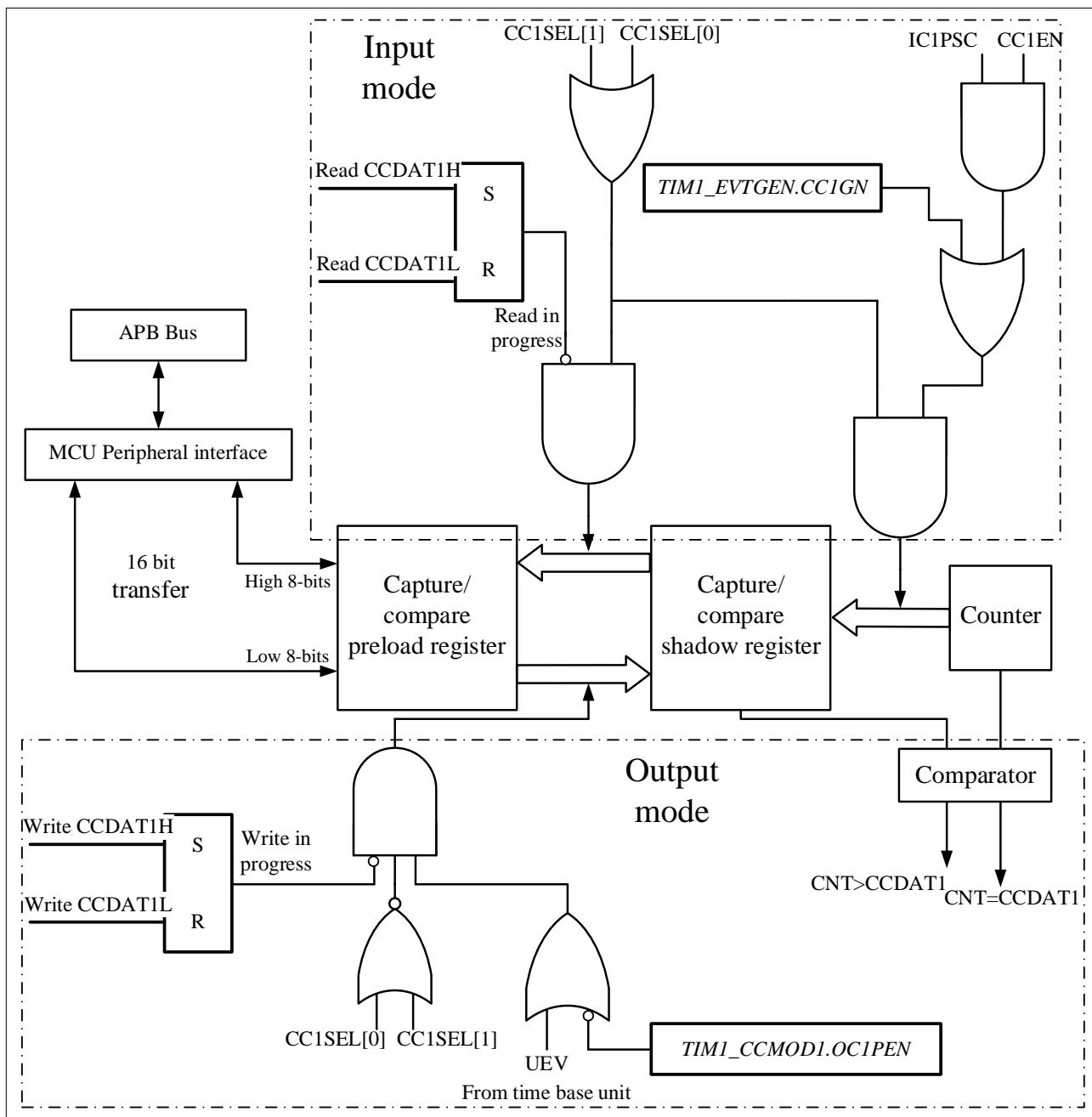
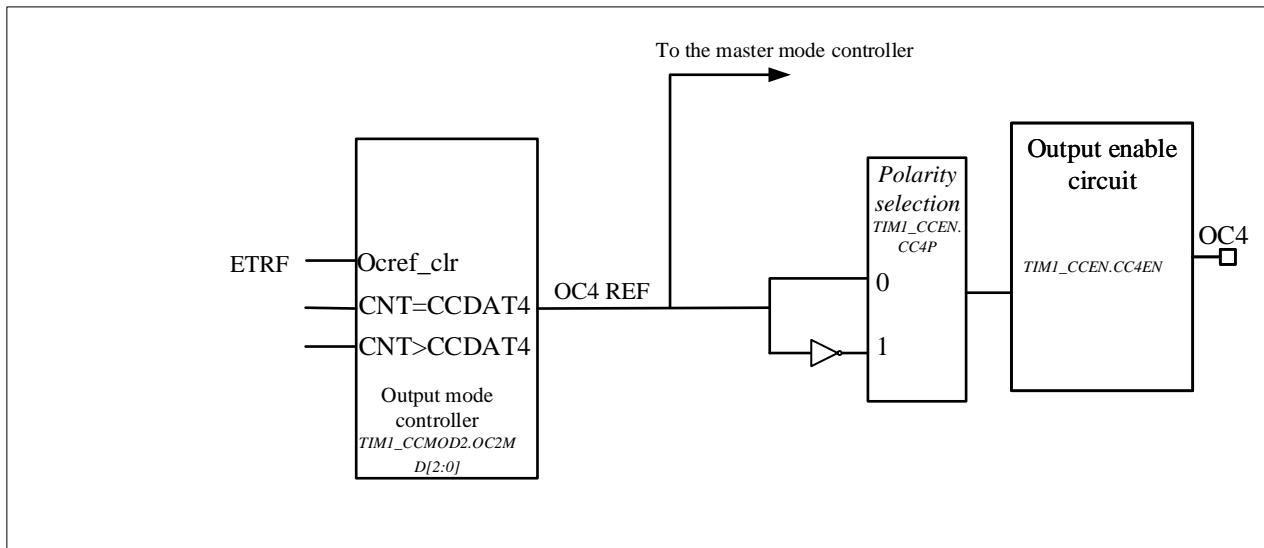


图 12-15 通道 x 的输出部分（以通道 4 为例子）



在捕获/比较时，读取和写入始终访问预加载的寄存器。两个具体工作流程如下：

在捕获模式下，捕获实际上是在影子寄存器中完成的，然后将影子寄存器中的值复制到预加载寄存器中。

在比较模式下，与捕获模式相反，预加载寄存器的值被复制到影子寄存器中，并与计数器进行比较。

12.3.5 输入捕获模式

在捕获模式下，`TIMx_CCDATx` 寄存器用于在检测到 `ICx` 信号后锁存计数器值。

有一个捕获中断标志 `TIMx_STS.CCxITF`，如果相应的中断使能被拉高，它可以发出中断或 DMA 请求。

`TIMx_STS.CCxITF` 位在发生捕获事件时由硬件设置，并由软件或读取 `TIMx_CCDATx` 寄存器清零。

当 `TIMx_CCDATx` 寄存器中的计数器值被捕获并且 `TIMx_STS.CC1ITF` 已经被拉高时，重复捕获标志 `TIMx_STS.CCxOCF` 设置为 1。与前者不同，`TIMx_STS.CCxOCF` 通过向其写入 0 来清除。

为实现 `TI1` 输入的上升沿将计数器值捕获到 `TIMx_CCDAT1` 寄存器中，配置流程如下：

- 选择有效输入：
将 `TIMx_CCMOD1.CC1SEL` 配置为“01”。此时输入为 `CC1` 通道，`IC1` 映射到 `TI1`。
- 编程所需的输入滤波器持续时间：
通过配置 `TIMx_CCMODx.ICxF` 位来定义 `TI1` 输入的采样频率和数字滤波器的长度。示例：如果输入信号抖动多达 5 个内部时钟周期，我们必须选择比这 5 个时钟周期更长的滤波器持续时间。当检测到具有新电平的 8 个连续样本（以 f_{DTS} 频率采样）时，我们可以验证 `TI1` 上的转换。然后配置 `TIMx_CCMOD1.IC1F` 到“0011”
- 通过配置 `TIMx_CCEN.CC1P=0`，选择上升沿作为 `TI1` 通道的有效跳变极性
- 配置输入预分频器。在本例中，配置 `TIMx_CCMOD1.IC1PSC='00'` 以禁用预分频器，因为我们想要捕获每个有效转换
- 通过配置 `TIMx_CCEN.CC1EN = '1'` 启用捕获。

如果要使能 DMA 请求，可以配置 `TIMx_DINTEN.CC1DEN=1`。如果要使能相关中断请求，可以配置 `TIMx_DINTEN.CC1IEN =1`。

12.3.6 PWM 输入模式

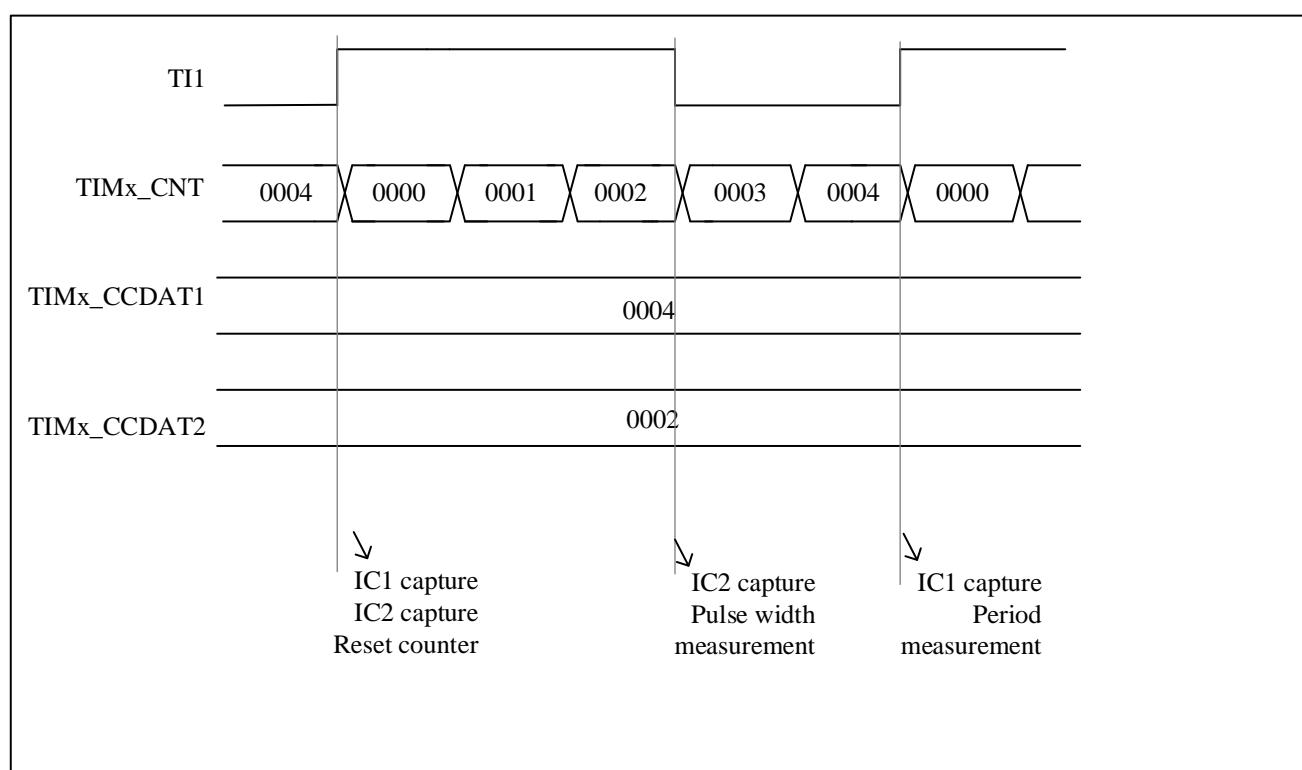
PWM 输入模式和普通输入捕获模式有一些区别，包括：

- 两个 IC_x 信号映射到同一个 TI_x 输入
- 两个 IC_x 信号在极性相反的边沿有效
- 选择两个 TI_xFP 信号之一作为触发输入
- 从机模式控制器配置为复位模式

例如，下面的配置流程可以用来知道 TI1 上 PWM 信号的周期和占空比（这取决于 CK_INT 的频率和预分频器的值）。

- 配置 `TIMx_CCMOD1.CC1SEL` 等于 ‘01’ 以选择 TI1 作为 `TIMx_CC DAT1` 的有效输入
- 配置 `TIMx_CCEN.CC1P` 等于 ‘0’ 选择滤波定时器输入 1(TI1FP1) 的有效极性，在上升沿有效
- 配置 `TIMx_CCMOD1.CC2SEL` 等于 ‘10’ 选择 TI1 作为 `TIMx_CC DAT2` 的有效输入
- 配置 `TIMx_CCEN.CC2P` 等于 1 选择滤波定时器输入 2(TI1FP2)的有效极性，下降沿有效
- 配置 `TIMx_SMCTRL.TSEL=101` 选择 Filtered timer input 1 (TI1FP1) 作为有效触发输入
- 配置 `TIMx_SMCTRL.SMSEL=100` 配置从模式控制器为复位模式
- 配置 `TIMx_CCEN.CC1EN=1` 和 `TIMx_CCEN.CC2EN=1` 以启用捕获

图 12-16 PWM 输入模式时序



由于只有滤波器定时器输入 1(TI1FP1) 和滤波器定时器输入 2(TI2FP2) 连接到从模式控制器，因此 PWM 输入模式只能与 TIMx_CH1/TIMx_CH2 信号一起使用。

12.3.7 强制输出模式

在输出模式 (TIMx_CCMODx.CCxSEL=00) 下，软件可以直接将输出比较信号强制为有效或无效电平。

用户可以设置 TIMx_CCMODx.OCxMD=101 强制输出比较信号为有效电平。 OCxREF 将被强制为高电平，OCx 得到与 CCxP 极性位相反的值。另一方面，用户可以设置 TIMx_CCMODx.OCxMD=100 强制输出比较信号为无效电平，即 OCxREF 被强制为低电平。

在此模式下，TIMx_CCDATx 影子寄存器和计数器的值仍然相互比较。

输出比较寄存器 TIMx_CCDATx 和计数器 TIMx_CNT 之间的比较对 OCxREF 没有影响。并且仍然可以设置标志。因此，仍然可以发送中断和 DMA 请求。

12.3.8 输出比较模式

用户可以使用此模式来控制输出波形，或指示一段时间已过。

当捕获/比较寄存器和计数器的值相同时，输出比较函数的操作如下：

- TIMx_CCMODx.OCxMD 为输出比较模式，TIMx_CCEN.CCxP 为输出极性。当比较匹配时，如果设置 TIMx_CCMODx.OCxMD=000，则输出管脚将保持其电平；如果设置 TIMx_CCMODx.OCxMD=001，则设置输出管脚有效；如果设置 TIMx_CCMODx.OCxMD=010，则输出管脚将为设置为无效；如果设置 TIMx_CCMODx.OCxMD=011，则输出引脚将设置为翻转。
- 设置 TIMx_STS.CCxITF
- 如果用户设置了 TIMx_DINTEN.CCxIEN，将产生相应的中断
- 如果用户设置 TIMx_DINTEN.CCxDEN 并设置 TIMx_CTRL2.CCDSEL 选择 DMA 请求，将发送 DMA 请求

用户可以设置 TIMx_CCMODx.OCxPEN 来选择是否使用捕获/比较预加载寄存器 (TIMx_CCDATx) 来选择捕获/比较影子寄存器。

时间分辨率是计数器的一个计数周期。

在单脉冲模式下，输出比较模式也可用于输出单脉冲。

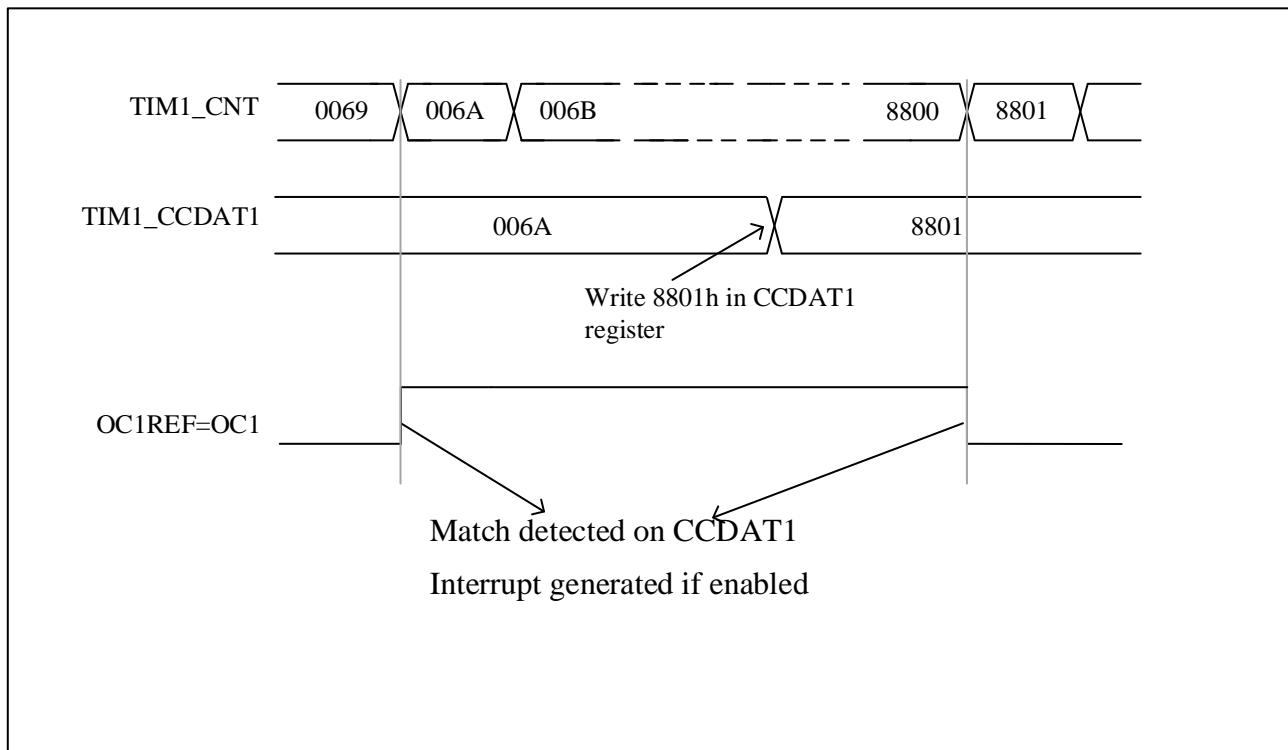
以下是输出比较模式的配置步骤：

- 首先，用户应该选择计数器时钟
- 其次，用所需数据设置 TIMx_AR 和 TIMx_CCDATx
- 如果用户需要产生中断，设置 TIMx_DINTEN.CCxIEN
- 然后通过设置 TIMx_CCEN.CCxP、TIMx_CCMODx.OCxMD、TIMx_CCEN.CCxEN 等选择输出模式
- 最后，设置 TIMx_CTRL1.CNTEN 启用计数器

用户可以随时通过设置 TIMx_CCDATx 来更新输出波形，只要不启用预加载寄存器。否则，TIMx_CCDATx 影子寄存器将在下一次更新事件中更新。

例如：

图 12-17 输出比较模式，开启 OC1



12.3.9 PWM 模式

用户可以使用 PWM 模式产生一个信号，其占空比由 TIMx_CCDATx 寄存器的值决定，其频率由 TIMx_AR 寄存器的值决定。并且取决于 TIMx_CTRL1.CAMSEL 的值，TIM 可以在边沿对齐模式或中央对齐模式下产生 PWM 信号。

用户可以通过设置 TIMx_CCMODx.OCxMD=110 或设置 TIMx_CCMODx.OCxMD=111 来设置 PWM 模式 1 或 PWM 模式 2。要使能预加载寄存器，用户必须设置相应的 TIMx_CCMODx.OCxPEN。然后设置 TIMx_CTRL1.AR PEN 自动重装载预加载寄存器。

用户可以通过设置 TIMx_CCEN.CCxFP 来设置 OCx 的极性。

当 TIM 处于 PWM 模式时，TIMx_CNT 和 TIMx_CCDATx 的值总是相互比较。

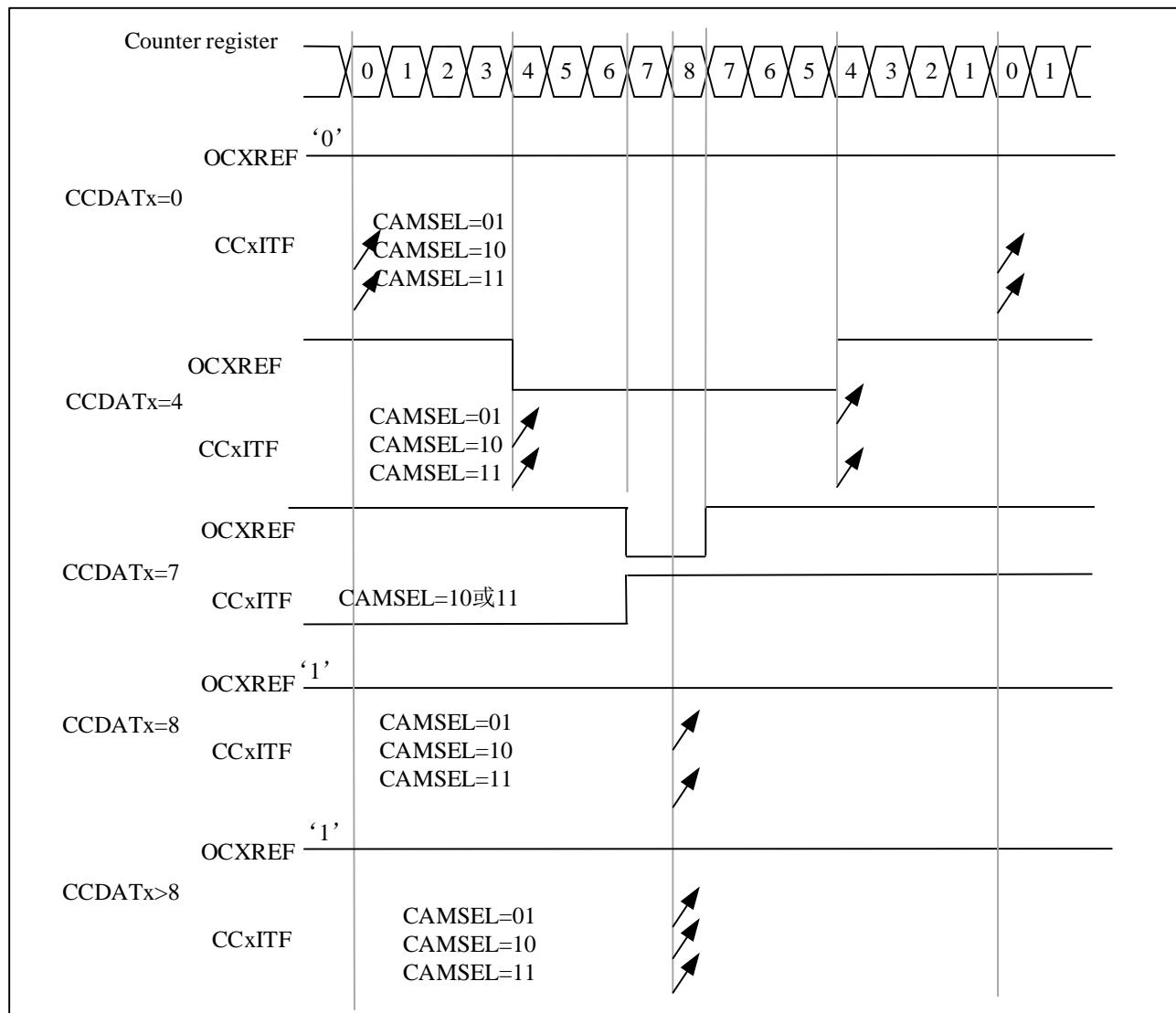
只有当更新事件发生时，预加载寄存器才会转移到影子寄存器。因此，用户必须在计数器开始计数之前通过设置 TIMx_EVTGEN.UDGN 来复位所有寄存器。

12.3.9.1 PWM 中央对齐模式

如果用户设置 TIMx_CTRL1.CAMSEL 等于 01、10 或 11，PWM 中央对齐模式将被激活。比较标志的设置取决于 TIMx_CTRL1.CAMSEL 的值。设置比较标志的情况有 3 种，仅当计数器向上计数时，仅当计数器向下计数时，或当计数器向上计数和向下计数时。用户不应通过软件修改 TIMx_CTRL1.DIR，它是由硬件更新的。

中央对齐 PWM 波形示例如下，波形设置为：TIMx_AR=8，PWM 模式 1，当计数器向下计数对应 TIMx_CTRL1.CAMSEL=01 时设置比较标志。

图 12-18 中央对齐的 PWM 波形 (AR=8)



使用中央对齐模式时用户应注意的事项如下：

- 计数器向上或向下计数取决于 TIMx_CTRL1.DIR 的值。注意不要同时更改 DIR 和 CAMSEL 位
- 用户在中央对齐模式下不要写计数器，否则会导致意想不到的结果。例如：
 - ◆ 如果写入计数器的值为 0 或者是 TIMx_AR 的值，则方向会被更新，但不会产生更新事件
 - ◆ 如果写入计数器的值大于自动重载的值，则方向不会更新
- 为了安全起见，建议用户在启动计数器之前设置 TIMx_EVTGEN.UDGN 以通过软件生成更新，并且在计数器运行时不要写入计数器

12.3.9.2 PWM 边沿对齐模式

边沿对齐模式有两种配置，向上计数和向下计数。

● 向上计数

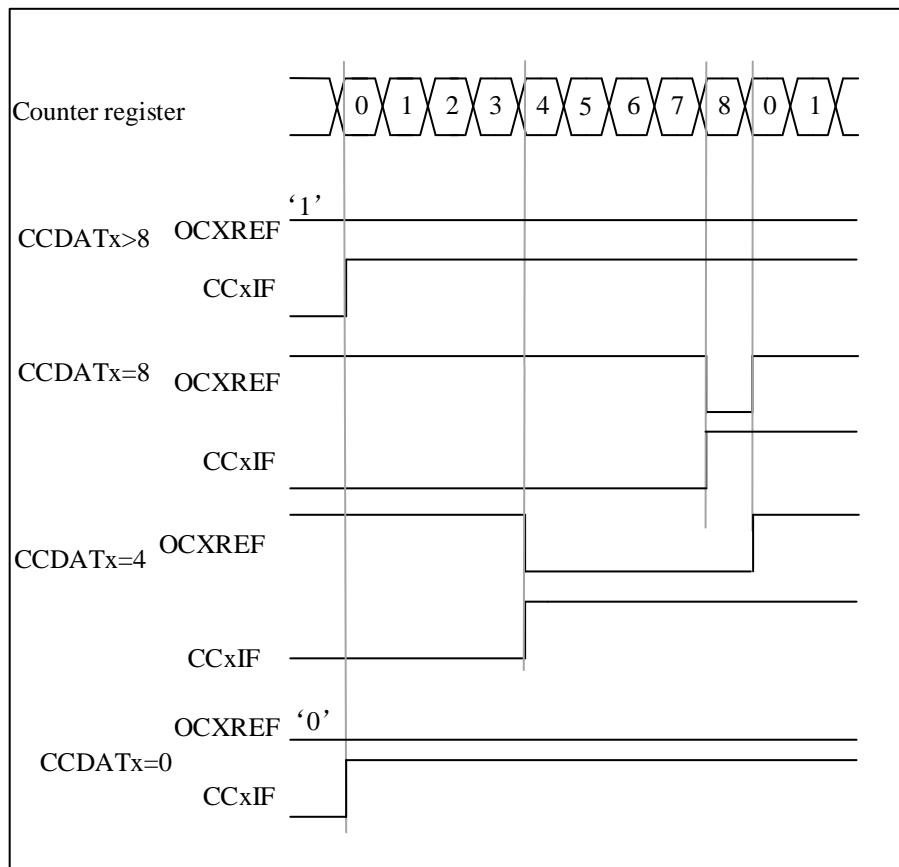
用户可以设置 TIMx_CTRL1.DIR=0 使计数器向上计数。

PWM 模式 1 的示例：

当 $\text{TIMx_CNT} < \text{TIMx_CCDATx}$ 时， OCxREF 为高电平，否则为低电平。如果 TIMx_CCDATx 中的比较值大于自动重载值，则 OCxREF 将保持为 1。相反，如果比较值为 0，则 OCxREF 将保持为 0。

当 $\text{TIMx_AR}=8$ 时，PWM 波形如下：

图 12-19 边沿对齐 PWM 波形 ($\text{AR}=8$)



● 向下计数

用户可以设置 $\text{TIMx_CTRL1.DIR}=1$ 使计数器向下计数。

PWM 模式 1 的示例：

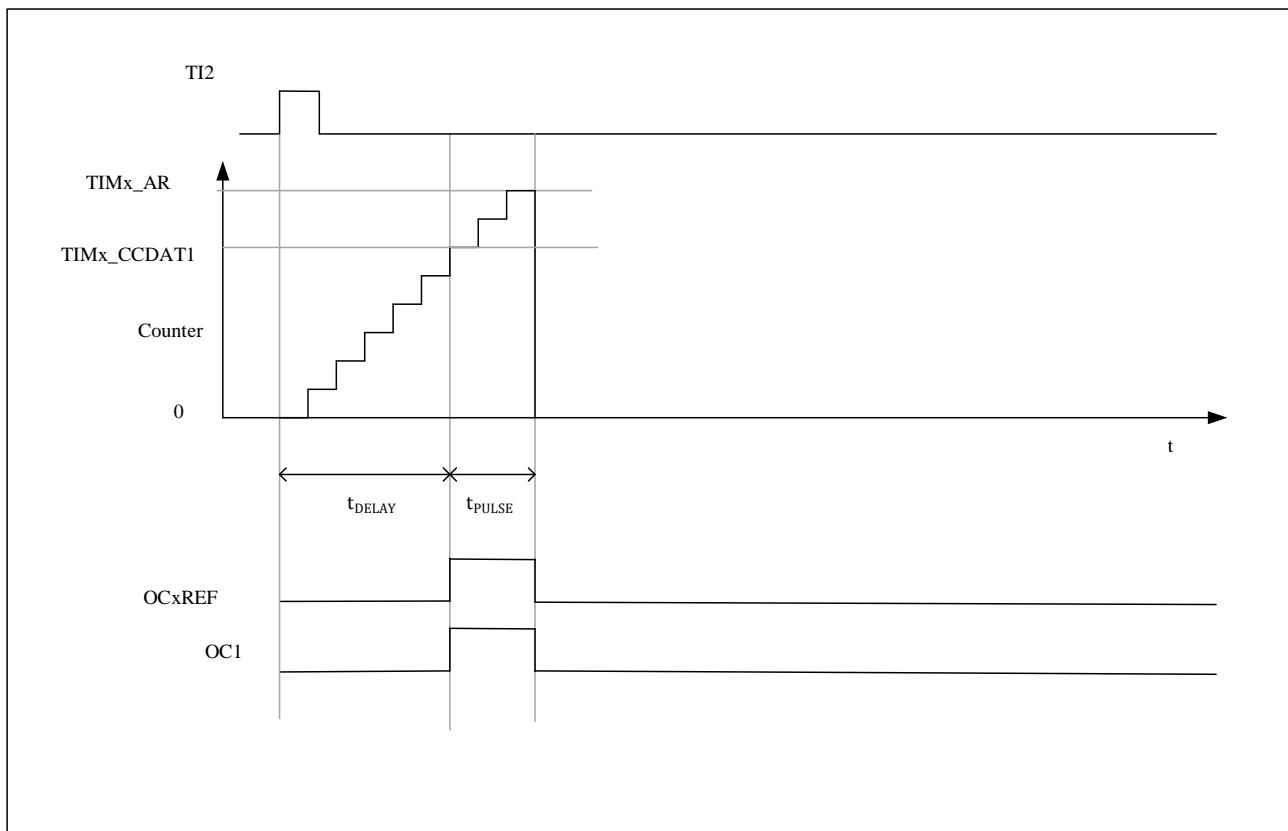
当 $\text{TIMx_CNT} > \text{TIMx_CCDATx}$ 时， OCxREF 为低电平，否则为高电平。如果 TIMx_CCDATx 中的比较值大于自动重载值，则 OCxREF 将保持为 1。

注：若第 n 个 PWM 周期 CCDATx 影子寄存器 $>= \text{AR}$ 值，第 $n+1$ 个 PWM 周期 CCDATx 的影子寄存器值是 0。在第 $n+1$ 个 PWM 周期的计数器为 0 的时刻，虽然计数器 = CCDATx 影子寄存器的值 = 0， $\text{OCxREF} = '0'$ ，但不会产生比较事件。

12.3.10 单脉冲模式

在单脉冲模式(ONEPM)中，接收到触发信号，经过可控延迟 t_{DELAY} 后产生脉宽可控的脉冲 t_{PULSE} 。输出模式需要配置为输出比较模式或 PWM 模式。选择单脉冲模式后，计数器会在更新事件 UEV 产生后停止计数。

图 12-20 单脉冲模式示例



以下是单脉冲模式的示例：

从 TI2 输入检测到上升沿触发，延迟 t_{DELAY} 后在 OC1 上产生宽度为 t_{PULSE} 的脉冲。

1. 计数器配置：向上计数，计数器 $TIMx_CNT < TIMx_CCDAT1 \leq TIMx_AR$ ；
2. TI2FP2 映射到 TI2, $TIMx_CCMOD1.CC2SEL = '01'$; TI2FP2 配置为上升沿检测, $TIMx_CCEN.CC2P = '0'$;
3. TI2FP2 充当从模式控制器的触发器 (TRGI) 并启动计数器, $TIMx_SMCTRL.TSEL = '110'$, $TIMx_SMCTRL.SMSEL = '110'$ (触发模式);
4. $TIMx_CCDAT1$ 写入要延迟的计数值 (t_{DELAY}), $TIMx_AR - TIMx_CCDAT1$ 为脉宽 t_{PULSE} 的计数值;
5. 配置 $TIMx_CTRL1.ONEPM=1$ 使能单脉冲模式, 配置 $TIMx_CCMOD1.OC1MD = '111'$ 选择 PWM2 模式;
6. 等待 TI2 有外部触发事件, OC1 输出一个单脉冲波形;

12.3.10.1 特殊情况：OCx 快速使能：

在单脉冲模式下，通过 TIx 输入检测到一个边沿，并触发计数器开始计数到比较值，然后输出一个脉冲。这些操作限制了可以达到的最小延迟 t_{DELAY} 。

您可以设置 $TIMx_CCMODx.OCxFEN=1$ 开启 OCx 快速使能，在触发上升沿后，OCxREF 信号将被强制转换为与比较匹配立即发生的电平相同的电平，而不管比较结果如何。OCxFEN 快速使能仅在通道模式配置为 PWM1 和 PWM2 模式时生效。

12.3.11 在外部事件上清除 OCxREF 信号

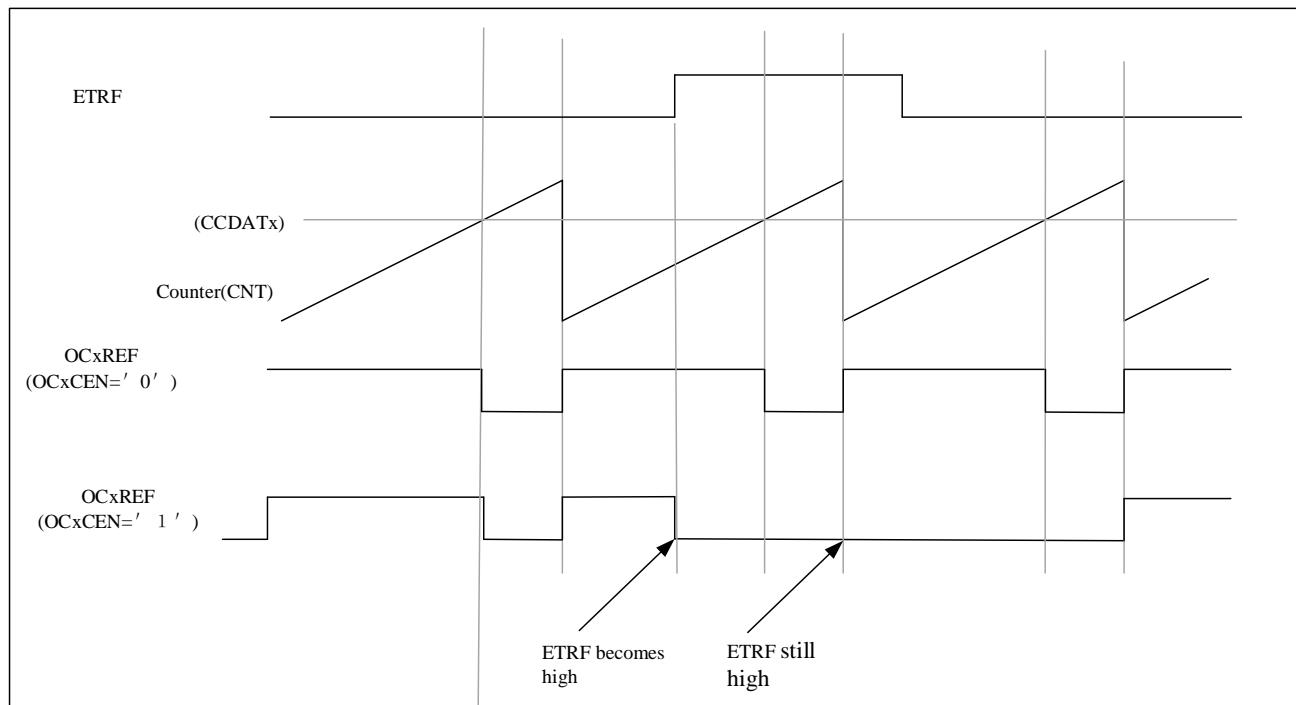
如果用户设置 `TIMx_CCMODx.OCxCEN=1`, `ETRF` 输入的高电平可用于驱动 `OCxREF` 信号为低电平, `OCxREF` 信号将保持低电平, 直到下一次 `UEV` 发生。只有输出比较和 `PWM` 模式可以使用该功能。在强制模式下不能使用。

例如: 为了控制电流, 用户可以将 `ETR` 信号连接到比较器的输出端, `ETR` 的操作如下:

- 设置 `TIMx_SMCTRL.EXTPS=00` 禁用外部触发预分频器。
- 设置 `TIMx_SMCTRL.EXCEN=0` 禁用外部时钟模式 2。
- 设置 `TIMx_SMCTRL.EXTP` 和 `TIMx_SMCTRL.EXTF`, 根据需要配置外触发极性和外触发滤波器。

例: 当 `ETRF` 输入变高时, `OCxREF` 信号对于不同的 `OCxCEN` 值的行为。在这种情况下, 定时器设置为 `PWM` 模式。

图 12-21 清除 TIMx 的 `OCxREF`



12.3.12 调试模式

当微控制器处于调试模式 (Cortex-M4 内核停止) 时, 根据 `DBG_CTRL.TIMx_STOP` 配置, `TIMx` 计数器可以继续正常工作或停止。详见 29.4.3 章节。

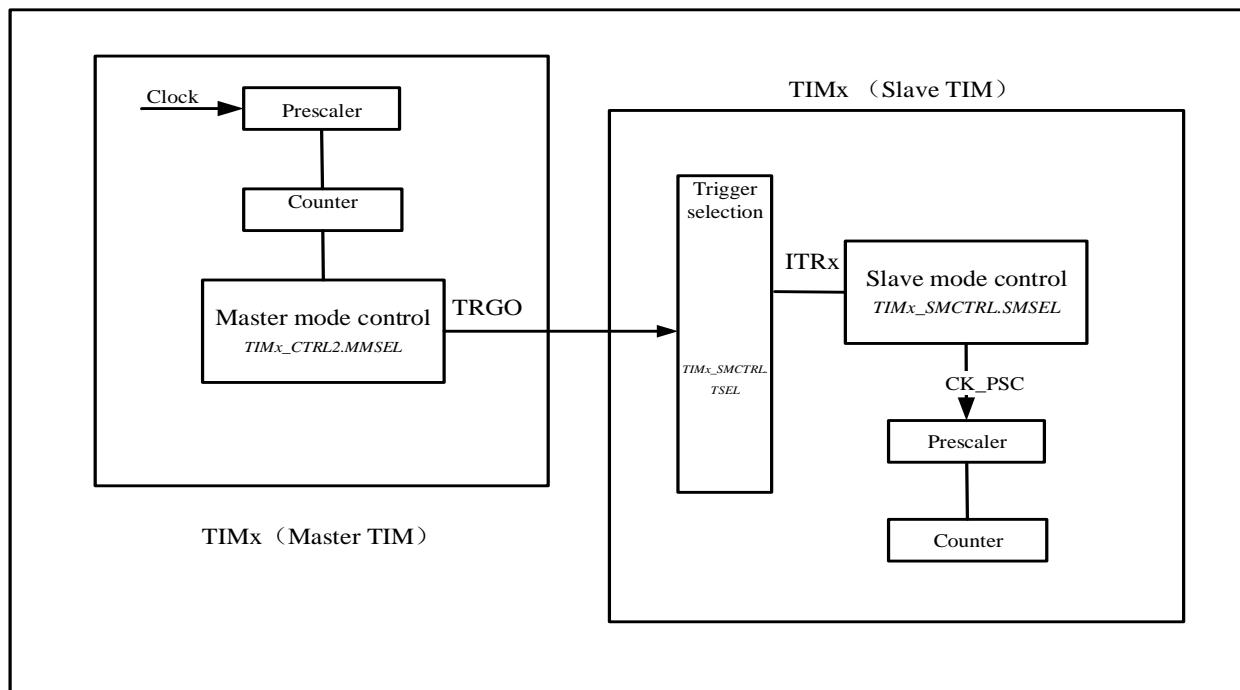
12.3.13 TIMx 定时器和外部触发的同步

与高级定时器相同, 见 11.3.16。

12.3.14 定时器同步

所有 TIMx 定时器都在内部相互连接。该实现允许任何主定时器提供触发以复位、启动、停止或为其他从定时器提供时钟。主时钟用于内部计数器，可以预分频。下图为定时器互连框图。同步功能不支持连接的动态变化。用户应在启用主定时器的触发器或时钟之前配置并启用从定时器。

图 12-22 主/从定时器的例子



12.3.14.1 主定时器作为另一个定时器的预分频器

定时器 1 作为定时器 2 的预分频器。TIM1 是主，TIM2 是从。

用户需要为此配置执行以下步骤。

- 设置 `TIM1_CTRL2.MMSEL='010'` 以使用 TIM1 的更新事件作为触发输出。
- 配置 `TIM2_SMCTRL.TSEL='000'`，将 TIM1 的 TRGO 连接到 TIM2。
- 配置 `TIM2_SMCTRL.SMSEL = '111'`，从模式控制器将配置为外部时钟模式 1。
- 通过设置 `TIM2_CTRL1.CNTEN = "1"`, 启动 TIM2。
- 通过设置 `TIM1_CTRL1.CNTEN = "1"`, 启动 TIM1。

注：如果用户通过配置 `MMSEL = '1xx'` 选择 OC_x 作为 TIM1 的触发输出，则 OC_x 上升沿将用于驱动 timer2。

12.3.14.2 主定时器使能另一个定时器

在本例中，TIM2 通过 TIM1 的输出比较使能。TIM1 的 OC1REF 输出为高电平后，TIM2 计数器将开始计数。两个计数器的时钟均基于 CK_INT，通过预分频器除以 3 ($f_{CK_CNT} = f_{CK_INT}/3$)。

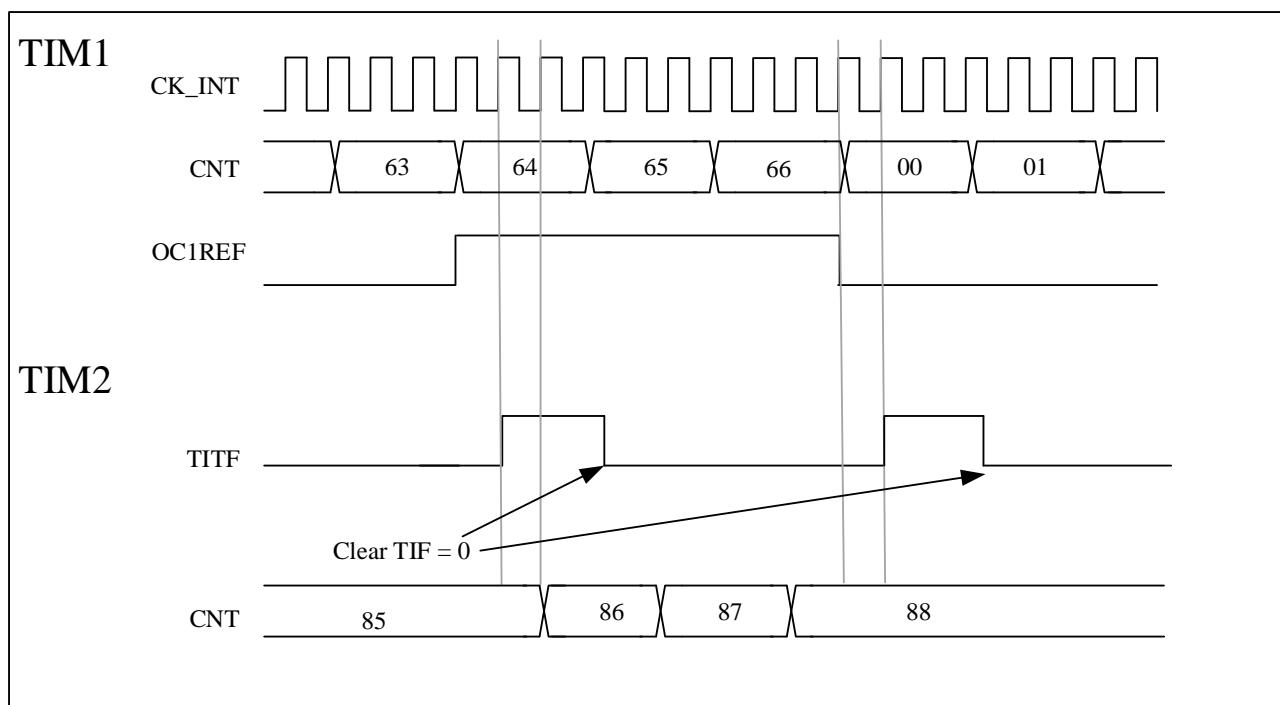
配置步骤如下所示。

- 设置 `TIM1_CTRL2.MMSEL='100'` 以使用 TIM1 的 OC1REF 作为触发输出。

- 配置 TIM1_CCMOD1 寄存器来配置 OC1REF 输出波形。
- 设置 TIM2_SMCTRL.TSEL = '000' 将 TIM1 触发输出连接到 TIM2。
- 设置 TIM2_SMCTRL.SMSEL = '101' 将 TIM2 设置为门控模式。
- 设置 TIM2_CTRL1.CNTEN = '1' 来启动 TIM2。
- 设置 TIM1_CTRL1.CNTEN = '1' 以启动 TIM1。

注: TIM2 时钟与 TIM1 时钟不同步, 该模式仅影响 TIM2 计数器使能信号。

图 12-23 定时器 2 由定时器 1 的 OC1REF 门控



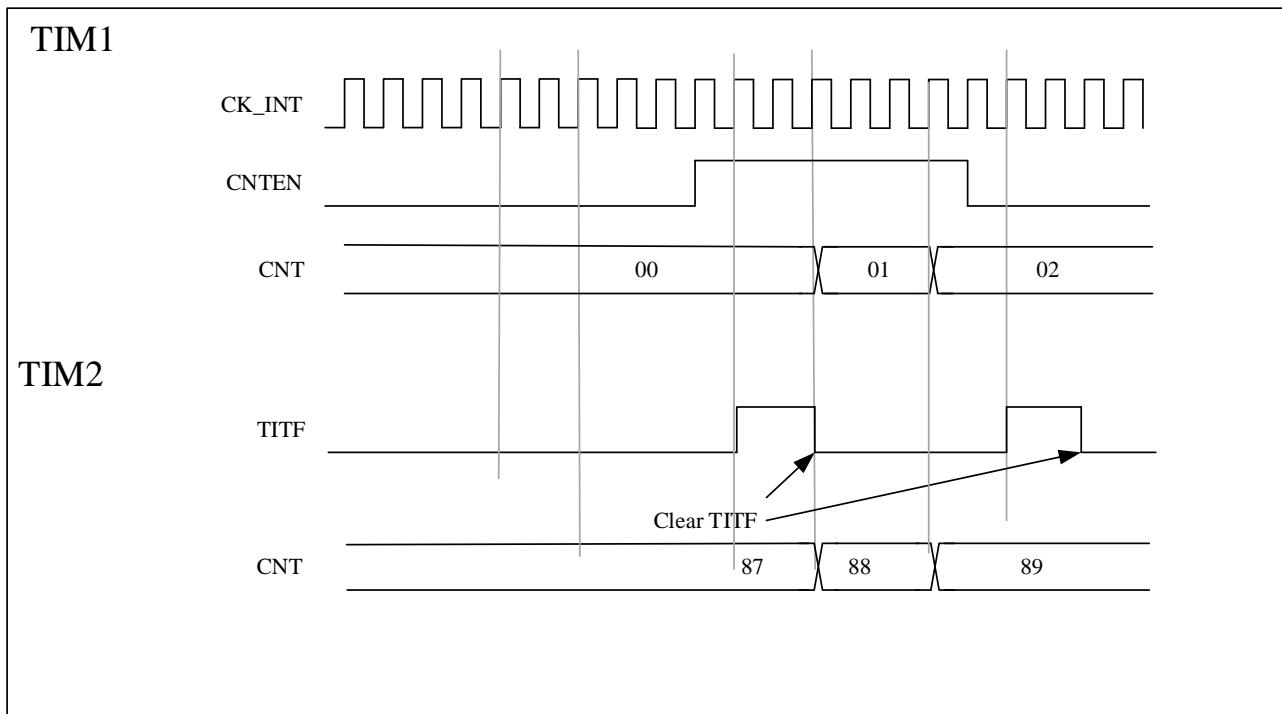
在下一个示例中, 用 TIM1 的使能信号门控 TIM2, 设置 TIM1_CTRL1.CNTEN = '0' 以停止 TIM1。

仅当 TIM1 使能时, TIM2 才基于分频的内部时钟计数。两个计数器的时钟均基于 CK_INT, 通过预分频器除以 3 ($f_{CK_CNT} = f_{CK_INT}/3$)。

配置步骤如下所示

- 设置 TIM1_CTRL2.MMSEL='001' 使用 TIM1 的使能信号作为触发输出
- 设置 TIM2_SMCTRL.TSEL = '000' 配置 TIM2 从 TIM1 获取触发输入
- 设置 TIM2_SMCTRL.SMSEL = '101' 将 TIM2 配置为门控模式。
- 设置 TIM2_CTRL1.CNTEN = '1' 来启动 TIM2。
- 设置 TIM1_CTRL1.CNTEN = '1' 以启动 TIM1。
- 设置 TIM1_CTRL1.CNTEN = '0' 以停止 TIM1。

图 12-24 定时器 2 由定时器 1 的使能门控



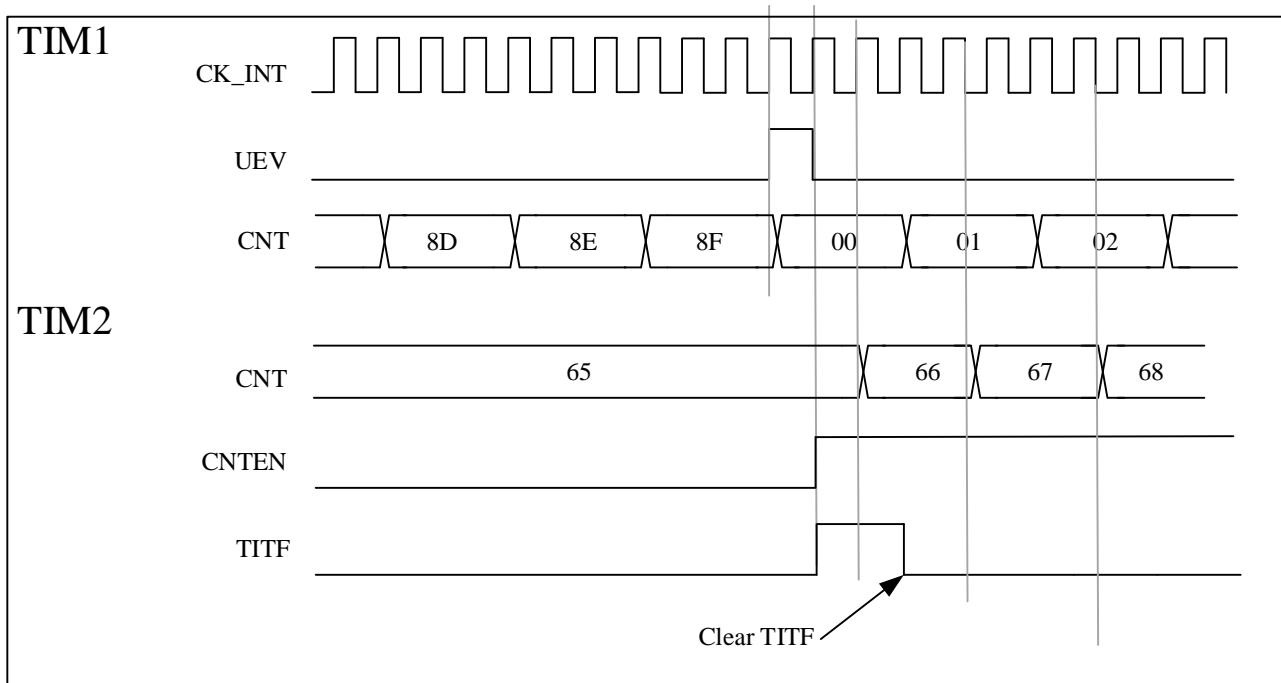
12.3.14.3 主定时器启动另一个定时器

在这个例子中，我们可以使用更新事件作为触发源。TIM1 是主，TIM2 是从。

配置步骤如下图所示：

- 设置 TIM1_CTRL2.MMSEL='010' 使用 TIM1 的更新事件作为触发输出
- 配置 TIM1_AR 寄存器设置输出周期。
- 设置 TIM2_SMCTRL.TSEL='000' 将 TIM1 触发输出连接到 TIM2。
- 设置 TIM2_SMCTRL.SMSEL='110' 将 TIM2 设置为触发模式。
- 设置 TIM1_CTRL1.CNTEN=1 启动 TIM1。

图 12-25 使用定时器 1 的更新触发定时器 2



12.3.14.4 使用一个外部触发同步地启动 2 个定时器

在本例中，TIM1 的 TI1 输入上升时使能 TIM1，使能 TIM1 时使能 TIM2。为确保计数器对齐，TIM1 必须配置为主/从模式。对于 TI1，TIM1 是从；对于 TIM2，TIM1 是主。

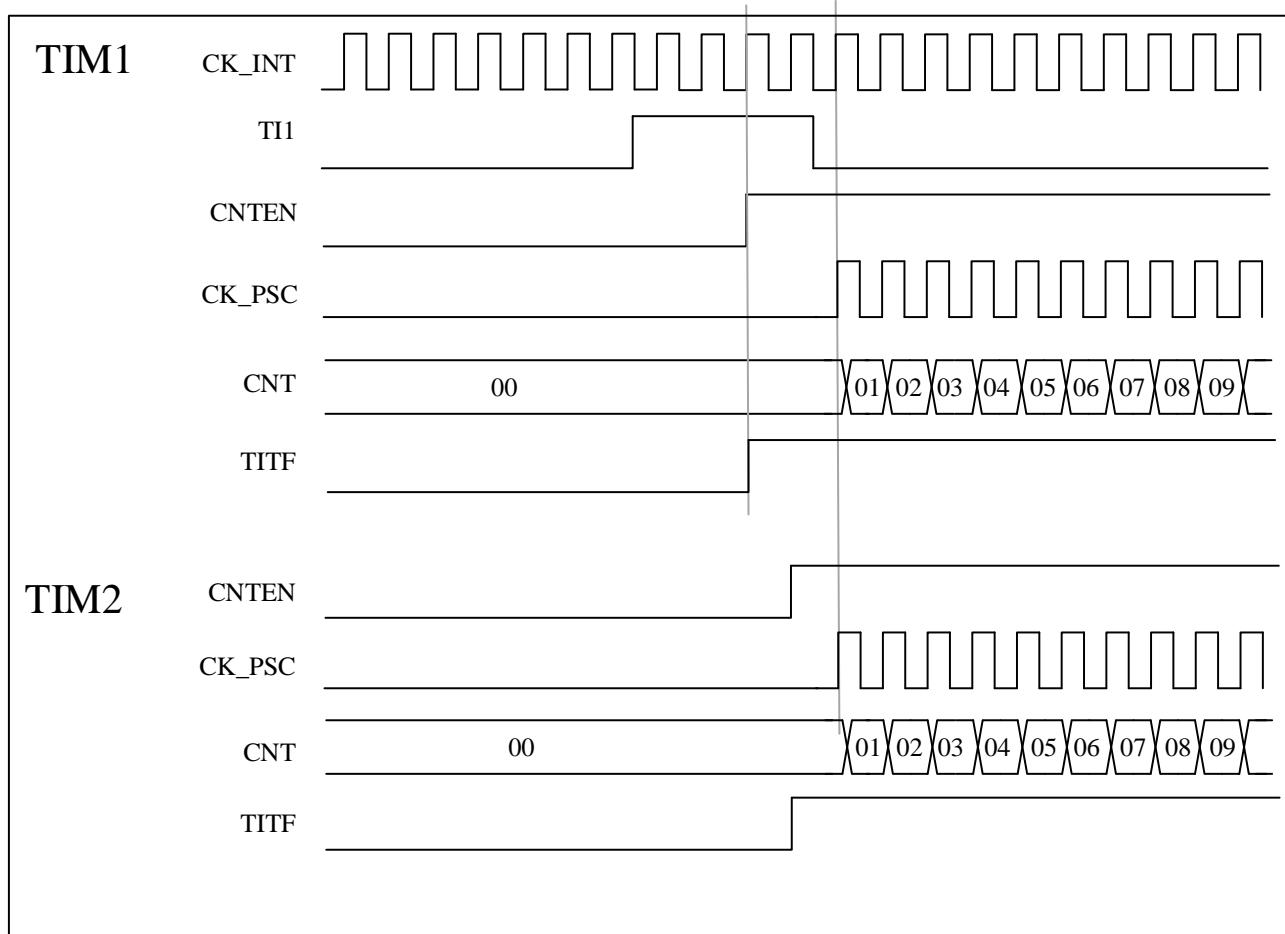
配置步骤如下图所示：

- 设置 TIM1.MMSEL = ‘001’ 使用使能信号作为触发输出
- 设置 TIM1_SMCTRL.TSEL = ‘100’ 将 TIM1 配置为从模式并接收 TI1 的触发输入。
- 设置 TIM1_SMCTRL.SMSEL = ‘110’ 将 TIM1 配置为触发模式。
- 设置 TIM1_SMCTRL.MSMD = ‘1’ 将 TIM1 配置为主/从模式。
- 设置 TIM2_SMCTRL.TSEL = ‘000’ 将 TIM1 触发输出连接到 TIM2。
- 设置 TIM2_SMCTRL.SMSEL = ‘110’ 将 TIM2 配置为触发模式。

当 TI1 上升沿到来时，两个定时器开始根据内部时钟同步计数，两个 TITF 标志同时置位。

注：下图显示了在主/从模式下 CNTEN 和 TIM1 的 CK_PSC 之间的延迟。

图 12-26 使用定时器 1 的 TI1 输入触发定时器 1 和定时器 2



12.3.15 编码器接口模式

编码器使用两个输入 TI1 和 TI2 作为接口，计数器对 TI1FP1 或 TI2FP2 上的每个边沿变化进行计数。计数方向由硬件 TIMx_CTRL1.DIR 自动控制。编码器计数模式共有三种：

4. 计数器只在 TI1 的边沿计数，TIMx_SMCTRL.SMSEL = ‘001’；
5. 计数器只在 TI2 的边沿计数，TIMx_SMCTRL.SMSEL = ‘010’；
6. 计数器同时在 TI1 和 TI2 的边沿计数，TIMx_SMCTRL.SMSEL = ‘011’；

编码器接口相当于使用带方向选择的外部时钟，计数器只在 0 和自动重载值 (TIMx_AR.AR [15:0]) 之间连续计数。因此，需要提前配置自动重载寄存器 TIMx_AR。

注意：编码器模式和外部时钟模式 2 不兼容，不能同时选择。

计数方向与编码器信号的关系如下表：

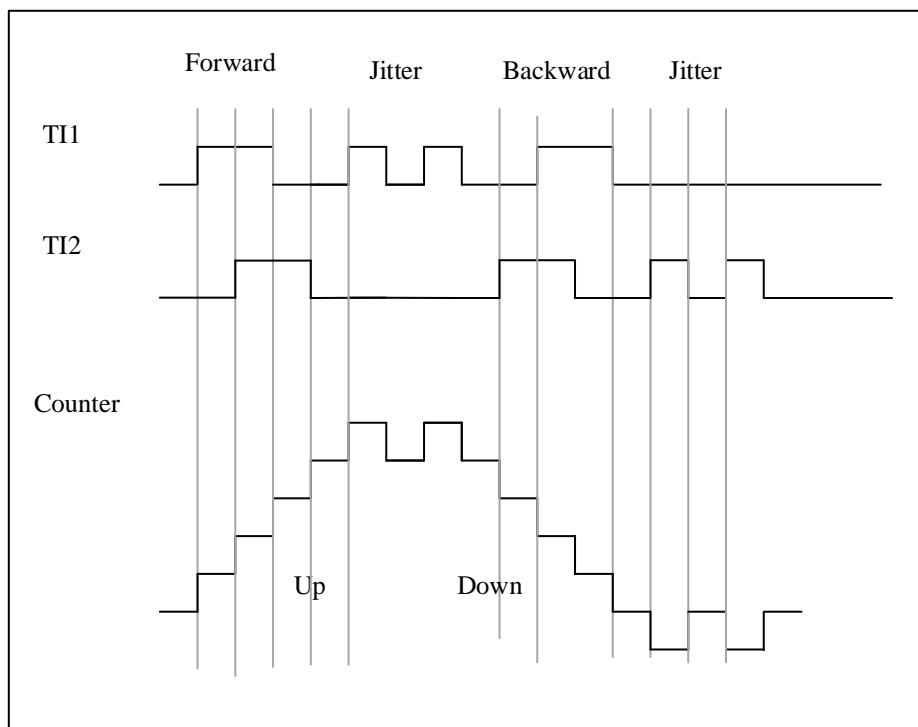
表 12-1 计数方向与编码器信号的关系

有效边沿	相对信号的电平 (TI1FP1对应TI2, TI2FP2对应TI1)	TI1FP1信号		TI2FP2信号	
		上升	下降	上升	下降
仅在TI1计数	高	向下计数	向上计数	不计数	不计数
	低	向上计数	向下计数	不计数	不计数
仅在TI2计数	高	不计数	不计数	向上计数	向下计数
	低	不计数	不计数	向下计数	向上计数
在TI1和TI2上计数	高	向下计数	向上计数	向上计数	向下计数
	低	向上计数	向下计数	向下计数	向上计数

以下是选择了双边沿触发以抑制输入抖动的编码器示例：

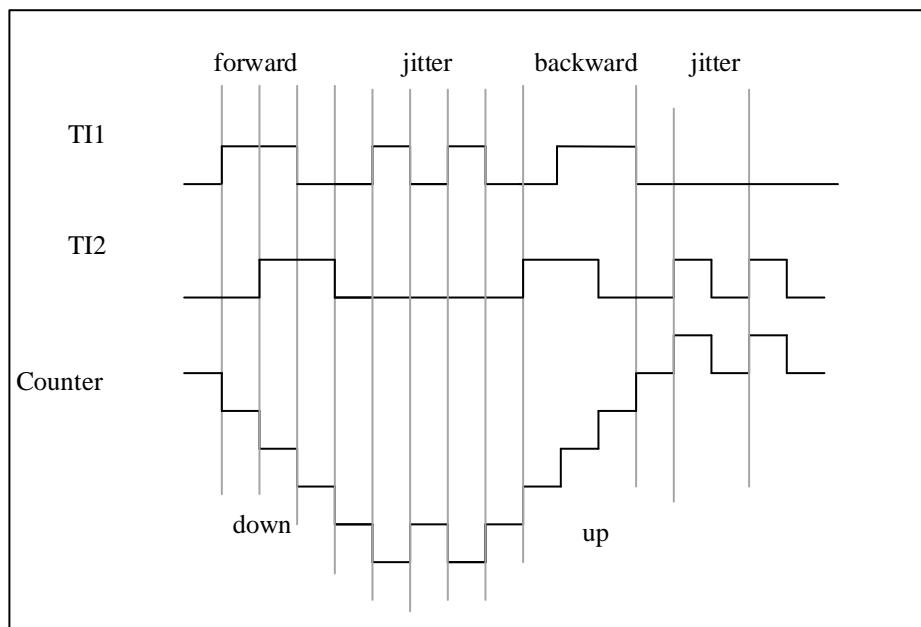
1. IC1FP1 映射到 TI1 (TIMx_CCMOD1.CC1SEL=‘01’), IC1FP1 不反相 (TIMx_CCEN.CC1P=‘0’);
2. IC1FP2 映射到 TI2 (TIMx_CCMOD2.CC2SEL=‘01’), IC2FP2 不反相 (TIMx_CCEN.CC2P=‘0’);
3. 输入在上升沿和下降沿均有效 (TIMx_SMCTRL.SMSEL = ‘011’);
4. 启用计数器 TIMx_CTRL1.CNTEN=‘1’;

图 12-27 编码器模式下的计数器操作实例



下图为 IC1FP1 极性反转时的计数器行为示例（CC1P='1'，其他配置同上）

图 12-28 IC1FP1 反相的编码器接口模式实例



12.3.16 与霍尔传感器的接口

请查阅11.3.20

12.4 TIMx 寄存器 ($x=2,3,4$ 和 5)

关于在寄存器描述里面所用到的缩写，详见第 1.1 节。

可以用半字（16 位）或字（32 位）的方式操作这些外设寄存器。

12.4.1 寄存器总览

表 12-2 TIM2、TIM3、TIM4、TIM5 and TIM9 寄存器总览

Offset	Register	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	CLRSEL	C4SEL	C3SEL	C2SEL	C1SEL	Reserved	CLKD[1:0]	ARLEN	CAMSEL[1:0]	DIR	ONEPM	UPRS	UPDIS	CNTEN
000h	TIMx_CTRL1																0	0	0	0	0	0	0	0	0	0	0	0	0	0	
	Reset Value																														
004h	TIMx_CTRL2																														
	Reset Value																														
008h	TIMx_SMCTRL																														
	Reset Value																														

Offset	Register		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12		
00Ch	TIMx_DINTEN		Reserved											Reserved										
	Reset Value		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
010h	TIMx_STS		Reserved											Reserved										
	Reset Value		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
014h	TIMx_EVTGEN		Reserved											Reserved										
	Reset Value		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
018h	TIMx_CCMOD1		Reserved											Reserved										
	Reset Value		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
01Ch	TIMx_CCMOD1		Reserved											Reserved										
	Reset Value		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
01Ch	TIMx_CCMOD2		Reserved											Reserved										
	Reset Value		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
020h	TIMx_CCEN		Reserved											Reserved										
	Reset Value		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
024h	TIMx_CNT		Reserved											CNT[15:0]										
	Reset Value		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
028h	TIMx_PSC		Reserved											PSC[15:0]										
	Reset Value		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
02Ch	TIMx_AR		Reserved											AR[15:0]										
	Reset Value		1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
030h			Reserved																					
034h	TIMx_CCDAT1		Reserved											CCDAT1[15:0]										
	Reset Value		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
038h	TIMx_CCDAT2		Reserved											CCDAT2[15:0]										
	Reset Value		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
03Ch	TIMx_CCDAT3		Reserved											CCDAT3[15:0]										
	Reset Value		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
040h	TIMx_CCDAT4		Reserved											CCDAT4[15:0]										
	Reset Value		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
044h			Reserved																					
048h	TIMx_DCTRL		Reserved											DBLEN[4:0]				DBADDR[4:0]				Reserved		
	Reset Value		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
04Cn	TIMx_DADDR		Reserved											BURST[15:0]										
	Reset Value		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

12.4.2 控制寄存器 1 (TIMx_CTRL1)

偏移地址: 0x00

复位值: 0x0000

31	Reserved															16
15	CLRSEL	C4SEL	C3SEL	C2SEL	C1SEL	Reserved	CLKD[1:0]	ARPEN	CAMSEL[1:0]	DIR	ONEPM	UPRS	UPDIS	CNTEN		
	rw	rw	rw	rw	rw		rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位域	名称	描述
31:16	Reserved	保留, 必须保持复位值
15	CLRSEL	OCxREF clear selection 0: 选择外部OCxREF clear (来自 ETR) 1: 选择OCxREF clear (来自比较器) 注: TIM5置1无效。 操作此位前必须开启芯片的扩展模式 (置位PWR_CTRL3.EXMODE)
14	C4SEL	Channel 4 Selection 0: 选择外部CH4信号 (来自 IOM) 1: 选择内部CH4信号 (来自比较器) 注: TIM5置1无效 操作此位前必须开启芯片的扩展模式 (置位PWR_CTRL3.EXMODE)
13	C3SEL	Channel 3 Selection 0: 选择外部CH3 信号(来自 IOM) 1: 选择内部CH3 信号 (来自比较器) 注: 操作此位前必须开启芯片的扩展模式 (置位PWR_CTRL3.EXMODE)
12	C2SEL	Channel 2 Selection 0: 选择外部 CH2 (来自IOM) signal 1: 选择内部 CH2 (来自比较器) signal 注: 操作此位前必须开启芯片的扩展模式 (置位PWR_CTRL3.EXMODE)
11	C1SEL	Channel 1 selection 0: 选择外部 CH1 (来自 IOM) signal 1: 选择内部 CH1 (来自比较器) signal 注: 操作此位前必须开启芯片的扩展模式 (置位PWR_CTRL3.EXMODE)
10	Reserved	保留, 必须保持复位值
9:8	CLKD[1:0]	时钟分频因子 (Clock division) CLKD[1:0] 表示 CK_INT (定时器时钟) 和 DTS (用于死区时间发生器和数字滤波器 (ETR、TIx) 的时钟) 之间的分频比。 00: tDTS = tCK_INT . 01: tDTS = 2 x tCK_INT 10: tDTS = 4 x tCK_INT 11: 保留, 不要使用这个配置
7	ARPEN	自动重装载预装载允许位 (Auto-reload preload enable) 0: TIMx_AR 寄存器的影子寄存器禁用 1: TIMx_AR 寄存器的影子寄存器使能

位域	名称	描述
6:5	CAMSEL[1:0]	<p>选择中央对齐模式 (Center-aligned mode selection)</p> <p>00: 边缘对齐模式。 TIMx_CTRL1.DIR 指定向上计数或向下计数。</p> <p>01: 中央对齐模式1。 计数器在中央对齐模式下计数，向下计数时输出比较中断标志位设置为 1。</p> <p>10: 中央对齐模式2。 计数器在中央对齐模式下计数，向上计数时输出比较中断标志位设置为1。</p> <p>11: 中央对齐模式3。 计数器在中央对齐模式下计数，向上计数或向下计数时输出比较中断标志位设置为 1。</p> <p>注意: 当计数器仍然启用时 (TIMx_CTRL1.CNTEN = 1) , 不允许从边缘对齐模式切换到中央对齐模式。</p>
4	DIR	<p>方向 (Direction)</p> <p>0: 计数器向上计数;</p> <p>1: 计数器向下计数。</p> <p>注: 当计数器配置为中央对齐模式或编码器模式时, 该位为只读。</p>
3	ONEPM	<p>单脉冲模式 (One pulse mode)</p> <p>0: 禁用单脉冲模式, 发生更新事件时不影响计数器计数。</p> <p>1: 使能单脉冲模式, 下次更新事件发生时计数器停止计数</p>
2	UPRS	<p>更新请求源 (Update request source)</p> <p>该位用于通过软件选择 UEV 事件源。</p> <p>0: 如果更新中断或 DMA 请求使能, 以下任何事件都会产生更新中断或 DMA 请求:</p> <ul style="list-style-type: none"> - 计数器上溢/下溢 - TIMx_EVTGEN.UDGN 位被设置 - 从模式控制器的更新生成 <p>1: 如果更新中断或 DMA 请求使能, 只有计数器上溢/下溢会产生更新中断或 DMA 请求。</p>
1	UPDIS	<p>更新禁用 (Update disable)</p> <p>该位用于启用/禁用软件生成的更新事件 (UEV) 事件。</p> <p>0: 启用。 如果满足以下条件之一, 将生成 UEV:</p> <ul style="list-style-type: none"> - 计数器上溢/下溢 - TIMx_EVTGEN.UDGN 位被设置 - 从模式控制器的更新生成 <p>影子寄存器将使用预加载值进行更新。</p> <p>1: UEV 禁用。 不生成更新事件, 影子寄存器 (AR、PSC 和 CC DATx) 保持它们的值。 如果 TIMx_EVTGEN.UDGN 位置位或从模式控制器发出硬件复位, 则重新初始化计数器和预分频器。</p>
0	CNTEN	<p>使能计数器 (Counter enable)</p> <p>0: 禁止计数器;</p> <p>1: 使能计数器。</p> <p>注: 在软件设置了CNTEN位后, 外部时钟、门控模式和编码器模式才能工作。触发模式可以自动地通过硬件设置CNTEN位。</p>

12.4.3 控制寄存器 2 (TIMx_CTRL2)

偏移地址: 0x04

复位值: 0x0000

15	Reserved	9	8	7	6	4	3	2	0
			ETRSEL	TI1SEL	MMSEL[2:0]	CCDSEL			Reserved

rw rw rw rw rw

位域	名称	描述
15: 9	Reserved	保留, 必须保持复位值
8	ETRSEL	ETR选择(ETR Selection) 0: 选择外部ETR信号(来自IOM); 1: Reserve; 注: ETR输入到IOM的映射, 见7.2.5.7 操作此位前必须开启芯片的扩展模式 (置位PWR_CTRL3.EXMODE)
7	TI1SEL	TI1选择 (TI1 selection) 0: TIMx_CH1引脚连到TI1输入; 1: TIMx_CH1、TIMx_CH2和TIMx_CH3引脚经异或后连到TI1输入。
6:4	MMSEL[2:0]	主模式选择 这 3 位 (TIMx_CTRL2.MMSEL [2:0]) 用于选择在主模式下发送到从定时器的同步信息 (TRGO)。可能的组合如下: 000: 复位 - 当 TIMx_EVTGEN.UDGN 置位或从模式控制器产生复位时, 将出现 TRGO 脉冲。在后一种情况下, TRGO 上的信号与实际复位相比有所延迟。 001: 使能 - TIMx_CTRL1.CNTEN 位用作触发输出 (TRGO)。有时需要同时启动多个定时器或者在一段时间内开启从定时器。 当 TIMx_CTRL1.CNTEN 位置位或门控模式下的触发输入为高电平时, 计数器使能信号置位。 当计数器使能信号由触发输入控制时, TRGO 上有一个延迟, 除非选择了主/从模式 (参见 TIMx_SMCTRL.MSMD 位的说明)。 010: 更新 - 选择更新事件作为触发输出 (TRGO)。例如, 主定时器时钟可用作从定时器预分频器。 011: 比较脉冲 - 当 TIMx_STS.CC1ITF 被设置时 (即使它已经是高电平), 即捕获或比较成功时, 触发输出发送一个正脉冲 (TRGO)。 100: 比较 - OC1REF 信号用作触发输出 (TRGO)。 101: 比较 - OC2REF 信号用作触发输出 (TRGO)。 110: 比较 - OC3REF 信号用作触发输出 (TRGO)。 111: 比较 - OC4REF 信号用作触发输出 (TRGO)。
3	CCDSEL	捕获/比较的DMA选择 (Capture/compare DMA selection) 0: 当发生CCx事件时, 送出CCx的DMA请求; 1: 当发生更新事件时, 送出CCx的DMA请求。
2:0	Reserved	保留, 必须保持复位值

12.4.4 从模式控制寄存器 (TIMx_SMCTRL)

偏移地址: 0x08

复位值: 0x0000

15	EXTP	rw	14	EXCEN	rw	13	EXTPS[1:0]	rw	12	EXTF[3:0]	rw	11	MSMD	rw	8	TSEL[2:0]	rw	7		rw	6		rw	4		rw	3	Reserved	rw	2		rw	0	SMSEL[2:0]	rw
----	------	----	----	-------	----	----	------------	----	----	-----------	----	----	------	----	---	-----------	----	---	--	----	---	--	----	---	--	----	---	----------	----	---	--	----	---	------------	----

位域	名称	描述
15	EXTP	外部触发极性 (External trigger polarity) 该位选择是用ETR还是ETR的反相来作为触发操作 0: ETR高电平或上升沿有效; 1: ETR低电平或下降沿有效。
14	EXCEN	外部时钟使能位 (External clock enable) 该位启用外部时钟模式2。启用后，计数器由ETRF信号上的任意有效边沿驱动。 0: 禁止外部时钟模式2; 1: 使能外部时钟模式2。 <i>注 1:</i> 当同时使能外部时钟模式1 和外部时钟模式2 时，外部时钟的输入为ETRF。 <i>注2:</i> 以下从机模式可以与外部时钟模式2同时使用：复位模式、门控模式和触发模式；但是，TRGI 无法连接到ETRF (TIMx_SMCTRL.TSEL ≠ '111')。 <i>注 3:</i> 设置 TIMx_SMCTRL.EXCEN 位与选择外部时钟模式1 并将 TRGI 连接到ETRF (TIMx_SMCTRL.SMSEL = 111 和 TIMx_SMCTRL.TSEL = 111) 的效果相同
13:12	EXTPS[1:0]	外部触发预分频 (External trigger prescaler) 外部触发信号 ETRP 的频率必须最多为 TIMxCLK 频率的 1/4。当输入更快的外部时钟时，可以使用预分频器来降低 ETRP 的频率。 00: 关闭预分频; 01: ETRP频率除以2; 10: ETRP频率除以4; 11: ETRP频率除以8。
11:8	EXTF[3:0]	外部触发滤波 (External trigger filter) 这些位用于定义 ETRP 信号的采样频率和 ETRP 数字滤波的带宽。实际上，数字滤波器是一个事件计数器，在记录连续 N 个事件后生成验证输出。 0000: 无滤波器，以fDTS采样 1000: 采样频率fSAMPLING=fDTS/8, N=6 0001: 采样频率fSAMPLING=fCK_INT, N=2 1001: 采样频率fSAMPLING=fDTS/8, N=8 0010: 采样频率fSAMPLING=fCK_INT, N=4 1010: 采样频率fSAMPLING=fDTS/16, N=5 0011: 采样频率fSAMPLING=fCK_INT, N=8 1011: 采样频率fSAMPLING=fDTS/16, N=6 0100: 采样频率fSAMPLING=fDTS/2, N=6 1100: 采样频率fSAMPLING=fDTS/16, N=8 0101: 采样频率fSAMPLING=fDTS/2, N=8 1101: 采样频率fSAMPLING=fDTS/32, N=5 0110: 采样频率fSAMPLING=fDTS/4, N=6 1110: 采样频率fSAMPLING=fDTS/32, N=6

位域	名称	描述
		0111: 采样频率fSAMPLING=fDTS/4, N=8 1111: 采样频率fSAMPLING=fDTS/32, N=8
7	MSMD	主/从模式 (Master/slave mode) 0: 无作用; 1: 触发输入 (TRGI) 上的事件被延迟了, 以允许在当前定时器 (通过TRGO) 与它的从定时器间的完美同步。这对要求把几个定时器同步到一个单一的外部事件时是非常有用的。
6:4	TSEL[2:0]	触发选择 (Trigger selection) 这3位选择用于同步计数器的触发输入。 000: 内部触发0 (ITR0) 100: TI1的边沿检测器 (TI1F_ED) 001: 内部触发1 (ITR1) 101: 滤波后的定时器输入1 (TI1FP1) 010: 内部触发2 (ITR2) 110: 滤波后的定时器输入2 (TI2FP2) 011: 内部触发3 (ITR3) 111: 外部触发输入 (ETRF) 更多ITRx的细节参见表12-3。 注: 这些位只能在未用到 (如SMSEL=000) 时被改变, 以避免在改变时产生错误的边沿检测。
3	Reserved	保留, 必须保持复位值
2:0	SMSEL[2:0]	从模式选择 (Slave mode selection) 当选择了外部信号, 触发信号 (TRGI) 的有效边沿与选中的外部输入极性相关 (见输入控制寄存器和控制寄存器的说明) 000: 关闭从模式 – 如果CNTEN=1, 则预分频器直接由内部时钟驱动。 001: 编码器模式1 – 根据TI2FP2的电平, 计数器在TI1FP1的边沿向上/下计数。 010: 编码器模式2 – 根据TI1FP1的电平, 计数器在TI2FP2的边沿向上/下计数。 011: 编码器模式3 – 根据另一个信号的输入电平, 计数器在TI1FP1和TI2FP2的边沿向上/下计数。 100: 复位模式 – 选中的触发输入 (TRGI) 的上升沿, 计数器重新初始化并更新影子寄存器。 101: 门控模式 – 当触发输入 (TRGI) 为高时, 计数器的时钟开启。一旦触发输入变为低, 则计数器停止 (但不复位)。计数器的启动和停止都是受控的。 110: 触发模式 – 计数器在触发输入TRGI的上升沿启动 (但不复位), 只有计数器的启动是受控的。 111: 外部时钟模式1 – 选中的触发输入 (TRGI) 的上升沿驱动计数器。 注: 如果TI1F_ED被选为触发输入 (TSEL=100) 时, 不要使用门控模式。这是因为, TI1F_ED在每次TI1F变化时输出一个脉冲, 然而门控模式是要检查触发输入的电平。

表 12-3 TIMx 内部触发连接

Slave timer	ITR0 (TSEL = 000)	ITR1 (TSEL = 001)	ITR2 (TSEL = 010)	ITR3 (TSEL = 011)
TIM2	TIM1	TIM8	TIM3	TIM4
TIM3	TIM1	TIM2	TIM5	TIM4
TIM4	TIM1	TIM2	TIM3	TIM8
TIM5	TIM2	TIM3	TIM4	TIM8

12.4.5 DMA/中断使能寄存器 (TIMx_DINTEN)

偏移地址: 0x0C

复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved	TDEN	Reserved	CC4DEN	CC3DEN	CC2DEN	CC1DEN	UDEN	Reserved	TIEN	Reserved	CC4IEN	CC3IEN	CC2IEN	CC1IEN	UIEN
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位域	名称	描述
15	Reserved	保留, 必须保持复位值
14	TDEN	允许触发DMA请求 (Trigger DMA request enable) 0: 禁止触发DMA请求; 1: 允许触发DMA请求。
13	Reserved	保留, 必须保持复位值
12	CC4DEN	允许捕获/比较4的DMA请求 (Capture/Compare 4 DMA request enable) 0: 禁止捕获/比较4的DMA请求; 1: 允许捕获/比较4的DMA请求。
11	CC3DEN	允许捕获/比较3的DMA请求 (Capture/Compare 3 DMA request enable) 0: 禁止捕获/比较3的DMA请求; 1: 允许捕获/比较3的DMA请求。
10	CC2DEN	允许捕获/比较2的DMA请求 (Capture/Compare 2 DMA request enable) 0: 禁止捕获/比较2的DMA请求; 1: 允许捕获/比较2的DMA请求。
9	CC1DEN	允许捕获/比较1的DMA请求 (Capture/Compare 1 DMA request enable) 0: 禁止捕获/比较1的DMA请求; 1: 允许捕获/比较1的DMA请求。
8	UDEN	允许更新的DMA请求 (Update DMA request enable) 0: 禁止更新的DMA请求; 1: 允许更新的DMA请求。
7	Reserved	保留, 必须保持复位值
6	TIEN	触发中断使能 (Trigger interrupt enable) 0: 禁止触发中断; 1: 使能触发中断。
5	Reserved	保留, 必须保持复位值
4	CC4IEN	允许捕获/比较4中断 (Capture/Compare 4 interrupt enable) 0: 禁止捕获/比较4中断; 1: 允许捕获/比较4中断。
3	CC3IEN	允许捕获/比较3中断 (Capture/Compare 3 interrupt enable) 0: 禁止捕获/比较3中断; 1: 允许捕获/比较3中断。
2	CC2IEN	允许捕获/比较2中断 (Capture/Compare 2 interrupt enable) 0: 禁止捕获/比较2中断; 1: 允许捕获/比较2中断。
1	CC1IEN	允许捕获/比较1中断 (Capture/Compare 1 interrupt enable)

位域	名称	描述
		0: 禁止捕获/比较1中断; 1: 允许捕获/比较1中断。
0	UIEN	允许更新中断 (Update interrupt enable) 0: 禁止更新中断; 1: 允许更新中断。

12.4.6 状态寄存器 (TIMx_STS)

偏移地址: 0x10

复位值: 0x0000

15	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved	CC4OCF	CC3OCF	CC2OCF	CC1OCF	Reserved	TITF	Reserved	CC4ITF	CC3ITF	CC2ITF	CC1ITF	UDITF	rc_w0	rc_w0

位域	名称	描述
15:13	Reserved	保留, 必须保持复位值
12	CC4OCF	捕获/比较4重复捕获标记 (Capture/Compare 4 overcapture flag) 参见CC1OCF描述。
11	CC3OCF	捕获/比较3重复捕获标记 (Capture/Compare 3 overcapture flag) 参见CC1OCF描述。
10	CC2OCF	捕获/比较2重复捕获标记 (Capture/Compare 2 overcapture flag) 参见CC1OCF描述。
9	CC1OCF	捕获/比较1重复捕获标记 (Capture/Compare 1 overcapture flag) 仅当相应的通道被配置为输入捕获时, 该标记可由硬件置1。写0可清除该位。 0: 无重复捕获产生; 1: 计数器的值被捕获到TIMx_CCDAT1寄存器时, CC1ITF的状态已经为‘1’。
8:7	Reserved	保留, 必须保持复位值
6	TITF	触发器中断标记 (Trigger interrupt flag) 当发生触发事件 (当从模式控制器处于除门控模式外的其它模式时, 在TRGI输入端检测到有效边沿, 或门控模式下的任一边沿) 时由硬件对该位置‘1’。它由软件清‘0’。 0: 无触发器事件产生; 1: 触发中断等待响应。
5	Reserved	保留, 必须保持复位值
4	CC4ITF	捕获/比较4中断标记 (Capture/Compare 4 interrupt flag) 参考CC1ITF描述。
3	CC3ITF	捕获/比较3中断标记 (Capture/Compare 3 interrupt flag) 参考CC1ITF描述。
2	CC2ITF	捕获/比较2中断标记 (Capture/Compare 2 interrupt flag) 参考CC1ITF描述。
1	CC1ITF	捕获/比较1中断标记 (Capture/Compare 1 interrupt flag) 如果通道CC1配置为输出模式: 除中央对齐模式外, 当计数器值与比较值相同时, 该位由硬件设置 (参见TIMx_CTRL1.CAMSEL 位描述)。 该位由软件清零。 0: 未发生匹配。

位域	名称	描述
		<p>1: TIMx_CNT 的值与 TIMx_CCDAT1 的值相同。 当 TIMx_CCDAT1 的值大于 TIMx_AR 的值时, 如果计数器溢出(在向上计数和向上/向下计数模式下)和向下计数模式下溢, 则 TIMx_STS.CC1ITF 位将变为高电平。</p> <p>如果通道CC1配置为输入模式:</p> <p>当捕捉事件发生时, 该位由硬件设置。 该位由软件或读取 TIMx_CCDAT1 清零。</p> <p>0: 未发生输入捕捉。 1: 发生输入捕捉。 计数器值已在 TIMx_CCDAT1 中捕获。 在 IC1 上检测到与所选极性相同的边沿。</p>
0	UDITF	<p>更新中断标志 (Update interrupt flag)</p> <p>当在以下条件下发生更新事件时, 该位由硬件设置:</p> <ul style="list-style-type: none"> - 当 TIMx_CTRL1.UPDIS = 0 时, 计数器上/下溢。 - 当 TIMx_CTRL1.UPRS = 0 时, TIMx_CTRL1.UPDIS = 0, 并通过软件设置 TIMx_EVTGEN.UDGN 位以重新初始化 CNT。 - 当 TIMx_CTRL1.UPRS = 0 时, TIMx_CTRL1.UPDIS = 0, 并且计数器 CNT 由触发事件重新初始化。 (参见 TIMx_SMCTRL 寄存器说明) <p>该位由软件清零。</p> <p>0: 未发生更新事件 1: 发生更新中断</p>

12.4.7 事件产生寄存器 (TIMx_EVTGEN)

偏移地址:0x14

复位值:0x0000

15	Reserved	7	6	5	4	3	2	1	0
					w	w	w	w	w

位域	名称	描述
15:7	Reserved	保留, 必须保持复位值
6	TGN	<p>产生触发事件 (Trigger generation)</p> <p>当由软件置位时, 该位可以产生一个触发事件。 而此时 TIMx_STS.TITF = 1, 如果相应的中断和DMA被使能, 就会产生相应的中断和DMA。 该位由硬件自动清零。</p> <p>0: 无动作 1: 产生触发事件</p>
5	Reserved	保留, 必须保持复位值
4	CC4GN	<p>产生捕获/比较4事件 (Capture/Compare 4 generation)</p> <p>参考CC1GN描述。</p>
3	CC3GN	<p>产生捕获/比较3事件 (Capture/Compare 3 generation)</p> <p>参考CC1GN描述。</p>
2	CC2GN	<p>产生捕获/比较2事件 (Capture/Compare 2 generation)</p> <p>参考CC1GN描述。</p>
1	CC1GN	<p>产生捕获/比较1事件 (Capture/Compare 1 generation)</p> <p>当由软件设置时, 该位可以产生一个捕获/比较事件。 该位由硬件自动清零。</p> <p>CC1对应通道为输出模式时:</p>

位域	名称	描述
		<p>TIMx_STS.CC1ITF 标志将被拉高，如果相应的中断和 DMA 被使能，就会产生相应的中断和 DMA。</p> <p>CC1对应通道为输入模式时：</p> <p>TIMx_CCDAT1 将捕获当前计数器值，并将 TIMx_STS.CC1ITF 标志拉高，如果相应的中断和 DMA 被使能，则会产生相应的中断和 DMA。如果 TIMx_STS.CC1ITF 已经拉高，则拉高 TIMx_STS.CC1OCF。</p> <p>0: 无动作 1: 生成 CC1 捕获/比较事件</p>
0	UDGN	<p>产生更新事件 (Update generation) 该位由软件置'1'，由硬件自动清'0'。</p> <p>当由软件设置时，该位可以生成更新事件。而此时计数器会重新初始化，预分频计数器会被清零，计数器在中央对齐或向上计数模式下会被清零，但在向下计数模式下取 TIMx_AR 寄存器的值。该位由硬件自动清零。</p> <p>0: 无动作 1: 生成更新事件</p>

12.4.8 捕获/比较模式寄存器 1 (TIMx_CCMOD1)

偏移地址: 0x18

复位值: 0x0000

通道可用于输入（捕获模式）或输出（比较模式），通道的方向由相应的 CCxSEL 位定义。该寄存器其它位的作用在输入和输出模式下不同。OCx 描述了通道在输出模式下的功能，ICx 描述了通道在输入模式下的功能。因此必须注意，同一个位在输出模式和输入模式下的功能是不同的。

输出比较模式：

15	14	12	11	10	9	8	7	6	4	3	2	1	0
OC2CEN	OC2MD[2:0]		OC2PEN	OC2FEN	CC2SEL[1:0]	OC1CEN		OC1MD[2:0]		OC1PEN	OC1FEN		CC1SEL[1:0]
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位域	名称	描述
15	OC2CEN	输出比较2清0使能 (Output Compare 2 clear enable)
14:12	OC2MD[2:0]	输出比较2模式 (Output Compare 2 mode)
11	OC2PEN	输出比较2预装载使能 (Output Compare 2 preload enable)
10	OC2FEN	输出比较2快速使能 (Output Compare 2 fast enable)
9:8	CC2SEL[1:0]	<p>捕获/比较2选择。 (Capture/Compare 2 selection)</p> <p>该位定义通道的方向（输入/输出），及输入脚的选择：</p> <p>00: CC2通道被配置为输出；</p> <p>01: CC2通道被配置为输入， IC2映射在TI2上；</p> <p>10: CC2通道被配置为输入， IC2映射在TI1上；</p> <p>11: CC2通道被配置为输入， IC2映射在TRC上。此模式仅工作在内部触发输入被选中时（由 TIMx_SMCTRL 寄存器的 TSEL 位选择）。</p> <p>注：CC2SEL 仅在通道关闭时 (TIMx_CCEN 寄存器的 CC2EN=0) 才是可写的。</p>
7	OC1CEN	输出比较1清'0'使能 (Output Compare 1 clear enable)
		0: OC1REF 不受ETRF输入的影响； 1: 一旦检测到ETRF输入高电平，清除OC1REF=0。
6:4	OC1MD[2:0]	输出比较1模式 (Output Compare 1 mode)

位域	名称	描述
		<p>这些位用于管理输出参考信号 OC1REF，它决定了 OC1 和 OC1N 的值，在高电平有效，而 OC1 和 OC1N 的有效电平取决于 TIMx_CCEN.CC1P 和 TIMx_CCEN.CC1NP 位。</p> <p>000: 冻结。 TIMx_CCDAT1 寄存器和计数器 TIMx_CNT 之间的比较对 OC1REF 信号没有影响。</p> <p>001: 将通道 1 设置为匹配时的有效电平。当 TIMx_CCDAT1 = TIMx_CNT 时，OC1REF 信号将被强制为高电平。</p> <p>010: 将通道 1 设置为匹配时的无效电平。当 TIMx_CCDAT1 = TIMx_CNT 时，OC1REF 信号将被强制为低电平。</p> <p>011: 翻转。当 TIMx_CCDAT1 = TIMx_CNT 时，OC1REF 信号将被翻转。</p> <p>100: 强制无效电平。 OC1REF 信号被强制为低电平。</p> <p>101: 强制有效电平。 OC1REF 信号被强制为高电平。</p> <p>110: PWM 模式 1 - 在向上计数模式下，如果 TIMx_CNT < TIMx_CCDAT1，则通道 1 的 OC1REF 信号为高电平，否则为低电平。在向下计数模式下，如果 TIMx_CNT > TIMx_CCDAT1，则通道 1 的 OC1REF 信号为低电平，否则为高电平。</p> <p>111: PWM 模式 2 - 在向上计数模式下，如果 TIMx_CNT < TIMx_CCDAT1，则通道 1 的 OC1REF 信号为低电平，否则为高电平。在向下计数模式下，如果 TIMx_CNT > TIMx_CCDAT1，则通道 1 的 OC1REF 信号为高电平，否则为低电平。</p> <p><i>注 1: 在 PWM 模式 1 或 PWM 模式 2 中，OC1REF 电平仅在比较结果改变或输出比较模式从冻结模式切换到 PWM 模式时才会改变。</i></p>
3	OC1PEN	<p>输出比较 1 预加载使能 (Output Compare 1 preload enable)</p> <p>0: 禁用 TIMx_CCDAT1 寄存器的预加载功能。 支持随时对 TIMx_CCDAT1 寄存器进行写操作，写入的值立即生效。</p> <p>1: 使能 TIMx_CCDAT1 寄存器的预加载功能。 仅对预加载寄存器进行读写操作。当更新事件发生时，TIMx_CCDAT1 的值被加载到影子寄存器中。</p> <p><i>注 1: 只有当 TIMx_CTRL1.ONEPM = 1 (在单脉冲模式下) 时，才能使用 PWM 模式而不验证预加载寄存器，否则无法预测其他行为。</i></p>
2	OC1FEN	<p>输出比较1 快速使能 (Output Compare 1 fast enable)</p> <p>该位用于加快CC输出对触发输入事件的响应。</p> <p>0: 根据计数器与CCDAT1的值，CC1正常操作，即使触发器是打开的。当触发器的输入有一个有效沿时，激活CC1输出的最小延时为5个时钟周期。</p> <p>1: 输入到触发器的有效沿的作用就像发生了一次比较匹配。因此，OC1被设置为比较电平而与比较结果无关。采样触发器的有效沿和CC1输出间的延时被缩短为3个时钟周期。</p> <p>OCxFEN只在通道被配置成PWM1或PWM2模式时起作用。</p>
1:0	CC1SEL[1:0]	<p>捕获/比较1 选择。 (Capture/Compare 1 selection)</p> <p>这2位定义通道的方向（输入/输出），及输入脚的选择：</p> <p>00: CC1通道被配置为输出；</p> <p>01: CC1通道被配置为输入，IC1映射在TI1上；</p> <p>10: CC1通道被配置为输入，IC1映射在TI2上；</p> <p>11: CC1通道被配置为输入，IC1映射在TRC上。此模式仅工作在内部触发输入被选中时（由TIMx_SMCTRL寄存器的TSEL位选择）。</p> <p><i>注: CC1SEL 仅在通道关闭时 (TIMx_CCEN 寄存器的CC1EN=0) 才是可写的。</i></p>

输入捕获模式:

15	12	11	10	9	8	7	4	3	2	1	0
		IC2F[3:0]		IC2PSC[1:0]		CC2SEL[1:0]		IC1F[3:0]		IC1PSC[1:0]	
	rw		rw		rw		rw		rw		rw

位域	名称	描述																
15:12	IC2F[3:0]	输入捕获2滤波器 (Input capture 2 filter)																
11:10	IC2PSC[1:0]	输入/捕获2预分频器 (Input capture 2 prescaler)																
9:8	CC2SEL[1:0]	<p>捕获/比较2选择 (Capture/Compare 2 selection) 这2位定义通道的方向 (输入/输出), 及输入脚的选择: 00: CC2通道被配置为输出; 01: CC2通道被配置为输入, IC2映射在TI2上; 10: CC2通道被配置为输入, IC2映射在TI1上; 11: CC2通道被配置为输入, IC2映射在TRC上。此模式仅工作在内部触发输入被选中时 (由TIMx_SMCTRL寄存器的TSEL位选择)。 注: CC2SEL仅在通道关闭时 (TIMx_CCEN寄存器的CC2EN=0) 才是可写的。</p>																
7:4	IC1F[3:0]	<p>输入捕获1滤波器 (Input capture 1 filter) 这几位定义了TI1输入的采样频率及数字滤波器长度。数字滤波器由一个事件计数器组成, 它记录到N个事件后会产生一个输出的跳变:</p> <table> <tr> <td>0000: 无滤波器, 以f_{DTS}采样</td> <td>1000: 采样频率$f_{SAMPLING}=f_{DTS}/8$, N=6</td> </tr> <tr> <td>0001: 采样频率$f_{SAMPLING}=f_{CK_INT}$, N=2</td> <td>1001: 采样频率$f_{SAMPLING}=f_{DTS}/8$, N=8</td> </tr> <tr> <td>0010: 采样频率$f_{SAMPLING}=f_{CK_INT}$, N=4</td> <td>1010: 采样频率$f_{SAMPLING}=f_{DTS}/16$, N=5</td> </tr> <tr> <td>0011: 采样频率$f_{SAMPLING}=f_{CK_INT}$, N=8</td> <td>1011: 采样频率$f_{SAMPLING}=f_{DTS}/16$, N=6</td> </tr> <tr> <td>0100: 采样频率$f_{SAMPLING}=f_{DTS}/2$, N=6</td> <td>1100: 采样频率$f_{SAMPLING}=f_{DTS}/16$, N=8</td> </tr> <tr> <td>0101: 采样频率$f_{SAMPLING}=f_{DTS}/2$, N=8</td> <td>1101: 采样频率$f_{SAMPLING}=f_{DTS}/32$, N=5</td> </tr> <tr> <td>0110: 采样频率$f_{SAMPLING}=f_{DTS}/4$, N=6</td> <td>1110: 采样频率$f_{SAMPLING}=f_{DTS}/32$, N=6</td> </tr> <tr> <td>0111: 采样频率$f_{SAMPLING}=f_{DTS}/4$, N=8</td> <td>1111: 采样频率$f_{SAMPLING}=f_{DTS}/32$, N=8</td> </tr> </table>	0000: 无滤波器, 以 f_{DTS} 采样	1000: 采样频率 $f_{SAMPLING}=f_{DTS}/8$, N=6	0001: 采样频率 $f_{SAMPLING}=f_{CK_INT}$, N=2	1001: 采样频率 $f_{SAMPLING}=f_{DTS}/8$, N=8	0010: 采样频率 $f_{SAMPLING}=f_{CK_INT}$, N=4	1010: 采样频率 $f_{SAMPLING}=f_{DTS}/16$, N=5	0011: 采样频率 $f_{SAMPLING}=f_{CK_INT}$, N=8	1011: 采样频率 $f_{SAMPLING}=f_{DTS}/16$, N=6	0100: 采样频率 $f_{SAMPLING}=f_{DTS}/2$, N=6	1100: 采样频率 $f_{SAMPLING}=f_{DTS}/16$, N=8	0101: 采样频率 $f_{SAMPLING}=f_{DTS}/2$, N=8	1101: 采样频率 $f_{SAMPLING}=f_{DTS}/32$, N=5	0110: 采样频率 $f_{SAMPLING}=f_{DTS}/4$, N=6	1110: 采样频率 $f_{SAMPLING}=f_{DTS}/32$, N=6	0111: 采样频率 $f_{SAMPLING}=f_{DTS}/4$, N=8	1111: 采样频率 $f_{SAMPLING}=f_{DTS}/32$, N=8
0000: 无滤波器, 以 f_{DTS} 采样	1000: 采样频率 $f_{SAMPLING}=f_{DTS}/8$, N=6																	
0001: 采样频率 $f_{SAMPLING}=f_{CK_INT}$, N=2	1001: 采样频率 $f_{SAMPLING}=f_{DTS}/8$, N=8																	
0010: 采样频率 $f_{SAMPLING}=f_{CK_INT}$, N=4	1010: 采样频率 $f_{SAMPLING}=f_{DTS}/16$, N=5																	
0011: 采样频率 $f_{SAMPLING}=f_{CK_INT}$, N=8	1011: 采样频率 $f_{SAMPLING}=f_{DTS}/16$, N=6																	
0100: 采样频率 $f_{SAMPLING}=f_{DTS}/2$, N=6	1100: 采样频率 $f_{SAMPLING}=f_{DTS}/16$, N=8																	
0101: 采样频率 $f_{SAMPLING}=f_{DTS}/2$, N=8	1101: 采样频率 $f_{SAMPLING}=f_{DTS}/32$, N=5																	
0110: 采样频率 $f_{SAMPLING}=f_{DTS}/4$, N=6	1110: 采样频率 $f_{SAMPLING}=f_{DTS}/32$, N=6																	
0111: 采样频率 $f_{SAMPLING}=f_{DTS}/4$, N=8	1111: 采样频率 $f_{SAMPLING}=f_{DTS}/32$, N=8																	
3:2	IC1PSC[1:0]	<p>输入/捕获1预分频器 (Input capture 1 prescaler) 这2位定义了CC1输入 (IC1) 的预分频系数。 一旦TIMx_CCEN.CC1EN=0, 则预分频器复位。</p> <table> <tr> <td>00: 无预分频器, 捕获输入口上检测到的每一个边沿都触发一次捕获;</td> </tr> <tr> <td>01: 每2个事件触发一次捕获;</td> </tr> <tr> <td>10: 每4个事件触发一次捕获;</td> </tr> <tr> <td>11: 每8个事件触发一次捕获。</td> </tr> </table>	00: 无预分频器, 捕获输入口上检测到的每一个边沿都触发一次捕获;	01: 每2个事件触发一次捕获;	10: 每4个事件触发一次捕获;	11: 每8个事件触发一次捕获。												
00: 无预分频器, 捕获输入口上检测到的每一个边沿都触发一次捕获;																		
01: 每2个事件触发一次捕获;																		
10: 每4个事件触发一次捕获;																		
11: 每8个事件触发一次捕获。																		
1:0	CC1SEL[1:0]	<p>捕获/比较1选择 (Capture/Compare 1 Selection) 这2位定义通道的方向 (输入/输出), 及输入脚的选择: 00: CC1通道被配置为输出; 01: CC1通道被配置为输入, IC1映射在TI1上; 10: CC1通道被配置为输入, IC1映射在TI2上; 11: CC1通道被配置为输入, IC1映射在TRC上。此模式仅工作在内部触发输入被选中时 (由TIMx_SMCTRL寄存器的TSEL位选择)。 注: CC1SEL仅在通道关闭时 (TIMx_CCEN寄存器的CC1EN=0) 才是可写的。</p>																

12.4.9 捕获/比较模式寄存器 2 (TIMx_CCMOD2)

偏移地址: 0x1C

复位值: 0x0000

参看以上 CCMOD1 寄存器的描述

输出比较模式:

15	14	12	11	10	9	8	7	6	4	3	2	1	0
OC4CEN	OC4MD[2:0]	OC4PEN	OC4FEN	CC4SEL[1:0]	OC3CEN		OC3MD[2:0]	OC3PEN	OC3FEN	CC3SEL[1:0]			

rw

位域	名称	描述
15	OC4CEN	输出比较4清0使能 (Output compare 4 clear enable)
14:12	OC4MD[2:0]	输出比较4模式 (Output compare 4 mode)
11	OC4PEN	输出比较4预装载使能 (Output compare 4 preload enable)
10	OC4FEN	输出比较4快速使能 (Output compare 4 fast enable)
9:8	CC4SEL[1:0]	捕获/比较4选择 (Capture/Compare 4 selection) 该2位定义通道的方向 (输入/输出), 及输入脚的选择: 00: CC4通道被配置为输出; 01: CC4通道被配置为输入, IC4映射在TI4上; 10: CC4通道被配置为输入, IC4映射在TI3上; 11: CC4通道被配置为输入, IC4映射在TRC上。此模式仅工作在内部触发输入被选中时 (由TIMx_SMCTRL寄存器的TSEL位选择)。 <i>注: CC4SEL 仅在通道关闭时 (TIMx_CCEN 寄存器的CC4EN=0) 才是可写的。</i>
7	OC3CEN	输出比较3清0使能 (Output compare 3 clear enable)
6:4	OC3MD[2:0]	输出比较3模式 (Output compare 3 mode)
3	OC3PEN	输出比较3预装载使能 (Output compare 3 preload enable)
2	OC3FEN	输出比较3快速使能 (Output compare 3 fast enable)
1:0	CC3SEL[1:0]	捕获/比较3选择 (Capture/Compare 3 selection) 这2位定义通道的方向 (输入/输出), 及输入脚的选择: 00: CC3通道被配置为输出; 01: CC3通道被配置为输入, IC3映射在TI3上; 10: CC3通道被配置为输入, IC3映射在TI4上; 11: CC3通道被配置为输入, IC3映射在TRC上。此模式仅工作在内部触发输入被选中时 (由TIMx_SMCTRL寄存器的TSEL位选择)。 <i>注: CC3SEL 仅在通道关闭时 (TIMx_CCEN 寄存器的CC3EN=0) 才是可写的。</i>

输入捕获模式:

15	12	11	10	9	8	7	4	3	2	1	0
IC4F[3:0]	IC4PSC[1:0]	CC4SEL[1:0]		IC3F[3:0]		IC3PSC[1:0]	CC3SEL[1:0]				

rw

rw

rw

rw

rw

rw

位域	名称	描述
15:12	IC4F[3:0]	输入捕获4滤波器 (Input capture 4 filter)
11:10	IC4PSC[1:0]	输入/捕获4预分频器 (Input capture 4 prescaler)
9:8	CC4SEL[1:0]	捕获/比较4选择 (Capture/Compare 4 selection) 这2位定义通道的方向(输入/输出), 及输入脚的选择:

位域	名称	描述
		00: CC4通道被配置为输出; 01: CC4通道被配置为输入, IC4映射在TI4上; 10: CC4通道被配置为输入, IC4映射在TI3上; 11: CC4通道被配置为输入, IC4映射在TRC上。此模式仅工作在内部触发输入被选中时(由TIMx_SMCTRL寄存器的TSEL位选择)。 <i>注: CC4SEL仅在通道关闭时(TIMx_CCEN寄存器的CC4EN=0)才是可写的。</i>
7:4	IC3F[3:0]	输入捕获3滤波器 (Input capture 3 filter)
3:2	IC3PSC[1:0]	输入/捕获3预分频器 (Input capture 3 prescaler)
1:0	CC3SEL[1:0]	捕获/比较3选择 (Capture/compare 3 selection) 这2位定义通道的方向(输入/输出), 及输入脚的选择: 00: CC3通道被配置为输出; 01: CC3通道被配置为输入, IC3映射在TI3上; 10: CC3通道被配置为输入, IC3映射在TI4上; 11: CC3通道被配置为输入, IC3映射在TRC上。此模式仅工作在内部触发输入被选中时(由TIMx_SMCTRL寄存器的TSEL位选择)。 <i>注: CC3SEL仅在通道关闭时(TIMx_CCEN寄存器的CC3EN=0)才是可写的。</i>

12.4.10 捕获/比较使能寄存器 (TIMx_CCEN)

偏移地址: 0x20

复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved	CC4P	CC4EN		Reserved	CC3P	CC3EN		Reserved	CC2P	CC2EN		Reserved	CC1P	CC1EN	
	rw	rw			rw	rw			rw	rw			rw	rw	

位域	名称	描述
15:14	Reserved	保留, 必须保持复位值.
13	CC4P	捕获/比较4输出极性 (Capture/Compare 4 output polarity) 参考TIMx_CCEN.CC1P的描述。
12	CC4EN	捕获/比较4输出使能 (Capture/Compare 4 output enable) 参考TIMx_CCEN.CC1EN 的描述。
11:10	Reserved	保留, 必须保持复位值
9	CC3P	捕获/比较3输出极性 (Capture/Compare 3 output polarity) 参考TIMx_CCEN.CC1P的描述。
8	CC3E	捕获/比较3输出使能 (Capture/Compare 3 output enable) 参考TIMx_CCEN.CC1E 的描述。
7:6	Reserved	保留, 必须保持复位值
5	CC2P	捕获/比较2输出极性 (Capture/Compare 2 output polarity) 参考TIMx_CCEN.CC1P的描述。
4	CC2EN	捕获/比较2输出使能 (Capture/Compare 2 output enable) 参考TIMx_CCEN.CC1EN的描述。
3:2	Reserved	保留, 必须保持复位值
1	CC1P	捕获/比较1输出极性 (Capture/Compare 1 output polarity) CC1对应通道为输出模式时:

位域	名称	描述
		<p>0: OC1 高电平有效 1: OC1 低电平有效</p> <p>CC1对应通道为输入模式时: 此时，该位用于选择是使用IC1还是IC1的反相信号作为触发信号或捕捉信号。</p> <p>0: 非反相: 当 IC1 产生上升沿时发生捕获动作。当用作外部触发时，IC1 是非反相的。 1: 反相: 当 IC1 产生下降沿时发生捕获动作。当用作外部触发时，IC1 被反相。</p>
0	CC1EN	<p>捕获/比较1输出使能 (Capture/Compare 1 output enable)</p> <p>CC1通道配置为输出: 0: 关闭 - OC1禁止输出。 1: 开启 - OC1信号输出到对应的输出引脚。</p> <p>CC1通道配置为输入: 该位决定了计数器的值是否能捕获入TIMx_CCDAT1寄存器。 0: 捕获禁止; 1: 捕获使能。</p>

表 12-4 标准 OCx 的输出控制位

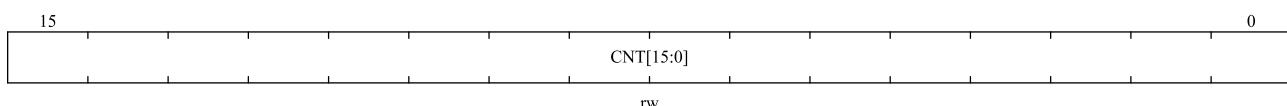
CCxEN	OCx output status
0	Disable output (OCx=0)
1	OCx = OCxREF + polarity

注: 连接到标准 OCx 通道的外部 I/O 引脚的状态取决于 OCx 通道状态以及 GPIO 和 AFIO 寄存器。

12.4.11 计数器 (TIMx_CNT)

偏移地址: 0x24

复位值: 0x0000

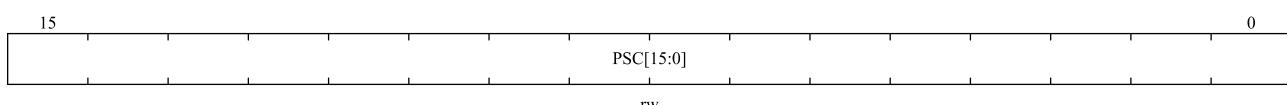


位域	名称	描述
15:0	CNT[15:0]	计数器的值 (Counter value)

12.4.12 预分频器 (TIMx_PSC)

偏移地址: 0x28

复位值: 0x0000

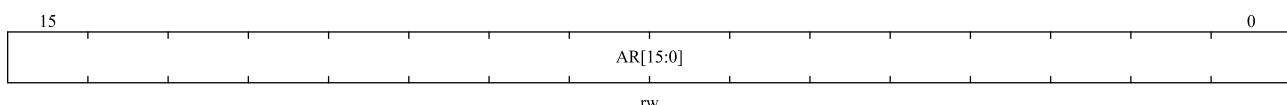


位域	名称	描述
15:0	PSC[15:0]	<p>预分频器的值 (Prescaler value)</p> <p>计数器时钟 $f_{CK_CNT} = f_{CK_PSC} / (PSC [15:0] + 1)$。</p> <p>每次发生更新事件时，PSC 值都会加载到预分频器的影子寄存器中。</p>

12.4.13 自动重装载寄存器 (TIMx_AR)

偏移地址: 0x2C

复位值: 0xFFFF

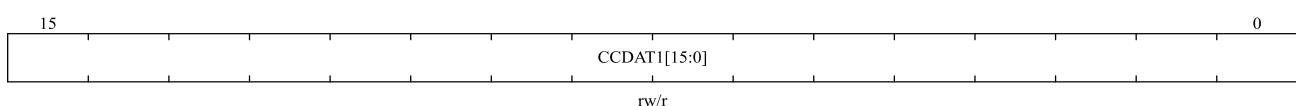


位域	名称	描述
15:0	AR[15:0]	自动重装载的值 (Auto-reload value) AR包含了将要装载入实际的自动重装载寄存器的值。详细参考11.3.1节：有关AR的更新和动作。 当自动重装载的值为空时，计数器不工作。

12.4.14 捕获/比较寄存器 1 (TIMx_CC DAT1)

偏移地址: 0x34

复位值: 0x0000

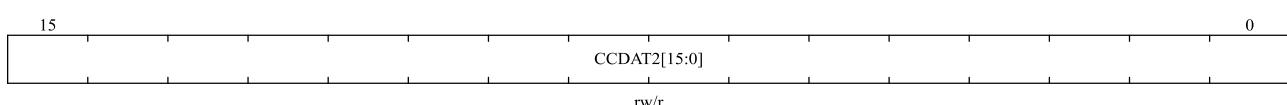


位域	名称	描述
15:0	CC DAT1[15:0]	捕获/比较通道1的值 (Capture/Compare 1 value) <ul style="list-style-type: none"> ■ CC1 通道配置为输出: CC DAT1 包含要与计数器 TIMx_CNT 比较的值，在 OC1 输出上发出信号。 如果未在 TIMx_CCMOD1.OC1PEN 位中选择预加载功能，则写入的值会立即传输到有效寄存器。否则，仅当更新事件发生时，此预加载值才会传输到活动寄存器。 ■ CC1 通道配置为输入: CC DAT1 包含由最后一个输入捕获 1 事件 (IC1) 传输的计数器值。 当配置为输入模式时，寄存器 CC DAT1 只能读取。 当配置为输出模式时，寄存器 CC DAT1 是可读写的。

12.4.15 捕获/比较寄存器 2 (TIMx_CC DAT2)

偏移地址: 0x38

复位值: 0x0000



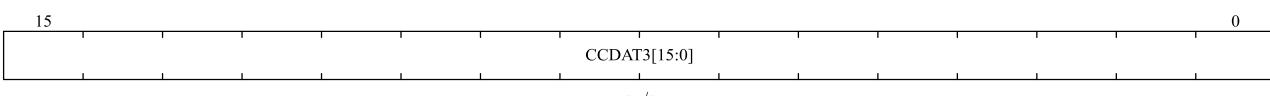
位域	名称	描述
15:0	CC DAT2[15:0]	捕获/比较通道2的值 (Capture/Compare 2 value) <ul style="list-style-type: none"> ■ CC2 通道配置为输出: CC DAT2 包含要与计数器 TIMx_CNT 比较的值，在 OC2 输出上发出信号。 如果未在 TIMx_CCMOD1.OC2PEN 位中选择预加载功能，则写入的值会立即传输到有效寄存器。否则，仅当更新事件发生时，此预加载值才会传输到活动寄存器。

位域	名称	描述
		<ul style="list-style-type: none"> ■ CC2 通道配置为输入: CCDAT2 包含由最后一个输入捕获 2 事件 (IC2) 传输的计数器值。 当配置为输入模式时, 寄存器 CCDAT2 只能读取。 当配置为输出模式时, 寄存器 CCDAT2 是可读写的。

12.4.16 捕获/比较寄存器 3 (TIMx_CC DAT3)

偏移地址: 0x3C

复位值: 0x0000

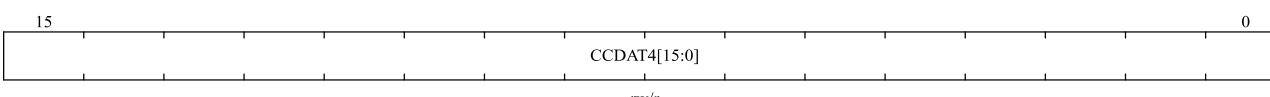


位域	名称	描述
15:0	CCDAT3[15:0]	<p>捕获/比较通道3的值 (Capture/Compare 3 value)</p> <ul style="list-style-type: none"> ■ CC3 通道配置为输出: CCDAT3 包含要与计数器 TIMx_CNT 比较的值, 在 OC3 输出上发出信号。 如果未在 TIMx_CCMOD2.OC3PEN 位中选择预加载功能, 则写入的值会立即传输到有效寄存器。否则, 仅当更新事件发生时, 此预加载值才会传输到活动寄存器。 ■ CC3 通道配置为输入: CCDAT3 包含由最后一个输入捕获 3 事件 (IC3) 传输的计数器值。 当配置为输入模式时, 寄存器 CCDAT3 只能读取。 当配置为输出模式时, 寄存器 CCDAT3 是可读写的。

12.4.17 捕获/比较寄存器 4 (TIMx_CC DAT4)

偏移地址: 0x40

复位值: 0x0000



位域	名称	描述
15:0	CCDAT4[15:0]	<p>捕获/比较通道4的值 (Capture/Compare 4 value)</p> <ul style="list-style-type: none"> ■ CC4 通道配置为输出: CCDAT4 包含要与计数器 TIMx_CNT 比较的值, 在 OC4 输出上发出信号。 如果未在 TIMx_CCMOD2.OC4PEN 位中选择预加载功能, 则写入的值会立即传输到有效寄存器。否则, 仅当更新事件发生时, 此预加载值才会传输到活动寄存器。 ■ CC4 通道配置为输入: CCDAT4 包含由最后一个输入捕获 4 事件 (IC4) 传输的计数器值。 当配置为输入模式时, 寄存器 CCDAT4 只能读取。 当配置为输出模式时, 寄存器 CCDAT4 是可读写的。

12.4.18 DMA 控制寄存器 (TIMx_DCTRL)

偏移地址: 0x48

复位值: 0x0000

15	13	12	8	7	5	4	0
Reserved		DBLEN[4:0]		Reserved		DBADDR[4:0]	

rw

rw

位域	名称	描述
15:13	Reserved	保留, 必须保持复位值
12:8	DBLEN[4:0]	<p>DMA连续传送长度 (DMA burst length) 该位字段定义 DMA 将访问 (写入/读取) TIMx_DADDR 寄存器的次数。</p> <p>00000: 1次传输 00001: 2次传输 00010: 3次传输 ... 10001: 18次传输</p>
7:5	Reserved	保留, 必须保持复位值
4:0	DBADDR[4:0]	<p>DMA基地址 (DMA base address) 该位字段定义 DMA 访问 TIMx_DADDR 寄存器的第一个地址。 当第一次通过 TIMx_DADDR 完成访问时, 该位域指定您刚刚访问的地址。 然后第二次访问TIMx_DADDR, 会访问到“DMA Base Address + 4”的地址</p> <p>00000: TIMx_CTRL1, 00001: TIMx_CTRL2, 00010: TIMx_SMCTRL, 01011: TIMx_AR, 01100: Reserved, 01101: TIMx_CCDAT1, 10000: TIMx_CCDAT4 10010: TIMx_DCTRL</p>

12.4.19 连续模式的 DMA 地址 (TIMx_DADDR)

偏移地址: 0x4C

复位值: 0x0000

15	BURST[15:0]	0

rw

位域	名称	描述
15:0	BURST[15:0]	<p>DMA 访问缓冲区。 当对该寄存器分配读或写操作时, 将访问位于地址范围 (DMA base address + DMA burst length × 4) 的寄存器。 $DMA\ base\ address = The\ address\ of\ TIMx_CTRL1 + TIMx_DCTRL.\ DBADDR * 4;$ $DMA\ burst\ len = TIMx_DCTRL.DBLEN + 1.$ 例子: 如果 $TIMx_DCTRL.DBLEN = 0x3$ (4 次传输), $TIMx_DCTRL.DBADDR = 0xD$</p>

位域	名称	描述
		<p>(TIMx_CCDAT1), DMA 数据长度 = 半字, DMA 存储器地址 = SRAM 中的缓冲区地址, DMA 外设地址 = TIMx_DADDR 地址。</p> <p>当事件发生时, TIMx 将向 DMA 发送请求, 并传输 4 次数据。</p> <p>第一次, 对 TIMx_DADDR 寄存器的 DMA 访问将映射到访问 TIMx_CCDAT1 寄存器;</p> <p>第二次, 对 TIMx_DADDR 寄存器的 DMA 访问将映射到访问 TIMx_CCDAT2 寄存器;</p> <p>.....</p> <p>第四次, 对 TIMx_DADDR 寄存器的 DMA 访问将映射到访问 TIMx_CCDAT4 寄存器;</p>

13 基本定时器 (TIM6 和 TIM7)

13.1 简介

基本定时器 TIM6 和 TIM7 各包含一个 16 位自动装载计数器。

这 2 个定时器是互相独立的，不共享任何资源。

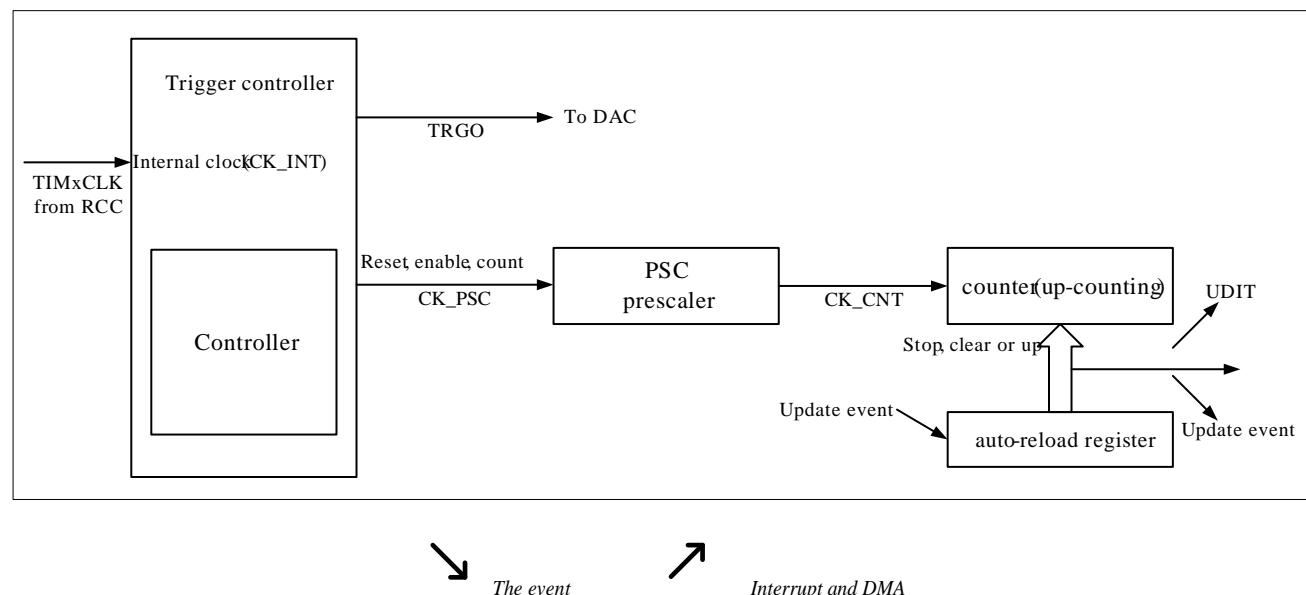
基本定时器可以为通用定时器提供时间基准。

基本定时器在芯片内部直接连接到 DAC 并通过触发输出直接驱动 DAC。

13.2 主要特性

- 16 位自动重载向上计数计数器。
- 16 位可编程预分频器。(分频系数可配置为 1 到 65536 之间的任意值)
- 触发 DAC 的同步电路
- 产生中断/DMA 的事件如下：
 - ◆ 更新事件

图 13-1 TIMx 的框图 (x = 6/7)



13.3 功能描述

13.3.1 时基单元

时基单元主要包括：预分频器、计数器、自动重载和重复计数器。当时基单元工作时，软件可以随时读写相应的寄存器 (TIMx_PSC、TIMx_CNT 和 TIMx_AR)。

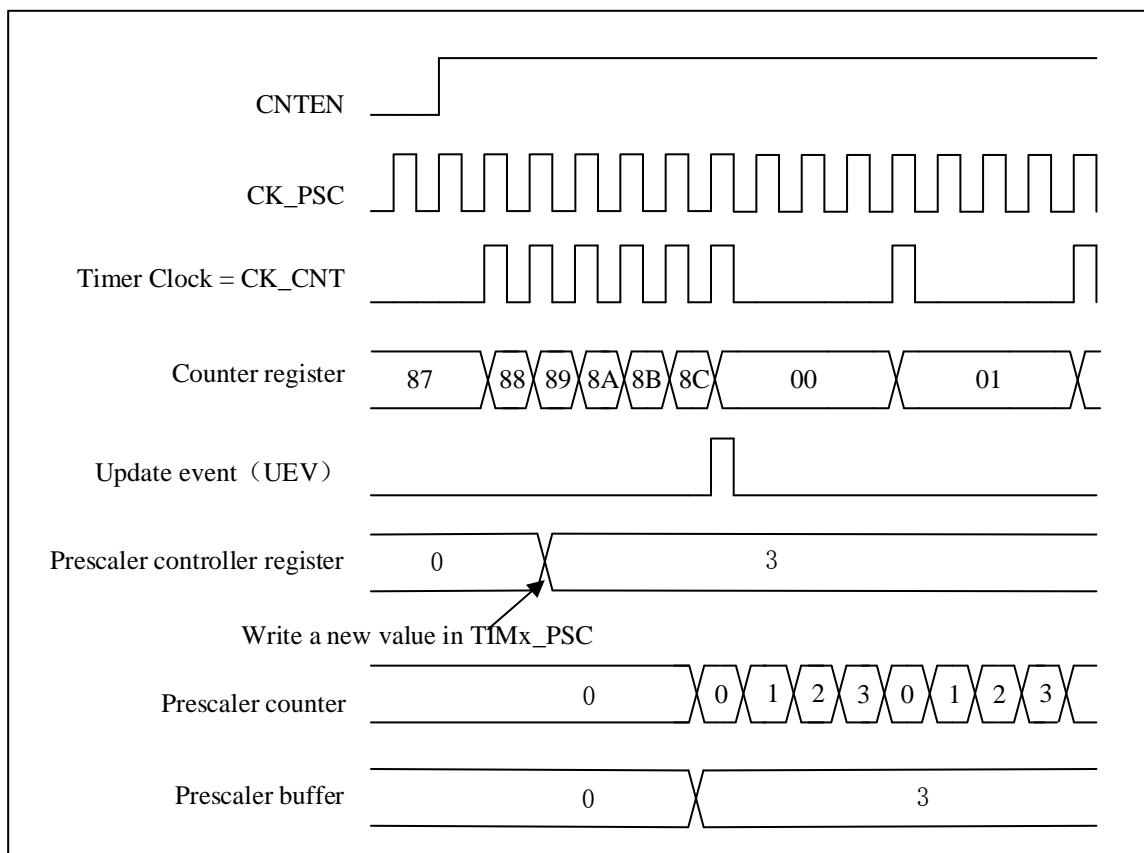
根据自动重载预加载使能位(TIMx_CTRL1.AR PEN)的设置，预加载寄存器的值会立即或在每次更新事件

UEV 时传输到影子寄存器。TIMx_CTRL1.UPDIS=0 时，当计数器达到上溢条件或软件设置 TIMx_EVTGEN.UDGN 位，将生成更新事件。仅当 TIMx_CTRL1.CNTEN 位置位时，计数器 CK_CNT 才有效。计数器在 TIMx_CTRL1.CNTEN 位置位后一个时钟周期开始计数。

13.3.1.1 预分频器描述

TIMx_PSC 寄存器包含一个 16 位计数器，可用于将计数器时钟频率除以 1 到 65536 之间的任何因子。它可以在缓冲时动态更改。仅在下一次更新事件时才考虑预分频器值。

图 13-2 预分频器分频从 1 到 4 的计数器时序图



13.3.2 计数模式

13.3.2.1 向上计数模式

在向上计数模式下，计数器会从 0 计数到寄存器 TIMx_AR 的值，然后复位为 0。并产生计数器溢出事件。

如果设置了 TIMx_CTRL1.UPRS 位(选择更新请求)和 TIMx_EVTGEN.UDGN 位，则会生成更新事件(UEV)，并且不会由硬件设置 TIMx_STS.UDITF。因此，不会产生更新中断或更新 DMA 请求。此设置用于您想要清除计数器但不想产生更新中断的场景。

取决于 TIMx_CTRL1.UPRS 的配置，当更新事件发生时，TIMx_STS.UDITF 被设置，所有寄存器都被更新：

- 当 TIMx_CTRL1.AR PEN =1 时，使用预加载值(TIMx_AR)更新自动重载影子寄存器。
- 预分频器影子寄存器重新加载预加载值(TIMx_PSC)。

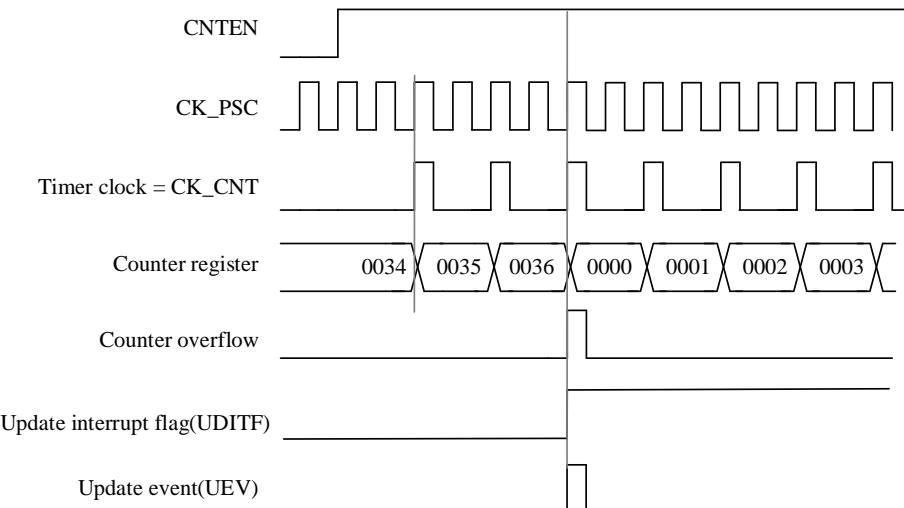
为避免在将新值写入预加载寄存器时更新影子寄存器，您可以通过设置 TIMx_CTRL1.UPDIS=1 来禁用更新。

当更新事件发生时，计数器仍将被清零，预分频器计数器也将设置为 0（但预分频器值将保持不变）。

下图显示了向上计数模式下不同除法因子的计数器行为和更新标志的一些示例。

图 13-3 向上计数时序图，内部时钟分频因子 = 2/N

Internal clock divided by 2



Internal clock divided by N

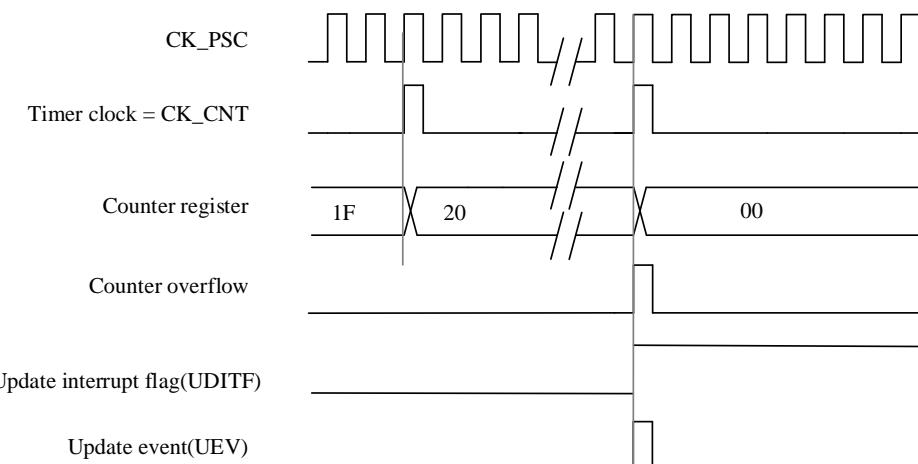
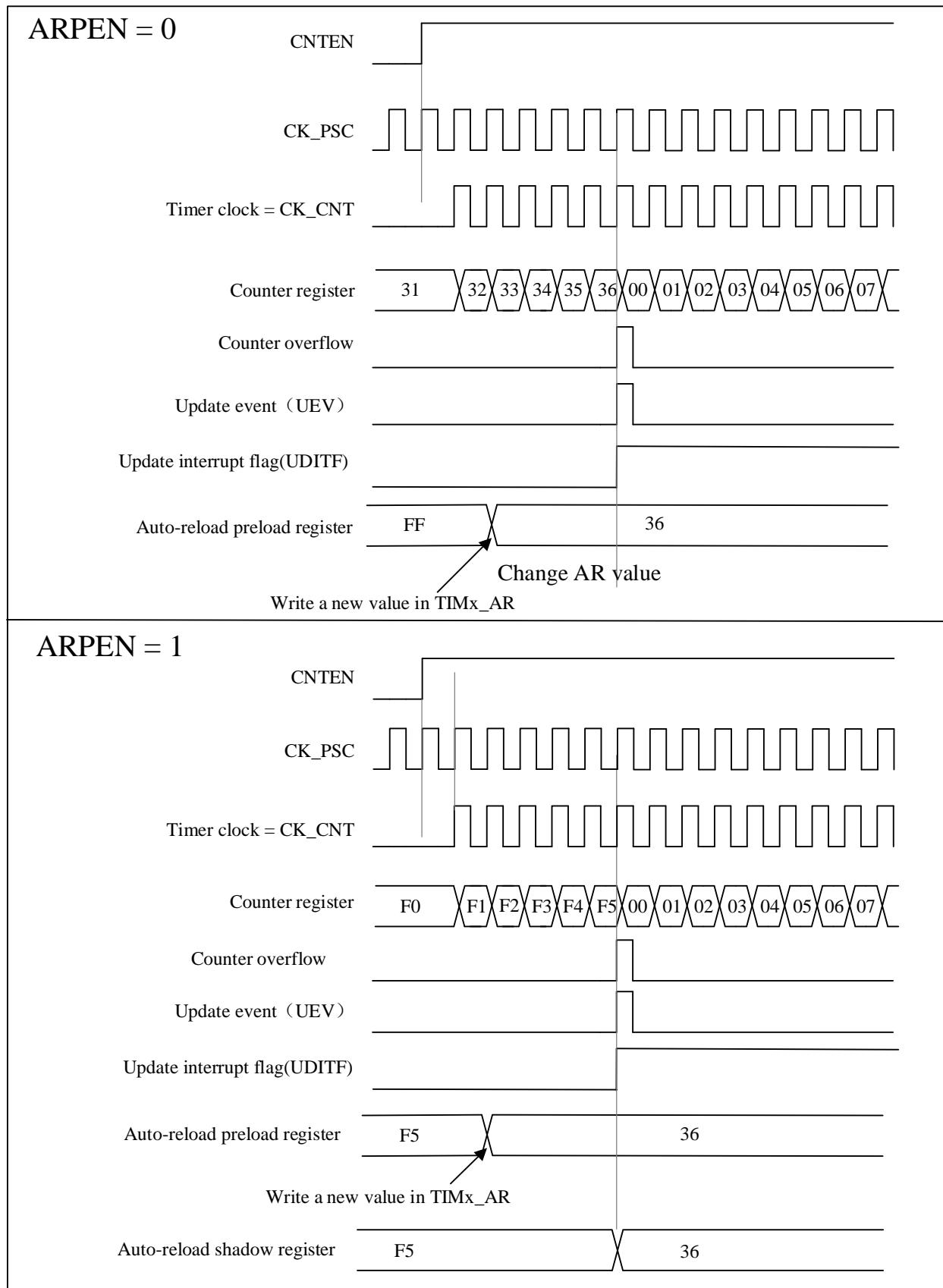


图 13-4 ARPEN=0/1 时向上计数、更新事件的时序图



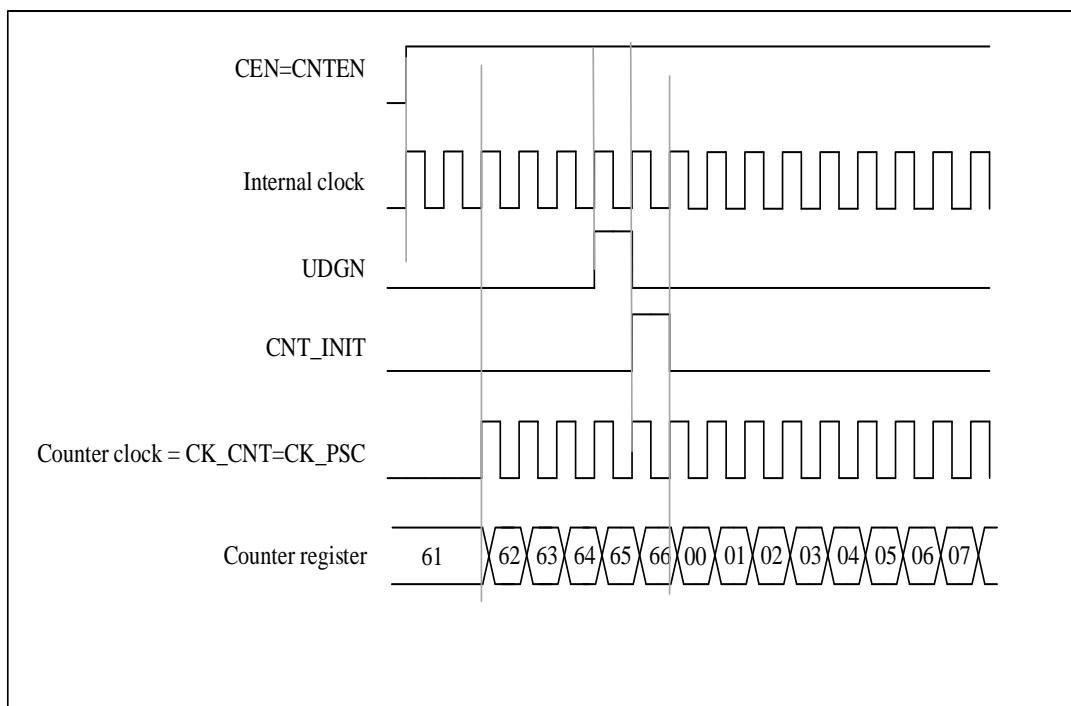
13.3.3 时钟选择

- #### ■ 定时器内部时钟: CK_INT

13.3.3.1 内部时钟源 (CK_INT)

前提是 TIMx_CTRL1.CNTEN 位由软件写为'1', 预分频器的时钟源由内部时钟 CK_INT 提供。

图 13-5 正常模式下的控制电路，内部时钟分频系数为 1



13.3.4 调试模式

当微控制器处于调试模式（Cortex-M4 内核停止）时，根据 DBG_CTRL.TIMx_STOP 配置，TIMx 计数器可以继续正常工作或停止。有关详细信息，请参阅 29.4.3 节。

13.4 TIMx 寄存器 (x=6/7)

有关寄存器中使用的缩写，请参阅第 1.1 节

这些外设寄存器可以作为半字(16位)或一个字(32位)操作。

13.4.1 寄存器总览

表 13-1 寄存器总览

13.4.2 控制寄存器 1 (TIMx_CTRL1)

地址偏移: 0x00

复位值: 0x0000

15																0
	Reserved															
					ARPEN			Reserved				ONEPM	UPRS	UPDIS	CNTEN	

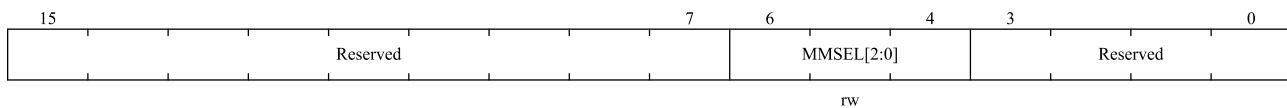
位域	名称	描述
15:8	Reserved	保留, 必须保持复位值
7	ARPEN	自动重装载预装载允许位 (Auto-reload preload enable) 0: TIMx_AR 寄存器的影子寄存器禁用 1: TIMx_AR 寄存器的影子寄存器使能
6:4	Reserved	保留, 必须保持复位值
3	ONEPM	单脉冲模式 (One pulse mode) 0: 禁用单脉冲模式, 发生更新事件时不影响计数器计数。 1: 使能单脉冲模式, 计数器在下一次更新事件发生时停止计数 (清 TIMx_CTRL1.CNTEN 位)。
2	UPRS	更新请求源 (Update request source) 该位用于通过软件选择 UEV 事件源。

位域	名称	描述
		<p>0: 如果更新中断或 DMA 请求使能, 以下任何事件都会产生更新中断或 DMA 请求:</p> <ul style="list-style-type: none"> - 计数器溢出 - TIMx_EVTGEN.UDGN 位被设置 <p>1: 如果更新中断或 DMA 请求使能, 只有计数器溢出会产生更新中断或 DMA 请求</p>
1	UPDIS	<p>禁止更新 (Update disable) 该位用于启用/禁用软件生成的更新事件 (UEV) 事件。</p> <p>0: 启用UEV。如果满足以下条件之一, 将生成UEV:</p> <ul style="list-style-type: none"> - 计数器溢出 - TIMx_EVTGEN.UDGN 位被设置 <p>影子寄存器将使用预加载值进行更新。</p> <p>1: UEV禁用。不生成更新事件, 影子寄存器 (AR、PSC) 保持其值。如果设置了 TIMx_EVTGEN.UDGN位, 则重新初始化计数器和预分频器。</p>
0	CNTEN	<p>使能计数器 (Counter enable)</p> <p>0: 禁止计数器;</p> <p>1: 使能计数器。</p>

13.4.3 控制寄存器 2 (TIMx_CTRL2)

偏移地址: 0x04

复位值: 0x0000

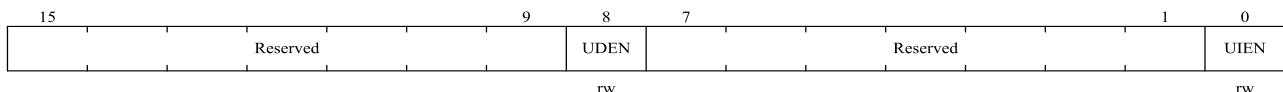


位域	名称	描述
15:7	Reserved	保留, 必须保持复位值
6:4	MMSEL[2:0]	<p>主模式选择 (Master mode selection) 这 3 位用于选择在主模式下发送到从定时器的同步信息 (TRGO)。可能的组合如下:</p> <p>000: 复位 - 当 TIMx_EVTGEN.UDGN 置位或从模式控制器产生复位时, 将出现 TRGO 脉冲。在后一种情况下, TRGO 上的信号与实际复位相比有所延迟。</p> <p>001: 使能 - TIMx_CTRL1.CNTEN 位用作触发输出 (TRGO)。有时需要同时启动多个定时器或者在一段时间内开启从定时器。</p> <p>当 TIMx_CTRL1.CNTEN 位置位或门控模式下的触发输入为高电平时, 计数器使能信号置位。</p> <p>010: 更新 - 选择更新事件作为触发输出 (TRGO)。例如, 主定时器时钟可用作从定时器预分频器。</p> <p>011: 比较脉冲 - 当 TIMx_STS.CC1ITF 被设置时 (即使它已经是高电平), 即捕获或比较成功时, 触发输出发送一个正脉冲 (TRGO)。</p>
3:0	Reserved	保留, 必须保持复位值

13.4.4 DMA/中断使能寄存器 (TIMx_DINTEN)

地址偏移: 0x0C

复位值: 0x0000

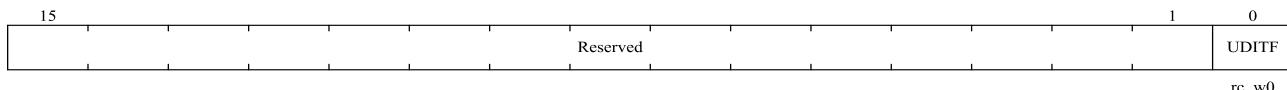


位域	名称	描述
15:9	Reserved	保留, 必须保持复位值
8	UDEN	更新DMA请求使能 (Update DMA request enable) 0: 禁止更新DMA请求 1: 使能更新DMA请求
7:1	Reserved	保留, 必须保持复位值
0	UIEN	更新中断使能 (Update interrupt enable) 0: 禁止更新中断 1: 使能更新中断

13.4.5 状态寄存器 (TIMx_STS)

地址偏移: 0x10

复位值: 0x0000

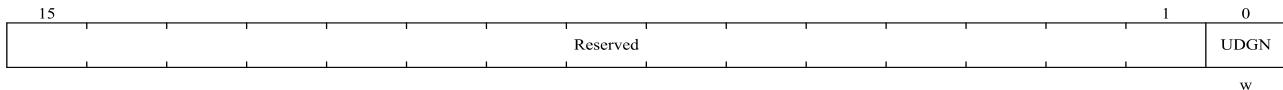


位域	名称	描述
15:1	Reserved	保留, 必须保持复位值
0	UDITF	更新中断标志 (Update interrupt flag) 当在以下条件下发生更新事件时, 该位由硬件设置: – 当 TIMx_CTRL1.UPDIS = 0 且计数器值溢出时。 – 当 TIMx_CTRL1.UPRS = 0 时, TIMx_CTRL1.UPDIS = 0, 并通过软件设置 TIMx_EVTGEN.UDGN 位以重新初始化 CNT。 该位由软件清零。 0: 未发生更新事件 1: 发生更新中断

13.4.6 事件产生寄存器 (TIMx_EVTGEN)

地址偏移: 0x14

复位值: 0x0000

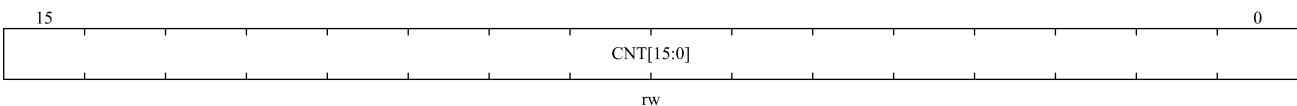


位域	名称	描述
15: 1	Reserved	保留, 必须保持复位值
0	UDGN	<p>产生更新事件 (Update generation) 软件可以设置该位来更新配置寄存器的值, 硬件会自动清除它。</p> <p>0: 无效果。 1: 定时器计数器将重新启动, 所有影子寄存器将被更新。 它也将重新启动预分频器计数器。</p>

13.4.7 计数器 (TIMx_CNT)

地址偏移: 0x24

复位值: 0x0000

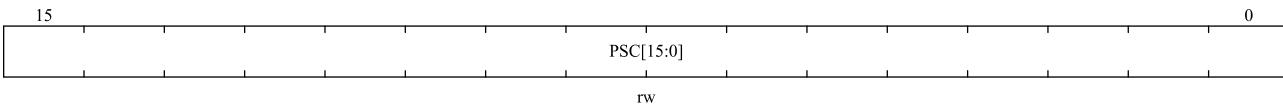


位域	名称	描述
15:0	CNT[15:0]	计数器数值 (Counter value)

13.4.8 预分频器 (TIMx_PSC)

地址偏移: 0x28

复位值: 0x0000

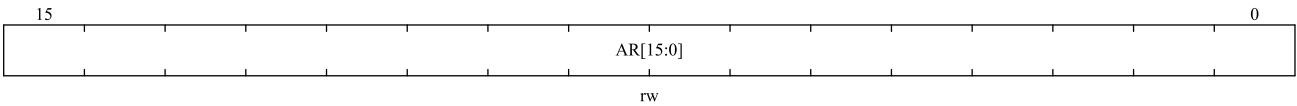


位域	名称	描述
15:0	PSC[15:0]	<p>预分频器数值 (Prescaler value) PSC寄存器值将在更新事件时更新到预分频器寄存器。计数器时钟频率是输入时钟分频 PSC+1。</p>

13.4.9 自动重装载寄存器 (TIMx_AR)

地址偏移: 0x2C

复位值: 0xFFFF



位域	名称	描述
15:0	AR[15:0]	<p>自动重装载数值（Auto-reload value）</p> <p>这些位定义将加载到实际自动重载寄存器中的值。</p> <p>有关详细信息，请参阅 13.3.1。</p> <p>当TIMx_AR.AR [15:0]值为空时，计数器不工作。</p>

14 实时时钟(RTC)

14.1 简介

- 实时时钟 (RTC) 是一个独立的 BCD 定时器/计数器
- 软件支持夏时令补偿
- 可编程周期性自动唤醒定时器
- 两个 32 位寄存器包含时、分、秒、年、月、日（几号）、星期（星期几）
- 独立的 32 位寄存器包含亚秒
- 两个编程闹钟
- 两个 32 位寄存器包含编程闹钟时、分、秒、年、月、日（几号）、星期（星期几）
- 两个独立的 32 位寄存器包含编程闹钟亚秒
- 数字精密校准功能
- 时间戳功能
- 在 Backup 域复位后，所有 RTC 寄存器都受到保护，以防止可能的意外写访问
- 多个中断/事件唤醒源，包括闹钟 A、闹钟 B、唤醒定时器、时间戳
- RCC 寄存器使能 RTC 模块且电压保持在工作范围内，RTC 在任何模式下都不会停止（包括 RUN 模式、SLEEP 模式、STOP0 模式、STOP2 模式和 STANDBY 模式）
- RTC 提供多种唤醒源可以使 MCU 从所有的低功耗模式下唤醒（SLEEP 模式，STOP0 模式，STOP2 模式和 STANDBY 模式）

14.1.1 主要特性

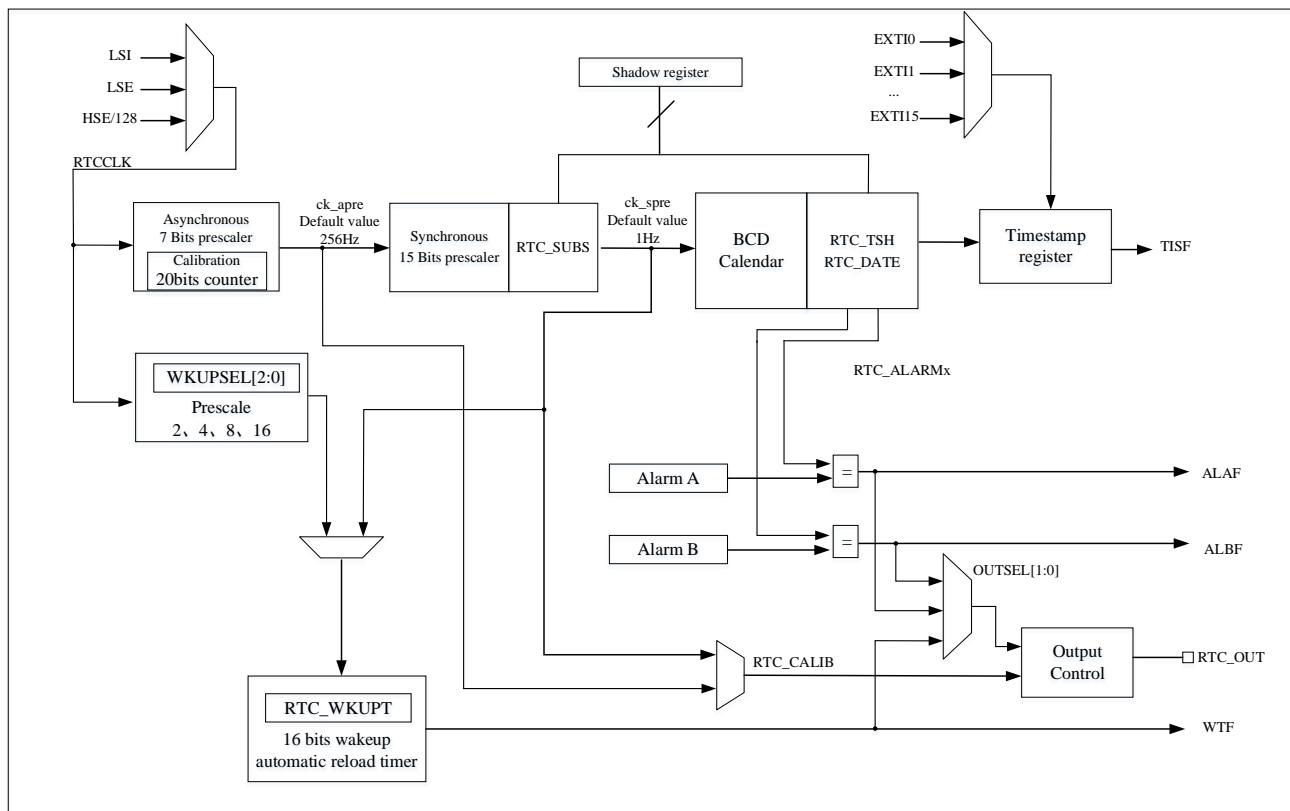
表 14-1 RTC 功能支持

主要功能	描述
时钟	RTC 时钟源可以选择 LSI、LSE 或 HSE/128
复位	APB 接口被系统复位， RTC 模块通过 APB 同步的一些寄存器会被复位 RTC 内核可以通过备份域复位而复位
日历	日历包含亚秒、秒、分、时（12 小时或 24 小时制）、星期、日、月、年，这些数据都存在 APB 模块的影子寄存器中。
唤醒计数器	输出寄存器 RTC_OUT 可以配置为发送唤醒事件到 GPIO，同时我们可以选择中断/事件来唤醒 CPU 的 SLEEP、STOP0、STOP2 模式。
闹钟	RTC_OUT 配置输出到 GPIO，也可以唤醒 CPU 或触发 PWR 在匹配发生时从 SLEEP、STOP0、STOP2 和 STANDBY 模式中唤醒
时间戳	GPIO 事件可触发保存时间戳功能。
中断/事件	闹钟 A/闹钟 B 中断/事件 唤醒中断/事件 时间戳中断/事件

14.2 RTC 功能描述

14.2.1 RTC 框图

图 14-1 RTC 功能框图



RTC 包括以下功能模块：

- Alarm A 和 Alarm B 事件/中断
- 时间戳事件/中断
- RTC 输出功能：
 - ◆ 256 Hz 或者 1Hz 时钟输出(当 LSE 频率是 32.768 kHz)
 - ◆ 闹钟输出（极性可配置），闹钟 A 和闹钟 B 可选
 - ◆ 自动唤醒输出（极性可配置）
- RTC 输入功能：
 - ◆ 时间戳事件检测
- 通过配置输出寄存器控制 PC13：
 - ◆ 设置 RTC_OPT.TYPE 位配置 PC13 开漏/推挽输出

14.2.2 RTC 控制的 GPIO

时间戳输入来自 IOM (映射到 PC13) 或者 EXTI 模块, 如果是 EXTI 模块, 具体请参考时间戳触发源选择 (EXTI_TS_SEL)。

RTC_OUT (闹钟、唤醒事件或者校准输出 (256Hz 或者 1Hz)) 映射到 PC13, 不管 PC13 GPIO 是什么配置, PC13 的引脚配置由 RTC 控制为输出。

14.2.3 RTC 寄存器写保护

PWR_CTRL.DBKP 位(见电源控制部分) 默认被清除, 所以 PWR_CTRL.DBKP 必须置 1 去使能 RTC 寄存器写功能。一旦备份域复位, 所有的 RTC 写保护寄存器都会写保护, 所有的 RTC 写保护寄存器需要按如下步骤去解锁写保护:

- 将 0xCA 写入 RTC_WRP 寄存器
- 将 0x53 写入 RTC_WRP 寄存器

在解锁这些寄存器后, 可以通过清除 PWR_CTRL.DBKP 位激活写保护。解锁机制只检查 RTC_WRP 寄存器的写操作。在解锁过程中、解锁前、解锁后, 对其他寄存器的写操作不会影响解锁结果。

14.2.4 RTC 时钟和预分频

RTC 时钟源:

- LSE 时钟
- LSI 时钟
- HSE/128 时钟

为了降低功耗, 将预分频器分为异步预分频器和同步预分频器。如果同时使用两个预分频器, 建议异步预分频器的值尽可能大。

- 7 位异步预分频器由 RTC_PRE.DIVA[6:0] 位控制
- 15 位同步预分频器由 RTC_PRE.DIVS[14:0] 位控制

f_{ck_apre} 和 f_{ck_spre} 公式如下:

$$f_{ck_apre} = \frac{f_{RTCCCLK}}{RTC_PRE.DIVA[6:0]+1}$$

$$f_{ck_spre} = \frac{f_{RTCCCLK}}{(RTC_PRE.DIVS[14:0]+1)*(RTC_PRE.DIVA[6:0]+1)}$$

ck_apre 时钟用于对 RTC_SUBS 亚秒递减计数器提供时钟。当到达 0 时, 用 RTC_PRE.DIVS[14:0]的值重新加载 RTC_SUBS。

14.2.5 RTC 日历

这里有三个影子寄存器, 分别是 RTC_DATE, RTC_TSH 和 RTC_SUBS。RTC 时间和日期寄存器可以通过影子寄存器访问。也可以直接访问, 以避免等待同步时间。这三个影子寄存器如下:

- RTC_DATE: 设置和读取日期
- RTC_TSH: 设置和读取时间
- RTC_SUBS: 读取亚秒

每隔两个 RTCCLK 周期之后，将当前的日历值复制到影子寄存器中，并将 RTC_INITSTS.RSYF 位置为 1。此过程在低功耗(停止和待机)模式下不执行。当退出这些模式时，影子寄存器在 2 个 RTCCLK 周期后更新值。

默认情况下，当用户尝试访问日历寄存器时，它将访问影子寄存器的内容。用户可以通过设置 RTC_CTRL.BYPS 位直接访问日历寄存器。

当 RTC_CTRL.BYPS=0，日历从影子寄存器获取值，当读 RTC_SUBS、RTC_TSH 或 RTC_DATE 寄存器时，有必要确保 APB1 时钟的频率(f_{APB1})至少 7 倍于 RTC 时钟频率(f_{RTCCLK})，而且不允许出现 APB1 时钟频率低于 RTC 时钟频率的情况。系统复位将复位影子寄存器。

14.2.6 日历初始化和配置

预分频值和日历值可通过以下步骤进行初始化：

- 通过设置 RTC_INITSTS.INITM 位为 1 进入初始模式，然后等待 RTC_INITSTS.INITF 位被置 1
- 设置 RTC_PRE.DIVS[14:0] 和 RTC_PRE.DIVA[6:0] 位
- 写入初始日历值，包括时间和日期到影子寄存器 (RTC_TSH 和 RTC_DATE)，通过 RTC_CTRL.HFMT 位配置时间格式 (12 小时或 24 小时制)
- 通过清除 RTC_INITSTS.INITM 位退出初始化模式

日历计数器的值将在 4 个 RTCCLK 时钟周期后自动从影子寄存器加载，然后重新启动日历计数器。

14.2.7 日历读取

1. 当 RTC_CTRL.BYPS=0 时读取日历

如果 RTC_CTRL.BYPS=0，则从影子寄存器读取日历值。为了正确读取 RTC 日历寄存器(RTC_SUBS, RTC_TSH 和 RTC_DATE)，APB1 时钟频率必须设置为大于 RTC 时钟频率的 7 倍。在任何情况下，APB1 时钟频率都不能小于 RTC 时钟频率。

如果 APB1 时钟频率不大于或不等于 RTC 时钟频率的 7 倍，请参考下面的步骤读取日历值：

- 读取 RTC_SUBS 、 RTC_TSH 和 RTC_DATE 值两次
- 比较两次读到的数据，如果相等，则认为读到的数据是正确的，如果不相等，需要读第三次数据
- 第三次读到的数据可以认为是正确的

影子寄存器(RTC_SUBS, RTC_TSH 和 RTC_DATE)每两个 RTCCLK 周期更新一次。如果用户希望在短时间内(小于两个 RTCCLK 周期)读取日历值，则第一次读取后必须软件清除 RTC_INITSTS.RSYF 位。

在一些情况下，在读取日历之前需要等待 RTC_INITSTS.RSYF 位被置 1。

- 从低功耗模式(停机或待机模式)唤醒后，清除 RTC_INITSTS.RSYF 位，然后等待 RTC_INITSTS.RSYF 位重新置 1。

- 系统复位。
- 日历完成初始化。
- 日历完成同步。

2. 当 RTC_CTRL.BYPS=1 时读取日历

如果 RTC_CTRL.BYPS=1，直接从日历计数器中读取日历值。这种配置的优点是，从低功耗模式唤醒后读取日历值没有延迟，缺点是 RTC_SUBS、RTC_TSH 和 RTC_DATE 的这些数据可能不是同一时刻的。

为了保证读取的日历值的正确性，需要分别读取 RTC_SUBS、RTC_TSH 和 RTC_DATE 两次，然后对两次读取的数据进行比较，如果两者相等，则认为读取的数据是正确的。

14.2.8 校准时钟输出

当 RTC_CTRL.COEN 位置 1，PC13 引脚将输出校准时钟。如果 RTC_CTRL.CALOSEL=0 和 RTC_PRE.DIVA[6:0] = 0x7F，RTC_CALIB 频率结果为 $f_{RTCCLK}/RTC_PRE.DIVA[6:0]$ 。当 RTCCLK 频率为 32.768 kHz 时，校准输出 256Hz。由于下降沿有轻微的抖动，建议使用上升沿。

当 RTC_CTRL.CALOSEL=1，“RTC_PRE.DIVS[14:0]+1”是 256 的非零整数倍，RTC_CALIB 频率由公式 $f_{RTCCLK}/(256 * (DIVA+1))$ 给出。当 RTCCLK 频率为 32.768 kHz 和 RTC_PRE.DIVA[6:0] = 0x7F 时，校准输出 1Hz。

注意：当选择 RTC_CALIB 或 RTC_ALARM 输出时，RTC_OUT 引脚(PC13)被自动配置为输出。

14.2.9 可编程闹钟

RTC 有 2 个可编程闹钟：闹钟 A 和闹钟 B。

通过 RTC_CTRL.ALxEN 位可以使能或关闭 RTC 闹钟。如果 Alarm 值与日历值相匹配，则 RTC_INITSTS.ALxF 标志被置 1。如果 RTC_CTRL.ALxIEN 使能，可以选择任意日历字段来触发闹钟中断。

闹钟输出：当 RTC_CTRL.OUTSEL[1:0] 配置后，闹钟 A 或闹钟 B 可以映射到 RTC_ALxRM 输出，可以通过 RTC_CTR.OPOL 位配置输出极性。

注意：当秒字段被选择(RTC_ALARMx.MASK1 位复位)，RTC_PRE.DIVS[14:0] 必须大于 3，以保证正确操作。

14.2.10 闹钟配置

闹钟 A 和闹钟 B 配置步骤如下：

- 通过清除 RTC_CTRL.ALAEN/RTC_CTRL.ALBEN 位失能闹钟 A/闹钟 B
- 配置闹钟 x 寄存器 (RTC_ALRMxSS/RTC_ALARMx)
- 通过设置 RTC_CTRL.ALAIEN/RTC_CTRL.ALBIEN 位为 1 使能闹钟 A/闹钟 B 中断（这一步根据需要添加）
- 通过设置 RTC_CTRL.ALAEN/RTC_CTRL.ALBEN 位为 1 使能闹钟 A/闹钟 B

14.2.11 闹钟输出

当 RTC_CTRL.OUTSEL[1:0] !=0，RTC_ALARM 输出功能开启。根据 RTC_CTRL.OUTSEL[1:0] 的值选择闹钟

A 输出、闹钟 B 输出或者唤醒输出。

RTC_CTRL.OPOL 位控制闹钟 A、闹钟 B 或唤醒输出的极性。

RTC_OPT.TYPE 位控制 RTC_ALARM 引脚开漏或者推挽输出。

选择 RTC_CALIB 或 RTC_ALARM 输出时，RTC_OUT 引脚（PC13）会自动配置为输出。

14.2.12 周期性自动唤醒

16 位可编程自动加载计数器可以在达到 0 时产生周期性唤醒标志。它也可以将唤醒定时器的范围扩展到 17 位。通过设置 RTC_CTRL.WTEN 可以启用周期性自动唤醒功能。

可以选择两种唤醒输入时钟源：

- 2、4、8 或 16 分频的 RTC 时钟（RTCCLK）。

假设 RTCCLK 来自 LSE (32.768KHz)，分辨率为 61us，可以配置唤醒中断周期为 122us ~ 32s。

- 内部时钟 ck_spre.

- ◆ 假设 ck_spre 频率为 1Hz，可用唤醒时间范围为 2s ~ 18h，分辨率为 1 秒
- ◆ 当 RTC_CTRL.WKUPSEL [2:0] = 10x，周期范围为 2s 到 18h

当 RTC_CTRL.WTEN 位设置为 1 之后，向下计数器正在运行，当它达到 0 时，RTC_INITSTS.WTF 位会被置 1，通过设置 RTC_CTRL.WTIEN 位为 1，当周期性唤醒中断被启用触发时，设备可以退出除 standby 模式外的低功耗模式。

周期性唤醒输出：当 RTC_CTRL.OUTSEL[1:0]选择周期性唤醒后可以映射到 RTC_ALxRM 输出，自动将 RTC_OUT 引脚(PC13)配置为输出，输出极性可由 RTC_CTR.OPOL 位配置。

14.2.13 唤醒定时器配置

唤醒计时器自动重新加载值配置如下：

- 通过清除 RTC_CTRL.WTEN 关闭唤醒定时器，然后等待 RTC_INITSTS.WTWF 标志位被置 1
- 通过设置 RTC_CTRL.WKUPSEL[2:0]选择唤醒定时器时钟
- 通过设置 RTC_WKUPT.WKUPT[15:0]配置唤醒自动重加载值
- 通过设置 RTC_CTRL.WTIEN 位使能唤醒中断（此步可根据需要选择）
- 通过设置 RTC_CTRL.WTEN 位开启唤醒定时器

14.2.14 时间戳功能

时间戳可以通过将 RTC_CTRL.TSEN 位设置为 1 来启用。当在 RTC_TS 引脚上检测到时间戳事件时，该事件的日历值将存储在时间戳寄存器（RTC_TSSS、RTC_TST、RTC_TSD）中，并且 RTC_INITSTS.TISF 位被设置为 1。如果在 RTC_INITSTS.TISF 已经设置为 1 时检测到新的时间戳事件，则硬件将 RTC_INITSTS.TISOVF 标志设置为 1，并且时间戳寄存器（RTC_TST 和 RTC_TSD）将继续保存前一个事件的值，这意味着当 RTC_INITSTS.TISF=1 时，时间戳寄存器（RTC_TST 和 RTC_TSD）数据不会改变。

在同步过程引起的时间戳事件再次发生后，RTC_INITSTS.TISF 在 2 个 RTC_CLK 周期内设置为 1。

RTC_INITSTS.TISOVF 的生成没有延迟。这意味着如果两个时间戳事件非常接近，这可能导致 RTC_INITSTS.TISOVF 为“1”而 RTC_INITSTS.TISF 为“0”。因此，在检测到 RTC_INITSTS.TISF 为“1”后，再检测 RTC_INITSTS.TISOVF 位。

如果启用时间戳事件，时间戳将在时间戳寄存器中捕获读取的日历。时间戳事件可以在 EXTI 选择的 16 个 GPIO 端口中的任何一个上生成。通过设置相应的 EXTI_TS_SEL.TSSEL[3:0] 位来选择任一端口的 GPIO 引脚。

14.2.15 夏时令功能配置

夏令时功能可通过 RTC_CTRL.SU1H、RTC_CTRL.AD1H 和 RTC_CTRL.BAKP 位控制。设置 RTC_CTRL.SU1H 位为 1 时日历会减一小时，设置 RTC_CTRL.AD1H 为 1 时会增加一小时。RTC_CTRL.BAKP 位可用于记住或不记住此调整。

14.2.16 RTC 亚秒寄存器位移操作

当日历的值与外部精密时钟相比有亚秒级的偏差时，可以使用移位功能来提高日历的精度。

日历可以使用 RTC_SCTRL.SUB1S 和 RTC_SCTRL.ADFS[14:0]位来控制最大延迟或提前 1s。调整分辨率为 1/(RTC_PRE.DIVS[14:0]+1)，表示 RTC_PRE.DIVS[14:0]的值越大，分辨率越高。为了使同步预分频器输出保持在 1Hz，RTC_PRE.DIVS[14:0]越高意味着 RTC_PRE.DIVA[6:0]越低，则功耗越大。

注意：在开始移位操作之前，用户必须检查 RTC_SUBS.SS[15]位是否为 0。

每当写入 RTC_SCTRL 寄存器时，硬件都会设置 RTC_INITSTS.SHOPF 标志，表明平移操作处于挂起状态。一旦平移操作完成，该位由硬件清零。

14.2.17 RTC 数字时钟精密校准

数字精密校准是通过调整校准周期内的 RTC 时钟脉冲数来实现的。数字精度校准分辨率为 0.954 PPM，范围为-487.1 PPM 到+488.5 PPM。

当输入频率为 32768 Hz 时，校准周期可配置为 2^{20} 个 RTCCLK 周期或 32 秒。精密校准寄存器(RTC_CALIB)表示将在指定周期内减少 RTC_CALIB.CM[8:0] 个 RTCCLK 时钟周期。

RTC_CALIB.CM[8:0] 的值表示在指定周期内要减少的 RTCCLK 脉冲数。RTC_CALIB.CP 可用于增加 488.5PPM，每 2^{11} 个 RTCCLK 周期将插入一个 RTCCLK 脉冲。

当 RTC_CALIB.CM[8:0]和 RTC_CALIB.CP 组合使用时，增加的周期范围为-511 到+512 个 RTCCLK 周期，校准范围为-487.1ppm 到+488.5ppm，分辨率约为 0.954ppm。

有效校准频率 (f_{CAL}) 可使用以下公式计算：

$$f_{CAL} = f_{RTCCLK} * \left(1 + \frac{RTC_CALIB.CP * 512 - RTC_CALIB.CM[8:0]}{2^{20} + RTC_CALIB.CM[8:0] - RTC_CALIB.CP * 512}\right)$$

当 RTC_PRE.DIVA[6:0]<3 时校准

当异步预分频器值 (RTC_PRE.DIVA[6:0]) 小于 3 时，不能将 RTC_CALIB.CP 设置为 1，如果 RTC_CALIB.CP 值已设置为 1，则将被忽略。

假设 RTCCLK 频率为 32768Hz，当 RTC_PRE.DIVA[6:0]<3 时，RTC_PRE.DIVS[14:0]的值应该减小：

- 当 RTC_PRE.DIVA[6:0] =2, RTC_PRE.DIVS[14:0]=8189.
- 当 RTC_PRE.DIVA[6:0] =1, RTC_PRE.DIVS[14:0]=16379.
- 当 RTC_PRE.DIVA[6:0] =0, RTC_PRE.DIVS[14:0]=32759.

有效校准频率 (f_{CAL}) 可使用以下公式计算：

$$f_{CAL} = f_{RTCCLK} * \left(1 + \frac{256 - RTC_CALIB.CM[8:0]}{2^{20} + RTC_CALIB.CM[8:0] - 265} \right)$$

验证 RTC 校准

RTC 输出 1Hz 波形，用于测量和验证 RTC 精度。

在有限测量周期内测量 RTC 频率时，最多可能出现 2 个 RTCCLK 周期测量误差。如果测量周期与校准周期相同，则可以消除误差。

- 校准周期为 32 秒（默认）

使用精确的 32 秒周期测量 1Hz 校准输出可以确保测量误差在 0.447ppm 以内（32 秒内为 0.5 个 RTCCLK 周期）。

- 校准周期为 16 秒。

使用精确的 16 秒周期测量 1Hz 校准输出可以确保测量误差在 0.954ppm 以内（16 秒内为 0.5 个 RTCCLK 周期）。

- 校准周期为 8 秒。

使用精确的 8 秒周期测量 1Hz 校准输出可以确保测量误差在 1.907ppm 以内（8 秒内为 0.5 个 RTCCLK 周期）。

动态重新校准

当 RTC_INITSTS.INITF=0 时，RTC_CALIB 寄存器可以通过以下步骤更新：

- 等待 RTC_INITSTS.RECPF=0
- 一个新值被写入 RTC_CALIB，然后 RTC_INITSTS.RECPF 位自动置 1
- 新的校准设置将在数据写入 RTC_CALIB 后的 3 个 ck_apre 周期内生效

14.2.18 RTC 低功耗模式

RTC 在低功耗模式下的工作状态。

低功耗模式	RTC 工作状态	退出低功耗模式
SLEEP	正常工作	RTC 中断
STOP0	RTC 时钟源为 LSE 或 LSI 时正常工作	闹钟 A、闹钟 B、定期唤醒和时间戳事件
STOP2	RTC 时钟源为 LSE 或 LSI 时正常工作	闹钟 A、闹钟 B、定期唤醒和时间戳事件
STANDBY	RTC 时钟源为 LSE 或 LSI 时正常工作	闹钟 A、闹钟 B 和时间戳事件

14.3 RTC 寄存器

14.3.1 RTC 寄存器总览

表 14-2 RTC 寄存器总览

Offset	Register	Register Data Fields																
000h	RTC_TSH	Reserved																
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
004h	RTC_DATE	Reserved																
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
008h	RTC_CTRL	Reserved																
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
00Ch	RTC_INITSTS	Reserved																
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
010h	RTC_PRE	Reserved																
	Reset Value	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1		
014h	RTC_WKUPT	Reserved																
	Reset Value	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1		
01Ch	RTC_ALARMA	MASK4	WKDSEL	DTT[1:0]	DTU[3:0]			MASK3	APM	HOT[1:0]	HOU[3:0]			MASK2	MIT[2:0]			
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
020h	RTC_ALARM_B	MASK4	WKDSEL	DTT[1:0]	DTU[3:0]			MASK3	APM	HOT[1:0]	HOU[3:0]			MASK2	MIT[2:0]			
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
024h	RTC_WRP	Reserved																
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
028h	RTC_SUBS	Reserved																
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
02Ch	RTC_SCTRL	SUB1S	Reserved															
	Reset Value	0																
030h	RTC_TST	Reserved																
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
034h	RTC_TSD	Reserved																
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
038h	RTC_TSSS	Reserved																
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
03Ch	RTC_CALIB	Reserved																
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
044h	RTC_ALRMASS	Reserved		MASKSSA[3:0]			Reserved						SSV[14:0]					

Offset	Register	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	Reset Value					0	0	0	0									0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
048h	RTC_ALRMBSS	Reserved	MASKSSB[3:0]				Reserved				SSV[14:0]																							
			0	0	0	0					0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
04Ch	RTC_OPT	Reserved																											TYPE					
																													0					

14.3.2 RTC 日历时间寄存器 (RTC_TSH)

偏移地址: 0x00

复位值: 0x0000 0000

31	Reserved	23	22	21	20	19	16
		APM	HOT[1:0]			HOU[3:0]	
15	14	12	11	8	7	rw	rw
Reserved	MIT[2:0]		MIU[3:0]	Reserved	SCT[2:0]		SCU[3:0]
	rw		rw		rw		rw

位域	名称	描述
31:23	Reserved	保留, 必须保持复位值
22	APM	AM/PM 格式。 0: AM 格式或者 24 小时格式 1: PM 格式
21:20	HOT[1:0]	小时的十位(BCD 格式)。
19:16	HOU[3:0]	小时的个位(BCD 格式)。
15	Reserved	保留, 必须保持复位值。
14:12	MIT [2: 0]	分钟的十位(BCD 格式)。
11:8	MIU[3:0]	分钟的个位(BCD 格式)。
7	Reserved	保留, 必须保持复位值。
6:4	SCT[2:0]	秒的十位(BCD 格式)。
3:0	SCU[3:0]	秒的个位(BCD 格式)。

14.3.3 RTC 日历日期寄存器 (RTC_DATE)

偏移地址: 0x04

复位值: 0x0000 2101

31	Reserved	24	23	YRT[3:0]	20	19	YRU[3:0]	16
					r		r	
15	13	12	11	8	7	6	5	4
WDU[2:0]	MOT		MOU[3:0]	Reserved	DAT[1:0]		DAU[3:0]	
r	r		r		r		r	

位域	名称	描述
31:24	Reserved	保留, 必须保持复位值。
23:20	YRT[3:0]	年的十位(BCD 格式)。
19:16	YRU[3:0]	年的个位(BCD 格式)。
15:13	WDU[2:0]	星期几 000: 禁止 001: 星期一 ... 111: 星期天
12	MOT	月的十位(BCD 格式)。
11:8	MOU[3:0]	月的个位(BCD 格式)。
7:6	Reserved	保留, 必须保持复位值。
5:4	DAT[1:0]	日期的十位(BCD 格式)。
3:0	DAU[3:0]	日期的个位(BCD 格式)。

14.3.4 RTC 控制寄存器(RTC_CTRL)

偏移地址: 0x08

复位值: 0x0000 0000

31	Reserved								24	23	22	21	20	19	18	17	16
15	WTIEN	ALBIEN	ALAIEN	TSEN	WTEN	ALBEN	ALAEN	Reserved	rw 7	rw 6	rw 5	rw 4	rw 3	rw 2	w 1	w 0	
14	Reserved	HFMT	rw 8	rw 7	rw 6	rw 5	rw 4	rw 3	rw 2	rw 1							
13	Reserved	rw 10	rw 9	rw 8	rw 7	rw 6	rw 5	rw 4	rw 3								
12	Reserved	rw 11	rw 10	rw 9	rw 8	rw 7	rw 6	rw 5	rw 4								
11	Reserved	rw 10	rw 9	rw 8	rw 7	rw 6	rw 5	rw 4	rw 3								
10	Reserved	rw 10	rw 9	rw 8	rw 7	rw 6	rw 5	rw 4	rw 3								
9	Reserved	rw 10	rw 9	rw 8	rw 7	rw 6	rw 5	rw 4	rw 3								
8	Reserved	rw 10	rw 9	rw 8	rw 7	rw 6	rw 5	rw 4	rw 3								
7	Reserved	rw 10	rw 9	rw 8	rw 7	rw 6	rw 5	rw 4	rw 3								
6	Reserved	rw 10	rw 9	rw 8	rw 7	rw 6	rw 5	rw 4	rw 3								
5	Reserved	rw 10	rw 9	rw 8	rw 7	rw 6	rw 5	rw 4	rw 3								
4	Reserved	rw 10	rw 9	rw 8	rw 7	rw 6	rw 5	rw 4	rw 3								
3	Reserved	rw 10	rw 9	rw 8	rw 7	rw 6	rw 5	rw 4	rw 3								
2	Reserved	rw 10	rw 9	rw 8	rw 7	rw 6	rw 5	rw 4	rw 3								
1	Reserved	rw 10	rw 9	rw 8	rw 7	rw 6	rw 5	rw 4	rw 3								
0	Reserved	rw 10	rw 9	rw 8	rw 7	rw 6	rw 5	rw 4	rw 3								

位域	名称	描述
31:24	Reserved	保留, 必须保持复位值。
23	COEN	校准输出使能。 0: 校准输出禁止 1: 校准输出开启
22:21	OUTSEL[1:0]	输出选择位。 该位用来选择要连接到 RTC_ALARM 输出的标志。 00: 输出禁止 01: 闹钟 A 输出开启 10: 闹钟 B 输出开启 11: 唤醒输出开启
20	OPOL	输出极性位。 此位用于配置 RTC_ALARM 输出的极性。 0: 当 ALAF/ALBF/WTF 标志位置 1(取决于 OUTSEL [1:0]), 该引脚输出高电平 1: 当 ALAF/ALBF/WTF 标志位置 1(取决于 OUTSEL [1:0]), 该引脚输出低电平
19	CALOSEL	校准输出选择位。 当 COEN=1 时, 该位选择在 RTC_CALIB 上输出哪个信号。 在 RTCCLK 为 32.768 kHz 且预分频为默认值(RTC_PRE.DIVA[6:0]=127 和

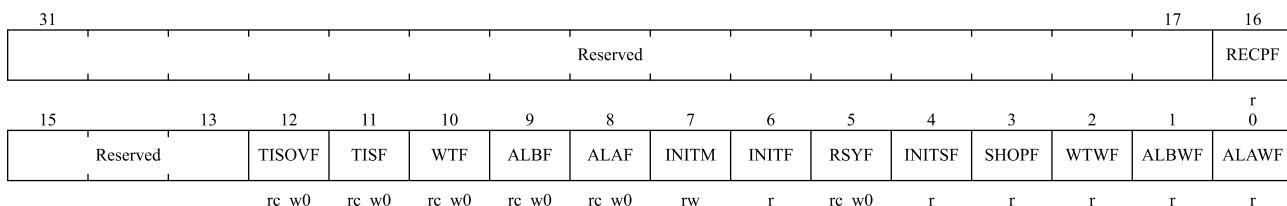
位域	名称	描述
		RTC_PRE.DIVS[14:0]=255)的条件下, 这些频率有效。 0: 校准输出 256Hz(默认预分频设置) 1: 校准输出 1Hz(默认预分频设置)
18	BAKP	这个位可以由用户写入, 以记住是否执行了夏令时的更改。
17	SU1H	减去 1 小时位(冬季时间更改)。 当设置此位时, 如果当前小时不是 0, 则从日历时间中减去 1 小时。这个位总是被读取为 0。当当前小时为 0 时, 设置此位无效。 0: 无使用 1: 用当前时间减去 1 小时。这可以用于冬季改变户外初始化模式
16	AD1H	加 1 小时位(夏季时间更改)。 设置此位后, 将 1 小时添加到日历时间中。这个位总是被读为 0。 0: 无使用 1: 用当前时间加上 1 小时。这可以用于夏季改变户外初始化模式
15	Reserved	保留, 必须保持复位值。
14	WTIEN	唤醒定时器中断使能位。 0: 唤醒定时器中断禁止 1: 唤醒定时器中断开启
13	ALBIEN	闹钟 B 中断使能位。 0: 闹钟 B 中断禁止 1: 闹钟 B 中断开启
12	ALAIEN	闹钟 A 中断使能位。 0: 闹钟 A 中断禁止 1: 闹钟 A 中断开启
11	TSEN	时间戳使能位。 0: 时间戳禁止 1: 时间戳开启
10	WTEN	唤醒定时器使能位。 0: 唤醒定时器禁止 1: 唤醒定时器开启
9	ALBEN	闹钟 B 使能位。 0: 闹钟 B 禁止 1: 闹钟 B 开启
8	ALAEN	闹钟 A 使能位。 0: 闹钟 A 禁止 1: 闹钟 A 开启
7	Reserved	保留, 必须保持复位值。
6	HFMT	小时格式位。 0: 24 小时格式 1: AM/PM 格式
5	BYPS	旁路影子寄存器位。 0: 日历值(从 RTC_SUBS、RTC_TSH 和 RTC_DATE 读取时)取自影子寄存器, 影子寄存器每两个 RTCCLK 周期更新一次。 1: 日历值(从 RTC_SUBS、RTC_TSH 和 RTC_DATE 读取时)直接从日历计数器中

位域	名称	描述
		获取。 注意：如果 APB1 时钟的频率小于 RTCCLK 的 7 倍，则 BYPS 必须设置为 1。
4	Reserved	保留，必须保持复位值。
3	TSPOL	时间戳事件触发沿配置位。 0：RTC_TS 输入上升沿生成一个时间戳事件 1：RTC_TS 输入下降沿生成一个时间戳事件 注意：更改 TSPOL 时必须重置 RTC_CTRL.TSEN，以避免 RTC_INITSTS.TISF 意外置 1。
2:0	WKUPSEL[2:0]	唤醒时钟选择位。 000：选择 RTC/16 时钟 001：选择 RTC/8 时钟 010：选择 RTC/4 时钟 011：选择 RTC/2 时钟 10x：选择 ck_spre(通常 1Hz)时钟

14.3.5 RTC 初始状态寄存器 (RTC_INITSTS)

偏移地址: 0x0C

复位值: 0x0000 0007



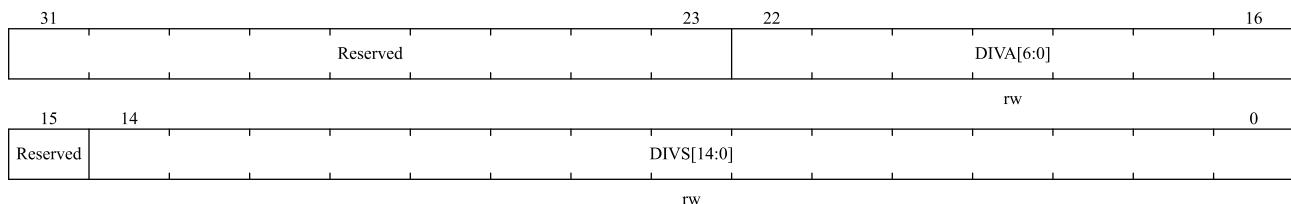
位域	名称	描述
31:17	Reserved	保留，必须保持复位值。
16	RECPF	重新校准挂起标志位。 当软件写入 RTC_CALIB 寄存器时，RECPF 状态标志自动设置为 1，表示 RTC_CALIB 寄存器被阻塞。当考虑到新的校准设置时，这个位将恢复为 0。
15:13	Reserved	保留，必须保持复位值。
12	TISOVF	时间戳溢出标志位。 当时间戳事件发生的同时 TISF 位已经被置 1 时，硬件将此标志置 1。建议在清除 TISF 位之后再检查并清除 TISOVF 位。否则，如果时间戳事件恰好在清除 TISF 位之前刚刚发生，则溢出事件可能会被漏掉。
11	TISF	时间戳标志位。 当发生时间戳事件时，硬件将设置此标志。此标志通过写入 0 被软件清除。
10	WTF	唤醒定时器标志位。 当唤醒自动重载计数器达到 0，硬件将设置此标志。此标志通过写入 0 被软件清除。在 WTF 再次设置为 1 之前，此标志必须由软件至少在 1.5 RTCCLK 周期内清除。
9	ALBF	闹钟 B 标志位。

位域	名称	描述
		当时间/日期寄存器(RTC_TSH 和 RTC_DATE)与闹钟 B 寄存器(RTC_ALARMB)匹配时，硬件将设置此标志。此标志通过写入 0 被软件清除。
8	ALAF	闹钟 A 标志位。 当时间/日期寄存器(RTC_TSH 和 RTC_DATE)与闹钟 A 寄存器(RTC_ALARMA)匹配时，硬件将设置此标志。此标志通过写入 0 被软件清除。
7	INITM	进入初始化模式 0：自由运行模式 1：进入初始化模式，设置日历时间值、日期值、预分频值。
6	INITF	初始标志位。 当这个位设置为 1 时，RTC 处于初始化状态，可以更新时间、日期和预分频寄存器。 0：日历寄存器更新禁止 1：日历寄存器更新允许
5	RSYF	寄存器同步标志位。 当日历值被复制到影子寄存器中时，该标志由硬件设置为“1”。当处于初始化模式、移位操作挂起 (SHOPF=1) 或处于旁路影子寄存器模式 (RTC_CTRL.BYPS=1) 时，该位由硬件清零，该位也可以通过软件清零。 在初始化模式下，该位通过软件或硬件清除。 0：日历影子寄存器尚未同步 1：日历影子寄存器同步
4	INITSF	初始状态标志位。 当日历年字段不等于 0 (备份域复位状态)时，由硬件设置此位。 0：日历没有被初始化 1：日历已经被初始化
3	SHOPF	平移操作挂起标志位。 当向 RTC_SCTRL 寄存器写入一个平位操作时，硬件立即设置此标志。当执行相应的平移操作时，硬件将清除它。写入 SHOPF 位不起作用。 0：没有位移操作挂起 1：有位移操作挂起
2	WTWF	唤醒定时器写标志位。 0：唤醒时间配置更新不允许 1：唤醒时间配置更新允许
1	ALBWF	闹钟 B 写标志。 当 RTC_CTRL.ALBEN 位设置为 0，同时闹钟 B 值可更改时，硬件将该位置 1。 它在初始化模式下被硬件清除。 0：闹钟 B 更新不允许 1：闹钟 B 更新允许
0	ALAWF	闹钟 A 写标志。 当 RTC_CTRL.ALAREN 位设置为 0，同时闹钟 A 可更改时，硬件将该位置 1。 它在初始化模式下被硬件清除。 0：闹钟 A 更新不允许 1：闹钟 A 更新允许

14.3.6 RTC 预分频寄存器(RTC_PRE)

偏移地址: 0x10

复位值: 0x007F 00FF

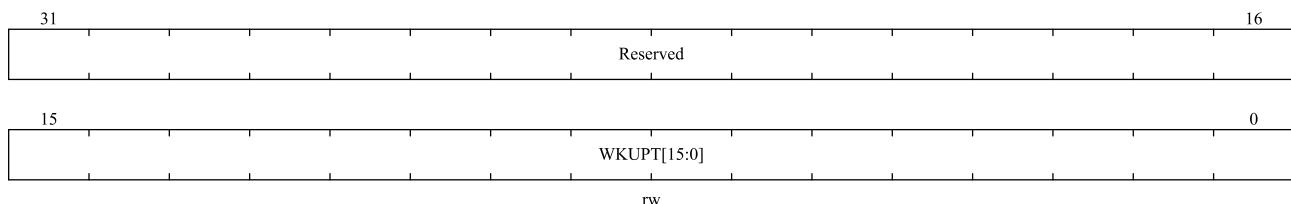


位域	名称	描述
31:23	Reserved	保留, 必须保持复位值。
22:16	DIVA[6:0]	异步分频参数位。 $f_{ck_apre} = \text{RTCCLK}/(\text{DIVA}[6:0]+1)$
15	Reserved	保留, 必须保持复位值。
14:0	DIVS[14:0]	同步分频位。 $f_{ck_spre} = f_{ck_apre}/(\text{DIVS}[14:0]+1)$

14.3.7 RTC 唤醒定时器寄存器(RTC_WKUPT)

偏移地址: 0x14

复位值: 0x0000 FFFF



位域	名称	描述
31:16	Reserved	保留, 必须保持复位值。
15:0	WKUPT[15:0]	<p>唤醒自动重载值位</p> <p>当 RTC_CTRL.WTEN=1 时, 每 $(\text{WKUPT}[15:0] + 1)$ 个 ck_wut 周期设置 RTC_INITSTS.WTF 标志。当 RTC_CTRL.WKUPSEL[2]=1 时, 唤醒定时器变为 17 位。</p> <p>注意:</p> <p>这个寄存器的变化 (如第二次设置或以后的设置) 需要在唤醒中断中进行更改, 否则更改后的设置不会立即生效, 而是在下次唤醒后生效; 特别是当 RTC_CTRL.WKUPSEL[2:0] 设置为 010 时, 修改后的设置不会立即生效, 而是在下一个周期唤醒后生效。</p>

14.3.8 RTC 闹钟 A 寄存器(RTC_ALARMA)

偏移地址: 0x1C

复位值: 0x0000 0000

MASK4	WKDSEL	DTT[1:0]	DTU[3:0]	MASK3	APM	HOT[1:0]	HOU[3:0]	
RW 15	RW 14	RW 12	RW 11	RW 8	RW 7	RW 6	RW 4	RW 0
MASK2	MIT[2:0]	MIU[3:0]	MASK1	SET[2:0]	SEU[3:0]			
RW	RW							

位域	名称	描述
31	MASK4	闹钟日期掩码位。 0: 日期/日匹配 1: 日期/日不匹配
30	WKDSEL	星期几选择位。 0: DTU[3:0]代表日期的个位 1: DTU[3:0]代表星期几。DTT[1:0]为无关位
29:28	DTT[1:0]	日期的十位(BCD 格式)。
27:24	DTU[3:0]	日期的个位(BCD 格式)
23	MASK3	闹钟小时掩码位。 0: 小时匹配 1: 小时不匹配
22	APM	AM/PM 符号位。 0: AM 或 24 小时制 1: PM
21:20	HOT[1:0]	小时的十位(BCD 格式)。
19:16	HOU[3:0]	小时的个位(BCD 格式)。
15	MASK2	闹钟分钟掩码位。 0: 分钟匹配 1: 分钟不匹配
14:12	MIT[2:0]	分钟的十位(BCD 格式)。
11:8	MIU[3:0]	分钟的个位(BCD 格式)。
7	MASK1	闹钟秒掩码位。 0: 秒匹配 1: 秒不匹配
6:4	SET[2:0]	秒的十位(BCD 格式)。
3:0	SEU[3:0]	秒的个位(BCD 格式)。

14.3.9 RTC 闹钟 B 寄存器 (RTC_ALARMB)

偏移地址: 0x20

复位值: 0x0000 0000

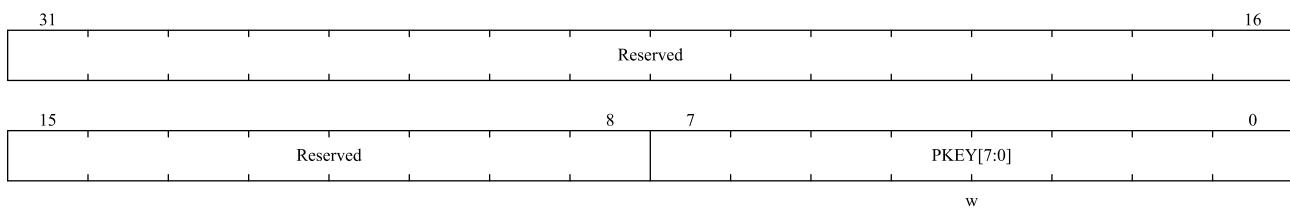
31	30	29	28	27		24	23	22	21	20	19		16
MASK4	WKDSEL	DTT[1:0]		DTU[3:0]		MASK3	APM	HOT[1:0]		HOU[3:0]			
rw 15	rw 14	rw 12	rw 11	rw 8	rw 7	rw 6	rw 4	rw 3	rw	rw 0			
MASK2	MIT[2:0]	MIU[3:0]		MASK1	SET[2:0]	SEU[3:0]							
rw	rw	rw		rw	rw	rw	rw	rw	rw	rw			

位域	名称	描述
31	MASK4	闹钟日期掩码位。 0: 日期/日匹配 1: 日期/日不匹配
30	WKDSEL	星期几选择位。 0: DTU[3:0]代表日期的个位 1: DTU[3:0]代表星期几。DTT[1:0]为无关位
29:28	DTT[1:0]	日期的十位(BCD 格式)。
27:24	DTU[3:0]	日期的个位(BCD 格式)
23	MASK3	闹钟小时掩码位。 0: 小时匹配 1: 小时不匹配
22	APM	AM/PM 符号位。 0: AM 或 24 小时制 1: PM
21:20	HOT[1:0]	小时的十位(BCD 格式)。
19:16	HOU[3:0]	小时的个位(BCD 格式)。
15	MASK2	闹钟分钟掩码位。 0: 分钟匹配 1: 分钟不匹配
14:12	MIT[2:0]	分钟的十位(BCD 格式)。
11:8	MIU[3:0]	分钟的个位(BCD 格式)。
7	MASK1	闹钟秒掩码位。 0: 秒匹配 1: 秒不匹配
6:4	SET[2:0]	秒的十位(BCD 格式)。
3:0	SEU[3:0]	秒的个位(BCD 格式)。

14.3.10 RTC 写保护寄存器(RTC_WRP)

偏移地址: 0x24

复位值: 0x0000 0000

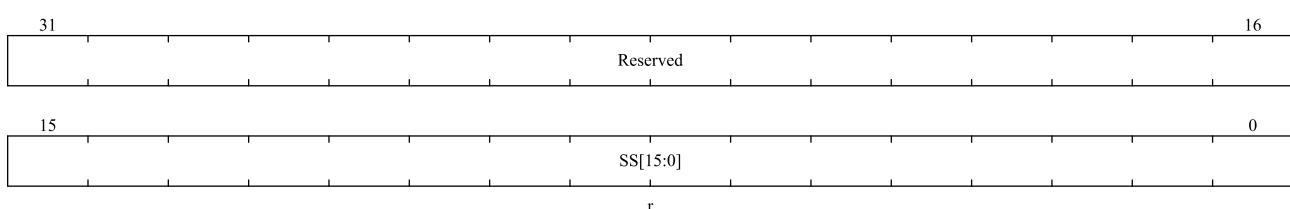


位域	名称	描述
31:8	Reserved	保留，必须保持复位值。
7:0	PKEY[7:0]	写保护秘钥 读取该字节总是返回 0x00。 有关如何解锁 RTC 寄存器写保护的详细信息，请参阅 RTC 写保护寄存器章节。

14.3.11 RTC 亚秒寄存器(RTC_SS)

偏移地址: 0x28

复位值: 0x0000 0000

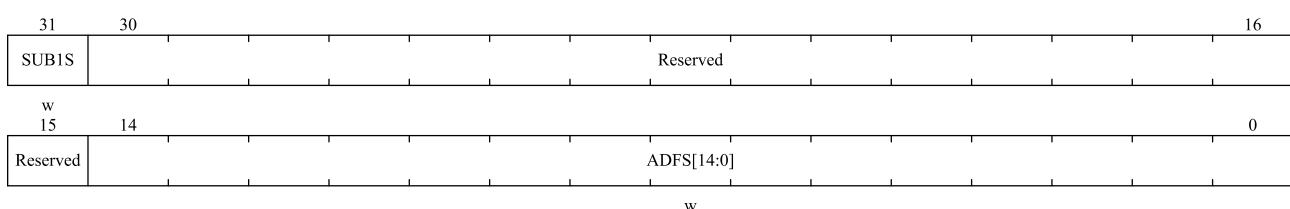


位域	名称	描述
31:16	Reserved	保留，必须保持复位值。
15:0	SS[15:0]	亚秒值。 该值是同步预分频器计数器值。此亚秒值由以下公式计算： $\text{亚秒值} = (\text{RTC_PRE.DIVS}[14:0]-\text{SS})/(\text{RTC_PRE.DIVS}[14:0]+1)$ 注意: SS[15:0] 只有在移位操作完成后才能大于 RTC_PRE.DIVS[14:0]。在这种情况下，正确的时间/日期比 RTC_TSH/RTC_DATE 指示的时间/日期慢一秒。

14.3.12 RTC 平移控制寄存器(RTC_SCTRL)

偏移地址: 0x2C

复位值: 0x0000 0000

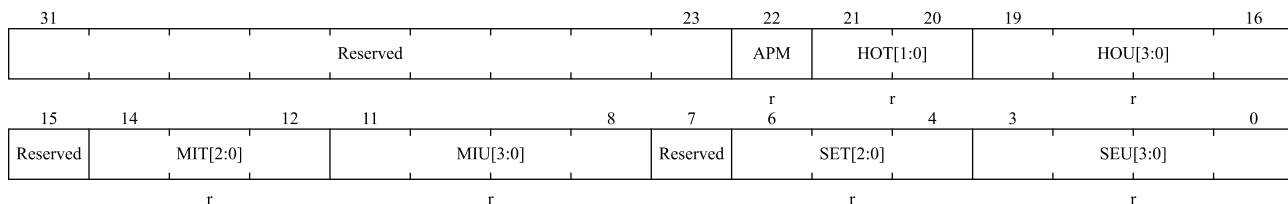


位域	名称	描述
31	SUB1S	减一秒 0: 不减一秒。 1: 时钟/日历减去一秒 该位只能写入且读取为零。当 RTC_INITSTS.SHOPF=1 时, 写入该位没有影响。
30:15	Reserved	保留, 必须保持复位值。
14:0	ADFS[14:0]	增加亚秒值位 这些位只能写入且读取为零。当 RTC_INITSTS.SHOPF=1 时, 写入该位没有影响。写入 ADFS[14:0]的值将被同步预分频器计数器减掉。 由于该计数器递减计数, 此操作可有效地从时钟加快以下时间: 加快 (秒) = ADFS [14:0]/ (DIVS[14:0] + 1) SUB1S 位可以与 ADFS[14:0]位一起使用: 延迟 (秒) = 1-(ADFS[14:0] / (DIVS[14:0] + 1)) 注意: 对 ADFS[14:0]执行写操作之前, 需要对 RTC_SUBS 寄存器进行读操作, 保证ADFS[14:0] < RTC_SUBS.SS[15:0];

14.3.13 RTC 时间戳时间寄存器 (RTC_TST)

偏移地址: 0x30

复位值: 0x0000 0000

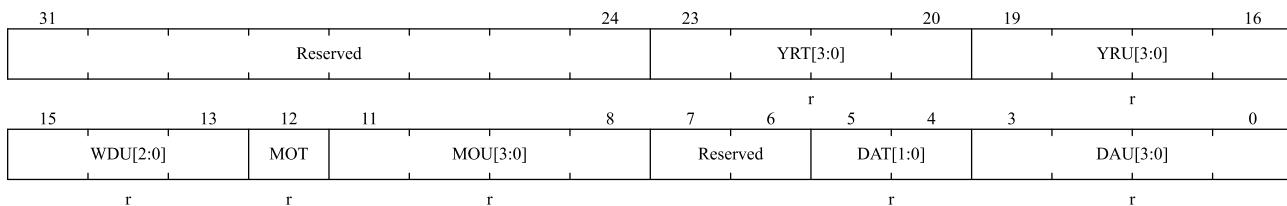


位域	名称	描述
31:23	Reserved	保留, 必须保持复位值。
22	APM	AM/PM 符号位。 0: AM 或 24 小时制 1: PM
21:20	HOT[1:0]	小时的十位(BCD 格式)。
19:16	HOU[3:0]	小时的个位(BCD 格式)。
15	Reserved	保留, 必须保持复位值。
14:12	MIT[2:0]	分钟的十位(BCD 格式)。
11:8	MIU[3:0]	分钟的个位(BCD 格式)。
7	Reserved	保留, 必须保持复位值。
6:4	SET[2:0]	秒的十位(BCD 格式)。
3:0	SEU[3:0]	秒的个位(BCD 格式)。

14.3.14 RTC 时间戳日期寄存器 (RTC_TSD)

偏移地址: 0x34

复位值: 0x0000 0000

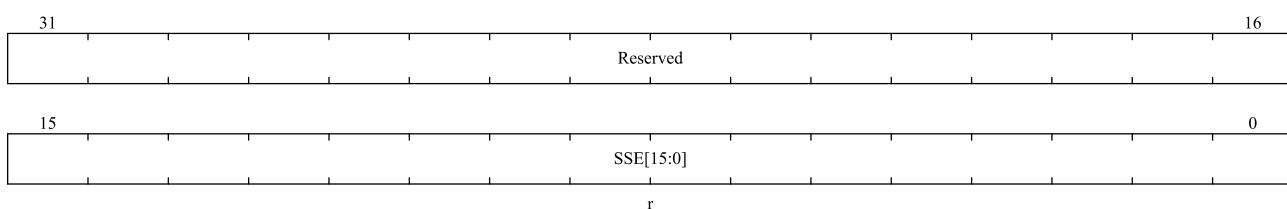


位域	名称	描述
31:24	Reserved	保留, 必须保持复位值。
23:20	YRT[3:0]	年的十位(BCD 格式)。
19:16	YRU[3:0]	年的个位(BCD 格式)。
15:13	WDU[2:0]	星期几 000: 禁止 001: 星期一 ... 111: 星期天
12	MOT	月份的十位(BCD 格式)。
11:8	MOU[3:0]	月份的个位(BCD 格式)。
7:6	Reserved	保留, 必须保持复位值。
5:4	DAT[1:0]	日期的十位(BCD 格式)。
3:0	DAU[3:0]	日期的个位(BCD 格式)。

14.3.15 RTC 时间戳亚秒寄存器(RTC_TSSS)

偏移地址: 0x38

复位值: 0x0000 0000

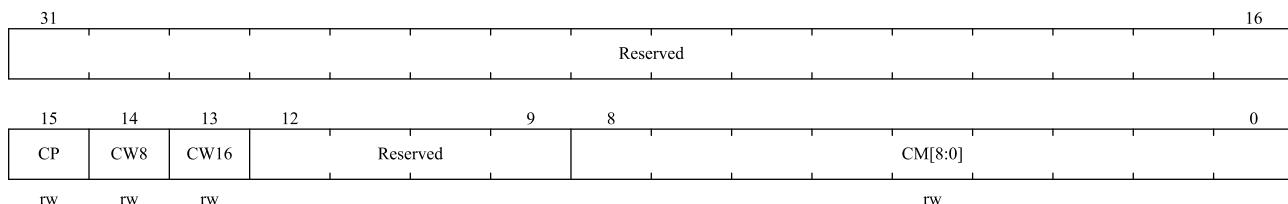


位域	名称	描述
31:16	Reserved	保留, 必须保持复位值。
15:0	SSE[15:0]	亚秒值 SSE[15:0] 是同步预分频计数器中的值。 亚秒值由以下公式提供: $\text{亚秒值} = (\text{RTC_PRE.DIVS}[14:0] - \text{SSE}[15:0]) / (\text{RTC_PRE.DIVS}[14:0] + 1)$ 注意: SSE[15:0] 只能在移位操作后大于 RTC_PRE.DIVS[14:0]。 在这种情况下, 正确的时间/日期比 RTC_TSH/RTC_DATE 指示的时间少一秒。

14.3.16 RTC 校准寄存器(RTC_CALIB)

偏移地址: 0x3C

复位值: 0x0000 0000

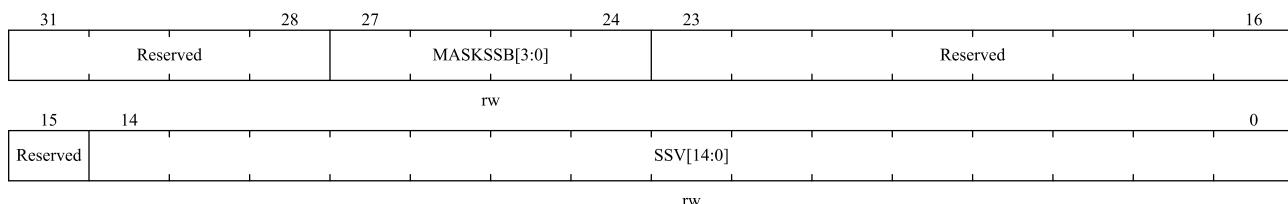


位域	名称	描述
31:16	Reserved	保留, 必须保持复位值。
15	CP	将 RTC 频率提高 488.5 ppm。 此功能与 CM[8:0]一起使用。当 RTCCLK 频率为 32768 Hz 时, 在 32 秒窗口期间添加的 RTCCLK 脉冲数为 $((512 * CP) - CM[8:0])$ 。 0: 不增加 RTCCLK 脉冲 1: 每 2^{11} 个脉冲有效插入一个 RTCCLK 脉冲
14	CW8	使用 8 秒校准周期位。 0: 不使用 1: 选择 8 秒校准周期 注意: 当 CW8 = 1 时, CM[1:0]将始终保持为'00'
13	CW16	使用 16 秒校准周期位。 0: 不使用 1: 选择 16 秒校准周期, 如果 CW8 = 1, 则不能将该位置 1 注意: 当 CW16 = 1 时, CM[0]将始终保持为'0'
12:9	Reserved	保留, 必须保持复位值。
8:0	CM[8:0]	负校准位。 2^{20} 个 RTCCLK 脉冲中的屏蔽脉冲数。这有效地降低了分辨率为 0.9537 ppm 的日历频率。

14.3.17 RTC 闹钟 A 亚秒寄存器(RTC_ALRMASS)

偏移地址: 0x44

复位值: 0x0000 0000

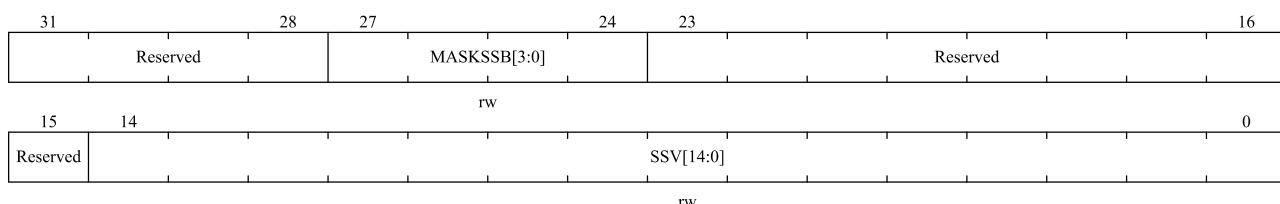


位域	名称	描述
31:28	Reserved	保留, 必须保持复位值。
27:24	MASKSSB[3:0]	<p>屏蔽此位开始的最高有效位。</p> <p>0x0: 闹钟的亚秒不比较。 当秒单位增加时设置闹钟 (假设其余字段匹配)。</p> <p>0x1: 只比较 SS[0], 不比较其他位。</p> <p>0x2: 仅比较 SS[1:0], 不比较其他位。</p> <p>0x3: 仅比较 SS[2:0], 不比较其他位。</p> <p>...</p> <p>0xC: 仅比较 SS[11:0], 不比较其他位。</p> <p>0xD: 仅比较 SS[12:0], 不比较其他位。</p> <p>0xE: 仅比较 SS[13:0], 不比较其他位。</p> <p>0xF: 比较 SS[14:0]</p> <p>从不比较同步计数器 RTC_SUBS.SS[15]位。</p>
23:15	Reserved	保留, 必须保持复位值。
14:0	SSV[14:0]	<p>亚秒值。</p> <p>该值与同步预分频计数器 RTC_SUBS.SS[14:0]进行比较, 比较的位数由 MASKSSB[3:0]控制。</p>

14.3.18 RTC 闹钟 B 亚秒寄存器 (RTC_ALRMBSS)

偏移地址: 0x48

复位值: 0x0000 0000



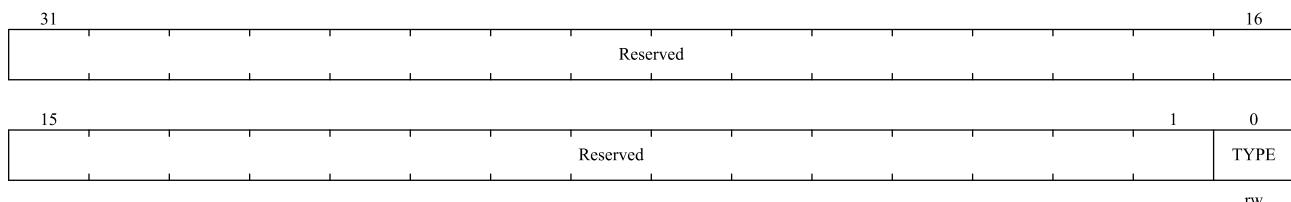
位域	名称	描述
31:28	Reserved	保留, 必须保持复位值。
27:24	MASKSSB[3:0]	<p>屏蔽此位开始的最高有效位。</p> <p>0x0: 闹钟的亚秒不比较。 当秒单位增加时设置闹钟 (假设其余字段匹配)。</p> <p>0x1: 只比较 SS[0], 不比较其他位。</p> <p>0x2: 仅比较 SS[1:0], 不比较其他位。</p> <p>0x3: 仅比较 SS[2:0], 不比较其他位。</p> <p>...</p> <p>0xC: 仅比较 SS[11:0], 不比较其他位。</p> <p>0xD: 仅比较 SS[12:0], 不比较其他位。</p> <p>0xE: 仅比较 SS[13:0], 不比较其他位。</p> <p>0xF: 比较 SS[14:0]</p> <p>从不比较同步计数器 RTC_SUBS.SS[15]位。</p>
23:15	Reserved	保留, 必须保持复位值。
14:0	SSV[14:0]	亚秒值

位域	名称	描述
		该值与同步预分频计数器 RTC_SUBS.SS[14:0]进行比较，比较的位数由 MASKSSB[3:0] 控制。

14.3.19 RTC 选项寄存器 (RTC_OPT)

偏移地址: 0x4C

复位值: 0x0000 0000



位域	名称	描述
31:1	Reserved	保留，必须保持复位值。
0	TYPE	PC13 上的 RTC_ALARM 输出类型位。 0: 开漏输出 1: 推挽输出

15 CRC 计算单元

15.1 简介

该模块集成了 CRC32 和 CRC16 的功能，循环冗余校验（CRC）计算单元根据固定的生成多项式得到任意 CRC 计算结果。在其他应用中，CRC 技术主要用于验证数据传输或数据存储的正确性和完整性。EN/IEC 60335-1 提供了一种验证闪存完整性的方法。CRC 计算单元可以在程序运行时计算出软件的标识符，然后与连接时产生的参考标识符进行比较，然后存储在指定的内存空间中。

15.2 主要特性

15.2.1 CRC32

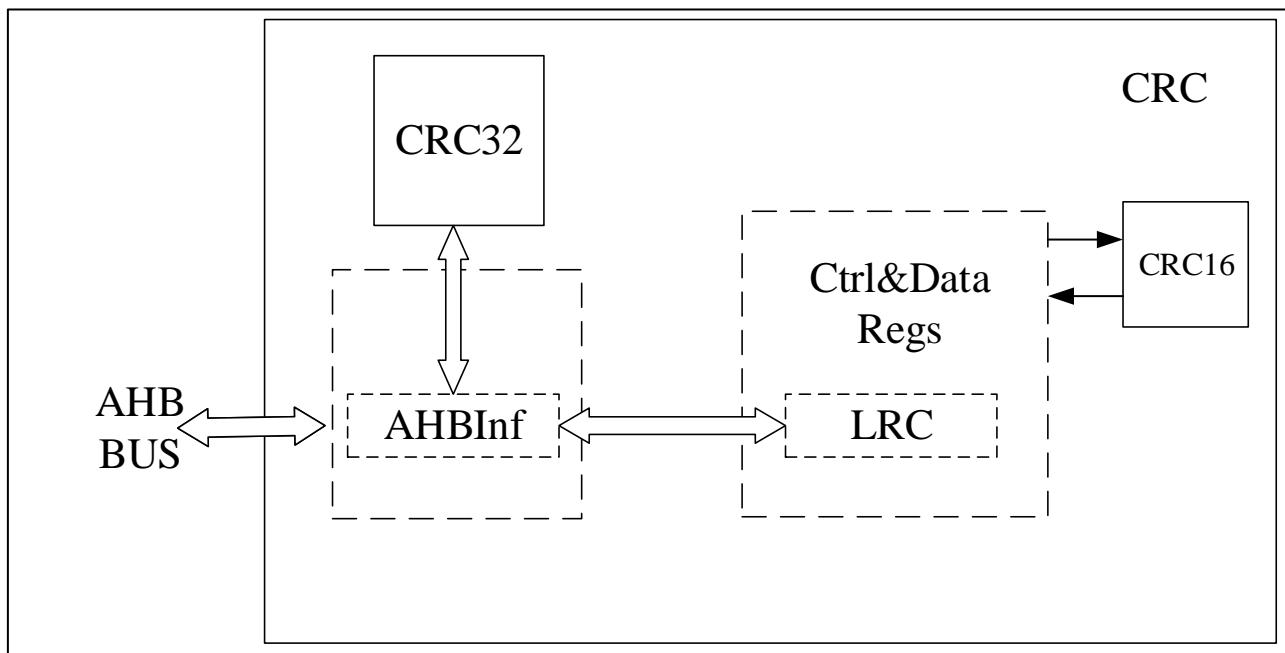
- CRC32($X^{32} + X^{26} + X^{23} + X^{22} + X^{16} + X^{12} + X^{11} + X^{10} + X^8 + X^7 + X^5 + X^4 + X^2 + X + 1$)
- 32 位待校验数据和 32 位输出校验码
- CRC 计算时间：1 个 AHB 时钟周期 (HCLK)
- 通用 8 位寄存器（可用于存放临时数据）

15.2.2 CRC16

- CRC16($X^{16} + X^{15} + X^2 + 1$)
- 8 位待校验数据和 16 位输出校验码
- CRC 计算时间：1 个 AHB 时钟周期 (HCLK)
- 可配置校验初始值，可配置待校验数据的大小端
- 支持 8bit LRC 校验值生成

下图为 CRC 计算单元框图

图 15-1 CRC 计算单元框图



15.3 功能描述

15.3.1 CRC32

CRC 计算单元含有 1 个 32 位数据寄存器:

- 写该寄存器，作为 CRC 计算的输入
- 读该寄存器，作为 CRC 计算的结果

对该数据寄存器的每一次写操作都会触发用前一个计算结果来计算这个新数据 (CRC 计算是针对整个 32 位字而不是逐字节进行的)。

支持背靠背写入或者连续地写-读操作。

`CRC_CRC32DAT` 可以通过设置 `CRC_CRC32CTRL.RESET` 重新初始化为 `0xFFFF FFFF`。该操作不影响寄存器 `CRC_CRC32IDAT` 中的数据。

15.3.2 CRC16

通过 `CRC_CRC16CTRL.ENDHL` 位来控制校验数据的小端或大端。

要清除最后一次 CRC 操作的结果，请将 `CRC_CRC16CTRL.CLR` 设置为 1 或 `CRC_CRC16D` 设置为 0。

CRC 计算的初始值可以通过写 `CRC_CRC16D` 寄存器来配置。默认情况下，初始值是上一次计算的结果。

LRC 计算与 CRC 计算相同。两者同时进行。可根据需要读出 CRC 或 LRC。如果需要设置初始值，首先要配置 LRC 寄存器。

15.4 CRC 寄存器

15.4.1 CRC 寄存器总览

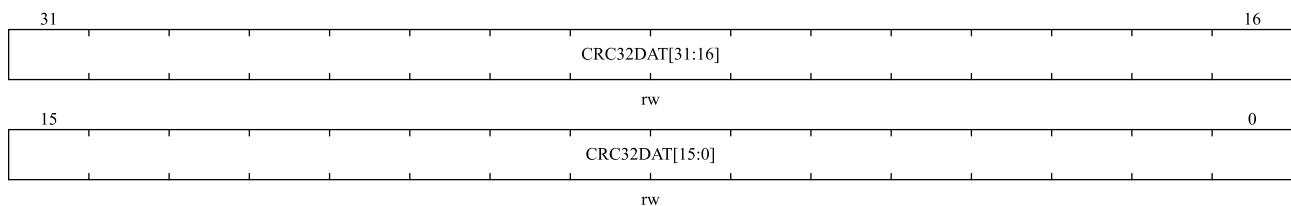
表 15-1 CRC 寄存器总览

Offset	Register	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
000h	CRC32DAT	CRC32DAT[31:0]																															
	Reset Value	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1			
004h	CRC32IDAT	CRC32IDAT[7:0]																															
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0			
008h	CRC32CTRL	Reserved																															
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0			
00Ch	CRC16CTRL	Reserved																															
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0			
010h	CRC16DAT	CRC16DAT[7:0]																															
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0			
014h	CRC16D	CRC16D[15:0]																															
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0			
018h	LRC	LRCDAT[7:0]																															
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0			

15.4.2 CRC32 数据寄存器 (CRC_CRC32DAT)

地址偏移: 0x00

复位值: 0xFFFF FFFF

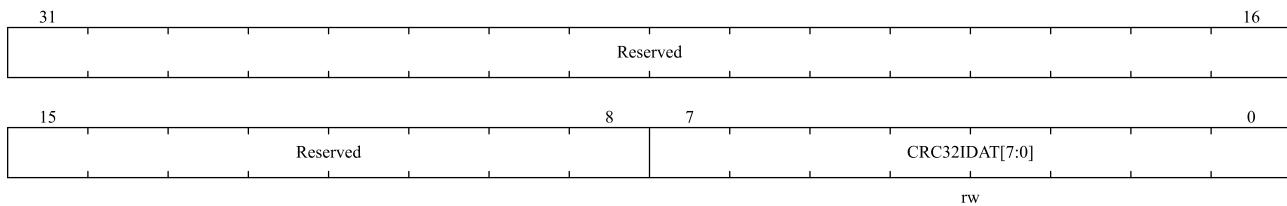


位域	名称	描述
31:0	CRC32DAT[31:0]	CRC32 数据寄存器。 写入的数据为 CRC 待校验值。读取的数据为 CRC 计算结果。仅支持 32 位操作。

15.4.3 CRC32 独立数据寄存器 (CRC_CRC32IDAT)

地址偏移: 0x04

复位值: 0x0000 0000



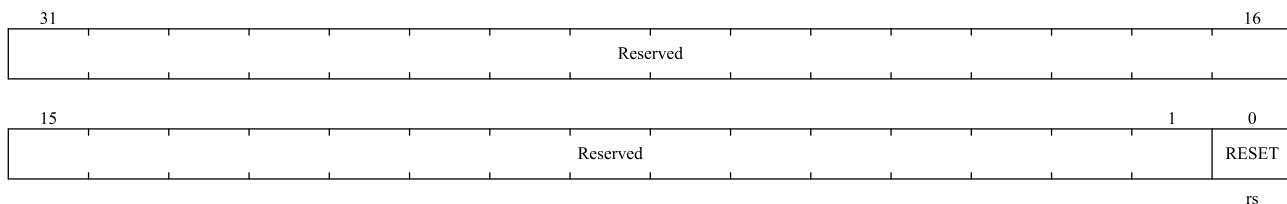
位域	名称	描述
31:8	Reserved	保留，必须保持复位值。
7:0	CRC32IDAT[7:0]	8位独立数据寄存器。 通用8位数据寄存器。它用于临时存储1字节数据。CRC_CRC32CTRL.RESET复位信号不会影响该寄存器。

注：该寄存器不是CRC计算的一部分，可用于存储任何数据。

15.4.4 CRC32 控制寄存器 (CRC_CRC32CTRL)

地址偏移: 0x08

复位值: 0x0000 0000

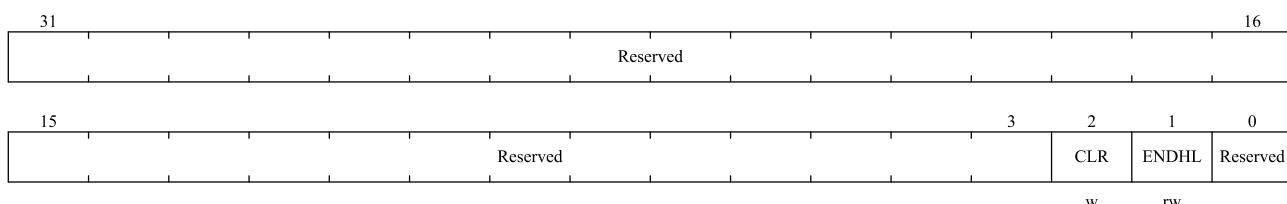


位域	名称	描述
31:1	Reserved	保留，必须保持复位值。
0	RESET	RESET信号。 它可以复位CRC32模块并将数据寄存器设置为0xFFFF_FFFF。这个复位只能写1，硬件会自动清0。

15.4.5 CRC16 控制寄存器 (CRC_CRC16CTRL)

地址偏移: 0x0C

复位值: 0x0000 0000



位域	名称	描述
31:3	Reserved	保留，必须保持复位值。

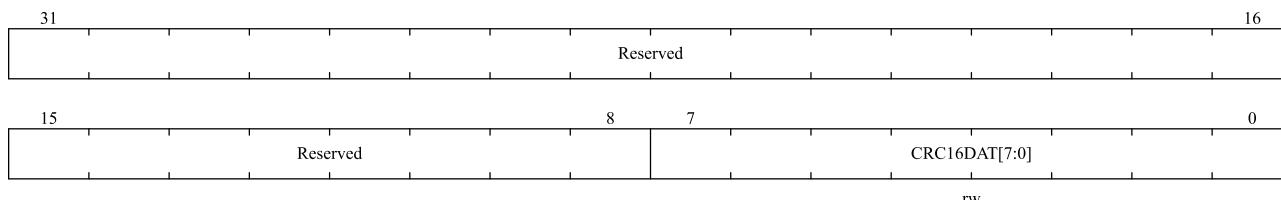
位域	名称	描述
2	CLR	清除 CRC16 结果。 0: 不清除 1: 清除为默认值 0x0000。将此位设置为 1 只会维持 1 时钟周期，硬件会自动清零。 (软件读取始终为 0)。
1	ENDHL	要验证的数据从 MSB 或 LSB 开始计算（配置大小端）。 0: 从 MSB 到 LSB 1: 从 LSB 到 MSB 该位仅用于要验证的数据。
0	Reserved	保留，必须保持复位值。

注：支持 8 位、16 位、32 位操作

15.4.6 CRC16 待校验数据寄存器 (CRC_CRC16DAT)

地址偏移: 0x10

复位值: 0x0000 0000



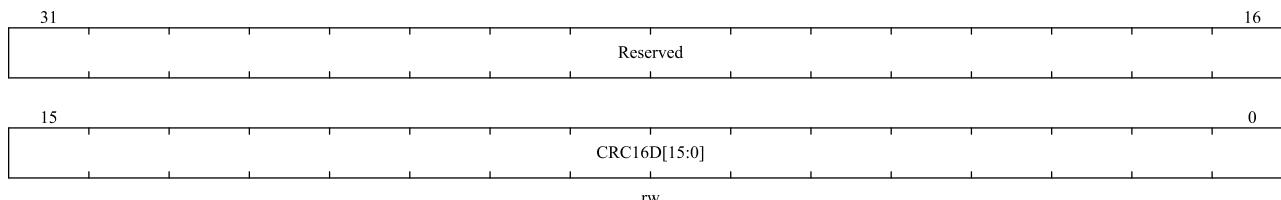
位域	名称	描述
31:8	Reserved	保留，必须保持复位值。
7:0	CRC16DAT[7:0]	待校验的数据。

注：支持 8 位、16 位、32 位操作

15.4.7 CRC 循环冗余校验码寄存器 (CRC_CRC16D)

地址偏移: 0x14

复位值: 0x0000 0000



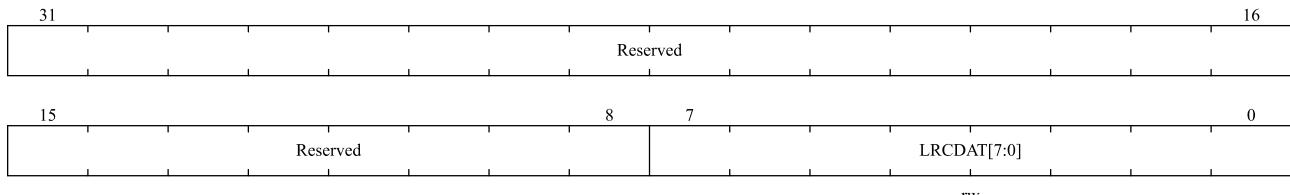
位域	名称	描述
31:16	Reserved	保留，必须保持复位值。
15:0	CRC16D[15:0]	16 位循环冗余结果值。 每次软件写入 CRC16DAT 寄存器时，来自 CRC16 的 16 位计算数据都会在该寄存器中更新。

注：支持 8 位、16 位和 32 位操作（8 位操作必须连续执行两次才能保证 16 位初始值配置正确）

15.4.8 LRC 校验值寄存器（CRC_LRC）

地址偏移：0x18

复位值：0x0000 0000



位域	名称	描述
31:8	Reserved	保留，必须保持复位值。
7:0	LRCDAT[7:0]	LRC 校验值。 软件使用前需要写入初始值。然后每次写入 CRC_CRC16DAT 的数据都会与 CRC_LCR 寄存器的值进行异或。结果将存储在 CRC_LCR 中。软件读取结果，下次使用前应清除。

16 独立看门狗 (IWDG)

16.1 简介

N32G45x 内置独立看门狗 (IWDG) 和窗口看门狗 (WWDG) 定时器，解决软件错误导致的问题。看门狗定时器使用非常灵活，提高了系统的安全性和定时控制的准确性。

独立看门狗 (IWDG) 由运行在 40KHz 的低速内部时钟 (LSI 时钟) 驱动，在死循环事件或 MCU 卡死发生时，它仍然可以运行。这可以提供更高的安全级别、定时精度和看门狗的灵活性。它可以通过重置来解决由于软件故障引起的系统故障。IWDG 最适合需要看门狗在主应用程序之外作为完全独立进程运行但时序精度限制较低的应用程序。

当电源控制寄存器 PWR_CTRL2.IWDGRSTEN 位置‘1’，IWDG 计数器达到 0 时，会产生系统复位（若该位置‘0’，IWDG 会计数但不产生复位）。当 PWR_CTRL2.IWDGWPEN 位置‘1’，IWDG 计数器达到 0 时，能够唤醒低功耗（若该位置‘0’，IWDG 会计数、复位但只能唤醒 SLEEP/STOP0，无法唤醒 STOP2/STANDBY）。

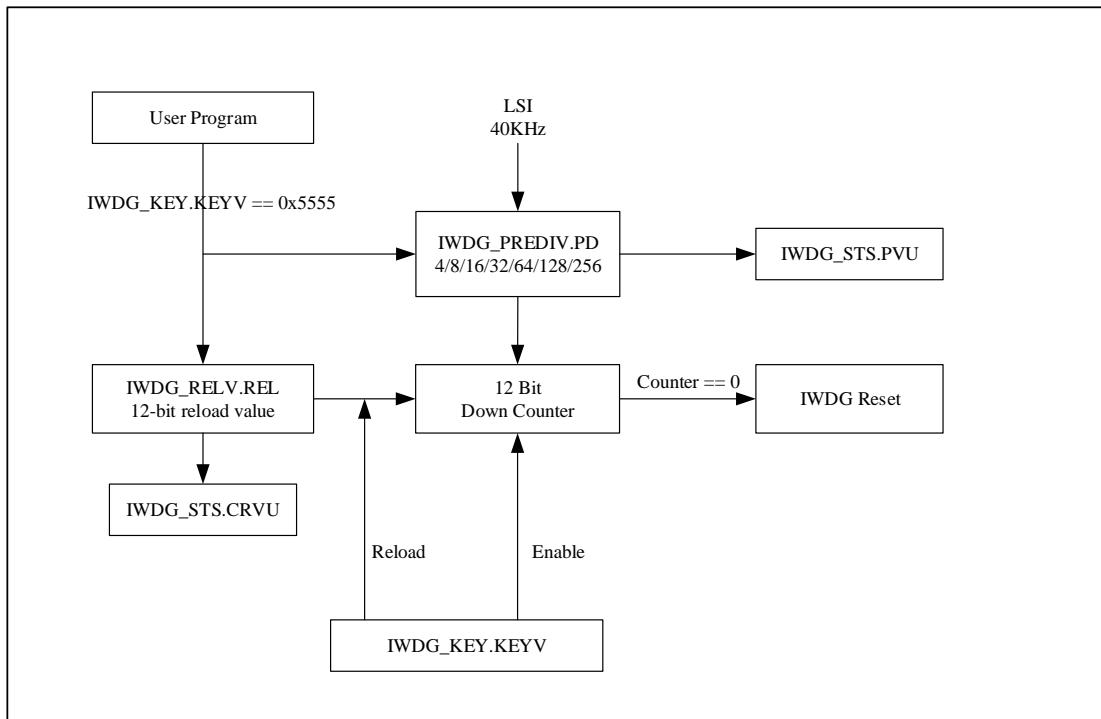
注：本章基于系统默认值 IWDGRSTEN=1, IWDGWPEN=1 讨论。

16.2 主要特征

- 独立的 12 位递减计数器
- RC 振荡器提供独立的时钟源，可以工作在 SLEEP、STOP0、STOP2 和 STANDBY 模式
- 可以匹配复位和低功耗唤醒
- 当递减计数器达到 0x000 时，系统复位（如果激活了看门狗）

16.3 功能描述

图 16-1 独立看门功能框图



注意：看门狗功能在 VDD 供电区，在 SLEEP、STOP0、STOP2 和 STANDBY 模式下仍能正常工作。

要启用 IWDG，我们需要将 0xCCCC 写入 IWDG_KEY.KEYV[15:0]位，计数器开始递减计数。当计数器计数到 0x000 时，它会向 MCU 产生一个复位信号 (IWDG_RESET)。除此之外，只要在复位前将 0xAAAA（重装载请求）写入 IWDG_KEY.KEYV[15:0]位，计数器值就会设置为 IWDG_RELV.REL[11:0]位中的重装载值并防止看门狗复位整个设备。

如果通过选项字节使能“硬件看门狗定时器”功能，则看门狗将在系统上电后自动开始运行并产生系统复位，除非软件在计数器到达‘0’之前重新加载计数器。

16.3.1 寄存器访问保护

IWDG_PREDIV 和 IWDG_RELV 寄存器是写保护的。要修改这两个寄存器的值，用户需要将 0x5555 写入 IWDG_KEY.KEYV[15:0]位。写入其他值会再次启用写保护。IWDG_STS.PVU 表示预分频值更新是否正在进行，IWDG_STS.CRVU 表示 IWDG 是否正在更新重装载值。当预分频值和/或重装载值正在更新时，硬件设置 IWDG_STS.PVU 位和/或 IWDG_STS.CRVU 位。预分频值和/或重装载值更新完成后，硬件清除 IWDG_STS.PVU 位和/或 IWDG_STS.CRVU 位。

重新加载操作（把 0xAAAA 写入 IWDG_KEY.KEYV[15:0]）也将导致寄存器再次变为写保护。

16.3.2 调试模式

在调试模式下 (Cortex-M4 内核停止)，IWDG 计数器将继续正常工作或停止，具体取决于调试模块中的 DBG_CTRL.IWDG_STOP 位。如果该位设置为“1”，则计数器停止。该位为“0”时，计数器正常工作。详见

29.3.2 调试模块章节。

16.4 用户界面

IWDG 模块用户界面包含 4 个寄存器：密钥寄存器 (IWDG_KEY)、预分频寄存器 (IWDG_PREDIV)、重装载寄存器 (IWDG_RELV) 和状态寄存器 (IWDG_STS)。

16.4.1 操作流程

当 IWDG 从软件（将 0xAAAA 写入 IWDG_KEY.KEYV[15:0]位）或硬件（清零 FLASH_OB.WDG_SW 位）复位启用时。它从 0xFFFF 开始递减计数。向下计数间隙由预分频 LSI 时钟确定。重新加载计数器后，新一轮递减计数器的值将从 IWDG_RELV.REL[11:0]中的值开始，而不是 0xFFFF。

程序正常运行时，软件需要在计数器到达 0 前喂狗，开始新一轮的递减计数。当计数器达到 0 时，表示程序故障。IWDG 在这种情况下产生复位信号。

如果用户想要配置 IWDG 预分频和重装载值寄存器，需要先将 0x5555 写入 IWDG_KEY.KEYV[15:0]。然后确认 IWDG_STS.CRVU 位和 IWDG_STS.PVU 位。IWDG_STS.CRVU 位指示重装载值更新正在进行，IWDG_STS.PVU 表示预分频值更新正在进行。只有当这两位为 0 时，用户才能更新相应的值。当更新正在进行时，硬件将相应位设置为 1。此时，读取 IWDG_PREDIV.PD[2:0]或 IWDG_RELV.REL[11:0]无效，因为数据需要同步到 LSI 时钟域。从 IWDG_PREDIV.PD[2:0]或 IWDG_RELV.REL[11:0]读取的值将在硬件清除 IWDG_STS.PVU 位或 IWDG_STS.CRVU 位后才有效。

如果应用程序使用多个重装载值或预分频值，则必须等到 IWDG_STS.CRVU 位复位后才能更改重装载值，IWDG_STS.PVU 位复位后才能更改预分频值。但是，在更新预分频值和重装载值后，或只更新预分频值后，或只更新重装载值后，无需等到 IWDG_STS.CRVU 位或 IWDG_STS.PVU 位复位后才能继续执行代码（即使在进低功耗模式的情况下，写入操作也会被考虑并完成）。

预分频寄存器和重装载寄存器控制产生复位的时间，如表 16-1。

表 16-1 IWDG 计数最大和最小复位时间

预分频因子	PD[2:0]	最小时长 (ms)	最大时长 (ms) RL[11:0]=0xFFFF
		RL[11:0]=0	
/4	000	0.1	409.6
/8	001	0.2	819.2
/16	010	0.4	1638.4
/32	011	0.8	3276.8
/64	100	1.6	6553.6
/128	101	3.2	13107.2
/256	11x	6.4	26214.4

16.4.2 IWDG 配置流程

软件配置流程：

1. 将 0x5555 写入 IWDG_KEY.KEYV[15:0]位以启用对 IWDG_PREDIV 和 IWDG_RELV 寄存器的写访问；
 2. 检查 IWDG_STS.PVU 位或 IWDG_STS.CRVU 位，如果为 0，则继续下一步；
 3. 配置 IWDG_PREDIV.PD[2:0]位以选择预分频值；
 4. 配置 IWDG_RELV.REL[11:0]位重装载值；
 5. 将 0xAAAA 写入 IWDG_KEY.KEYV[15:0]位，用重装载值更新计数器；
 6. 通过软件或硬件将 0xCCCC 写入 IWDG_KEY.KEYV[15:0]位来启用看门狗。

如果用户想改变预分频值和重装载值，重复步骤 1~5。如果没有，只需按照第 5 步操作。

16.5 IWDG 寄存器

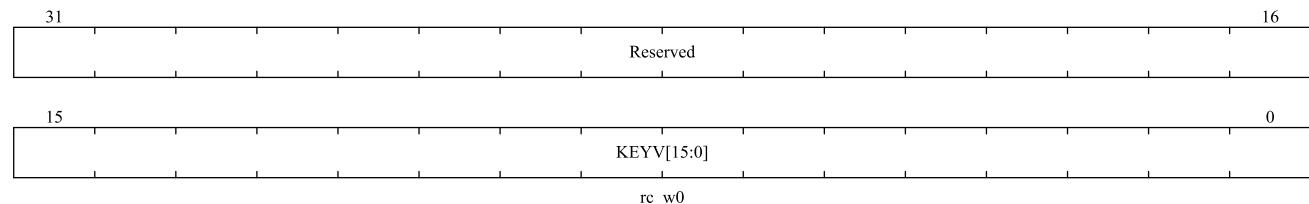
16.5.1 IWDG 寄存器总览

表 16-2 IWDG 寄存器总览

16.5.2 IWDG 密钥寄存器 (IWDG_KEY)

偏移地址: 0x00

复位值: 0x00000000

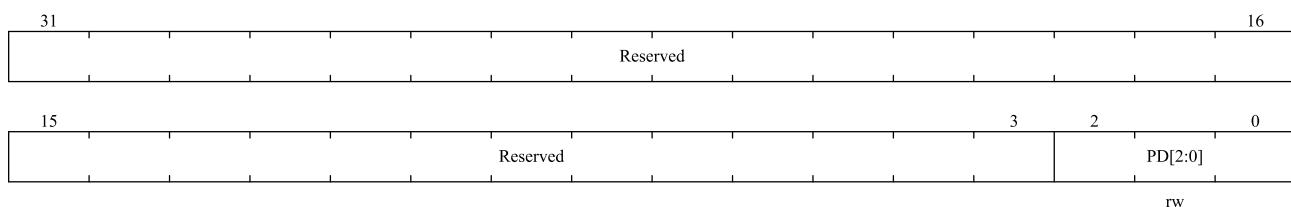


位域	名称	描述
31:16	保留	保留，必须保持复位值。
15:0	KEYV[15:0]	密钥寄存器：只有特定的值才能发挥特定的作用 0xCCCC：启动看门狗计数器，如果硬件看门狗使能则无效，（如果选择了硬件看门狗，则不受该命令字限制） 0xAAAA：用 IWDG_RELV 寄存器中的 REL 值重新加载计数器以防止复位 0x5555：禁用 IWDG_PREDIV 和 IWDG_RELV 寄存器的写保护

16.5.3 IWDG 预分频寄存器 (IWDG_PREDIV)

偏移地址: 0x04

复位值: 0x00000000

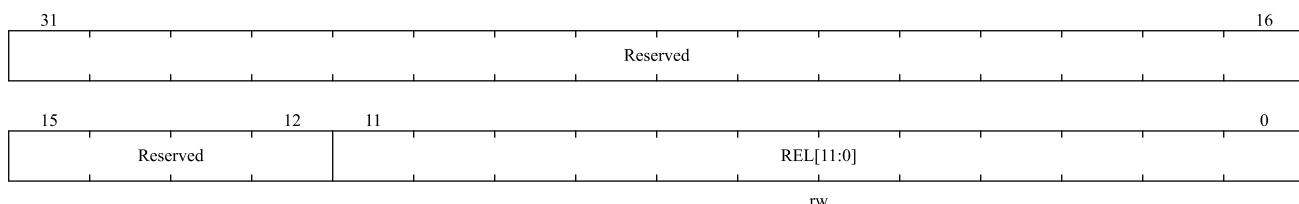


位域	名称	描述
31:3	保留	保留，必须保持复位值。
2:0	PD[2:0]	预分频因子 当 IWDG_KEY.KEYV[15:0]不是 0x5555 时具有写访问保护。IWDG_STS.PVU 位必须为 0，否则 PD[2:0]值无法更改。分频系数如下： 000: 预分频因子=4 001: 预分频因子=8 010: 预分频因子=16 011: 预分频因子=32 100: 预分频因子=64 101: 预分频因子=128 其他: 预分频因子=256 注意：读取该寄存器将返回来自 VDD 电压域的预分频值。如果正在进行写操作，则回读值可能无效。因此，读取值仅在 IWDG_STS.PVU 位为 0 时有效。

16.5.4 IWDG 重装载寄存器 (IWDG_RELV)

偏移地址: 0x08

复位值: 0x00000FFF

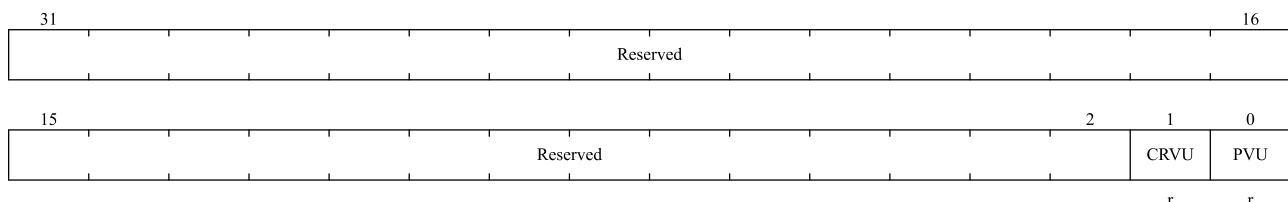


位域	名称	描述
31:12	保留	保留，必须保持复位值。
11:0	REL[11:0]	<p>看门狗计数器重装载值。 带写保护。定义看门狗计数器的重装载值，每次将 0xAAAA 写入 IWDG_KEY.KEYV[15:0] 位时将其加载到计数器。然后计数器从该值开始倒计时。看门狗超时周期可以根据这个重装载值和时钟预分频值计算，参考表 16-1。 该寄存器只能在 IWDG_STS.CRVU 位为 0 时修改。 注意：读取该寄存器将返回来自 VDD 电压域的重装载值。如果正在进行写操作，则回读值可能无效。因此，读取值仅在 IWDG_STS.CRVU 位为 0 时有效。</p>

16.5.5 IWDG 状态寄存器 (IWDG_STS)

偏移地址: 0x0C

复位值: 0x00000000



位域	名称	描述
31:2	保留	保留，必须保持复位值。
1	CRVU	<p>看门狗重装载值更新 重装载值更新：该位表示正在更新重装载值。硬件置位，硬件清零。软件只能在 IWDG_KEY.KEYV[15:0] 位的值为 0x5555 且该位为 0 时尝试更改 IWDG_RELV.REL[11:0] 的值。</p>
0	PVU	<p>看门狗预分频值更新 预分频值更新：该位表示正在更新预分频值。硬件置位，硬件清零。软件只能在 IWDG_KEY.KEYV[15:0] 位的值为 0x5555 且该位为 0 时尝试更改 IWDG_PREDIV.PD[2:0] 的值。</p>

17 窗口看门狗 (WWDG)

17.1 简介

窗口看门狗 (WWDG) 的时钟是由 APB1 时钟频率除以 4096 得到的，通过时间窗口的配置来检测程序运行是否异常。因此，WWDG 适用于精确定时，常用于监控因外部干扰或无法预见的逻辑条件导致应用程序偏离其正常操作顺序的软件故障。当 WWDG 递减计数器在达到窗口寄存器值之前或 WWDG_CTRL.T6 位变为 0 之后刷新时，系统复位发生。

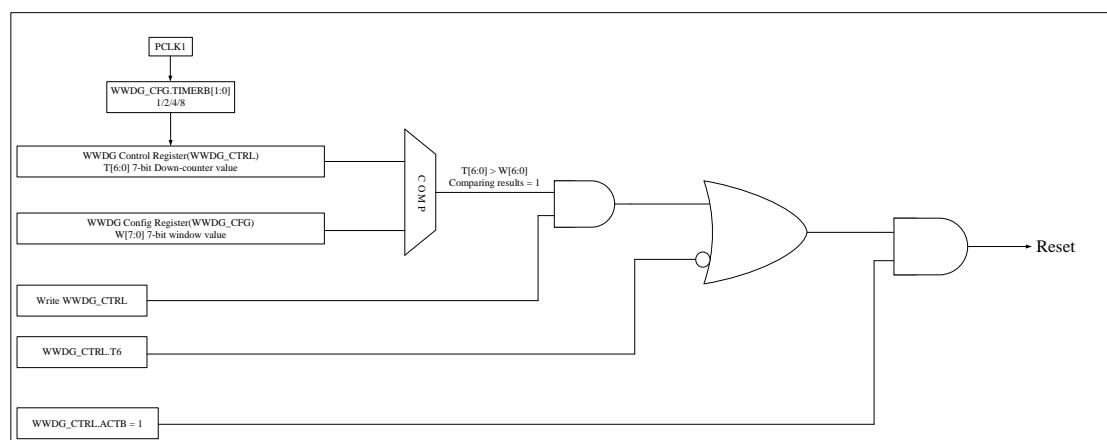
17.2 主要特征

- 7 位独立递减计数器可编程
- WWDG 启用后，在以下情况下会发生复位
 - ◆ 递减计数器的值小于 0x40
 - ◆ 当递减后的计数器值大于窗口寄存器的值时，重新加载
- 提前唤醒中断：如果看门狗启动并且中断使能，当计数值达到 0x40 时会产生唤醒中断 (WWDG_CFG.EWINT)

17.3 功能描述

如果看门狗被激活 (WWDG_CTRL.ACTB)，当 7 位 (WWDG_CTRL.T[6:0]) 递减计数器到达 0x3F (WWDG_CTRL.T6 位清零)，或者软件重新加载计数器时计数器值大于窗口寄存器的值，将产生系统复位。为了避免系统复位，软件在正常运行时必须定期刷新窗口中的计数器值。

图 17-1 窗口看门狗功能框图



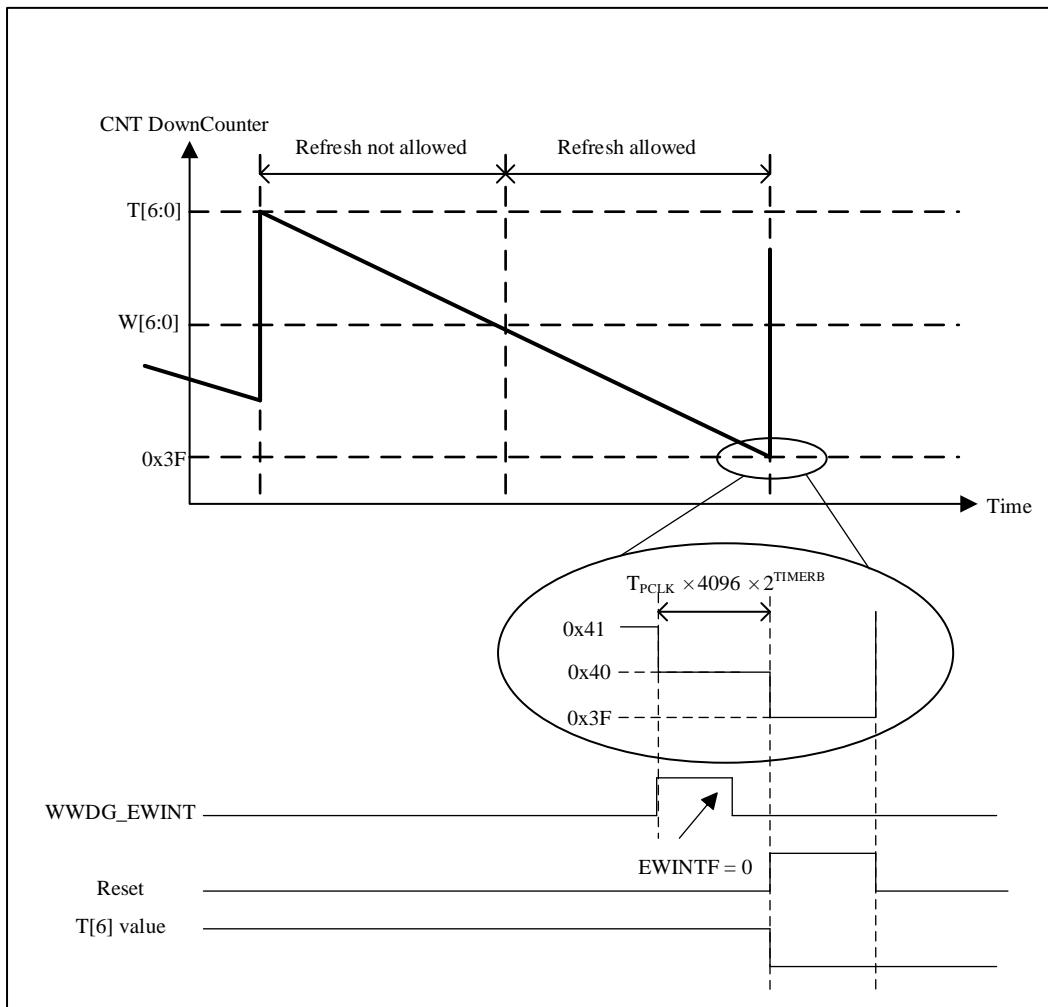
设置 WWDG_CTRL.ACTB 位以启用看门狗，此后，WWDG 将保持打开状态，直到发生复位。7 位递减计数器独立运行，无论 WWDG 是否使能，计数器都会持续递减计数。因此，使能看门狗前，需要将 WWDG_CTRL.T[6]位设置为 1，以防止在启用后立即复位。由时钟 APB1 和 WWDG_CFG.TIMERB[1:0]位设置的预分频器值决定了计数器的递减速度。WWDG_CFG.W[6:0]位设置窗口的上限。

当递减计数器在达到窗口寄存器值之前或 WWDG_CTRL.T6 位变为 0 之后刷新，将产生系统复位。图 17-2 描述了窗口寄存器的工作过程。

设置 WWDG_CFG.EWINT 位以启用提前唤醒中断。当递减计数器到达 0x40 时，将产生中断。您可以分析软件故障的原因或将重要数据保存在相应的中断服务程序（ISR）中，并重新加载计数器以防止 WWDG 复位。将“0”写入 WWDG_STS.EWINTF 位以清除中断。

17.4 刷新看门狗和中断产生的时序

图 17-2 WWDG 的刷新窗口和中断时序



看门狗刷新窗口在 WWDG_CFG.W[6:0] 值（最大值 0x7F）和 0x3F 之间，在此窗口外刷新将向 MCU 生成复位请求。计数器使用分频后的 APB1 时钟从 0x7F 向下计数到 0x3F，最大计数时间和最小计数时间如表 17-1 所示（假设 APB1 时钟为 36MHz），计算公式为：

$$T_{WWDG} = T_{PCLK1} \times 4096 \times 2^{TMRB} \times (T[5:0] + 1)$$

其中：

T_{WWDG}:WWDG 超时

T_{PCLK1}:APB1 时钟间隔，单位为：ms

PCLK1=36MHz 时的最小-最大超时时长

表 17-1 WWDG 的最大和最小计数时间

TIMERB	最大超时 (ms)	最小超时 (ms)
0	7.28	0.113
1	14.56	0.227
2	29.12	0.455
3	58.25	0.910

17.5 调试模式

在调试模式下 (Cortex-M4 内核停止), WWDG 计数器将继续正常工作或停止, 具体取决于调试模块中的 DBG_CTRL.WWDG_STOP 位。如果该位设置为“1”, 则计数器停止。该位为“0”时, 计数器正常工作。详见 29.3.2 调试模块章节。

17.6 用户界面

17.6.1 WWDG 配置流程

1. 配置 RCC_APB1PCLKEN.WWDGEN[11]位使能 WWDG 模块的时钟
2. 软件设置 WWDG_CFG.TIMERB[8:7]位来配置 WWDG 的预分频因子
3. 软件配置 WWDG_CTRL.T[6:0]位, 设置计数器的起始值。需要将 WWDG_CTRL.T[6]位设置为 1, 以防止启用后立即复位
4. 配置 WWDG_CFG.W[6:0]位配置上边界窗口值
5. 设置 WWDG_CTRL.ACTB[7]位使能 WWDG
6. 软件操作 WWDG_STS.EWINTF[0]位清除唤醒中断标志
7. 配置 WWDG_CFG.EWINT[9]位使能提前唤醒中断

17.7 WWDG 寄存器

17.7.1 WWDG 寄存器总览

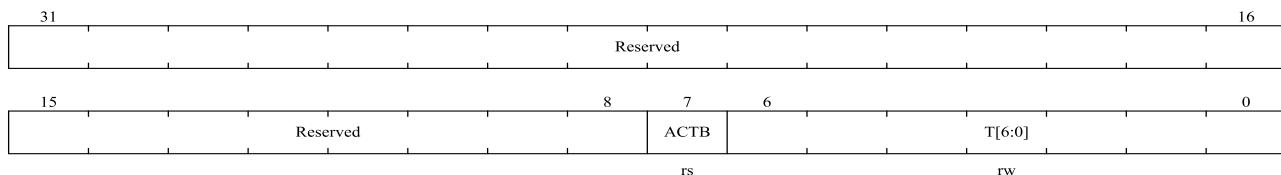
表 17-2 WWDG 寄存器总览

Offset	Register	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
000h	WWDG_CTRL	Reserved															ACTB	T[6:0]															
	Reset Value																	0	1	1	1	1	1	1	1								
004h	WWDG_CFG	Reserved															EWINT	TIMERB [1:0]	W[6:0]														
	Reset Value																		0	0	0	1	1	1	1	1	1	1	1	1	1	1	1
008h	WWDG_STS	Reserved															EWINTF																
	Reset Value																	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1

17.7.2 WWDG 控制寄存器 (WWDG_CTRL)

偏移地址: 0x00

复位值: 0x0000007F

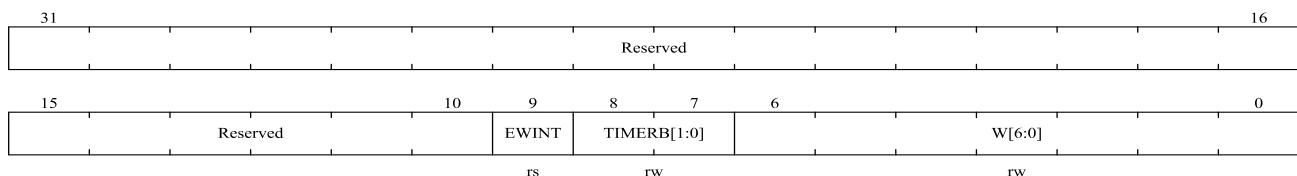


位域	名称	描述
31:8	保留	保留, 必须保持复位值。
7	ACTB	激活位 当 ACTB=1 时, 看门狗可以产生复位。该位由软件置位, 仅在复位后由硬件清零。当 ACTB=1 时, 看门狗可以产生复位。 0: 禁用看门狗 1: 启用看门狗
6:0	T[6:0]	这些位包含看门狗计数器的值。它每($4096 \times 2^{\text{TIMERB}}$)个 PCLK1 周期递减。当它从 0x40 翻转到 0x3F (T6 清零) 时, 会产生一个复位。

17.7.3 WWDG 配置寄存器 (WWDG_CFG)

偏移地址: 0x04

复位值: 0x0000007F

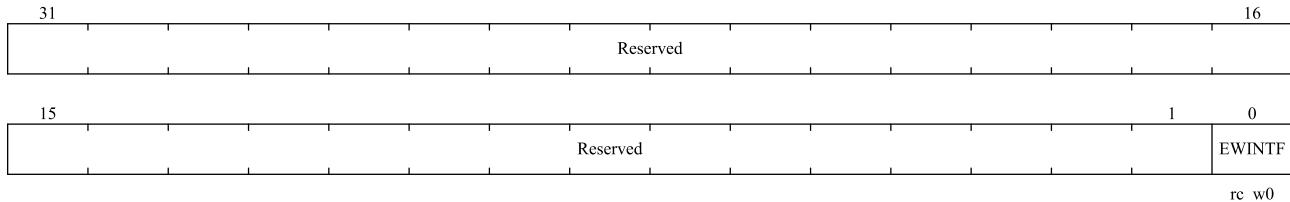


位域	名称	描述
31:10	保留	保留, 必须保持复位值。
9	EWINT	提前唤醒中断 设置后, 只要计数器达到值 0x40, 就会发生中断。此中断仅在复位后由硬件清除。
8:7	TIMERB[1:0]	时基 预分频器的时基可以修改如下: 00: CK 计数器时钟 (PCLK1 除以 4096) 除以 1 01: CK 计数器时钟 (PCLK1 除以 4096) 除以 2 10: CK 计数器时钟 (PCLK1 除以 4096) 除以 4 11: CK 计数器时钟 (PCLK1 除以 4096) 除以 8
6:0	W[13:0]	7 位窗口值 这些位包含要与递减计数器比较的窗口值。

17.7.4 WWDG 状态寄存器 (WWDG_STS)

偏移地址: 0x08

复位值: 0x0000



位域	名称	描述
31:1	保留	保留, 必须保持复位值。
0	EWINTF	提前唤醒中断标志 当计数器达到值 0x40 时, 该位由硬件设置。它必须由软件通过写入“0”来清零。写入“1”无效。如果中断未使能, 该位也会置位。

18 SDIO 接口 (SDIO)

18.1 SDIO 主要功能

SDIO 接口定义了 SD 卡、SD I/O 卡、多媒体卡 (MMC) 主机接口。它提供了 AHB 外设总线和 SD 存储卡、SDIO 卡、多媒体卡(MMC)和 CE-ATA 设备之间的数据传输。其中，所支持的多媒体卡系统规格书由 MMCA 技术委员会发布，可以在多媒体卡协会的网站上 (www.mmca.org) 获得，所支持的 CE-ATA 系统规格书可以在 CE-ATA 工作组的网站上 (www.ce-ata.org) 获得，所支持的 SD 存储卡和 SD I/O 卡系统规格书可以通过 SD 卡协会网站 (www.sdcards.org) 获得。

SDIO 的主要功能如下：

- SD 卡：与 SD 存储卡规格版本 2.0 全兼容。
- SD I/O：与 SD I/O 卡规格版本 2.0 全兼容，有两种不同的数据总线模式：1 位（默认）和 4 位。
- MMC：与多媒体卡系统规格书版本 4.2 及之前的版本全兼容。有三种不同的数据总线模式：1 位（默认）、4 位和 8 位。
- CE-ATA：与 CE-ATA 数字协议版本 1.1 全兼容，完全支持 CE-ATA 功能。
- 在 8 位数据总线模式下可达 48MHz 数据传输速率。
- 支持中断和 DMA 请求。
- 支持用于控制外部双向驱动器的数据和命令输出使能信号。

注意：

1、SDIO 没有 SPI 兼容的通信模式

2、在多媒体卡系统规格书版本 2.11 中，定义 SD 存储卡协议只支持 I/O 模式的 SD 卡或复合卡中的 I/O 部分，不支持 SD 存储设备中很多需要的命令，比如擦除等一些命令在 SDI/O 设备中不起作用，因此 SDIO 也不支持这些命令。另外，SD 存储卡和 SD I/O 卡中有些命令是不同的，SDIO 也不支持这些命令。

SDIO 在同一时间仅支持一个 SD/SDIO/MMC 4.2 卡或 CE-ATA 设备，但可以支持多个 MMC 版本 4.1 或以前版本的卡

18.2 SDIO 总线拓扑

通过传送命令和数据实现 SDIO 总线上的通信。上电复位之后，主机必须通过特殊的基于消息的总线协议来初始化卡。每个消息都是命令/响应结构，另外，某些消息还具有数据令牌。消息各部分具体描述如下：

- 命令：命令串行传输在 CMD 线上，是启动一个操作的令牌，从主机发送到卡
- 响应：响应串行传输在 CMD 线上，作为先前接收到的命令的回应，从卡发送到主机。
- 数据：数据通过数据线传送。数据可以从卡传输到主机或者从主机传输到卡。用于数据传输的数据线的数目可以是 1 (SDIO_DAT0)、4 (SDIO_DAT[3:0]) 或 8 (SDIO_DAT[7:0])。

命令，响应和数据块的结构在卡功能描述章节中介绍。一次数据传输就是一个总线操作。一般操作总是包含一个命令和响应。此外，一些操作还有一个数据令牌。还有一些其他操作直接将他们的信息包含在命令或响应结构中。在这种情况下，操作没有数据令牌。

数据传输命令有两种类型：数据块和数据流。在 SD/SDIO 存储器卡和 CE-ATA 设备上传送的数据是以数据块的形式传输；在 MMC 上传送的数据是以数据块或数据流的形式传输；

数据流和数据块传输定义如下：

- 数据流：命令发起连续的数据流，只有当 CMD 信号线上出现停止命令时，数据传输终止。该模式将命令的开销减少到最低（仅支持 MMC）。
- 数据块：命令成功发送一个数据块后紧跟一个 CRC 校验。读和写操作允许单个或多个块传输。与连续读相同，当 CMD 信号线上出现停止命令时，多块传输终止。

SDIO 总线上的基本操作是命令/响应操作，这种类型的总线事务直接在命令或响应结构中传递它们的信息。另外，有些操作还有数据令牌。卡与设备之间的数据传输通过块完成。各传输类型如下图所示：

图 18-1 SDIO “无响应” 和 “无数据” 操作

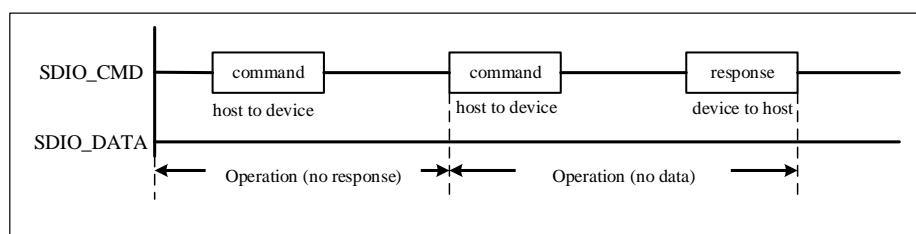


图 18-2 SDIO (多) 数据块读操作

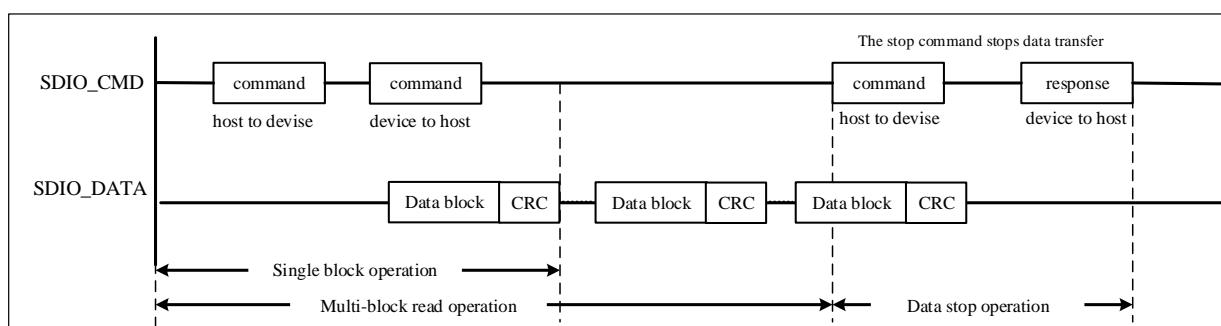
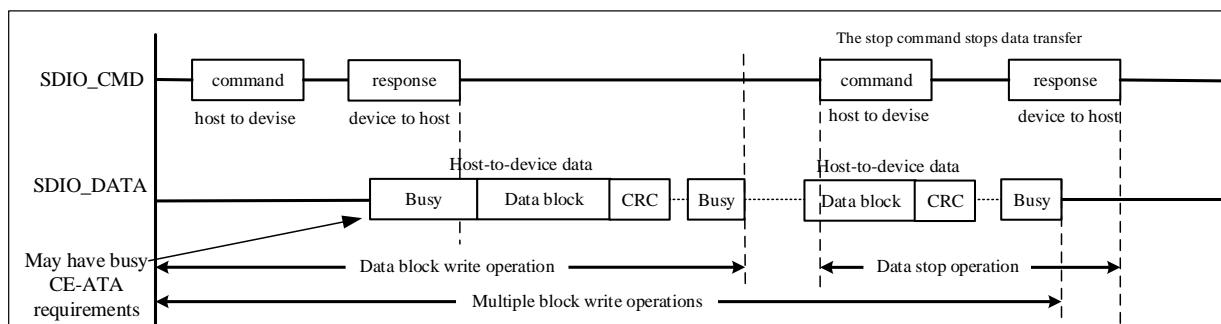


图 18-3 SDIO (多) 数据块写操作



注：当有 Busy (繁忙) 信号时，SDIO (SDIO_DATA 被拉低) 将不会发送任何数据

图 18-4 SDIO 连续读操作

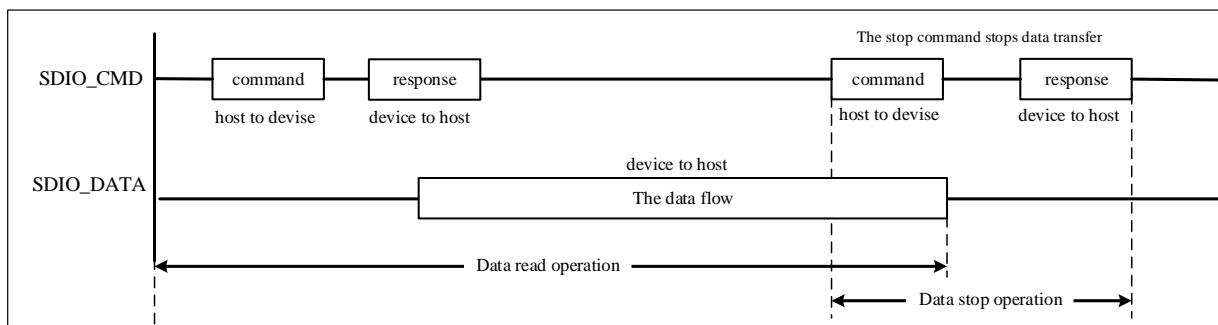
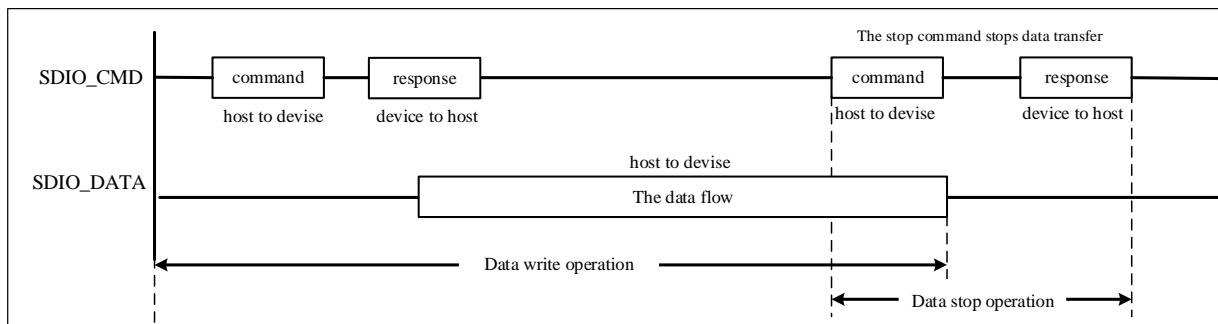


图 18-5 SDIO 连续写操作

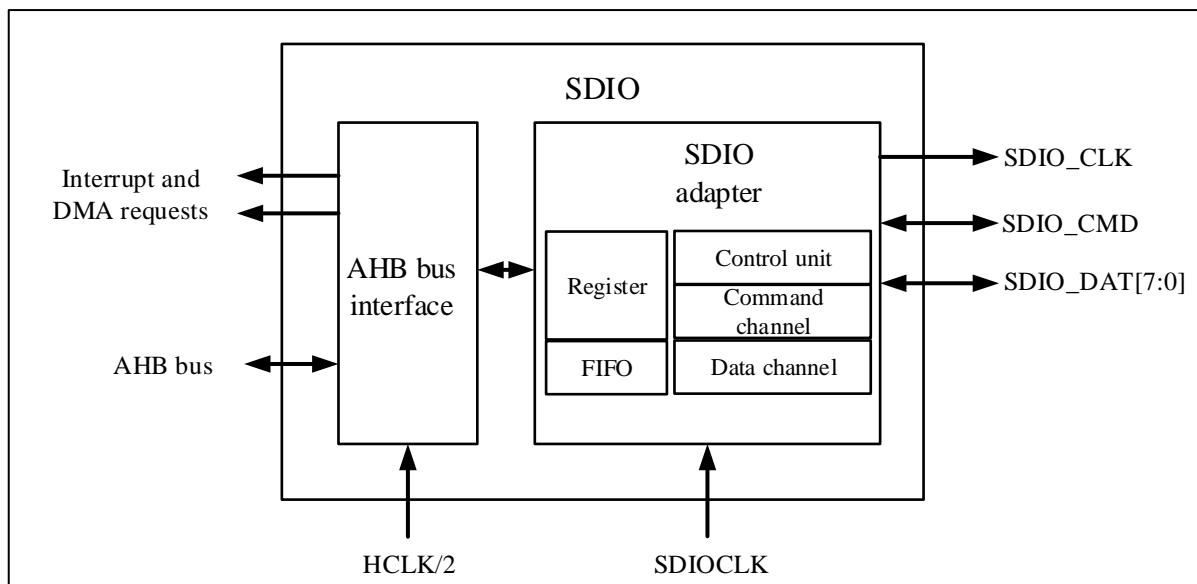


18.3 SDIO 功能描述

图 18-6 为 SDIO 结构框图:

- SDIO 适配器: 由控制单元、命令单元和数据单元组成, 控制单元产生时钟信号, 命令单元和数据单元分别管理命令和数据的传输, 由此来实现 MMC/SD/SD I/O 卡的相关功能。
- AHB 总线接口: 用于操作 SDIO 适配器模块中的寄存器, 控制数据传输的 FIFO 单元, 并产生中断和 DMA 请求信号。

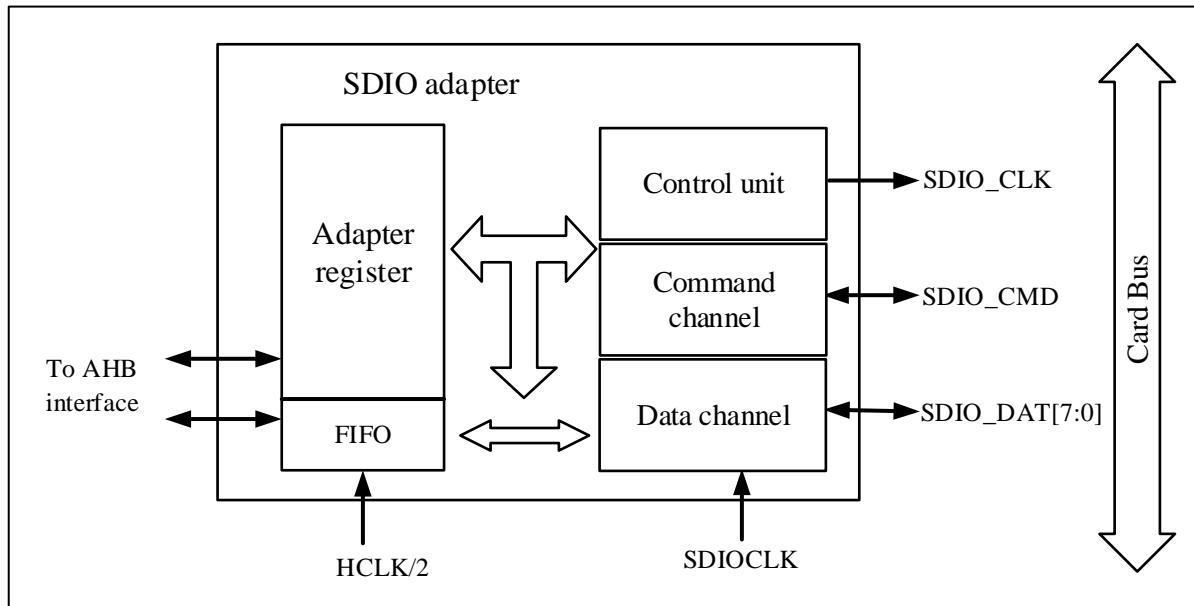
图 18-6 SDIO 框图



18.3.1 SDIO 适配器

下图是简化的 SDIO 适配器框图：

图 18-7 SDIO 适配器



AHB 总线的 HCLK/2 作为适配器寄存器和 FIFO 的时钟，SDIOCLK（等于 HCLK）作为控制单元、命令通道和数据通道的时钟。

SDIO 适配器包含控制单元、适配器寄存器模块、命令单元、数据单元和数据 FIFO 5 个部分。输出到卡总线的信号如下：

- SDIO_DAT[7:0]: 数据信号线使用推挽模式。默认情况下，上电或者复位后仅 SDIO_DAT0 用于数据传输。SDIO 适配器在初始化主机后可以配置更宽的数据总线用于数据传输，使用 DAT0-DAT3 或者 DAT0-DAT7（仅适用于 MMC V4.2）。注意 MMC 版本 V3.31 和之前版本的协议只支持 1 位数据线（只能用 SDIO_DAT0）。当 SD 或 SD I/O 卡连接到总线时，可以通过主机配置数据传输使用 SDIO_DAT0 或 SDIO_DAT[3:0]。
- SDIO_CMD, 两种操作模式：
 - ◆ 用于初始化时的开漏模式（仅用于 MMC 版本 V3.31 或之前版本）
 - ◆ 用于命令传输的推挽模式（SD/SD I/O 卡和 MMC V4.2 在初始化时也使用推挽驱动）
- SDIO_CLK: SDIO 控制器提供给卡的时钟。每个时钟周期在命令线(SDIO_CMD)和所有的数据线上直接发送一位命令或数据。对于不同卡时钟频率的变化范围不同，具体如下：
 - ◆ MMC V3.31 协议，可选 0MHz 至 20MHz 间的时钟频率；
 - ◆ MMC V4.0/4.2 协议，可选 0MHz 至 48MHz 间的时钟频率；
 - ◆ SD 或 SD I/O 卡，可选 0MHz 至 25MHz 间的时钟频率时。

下表是 MMC/SD/SD I/O 卡总线引脚定义：

表 18-1 MMC/SD/SD I/O 卡总线引脚定义

引脚	方向	说明
SDIO_CLK	输出	MMC/SD/SDIO 卡时钟, 从主机至卡的时钟线
SDIO_CMD	双向	MMC /SD/SDIO 卡命令, 双向的命令/响应信号线
SDIO_DAT[7:0]	双向	MMC/SD/SDIO 卡数据, 双向的数据总线

18.3.1.1 适配器寄存器模块

适配器寄存器模块包含所有 SDIO 相关的寄存器。

18.3.1.2 控制单元

控制单元包含电源管理功能和时钟管理功能, 用于存储卡识别、初始化, 时钟控制等。

电源管理是由 SDIO_PWRCTRL 寄存器控制的, 实现电源的掉电和上电。共有三种电源阶段: 电源关闭、电源启动和电源开。

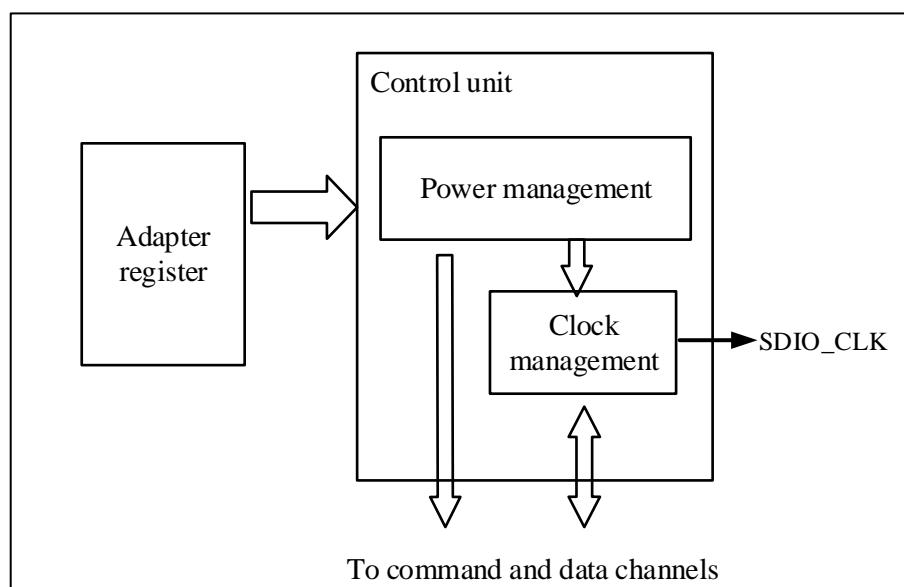
通过设置 SDIO_CLKCTRL.PWRCFG 位来配置省电模式, 实现当总线空闲时, 关闭 SDIO_CLK。当 SDIO_CLKCTRL.CLKBYP 位为 0 时, SDIO_CLK 由 SDIOCLK 分频得到; 当 SDIO_CLKCTRL.CLKBYP 位为 1 时, SDIO_CLK 直接为 SDIOCLK。

通过设置 SDIO_CLKCTRL.HWCLKEN 位使能硬件时钟控制。该功能用于避免 FIFO 下溢和上溢错误, 硬件根据系统总线是否繁忙, 控制 SDIO_CLK 的开关。当 FIFO 不能接收或发送数据, 主机将会关闭 SDIO_CLK 并冻结 SDIO 状态机来避免相关错误。只有状态机能被冻结, 但 AHB 接口仍在工作。所以, FIFO 可以通过 AHB 总线访问。

时钟管理子单元产生和控制 SDIO_CLK 信号。SDIO_CLK 输出支持: 时钟分频或者时钟旁路模式。

在复位后、电源关闭和电源启动阶段或者启动了省电模式并且卡总线处于空闲状态 (命令通道和数据通道子单元进入空闲阶段后的 8 个时钟周期) 时, 这三种情形下 SDIO_CLK 时钟没有输出。

图 18-8 控制单元

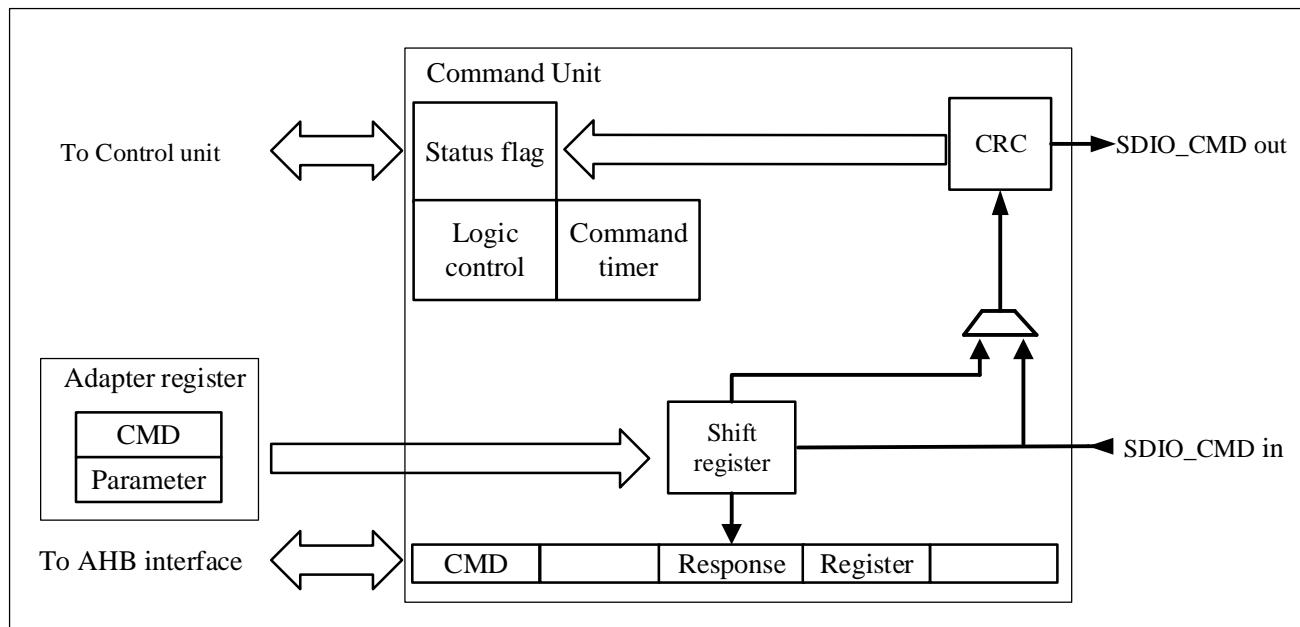


18.3.1.3 命令单元

命令单元与卡进行命令发送与接收。命令通道的数据传输流由命令状态机 (CPSM) 控制。在将

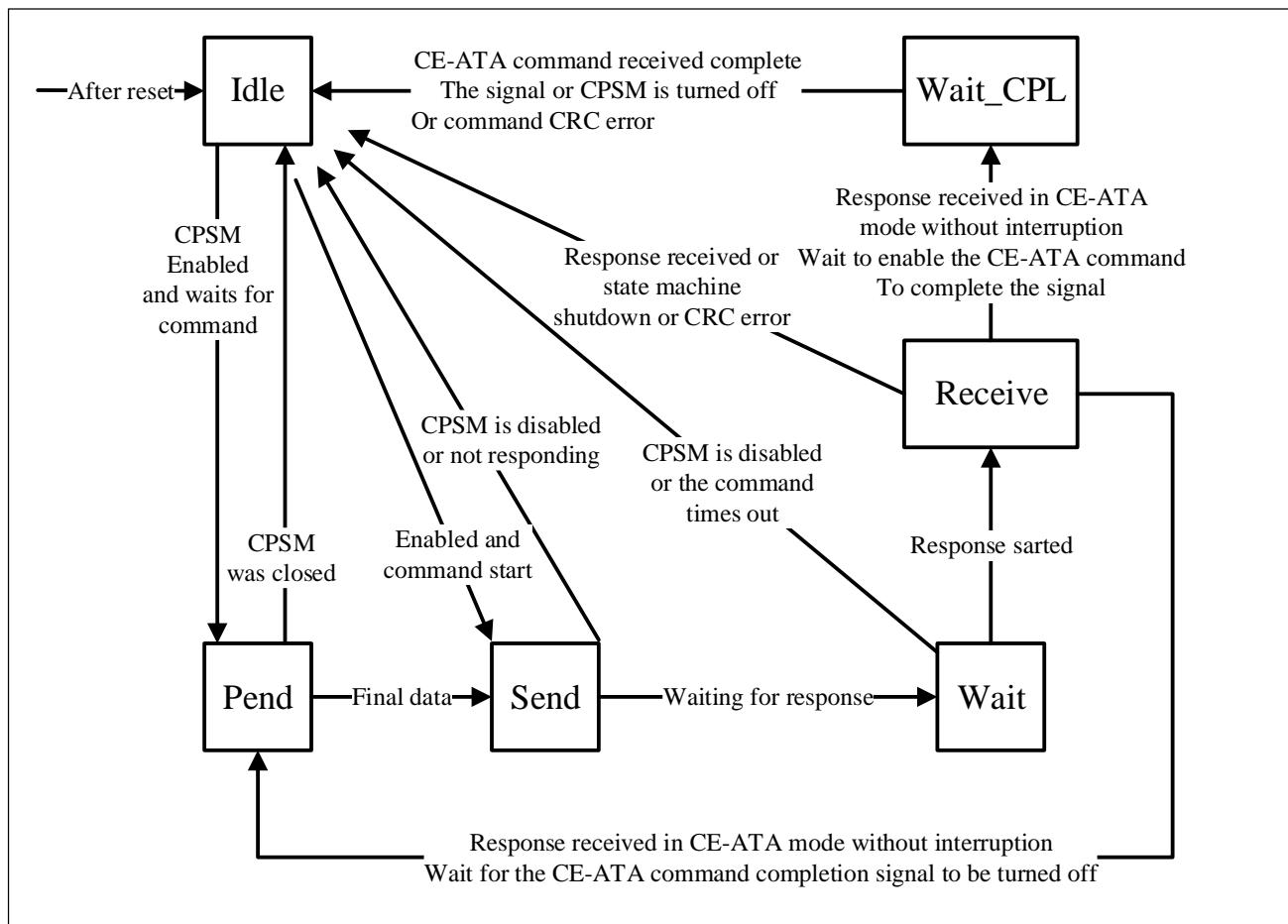
SDIO_CMDCTRL.CPSMEN 位设置为 1 并对其进行一次写操作后，命令传输开始。首先通过 SDIO_CMD 线向卡发送一个包含 48 位的命令，每个 SDIO_CLK 发送一个比特数据。这 48 位命令包含 1 位起始位、1 位传输位、6 位命令索引（由 SDIO_CMDCTRL.CMDIDX 位定义）、32 位参数（由 SDIO_CMDARG 定义）、7 位 CRC 和 1 位停止位。然后在 SDIO_CMDCTRL.CMDIDX 位不为 0b00 或 0b10 的情况下接收来自卡的响应，响应分为 48 位的短响应和 136 位的长响应，响应都存在 SDIO_RESPONSE0~SDIO_RESPONSE3 寄存器中。命令单元同样可以产生命令状态标志，这些状态位在 SDIO_STS 寄存器中定义。

图 18-9 SDIO 适配器命令单元



■ 命令单元状态机 (CPSM)

图 18-10 命令单元状态机 (CPSM)



◆ 空闲 (Idle)

该状态为空闲状态，在系统复位后准备发送命令或者命令状态机 (CPSM) 被关闭后的状态都属于 Idle 状态，当命令状态机 (CPSM) 被使能的时候，等待数据传输结束位 (SDIO_CMDCTRL.WDATEND) 使能或者失能都可以进入 Pend 状态。

注意：命令状态机在空闲状态至少保持 8 个 SDIO_CLK 周期，以满足 NCC 和 NRC 时序限制。NCC 是两个主机命令之间的最长时间间隔，NRC 是主机命令与卡响应之间的最长时间间隔。

◆ 挂起 (Pend)

该状态为挂起状态，等待数据传输结束。当数据传输完成后命令状态机由 Pend 状态进入 Send 状态；当命令状态机 (CPSM) 被关闭后，CPSM 进入 Idle 状态。

◆ 发送 (Send)

该状态为发送状态，表示正在发送命令，如果命令发送后有响应，则命令状态机进入 Wait 状态，如果命令发送后无响应，则命令状态机进入 Idle 状态。

◆ 等待 (Wait)

该状态为等待状态，等待响应起始位。当进入等待 (Wait) 状态时，命令定时器开始运行；如果接收到响应，即检测到起始位，命令状态机 (CPSM) 进入 Receive 状态，当命令状态机 (CPSM) 进入接收 (Receive) 状态之前，产生了超时，则设置超时标志并进入空闲 (Idle) 状态。

注意：命令超时时间固定为 64 个 SDIO_CLK 时钟周期。

◆ 接收 (Receive)

该状态为接收状态，接收响应并检测 CRC。

在 CE-ATA 模式下收到响应，失能 CE-ATA 中断并且等待 CE-ATA 设备命令完成信号使能后进入 Wait_CPL 状态。

在 CE-ATA 模式下收到响应，失能 CE-ATA 中断并且等待 CE-ATA 设备命令完成信号失能后进入 Pend 状态。

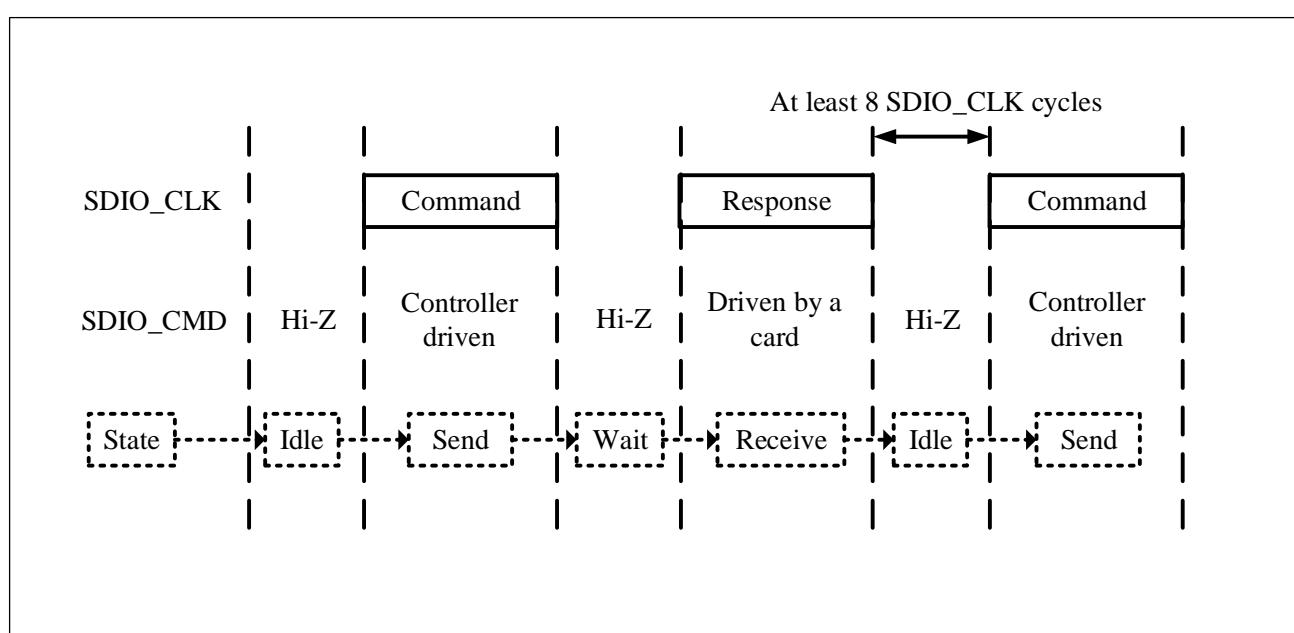
CPSM 被关闭、收到响应或者命令 CRC 检测失败都会进入 Idle 状态。

◆ Wait_CPL

在该状态等待 CE-ATA 设备命令完成信号，当收到 CE-ATA 命令完成信号后进入 Idle 状态。CPSM 被关闭或者命令 CRC 检测失败也会进入 Idle 状态

如果在命令寄存器设置了中断位，则关闭定时器，CPSM 等待某一个卡发出的中断请求。如果命令寄存器中设置挂起位，CPSM 进入挂起 (Pend) 状态并等待数据通道子单元发出的 CmdPend 信号，在检测到 CmdPend 信号时，CPSM 进入发送 (Send) 状态，这将触发数据计数器发送停止命令的功能。

图 18-11 SDIO 命令传输



■ 命令寄存器

发至卡的 6 位命令索引和命令类型保存在命令寄存器；命令类型（见 18.7.4 节）决定了是否响应以及响应的类型（48 位还是 136 位）。

表 18-2 命令通道状态标志

标志	说明
SDIO_STS.CMDRESPRECV	响应的 CRC 正确
SDIO_STS.CCRCERR	响应的 CRC 错误
SDIO_STS.CMDSEND	命令（不需要响应的命令）已经送出

SDIO_STS.CMDTIMEOUT	响应超时
SDIO_STS.CMDRUN	正在发送命令

CRC 发生器计算 CRC 码之前所有位的 CRC 校验和，包括开始位、发送位、命令索引和命令参数（或卡状态）。对于长响应格式，CRC 校验和计算的是 CID 或 CSD 的前 120 位；注意，长响应格式中的开始位、传输位和 6 个保留位不参与 CRC 计算。

CRC 校验和是一个 7 位的数值：

$$\text{CRC}[6:0] = \text{余数}[(M(x) * x^7) / G(x)]$$

$$G(x) = x^7 + x^3 + 1$$

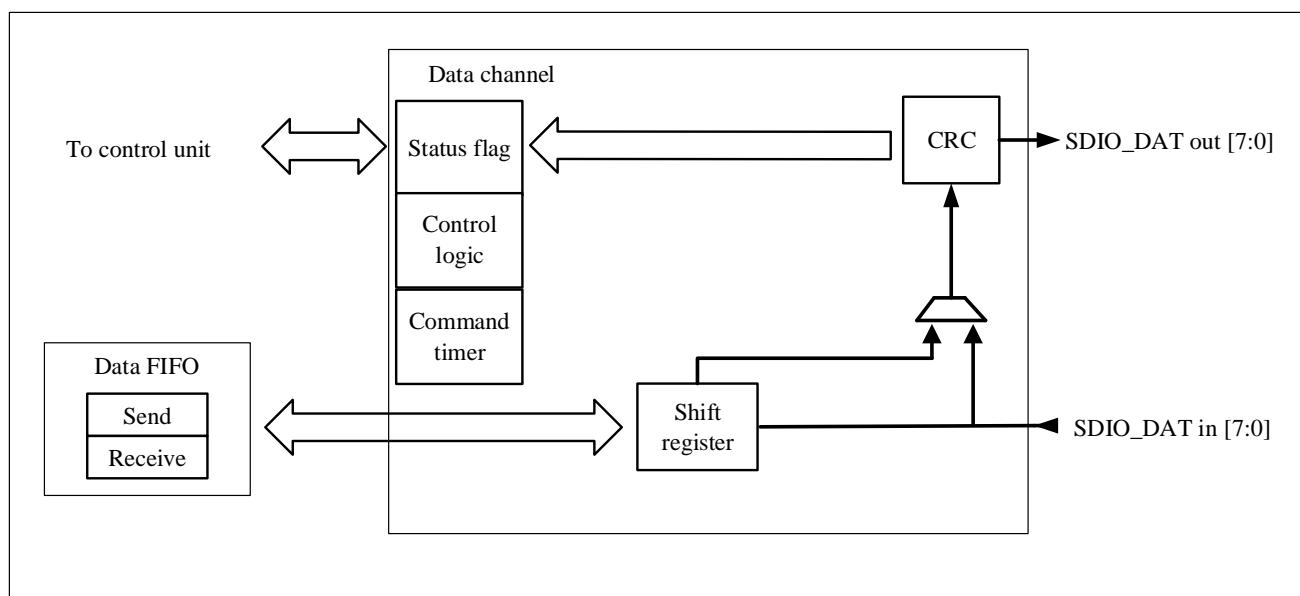
$$M(x) = (\text{开始位}) * x^{39} + \dots + (\text{CRC 前的最后一位}) * x^0, \text{ 或}$$

$$M(x) = (\text{开始位}) * x^{119} + \dots + (\text{CRC 前的最后一位}) * x^0。$$

18.3.1.4 数据通道

主机与卡之间数据是通过数据通道传输。

图 18-12 数据通道



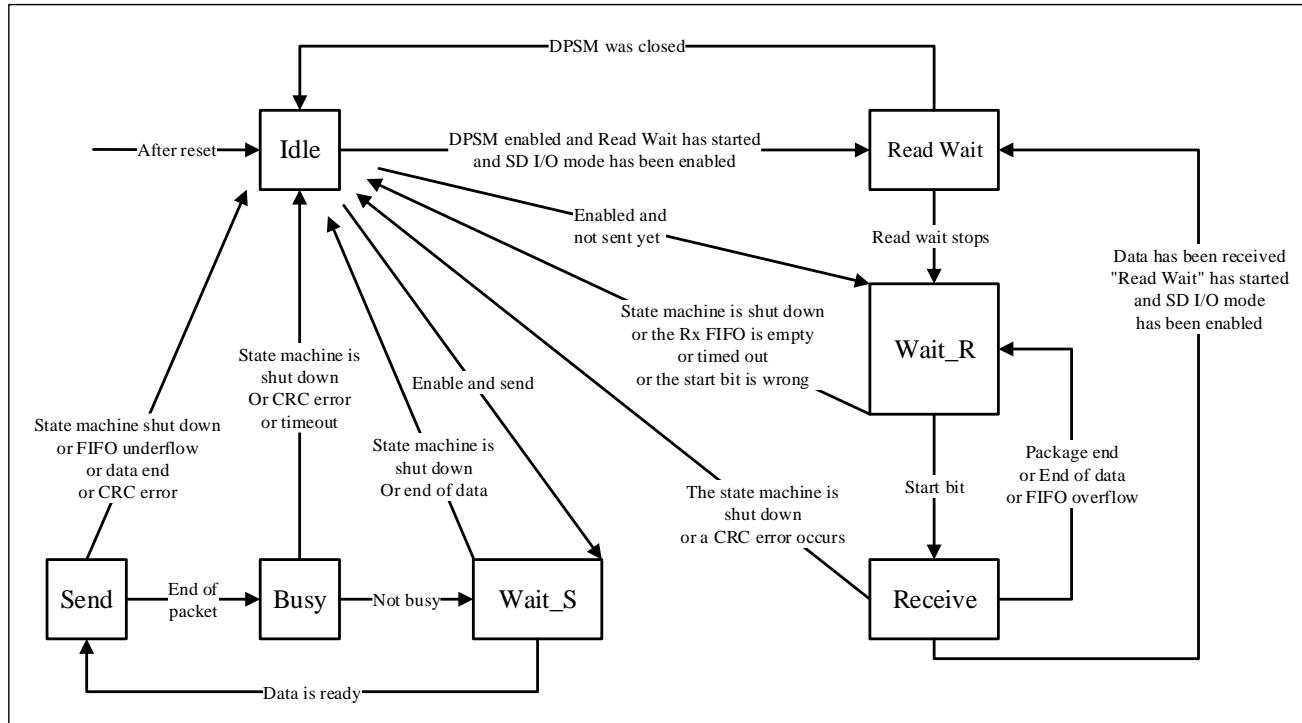
在时钟控制寄存器（SDIO_CLKCTRL）中可以配置卡的数据总线宽度。当数据宽度为 4 位（SDIO_CLKCTRL.BUSMODE 位为 0b01）时，每个时钟周期 SDIO_DAT[3:0]四条数据信号线上将传输 4 位数据；当数据宽度为 8 位（SDIO_CLKCTRL.BUSMODE 位为 0b10）时，则每个时钟周期 SDIO_DAT[7:0]八条数据信号线上将传输 8 位数据；当数据宽度为 1 位（SDIO_CLKCTRL.BUSMODE 位为 0b00）或者没有选择总线模式时，每个时钟周期只在 SDIO_DAT0 上传输 1 位数据。

数据传输流由数据通道状态机（DPSM）控制。在对 SDIO_DATCTRL 寄存器进行一次写操作并将 SDIO_DATCTRL.DATEN 位置为 1，数据传输开始。当 SDIO_DATCTRL.DATDIR 位为 0 时，数据是从控制器到卡，DPSM 进入 Wait_S 状态，如果发送 FIFO 中有数据，则 DPSM 进入发送状态，同时数据通道子单元开始向卡发送数据；当 DATDIR 位为 1 时，数据是从卡到控制器，DPSM 进入 Wait_R 状态，当收到开始位时，则 DPSM 进入接收状态并等待开始位，同时数据通道子单元开始从卡接收数据。数据单元同样可以产生数据状态标志（在 SDIO_STS 寄存器中定义）。

18.3.1.5 数据通道状态机 (DPSM)

数据通道状态机 (DPSM) 工作在 SDIO_CLK 频率，卡总线信号与 SDIO_CLK 的上升沿同步。DPSM 有 6 个状态，如下图所示：

图 18-13 数据通道状态机 (DPSM)



■ 空闲 (Idle):

在该状态，数据通道不工作，等待发送和接收数据，SDIO_DAT[7:0]输出处于高阻状态。当写入数据控制寄存器并设置使能位时，DPSM 为数据计数器加载新的数值，当数据传输方向为主机到卡时进入 Wait_S 状态，当数据传输方向为卡到主机进入 Wait_R 状态。当 DPSM 使能并且读等待已经开始并且使能了 SD I/O 模式进入 Read Wait 状态。

■ 等待接收 (Wait_R):

在该状态，DPSM 等待接收数据的起始位。如果数据超时（计数器等于 0，当接收 FIFO 为空）DPSM 进入到空闲 (Idle) 状态。如果数据计数器不等于 0，DPSM 等待 SDIO_DAT 上的开始位；如果 DPSM 在超时之前接收到一个开始位，它会进入接收 (Receive) 状态并加载数据块计数器。如果 DPSM 在检测到一个开始位前出现超时，或发生开始位错误，DPSM 将进入空闲状态并设置超时状态标志。

■ 接收 (Receive):

该状态 DPSM 接收卡的数据并将其写入数据 FIFO。根据数据控制寄存器中传输模式位的设置，数据传输模式可以是块传输或流传输。

- ◆ 在块模式下，当数据块计数器达到 0 时，DPSM 等待接收 CRC 码，如果接收到的代码与内部产生的 CRC 码匹配，则 DPSM 进入 Wait_R 状态，否则设置 CRC 失败状态标志同时 DPSM 进入到空闲状态。
- ◆ 在流模式下，当数据计数器不为 0 时，DPSM 接收数据；当计数器为 0 时，将移位寄存器中的剩余数据写入数据 FIFO，同时 DPSM 进入 Wait_R 状态。如果产生了 FIFO 上溢错误，DPSM 设置 FIFO

的错误标志并进入空闲状态。

■ 等待发送 (Wait_S):

在该状态, DPSM 等待数据 FIFO 为空标志无效或者数据传输结束。如果数据计数器为 0, DPSM 进入空闲状态; 否则 DPSM 等待数据 FIFO 空标志消失后, 进入发送状态。

注意: DPSM 会在 Wait_S 状态保持至少 2 个时钟周期, 以满足 NWR 的时序要求, NWR 是接收到卡的响应至主机开始数据传输的间隔。

■ 发送 (Send):

在该状态, DPSM 开始发送数据到卡设备。根据数据控制寄存器中传输模式位的设置, 数据传输模式可以是块传输或流传输:

- ◆ 在块模式下, 当数据块计数器达到 0 时, DPSM 发送内部产生的 CRC 码, 然后是结束位, 并进入繁忙状态。
- ◆ 在流模式下, 当使能位为高同时数据计数器不为 0 时, DPSM 向卡设备发送数据, 然后进入空闲状态。
- ◆ 如果产生了 FIFO 下溢错误, DPSM 设置 FIFO 的错误标志并进入空闲状态。

■ 繁忙 (Busy):

在该状态, DPSM 等待 CRC 状态标志:

- ◆ 如果没有接收到正确的 CRC 状态, 则 DPSM 进入空闲状态并设置 CRC 失败状态标志。
- ◆ 如果接收到正确的 CRC 状态, 并且卡不繁忙时 (SDIO_DAT0 不为低) DPSM 进入 Wait_S 状态。
- ◆ 如果没有接收到正确的 CRC 状态, 则 DPSM 进入空闲状态并设置 CRC 失败状态标志。
- ◆ 如果数据超时 DPSM 则设置数据超时标志并进入空闲状态。
- ◆ 当 DPSM 处于 Wait_R 或繁忙状态时, 数据定时器被使能, 并能够产生数据超时错误。
- ◆ 发送数据时, 如果 DPSM 处于繁忙状态超过程序设置的超时间隔, 则产生超时。
- ◆ 接收数据时, 如果未收完所有数据, 并且 DPSM 处于 Wait_R 状态超过程序设置的超时间隔, 则产生超时。

18.3.1.6 数据

数据可以从主机传送到卡, 也可以反向传输。

数据在数据线上传输。数据存储在一个 32 字深度的 FIFO 中, 每个字为 32 位宽。

表 18-3 数据令牌格式

说明	开始位	数据	CRC16	结束位
块数据	0	-	有	1
流数据	0	-	无	1

18.3.1.7 数据 FIFO

数据 FIFO 单元有一个数据缓冲区, 用于发送和接收数据缓冲。FIFO 包含一个数据缓冲区以及发送与接收电路, 其中缓冲区大小为每字 32 位宽、共 32 个字 (深度为 32 字)。数据 FIFO 工作在 AHB 时钟区域 (HCLK/2), 所有与 SDIO 时钟区域 (SDIOCLK) 连接的信号都进行了重新同步。

依据 SDIO_STS.TXRUN 和 SDIO_STS.RXRUN 标志，可以关闭 FIFO、使能发送或使能接收。SDIO_STS.TXRUN 和 SDIO_STS.RXRUN 由数据通道子单元设置而且是互斥的：

- 当 SDIO_STS.TXRUN 有效时，发送 FIFO 代表发送电路和数据缓冲区
- 当 SDIO_STS.RXRUN 有效时，接收 FIFO 代表接收电路和数据缓冲区

发送 FIFO: 当使能了 SDIO 的发送功能，数据可以通过 AHB 接口写入发送 FIFO。发送 FIFO 有 32 个连续的地址。发送 FIFO 中有一个数据输出寄存器，包含读指针指向的数据字。当数据通道子单元装填了移位寄存器后，它移动读指针至下个数据并传输出数据。如果未使能发送 FIFO，所有的状态标志均处于无效状态。当发送数据时，数据通道子单元设置 SDIO_STS.TXRUN 为有效。

表 18-4 发送 FIFO 状态标志

标志	说明
SDIO_STS.TFIFOF	当所有 32 个发送 FIFO 字都有有效的数据时，该标志为高。
SDIO_STS.TFIFOE	当所有 32 个发送 FIFO 字都没有有效的数据时，该标志为高。
SDIO_STS.TFIFOHE	当 8 个或更多发送 FIFO 字为空时，该标志为高。该标志可以作为 DMA 请求。
SDIO_STS.TDATVALID	当发送 FIFO 包含有效数据时，该标志为高。该标志的意思刚好与 TFIFOE 相反。
SDIO_STS.TXURERR	当发生下溢错误时，该标志为高。写入 SDIO 清除寄存器时清除该标志。

接收 FIFO: 当数据通道子单元接收到一个数据字，它会把数据写入 FIFO，写操作结束后，写指针自动加一；在另一端，有一个读指针始终指向 FIFO 中的当前数据。如果关闭了接收 FIFO，所有的状态标志会被清除，读写指针也被复位。在接收到数据时数据通道子单元设置 SDIO_STS.RXRUN。下表列出了接收 FIFO 的状态标志。通过 32 个连续的地址可以访问接收 FIFO。

表 18-5 接收 FIFO 状态标志

标志	说明
SDIO_STS.RFIFOF	当所有 32 个发送 FIFO 字都有有效的数据时，该标志为高。
SDIO_STS.RFIFOE	当所有 32 个发送 FIFO 字都没有有效的数据时，该标志为高。
SDIO_STS.RFIFOHF	当 8 个或更多发送 FIFO 字为空时，该标志为高。该标志可以作为 DMA 请求。
SDIO_STS.RDATVALID	当发送 FIFO 包含有效数据时，该标志为高。该标志的意思刚好与 TFIFOE 相反。
SDIO_STS.RXORERR	当发生下溢错误时，该标志为高。写入 SDIO 清除寄存器时清除该标志。

18.3.2 SDIO AHB 接口

AHB 接口实现了访问 SDIO 寄存器、数据 FIFO 和生成中断和 DMA 请求。包括数据通道、寄存器译码器和中断/DMA 控制逻辑。

18.3.2.1 SDIO 中断

当至少有一个选中的状态标志为高时，中断控制逻辑产生中断请求。中断使能寄存器允许中断逻辑产生相应的中断。

18.3.2.2 SDIO/DMA 接口

DMA 接口提供一种方法，可以快速地在 SDIO 数据 FIFO 和存储器之间直接进行数据传输。

下面的例子详细描述了如何实现这种方法。主机控制器使用 CMD24 (WRITE_BLOCK) 从主机传送 512 字节到 MMC 卡，DMA 控制器用于从存储器向 SDIO 的 FIFO 填充数据。

1. 完成卡识别过程

2. 提高 SDIO_CLK 时钟频率
3. 发送 CMD7 命令用于选择卡并配置总线宽度
4. DMA1 的配置过程如下：
 - a) 使能 DMA1 控制器并清除所有的中断标志位
 - b) 用存储器缓冲区的基地址来设置 DMA1 通道 3 的源地址寄存器，用 SDIO_FIFO 寄存器的地址来配置 DMA1 通道 3 的目的地址寄存器。
 - c) 设置 DMA1 通道 3 的控制寄存器（存储器地址指针递增，外设地址指针固定，存储器和外设的数据宽度为字宽度）
 - d) 使能 DMA1 通道 3
5. 写数据块 (CMD24) 的过程如下：
 - a) 设置 SDIO 数据长度寄存器，以字节的形式将数据大小写入到 SDIO_DATLEN 寄存器中，以字节的形式块大小写入到 SDIO_DATCTRL 寄存器中，然后主机以每个块大小 (BLKSIZE) 发送数据。
 - b) 向 SDIO 参数寄存器 SDIO_CMDARG 中写入数据的地址，该地址为卡中需要传送数据的地址
 - c) 设置 SDIO 命令控制寄存器 (SDIO_CMDCTRL)：SDIO_CMDCTRL.CMDIDX 置为 24 (WRITE_BLOCK)；SDIO_CMDCTRL.CMDRESP[1:0] 置为 1 (SDIO 卡主机等待响应)；SDIO_CMDCTRL.CMDRESP 置为 1 (SDIO 卡主机等待短响应)；SDIO_CMDCTRL.CPSMEN 置为 1 (使能 SDIO 卡主机发送命令)，其它字段为其复位值。
 - d) 等待 SDIO_STS.CMDRESPRECV 置位，然后配置 SDIO 数据控制寄存器：SDIO_DATCTRL.DATEN 置为 1 (SDIO 卡主机发送数据使能)；SDIO_DATCTRL.DATDIR 置为 0 (传输方向从控制器到卡)；SDIO_DATCTRL.TRANSMOD 置为 0 (块数据传送)；SDIO_DATCTRL.DMAEN 置为 1 (DMA 使能)；SDIO_DATCTRL.BLKSIZE 置为 9 (512 字节)；其它字段不用设置。
 - e) 等待状态寄存器 SDIO_STS.DATBLKEND 标志位置位。
6. 查询 DMA 通道的使能状态寄存器，确认没有通道仍处于使能状态。

18.4 卡功能描述

18.4.1 工作电压范围确认

所有的卡都可以使用规定范围内的任何电压与 SDIO 卡主机通信，可支持的最小和最大电压 VDD 数值由卡上的操作条件寄存器 (OCR) 定义。在主机和卡之间开始通信时，主机可能不知道卡支持的电压，并且卡可能不知道主机构能否提供其支持的电压。为了验证电压，需要一系列特殊的命令，这些特殊的命令都在相关规范中定义。

在协议规范中定义的命令包括：CMD1 (SEND_OP_COND，用于 MMC)、ACMD41 (SD_APP_OP_COND，用于 SD 存储卡) 和 CMD5 (IO_SEND_OP_COND，用于 SD I/O 卡)。这些命令提供给主机一种机制去识别和拒绝那些不匹配主机所需的 VDD 范围的卡。这是因为内部存储器存储了卡识别号 (CID) 和卡特定数据 (CSD) 的卡，仅能在数据传输 VDD 条件下传送这些信息。当 SDIO 卡主机模块与卡的 VDD 范围不一致时，卡将不能完成识别周期，也不能发送 CSD 数据；因此，在 VDD 范围不匹配时，SDIO 卡主机可以用这些特殊命令去识别和拒绝卡。SDIO 卡主机在执行这几个命令时会产生需要的 VDD 电压。不能在指定的电压范围进行数据传输的卡，将从总线断开并进入非激活状态。

如果该卡不能工作在所提供的电压下，它不返回响应，并保持在空闲状态。初始化 SD 卡时强制性的在 ACMD41 命令之前发送 CMD8。收到 CMD8 是让该卡知道主机支持物理层 2.00 协议及卡支持高版本的功能。如果该卡可以工作在所提供的电压下，响应将返回供电电压和在命令参数中设置的检查模式。

18.4.2 卡复位

CMD0 命令 (GO_IDLE_STATE) 是一个软件复位命令，它设置多媒体卡 (MMC) 和 SD 存储卡进入空闲状态 (Idle State)。不管当前卡的状态是什么。复位命令 (CMD0) 仅用于存储器或组合卡的存储器部分。CMD52 命令 (IO_RW_DIRECT) 复位 SD I/O 卡。在非激活状态 (Inactive State) 的卡不受此命令的影响。

主机上电后，所有的卡都处于空闲状态 (Idle State)，包括之前已在非激活状态 (Inactive State) 的卡。上电后或执行 CMD0 后，所有卡的输出端都处于高阻状态。所有卡的 CMD 线处于输入模式，等待下一个命令的起始位，同时所有卡都被初始化至一个默认的相对卡地址 (RCA=0x0001)，并用默认 400kHz 的时钟频率驱动器 (最低的速度，最大的电流驱动能力)。

18.4.3 卡识别模式

主机复位后进入卡识别模式，寻找总线上的新卡。在卡识别模式下，主机复位所有的卡，验证工作电压范围，识别卡并询问每个卡的相对卡地址 (RCA)。这个操作是在每个卡自己的命令信号线 CMD 上分别完成的。在卡识别模式中的所有数据通信只使用命令信号线 (CMD)。在卡识别过程中，卡应该工作在时钟频率为时钟速率 F_{od} (400 kHz) 的情况下。

18.4.4 卡识别过程

不同卡的识别过程是不一样的；对于多媒体卡，卡识别过程以时钟频率 F_{od} 开始，所有 SDIO_CMD 输出为开路驱动，允许在这个过程中的卡的并行连接。

多媒体卡识别过程如下：

1. 总线被使能
2. SDIO 卡主机广播发送 CMD1 (SEND_OP_COND) 命令，并接收操作条件，得到所有卡的操作条件寄存器内容的“线与”
3. 如果卡不兼容则会被置于非激活状态
4. SDIO 卡主机广播发送 CMD2 命令 (ALL_SEND_CID) 至所有激活的卡，所有激活的卡同时串行地发送他们的 CID 号，那些检测到输出的 CID 位与命令线上的数据不相符的卡必须停止发送，并等待下一个识别周期。最终只有一个卡能够成功地传送完整的 CID 至 SDIO 卡主机并进入识别状态。
5. SDIO 卡主机发送 CMD3 命令 (SET_RELATIVE_ADDR) 至这个卡，这个新的地址被称为相对卡地址 (RCA)，它比 CID 短，用于对卡寻址。至此，这个卡转入待机状态，并不再响应新的识别过程，同时它的输出驱动从开路转变为推挽模式。
6. SDIO 卡主机重复上述步骤 4 和步骤 5，直到收到超时条件。

SD 卡识别过程以时钟频率 F_{od} 开始，所有 SDIO_CMD 输出为推挽驱动而不是开路驱动，识别过程如下：

1. 总线被使能
2. SDIO 卡主机广播发送 ACMD41 (SEND_APP_OP_COND) 命令，得到所有卡的操作条件寄存器的内容

3. 如果卡不兼容，则会被置于非激活状态
4. SDIO 卡主机广播发送 CMD2 (ALL_SEND_CID) 至所有激活的卡，所有激活的卡返回他们唯一卡识别号 (CID) 并进入识别状态。
5. SDIO 卡主机发送 CMD3 (SET_RELATIVE_ADDR) 命令和一个地址到一个激活的卡，这个新的地址被称为相对卡地址 (RCA)，它比 CID 短，用于对卡寻址。至此，这个卡转入待机状态。SDIO 卡主机可以再次发送该命令更改 RCA，卡的 RCA 将是最后一次的赋值。
6. SDIO 卡主机对所有激活的卡重复上述步骤 4 和步骤 5，直到收到超时条件。

SD I/O 卡识别过程如下：

1. 总线被使能
2. SDIO 卡主机发送 CMD5 (IO_SEND_OP_COND) 命令，得到卡的操作条件寄存器的内容
3. 如果卡不兼容则会被置于非激活状态
4. SDIO 卡主机发送 CMD3 (SET_RELATIVE_ADDR) 命令和一个地址到一个激活的卡，这个新的地址被称为相对卡地址 (RCA)，它比 CID 短，用于对卡寻址。至此，这个卡转入待机状态。SDIO 卡主机可以再次发送该命令更改 RCA，卡的 RCA 将是最后一次的赋值。

18.4.5 写数据块

执行写数据块命令 (CMD24-27) 时，一个或多个数据块从主机传送到卡中，数据块由起始位 (1 位或 4 位低电平)，数据块，CRC 和结束位 (1 位或 4 位高电平) 组成。如果 CRC 校验错误，卡通过 SDIO_DAT 信号线指示传输失败，传送的数据被丢弃而不被写入，并且所有后续 (在多块写模式下) 传送的数据块将被忽略。

如果主机传送部分数据，而累计的数据长度未与数据块对齐，并且块错位是不允许的 (未设置 CSD 的参数 WRITE_BLK_MISALIGN)，卡将在第一个未对齐块的开始之前检测块错位错误 (设置状态寄存器中的 ADDRESS_ERROR 错误位)，并同时忽略后续的数据传输。当主机试图写一个写保护区域时，写操作也会被中止，在这种情况下，卡将设置状态寄存器中 WP_VIOLATION 位。

设置 CID 和 CSD 寄存器不需要事先设置块长度，传送的数据也是通过 CRC 保护的。如果 CSD 或 CID 寄存器的一部分是存储在 ROM 中，那么这个不可改变的部分必须与接收缓冲区的对应部分相匹配，如果有不一致之处，卡将报告一个错误同时不修改任何寄存器的内容。

有些卡可能需要很长的或者不可预计的时间完成一个数据块的写入，在接收一个数据块并完成 CRC 检验后，卡将开始写操作，如果写缓冲区已经满并且不能再从新的 WRITE_BLOCK 命令接受新的数据时，它会把 SDIO_DAT 信号线拉低。主机可以在任何时候使用 SEND_STATUS (CMD13) 查询卡的状态，并且卡将返回当前状态。状态位 READY_FOR_DATA 指示卡是否可以接受新的数据或写操作是否还在进行。主机可以通过发送 CMD7 命令不选中该卡 (选择另一个卡)，而把这个卡置于断开状态，这样可以释放 SDIO_DAT 信号线而不中断未完成的写操作；当重新选择了一个卡，如果写操作仍然在进行并且写缓冲区仍不能使用，它会重新通过拉低 SDIO_DAT 信号线指示忙的状态。

18.4.6 读数据块

读数据块是基于块的数据传输，数据传输的基本单元是数据块，块的大小在 CSD 中 (READ_BL_LEN) 定义。如果 READ_BL_PARTIAL 被设置时，较小的数据块也可以被传输，其开始和结束地址完全包含在 512 个字节的边界中，READ_BL_LEN 定义了物理块的大小。

CMD17 (READ_SINGLE_BLOCK) 表示开始读一个数据块，在传输结束后卡返回到发送状态。CMD18 (READ_MULTIPLE_BLOCK) 开始读连续多个数据块。为了保证数据传输的完整性，每个数据块后都有一个 CRC 校验码。

块长度由 CMD16 设置，可以设置为 512 字节而忽略 READ_BL_LEN 的设置。

主机可以在多数据块读操作的任何时候中止操作，而不管操作的类型。发送停止传输命令 (CMD12) 即可中止操作。由于串行命令传输原因，停止命令有一个执行的延迟。在停止命令的结束位之后停止数据传输。

当使用 CMD18 读到用户区的最后一个块时，主机应该忽略可能会出现的 OUT_OF_RANGE 错误，即使序列是正确的。

如果在多数据块读操作中（任一种类型）卡检测到错误（例如：越界、地址错位或内部错误），它将停止数据传输并仍处于数据状态；此时主机必须发送停止传输命令中止操作。在停止传输命令的响应中报告读错误。如果主机发送停止传输命令时，卡已经传输完一个确定数目的多个数据块操作中的最后一个数据块，因为此时卡已经不在数据状态，主机会得到一个非法命令的响应。如果主机传输的部分块的累积长度不是块对齐并且不允许块错位，卡将在第一个未对齐块的开始检测出块错位，并在状态寄存器中设置 ADDRESS_ERROR 错误标志，中断传输和等待在数据状态的停止命令。

18.4.7 数据流操作（只适用于多媒体卡）

数据流操作包括数据流写和数据流读。在数据流模式，数据按字节传输，同时每个数据块后没有 CRC。

18.4.7.1 数据流写

数据流写 CMD20 (WRITE_DAT_UNTIL_STOP) 开始将数据从主机传输至卡，从起始地址开始连续传输，直到主机发出停止命令。如果允许部分数据块传输 (CSD 参数 WRITE_BL_PARTIAL 被设置)，数据流可以在卡的地址空间中的任意地址启动和停止，否则数据流应只能在数据块的边界启动和停止。由于不预先确定要传输的数据量，所以不能使用 CRC 校验。如果发送数据时达到了存储器的最大地址，即使 SDIO 卡主机没有发送停止命令，随后传输的数据也会被丢弃。

如果主机提供了一个超出范围的地址作为参数传递给 CMD20，卡将拒绝该命令，留在传输状态，并将 ADDRESS_OUT_OF_RANGE 置位；需要注意的是数据流写命令只适用于 1 位总线配置 (SDIO_DAT0 信号线上)。如果 CMD20 在其它总线配置中发出的，它被认为是非法的命令。

数据流写入操作最大的时钟频率由下面给出的公式计算：

$$\text{Max_Write_Frequency} = \text{Min}(\text{TRAN_SPEED}, \frac{8 \times 2^{\text{WRITE_BL_LEN}} - 100 \times \text{NSAC}}{\text{TAAC} \times \text{R2W_FACTOR}})$$

- Max_Write_Frequency : 最大写频率
- TRAN_SPEED : 最大的总线时钟频率
- WRITE_BL_LEN : 最大写数据块长度
- NSAC : 以 CLK 周期计算的数据读操作时间 2
- TAAC: 数据读操作时间 1
- R2W_FACTOR: 写速度因子

所有的参数在 CSD 寄存器中定义。如果主机试图使用更高的频率，卡可能无法对数据进行处理，并停止编程，同时将状态寄存器中的错误位 SDIO_STS.RXORERR 置 1，并忽略所有后续的数据传输，等待（在接收

数据状态) 停止命令。如果主机试图在写保护区域写入数值, 写操作将被中止, 同时卡将 WP_VIOLATION 位置 1。

18.4.7.2 数据流读

数据流数据传输由 READ_DAT_UNTIL_STOP (CMD11) 命令控制。

这个命令要求卡从指定的地址读出数据, 直到 SDIO 卡主机发送一个 STOP_TRANSMISSION (CMD12) 命令为止。由于串行命令传输的延迟, 停止命令的执行会有一定的延迟, 所以, 在停止命令的结束位后数据传送才会停止。如果主机提供了一个超出范围的地址作为参数传递给 CMD11, 卡将拒绝该命令, 留在传输状态, SDIO 卡主机没有发送停止命令, 随后传输的数据也被视为是无效数据。

还有一点需要注意的是数据流读取命令只工作在 1 位总线模式 (SDIO_DAT0 信号线)。如果在其它总线配置中发出 CMD11, 则该命令被认为是非法的命令。

数据流读操作的最大时钟频率可以通过下式计算:

$$\text{Max_Read_Frequency} = \text{Min}(\text{TRAN_SPEED}, \frac{8 \times 2^{\text{READ_BL_LEN}} - 100 \times \text{NSAC}}{\text{TAAC} \times \text{R2W_FACTOR}})$$

- Max_Read_Frequency: 最大读频率
- TRAN_SPEED: 最大数据传输率
- READ_BL_LEN: 最大读数据块长度
- NSAC: 以 CLK 周期计算的数据读操作时间 2
- TAAC: 数据读操作时间 1
- R2W_FACTOR: 写速度因子

如果主机试图使用更高的频率, 卡将不能处理数据传输, 此时卡在状态寄存器中设置 SDIO_STS.TXURERR 错误位, 中止数据传输并在数据状态等待停止命令。

18.4.8 擦除

擦除包括成组擦除和扇区擦除。多媒体卡的擦除单位是擦除组, 卡的基本写入单位是写数据块, 擦除组是以写数据块计算的。擦除组的大小是卡的特定参数, 在 CSD 中定义。

主机可以擦除连续范围的擦除组, 开始擦除操作包含三个步骤。首先, 主机使用 ERASE_GROUP_START (CMD35) 命令定义连续范围内的起始地址, 然后使用 ERASE_GROUP_END (CMD36) 命令定义连续范围的结束地址, 最后发送擦除命令 ERASE (CMD38) 启动擦除操作。在擦除命令中, 地址域是以字节为单位的擦除组地址。卡会舍弃未与擦除组大小对齐的部分, 把地址边界对齐到擦除组的边界。

如果未按照上述步骤接收到擦除命令 (CMD35、CMD36、CMD38), 卡应该将卡状态寄存器中的 ERASE_SEQ_ERROR 位置位, 并重新开始擦除操作 (等待第一个步骤)。

如果收到了除 SEND_STATUS 和擦除命令之外的其它命令, 卡应该将状态寄存器中的 ERASE_RESET 置位, 重置擦除序列并执行新的命令。

如果擦除范围包含了写保护数据块, 则写保护区域不被擦除, 只有非保护块才可被擦除, 同时卡应该将状态寄存器中的 WP_ERASE_SKIP 状态位置位。

如果主机提供了一个超出范围的地址作为参数传递给 CMD35 或 CMD36, 卡将拒绝该命令, 同时将状态寄存器中的 ADDRESS_OUT_OF_RANGE 位置位, 并重置整个擦除序列。

在整个擦除过程中，卡拉低 SDIO_DAT 信号。实际的擦除时间可能很长，主机可以发送 CMD7 命令解除对卡的选择。

18.4.9 宽总线选择和解除选择

卡在上电后或 GO_IDLE_STATE (CMD0) 命令后默认的总线宽度为 1 位。在主机已经验证了总线上的功能管脚、卡初始化后总线宽度可以被改变。

可以通过 SET_BUS_WIDTH (ACMD6) 命令选择宽总线（4 位总线宽度）操作模式，需要注意 SET_BUS_WIDTH (ACMD6) 命令仅在传输状态时才有效，这表明只有在使用 SELECT/DESELECT_CARD (CMD7) 命令选择了卡后才能改变总线宽度。

18.4.10 保护管理

主机支持三种卡保护方式保护数据使其不被擦除或改写：

1. 卡内部写保护
2. 物理写保护开关
3. 密码管理的卡锁操作

18.4.10.1 内部卡的写保护

通过在 CSD 中永久地或临时地设置写保护位，用户可以永久地对整个卡施行写保护以防止卡的数据不被覆盖或擦除。有些卡通过设置 CSD 的 WP_GRP_ENABLE 位设置一组扇区的写保护，这样可以选择只有部分数据被保护。写保护可以通过程序改变。写保护的基本单位是 CSD 参数 WP_GRP_SIZE 个扇区，用户可以通过配置 WP_GRP_SIZE 的值来自定义写保护区域的大小。SET_WRITE_PROT 命令设置指定写保护组的写保护，和 CLR_WRITE_PROT 命令清除指定写保护组的写保护，SEND_WRITE_PROT 命令请求设备发送写保护位的状态，该命令与单数据块读命令类似，卡送出一个包含 32 个写保护位的数据块，该数据块表示从指定地址开始的 32 个写保护组，最后跟着一个 16 位的 CRC 码。写保护命令的地址字段是一个以字节为单位的组地址，卡将截断所有组大小之外的地址。

18.4.10.2 物理写保护开关

在卡的侧面有一个机械的滑动开关，提供给用户设置是否对卡进行写保护。当滑动开关置于小窗口打开的位置时，卡处于写保护状态，当滑动开关置于小窗口关闭的位置时卡没有写保护，用户可以修改卡中内容。在卡的插槽上的对应部位也有一个开关，用来指示卡是否处于写保护状态，需要注意的是这个指示是针对 SDIO 卡主机模块的，卡的内部电路不知道写保护开关的位置。

18.4.10.3 密码保护

密码保护功能指主机模块可以使用密码对卡实行上锁或解锁。其中密码存储在 128 位的 PWD 寄存器中，密码的长度存储在 PWDS_LEN 的 8 位寄存器中。这些寄存器是非易失性的，所以掉电后它们的内容也不会丢失。已经上锁的卡支持所有的基本命令，比如 SDIO 卡主机模块发送的复位、初始化和查询状态等命令都是可以响应的，但是不允许操作卡中的数据。如果卡之前已经设置了密码（即 PWDS_LEN 的数值不为 0），那么在每次上电后卡会自动上锁。

与 CSD 和 CID 寄存器写命令相同，上锁/解锁命令也只在传输状态下才有效，这也意味着使用上锁/解锁命令前卡必须先被选中，且在该命令中是没有地址参数的。

卡的上锁/解锁命令的结构和总线操作类型与卡的单数据块写命令相同，命令传输的数据块包含命令所需要

的信息，比如密码设置模式、PWD 内容和上锁/解锁指示等。在发送卡的上锁/解锁命令之前，SDIO 卡主机模块已经定义好了命令数据块的长度，命令的结构见表 18-6。

表 18-6 上锁/解锁数据结构

Byte	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
0	保留（全设置为 0）			ERASE	LOCK_UNLOCK	CLR_PWD	SET_PWD	
1	PWDS_LEN							
2								
.....	密码数据(PWD)							
PWDS_LEN-1								

- ERASE：该位为 1 将执行强制擦除，所有其它位必须为 0。这种情况只发送命令字节，所有该命令的其他字节将被卡忽略。
- LOCK_UNLOCK：该位为 1 表示卡上锁，为 0 表示解锁。此位可以与 SET_PWD 同时设置，但不可以与 CLR_PWD 同时设置。
- CLR_PWD：该位置 1 清除密码数据。
- SET_PWD：该位置 1 保存密码数据至存储器。
- PWDS_LEN：这个参数定义了密码的长度，以字节为单位。
- PWD：密码数据，依不同的命令，密码数据有所不同。比如，在设置一个新的密码的情况下，它包含这个新的密码，在修改密码的时候，它包含旧的密码和设置的新密码。

以下几节列出了设置/清除密码、上锁/解锁和强制擦除的命令序列。

18.4.10.4 设置密码

1. 如果卡之前未被选中，使用 CMD7 (SELECT/DESELECT_CARD) 命令选择一个卡。
2. 使用 CMD16 (SET_BLOCKLEN) 定义数据块长度，8 位卡上锁/解锁模式，8 位的 PWDS_LEN (以字节为单位)，新密码的字节数。当密码替换完成后，发送命令的数据块的大小必须同时考虑新旧密码的长度。
3. 在数据线上，以合适的数据块长度发送 CMD42 (LOCK/UNLOCK) 命令，并包含 16 位的 CRC 码。数据块包含了操作模式 (SET_PWD=1)、密码长度 (PWDS_LEN) 和密码数据本身 (PWD)。当密码替换完成后，密码长度数值 (PWDS_LEN) 应为新旧两个密码的长度之和，密码数据字段 (PWD) 前面是旧的密码 (正在使用的)，后面是新的密码。
4. 当发送的旧密码不正确 (大小或内容与期望值不匹配)，状态寄存器中的 LOCK_UNLOCK_FAILED 会被置位，并且旧的密码不会改变。如果旧的密码匹配，新的密码数据和长度会分别保存在 PWD 和 PWDS_LEN 中。

密码长度域 (PWDS_LEN) 可以指示当前是否设置了密码，如果该域为零，则表示没有使用密码，只有在该域不为零的时候卡才会在上电时自动上锁。如果设置了密码，在不断电的情况下想立即锁住卡，可以通过设置 LOCK_UNLOCK 位或者发送一个额外的上锁命令。

18.4.10.5 清除密码

1. 如果卡之前未被选中，使用 CMD7 (SELECT/DESELECT_CARD) 命令选择一个卡。
2. 使用 CMD16 (SET_BLOCKLEN) 定义数据块长度，8 位卡上锁/解锁模式，8 位的 PWDS_LEN (以字节为单位)，当前使用的密码的字节数。
3. 在数据线上，以合适的数据块长度发送 CMD42 (LOCK/UNLOCK) 命令，并包含 16 位的 CRC 码。数据块包含了操作模式 (CLR_PWD)、密码长度 (PWDS_LEN) 和密码数据本身 (PWD)。如果密码匹配后，PWD 的内容会被清除，同时 PWDS_LEN 被设为 0。如果 PWD 和 PWDS_LEN 的内容与发送的密码和其大小不匹配，则设置状态寄存器中的 LOCK_UNLOCK_FAILED 错误位，同时密码不变。

18.4.10.6 卡上锁

1. 如果卡之前未被选中，使用 CMD7 (SELECT/DESELECT_CARD) 命令选择一个卡。
2. 使用 CMD16 (SET_BLOCKLEN) 定义数据块长度，8 位卡上锁/解锁模式，8 位的 PWDS_LEN 表示当前使用的密码的字节数。
3. 在数据线上，以合适的数据块长度发送 CMD42 (LOCK/UNLOCK) 命令，并包含 16 位的 CRC 码。数据块包含了操作模式 (LOCK_UNLOCK=1)、密码长度 (PWDS_LEN) 和密码数据本身 (PWD)。
4. 如果 PWD 内容等于发送的密码，卡将被上锁，并将状态寄存器中的 CARD_IS_LOCKED 状态位置位。如果送出的密码与期望的密码 (长度或内容) 不吻合，则状态寄存器中的 LOCK_UNLOCK_FAILED 错误位被置位，同时上锁操作失败。

设置密码和为卡上锁可以在同一个操作序列中同时进行，这种情况下卡主机模块先按照前述的步骤设置密码，需要注意的是在发送新密码命令的第 3 步要设置 LOCK_UNLOCK 位。

只有曾经设置过密码 (PWDS_LEN 不为 0) 的卡在上电复位时才会自动上锁。对已经上锁的卡或者对没有密码的卡执行上锁操作会失败，并将状态寄存器中的 LOCK_UNLOCK_FAILED 错误位置位。

18.4.10.7 卡解锁

1. 如果卡之前未被选中，使用 CMD7 (SELECT/DESELECT_CARD) 命令选择一个卡。
2. 使用 CMD16 (SET_BLOCKLEN) 定义数据块长度，8 位卡上锁/解锁模式，8 位的 PWDS_LEN (以字节为单位)，当前使用的密码的字节数。
3. 在数据线上，以合适的数据块长度发送 CMD42 (LOCK/UNLOCK) 命令，并包含 16 位的 CRC 码。数据块包含了操作模式 (LOCK_UNLOCK=0)、密码长度 (PWDS_LEN) 和密码数据本身 (PWD)。
4. 如果送出的密码与期望的密码 (长度或内容) 不吻合，则将状态寄存器中的 LOCK_UNLOCK_FAILED 错误位置 1，同时卡仍保持上锁状态。当密码匹配后，卡锁被解除，同时将状态寄存器中的 CARD_IS_LOCKED 位清除。

如果解锁状态只在当前的供电过程中有效，只要不清除 PWD，下次上电后卡还是会自动上锁。

试图对已经解锁的卡执行解锁操作会导致操作失败，并将状态寄存器中的 LOCK_UNLOCK_FAILED 错误位置 1。

18.4.10.8 强制擦除

强制擦除操作可以擦除卡中所有的数据和密码。如果用户忘记了密码，可以通过强制擦除操作使卡重新可用。

1. 如果卡之前未被选中，使用 CMD7 (SELECT/DESELECT_CARD) 命令选择一个卡。

2. 使用 CMD16 (SET_BLOCKLEN) 定义数据块长度，8 位卡上锁/解锁模式，8 位的 PWDS_LEN 表示当前使用的密码的字节数。
3. 在数据线上以合适的数据块长度发送 CMD42 (LOCK/UNLOCK) 命令，并包含 16 位的 CRC 码。数据块包含了操作模式 (ERASE=1)，所有其它位为 0。
4. 当且仅当数据域中 ERASE 位是 1 时，卡中的所有内容将被擦除，包括 PWD 和 PWDS_LEN 域。擦除完后卡不再被上锁。如果有任何其它位不为 0，将状态寄存器中的 LOCK_UNLOCK_FAILED 错误位置位，卡中的数据保持不变，同时卡仍保持上锁状态。

注意：试图对已经解锁的卡执行擦除操作会导致操作失败，并将状态寄存器中的 *LOCK_UNLOCK_FAILED* 错误位置位。

18.4.11 卡状态寄存器

18.4.11.1 卡状态寄存器

卡状态指执行命令的错误和状态信息，在响应中指示。

一般情况下，卡接收到命令后会返回与该命令相关的信息给卡主机。这些信息有可能存在本地的状态寄存器中。这些状态信息叫做卡的状态域，响应格式 R1 就包含了一个名为卡状态的 32 位字段。

表 18-7 定义了不同的状态信息。

表 18-7 卡状态

位	名称	类型	数值	说明	清除条件
31	ADDRESS_OUT_OF_RANGE	EXR	‘0’=无错误 ‘1’=错误	命令中的地址参数超出了卡的允许范围。 一个多数据块或数据流读/写操作（即使从一个合法的地址开始）试图读或写超出卡的容量的部分。	C
30	ADDRESS_MISALIGN		‘0’=无错误 ‘1’=错误	命令中的地址参数（与当前的数据块长度对照）定义的第一个数据块未与卡的物理块对齐。 一个多数据块或数据流读/写操作（即使从一个合法的地址开始）试图读或写未与物理块对齐的数据块。	C
29	BLOCK_LEN_ERROR		‘0’=无错误 ‘1’=错误	SET_BLOCKLEN 命令的参数超出了卡的最大允许范围，或先前定义的数据块长度对于当前命令来说是非法的（例如：主机发出一个写命令，当前的块长度小于卡所允许的最小长度，同时又不允许写入部分数据块）。	C
28	ERASE_SEQ_ERROR		‘0’=无错误 ‘1’=错误	发送擦除命令的顺序错误。	C
27	ERASE_PARAM	EX	‘0’=无错误 ‘1’=错误	擦除时选择了非法的擦除组。	C
26	WP_VIOLATION	EX	‘0’=无错误 ‘1’=错误	试图对一个写保护的数据块编程。	C
25	CARD_IS_LOCKED	SR	‘0’=卡未锁 ‘1’=卡已锁	当设置了该位，表示卡已经被锁住。	A

位	名称	类型	数值	说明	清除条件
24	LOCK_UNLOCK_FAILED	EX	'0'=无错误 '1'=错误	在上锁/解锁中有命令的顺序错误或检测到密码错误。	C
23	COM_CRC_ERROR	ER	'0'=无错误 '1'=错误	之前的命令中 CRC 校验错误。	B
22	ILLEGAL_COMMAND	ER	'0'=无错误 '1'=错误	对于当前的卡状态，命令非法。	B
21	CARD_ECC_FAILED	EX	'0'=成功 '1'=失败	卡的内部实施了 ECC 校验，但在更正数据时失败。	C
20	CC_ERROR	ER	'0'=无错误 '1'=错误	(标准中未定义) 卡内部发生错误，与主机的命令无关。	C
19	ERROR	EX	'0'=无错误 '1'=错误	产生了与执行上一个主机命令相关的(标准中未定义)卡内部的错误(例如：读或写错误)。	C
18	保留				
17	保留				
16	CID/CSD_OVERWRITE	EX	'0'=无错误 '1'=错误	可以是任何一个下述的错误： 已经写入了 CID 寄存器，不能覆盖 CSD 的只读部分与卡的内容不匹配 试图进行拷贝或永久写保护的反向操作，即恢复原状或解除写保护。	C
15	WP_ERASE_SKIP	EX	'0'=未保护 '1'=已保护	遇到已经存在的写保护数据块，仅有部分地址空间被擦除	C
14	CARD_ECC_DISABLED	SX	'0'=允许 '1'=不允许	执行命令时没有使用内部的 ECC。	A
13	ERASE_RESET		'0'=清除 '1'=设置	因为收到一个擦除顺序之外的命令(非CMD35、CMD36、CMD38 或 CMD13 命令)，进入擦除过程的序列被中止。	C
12:9	CURRENT_STATE	SR	'0'=空闲 '1'=就绪 '2'=识别 '3'=待机 '4'=发送 '5'=数据 '6'=接收 '7'=编程 '8'=断开 '9'=忙测试 '10~15'=保留	当收到命令时卡内状态机的状态。如果命令的执行导致状态的变化，这个变化将会在下个命令的响应中反映出来。这四个位按十进制数 0 至 15 解释。	B
8	READY_FOR_DATA	SR	'0'=未就绪 '1'=就绪	与总线上的缓冲器空的信号相对应。	
7	SWITCH_ERROR	ER	'0'=无错误 '1'=转换错	卡没有按照 SWITCH 命令的要求转换到希望的模式。	B

位	名称	类型	数值	说明	清除条件
6	保留				
5	APP_CMD	SR	‘0’=不允许 ‘1’=允许	卡期望 ACMD，或指示命令已经被解释为 ACMD 命令。	C
4	保留给 SDI/O 卡				
3	AKE_SEQ_ERROR	ER	‘0’=无错误 ‘1’=错误	验证的顺序有错误。	C
2	保留给与应用相关的命令				
1,0	保留给生产厂家的测试模式				

表中有关类型和清除条件域的缩写定义如下：

类型：

- E：错误位。向主机发送错误条件。这些位一旦响应（报告错误）被发出去就会清除。
- S：状态位。这些位仅作为信息字段，并不因为对命令的响应而改变。这些位是持久性的，它们根据卡状态被设置或被清除。
- R/X：R 和 X 都是检测位，区别在于 R 表示卡在命令解释和验证阶段（响应模式）检测到异常，而 X 表示卡在命令执行阶段（执行模式）检测到异常。

SDIO 卡主机可以通过发送状态命令读出这些位来查询卡的状态。

清除条件：

- A：依据卡的当前状态
- B：始终与之前的命令相关。接收到正确的命令即可清除，这种方式具有一个命令的延迟。
- C：读可清除

18.4.11.2 SD 状态寄存器

SD 状态不仅包含了与 SD 存储器卡特定功能相关得状态位，还包含了一些与未来应用相关得状态位。SD 状态的长度是一个 512 位的数据块。收到 ACMD13 命令 (CMD55, 然后是 CMD13) 后，SD 状态寄存器的内容被传送到 SDIO 卡主机。但是需要注意的是 ACMD13 命令只能在卡处于传输状态时 (卡已被选择) 才可以被发送。

表 18-8 定义了不同的 SD 状态寄存器信息。

表 18-8 SD 状态

位	名称	类型	数值	说明	清除条件
511:510	DAT_BUS_WIDTH	SR	‘00’=1 (默认) ‘01’=保留 ‘10’=4 位宽 ‘11’=保留	由 SET_BUS_WIDTH 命令定义的当前数据总线宽度。	A
509	SECURED_MODE	SR	‘0’=未处于保密模式 ‘1’=处于保密模式	卡处于保密操作模式 (详见“SD 保密规范”)。	A

位	名称	类型	数值	说明	清除条件
508:496	保留				
495:480	SD_CARD_TYPE	SR	'00xxh'=在物理规范版本1.01~2.00的SD存储器卡('x'表示任意值)。已定义的卡有:'0000'=通用SD读写卡'0001'=SD ROM卡	这个域的低8位可以在未来定义SD存储卡的不同变种(每个位可以用于定义不同的SD类型)。高8位可以用于定义那些不遵守当前的SD物理层规范的SD卡。	A
479:448	SIZE_OF_PROTECTED_AREA	SR	受保护的区域大小(见以下说明)	(见以下说明)	A
447:440	SPEED_CLASS	SR	卡的速度类型(见以下说明)	(见以下说明)	A
439:432	PERFORMANCE_MOVE	SR	以1MB/秒为单位的传输性能(见以下说明)	(见以下说明)	A
431:428	AU_SIZE	SR	AU的大小(见以下说明)	(见以下说明)	A
427:424	保留				
423:408	ERASE_SIZE	SR	一次可以擦除的AU数目	(见以下说明)	A
407:402	ERASE_TIMEOUT	SR	ERASE_AU单元指定的范围的超时数值	(见以下说明)	A
401:400	ERASE_OFFSET	SR	在擦除时增加的固定偏移数值	(见以下说明)	A
399:312	保留				
311:0	保留给生产厂商				

表中有关类型和清除条件域的缩写定义如下：

类型：

- E：错误位。向主机发送错误条件。这些位一旦响应（报告错误）被发出去就会清除。
- S：状态位。这些位仅作为信息字段，并不因为对命令的响应而改变。这些位是持久性的，它们根据卡状态被设置或被清除。
- R/X：R和X都是检测位，区别在于R表示卡在命令解释和验证阶段（响应模式）检测到异常，而X表示卡在命令执行阶段（执行模式）检测到异常。

SDIO卡主机通过发送状态命令读出这些位而查询卡的状态。

清除条件：

- A：依据卡的当前状态
- B：始终与之前的命令相关。接收到正确的命令即可清除，这种方式具有一个命令的延迟。
- C：读可清除

SIZE_OF_PROTECTED_AREA

对于标准容量卡和高容量卡，该位的设置方式不同。

标准容量卡受保护区域的容量计算方式如下：

受保护区域=SIZE_OF_PROTECTED_AREA * MULT * BLOCK_LEN

SIZE_OF_PROTECTED_AREA 以 MULT * BLOCK_LEN 为单位。

高容量卡受保护区域的容量计算方式如下：

受保护区域 = SIZE_OF_PROTECTED_AREA

SIZE_OF_PROTECTED_AREA 以字节为单位。

SPEED_CLASS

这 8 位指示速度的类型和可以通过计算 Pw/2 的数值 (Pw 是写的性能)。

表 18-9 速度类型代码

SPEED_CLASS	数值定义
00h	类型 0
01h	类型 2
02h	类型 4
03h	类型 6
04h~FFh	保留

PERFORMANCE_MOVE

这 8 位指示移动性能 (Pm)，单位为 1MB/秒。如果卡不用 RU (纪录单位) 移动数据，应该认为 Pm 是无穷大。当这个域为 FFh 时表示 Pm 无穷大。

表 18-10 移动性能代码

PERFORMANCE_MOVE	数值定义
00h	未定义
01h	1MB/秒
02h	2MB/秒
.....
FEh	254MB/秒
FFh	无穷大

AU_SIZE

这 4 位指示 AU 的长度，数值是 (16K 字节) $\times 2^{(AU_SIZE-1)}$ 。

表 18-11 AU_SIZE 代码

AU_SIZE	数值定义
00h	未定义
01h	16KB
02h	32KB
03h	64KB
04h	128KB
05h	256KB
06h	512KB

AU_SIZE	数值定义
07h	1MB
08h	2MB
09h	4MB
Ah~Fh	保留

最大的 AU 长度由卡的容量决定。卡可以在 RU 长度和最大的 AU 长度之间设置任意的 AU 长度。

表 18-12 最大的 AU 长度

容量	16MB~64MB	128MB~256MB	512MB	1GB~32GB
最大的 AU 长度	512KB	1MB	2MB	4MB

ERASE_SIZE

这 16 位域表示 NERASE, 当 NERASE 个 AU 被擦除时, 超时时间由 ERASE_TIMEOUT 定义。主机应该确定在一次操作中要被擦除的 AU 的适当数目, 这样主机可以显示擦除操作的进度。如果该域为 0, 则不支持擦除的超时计算。

表 18-13 ERASE_SIZE 代码

ERASE_SIZE	数值定义
0000h	不支持擦除的超时计算
0001h	1 个 AU
0002h	2 个 AU
0003h	3 个 AU
.....
FFFFh	65535 个 AU

ERASE_TIMEOUT

这 6 位表示 TERASE, 当 ERASE_SIZE 指示的多个 AU 被擦除时, 这个数值给出了从偏移量算起的擦除超时时间。ERASE_TIMEOUT 的范围最多可以定义到 63 秒, 卡的生产商可以根据具体实现选择 ERASE_SIZE 与 ERASE_TIMEOUT 的任意组合, 一旦 ERASE_TIMEOUT 确定, 那么 ERASE_SIZE 也就确定了, 如果 ERASE_SIZE 字段被设置为 0, 则 ERASE_TIMEOUT 也应该设置为 0。

表 18-14 擦除超时代码

ERASE_TIMEOUT	数值定义
00	不支持擦除的超时计算
01	1 秒
02	2 秒
03	3 秒
.....
63	63 秒

ERASE_OFFSET

这 2 位给出了 TOFFSET, 可以选择下表所示的四个数值之一。当 ERASE_SIZE 和 ERASE_TIMEOUT 同为 0 时, 该数值没有意义。

表 18-15 擦除偏移代码

ERASE_OFFSET	数值定义
0	0 秒
1	1 秒
2	2 秒
3	3 秒

18.4.12 SD 的 I/O 模式

18.4.12.1 I/O 中断

SD 接口上有一个具有中断功能的引脚（第 8 脚），它能够让 SD I/O 卡中断多媒体卡/SD 模块，在 4 位 SD 模式下这个脚是 SDIO_DAT1，通过它，卡向多媒体卡/SD 模块提出中断申请。对于每一个卡或卡内的功能，中断功能是可选的。

SD I/O 的中断是电平有效，即中断信号线必须保持有效电平（低），才可以被多媒体卡/SD 模块识别并响应，并且在中断过程结束后保持无效电平（高）。在中断请求被多媒体卡/SD 模块服务后，可以通过一个 I/O 写操作将适当的位写到 SD I/O 卡的内部寄存器来清除中断状态位。

SD I/O 卡的中断输出都是低电平有效，多媒体卡/SD 模块在所有数据线（SDIO/D[3:0]）上提供上拉电阻。多媒体卡/SD 模块只有在中断阶段才对第 8 脚（SDIO_DAT/IRQ）采样并进行中断检测，其它时间则忽略该信号线上的数值。

I/O 操作和存储器操作都有中断阶段，单个数据块操作与多个数据块传输操作的中断阶段定义是不一样的。

18.4.12.2 I/O 暂停和恢复

在一个多功能的 SD I/O 卡中，或者在一个同时具有 I/O 和存储器功能的卡中，多个设备（I/O 和存储器）共享 MMC/SD 总线。为了使多个设备能够共用 MMC/SD 模块中的总线，SD I/O 卡和复合卡可以有选择地实现暂停/恢复的概念；在支持暂停/恢复的卡中，MMC/SD 模块能够暂停一个功能或存储器的数据传输操作，以此让出总线给其它具有更高优先级的功能或存储器，并且在这个具有更高优先级的功能或存储器传输完成后，再恢复原先暂停的传输。

是否支持暂停/恢复的操作是可选的。以下为在 MMC/SD 总线上执行暂停/恢复操作的步骤：

1. 确定数据线（SDIO_DAT[3:0]）的当前功能
2. 请求暂停低优先级或者慢的操作
3. 等待暂停操作完成，并确认设备已经暂停
4. 开始高优先级设备的传输
5. 等待高优先级设备传输结束
6. 从暂停操作中恢复

18.4.12.3 I/O 读等待（ReadWait）

读等待操作是可选的，只适用于 SD 卡的 1 位或 4 位模式。读等待操作指当一个卡正在读多个寄存器（IO_RW_EXTENDED, CMD53）时，MMC/SD 模块可以要求它暂时停止数据传输，且同时允许 MMC/SD 模块发送命令到 SD I/O 设备中的其他功能。MMC/SD 模块通过检测卡的内部寄存器可以判断一个卡是否支持读等待协议。读等待的时间与中断阶段相关。

18.5 命令与响应

18.5.1 应用相关命令和通用命令

SD 卡主机模块系统是一个标准接口，该接口适用于多种应用类型，同时又要兼顾特定用户和应用，因此标准中定义了两类通用命令：应用相关命令（ACMD）和通用命令（GEN_CMD）。

当卡收到 APP_CMD (CMD55) 命令时，卡期待下一个命令是应用相关命令。应用相关命令（ACMD）和普通多媒体卡命令的格式结构相同，并且它们也可以使用相同的 CMD 号码。因为它是出现在 APP_CMD (CMD55) 后面，所以卡把它识别为 ACMD 命令。如果在 APP_CMD (CMD55) 命令之后不是一个已经定义的应用相关命令，则识别为标准命令；例如：如果在紧随 APP_CMD (CMD55) 之后收到了 CMD13（应用中有定义 SD_STATUS(ACMD13)），它将被解释为 SD_STATUS(ACMD13)；但是如果卡在紧随 APP_CMD (CMD55) 之后收到 CMD7，而这个卡没有定义 ACMD7，则它将被解释为一个标准的 CMD7 (SELECT/DESELECT_CARD) 命令。

如果要使用生产厂商自定义的 ACMD，SD 卡主机需要做以下操作：

1. 发送 APP_CMD (CMD55) 命令
2. 卡返回响应给多媒体/SD 卡模块，响应指示设置了 APP_CMD 位并等待 ACMD 命令。
3. 发送指定的 ACMD
4. 卡返回响应给多媒体/SD 卡模块，响应指示设置了 APP_CMD 位，收到的命令已经正确地按照 ACMD 命令解析；如果收到的命令不是 ACMD 命令，卡将按照普通的多媒体卡命令处理，同时将状态寄存器的 APP_CMD 位清除。

如果发送的命令非法，将按照标准的非法多媒体卡命令进行错误处理。GEN_CMD 命令的总线操作过程，与单数据块读写命令（WRITE_BLOCK, CMD24 或 READ_SINGLE_BLOCK, CMD17）相同；这时命令的参数表示数据传输的方向而不是地址，数据块具有用户自定义的格式和意义。

发送 GEN_CMD (CMD56) 命令之前，状态机必须处于传输状态，即卡必须被选中，数据块的长度 SET_BLOCKLEN (CMD16) 定义。GEN_CMD (CMD56) 命令的响应是 R1b 格式。

18.5.2 多媒体卡/SD 卡模块的命令

表 18-16 基于块传输的写命令

CMD 索引	类型	参数	响应格式	缩写	说明
CMD23	ac	[31:16]=0 [15:0]=数据块数目	R1	SET_BLOCK_COUNT	定义在随后的多块读或写命令中需要传输块的数目。
CMD24	adtc	[31:0]=数据地址	R1	WRITE_BLOCK	按照 SET_BLOCKLEN 命令选择的长度写一个块。
CMD25	adtc	[31:0]=数据地址	R1	WRITE_MULTIPLE_BLOCK	收到一个 STOP_TRANSMISSION 命令或达到了指定的块数目之前，连续地写数据块。
CMD26	adtc	[31:0]=填充位	R1	PROGRAM_CID	对卡的识别寄存器编程。对于每个卡只能发送一次这个命令。卡中有硬件

CMD 紴引	类型	参数	响应格式	缩写	说明
					机制防止多次的编程操作。通常该命令保留在生产厂商。
CMD27	adtc	[31:0]=填充位	R1	PROGRAM_CSD	对卡的 CSD 中可编程的位编程。
CMD28	ac	[31:0]=数据地址	R1b	SET_WRITE_PROT	如果卡具有写保护功能，该命令设置指定组的写保护位。写保护特性设置在卡的特殊数据区 (WP_GRP_SIZE)。
CMD29	ac	[31:0]=数据地址	R1b	CLR_WRITE_PROT	如果卡具有写保护功能，该命令清除指定组的写保护位。
CMD30	adtc	[31:0]=写保护数据地址	R1	SEND_WRITE_PROT	如果卡具有写保护功能，该命令要求卡发送写保护位的状态。
CMD31					保留

表 18-17 基于块传输的写保护命令

CMD 紹引	类型	参数	响应格 式	缩写	说明
CMD28	ac	[31:0]=数据地址	R1b	SET_WRITE_PROT	如果卡具有写保护功能，该命令设置指定组的写保护位。写保护特性设置在卡的特殊数据区 (WP_GRP_SIZE)。
CMD29	ac	[31:0]=数据地址	R1b	CLR_WRITE_PROT	如果卡具有写保护功能，该命令清除指定组的写保护位。
CMD30	adtc	[31:0]=写保护数据地 址	R1	SEND_WRITE_PROT	如果卡具有写保护功能，该命令要求卡发送写保护位的状态。
CMD31					保留

表 18-18 擦除命令

CMD 素引	类型	参数	响应格 式	缩写	说明
CMD32 CMD34					保留。为了与旧版本的对媒体卡协议向后兼容，不能使用这些命令代码。
CMD35	ac	[31:0]=数据地址	R1	ERASE_GROUP_START	在选择的擦除范围内，设置第一个擦除组的地址。
CMD36	ac	[31:0]=数据地址	R1	ERASE_GROUP_END	在选择的连续擦除范围内，设置最后一个擦除组的地址。
CMD37					保留。为了与旧版本的对媒体卡协议向后兼容，不能使用这个命令代码。
CMD38	ac	[31:0]=填充位	R1	ERASE	擦除之前选择的数据块。

表 18-19 I/O 模式命令

CMD 紹引	类型	参数	响应格式	缩写	说明
CMD39	ac	[31:16] =RCA	R4	FAST_IO	用于写和读 8 位（寄存器）数据域。该

CMD 紴引	类型	参数	响应格式	缩写	说明
		[15]=寄存器写标志 [14:8]=寄存器地址 [7:0]=寄存器数据			命令指定一个卡和寄存器，如果设置了写标志还提供写入的数据。R4 响应包含从指定寄存器读出的数据。该命令访问未在多媒体卡标准中定义的与应用相关的寄存器。
CMD40	bcr	[31:0]=数据地址	R5	GO_IRQ_STATE	置系统于中断模式。
CMD41				保留	

表 18-20 上锁命令

CMD 紹引	类型	参数	响应格式	缩写	说明
CMD42	adtc	[31:0]=填充位	R1b	LOCK_UNLOCK	设置/清除密码或对卡上锁/解锁。数据块的长度由 SET_BLOCKLEN 命令设置。
CMD43				保留	
CMD54					

表 18-21 应用相关命令

CMD 紹引	类型	参数	响应格式	缩写	说明
CMD55	ac	[31:16]=RCA [15:0]=填充位	R1	APP_CMD	指示卡下一个命令是应用相关命令而不是一个标准命令。
CMD56	adtc	[31:1]=填充位 [0]=RD/WR			在通用或应用相关命令中，或者用于向卡中传输一个数据块，或者用于从卡中读取一个数据块。数据块的长度由 SET_BLOCKLEN 命令设置。
CMD57				保留	
CMD59					
CMD60				保留给生产厂商	
CMD63					

18.5.3 命令类型

ACMD 和 GEN_CMD 包含四种不同的类型：

- 广播命令 (BC): 发送到所有卡，没有响应。
- 带响应的广播命令 (BCR): 发送到所有卡，同时从所有卡收到响应；
- 带寻址（点对点）的命令 (AC): 发送到寻址的卡，SDIO_DAT 信号线上没有数据传输。
- 带寻址（点对点）的数据传输命令 (AC): 发送到寻址的卡，SDIO_DAT 信号线进行数据传输。

18.5.4 命令格式

命令格式由命令和响应两部分组成。

命令：命令是用于开始一项操作。主机向一个指定的卡或所有的卡发出带地址的命令或广播命令（广播命令只适合于 MMC V3.31 或之前的版本）。所有命令的长度固定为 48 位，在 CMD 线上串行传送。下表给出了多媒体卡、SD 存储卡和 SDIO 卡上一般的命令格式

CE-ATA 命令是 MMC V4.2 命令的扩充，所以具有相同的格式。

命令通道工作于半双工模式，这样命令和响应可以分别发送和接收。如果 CPSM 不处在发送状态，SDIO_CMD 输出处于高阻状态，如图 18-11 所示。SDIO_CMD 上的数据与 SDIO_CLK 的上升沿同步。

表 18-22 命令格式

位	宽度	数值	说明
47	1	0	开始位
46	1	1	传输位
[45:40]	6	-	命令索引
[39:8]	32	-	参数
[7:1]	7	-	CRC7
0	1	1	结束位

响应：响应是对先前接收到命令的一个应答，是由一个被指定地址的卡发送到主机，对于 MMC V3.31 或以前版本所有的卡同时发送响应；响应在 CMD 线上串行传送。

SDIO 支持两种响应类型：48 位短响应和 136 位长响应。这两种类型都有 CRC 错误检测：

注意：如果响应不包含 CRC（如 CMD1 的响应），设备驱动应该忽略 CRC 失败状态。

表 18-23 短响应格式

位	宽度	数值	说明
47	1	0	开始位
46	1	0	传输位
[45:40]	6	-	命令索引
[39: 8]	32	-	参数
[7: 1]	7	-	CRC7（或 111111b）
0	1	1	结束位

表 18-24 长响应格式

位	宽度	数值	说明
135	1	0	开始位
134	1	0	传输位
[133:128]	6	111111	保留
[127:1]	127	-	CID 或 CSD（包含内部 CRC7）
0	1	1	结束位

18.5.5 响应格式

所有的响应都是通过 CMD 信号线发送。响应传输总是从对应响应字串的 MSB 开始。响应字串的长度依赖于响应类型。

每个响应都包含一个起始位（始终为 0），跟随着传输的方向位（卡=0）。下表中 x 表示一个可变的部分。除

除了 R3 响应类型外，所有的响应都有 CRC 保护。每一个命令码字都有一个结束位（始终为 1）。

共有 5 种响应类型，它们的格式定义如下：

R1 (普通响应命令)

R1 响应的代码长度为 48 位。其中位 45:40 指示要响应的命令索引，它的数值介于 0 至 63 之间。卡的状态由 32 位进行编码。

表 18-25 R1 响应

位	域宽度	数值	说明
47	1	0	开始位
46	1	0	传输位
[45:40]	6	X	命令索引
[39:8]	32	X	卡状态
[7:1]	7	X	CRC7
0	1	1	结束位

R1b

R1b 与 R1 格式相同，区别是 R1b 可以选择在数据线上发送一个繁忙信号。收到这些命令后，依据收到命令之前的状态，卡可能变为繁忙状态，主机应在响应中检查繁忙状态。

R2 (CID、CSD 寄存器)

R2 代码长度为 136 位。CMD2 和 CMD10 的响应保存在 CID 寄存器中发出。CMD9 的响应保存在 CSD 寄存器中发出。卡只响应并发送 CID 和 CSD 的位[127…1]，在接收端，这两个寄存器保留位[0]替换为响应的结束位。实际擦除操作的时间可能很长，主机可以发送 CMD7 命令取消对该卡的选中。

表 18-26 R2 响应

位	域宽度	数值	说明
135	1	0	开始位
134	1	0	传输位
[133:128]	6	'111111'	命令索引
[127:1]	127	X	卡状态
0	1	1	结束位

R3 (OCR 寄存器)

R3 代码长度为 48 位。CMD1 的响应保存在 OCR 寄存器中发出。电平代码的定义是：限制的电压窗口为低，卡繁忙为高。

表 18-27 R3 响应

位	域宽度	数值	说明
47	1	0	开始位
46	1	0	传输位
[45:40]	6	'111111'	保留
[39:8]	32	X	OCR 寄存器
[7:1]	7	'1111111'	保留
0	1	1	结束位

R4 (快速 I/O)

R4 代码长度为 48 位，仅适用于 MMC 卡。参数域包括指定卡的 RCA、需要读出或写入寄存器的地址、和它的内容。

表 18-28 R4 响应

位	域宽度	数值	说明
47	1	0	开始位
46	1	0	传输位
[45:40]	6	'111111'	保留
[39:8]参数域	[31:16]	16	RCA
	[15:8]	8	寄存器地址
	[7:0]	8	读寄存器的内容
[7:1]	7	'1111111'	CRC7
0	1		结束位

R4b

R4b 仅适用于 SD I/O 卡，代码长度为 48 位。SDIO 卡收到 CMD5 命令后将返回一个唯一的 SDIO 响应 R4b。

表 18-29 R4b 响应

位	域宽度	数值	说明
47	1	0	开始位
46	1	0	传输位
[45:40]	6	x	保留
[39:8]参数域	39	1	卡已就绪
	[38:36]	3	I/O 功能数目
	35	1	当前存储器
	[34:32]	3	填充位
	[31:8]	24	I/O ORC
	[7:1]	x'	保留
0	1	1	结束位

当 SD I/O 卡收到命令 CMD5 命令，卡的 I/O 部分被使能并能够正常地响应所有后续的命令。I/O 卡的使能状态将一直保持到下一次复位、断电或收到 I/O 复位的 CMD52 命令为止。注意，一个只包含存储器功能的 SD 卡的正确响应可以是：当前存储器为 1，I/O 功能数目为 0。按照 SD 存储器卡规范版本 1.0 设计的只包含存储器功能的 SD 卡将检测到的 CMD5 命令视为一个非法命令并不响应它。可以处理 I/O 卡的主机将发送 CMD5 命令，如果卡返回响应 R4，则主机会依据 R4 响应中的数据确定卡的配置。

R5 (中断请求)

R5 仅适用于多媒体卡。代码长度为 48 位。当这个响应由主机产生的时候参数中的 RCA 域为 0x0。

表 18-30 R5 响应

位	域宽度	数值	说明
47	1	0	开始位
46	1	0	传输位
[45:40]	6	'111111'	CMD40

位		域宽度	数值	说明
[39:8]参数域	[31:16]	16	x	成功的卡或主机的 RCA[31:16]
	[15:0]	16	x	未定义。可以作为中断数据。
[7:1]		7	x	CRC7
0		1	1	结束位

R6 (中断请求)

R6 仅适用于 SD I/O 卡。代码长度为 48 位。位[45:40]表示对 CMD3 响应的命令索引。参数字段的 16 个最高位比特用于已发布的 RCA 号。这是存储器设备对 CMD3 命令的正常响应。

表 18-31 R6 响应

位	域宽度	数值	说明
47	1	0	开始位
46	1	0	传输位
[45:40]	6	'101000'	CMD40
[39:8]参数域	[31:16]	16	x 成功的卡或主机的 RCA[31:16]
	[15:0]	16	x 未定义。可以作为中断数据。
[7:1]	7	x	CRC7
0	1	1	结束位

当发送 CMD3 命令到只有 I/O 功能的卡时，卡的状态位[23:8]会改变，并且响应中的 16 位是只有 I/O 功能的 SD 卡中的数值，位 15 为 COM_CRC_ERROR，位 14 为 ILLEGAL_COMMAND，位 13 为 ERROR，位[12:0]保留。

18.6 硬件流控制

使用硬件流控制功能可以避免 FIFO 下溢（发送模式）和上溢（接收模式）的错误。

硬件流控制的操作过程是停止 SDIO_CLK 并冻结 SDIO 状态机，在 FIFO 不能进行发送和接收数据时，数据传输暂停。需要注意，只有由 CLKCTRL 驱动的状态机被冻结，AHB 接口仍然是工作的。即使在流控制起作用时，仍然可以读出或写入 FIFO。

必须将 SDIO_CLKCTRL.HWCLKEN 位设置为 ‘1’，才能使能硬件流控制。复位后，硬件流控制功能自动关闭。

18.7 SDIO 寄存器

设备通过控制寄存器与系统进行通信。控制寄存器的宽度为 32 位宽，可以在 AHB 总线上操作这些寄存器，注意，必须以字（32 位）的方式操作这些外设寄存器。

18.7.1 SDIO 寄存器总览

表 18-32 SDIO 寄存器总览

	Offset	Register	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0					
004h		SDIO_CLKCTRL																	DIV[8]																				
		Reset Value																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
008h		SDIO_CMDARG																	CMDARG																				
		Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0					
00Ch		SDIO_CMDCTRL																	Reserved																				
		Reset Value																	CEATAEN	0	0	INTDIS	0	0	ENCMDF	0	0	SUSPEND	0	0	CPSMEN	0	0	CLKBYP	0	PWRCFG	0	0	
010h		SDIO_CMDRESP																	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
		Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0					
014h		SDIO_RESPONSE1																	CARDSTS1[31:0]																				
		Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
018h		SDIO_RESPONSE2																	CARDSTS2[31:0]																				
		Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
01Ch		SDIO_RESPONSE3																	CARDSTS3[31:0]																				
		Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
020h		SDIO_RESPONSE4																	CARDSTS4[31:0]																				
		Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
024h		SDIO_DTIMER																	DATETIMEOUT[31:0]																				
		Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
028h		SDIO_DATLEN																	Reserved																				
		Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
02Ch		SDIO_DATCTRL																	Reserved																				
		Reset Value																	CEATAEN	0	0	INTDIS	0	0	ENCMDF	0	0	SUSPEND	0	0	CPSMEN	0	0	CLKBYP	0	PWRCFG	0	0	
030h		SDIO_DATCOUNT																	Reserved	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
		Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
034h		SDIO_STS																	Reserved																				
		Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
038h		SDIO_INTCLR																	Reserved																				
		Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
03Ch		SDIO_INTEN																	Reserved																				
		Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
048h		SDIO_FIFOCOUNT																	Reserved																				
		Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
080h		SDIO_DAT FIFO																	FIFIDAT[31:0]																				
		Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				

18.7.2 SDIO 电源控制寄存器 (SDIO_PWRCTRL)

地址偏移: 0x00

复位值: 0x0000 0000

31	Reserved	16
15	Reserved	2 1 0
PWRCTRL[1:0]		
rw		

位域	名称	描述
31:2	Reserved	保留，必须保持复位值。
1:0	PWRCTRL	电源控制位（Power supply control bits） 定义卡时钟的当前功能状态： 00: 电源关闭，卡的时钟停止。 01: 保留。 10: 保留，上电状态。 11: 上电状态，卡的时钟开启。

注意：写数据后的7个HCLK时钟周期内，不能写入这个寄存器。

18.7.3 SDIO 时钟控制寄存器 (SDIO_CLKCTRL)

地址偏移: 0x04

复位值: 0x0000 0000

SDIO_CLKCTRL 寄存器控制 SDIO_CLK 输出时钟。

31	Reserved	16
15	DIV[8]	0
14	HWCLK EN	
13	CLK EDGE	
12	BUSMODE[1:0]	
11	CLK BYP	
10	PWR CFG	
9	CLOCK EN	
8		
7		
DIV[7:0]		
rw	rw	rw

位域	名称	描述
31:16	Reserved	保留，必须保持复位值。
15	DIV[8]	时钟分频系数最高位，扩展模式时使用。
14	HWCLKEN	硬件流控制使能 (HW Flow Control enable) 0: 关闭硬件流控制 1: 使能硬件流控制 当使能硬件流控制后，关于 SDIO_STS.TFIFOE 和 SDIO_STS.RFIFOF 中断信号的意义请参考 18.7.12 节的 SDIO 状态寄存器的定义。
13	CLKEDGE	SDIO_CLK 相位选择位 (SDIO_CLK dephasing selection bit) 0: 在主时钟 SDIOCLK 的上升沿产生 SDIO_CLK。 1: 在主时钟 SDIOCLK 的下降沿产生 SDIO_CLK。
12:11	BUSMODE	宽总线模式使能位 (Wide bus mode enable bit) 00: 默认总线模式，使用 SDIO_DAT0。 01: 4 位总线模式，使用 SDIO_DAT[3:0]。 10: 8 位总线模式，使用 SDIO_DAT[7:0]。

位域	名称	描述
10	CLKBYP	旁路时钟分频器 (Clock divider bypass enable bit) 0: 关闭旁路: 驱动 SDIO_CLK 输出信号之前, 依据 DIV 数值对 SDIOCLK 分频。 1: 使能旁路: SDIOCLK 直接驱动 SDIO_CLK 输出信号。
9	PWRCFG	省电配置位 (Power saving configuration bit) 为了省电, 当总线为空闲时, 设置 PWRCFG 位可以关闭 SDIO_CLK 时钟输出。 0: 始终输出 SDIO_CLK。 1: 仅在有总线活动时才输出 SDIO_CLK。
8	CLOCKEN	时钟使能位 (Clock enable bit) 0: SDIO_CLK 关闭。 1: SDIO_CLK 使能。
7:1	DIV	时钟分频系数 (Clock divide factor) 这个域定义了输入时钟 (SDIOCLK) 与输出时钟 (SDIO_CLK) 间的分频系数: $SDIO_CLK \text{ 频率} = SDIOCLK/[DIV + 2]$ 。

注意:

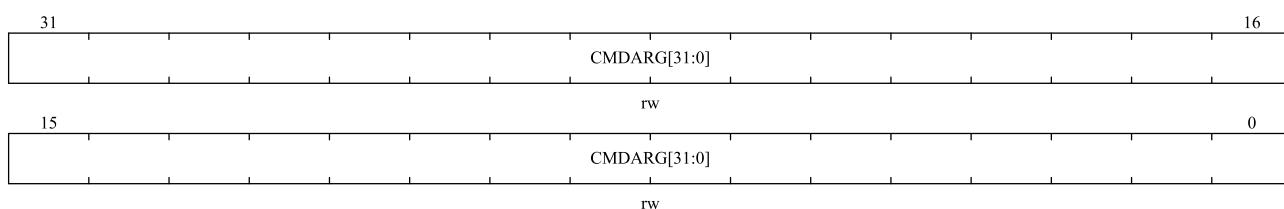
- 当 SD/SDIO 卡或多媒体卡在识别模式, SDIO_CLK 的频率必须低于 400kHz。
- 当所有卡都被赋予了相应的地址后, 时钟频率可以改变到卡总线允许的最大频率。
- 写数据后的 7 个 HCLK 时钟周期内不能写入这个寄存器。对于 SD I/O 卡, 在读等待期间可以停止 SDIO_CLK, 此时 SDIO_CLKCTRL 寄存器不控制 SDIO_CLK。

18.7.4 SDIO 参数寄存器 (SDIO_CMDARG)

地址偏移: 0x08

复位值: 0x0000 0000

SDIO_CMDARG 寄存器包含 32 位命令参数, 它将作为命令的一部分发送到卡中。



位域	名称	描述
31:0	CMDARG	命令参数 (Command argument) 命令参数是发送到卡中命令的一部分, 如果一个命令包含一个参数, 必须在写命令到命令寄存器之前加载这个寄存器。

18.7.5 SDIO 命令寄存器 (SDIO_CMDCTRL)

地址偏移: 0x0C

复位值: 0x0000 0000

SDIO_CMDCTRL 寄存器包含命令索引和命令类型位。命令索引是作为命令的一部分发送到卡中。命令类型

位控制命令通道状态机 (CPSM)。

31	Reserved												16
15	14	13	12	11	10	9	8	7	6	5			0
Reserved	CEATAEN	INTDIS	ENCMDNF	SUSPEND	CPSMEN	WDATEND	WINTREQ	CMDRESP[1:0]			CMDIDX[5:0]		RW

位域	名称	描述
31:15	Reserved	保留, 必须保持复位值。
14	CEATAEN	CE-ATA 命令 (CE-ATA command) 如果设置该位, CPSM 将传输 CMD61。
13	INTDIS	不使能中断 (not interrupt enable) 如果未设置该位, 则使能 CE-ATA 设备的中断。
12	ENCMDNF	使能 CMD 完成 (Enable CMD completion) 如果设置该位, 则使能命令完成信号。
11	SUSPEND	SD I/O 暂停命令 (SD I/O suspend command) 如果设置该位, 则将要发送的命令是一个暂停命令 (只能用于 SD IO 卡)。
10	CPSMEN	命令通道状态机 (CPSM) 使能位 (Command path state machine (CPSM) Enable bit) 如果设置该位, 则使能 CPSM。
9	WDATEND	CPSM 等待数据传输结束 (CmdPend 内部信号) (CPSM Waits for ends of data transfer (CmdPend internal signal)) 如果设置该位, 则 CPSM 在开始发送一个命令之前等待数据传输结束。
8	WINTREQ	CPSM 等待中断请求 (CPSM waits for interrupt request) 如果设置该位, 则 CPSM 关闭命令超时控制并等待中断请求。
7:6	CMDRESP	等待响应位 (Wait for response bits) 这 2 位指示 CPSM 是否需要等待响应, 如果需要等待响应, 则指示响应类型。 00: 无响应, 除了 SDIO_STS.CMDSEND 标志 01: 短响应, 除了 SDIO_STS.CMDRESPRECV 或 SDIO_STS.CCRCERR 标志 10: 无响应, 除了 SDIO_STS.CMDSEND 标志 11: 长响应, 除了 SDIO_STS.CMDRESPRECV 或 SDIO_STS.CCRCERR 标志
5:0	CMDIDX	命令索引 (Command index) 命令索引是作为命令的一部分发送到卡中。

注意:

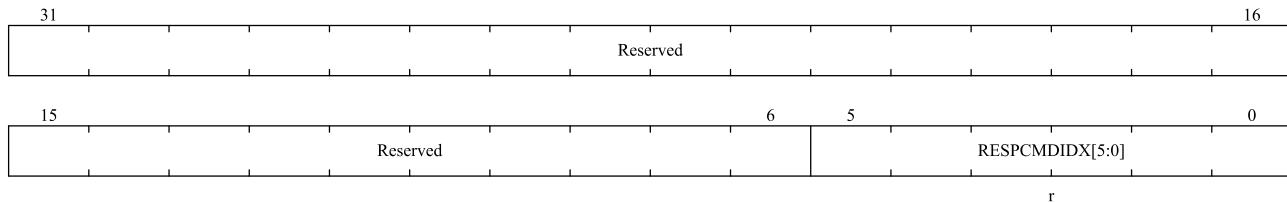
- 写数据后的 7 个 HCLK 时钟周期内不能写入这个寄存器。
- 多媒体卡可以发送 2 种响应: 48 位长的短响应, 或 136 位长的长响应。SD 卡和 SD I/O 卡只能发送短响应, 参数可以根据响应的类型而变化, 软件将根据发送的命令区分响应的类型。CE-ATA 设备只发送短响应。

18.7.6 SDIO 命令响应寄存器 (SDIO_CMDRESP)

地址偏移: 0x10

复位值: 0x0000 0000

SDIO_CMDRESP 寄存器包含最后收到的命令响应中的命令索引。如果传输的命令响应不包含命令索引（长响应或 OCR 响应），尽管它应该包含 111111b（响应中的保留域值），但 RESPCMDIDX 域的内容未知。



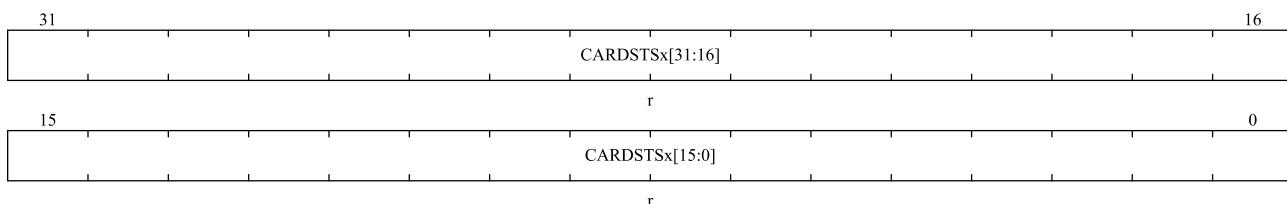
位域	名称	描述
31:6	Reserved	保留，必须保持复位值。
5:0	RESPCMDIDX	响应的命令索引 (Response command index) 只读位，包含最后收到的命令响应中的命令索引。

18.7.7 SDIO 响应 1..4 寄存器 (SDIO_RESPONSEx)

地址偏移: 0x14 + 4*(x-1)，其中 x = 1..4

复位值: 0x0000 0000

SDIO_RESPONSE1/2/3/4 寄存器包含卡的状态，即收到响应的部分信息。



位域	名称	描述
31:0	CARDSTSx	见下表。

根据响应状态，卡的状态长度是 32 位或 127 位。

表 18-33 响应类型和 SDIO_RESPONSEx 寄存器

寄存器	短响应	长响应
SDIO_RESPONSE1	卡状态[31:0]	卡状态[127:96]
SDIO_RESPONSE2	不用	卡状态[95:64]
SDIO_RESPONSE3	不用	卡状态[63:32]
SDIO_RESPONSE4	不用	卡状态[31:1]

总是先收到卡状态的最高位，SDIO_RESPONSE3 寄存器的最低位始终为 0。

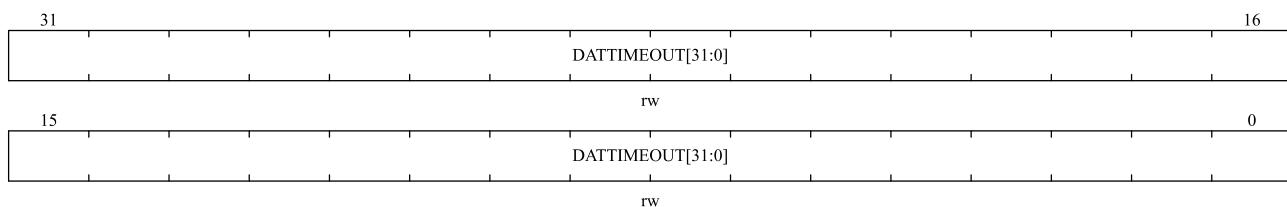
18.7.8 SDIO 数据定时器寄存器 (SDIO_DTIMER)

地址偏移: 0x24

复位值: 0x0000 0000

SDIO_DTIMER 寄存器包含以卡总线时钟周期为单位的数据超时时间。

一个计数器从 SDIO_DTIMER 寄存器加载数值，并在数据通道状态机（DPSM）进入 Wait_R 或繁忙状态时进行递减计数，当 DPSM 处在这些状态时，如果计数器减为 0，则设置超时标志。



位域	名称	描述
31:0	DATTIMEOUT	数据超时时间（Data timeout period） 以卡总线时钟周期为单位的数据超时时间。

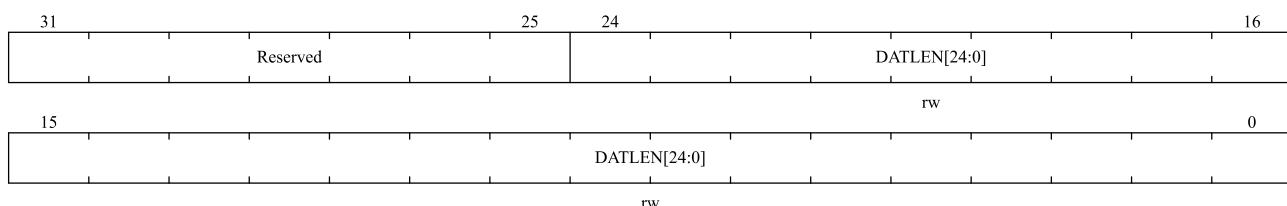
注意：在写入数据控制寄存器进行数据传输之前，必须先写入数据定时器寄存器和数据长度寄存器。

18.7.9 SDIO 数据长度寄存器（SDIO_DATLEN）

地址偏移：0x28

复位值：0x0000 0000

SDIO_DATLEN 寄存器包含需要传输的数据字节长度。当数据传输开始时，这个数值被加载到数据计数器中。



位域	名称	描述
31:25	Reserved	保留，必须保持复位值。
24:0	DATLEN	数据长度（Data length value） 要传输的数据字节数目。

注意：对于块数据传输，数据长度寄存器中的数值必须是数据块长度（见 SDIO_DATCTRL）的倍数。在写入数据控制寄存器进行数据传输之前，必须先写入数据定时器寄存器和数据长度寄存器。

18.7.10 SDIO 数据控制寄存器（SDIO_DATCTRL）

地址偏移：0x2C

复位值：0x0000 0000

SDIO_DATCTRL 寄存器控制数据通道状态机（DPSM）。

31	Reserved												16
15	13	12	11	10	9	8	7		4	3	2	1	0
Reserved	DMADIR	SDIOEN	RWAITMOD	RWAITSTOP	RWAITEN	BLKSIZE[3:0]		DMAEN	TRANSMOD	DATDIR	DATEN		
	rw	rw	rw	rw	rw		rw	rw	rw	rw	rw	rw	rw

位域	名称	描述
31:13	Reserved	保留，必须保持复位值。
12	DMADIR	DMA 模式下数据输出搬运到外部设备时配置为 1，外部设备数据输入时配置为 0。
11	SDIOEN	SD I/O 使能功能 (SD I/O enable functions) 如果设置了该位，则 DPSM 执行 SD I/O 卡特定的操作。
10	RWAITMOD	读等待模式 (Read wait mode) 0: 停止 SDIO_CLK 控制读等待; 1: 使用 SDIO_DAT2 控制读等待。
9	RWAITSTOP	读等待停止 (Read wait stop) 0: 如果设置了 RWAITEN, 执行读等待; 1: 如果设置了 RWAITEN, 停止读等待。
8	RWAITEN	读等待开始 (Read wait start) 设置该位开始读等待操作。
7:4	BLKSIZE[3:0]	数据块长度 (Data block size) 当选择了块数据传输模式，该域定义数据块长度： 0000: 块长度 = $2^0 = 1$ 字节; 0001: 块长度 = $2^1 = 2$ 字节; 0010: 块长度 = $2^2 = 4$ 字节; 0011: 块长度 = $2^3 = 8$ 字节; 0100: (十进制 4) 块长度 = $2^4 = 16$ 字节; 0101: (十进制 5) 块长度 = $2^5 = 32$ 字节; 0110: (十进制 6) 块长度 = $2^6 = 64$ 字节; 0111: 块长度 = $2^7 = 128$ 字节; 1000: 块长度 = $2^8 = 256$ 字节; 1001: 块长度 = $2^9 = 512$ 字节; 1010: 块长度 = $2^{10} = 1024$ 字节; 1011: 块长度 = $2^{11} = 2048$ 字节; 1100: 块长度 = $2^{12} = 4096$ 字节; 1101: 块长度 = $2^{13} = 8192$ 字节; 1110: 块长度 = $2^{14} = 16384$ 字节; 1111: 保留。
3	DMAEN	DMA 使能位 (DMA enable bit) 0: 关闭 DMA; 1: 使能 DMA。
2	TRANSMOD	数据传输模式 (Data transfer mode selection) 0: 块数据传输; 1: 流数据传输。

位域	名称	描述
1	DATDIR	数据传输方向 (Data transfer direction selection) 0: 控制器至卡; 1: 卡至控制器。
0	DATEN	数据传输使能位 (Data transfer enabled bit) 如果设置该位为 1, 则开始数据传输。根据 DATDIR 方向位, DPSM 进入 Wait_S 或 Wait_R 状态, 如果在传输的一开始就设置了 RWAITEN 位, 则 DPSM 进入读等待状态。不需要在数据传输结束后清除使能位, 但必须更改 SDIO_DATCTRL 以允许新的数据传输。

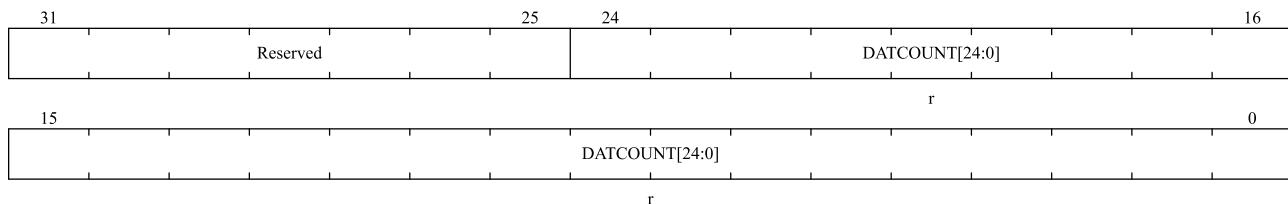
注意: 写数据后的 7 个 HCLK 时钟周期内不能写入这个寄存器。

18.7.11 SDIO 数据计数器寄存器 (SDIO_DATCOUNT)

地址偏移: 0x30

复位值: 0x0000 0000

当 DPSM 从空闲状态进入 Wait_R 或 Wait_S 状态时, SDIO_DATCOUNT 寄存器从数据长度寄存器加载数值 (见 SDIO_DATLEN), 在数据传输过程中, 该计数器的数值递减直到减为 0, 然后 DPSM 进入空闲状态并设置数据状态结束标志 SDIO_STS.DATEND。



位域	名称	描述
31:25	Reserved	保留, 必须保持复位值。
24:0	DATCOUNT	数据计数数值 (Data count value) 读这个寄存器时返回待传输的数据字节数, 写这个寄存器无作用。

注意: 只能在数据传输结束时读这个寄存器。

18.7.12 SDIO 状态寄存器 (SDIO_STS)

地址偏移: 0x34

复位值: 0x0000 0000

SDIO_STS 是一个只读寄存器, 它包含两类标志:

- 静态标志 (位[23:22、10:0]): 写入 SDIO 中断清除寄存器 (见 SDIO_INTCLR), 可以清除这些位。
- 动态标志 (位[21:11]): 这些位的状态变化根据它们对应的那部分逻辑而变化 (例如: FIFO 满和空标志变高或变低随 FIFO 的数据写入变化)。

31	Reserved								24	23	22	21	20	19	18	17	16
									CEATAF	SDIO INT	RDAT VALID	TDAT VALID	RFIFOE	TFIFOE	RFIFOF	TFIFOF	
15	14	13	12	11	10	9	8	r 7	r 6	r 5	r 4	r 3	r 2	r 1	r 0		

RFIFO HF TFIFO HE RXRUN TXRUN CMDRUN DATBLK END SBERR DAT END CMD SEND CMD RESP RECV RXOR ERR TXUR ERR DAT TIMEOUT CMD TIMEOUT DCRC ERR CCRC ERR

r r r r r r r r r r r r r r r r r

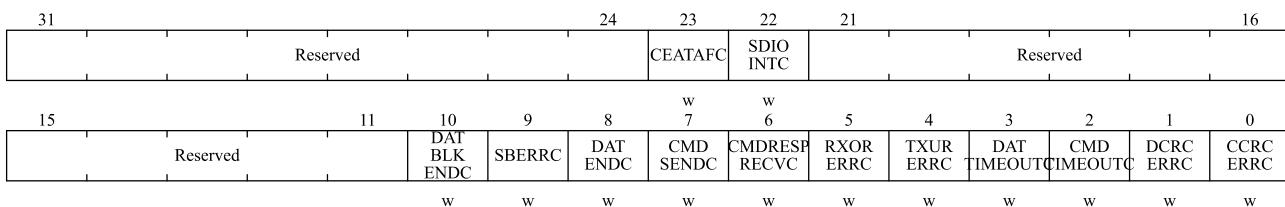
位域	名称	描述
31:24	Reserved	保留，必须保持复位值。
23	CEATAF	在 CMD61 接收到 CE-ATA 命令完成信号 (CE-ATA command completion signal received for CMD61)
22	SDIOINT	收到 SDIO 中断 (SDIO interrupt received)
21	RDATVALID	在接收 FIFO 中的数据可用 (Data available in receive FIFO)
20	TDATVALID	在发送 FIFO 中的数据可用 (Data available in transmit FIFO)
19	RFIFOE	接收 FIFO 空 (Receive FIFO empty)
18	TFIFOE	发送 FIFO 空 (Transmit FIFO empty) 若使用了硬件流控制，当 FIFO 包含 2 个字时，TFIFOE 信号变为有效。
17	RFIFOF	接收 FIFO 满 (Receive FIFO full) 若使用了硬件流控制，当 FIFO 还差 2 个字满时，RFIFOF 信号变为有效。
16	TFIFOF	发送 FIFO 满 (Transmit FIFO full)
15	RFIFOHF	接收 FIFO 半满 (Receive FIFO half full): FIFO 中至少还有 8 个字。
14	TFIFOHE	发送 FIFO 半空 (Transmit FIFO half empty): FIFO 中至少还可以写入 8 个字。
13	RXRUN	正在接收数据 (Data receive in progress)
12	TXRUN	正在发送数据 (Data transmit in progress)
11	CMDRUN	正在传输命令 (Command transfer in progress)
10	DATBLKEND	已发送/接收数据块 (CRC 检测成功) (Data block sent/received (CRC check passed))
9	SBERR	在宽总线模式，没有在所有数据信号上检测到起始位 (Start bit not detected on all data signals in wide bus mode)
8	DATEND	数据结束 (数据计数器, SDIO_DCOUNT = 0)
7	CMDSEND	命令已发送 (不需要响应) (Command sent (no response required))
6	CMDRESPRECV	已接收到响应 (CRC 检测成功) (Command response(CRC check passed))
5	RXORERR	接收 FIFO 上溢错误 (Received FIFO overrun error)
4	TXURERR	发送 FIFO 下溢错误 (Transmit FIFO underrun error)
3	DATTIMEOUT	数据超时 (Data timeout)
2	CMDTIMEOUT	命令响应超时 (Command response timeout) 命令超时时间是一个固定的值，为 64 个 SDIO_CLK 时钟周期。
1	DCRCERR	已发送/接收数据块 (CRC 检测失败) (Data block sent/received(CRC check failed))
0	CCRCERR	已收到命令响应 (CRC 检测失败) (Command response received(CRC check failed))

18.7.13 SDIO 清除中断寄存器 (SDIO_INTCLR)

地址偏移: 0x38

复位值: 0x0000 0000

SDIO_INTCLR 是一个只写寄存器，在对应寄存器位写 ‘1’ 将清除 SDIO_STS 状态寄存器中的对应位。



位域	名称	描述
31:24	Reserved	保留，必须保持复位值。
23	CEATAFC	CEATAF 标志清除位 (CEATAF flag clear bit) 软件设置该位以清除 SDIO_STS.CEATAF 标志。
22	SDIOINTC	SDIOINT 标志清除位 (SDIOINT flag clear bit) 软件设置该位以清除 SDIO_STS.SDIOINT 标志。
21:11	Reserved	保留，必须保持复位值。
10	DATBLKENDC	DATBLKEND 标志清除位 (DATBLKEND flag clear bit) 软件设置该位以清除 SDIO_STS.DATBLKEND 标志。
9	SBERRC	SBERR 标志清除位 (SBERR flag clear bit) 软件设置该位以清除 SDIO_STS.SBERR 标志。
8	DATENDC	DATEND 标志清除位 (DATEND flag clear bit) 软件设置该位以清除 SDIO_STS.DATEND 标志。
7	CMDSENDC	CMDSEND 标志清除位 (CMDSEND flag clear bit) 软件设置该位以清除 SDIO_STS.CMDSEND 标志。
6	CMDRESPRECVC	CMDRESPRECVC 标志清除位 (CMDRESPRECVC flag clear bit) 软件设置该位以清除 SDIO_STS.CMDRESPRECVC 标志。
5	RXORERRC	RXORERR 标志清除位 (RXORERR flag clear bit) 软件设置该位以清除 SDIO_STS.RXORERR 标志。
4	TXURERRC	TXURERR 标志清除位 (TXURERR flag clear bit) 软件设置该位以清除 SDIO_STS.TXURERR 标志。
3	DATTIMEOUTC	DATTIMEOUT 标志清除位 (DATTIMEOUT flag clear bit) 软件设置该位以清除 SDIO_STS.DATTIMEOUT 标志。
2	CMDTIMEOUTC	CMDTIMEOUT 标志清除位 (CMDTIMEOUT flag clear bit) 软件设置该位以清除 SDIO_STS.CMDTIMEOUT 标志。
1	DCRCERRC	DCRCERR 标志清除位 (DCRCERR flag clear bit) 软件设置该位以清除 SDIO_STS.DCRCERR 标志。
0	CCRCERRC	CCRCERR 标志清除位。(CCRCERR clear bit) 软件设置该位以清除 SDIO_STS.CCRCERR 标志。

18.7.14 SDIO 中断使能寄存器 (SDIO_INTEN)

地址偏移: 0x3C

复位值: 0x0000 0000

在对应位置 ‘1’， SDIO_INTEN 中断使能寄存器决定哪一个状态位产生中断。

31	Reserved								24	23	22	21	20	19	18	17	16
									CEATAF EN	SDIO INT EN	RDAT VALID EN	TDAT VALID EN	RFIFOE EN	TFIFOE EN	RFIFOF EN	TFIFOF EN	
15	14	13	12	11	10	9	8	rw	7	rw	6	rw	4	rw	3	rw	0
RFIFO HFEN	TFIFO HEEN	RXRUN EN	TXRUN EN	CMDRUN EN	DATBLK ENDEN	SBERR EN	DAT ENDEN	CMD SENDEN	CMD RESP RECVEN	RXOR ERREN	TXUR ERREN	DAT TIMEOUT EN	TIMEOUT EN	CMD TIMEOUT EN	DCRC ERREN	CCRC ERREN	
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	

位域	名称	描述
31:24	Reserved	保留，必须保持复位值。
23	CEATAFEN	允许接收到 CE-ATA 命令完成信号产生中断 (CE-ATA command completion signal received interrupt enable) 由软件设置/清除该位，允许/关闭在收到 CE-ATA 命令完成信号产生中断功能。 0: 收到 CE-ATA 命令完成信号时不产生中断 1: 收到 CE-ATA 命令完成信号时产生中断
22	SDIOINTEN	允许 SDIO 模式中断已接收中断 (SDIO mode interrupt received interrupt enable) 由软件设置/清除该位，允许/关闭 SDIO 模式中断已接收中断功能。 1: SDIO 模式中断已接收不产生中断 0: SDIO 模式中断已接收产生中断
21	RDATVALIDEN	接收 FIFO 中的数据有效产生中断 (Data available in Rx FIFO interrupt enable) 由软件设置/清除该位，允许/关闭接收 FIFO 中的数据有效中断。 0: 接收 FIFO 中的数据有效不产生中断 1: 接收 FIFO 中的数据有效产生中断
20	TDATVALIDEN	发送 FIFO 中的数据有效产生中断 (Data available in Rx FIFO interrupt enable) 由软件设置/清除该位，允许/关闭发送 FIFO 中的数据有效中断。 0: 发送 FIFO 中的数据有效不产生中断 1: 发送 FIFO 中的数据有效产生中断
19	RFIFOEEN	接收 FIFO 空产生中断 (Rx FIFO empty interrupt enable) 由软件设置/清除该位，允许/关闭接收 FIFO 空中断。 0: 接收 FIFO 空不产生中断 1: 接收 FIFO 空产生中断
18	TFIFOEEN	发送 FIFO 空产生中断 (Tx FIFO empty interrupt enable) 由软件设置/清除该位，允许/关闭发送 FIFO 空中断。 0: 发送 FIFO 空不产生中断 1: 发送 FIFO 空产生中断
17	RFIFOFEN	接收 FIFO 满产生中断 (Rx FIFO full interrupt enable) 由软件设置/清除该位，允许/关闭接收 FIFO 满中断。 0: 接收 FIFO 满不产生中断 1: 接收 FIFO 满产生中断
16	TFIFOFEN	发送 FIFO 满产生中断 (Tx FIFO full interrupt enable) 由软件设置/清除该位，允许/关闭发送 FIFO 满中断。 0: 发送 FIFO 满不产生中断 1: 发送 FIFO 满产生中断
15	RFIFOHFEN	接收 FIFO 半满产生中断 (Rx FIFO half full interrupt enable) 由软件设置/清除该位，允许/关闭接收 FIFO 半满中断。

位域	名称	描述
		0: 接收 FIFO 半满不产生中断 1: 接收 FIFO 半满产生中断
14	TFIFOHEEN	发送 FIFO 半空产生中断 (Tx FIFO half empty interrupt enable) 由软件设置/清除该位, 允许/关闭发送 FIFO 半空中断。 0: 发送 FIFO 半空不产生中断 1: 发送 FIFO 半空产生中断
13	RXRUNEN	正在接收数据产生中断 (Data receive acting interrupt enable) 由软件设置/清除该位, 允许/关闭正在接收数据中断。 0: 正在接收数据不产生中断 1: 正在接收数据产生中断
12	TXRUNEN	正在发送数据产生中断 (Data transmit acting interrupt enable) 由软件设置/清除该位, 允许/关闭正在发送数据中断。 0: 正在发送数据不产生中断 1: 正在发送数据产生中断
11	CMDRUNEN	正在传输命令产生中断 (Command acting interrupt enable) 由软件设置/清除该位, 允许/关闭正在传输命令中断。 0: 正在传输命令不产生中断 1: 正在传输命令产生中断
10	DATBLKENDEN	数据块传输结束产生中断 (Data block end interrupt enable) 由软件设置/清除该位, 允许/关闭数据块传输结束中断。 0: 数据块传输结束不产生中断 1: 数据块传输结束产生中断
9	SBERREN	起始位错误产生中断 (Start bit error interrupt enable) 由软件设置/清除该位, 允许/关闭起始位错误中断。 0: 起始位错误不产生中断 1: 起始位错误产生中断
8	DATENDEN	数据传输结束产生中断 (Data end interrupt enable) 由软件设置/清除该位, 允许/关闭数据传输结束中断。 0: 数据传输结束不产生中断 1: 数据传输结束产生中断
7	CMDSENDEN	命令已发送产生中断 (Command sent interrupt enable) 由软件设置/清除该位, 允许/关闭命令已发送中断。 0: 命令已发送不产生中断 1: 命令已发送产生中断
6	CMDRESPRECVEN	接收到响应产生中断 (Command response received interrupt enable) 由软件设置/清除该位, 允许/关闭接收到响应中断。 0: 接收到响应不产生中断 1: 接收到响应产生中断
5	RXORERREN	接收 FIFO 上溢错误产生中断 (Rx FIFO overrun error interrupt enable) 由软件设置/清除该位, 允许/关闭接收 FIFO 上溢错误中断。 0: 接收 FIFO 上溢错误不产生中断 1: 接收 FIFO 上溢错误产生中断
4	TXURERREN	发送 FIFO 下溢错误产生中断 (Tx FIFO underrun error interrupt enable)

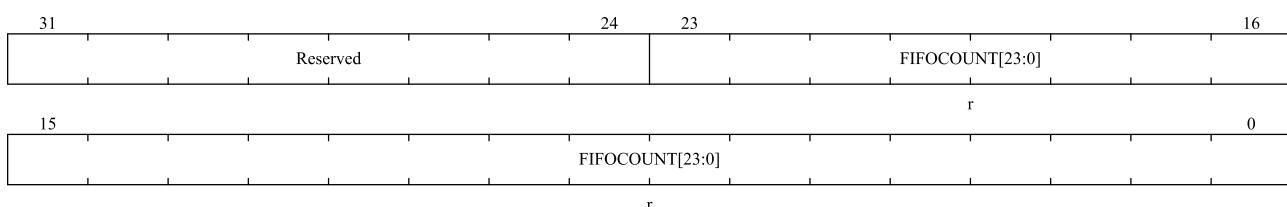
位域	名称	描述
		由软件设置/清除该位, 允许/关闭发送 FIFO 下溢错误中断。 0: 发送 FIFO 下溢错误不产生中断 1: 发送 FIFO 下溢错误产生中断
3	DATTIMEOUTEN	数据超时产生中断 (Data timeout interrupt enable) 由软件设置/清除该位, 允许/关闭数据超时中断。 0: 数据超时不产生中断 1: 数据超时产生中断
2	CMDTIMEOUTEN	命令超时产生中断 (Command timeout interrupt enable) 由软件设置/清除该位, 允许/关闭命令超时中断。 0: 命令超时不产生中断 1: 命令超时产生中断
1	DCRCERREN	数据块 CRC 检测失败产生中断 (Data CRC fail interrupt enable) 由软件设置/清除该位, 允许/关闭数据块 CRC 检测失败中断。 0: 数据块 CRC 检测失败不产生中断 1: 数据块 CRC 检测失败产生中断
0	CCRCERREN	命令 CRC 检测失败产生中断 (Command CRC fail interrupt enable) 由软件设置/清除该位, 允许/关闭命令 CRC 检测失败中断。 0: 命令 CRC 检测失败不产生中断 1: 命令 CRC 检测失败产生中断

18.7.15 SDIO FIFO 计数器寄存器 (SDIO_FIFOCOUNT)

地址偏移: 0x48

复位值: 0x0000 0000

SDIO_FIFOCOUNT 寄存器包含还未写入 FIFO 或还未从 FIFO 读出的数据字数目。当设置了 SDIO_DATCTRL.DATEN 位, 并且 DPSM 处于空闲状态时, FIFO 计数器从数据长度寄存器 (见 SDIO_DATLEN) 加载数值。如果数据长度未与字对齐 (4 的倍数), 则最后剩下的 1~3 个字节被当成一个字处理。



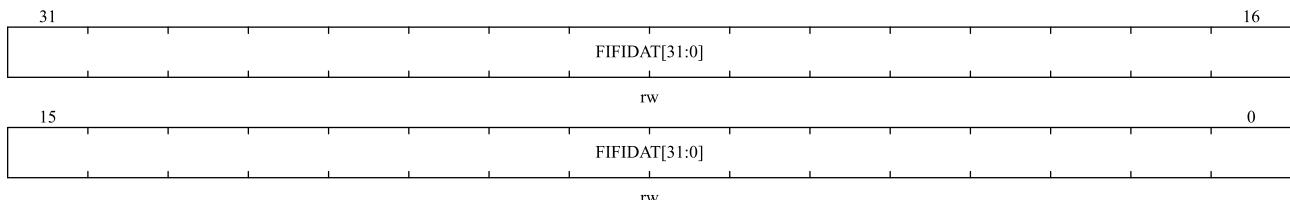
位域	名称	描述
31:24	Reserved	保留, 必须保持复位值。
23:0	FIFOCOUNT	将要写入 FIFO 或将要从 FIFO 读出数据字的数目。

18.7.16 SDIO 数据 FIFO 寄存器 (SDIO_DATFIFO)

地址偏移: 0x80

复位值: 0x0000 0000

接收和发送 FIFO 是 32 位的宽度读或写一组寄存器，它在连续的 32 个地址上包含 32 个寄存器，CPU 可以使用 FIFO 读写多个操作数。



位域	名称	描述
31:0	FIFIDAT	接收或发送 FIFO 数据 (Receive and transmit FIFO data) FIFO 数据占据 32 个 32 位的字，地址为： (SDIO 基址 + 0x80) 至 (SDIO 基址 + 0xFC)

19 通用串行总线全速设备接口（USB_Fs_Device）

19.1 简介

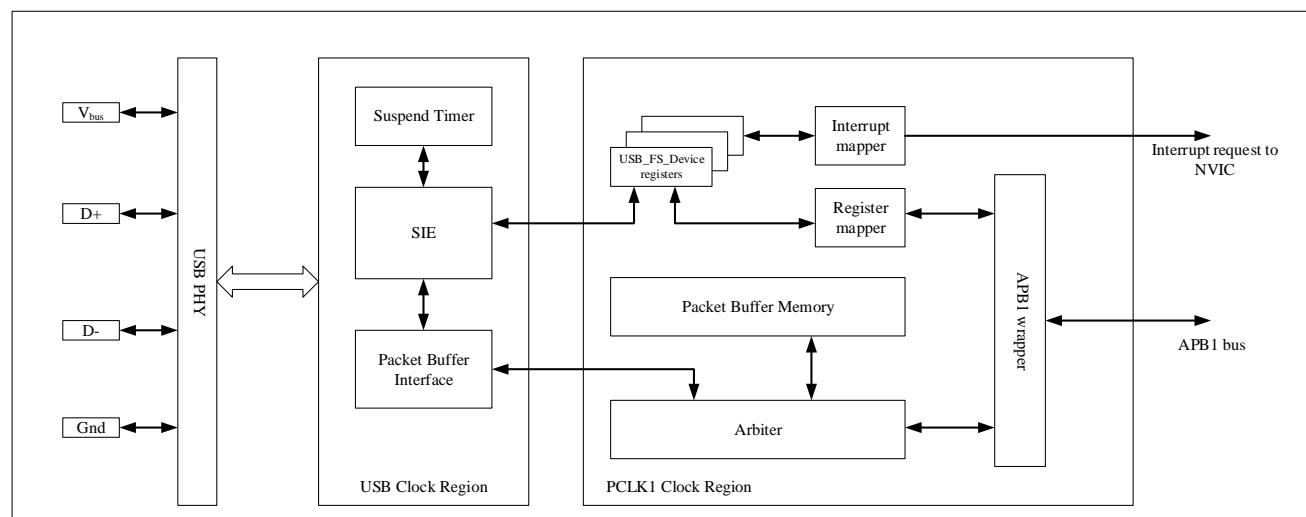
通用串行总线全速设备接口（USB_Fs_Device）模块是一个符合 USB2.0 全速协议的外设。它包含了物理层的 USB PHY，不需要额外的 PHY 芯片。USB_Fs_Device 支持 USB2.0 协议中定义的**控制传输、批量传输、中断传输和同步传输**共四种传输类型。

19.2 主要特征

- 符合 USB2.0 全速设备规格
- 最多支持 8 个可配置的 USB 端点
- 每个端点都支持 USB2.0 协议中的四种传输类型：
 - 控制传输
 - 批量传输
 - 中断传输
 - 同步传输
- 批量端点/同步端点支持双缓冲机制
- CRC(循环冗余校验)生成/校验，反向不归零(NRZI)编码/解码和位填充
- 支持 USB 挂起/恢复操作
- 帧锁定时钟脉冲生成

图 19-1 是 USB 外设的功能框图。

图 19-1 USB 设备框图



19.3 时钟配置

USB 2.0 协议规范中规定 USB 全速模块采用固定的 48MHz 时钟。为了给 USB_FS_Device 提供精确的 48MHz 时钟，需要进行两阶段的时钟配置，如下：

- 第一阶段，从 PLLCLK 精确分频得到 48MHz 工作时钟，所以在使用 USB_FS_Device 时，需保证 PLLCLK 时钟为 48MHz/72MHz/96MHz/144MHz，否则 USB_FS_Device 无法正常工作；
- 第二阶段，使能挂载在 APB1 总线上的 USB 外设时钟，即 APB1 总线时钟，它的频率不必等于 48MHz，可以大于或小于 48MHz。

注意：

1、APB1 总线时钟的频率必须大于 8MHz，否则可能导致数据缓冲区上溢/下溢。

19.4 功能描述

基于此模块，微控制器和 PC 主机之间通过 USB 连接可以实现数据交互。微控制器和 PC 主机之间的数据传输基于一块 512 字节的专用 SRAM 实现，这块 SRAM 也就是图 19-1 中的 Packet Buffer Memory，USB 外设可以直接访问该 SRAM，这块专用 SRAM 的实际使用大小由使用的端点数和每个端点的端点数据包缓冲区大小共同决定，每个端点都有一个缓冲区描述表项，描述该端点使用的缓冲区地址、大小和需要传输的字节数，具体请参考 19.4.2 缓冲区描述表。该 SRAM 被映射到 APB1 外设存储区，其地址从 0x4000_6000 到 0x4000_63FF，总容量为 1KB，但是由于总线宽度原因只使用了 512 字节，并且每个端点的缓冲区描述表也存储在该 SRAM 内，所以每个端点最大可以使用的端点数据包缓冲区小于 512 字节。

注意：

1、USB 和 CAN1 共用这块 SRAM，所以不能同时使用 USB 和 CAN1。

19.4.1 访问 Packet Buffer Memory

由图 19-1 所示，微控制器通过 APB1 总线与 USB 模块通讯，微控制器通过 APB1 wrapper 访问 Packet Buffer Memory，当微控制器和 USB 模块都要访问 Packet Buffer Memory 时，由 Arbiter 来决定谁能访问，其仲裁逻辑为 APB1 总线的一半周期用于微控制器访问 Packet Buffer Memory，另一半周期用于 USB 模块访问 Packet Buffer Memory，这样就可以避免由于微控制器连续访问 Packet Buffer Memory 而导致的访问冲突。

注意：

1、APB1 总线与 USB 模块访问 Packet Buffer Memory 的方式有所不同。

19.4.1.1 USB 模块访问 Packet Buffer Memory

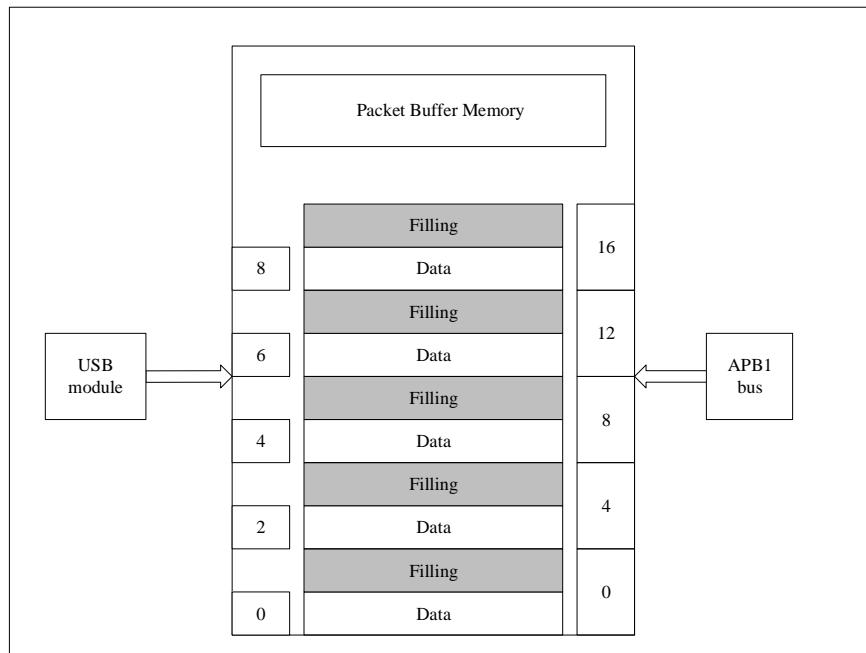
USB 模块以 16 位方式访问 Packet Buffer Memory，参考图 19-2。USB 模块访问 Packet Buffer Memory 时，先通过 USB_BUFTAB 寄存器在 Packet Buffer Memory 内存中找到缓冲区描述表的位置。USB_BUFTAB 寄存器的值表示缓冲区描述表的起始地址，该地址必须在 Packet Buffer Memory 内存范围内，并且是 8 字节对齐。如果只是用了端点 0 和端点 1，缓冲区描述表只需要 16 字节，如果只用了端点 0 和端点 7，则缓冲区描述表需要 64 字节，虽然端点 1 到端点 6 未使用，但是端点 7 的描述表是从 56 字节开始的，所以会占用 64 字节的空间。

19.4.1.2 用户应用程序访问 Packet Buffer Memory

微控制器上的用户应用程序从 APB1 总线访问 Packet Buffer Memory 需要按照 32 位对齐，16 位读写方式访

问，即操作数据的地址必须是 32 位对齐，并且一次只能读或写 16 位数据，不能是 8 位也不能是 32 位。USB 模块和微控制器上的用户应用程序访问 Packet Buffer Memory 方式如图 19-2 所示。

图 19-2 USB 模块和微控制器上的用户应用程序访问 Packet Buffer Memory 方式



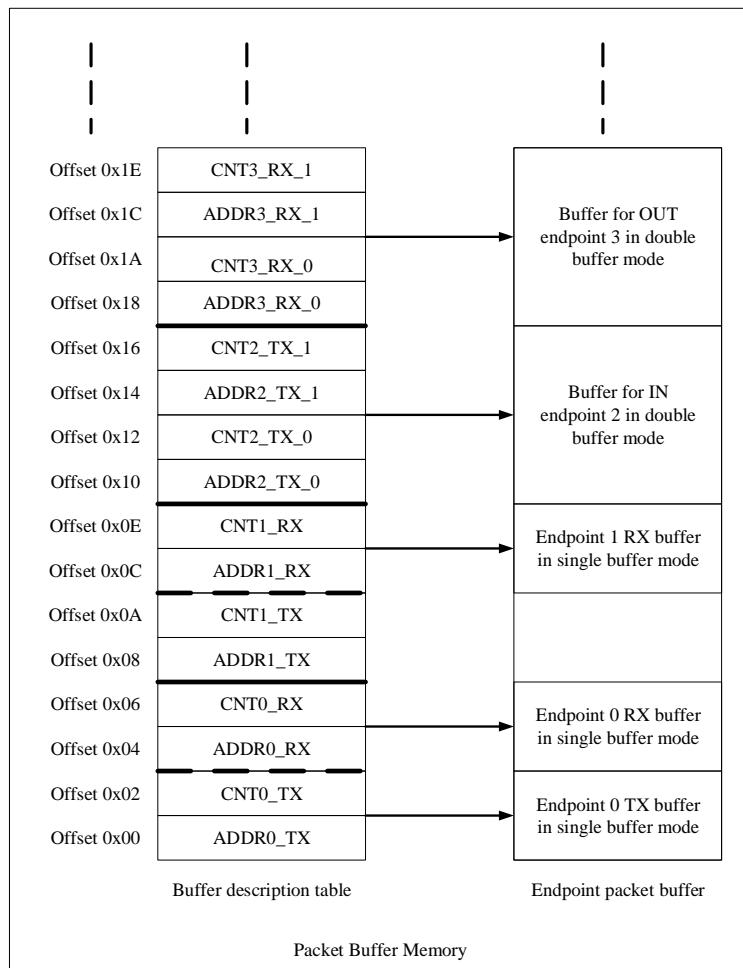
19.4.2 缓冲区描述表

缓冲区描述表中定义了通信过程中使用的端点的缓冲区地址、大小和需要传输的字节数，每个端点对应两个端点数据包缓冲区，一个用于发送，一个用于接收。这些端点数据包缓冲区可以存储在整个 Packet Buffer Memory 中的任意位置，并且缓冲区描述表也位于 Packet Buffer Memory 中，其起始地址由 USB_BUFTAB 寄存器确定。

缓冲区描述表共有 8 个表项，每个表项对应一个端点寄存器，每个寄存器中有发送和接收两个方向，每个方向要求 2 个 16 位字的缓冲区描述表，所以每个表项由 4 个 16 位字组成，所以缓冲区描述表的起始地址必须按 8 字节对齐。对于未使用到的端点或已使用的端点的未使用方向上的端点数据包缓冲区，可以用于其他用途。缓冲区描述表和端点数据包缓冲区的关系如下图 19-3 所示。

无论端点是用于接收还是发送，缓冲区描述表都是从第一个表项开始，即缓冲区描述表的最底部。USB 模块不能访问/修改当前分配到的端点数据包缓冲区区域外的其他端点数据包缓冲区的数据，例如：端点 0 数据包接收缓冲区从 PC 主机收到一个比当前端点 0 数据包接收缓冲区还大的数据时，端点 0 只接收最大为端点 0 数据包接收缓冲区大小的数据，其他多余的数据被丢弃，并发生缓冲区溢出异常。

图 19-3 缓冲区描述表和端点数据包缓冲区的关系



19.4.3 双缓冲端点

19.4.3.1 双缓冲端点功能介绍

当 PC 主机和 USB 设备之间需要传输大批量数据时，采用批量传输让 PC 主机在一帧内最大效率的传输数据。但是，当传输速度过快时会导致 USB 设备在处理上一次数据传输时，USB 设备又收到新的数据分组，为了正确完成上一次数据传输，USB 只能向 PC 主机回复 NAK 握手信号，由于批量传输的重传机制，PC 主机会不断重发同样的数据分组，直到 USB 设备可以处理该数据分组并向 PC 主机回复 ACK 握手信号，PC 主机才停止重发该数据分组。这样的重传会占用很多带宽，从而降低批量传输的速率，为了解决该问题，提高批量传输的效率引入双缓冲机制，并实现流控。

单向端点使用双缓冲机制时，其端点上的接收 buffer 和发送 buffer 都将被使用，其中的一个 buffer 让 USB 模块使用，另一个 buffer 让微控制器使用，使用端点寄存器中的数据翻转位选择当前使用哪一块 buffer，为此引入两个标志：DATTOG 和 SW_BUF，DATTOG 指示 USB 模块当前正在使用的 buffer，SW_BUF 指示微控制器上的应用程序当前正在使用的 buffer，DATTOG 和 SW_BUF 的定义如表 19-1 所示。单向端点使用双缓冲机制只需使用一个 USB_EPn 寄存器。

表 19-1 DATTOG 和 SW_BUF 定义

Buffer flag	Sending endpoint	Receiving endpoint
DATTOG	DATTOG_TX (Bit 6 of the USB_EPn register)	DATTOG_RX (Bit 14 of the USB_EPn register)
SW_BUF	Bit 14 of the USB_EPn register	Bit 6 of the USB_EPn register

如图 19-3 所示，当某个端点使用双缓冲区机制时，该端点的 4 个缓冲区描述表项都将被使用。DATTOG 和 SW_BUF 负责流控。当一次传输完成时，USB 硬件翻转 DATTOG 位；当微控制器上的应用程序处理完数据时，软件翻转 SW_BUF。在第一次传输开始后，之后的传输过程中，若 DATTOG 和 SW_BUF 的值相等，USB 模块和应用程序发生了缓冲区访问冲突，传输被暂停，并且向主机发送 NAK 握手包；当 DATTOG 和 SW_BUF 的值不相等时，可以进行正常的 USB 通信。

表 19-2 双缓冲使用方法

Endpoint type	DATTOG	SW_BUF	Buffer used by the USB module	Buffers used by the application
IN Endpoint	0	1	ADDRn_TX_0/CNTn_TX_0	ADDRn_TX_1/CNTn_TX_1
	1	0	ADDRn_TX_1/CNTn_TX_1	ADDRn_TX_0/CNTn_TX_0
	0	0	Endpoint is in NAK state	ADDRn_TX_0/CNTn_TX_0
	1	1	Endpoint is in NAK state	ADDRn_TX_1/CNTn_TX_1
OUT Endpoint	0	1	ADDRn_RX_0/CNTn_RX_0	ADDRn_RX_1/CNTn_RX_1
	1	0	ADDRn_RX_1/CNTn_RX_1	ADDRn_RX_0/CNTn_RX_0
	0	0	Endpoint is in NAK state	ADDRn_RX_0/CNTn_RX_0
	1	1	Endpoint is in NAK state	ADDRn_RX_1/CNTn_RX_1

注意：

1、双缓冲批量端点只在缓冲区访问冲突时才会将该端点设置为 NAK 状态，并不在每次正确传输完成后都将端点设置为 NAK 状态。

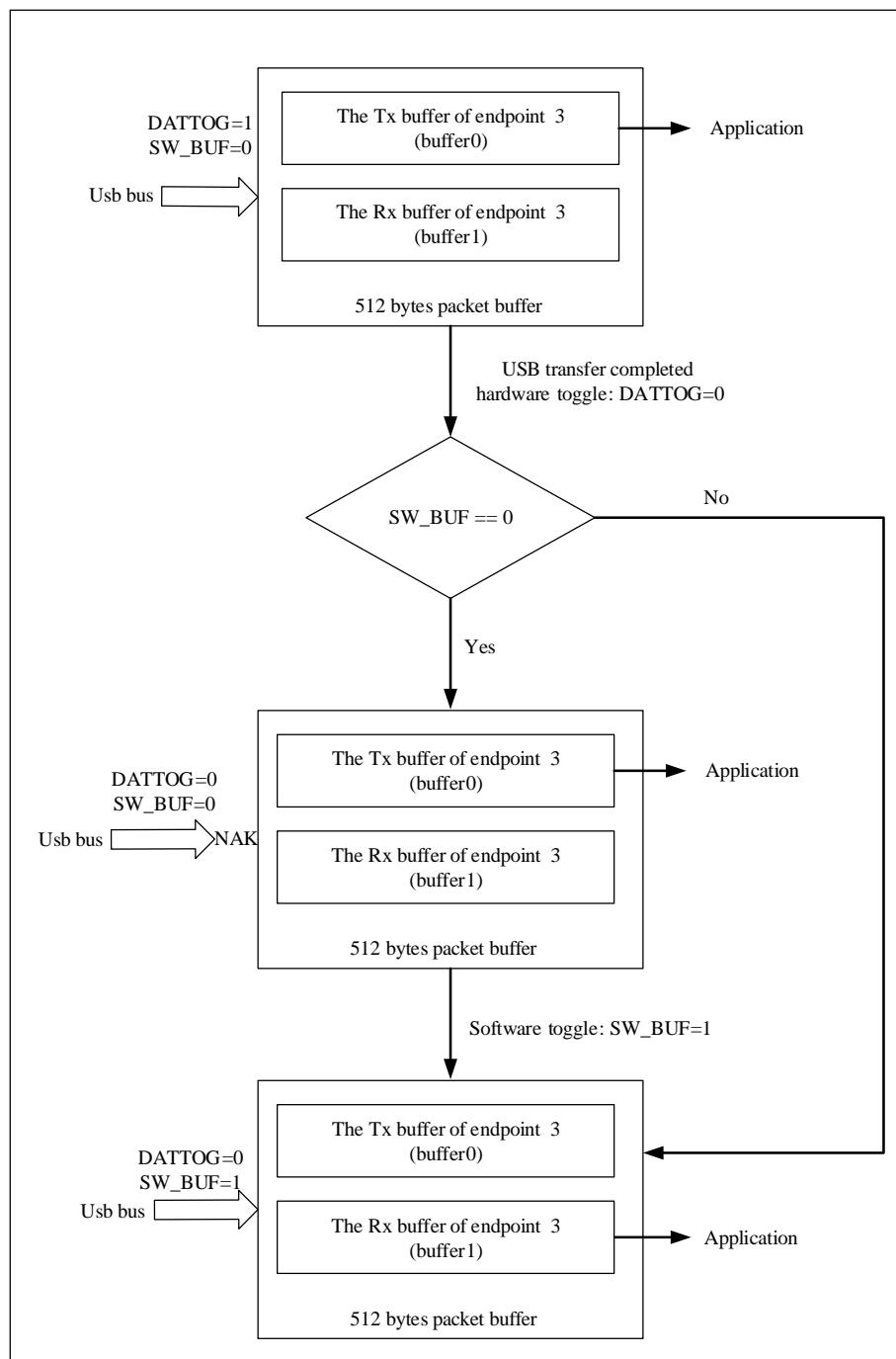
19.4.3.2 双缓冲端点使用

如果要使用双缓冲批量端点，可以按照以下方式设置：

- 设置 USB_EPn.EP_TYPE = 00，定义端点为批量端点
- 设置 USB_EPn.EP_KIND = 1，定义端点为双缓冲端点

如图 19-3 所示，双缓冲批量端点 3 进行 OUT 方向数据传输时，假设 DATTOG = 1，SW_BUF = 0，则表示应用程序可以处理 ADDR3_RX_0/CNT3_RX_0 对应的 buffer0 中的数据，而 USB 模块在接收到 USB 总线来的数据后，将数据填充到 ADDR3_RX_1/CNT3_RX_1 对应的 buffer1 中。当 USB 总线上的一次事务传输完成后，硬件会翻转 DATTOG = 0，若应用程序还没有处理完 ADDR3_RX_0/CNT3_RX_0 对应的 buffer0 中的数据，软件不翻转 SW_BUF (SW_BUF = 0)，如果此时 USB 总线上又有 OUT 数据包传输，USB 设备会自动回复 NAK 握手信号来表示流控，直到应用程序处理完 ADDR3_RX_0/CNT3_RX_0 对应的 buffer0 中的数据，软件翻转 SW_BUF = 1，此时 DATTOG 和 SW_BUF 的值不同，若 USB 总线上再来 OUT 数据包，USB 设备就可以正常接收数据，并把接收到的数据填充到 ADDR3_RX_0/CNT3_RX_0 对应的 buffer0 中，应用程序可以处理 ADDR3_RX_1/CNT3_RX_1 对应的 buffer1 中的数据。如下图 19-4 所示。

图 19-4 双缓冲批量端点示例



19.4.4 USB 传输

19.4.4.1 USB 传输概述

一次 USB 传输由多个事务构成，一个事务又有多个包构成。

包是 USB 传输的基本单元，所有的数据都必须先进行打包处理，才能在 USB 总线上传输。USB 上数据的一次接收或发送处理过程称为事务，事务有三种类型：Setup 事务、Data IN 事务、Data OUT 事务。

19.4.4.2 IN 事务

当主机要读 USB 设备的数据时，主机向 USB 设备发送一个 PID 为 IN 的令牌包，USB 设备在正确接收 IN

令牌包后，若地址和一个配置好的端点地址相匹配，USB 模块会根据该端点的缓冲区描述表项，访问相应的 USB_ADDRn_TX 和 USB_CNTn_TX 寄存器，并将这两个寄存器中的值存储到内部无法被应用程序访问的 16 位 ADDR 寄存器和 CNT 寄存器中，ADDR 寄存器被用作该端点对应的端点数据包发送缓冲区的指针，CNT 寄存器用于记录剩余的未传输的字节数。USB 总线使用低字节在先的方式从端点数据包发送缓冲区读出数据，数据从 USB_ADDRn_TX 指向的端点数据包发送缓冲区开始读取数据，长度为 USB_CNTn_TX/2 个字。若发送的数据分组为奇数个字节，则只使用最后一个字的低 8 位。

USB 设备收到主机发送的 PID 为 IN 的令牌包后，USB 对 IN 事务的处理流程如下：

- 若这个 IN 令牌包中的设备地址信息和端点信息有效，并且该令牌包中指定的端点的状态为 VALID，USB 设备根据 USB_EPn.DATTOG_TX 位发送 PID 为 DATA0 或 DATA1 数据包，将准备好的数据发送给主机，当最后一个数据字节发送完成后，计算好的数据 CRC 也将被发送给主机。USB 设备收到主机返回的 PID 为 ACK 的握手包后。硬件翻转 USB_EPn.DATTOG_TX 位，硬件将该端点发送状态设置为 NAK 状态 (USB_EPn.STS_TX = 10)，同时硬件置位 USB_EPn.CTRS_TX，产生正确发送中断。软件响应 CTRS_TX 中断，通过检查 USB_STS.EP_ID 位识别是哪个端点上的通信，通过 USB_STS.DIR 识别通信方向，清除中断标志，并准备下一次要发送的数据，然后软件重新将该端点发送状态设置为 VALID 状态 (USB_EPn.STS_TX = 11)。
- 若这个 IN 令牌包中指定的端点是无效的，则 USB 设备不发送数据包，而根据 USB_EPn.STS_TX 发送 PID 为 NAK 或 STALL 的握手包。

19.4.4.3 OUT 和 SETUP 事务

当主机要向 USB 设备发送数据或命令时，主机会向 USB 设备发送 PID 为 OUT 或 SETUP 的令牌包，USB 设备在正确接收 OUT 或 SETUP 令牌后，若地址和一个配置好的端点地址相匹配，USB 模块会根据该端点的缓冲区描述表项，访问相应的 USB_ADDRn_RX 和 USB_CNTn_RX 寄存器，并将 USB_ADDRn_RX 寄存器的值存储到内部 ADDR 寄存器中，同时复位内部 CNT 寄存器，ADDR 寄存器被用作该端点对应的端点数据包接收缓冲区的指针，CNT 寄存器用于记录接收到的数据字节数，并用 USB_CNTn_RX 寄存器中的 BL_SIZE 和 NUM_BLK 值初始化内部无法被应用程序访问的 16 位 BUF_COUNT 寄存器，该寄存器用于缓冲区溢出检测。当 USB 模块接收到来自 USB 总线的数据时，USB 模块将接收到的数据按字方式组织（先收到的为低字节），并存储到 ADDR 指向的端点数据包接收缓冲区中，同时 CNT 值自动递增，BUF_COUNT 值自动递减。

USB 设备收到主机发送的 PID 为 OUT 或 SETUP 的令牌包后，USB 对 OUT 或 SETUP 的处理流程如下：

- 若这个 OUT 或 SETUP 令牌包中的设备地址信息和端点信息有效，并且该令牌包中指定的端点的状态为 VALID，USB 设备将数据从无法被应用程序访问的硬件 buffer 中搬移到可被应用程序访问的端点数据包接收缓冲区中。然后 USB 设备校验收到的 CRC，如果 CRC 无错误，USB 设备向主机回复 PID 为 ACK 的握手包；如果 CRC 有错误或其他错误类型（位填充，帧错误等），USB 设备不向主机回复 ACK 握手包，并且 USB_STS.ERROR 置位，此时应用程序不需要做任何处理，USB 设备会自动恢复来准备接收下一次传输。如果接收到的数据大小超过了接收端点的数据包缓冲区大小，USB 设备会停止接收数据，并由硬件回复 STALL 握手包和置位缓冲区溢出错误，但不产生中断。USB 设备向主机回复 PID 为 ACK 的握手包后，USB 设备由硬件翻转 USB_EPn.DATTOG_RX 位，硬件将该端点接收状态设置为 NAK 状态 (USB_EPn.STS_RX = 10)，硬件置位 USB_EPn.CTRS_RX，产生正确接收中断。软件响应 CTRS_RX 中断，通过检查 USB_STS.EP_ID 位识别是哪个端点上的通信，通过 USB_STS.DIR 识别通信方向，清除中断标志，处理从主机接收到的数据，处理完接收到的数据后，软件重新将该端点接收状态设置为 VALID 状态 (USB_EPn.STS_RX = 11)，使能下一次传输。
- 若这个 OUT 或 SETUP 令牌包中指定的端点是无效的，USB 设备根据 USB_EPn.STS_RX 发送 PID 为

NAK 或 STALL 的握手包。

注意：

1、USB 设备在接收来自主机的数据时，如果接收到的数据大小超过了接收端点的数据包缓冲区大小，硬件会自动停止写入，即永远不会覆盖到其他端点数据包缓冲区的数据。

19.4.4.4 控制传输

控制传输由 3 个阶段组成，1 个 Setup 阶段 + 0 个/多个同方向的 Data 阶段 + 1 个 Status 阶段。SETUP 事务只能由控制端点完成，SETUP 事务和 OUT 事务过程相似。当一个 Setup 事务正确完成后，硬件产生 USB_EPn.CTRS_RX 中断，软件在中断中首先把 USB 设备端点的 Tx 和 Rx 方向状态都更改为 NAK，然后查看 USB_EPn.SETUP 位来确定是 SETUP 事务还是 OUT 事务，并根据 SETUP 令牌包中的相应字段判断后续是否有 Data 阶段，如果有 Data 阶段，Data 阶段是 IN 传输还是 OUT 传输。如图 19-5 所示，以控制写传输为例。在使能后续的 Data 阶段之前，判断 Data 阶段是否是最后一个 Data 阶段：

- 如果不是最后一个 Data 阶段，即不是最后一个数据包，在使能接收 OUT 事务之前，把不用的方向 Tx 状态设置为 STALL，以防止主机过早的结束 Data 阶段进入 Status 阶段，USB 设备可以返回 PID 为 STALL 的握手包，需要使用的方向 Rx 状态设置为 VALID。当第一个 OUT 事务正确完成后，硬件产生 USB_EPn.CTRS_RX 中断，并把 USB 设备端点的 Rx 方向状态更改为 NAK，Tx 方向状态不变，软件在中断中判断下一个将要使能的 OUT 事务是否是最后一个 Data 阶段，如果不是最后一个 Data 阶段，在使能接收 OUT 事务之前，软件重新设置 USB 设备端点的 Rx 方向状态为 VALID，Tx 方向状态不变；
- 如果是最后一个 Data 阶段，在使能接收最后一个 OUT 事务之前，软件把之前 Data 阶段不用的 Tx 方向状态设置为 NAK，这样，即使主机在最后一次 Data 阶段后立马开始 Status 阶段，USB 设备仍然可以保持为等待控制传输结束的状态，Rx 方向状态设置为 VALID，准备接收最后一包数据；

最后一个 OUT 事务正确完成后，硬件产生 USB_EPn.CTRS_RX 中断，并把 USB 设备端点的 Rx 方向状态设置为 NAK，TX 方向状态不变。当软件在中断中准备好 Status 阶段需要发送的 0 长度数据包后，软件把 USB 设备端点的 Tx 方向状态更改为 VALID。

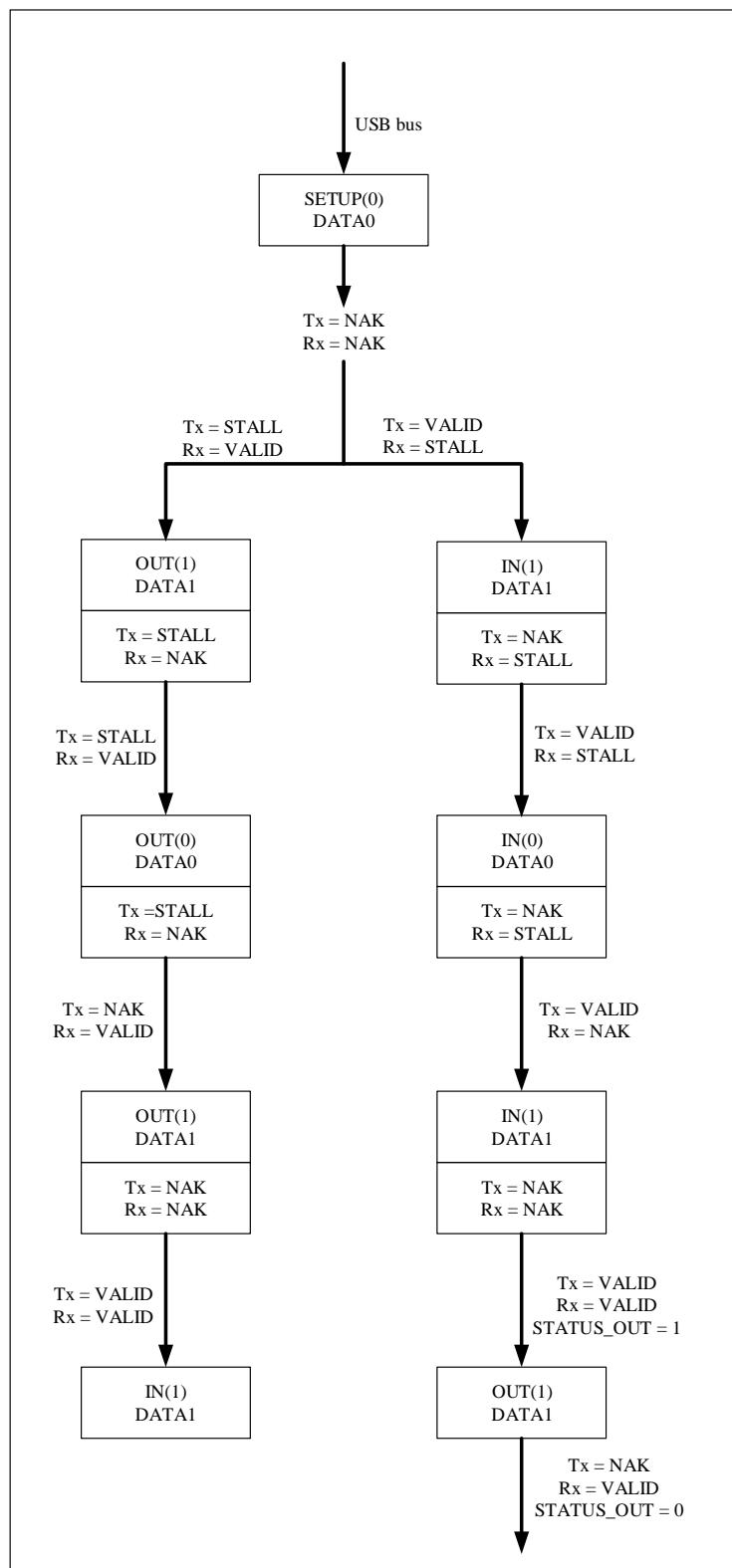
控制读传输与控制写传输相类似，唯一不同点如下：

- 控制读传输，Data 阶段的最后一个 IN 事务正确完成后，在使能 OUT 方向的 Status 阶段之前，除了把 USB 设备端点的 Rx 方向状态设置为 VALID，还需要把 STATUS_OUT(USB_EPn.EP_KIND)置 1，表示接下来将是 OUT 方向的 Status 阶段，随后的 OUT 事务中必须是一个 0 长度数据包，否则会产生错误。
- Status 阶段结束后，软件清除 STATUS_OUT(USB_EPn.EP_KIND)位，USB 设备端点的 Rx 方向状态设置为 VALID，准备接收一个新的命令请求，Tx 方向状态设置为 NAK，表示在下一个 SETUP 分组传输完成前，不接受数据传输的请求。

注意：

- 1、双向的端点 0 作为默认的控制端点来处理控制传输。
- 2、USB2.0 规范中定义，USB 设备接收 PID 为 SETUP 的令牌包后，不能用 PID 为 NAK 或 STALL 的握手包回复，只能用 PID 为 ACK 的握手包回复。如果 SETUP 分组传输失败，则会引发下一个 SETUP 分组。如果端点 0 的 Rx 状态设置为 STALL 或 NAK，USB 模块仍可以接收 SETUP 令牌包。
- 3、当 USB_EP0.CTRS_RX = 1 时，USB 模块再次收到 SETUP 令牌包，USB 模块会丢掉该 SETUP 令牌包，并不向主机回复任何握手包，迫使主机再次发送 SETUP 令牌包。

图 19-5 控制传输



19.4.4.5 同步传输

需要固定和精确的数据速率的传输被定义成同步传输。一个端点如果在枚举时被定义为同步端点，USB 主机会在传输的每个帧中为该端点分配所要求的带宽，但为了节约带宽，同步传输没有重传机制，即没有握手阶段，数据包后没有握手包，因此不需要使用数据翻转机制，同步传输只传送 PID 为 DATA0 的数据包。

同步端点使用双缓冲机制来减轻应用程序的处理压力，USB 模块使用的缓冲区由 DATTOG 位标识，在同一个寄存器中，USB_EPn.DATTOG_RX 位标识接收同步端点，USB_EPn.DATTOG_TX 位标识发送同步端点。与批量双缓冲机制相比较，同步双缓冲机制无 SW_BUF，因为应用程序可以访问的缓冲区就是 DATTOG 未指示的那个，所以要实现双向同步传输，需要使用两个 USB_EPn 寄存器。双缓冲同步端点使用如表 19-3 所示。

表 19-3 同步双缓冲使用方法

Endpoint type	DATTOG	Buffer used by the USB module	Buffers used by the application
IN Endpoint	0	ADDRn_TX_0/CNTn_TX_0	ADDRn_TX_1/CNTn_TX_1
	1	ADDRn_TX_1/CNTn_TX_1	ADDRn_TX_0/CNTn_TX_0
OUT Endpoint	0	ADDRn_RX_0/CNTn_RX_0	ADDRn_RX_1/CNTn_RX_1
	1	ADDRn_RX_1/CNTn_RX_1	ADDRn_RX_0/CNTn_RX_0

应用程序根据首次要用到的缓冲区来初始化 DATTOG 位。每次传输完成时，由使能的方向决定置位 USB_EPn.CTRS_RX 位还是 USB_EPn.CTRS_TX 位，产生相应的中断。如果产生 CRC 错误或缓冲区溢出错误，仍然能触发 USB_EPn.CTRS_RX 或 USB_EPn.CTRS_TX 中断事件，但是，如果是 CRC 错误，硬件会置位 USB_STS.ERROR 位，表示数据可能损坏。同时，硬件翻转 DATTOG 位，但 USB_EPn.STS_RX 或 USB_EPn.STS_TX 位不受影响。

同步端点定义：设置 USB_EPn.EP_TYPE = 10。由于同步端点无握手机制，同步端点的状态只能设置为 VALID 或 DISABLED，设置成 STALL 或 NAK 是非法的。

注意：

1、与批量双缓冲相比，由于同步双缓冲无握手机制，所以同步双缓冲无流控机制。

19.4.5 USB 事件和中断

每一个 USB 行为都通过应用程序初始化，由 USB 中断或事件来驱动。在系统复位后，应用程序需要等待一系列的 USB 中断和事件。

19.4.5.1 复位事件

19.4.5.1.1 系统复位和上电复位

发生系统复位或上电复位后，软件首先需要使能 USB 模块的时钟信号，然后清除复位信号以访问 USB 模块的寄存器，最后打开和 USB 收发器相连的模拟部分。软件操作流程如下：

- 使能 USB 模块的时钟信号
- 清除 USB_CTRL.PD 位
- 等待内部参考电压稳定，因为打开内部电压需要一段启动时间，在此期间内 USB 收发器处于不确定状态
- 清除 USB_CTRL.FRST 位
- 清除 USB_STS 寄存器，移除未处理的挂起中断，然后使能其他单元

注意：

1、每次系统复位或上电复位后使能 USB 模块，都需要配置 DP 信号线上拉电阻，该控制位位于地址为 0x4000 1820 寄存器的 bit28，设置 bit28 为 1，使能 DP 信号线上拉电阻，否则禁能上拉电阻。不允许修

改该寄存器的其他位。

19.4.5.1.2 USB 复位（复位中断）

发生 USB 复位时，USB 模块的状态同系统复位后状态是一样的：所有端点都被禁止通信。软件需要做如下操作：

- 产生复位中断后，软件必须在 10ms 内使能端点 0 的传输
- 设置 USB_ADDR.EFUC 位
- 初始化 USB_EP0 寄存器和与它相关的端点数据包缓冲区

19.4.5.2 挂起和唤醒事件

19.4.5.2.1 挂起事件

全速 USB 正常通信时，主机每毫秒会发送一个 PID 为 SOF 的令牌包。如果 USB 模块检测到 3 个连续的 SOF 包丢失，即 USB 总线在 3ms 内处于空闲状态，则硬件置位 USB_STS.SUSPD 位，触发挂起中断，USB 设备进入挂起状态。USB2.0 标准中规定，在挂起状态，USB 总线上的平均电流消耗不超过 2.5mA，但自供电设备无需严格遵守该规定。

注意：

1、USB 设备进入挂起状态后，仍然必须具备检测 RESET 信号的功能。

19.4.5.2.2 唤醒事件

USB 设备进入挂起状态后，若要恢复正常 USB 通信，可以由 USB 主机发起唤醒序列或 RESET 序列，或 USB 设备本身触发唤醒序列，但唤醒序列只能由 USB 主机结束。如果由 USB 主机发起的 RESET 序列唤醒 USB 设备，根据 USB2.0 标准中的规定，必须保证唤醒过程不超过 10ms。

表 19-4 列出了 USB_FN.RXDP_STS 位和 USB_FN.RXDM_STS 位标识什么触发了唤醒事件以及相应的软件操作。

表 19-4 唤醒事件检测

[USB_FN.RXDP_STS, USB_FN.RXDM_STS]	Wake-up event	Software operation
00	Root reset	None
01	Root resume	None
10	None (noise on bus)	Go back in Suspend mode
11	Not allowed (noise on bus)	Go back in Suspend mode

注意：

1、只有在 $USB_CTRL.FSUSPD = 1$ 时，即 USB 模块处于挂起状态，才可以设置 $USB_CTRL.RESUM$ 位。

19.4.5.3 USB 中断

USB 控制器有 3 条中断线，分别如下：

- USB 低优先级中断（通道 20）：可被所有 USB 事件触发；
- USB 高优先级中断（通道 19）：只能由同步和双缓冲批量传输的正确传输事件触发；
- USB 唤醒中断（通道 42）：由 USB 挂起模式的唤醒事件触发。

19.4.6 端点初始化

1. 初始化 USB_ADDRn_TX 或 USB_ADDRn_RX 寄存器，配置端点 Tx 或 Rx 数据包缓冲区起始地址；
 2. 根据端点的实际使用场景，配置 USB_EPn.EP_TYPE 位和 USB_EPn.EP_KIND 位来设定端点类型和缓冲区类型；
 3. 根据端点方向的不同执行不同操作：
 - 如果是发送端点
 - 1) 设置 USB_EPn.STS_TX 位，使能端点的发送功能
 - 2) 配置 USB_CNTn_TX.CNTn_TX 位，设置端点数据包发送缓冲区大小
 - 如果是接收端点
 - 1) 设置 USB_EPn.STS_RX 位，使能端点的接收功能
 - 2) 配置 USB_CNTn_RX.BL_SIZE 位和 USB_CNTn_RX.NUM_BLK 位，设置端点数据包接收缓冲区大小

19.5 USB 寄存器

可以用半字(16位)或字(32位)的方式操作这些外设寄存器。

USB 基地址: 0x4000 5C00

19.5.1 USB 寄存器总览

表 19-5 USB 寄存器总览

Offset	Register	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
014h	USB_EP5	Reserved										0	CTRS_RX	0	CTRS_RX	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
	Reset Value											0	DATTOG_RX	0	DATTOG_RX	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
018h	USB_EP6	Reserved										0	STS_RX[1:0]	0	STS_RX[1:0]	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
	Reset Value											0	STS_RX[1:0]	0	STS_RX[1:0]	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
01Ch	USB_EP7	Reserved										0	CTRS_RX	0	CTRS_RX	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
	Reset Value											0	DATTOG_RX	0	DATTOG_RX	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
040h	USB_CTRL	Reserved										0	CTRSM	0	CTRSM	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Reset Value											0	PMAOM	0	PMAOM	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
044h	USB_STS	Reserved										0	ERROR	0	ERROR	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Reset Value											0	WKUPM	0	WKUPM	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
048h	USB_FN	Reserved										0	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	
	Reset Value											0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
04Ch	USB_ADDR	Reserved										0	Reserved										ADDR[6:0]										0	
	Reset Value											0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
050h	USB_BUFTAB	Reserved										0	BUFTAB[15:3]										Reserved										0	
	Reset Value											0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

19.5.2 USB 端点 n 寄存器 (USB_EPn) , n=[0..7]

偏移地址: 0x00 至 0X1C

复位值: 0x0000 0000

31	Reserved										16				
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CTRS_RX	DATTOG_RX	STS_RX [1:0]	SETUP	EP_TYPE [1:0]	EP_KIND	CTRS_TX	DATTOG_TX	STS_TX [1:0]	EPADDR[3:0]						
rc_w0	t	t	r	rw	rw	rc_w0	t	t	rw	rw	rw	rw	rw		

位域	名称	描述
31: 16	Reserved	保留, 必须保持复位值。
15	CTRS_RX	<p>正确接收标志</p> <p>当该端点上的 OUT 或 SETUP 事务成功完成时, 硬件置位此位。若 USB_CTRL.CTRSM = 1, 产生相应的中断。</p> <p>注意:</p> <p>1、 软件可读可写此位, 但只有写0有效, 写1无效。</p>

位域	名称	描述														
14	DATTOG_RX	<p>接收数据 PID 翻转位 非同步端点，此位表示翻转数据位（0 = DATA0, 1 = DATA1） 双缓冲端点，此位用于实现双缓冲端点的流控机制 同步端点，此位用于双缓冲区的交换</p> <p>注意：</p> <ol style="list-style-type: none"> 1、 软件可读可写此位，但写0无效，写1翻转此位。 2、 控制端点，USB 模块在正确接收到 PID 为 SETUP 的令牌包后，硬件清除此位。 3、 同步传输中，硬件在数据包接收结束后翻转此位。 														
13: 12	STS_RX[1:0]	<p>接收状态 此位指示端点的当前状态，表 19-6 列出了端点的可用状态。当一次正确的 OUT 或 SETUP 事务完成时，硬件置位此位为 NAK 状态。</p> <p>注意：</p> <ol style="list-style-type: none"> 1、 软件可读可写此位，但写0无效，写1翻转此位。 2、 双缓冲批量端点，根据使用的缓冲区状态控制传输状态，参考 19.4.3 节。 3、 同步端点，硬件不会在事务成功完成后更改端点的状态。 														
11	SETUP	<p>SETUP 传输完成标志 当 USB 模块正确接收到 PID 为 SETUP 的令牌包后，硬件置位此位。</p> <p>注意：</p> <ol style="list-style-type: none"> 1、 软件只可读此位，不可写此位。 2、 该位 USB_EPn.SETUP 只对控制端点有效。 														
10: 9	EP_TYPE[1:0]	<p>端点类型</p> <table border="1"> <thead> <tr> <th>EP_TYPE[1:0]</th> <th>描述</th> </tr> </thead> <tbody> <tr> <td>00</td> <td>BULK：批量端点</td> </tr> <tr> <td>01</td> <td>CONTROL：控制端点</td> </tr> <tr> <td>10</td> <td>ISO：同步端点</td> </tr> <tr> <td>11</td> <td>INTERRUPT：中断端点</td> </tr> </tbody> </table>	EP_TYPE[1:0]	描述	00	BULK：批量端点	01	CONTROL：控制端点	10	ISO：同步端点	11	INTERRUPT：中断端点				
EP_TYPE[1:0]	描述															
00	BULK：批量端点															
01	CONTROL：控制端点															
10	ISO：同步端点															
11	INTERRUPT：中断端点															
8	EP_KIND	<p>端点特殊类型</p> <table border="1"> <thead> <tr> <th>EP_TYPE[1:0]</th> <th>EP_KIND 含义</th> </tr> </thead> <tbody> <tr> <td>00</td> <td>BULK</td> <td>DBL_BUF：双缓冲端点</td> </tr> <tr> <td>01</td> <td>CONTROL</td> <td>STATUS_OUT</td> </tr> <tr> <td>10</td> <td>ISO</td> <td>未定义</td> </tr> <tr> <td>11</td> <td>INTERRUPT</td> <td>未定义</td> </tr> </tbody> </table>	EP_TYPE[1:0]	EP_KIND 含义	00	BULK	DBL_BUF：双缓冲端点	01	CONTROL	STATUS_OUT	10	ISO	未定义	11	INTERRUPT	未定义
EP_TYPE[1:0]	EP_KIND 含义															
00	BULK	DBL_BUF：双缓冲端点														
01	CONTROL	STATUS_OUT														
10	ISO	未定义														
11	INTERRUPT	未定义														
7	CTRS_TX	<p>正确发送标志 当该端点上的 IN 事务成功完成时，硬件置位此位。若 USB_CTRL.CTRSM = 1，产生相应的中断。</p> <p>注意：</p> <ol style="list-style-type: none"> 1、 软件可读可写此位，但只有写0有效，写1无效。 														
6	DATTOG_TX	<p>发送数据 PID 翻转位 非同步端点，此位表示翻转数据位（0 = DATA0, 1 = DATA1） 双缓冲端点，此位用于实现双缓冲端点的流控机制 同步端点，此位用于双缓冲区的交换</p> <p>注意：</p>														

位域	名称	描述
		<p>1、 软件可读可写此位，但写0无效，写1翻转此位。</p> <p>2、 控制端点，USB 模块在正确接收到PID为SETUP的令牌包后，硬件置位此位。</p> <p>3、 同步传输中，硬件在数据包发送结束后翻转此位。</p>
5: 4	STS_RX[1:0]	<p>发送状态</p> <p>此位指示端点的当前状态，表 1-7 列出了端点的可用状态。当一次正确的 IN 事务完成时，硬件置位此位为 NAK 状态。</p> <p>注意：</p> <p>1、 软件可读可写此位，但写0无效，写1翻转此位。</p> <p>2、 双缓冲批量端点，根据使用的缓冲区状态控制传输状态，参考 19.4.3 节。</p> <p>3、 同步端点，硬件不会在事务成功完成后更改端点的状态。</p>
3: 0	EPADDR[3:0]	<p>端点地址</p> <p>此位指示通信的目标端点，必须在使能相应端点之前写入值。</p>

注意：

1、 当 USB 模块收到 USB 总线复位信号，或 USB_CTRL.FRST = 1 时，USB 模块将会复位，该寄存器除了 CTRS_RX 和 CTRS_TX 位保持不变以处理紧随的 USB 传输外，其他位都被复位。

表 19-6 接收状态编码

STS_RX[1:0]	描述
00	DISABLED：忽略此端点的所有接收请求
01	STALL：握手包状态为 STALL
10	NAK：握手包状态为 NAK
11	VALID：端点可用于接收

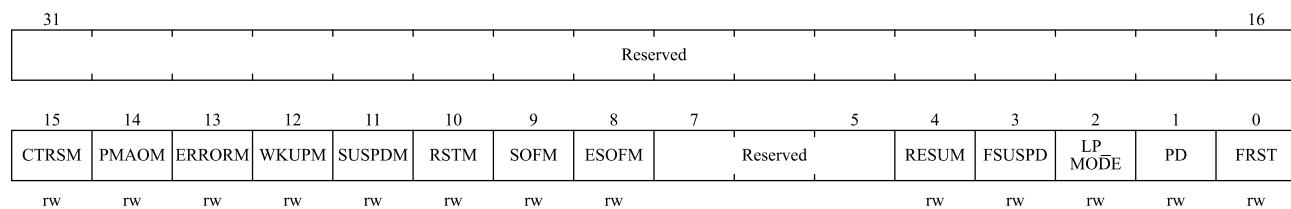
表 19-7 发送状态编码

STS_TX[1:0]	描述
00	DISABLED：忽略此端点的所有发送请求
01	STALL：握手包状态为 STALL
10	NAK：握手包状态为 NAK
11	VALID：端点可用于发送

19.5.3 USB 控制寄存器 (USB_CTRL)

偏移地址：0x40

复位值：0x0000 0003



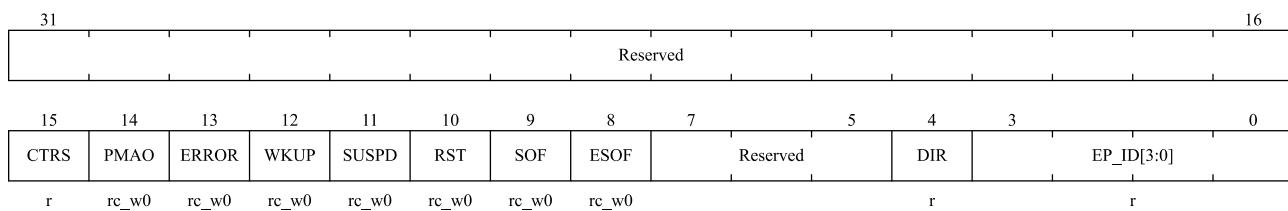
位域	名称	描述
31:16	Reserved	保留, 必须保持复位值。
15	CTRSM	正确传输中断使能 0: 禁用正确传输中断 1: 使能正确传输中断, 当 USB_STS.CTRS = 1 时, 产生中断。
14	PMAOM	数据包缓冲区上溢/下溢中断使能 0: 禁用数据包缓冲区上溢/下溢中断 1: 使能数据包缓冲区上溢/下溢中断, 当 USB_STS.PMAO = 1 时, 产生中断。
13	ERRORM	错误中断使能 0: 禁用错误中断 1: 使能错误中断, 当 USB_STS.ERROR = 1 时, 产生中断。
12	WKUPM	唤醒中断使能 0: 禁用唤醒中断 1: 使能唤醒中断, 当 USB_STS.WKUP = 1 时, 产生中断。
11	SUSPDM	挂起模式中断使能 0: 禁用挂起模式中断 1: 使能挂起模式中断, 当 USB_STS.SUSPD = 1 时, 产生中断。
10	RSTM	USB 复位中断使能 0: 禁用 USB 复位中断 1: 使能 USB 复位中断, 当 USB_STS.RST = 1 时, 产生中断。
9	SOFM	帧起始中断使能 0: 禁用帧起始中断 1: 使能帧起始中断, 当 USB_STS.SOF = 1 时, 产生中断。
8	ESOFM	期望的帧起始中断使能 0: 禁用期望的帧起始中断 1: 使能期望的帧起始中断, 当 USB_STS.ESOF = 1 时, 产生中断。
7: 5	Reserved	保留, 必须保持复位值。
4	RESUM	唤醒请求 0: 没有唤醒请求 1: 向 PC 主机发送唤醒请求 注意: 1、如果 USB_CTRL.RESUM = 1 在 1ms 到 15ms 内保持有效, 则 PC 主机将对 USB 模块实现唤醒操作。
3	FSUSPD	强制挂起 当 USB_STS.SUSPD 中断触发时, 软件必须设置此位。 0: 未进入挂起模式 1: 进入挂起模式, 但仍存在 USB 模拟收发器的时钟和静态功耗 注意: 1、如需进入低功耗模式(总线供电类设备), 软件需先置位 USB_CTRL.FSUSPD, 再置位 USB_CTRL.LP_MODE。
2	LP_MODE	低功耗模式 0: 无影响 1: 挂起模式下进入低功耗模式。USB 总线上的活动(唤醒事件)会复位此位(软件也可以复位此位)

位域	名称	描述
		<p>注意:</p> <p>1、低功耗模式下，只有外接上拉电阻供电，并且系统时钟也会停止或降低到一定的频率来减少耗电。</p>
1	PD	<p>断电模式</p> <p>0: 退出断电模式 1: 进入断电模式</p> <p>注意:</p> <p>1、当 $USB_CTRL.PD = 1$ 时，USB 模块被彻底关闭，同主机断开，USB 模块将不能使用。</p>
0	FRST	<p>强制 USB 复位</p> <p>0: 无影响 1: 复位 USB 模块，如果 $USB_CTRL.RSTM = 1$，将产生一个复位中断</p> <p>注意:</p> <p>1、当 $USB_CTRL.FRST = 1$ 时，软件清除此位前，USB 模块将一直保持在复位状态。</p>

19.5.4 USB 中断状态寄存器 (USB_STS)

偏移地址: 0x44

复位值: 0x0000 0000



位域	名称	描述
31:16	Reserved	保留，必须保持复位值。
15	CTRS	<p>正确传输中断标志</p> <p>当端点正确完成一次数据传输后由硬件置位。</p> <p>注意:</p> <p>1、软件只可读此位，不可写此位。</p>
14	PMAO	<p>数据包缓冲区上溢/下溢中断标志</p> <p>当数据包缓冲区存储不下所有所传输的数据时，硬件置位此位。</p> <p>注意:</p> <p>1、软件可读可写此位，但只有写0有效，写1无效。 2、同步传输中不会产生该中断。</p>
13	ERROR	<p>错误中断标志</p> <p>下列错误发生时硬件会置位此位:</p> <ol style="list-style-type: none"> 1) 无应答，主机应答超时 2) CRC 错误，数据或令牌分组中的 CRC 校验出错 3) 位填充错误，在 PID、数据或 CRC 中检测出位填充错误

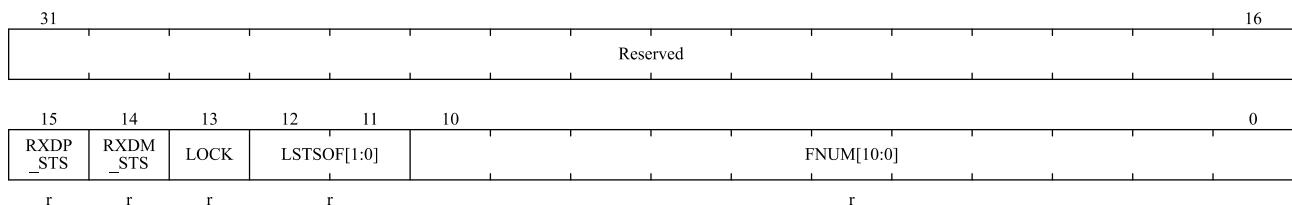
位域	名称	描述
		<p>4) 帧格式错误，收到非标准帧 注意： 1、 软件可读可写此位，但只有写0有效，写1无效。</p>
12	WKUP	<p>唤醒中断标志 在挂起状态下，当唤醒信号被检测到时，硬件置位此位，同时硬件复位 USB_CTRL.LP_MODE 位。 注意： 1、 软件可读可写此位，但只有写0有效，写1无效。</p>
11	SUSPD	<p>挂起模式中断标志 当 USB 总线上超过 3ms 没有任何活动时，硬件置位此位，表明有 Suspend 请求。 注意： 1、 软件可读可写此位，但只有写0有效，写1无效。 2、 挂起模式下，唤醒结束前，USB 硬件不会检测挂起信号。 3、 USB 复位后，硬件会立即使能对挂起信号的检测。</p>
10	RST	<p>USB 复位中断标志 当检测到 USB 复位信号时，硬件置位此位。 注意： 1、 软件可读可写此位，但只有写0有效，写1无效。 2、 USB 复位中断产生时，设备的地址和端点寄存器会被复位，但配置寄存器不会被复位，除非软件清零。</p>
9	SOF	<p>帧起始中断标志 当检测到 USB 总线上 PID 为 SOF 的令牌包时，硬件置位此位。 注意： 1、 软件可读可写此位，但只有写0有效，写1无效。</p>
8	ESOF	<p>期望的帧起始中断标志 当 USB 模块未收到期望的 PID 为 SOF 的令牌包时，硬件置位此位。 注意： 1、 软件可读可写此位，但只有写0有效，写1无效。 2、 当 USB 模块连续 3ms 未收到 PID 为 SOF 的令牌包，即连续发生 3 次 ESOF 中断，将产生 SUSPD 中断。</p>
7: 5	Reserved	保留，必须保持复位值。
4	DIR	<p>传输方向 0: IN 分组传输完成，并且 USB_EPn.CTRS_TX 被硬件置位 1: OUT 分组传输完成，并且 USB_EPn.CTRS_RX 被硬件置位 注意： 1、 软件只可读此位，不可写此位。 2、 当 USB_EPn.CTRS_TX 和 USB_EPn.CTRS_RX 同时被置位，标识同时存在 OUT 分组和 IN 分组。</p>
3: 0	EP_ID[3:0]	<p>端点号 在 USB 模块完成数据传输产生中断后由硬件根据请求中断的端点号写入。 注意： 1、 软件只可读此位，不可写此位。</p>

位域	名称	描述
		2、当同时有多个端点的请求中断时，硬件写入优先级最高的端点号。同步端点和双缓冲批量端点具有高优先级，其他端点为低优先级（端点号越小，优先级越高）。

19.5.5 USB 帧编号寄存器 (USB_FN)

偏移地址: 0x48

复位值: 0x0000 0XXX, X 代表未定义数值

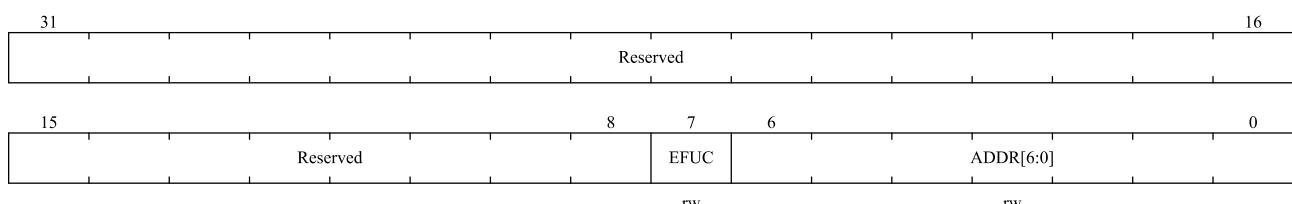


位域	名称	描述
31:16	Reserved	保留，必须保持复位值。
15	RXDP_STS	D+状态 代表 USB D+线的状态，挂起状态下可检测唤醒条件的发生。
14	RXDM_STS	D-状态 代表 USB D-线的状态，挂起状态下可检测唤醒条件的发生。
13	LOCK	锁定 USB 在 USB 复位条件结束后或 USB 唤醒序列结束后，若连续检测到至少 2 个 PID 为 SOF 的令牌包，硬件置位此位。 注意： <i>I、当 USB_FN.LOCK = 1 时，在 USB 模块复位或 USB 总线挂起之前，帧计数器将停止计数。</i>
12:11	LSTSOF[1:0]	丢失 SOF 标志 当每次发生 USB_STS_ESOF 事件时，硬件递增此位，一旦接收到 PID 为 SOF 的令牌包，硬件清除此位。
10:0	FNUM[10:0]	帧数量 USB 模块每次收到 PID 为 SOF 的令牌包后，硬件递增此位。

19.5.6 USB 设备地址寄存器 (USB ADDR)

偏移地址: 0x4C

复位值: 0x0000 0000

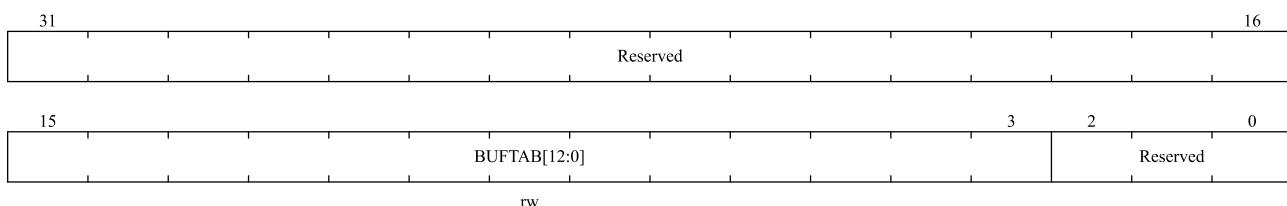


位域	名称	描述
31:8	Reserved	保留, 必须保持复位值。
7	EFUC	USB 模块使能 0: USB 模块停止工作, 不响应任何 USB 通信 1: 使能 USB 模块
6: 0	ADDR[6:0]	USB 设备地址 此位保存 USB 主机在枚举过程中为 USB 设备分配的地址值。USB 总线复位后, 该位被复位为 0x00。

19.5.7 USB 分组缓冲区描述表地址寄存器 (USB_BUFTAB)

偏移地址: 0x50

复位值: 0x0000 0000



位域	名称	描述
31:16	Reserved	保留, 必须保持复位值。
15:3	BUFTAB[12:0]	缓冲表 此位保存缓冲区描述表的起始地址。缓冲区描述表用来指示每个端点的数据包缓冲区的地址和大小, 按 8 字节对齐 (最低 3 位为 000)。
2:0	Reserved	保留, 必须保持复位值。

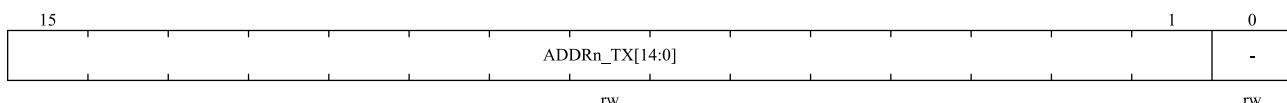
19.6 缓冲区描述表

缓冲区描述表位于数据包缓冲区内存中, 用以配置 USB 模块和微控制器内核共享的端点数据包缓冲区的地址和大小。由于 APB1 总线按 32 位寻址, 所以数据包缓冲区内存地址都使用 32 位对齐的地址, 并不是 USB_BUFTAB 寄存器和缓冲区描述表所使用的地址。

19.6.1 发送缓冲区地址寄存器 n (USB_ADDRn_TX)

偏移地址: [USB_BUFTAB] + n×16

USB 本地地址: [USB_BUFTAB] + n×8



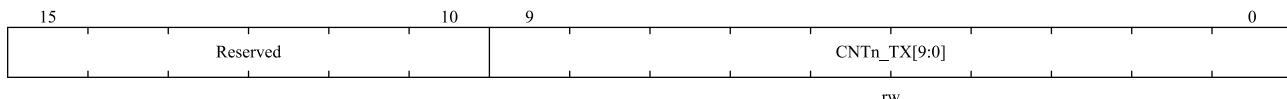
位域	名称	描述
15: 1	ADDRn_TX[14:0]	发送缓冲区地址 在收到下一个 PID 为 IN 的令牌包时, 需要发送数据的端点的端点数据包缓冲区

位域	名称	描述
		起始地址
0	-	由于数据包缓冲区内存地址按字（32位）对齐，所以此位必须为0

19.6.2 发送数据字节数寄存器 n (USB_CNTn_TX)

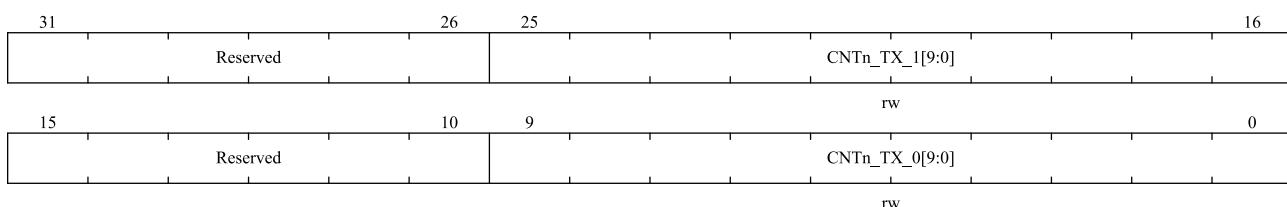
偏移地址: [USB_BUFTAB] + n × 16 + 4

USB 本地地址: [USB_BUFTAB] + n × 8 + 2



位域	名称	描述
15:10	Reserved	保留，必须保持复位值。
9: 0	CNTn_TX[9:0]	发送字节数 在下一个 PID 为 IN 的令牌包时，要发送的数据字节数

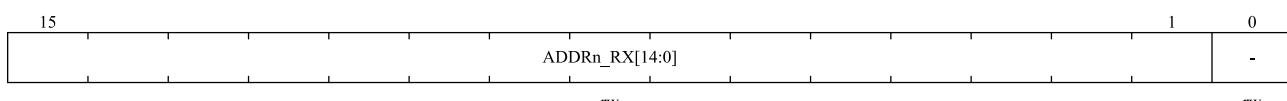
注意：如表 19-2 和表 19-3 所示，双缓冲 IN 端点和同步 IN 端点需要两个 USB_CNTn_TX 寄存器：
USB_CNTn_TX_0 和 *USB_CNTn_TX_1*。



19.6.3 接收缓冲区地址寄存器 n (USB_ADDRn_RX)

偏移地址: [USB_BUFTAB] + n × 16 + 8

USB 本地地址: [USB_BUFTAB] + n × 8 + 4



位域	名称	描述
15:1	ADDRn_RX[14:0]	接收缓冲区地址 在收到下一个 PID 为 SETUP 或 OUT 的令牌包时，用于保存数据的端点的端点 数据包缓冲区起始地址
0	-	由于数据包缓冲区内存地址按字（32位）对齐，所以此位必须为0

19.6.4 接收数据字节数寄存器 n (USB_CNTn_RX)

偏移地址: [USB_BUFTAB] + n × 16 + 12

USB 本地地址: [USB_BUFTAB] + n × 8 + 6

15	14	10	9	0
BLSIZE	NUM_BLK[4:0]		CNTn_RX[9:0]	
rw	rw		r	

位域	名称	描述
15	BLSIZE	存储区块的大小 0: 存储区块大小是 2 字节 1: 存储区块大小是 32 字节
14:10	NUM_BLK[4:0]	存储区块的数目 记录分配给端点数据包接收缓冲区的存储区块的数目，并决定最终使用的端点数据包接收缓冲区的大小。具体请参考下表 19-8 端点数据包接收缓冲区大小的定义。
9:0	CNTn_RX[9:0]	接收字节数 由 USB 模块写入，记录端点收到的最新的 PID 为 SETUP 或 OUT 令牌包的实际字节数。

注意：如表 19-2 和表 19-3 所示，双缓冲 OUT 端点和同步 OUT 端点需要两个 USB_CNTn_RX 寄存器：USB_CNTn_RX_0 和 USB_CNTn_RX_1。

31	30	26	25	16
BLSIZE -1	NUM_BLK_I[4:0]		CNTn_RX_I[9:0]	
rw 15	rw	10	9	r
BLSIZE -0	NUM_BLK_0[4:0]		CNTn_RX_0[9:0]	0
rw	rw		r	

表 19-8 端点数据包接收缓冲区大小定义

NUM_BLK[4:0]	BLSIZE = 0	BLSIZE = 1
00000	不允许使用	32 字节
00001	2 字节	64 字节
00010	4 字节	96 字节
00011	6 字节	128 字节
...
01111	30 字节	512 字节
10000	32 字节	Reserved
10001	34 字节	Reserved
10010	36 字节	Reserved
...
11110	60 字节	Reserved
11111	62 字节	Reserved

注意：

- 1、端点数据包接收缓冲区的大小在设备枚举过程中定义，由 USB 2.0 协议规范中的标准端点描述符的 wMaxPacketSize 字段定义。

20 控制器局域网(CAN)

20.1 CAN 简介

作为 CAN 网络接口，基本扩展 CAN 支持 CAN 协议 2.0A 和 2.0B。它可以高效地处理大量接收到的消息，大大降低 CPU 资源的消耗。报文发送的优先级特性可以通过软件进行配置，CAN 的硬件功能可以支持时间触发的通信方式，适用于一些对安全性要求较高的应用。

20.2 CAN 的主要特性

- 波特率最高支持 1Mbit/s
- 支持 CAN 协议 2.0A/B.
- 支持时间触发通讯功能
- 支持独立的中断控制
- CAN Core 管理 CAN 和 512 字节 SRAM 存储器之间的通信（参见图 20-3）
- 双 CAN：CAN1 和 CAN2 各带 512 字节的 SRAM

注：USB 和 CAN1 共用一个独立的 512 字节 SRAM。由于这块 SRAM 用于发送和接收数据，因此不能同时使用 USB 和 CAN1。可以在一个应用中分时使用 USB 和 CAN1，但不能在同一个时间使用。

时间触发通信模式

- 16 位自由运行定时器
- 禁止自动重传模式。
- 可配置最后 2 个数据字节为发送时间戳。

发送

- 有三个发送邮箱。
- 记录发送 SOF 时间的时间戳功能
- 软件可以配置发送消息的优先级特性。

接收

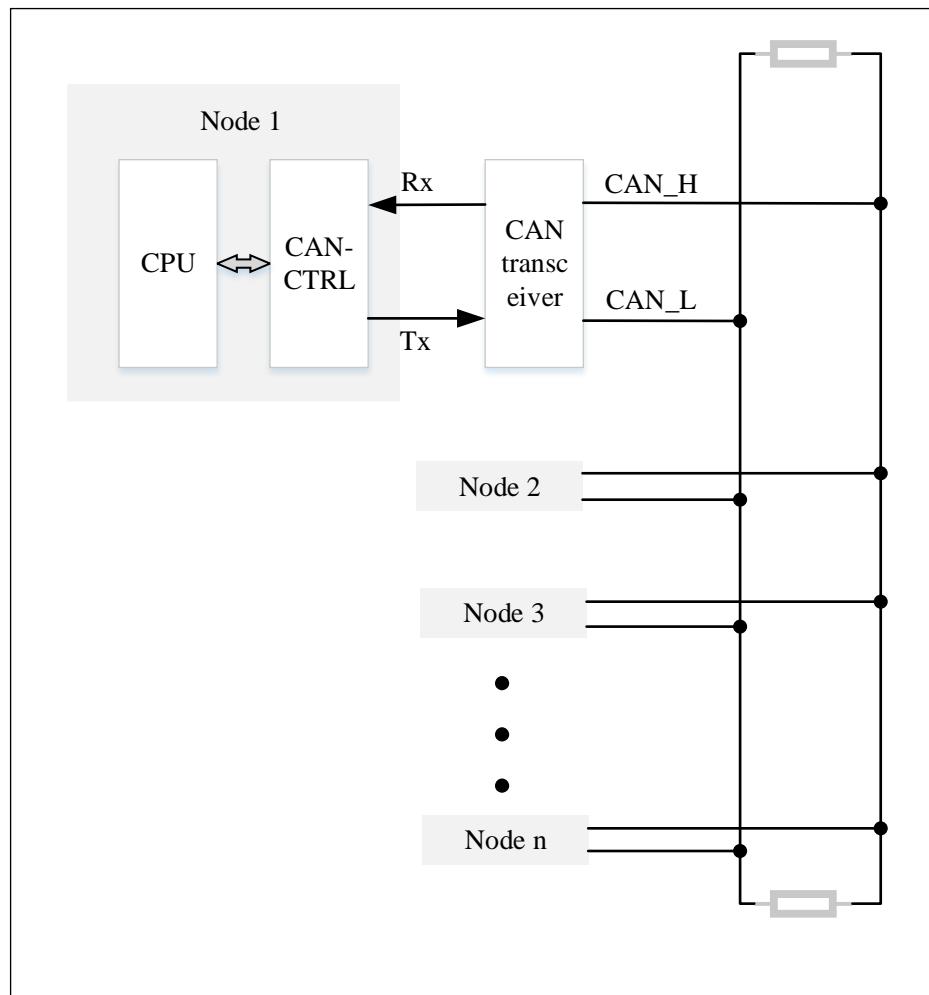
- 过滤组支持标识符列表模式
- 每个 CAN 有两个接收 FIFO，每个深度为 3 级
- 共有 14 个过滤器组（每个 CAN 模块单独拥有）
- 可配置的 FIFO 溢出处理方法
- 记录接收 SOF 时间的时间戳功能

20.3 CAN 整体介绍

随着 CAN 的广泛应用，CAN 网络的节点数量迅速增长，多个 CAN 节点通过 CAN 网络连接。随着 CAN 节

点数量的增加，CAN 网络中的报文也急剧增加，会占用大量的 CPU 资源。在这个 CAN 控制器中，增加了接收 FIFO 和过滤机制作为 CPU 消息处理的硬件支持，降低了 CAN 消息的实时响应要求。

图 20-1 CAN 网络拓扑



20.3.1 CAN 模块

CAN 模块可自动收发 CAN 报文，支持标准标识符（11 位）和扩展标识符（29 位）。

20.3.2 CAN 工作模式

初始化、正常和睡眠模式是 CAN 的三种主要工作模式。CANTX 引脚的内部上拉电阻在硬件复位后被激活，CAN 工作在睡眠模式以降低功耗。

软件可以设置 CAN_MCTRL.INIRQ 和 CAN_MCTRL.SLPRQ 位来配置 CAN 进入初始化或睡眠模式。软件读 CAN_MSTS.INIAK 或 CAN_MSTS.SLPAK 位的值来确认是否进入初始化或睡眠模式，此时 CANTX 引脚的内部上拉电阻被禁用。

当 CAN_MSTS.INIAK 和 CAN_MSTS.SLPAK 位都为“0”时，CAN 处于正常模式，它必须与 CAN 总线同步才能进入正常模式。当在 CANRX 引脚上监测到 11 个连续的隐性位时，CAN 总线处于空闲状态，同步完成。

20.3.2.1 正常模式

初始化完成后，软件配置 CAN 进入正常模式。清除 CAN_MCTRL.INIRQ 位并等待硬件清除 CAN_MSTS.INIRQ 位以确认 CAN 进入正常模式。只有与 CAN 总线同步完成后，CAN 才能正常收发报文。

过滤器组的位宽和模式的设置必须在过滤器处于初始化模式（CAN_FMC.FINITM 位为 1）时完成。过滤器初始值的设置必须在未激活时完成（对应的 CAN_FA1.FAC 位为 0）。

20.3.2.2 初始化模式

软件只有在 CAN 处于初始化模式时才能进行初始化配置。设置 CAN_MCTRL.INIRQ 位并清除 CAN_MCTRL.SLPRQ 位，并等待硬件设置 CAN_MSTS.INIAK 位以确认 CAN 进入初始化模式。进入初始化模式时，寄存器配置不受影响。CAN 处于初始化模式时，报文收发被禁止，CANTX 引脚输出一个隐性位（高电平）。要退出初始化模式，清除 CAN_MCTRL.INIRQ 位，并等待硬件清除 CAN_MSTS.INIAK 位以确认 CAN 退出初始化模式。

通过软件对 CAN 进行初始化配置，至少需要配置位时间特性寄存器（CAN_BTIM）和控制寄存器（CAN_MCTRL）。软件需要设置 CAN_FMC.FINITM 位来初始化配置 CAN 的过滤器组（模式、位宽、FIFO 关联、激活和过滤器值）。配置 CAN 的过滤器组不一定需要处于初始化模式。

需要注意的是当 CAN_FMC.FINITM=1 时，禁止接收报文。如果要修改对应过滤器的值，需要先清除过滤器激活位（在 CAN_FA1 中）。有必要保持未使用的过滤器组处于非活动状态（将其 CAN_FA1.FAC 位保持为“0”）。

20.3.2.3 睡眠模式（低功耗）

要进入睡眠模式，需要设置 CAN_MCTRL.SLPRQ 位，并等待硬件设置 CAN_MSTS.SLPACK 位以确认 CAN 进入睡眠模式。在未使用时 CAN 可以配置为睡眠模式以降低功耗。在睡眠模式下，CAN 的时钟停止工作，但软件仍然可以访问发送/接收邮箱寄存器。当 CAN 处于睡眠模式时，CAN_MCTRL.INIRQ 位必须置 1，并且 CAN_MCTRL.SLPRQ 位必须同时清零才能进入初始化模式。

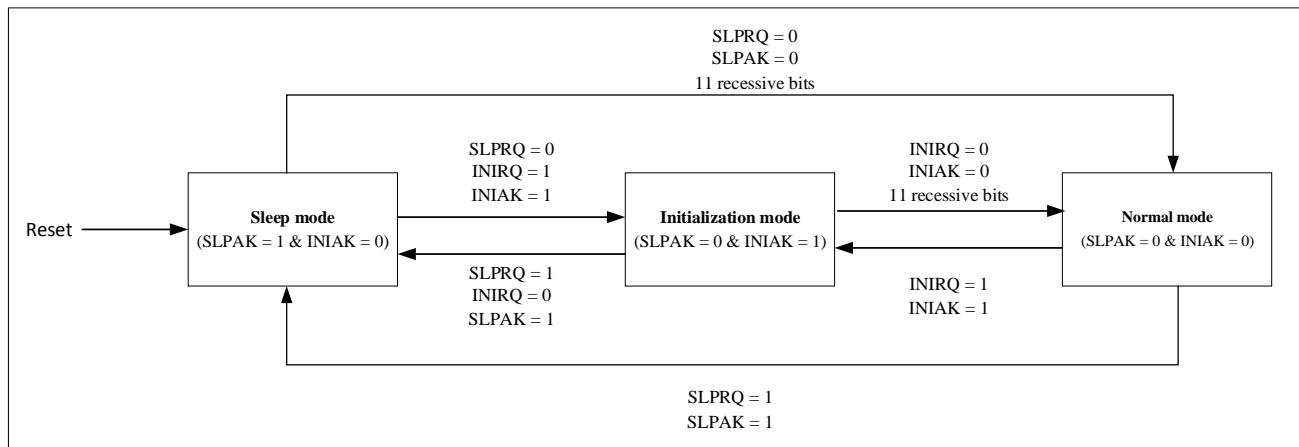
唤醒 CAN 有两种方式（CAN 退出睡眠模式）：

- 当 CAN_MCTRL.AWKUM 位被置位（使能硬件自动唤醒）时，一旦检测到 CAN 总线的活动，硬件将自动清除 CAN_MSTS.SLPRQ 位以唤醒 CAN。
- 当 CAN_MCTRL.AWKUM 位清零（使能软件唤醒），并且唤醒中断发生时，软件必须清零 CAN_MCTRL.SLPRQ 位才能退出睡眠状态。

如果唤醒中断（设置 CAN_INTE.WKUITE 位）使能，一旦检测到 CAN 总线活动，将产生唤醒中断，无论硬件是否使能自动唤醒 CAN。

在进入正常模式之前，CAN 必须与 CAN 总线同步等到 CAN_MSTS.SLPACK 位清零以确认已退出睡眠模式。请参考图 20-2。

图 20-2 CAN 工作模式



注：硬件设置 `CAN_MSTS.INIAK` 或 `CAN_MSTS.SLPAK` 位以响应睡眠或初始化请求的状态。

20.3.3 发送邮箱

应用程序可以通过三个发送邮箱发送消息，发送三个邮箱消息的顺序是由发送调度器根据消息的优先级决定的，优先级可以由消息的标识符决定，也可以由发送请求的顺序决定。

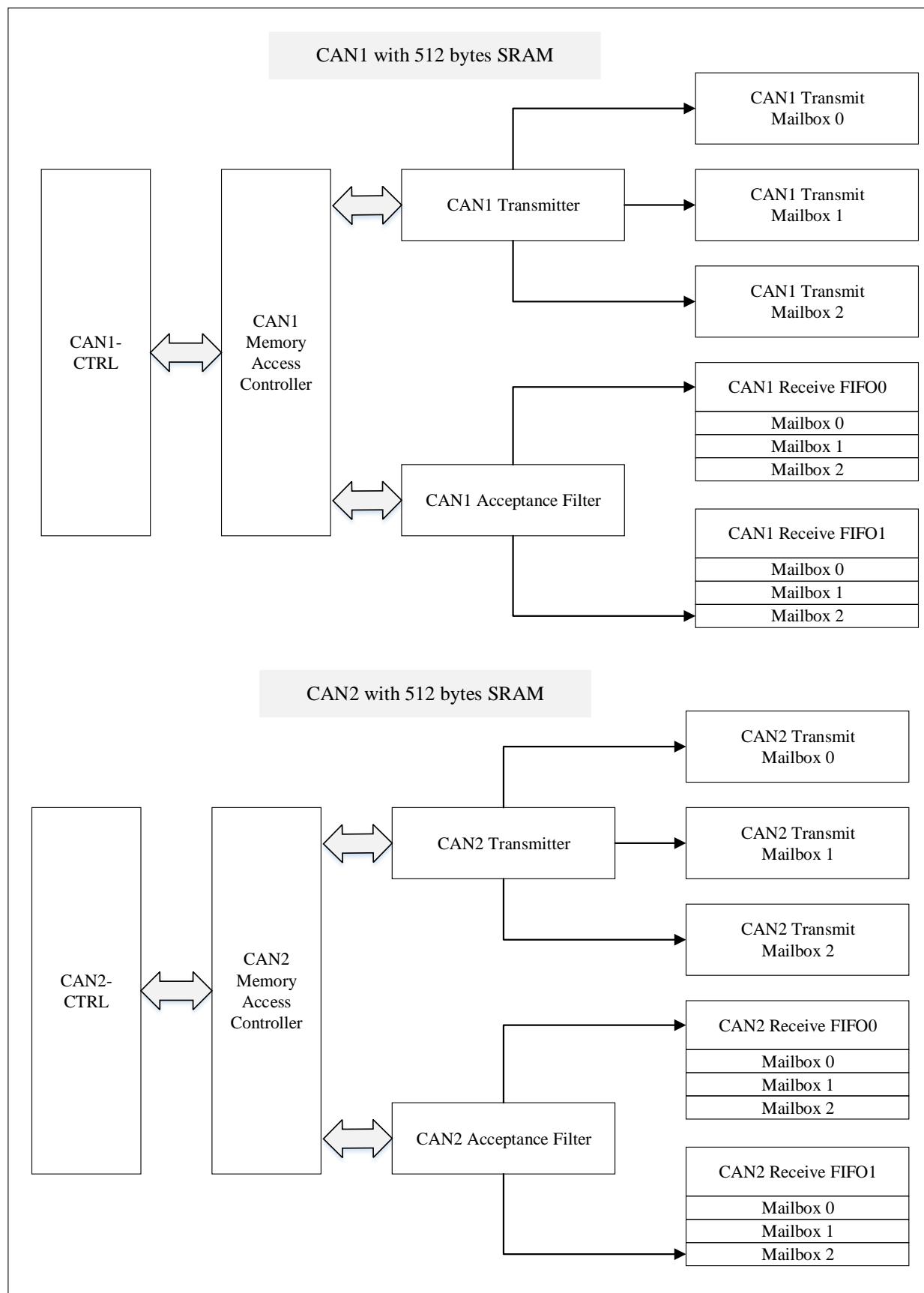
20.3.4 接收过滤器

每个 CAN 有 14 个可配置的标识符过滤器组。应用配置标识符过滤器组后，接收邮箱会自动接收需要的邮件，丢弃其他邮件。

20.3.5 接收 FIFO

每个 CAN 有两个接收 FIFO，每个 FIFO 可以存储三个完整的报文。无需应用程序管理，由硬件管理。

图 20-3 双 CAN 框图



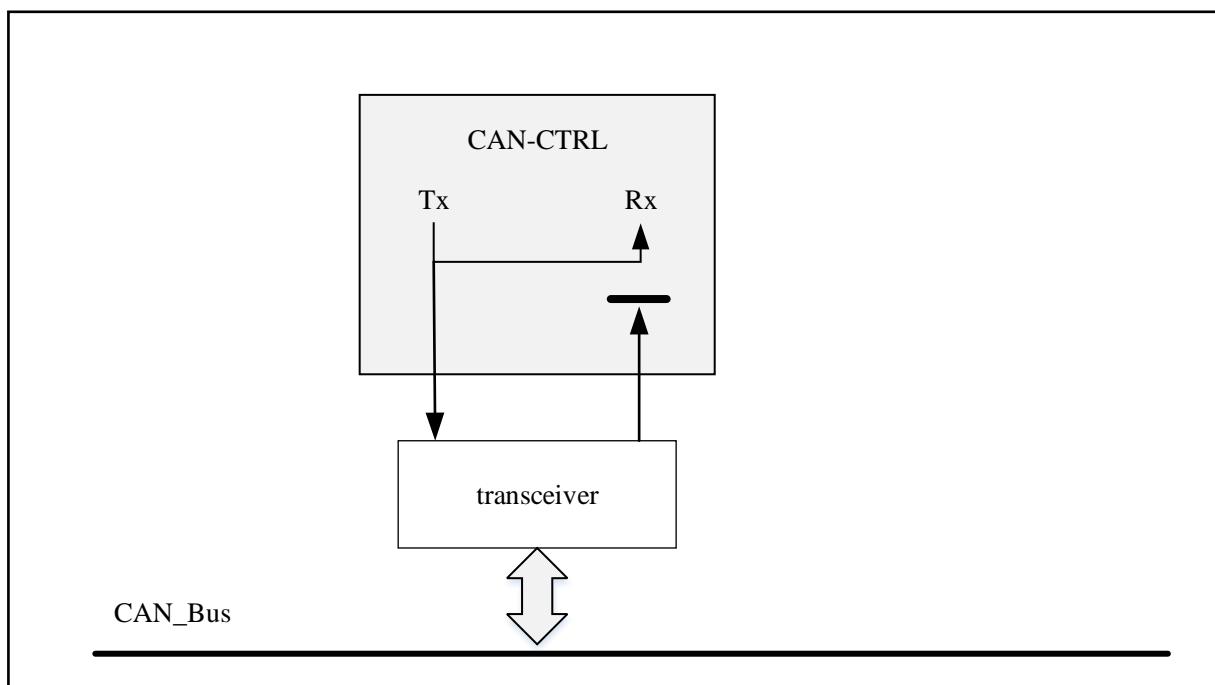
20.3.6 CAN 测试模式

在初始化模式下，必须通过组合 CAN_BTIM.SLM 位和 CAN_BTIM.LBM 位来选择测试模式。选择测试模式后，软件需要清除 CAN_MCTRL.INIRQ 位退出初始化模式，进入测试模式。

20.3.6.1 回环模式

回环模式可用于自检。在回环模式下，CAN 将发送的消息作为接收消息保存在接收邮箱中（如果可以通过接收过滤）。在回环模式下，CAN 在内部将 Tx 输出反馈到 Rx 输入，完全忽略 CANRX 引脚的实际状态。可以在 CANTX 引脚上检测到发送的消息。为了避免外部影响，CAN 内核忽略了确认错误（在数据/远程帧确认位的时刻，不检测是否有显性位）。要进入回环模式，应清除 CAN_BTIM.SLM 位并设置 CAN_BTIM.LBM 位。

图 20-4 回环模式

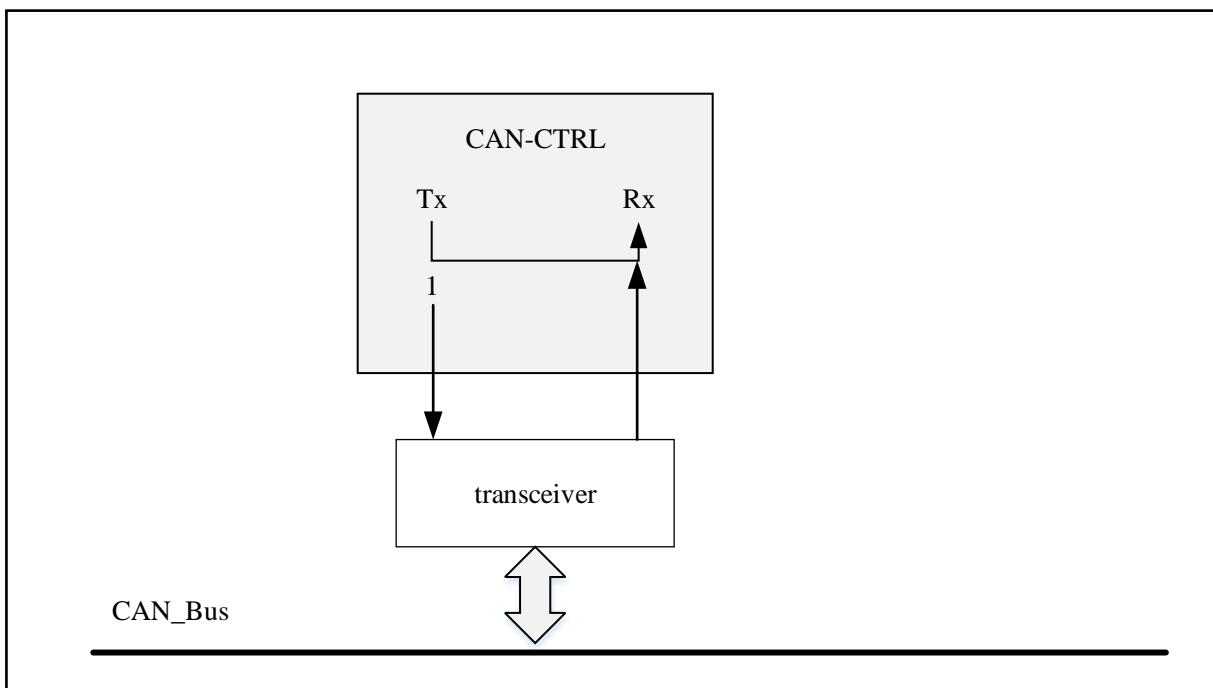


20.3.6.2 静默模式

在静默模式下，CAN 可以正常接收数据帧和远程帧，但只能发送隐性位，不能真正发送消息。如果 CAN 需要发送过载标志、主动错误标志或 ACK 位（这些是显性位），这些显性位在内部连接回来以便被 CAN 内核检测到。同时，CAN 总线不会受到影响，仍然保持在隐性位状态。因此，静默模式通常用于分析 CAN 总线的活动，而不影响总线，因为显性位实际上并未发送到总线。

要进入静默模式，应设置 CAN_BTIM.SLM 位并清除 CAN_BTIM.LBM 位。

图 20-5 静默模式

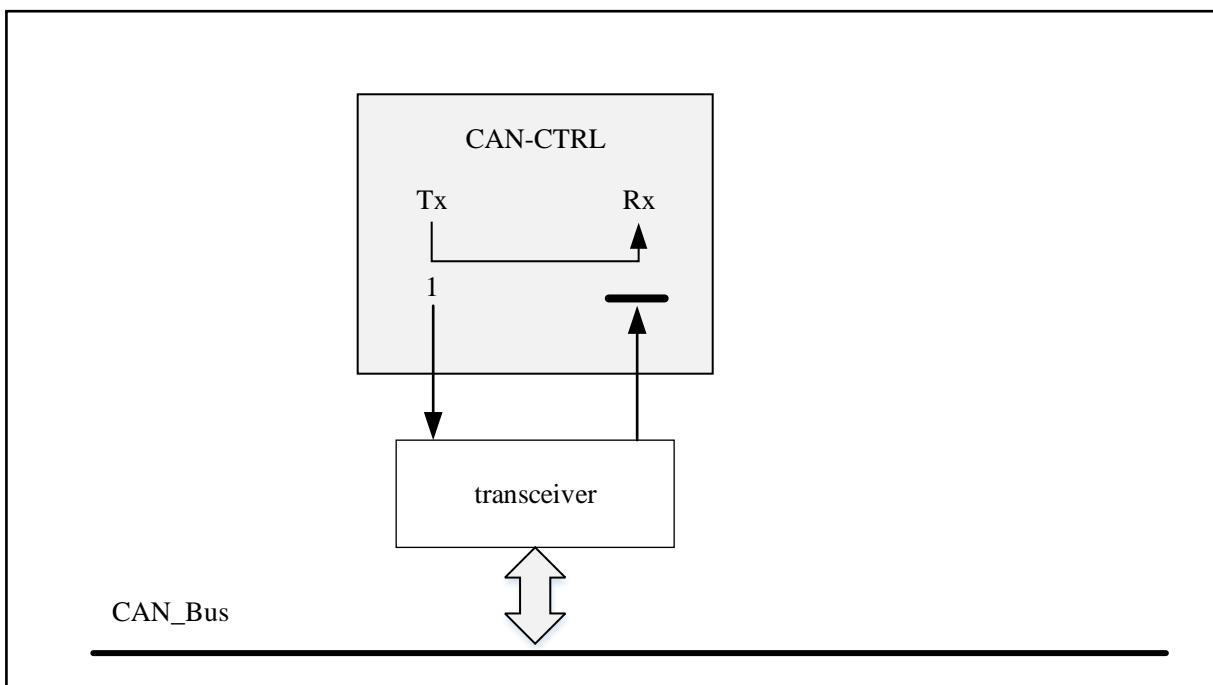


20.3.6.3 回环静默模式

在回环静默模式下，CANRX 引脚与 CAN 总线断开，而 CANTX 引脚被驱动为隐性位状态。它可以用于“热自检”，就像可以在回环模式下测试 CAN 一样，但不影响 CANTX 和 CANRX 连接的整个 CAN 系统。

要进入回环静默模式，应设置 CAN_BTIM.SLM 位和 CAN_BTIM.LBM 位。

图 20-6 回环静默模式



20.3.7 CAN 调试模式

CAN 可以根据以下配置位的状态继续正常工作或停止工作:

- 调试支持(DBG)模块中 CAN1 的 DBG_CTRL.CAN1_STOP 位或 CAN2 的 DBG_CTRL.CAN2_STOP 位。
参见第 10 章: 外设调试支持。
- CAN_MCTRL.DBGF 位见 20.7.3.1 节:CAN_MCTRL。

当微控制器处于调试模式时, Cortex-M4F 内核处于挂起状态。

20.4 CAN 功能描述

20.4.1 发送处理

发送消息的流程如下:

- 应用程序选择一个空的发送邮箱;
- 将标识符、数据长度和要发送的数据写入发送邮箱寄存器;
- 设置 CAN_TMIx.TXRQ 位请求发送 (设置 CAN_TMIx.TXRQ 后邮箱不再是空邮箱, 软件无权写入邮箱寄存器);
- 邮箱进入 pending 状态, 等待成为最高优先级, 见 20.4.1.1 发送优先级;
- 邮箱成为最高优先级邮箱后, 转为就绪状态;
- CAN 总线一进入空闲状态就发送就绪邮箱中的消息, 然后进入发送状态。
- 邮箱中的消息发送成功后变为空邮箱;
- 硬件设置 CAN_TSTS 寄存器中对应邮箱的 RQCPM 和 TXOKM 位, 表示发送成功。

需要注意的是, 如果发送失败, CAN_TSTS.ALSTM 位被设置表示失败是由仲裁引起的, 或者 CAN_TSTS.TERRM 位被设置表示是传输错误引起的 (具体错误请查看错误状态寄存器 CAN_ESTS 的 LEC[2:0]错误代码位)。

20.4.1.1 发送优先级

由发送请求的顺序决定:

设置 CAN_MCTRL.TXFP 位, 发送邮箱可以配置为发送 FIFO。此时, 发送的优先级由发送请求的顺序决定。这种模式对于分段传输很有用。

由标识符决定:

根据 CAN 协议, 具有最低标识符的消息具有最高优先级。如果标识符的值相等, 则先发送邮箱号小的消息。当注册多个发送邮箱时, 发送顺序由邮箱中邮件的标识符决定。

20.4.1.2 取消发送

设置 CAN_TSTS.ABRQM 位可以中止发送请求。如果邮箱就绪或挂起, 发送请求将立即中止。如果邮箱处于发送状态, 请求中止可能会导致两种结果:

- 如果邮箱中的消息发送失败, 邮箱变为就绪状态, 则发送请求中止, 邮箱变为空邮箱并清除

CAN_TSTS.TXOKM 位;

■ 如果邮箱中的消息发送成功，邮箱变为空邮箱，CAN_TSTS.TXOKM 位将由硬件设置为 1。

因此，当发送邮箱处于发送状态时，无论发送结果如何，发送操作完成后邮箱都会变成空邮箱。

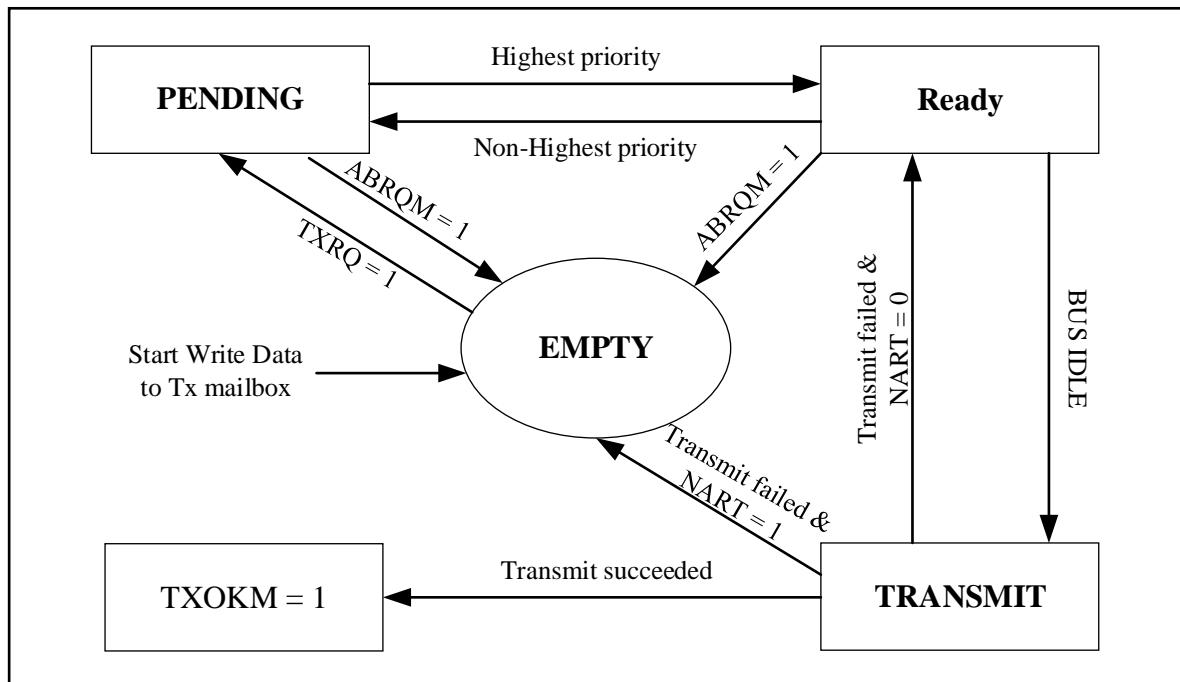
20.4.2 时间触发通信模式

CAN 的内部定时器在时间触发通信模式下被激活。它在每个 CAN 位时间递增（参见第 20.4.7 节）。CAN 在收发帧起始位的采样点位置对内部定时器的值进行采样，采样值即为收发邮箱的时间戳。内部定时器生成的时间戳将分别存储在 CAN_RMDTx/CAN_TMDTx 寄存器中。

20.4.3 非自动重传模式

要启用非自动重传模式，应设置 CAN_MCTRL.NART 位。该模式对应 CAN 标准中时间触发通信选项的功能。在非自动重传模式下，发送操作只会执行一次。如果发送操作失败，无论是仲裁丢失还是错误，硬件都不会自动再次发送报文。发送操作结束时，硬件判定发送请求已经完成，硬件设置 CAN_TSTS.RQCPM 位。同时，传输结果可以查询 CAN_TSTS.TXOKM、CAN_TSTS.ALSTM 和 CAN_TSTS.TERRM 位。

图 20-7 发送邮箱状态



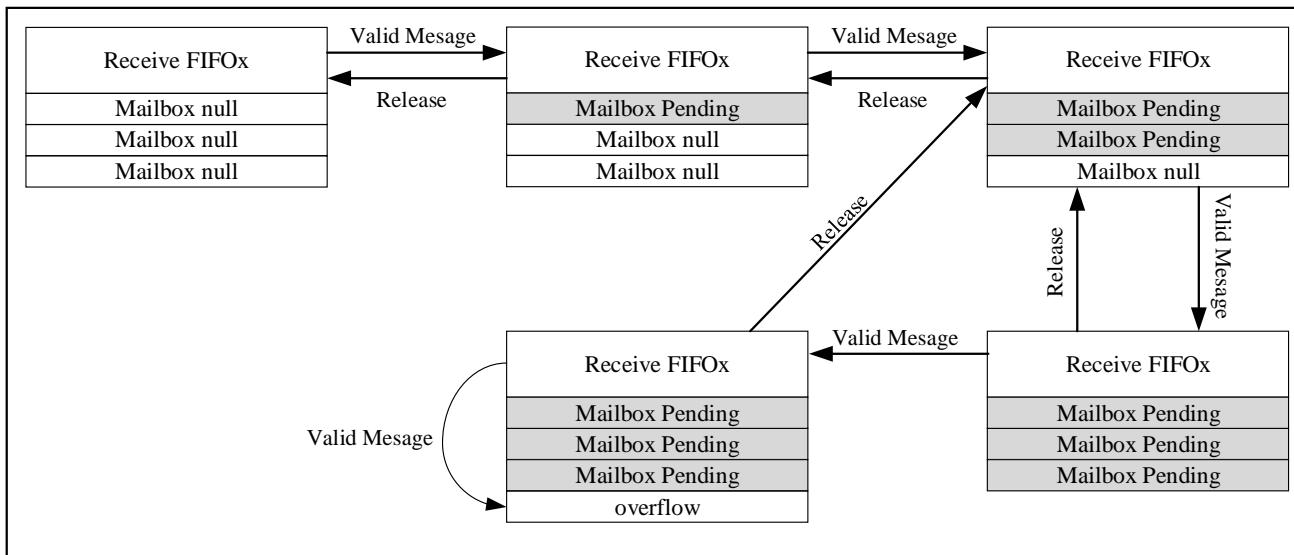
20.4.4 接收管理

具有 3 级深度的 FIFO 用于存储接收到的消息。当应用程序读取 FIFO 输出邮箱时，它会读取 FIFO 中第一个接收到的消息。FIFO 完全由硬件管理，可以简化应用程序，保证数据的一致性，减少 CPU 的处理时间。

20.4.4.1 有效报文

根据 CAN 协议，当消息被正确接收（直到 EOF 字段的最后一位没有错误发送）并通过标识符过滤时，则该消息被标记为有效消息。请参考 20.4.5 章节：标识符过滤。

图 20-8 接收邮箱状态



20.4.4.2 FIFO 接收

一个 FIFO 包含三级深度的邮箱，初始状态为空。接收到第一个有效消息后，其中一个邮箱将被挂起，硬件会将 CAN_RFF.FFMP[1:0]位设置为 1，表示收到有效消息。在释放邮箱之前再次收到有效消息。这时候会同时挂起两个邮箱，硬件会将 CAN_RFF.FFMP[1:0]位设置为 2，表示有两个有效的报文处于挂起状态。如上所述，第三条有效消息将暂停所有三个邮箱并将 CAN_RFF.FFMP[1:0]位设置为 3。

当 FIFO 的三级邮箱全部挂起时，再次接收到有效报文会导致邮箱溢出丢失报文，硬件会将 CAN_RFF.FFOVR 位设置为 1，表示事件发生。丢失消息的规则取决于 FIFO 的配置。如果禁用 FIFO 锁定功能（清除 CAN_MCTRL.RFLM 位），则 FIFO 中接收的最后一条消息将被新消息覆盖。这样最新接收到的报文不会被丢弃；如果启用 FIFO 锁定功能（设置 CAN_MCTRL.RFLM 位），那么新接收到的报文将被丢弃，软件可以读取 FIFO 中的前三个报文。

20.4.4.3 FIFO 释放

存储在 FIFO 中的消息将通过相应的接收邮箱读取。软件读取邮箱报文并通过设置 CAN_RFR.RFOM 位为 1 释放邮箱，CAN_RFF.FFMP[1:0]位减 1 直到为 0。

20.4.4.4 接收相关中断

当消息存储在接收 FIFO 中时，硬件将更新 CAN_RFF.FFMP[1:0]位。如果当前使能了 FIFO 报文挂起中断 (CAN_INTE.FMPITE 位置位)，则将产生挂起中断请求。

当存储第三条消息时，FIFO 变满，然后 CAN_RFF.FFULL 位将被置位，如果当前使能 FIFO 满中断 (CAN_INTE.FFITE 位被置位)，将产生一个 FIFO 满中断请求。

当 FIFO 溢出时，FFOVR 位将被设置。如果当前使能 FIFO 溢出中断 (CAN_INTE.FOVITE 位置位)，将产生 FIFO 溢出中断请求。

20.4.5 标识符过滤

在 CAN 网络中，当 CAN 处于发送器状态时，它通过向总线发送消息的方式向各个节点广播消息；当 CAN 处于接收者状态时，节点收到报文后根据报文的标识来判断是否需要该报文。如果报文有效，CAN 内核将报文复制到 SRAM (CAN 自身的 SRAM)；如果不需要，该消息将被丢弃。此过程不需要软件干预。与软件

过滤相比，硬件过滤降低了 CPU 使用率。CAN 控制器为应用程序提供了 14 个位宽可变的可配置过滤器组（0~13）来满足这一需求，这些过滤器组用于接收仅软件所需的那些消息。每个过滤器组 x 包含两个 32 位寄存器，即 CAN_FxR0 和 CAN_FxR1。

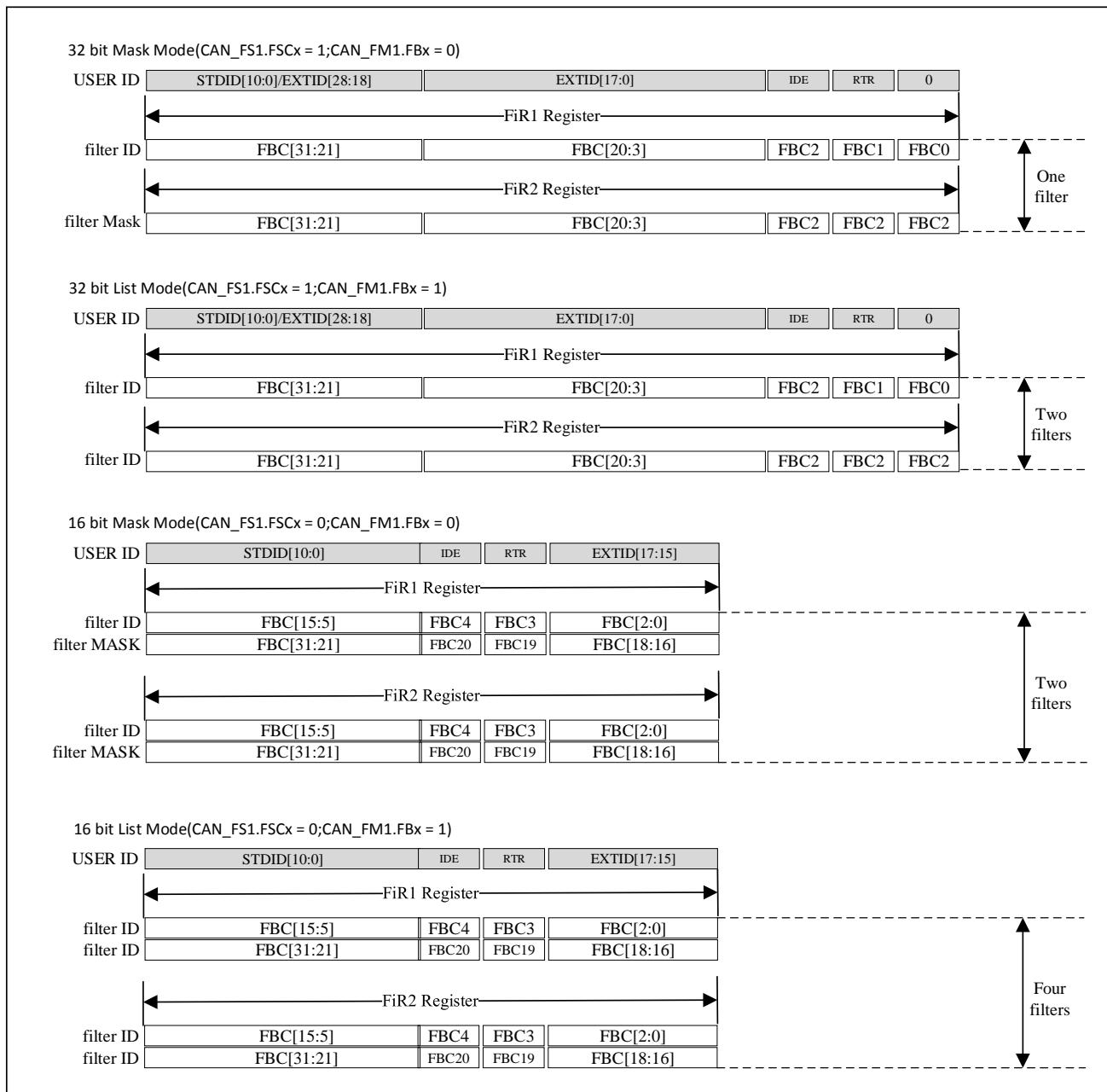
20.4.5.1 过滤器位宽和模式的设置

根据过滤器组的模式和位宽设置，对过滤器组中的每个过滤器进行编号（过滤器编号，从 0 到一个确定的最大值）。过滤器配置见下图。过滤器组可以通过对应的 CAN_FMC 寄存器进行配置。应用程序未使用的过滤器组应保持禁用状态。在配置过滤器组之前，必须通过清除 CAN_FA1.FAC 位将其设置为禁用状态。

通过设置相应的 CAN_FS1.FSCx 位，您可以配置过滤器组的位宽，参见图 20-9。

通过 CAN_FM1.FBx 位，可以将对应的掩码/标识符寄存器配置为标识符列表或标识符掩码模式。过滤器组设置为工作在掩码模式，可过滤出一组标识符。过滤器组设置为在标识符列表模式下工作，可过滤掉一个标识符。

图 20-9 过滤器位宽设置-寄存器组织



20.4.5.2 可变位宽

每个过滤器组的位宽可以独立配置。每个过滤器组可配置为一个 32 位过滤器：包括 STDID[10:0]、EXTID[17:0]、IDE 和 RTRQ 位；或两个 16 位过滤器，包括 STDID[10:0]、IDE、RTRQ 和 EXTID[17:15]位，见图 20-9。此外，过滤器可以配置为两种不同的模式，即掩码模式和标识符列表模式。

掩码模式

过滤器 ID 用于存储标识符格式，过滤器掩码用于指示哪些位必须检查，哪些位可以忽略。

标识符列表模式

过滤器 ID 用于存储标识符格式。此时没有掩码进行比较，可以使用掩码位多存储一个过滤器 ID。但此时消息的标识需要与过滤器 ID 格式完全一致，否则无法通过过滤器。

20.4.5.3 过滤匹配序列号

CAN 内核收到有效消息后，会将消息 ID 与过滤器一一匹配，直到有一个过滤器通过或所有过滤器都失败。如果此消息未能通过任何启用的过滤器，则它将被丢弃。否则当 CAN 内核找到 ID 可以通过的第一个过滤器时，它会将过滤器索引与 CAN 报文打包并根据过滤器设置存储在 SRAM 中的接收 FIFO 中（CAN_FFA1 决定存储在哪个 FIFO 中）。用户可以在 CAN_RMDTx 寄存器的 FMI[7:0]位中找到滤波器索引。此过滤器匹配索引可以帮助识别它在此接收 FIFO 中的消息类型。

过滤器匹配序列号有两种使用方式。第一个是将过滤器匹配序列号与一系列预期值进行比较。另一种是使用过滤器匹配的序列号作为索引来访问目标地址。在对过滤器进行编号时，不考虑过滤器组是否处于活动状态。此外，每个 FIFO 为其关联的过滤器编号。请参考以下示例。

对于掩码模式的过滤器，软件只需要比较需要的掩码位（必须匹配的位）。对于标识符列表模式的过滤器（非筛选过滤器），软件无需直接与标识符进行比较。

表 20-1 过滤器编号示例

指向 FIFOx	过滤器组	过滤器模式	FIFO0 过滤器编号
FIFO	0	32 位掩码模式	0
	2	16 位掩码模式	1/2
	5	32 位列表模式	3/4
	7	16 位列表模式	5/6/7/8
	9	32 位列表模式	9/10
	11	16 位列表模式	11/12/13/14
	13	32 位掩码模式	15
指向 FIFOx	过滤器组	过滤器模式	FIFO1 过滤器编号
FIFO1	1	32 位列表模式	0/1
	3	16 位列表模式	2/3/4/5
	4	32 位掩码模式	6
	6	16 位掩码模式	7/8
	8	32 位掩码模式	9
	10	16 位掩码模式	10/11
	12	32 位列表模式	12/13

20.4.5.4 过滤器优先规则

根据过滤器的不同配置，一个消息标识符可以被多个过滤器过滤是可能的；在这种情况下，首先根据位宽确定接收邮箱中存储的过滤器匹配序列号，32位宽的过滤器比16位宽的过滤器具有更高的优先级。对于具有相同位宽的过滤器，标识符列表模式优先于掩码模式。如果过滤器具有相同的位宽和模式，则优先级由过滤器组编号确定，编号较小的过滤器组优先级较高。在过滤器组内，过滤器编号越小，优先级越高。

图 20-10 过滤机制示例

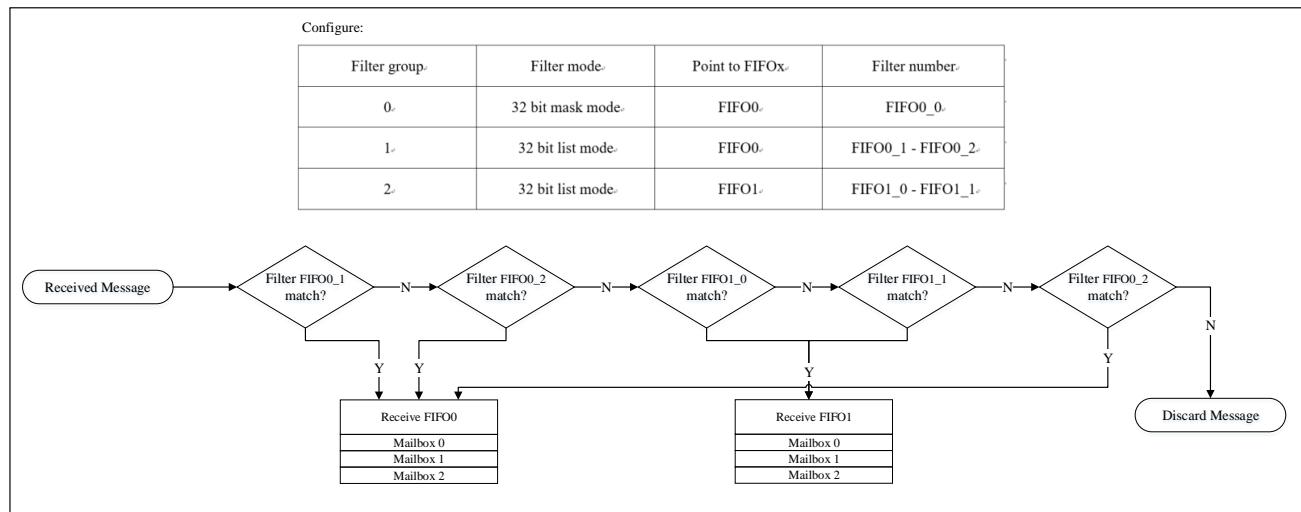


图 20-10 说明了 CAN 的过滤规则。收到消息时，首先将其标识符与标识符列表模式中配置的过滤器进行比较。如果匹配，则将消息存储在关联的 FIFO 中，并将匹配过滤器的序列号存储在过滤器匹配序列号中。如果不匹配，则将消息标识符与掩码模式中配置的过滤器进行比较。如果消息标识符与过滤器中的任何标识符不匹配，硬件将自动丢弃该消息而无需软件干预。

20.4.6 消息存储

邮箱包含与消息相关的所有信息：标识符、数据、控制、状态和时间戳信息。邮箱是软件和硬件之间传递消息的接口。

20.4.6.1 发送邮箱

在启用发送请求之前，应通过软件将消息写入一个空的发送邮箱。您可以通过 CAN_TSTS 寄存器查询发送状态。

表 20-2 发送邮箱寄存器列表

相对发送邮箱的地址偏移	寄存器名称
0	CAN_TMIx
4	CAN_TMDTx
8	CAN_TMDLx
12	CAN_TMDHx

20.4.6.2 接收邮箱(FIFO)

CAN_RMDTx.FMI[7:0]字段可以存储过滤器匹配序列号，CAN_RMDTx.MTIM[15:0]字段可以存储 16 位时间戳。软件可以访问接收 FIFO 的输出邮箱读取接收到的报文。一旦软件对报文进行了处理，比如读出，软件

应该设置 CAN_RFFx.RFFOM 位来释放相应的接收 FIFO，为以后的报文预留存储空间。

表 20-3 接收邮箱寄存器列表

相对接收邮箱的基地址偏移	寄存器名称
0	CAN_RMIx
4	CAN_RMDTx
8	CAN_RMDLx
12	CAN_RMDHx

20.4.7 位时序

位时间特性逻辑通过采样监控串行 CAN 总线，通过与帧起始位的边沿同步并与下一个边沿重新同步来调整其采样点。为避免软件编程错误，设置位时间特性寄存器（CAN_BTIM）只能在 CAN 初始化时进行。

其操作可以简单理解为将每个位时间分为三段：同步段（SYNC_SEG）、时间段 1（BS1）和时间段 2（BS2）。

通常，位变化将发生在 SYNC_SEG 中。其值固定为 1 个时间单位($1 \times t_{CAN}$)。

BS1 定义了采样点的位置。它包括 CAN 标准中的 PROP_SEG 和 PHASE_SEG1。其值可编成 1~16 个时间单位，但为了补偿网络中不同节点频率差异引起的相位正向漂移，也可自动扩展。

在 BS2 中，它定义了发送点的位置。它代表 CAN 标准中的 PHASE_SEG2。它的值可以编程为 1 到 8 个时间单位，但也可以自动缩短以补偿相位的负向漂移。

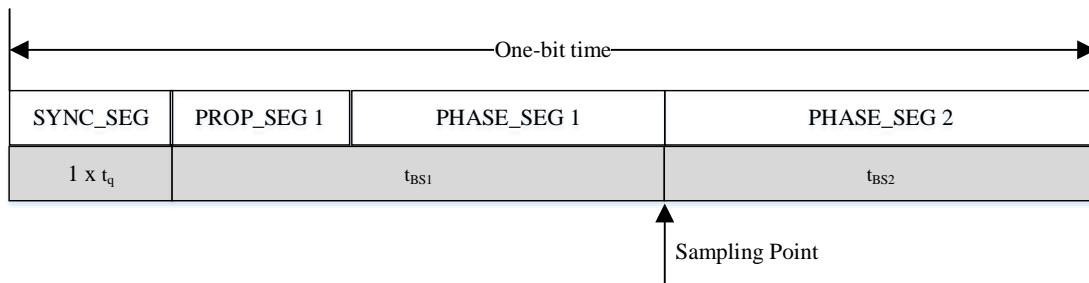
如果在 BS1 中检测到有效转换但在 SYNC_SEG 中没有检测到，则 BS1 的时间最多延长 RSJW 以延迟采样点。反之，如果在 BS2 中检测到有效转换但在 SYNC_SEG 中没有检测到，则 BS2 的时间最多缩短 RSJW 以提前采样点。

在上面的描述中，RSJW（重新同步跳转宽度）定义了每个比特可以延长或缩短多少时间单元的上限。它的值可以编程为 1 到 4 个时间单位。有效转换定义为 CAN 本身不发送隐性位时从显性位到隐性位的第一次转换。

注：1. CAN 位的时间特性和重同步机制详见 ISO11898 标准。

2. 为了提高 CAN 位时间精度，不推荐使用 HSI 作为时钟源。

图 20-11 位时序



Notes :

$$t_{PCLK} = \text{time period of the APB1 clock},$$

$$t_q = (CAN_BTIM.BRTP[9:0] + 1) \times t_{PCLK},$$

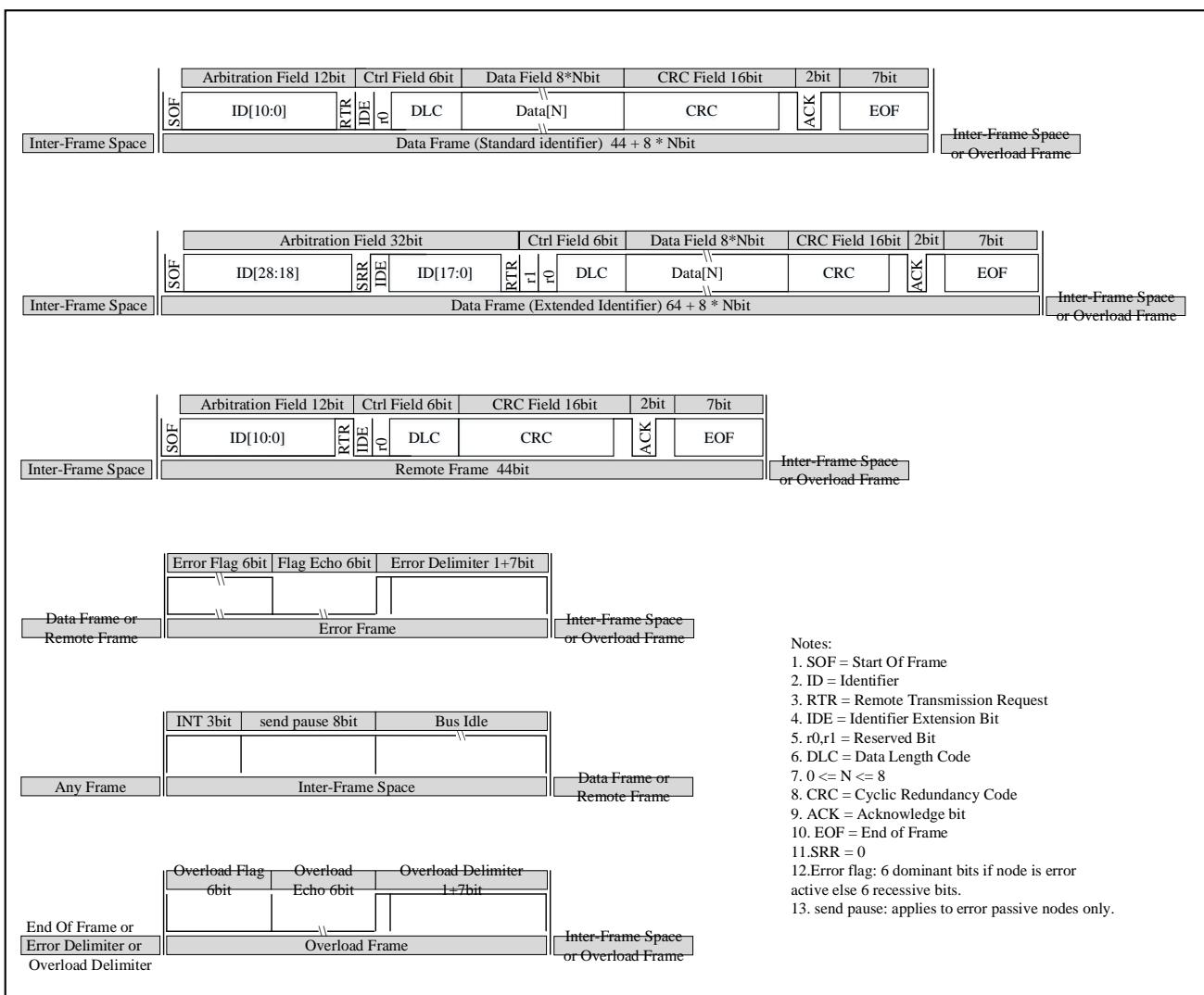
$$t_{BS1} = t_q \times (CAN_BTIM.TBS1[3:0] + 1),$$

$$t_{BS2} = t_q \times (CAN_BTIM.TBS2[2:0] + 1),$$

$$\text{One-bit time} = 1 \times t_q + t_{BS1} + t_{BS2}$$

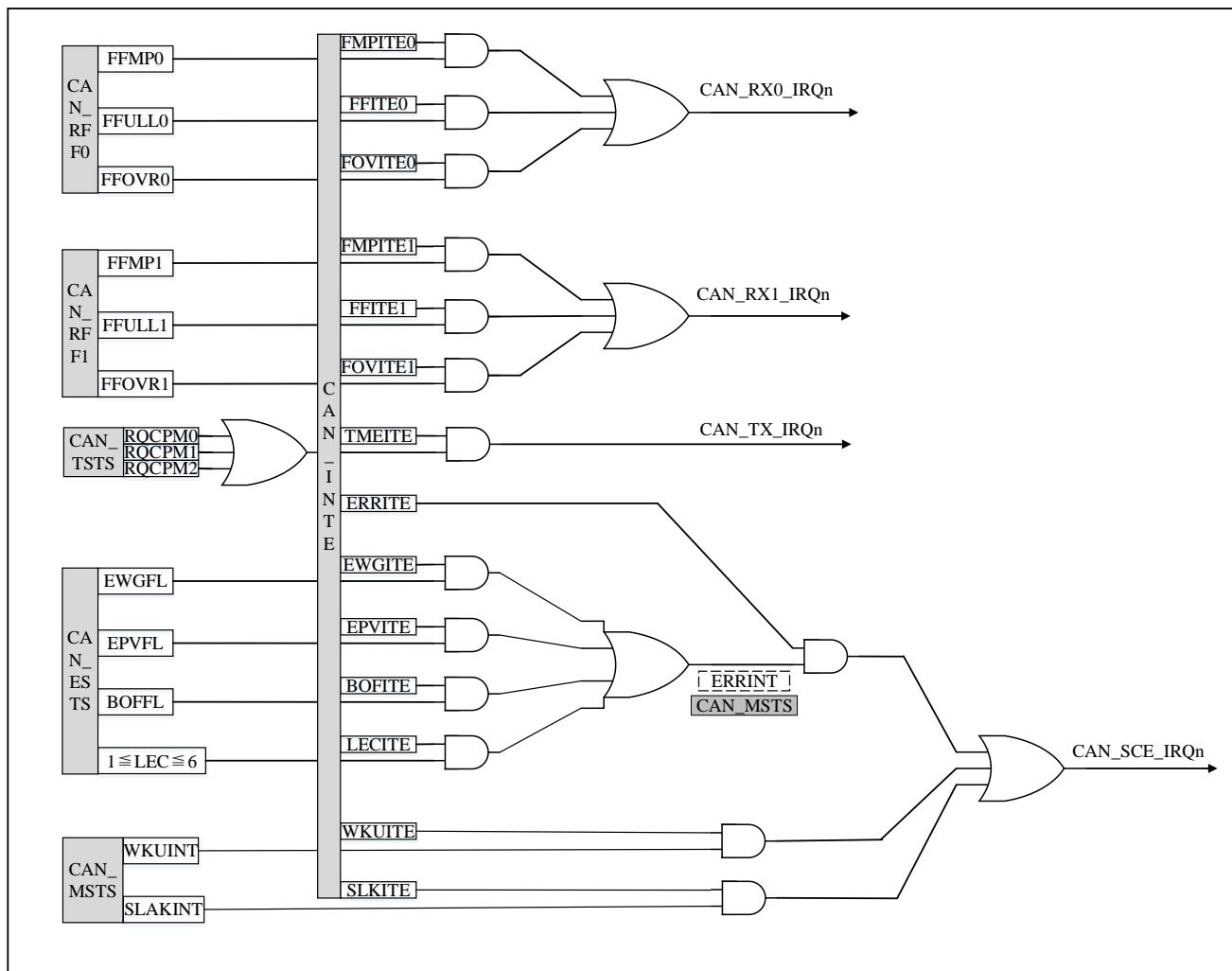
$$\text{BaudRate} = \frac{1}{\text{One-bit time}}$$

图 20-12 各类帧格式



20.5 CAN 中断

图 20-13 事件标志和中断产生



CAN 有四个中断向量。通过设置 CAN 中断启用寄存器 (CAN_INTE)，您可以单独启用或禁用每个中断源。以下是可以产生每个中断的事件。

■ FIFO0 中断(CAN_RX0_IRQn):

- FIFO0 收到一条新消息，并且 CAN_RFF0.FFMP0 位不是'00';
- 当 FIFO0 变满时，并且 CAN_RFF0.FFULL0 位被置位；
- 当 FIFO0 溢出，并且 CAN_RFF0.FFOVR0 位被置位。

■ FIFO1 中断(CAN_RX1_IRQn):

- FIFO1 接收到一条新消息，并且 CAN_RFF1.FFMP1 位不是“00”。
- 当 FIFO1 变满时，并且 CAN_RFF1.FFULL1 位被置位。
- 当 FIFO1 溢出，并且 CAN_RFF1.FFOVR1 位被置位。

■ 发送中断(CAN_TX_IRQn):

发送邮箱 x 变空，对应的 CAN_TSTS.RQCPM x 位被置位($x=1/2/3$)。

■ 错误和状态转变中断(CAN_SCE_IRQn):

CAN 进入睡眠模式；

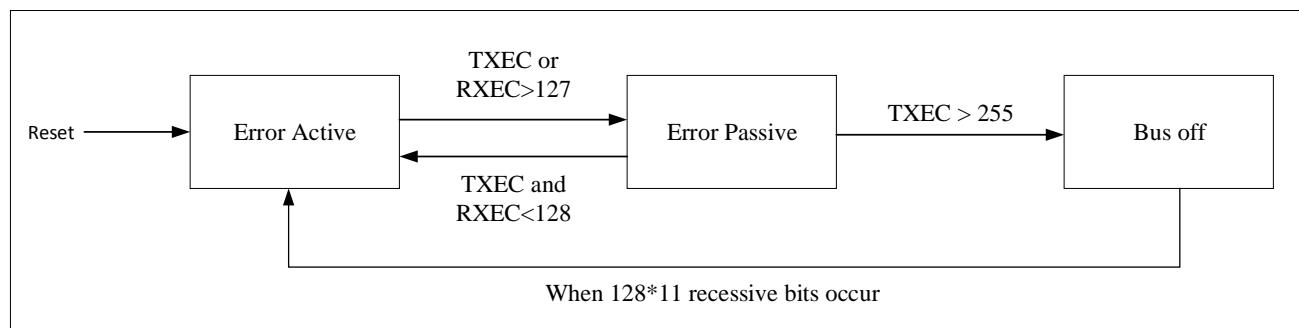
唤醒条件，在 CAN 接收引脚上进行监视帧起始位(SOF)。

错误情况，请参考 CAN 错误状态寄存器(CAN_ESTS)了解错误详情。

20.5.1 错误管理

如 CAN 协议所述，错误管理完全由硬件通过发送错误计数器 (CAN_ESTS.TXEC 字段) 和接收错误计数器 (CAN_ESTS.RXEC 字段) 来实现。计数器值会根据错误情况增加或减少。如果您想了解有关 CAN_ESTS.TXEC 和 CAN_ESTS.RXEC 管理的更多详细信息，请参阅 CAN 标准。

图 20-14 CAN 错误状态框图



软件可以读取发送/接收错误计数器的值来判断 CAN 网络的稳定性，读取 CAN_ESTS.LEC[2:0]位可以得到当前错误状态的详细信息。更重要的是，通过设置 CAN_INTE 寄存器 (如 CAN_INTE.LECITE 位)，软件可以灵活控制检测到错误时中断的产生。

20.5.2 总线关闭恢复

当 TXEC 大于 255 时，CAN_ESTS.BOFFL 位置位，表示 CAN 总线关闭。此时，CAN 无法接收和发送消息。

在正常模式下，根据 CAN_MCTRL.ABOM 位，CAN 可以自动或根据软件的要求，从总线关闭状态恢复，并切换到主动错误状态。如果设置了 CAN_MCTRL.ABOM 位，恢复过程将在进入总线关闭状态后自动启动。否则，软件必须请求 CAN 进入然后退出初始化模式后，才会开始恢复过程。在这两种情况下，CAN 都必须等待 CAN 标准中描述的恢复过程，即在 CANRX 引脚上检测到 128*11 个连续的隐性位。

在初始化模式下，CAN 不会监控 CANRX 引脚的状态，因此无法完成恢复过程。

20.6 CAN 配置流程

本章将介绍 CAN 的常用配置过程，其他详细信息如各模式的功能和寄存器位将在本手册的其他部分进行介绍。CAN 配置流程可以分为多个阶段。只要满足先前的要求 (例如，过滤器值)，就可以随时更改某些配置。

■ 准备阶段：

1. 配置 RCC 使能 CAN 时钟
2. 配置 RCC 使能 AFIO 和 GPIO 时钟

3. 写入 GPIO 寄存器以将 CAN TX 和 CAN RX 信号映射到所需的 GPIO 引脚。

■ **基础配置阶段:**

1. 复位后 CAN 设备以睡眠模式启动。
2. 通过清除 CAN_MCTRL.SLPRQ 位退出睡眠模式。
3. 通过设置 CAN_MCTRL.INIRQ 位进入初始化模式。
4. 等待 CAN_MSTS.INIAK 位变为 1 (进入初始化模式)。
5. 通过将值写入 CAN_BTIM.BSJW、CAN_BTIM.TBS2、CAN_BTIM.TBS1 和 CAN_BTIM.BRTP 位来配置 CAN 的位时序。CAN 总线的波特率由以下公式定义：

$$\text{波特率} = \frac{1}{(1 + (TBS1 + 1) + (TBS2 + 1)) * (BRTP * t_{pclk})}$$

6. 通过写入寄存器中的 CAN_BTIM.SLM (静默) 或 CAN_BTIM.LBM 来配置 CAN 的工作模式选项。
7. 通过 CAN_MCTRL 配置 CAN 行为 (TTCM、ABOM、AWKUM、NART、RFLM、TXFP)。该寄存器中的大部分配置都可以即时更改，但建议不要这样做。否则在几个周期内，CAN 行为将变得不可预测。
8. 通过清除 CAN_MCTRL.INIRQ 位退出初始化模式。
9. 等待 CAN_MSTS.INIAK 位变为 0 (退出初始化模式)。
10. 用户可以使用过滤器来过滤他们想要接收的消息。要配置滤波器，用户需要将“1”写入 CAN_FMC.FINITM 位以请求滤波器进入初始化模式。当滤波器处于初始化模式时，CAN 停止接收。
11. 为每个过滤器配置工作模式 (CAN_FM1)、过滤器比例 (CAN_FS1) 和过滤器分配 (CAN_FFA1)。用户还可以在此期间更改过滤器值(CAN_FiRx)。完成过滤器配置后，清除 CAN_FMC.FINITM 位以退出过滤器初始化。

■ **发送:**

1. 使能必要的发送相关中断 CAN_INTE.TMEITE 位。
2. 检查 CAN_TSTS 中每个邮箱的状态位。如果任何一个 TMEMx(x=0~2)为‘1’的邮箱，用户可以将等待发送的消息写入对应的邮箱地址。CAN_TMIx.TXRQ(x=0~2)位必须在该邮箱被编程后写入“1”。
3. 一段时间后或等待发送中断后，返回检查 CAN_TSTS 中的发送状态。重复步骤 2~3 进行新消息传输。

■ **接收:**

1. 当相应的过滤器被禁用时，用户也可以更改过滤器值 (CAN_FiRx)。要禁用某个过滤器，用户需要将“0”写入 CAN_FA1 寄存器中的相应位。
2. 在 CAN_INTE 寄存器中配置接收相关的中断。
3. 一旦 CAN 接收到报文并将其存储在接收 FIFO 中，用户需要按时读取相应的 FIFO 并通过向寄存器 CAN_RFFx(x=0,1)中的 RFFOMx 写入“1”释放接收邮箱。

20.7 CAN 寄存器

这些外设寄存器必须以字 (32 位) 的方式操作。

20.7.1 寄存器描述

20.7.1.1 寄存器访问保护

当 CAN 节点正常工作时，不正确的访问/修改某些配置寄存器可能会导致节点出现硬件错误，暂时干扰整个 CAN 网络。因此，只有在 CAN 内核处于初始化模式时才允许修改 CAN BTIM 寄存器。

只有当发送邮箱状态位 CAN_TSTS.TMEM=1 时用户才能修改发送邮箱的数据。

20.7.1.2 控制和状态寄存器

通过配置这些寄存器，用户可以：配置 CAN 参数，例如工作模式和波特率；开始消息发送；处理消息接收；中断设置；读取诊断信息。

20.7.1.3 邮箱寄存器描述

发送邮箱和接收邮箱基本相同，只是接收邮箱是只读的，包含 CAN_RMDTx.FMI 字段。发送邮箱为空时可写。

注意：设置了对应的 CAN_TSTS.TMEM 位，表示发送邮箱为空。

有 3 个发送邮箱和 2 个接收 FIFO。每个接收 FIFO 有 3 个邮箱，只能访问 FIFO 中第一个接收到的报文。

每个邮箱包含 4 个寄存器：

FIFO0 包含 CAN_RMIO、CAN_RMDT0、CAN_RMDL0、CAN_RMDH0；

FIFO1 包含 CAN_RMI1、CAN_RMDT1、CAN_RMDL1、CAN_RMDH1；

发送邮箱 (x) 包含 CAN_TMIx、CAN_TMDTx、CAN_TMDLx、CAN_TMDHx; x=0,1,2。

20.7.1.4 过滤寄存器描述

只有在关闭相应的过滤器组或设置了 CAN_FMC.FINITM 位时才能修改过滤器的值。另外，只有当整个滤波器设置为初始化模式（即 CAN_FMC.FINITM=1）时，才能修改滤波器的设置，即可以修改 CAN_FM1、CAN_FS1 和 CAN_FFA1 寄存器。

20.7.2 CAN 寄存器总览

表 20-4 CAN 寄存器总览

Offset	Register	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	Reset Value																																
010h	CAN_RFF1																																
	Reset Value																																
014h	CAN_INTE																																
	Reset Value																																
018h	CAN_ESTS																																
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
01Ch	CAN_BTIM	SLM	LBM	Reserved	RSIWI[1:0]																												
	Reset Value	0	0		0																												
020h - 17Fh																																	
180h	CAN_TMI0																																
	Reset Value	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0			
184h	CAN_TMDT0																																
	Reset Value	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x				
188h	CAN_TMDL0																																
	Reset Value	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	
18Ch	CAN_TMDH0																																
	Reset Value	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	
190h	CAN_TMI1																																
	Reset Value	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0			
194h	CAN_TMDT1																																
	Reset Value	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x		
198h	CAN_TMDL1																																
	Reset Value	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	
19Ch	CAN_TMDH1																																
	Reset Value	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	
1A0h	CAN_TMI2																																
	Reset Value	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0			
1A4h	CAN_TMDT2																																
	Reset Value	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	

Offset	Register	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
214h	CAN_FFA1	Reserved										FAF[13:0]																					
	Reset Value											0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
218h		Reserved																															
21Ch	CAN_FA1	Reserved										FAC[13:0]																					
	Reset Value											0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
220h		Reserved																															
224h - 23Fh		Reserved																															
240h	CAN_F0B1	FBC[31:0]																															
	Reset Value	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	
244h	CAN_F0B2	FBC[31:0]																															
	Reset Value	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	
248h	CAN_F1B1	FBC[31:0]																															
	Reset Value	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	
24Ch	CAN_F1B2	FBC[31:0]																															
	Reset Value	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	
.	.	Reserved																															
2A8h	CAN_F13B1	FBC[31:0]																															
	Reset Value	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	
2ACh	CAN_F13B2	FBC[31:0]																															
	Reset Value	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	

20.7.3 CAN 控制和状态寄存器

寄存器描述中使用的缩写，请参考 1.1 部分。

20.7.3.1 CAN 主控制寄存器(CAN_MCTRL)

偏移地址:0x00

复位值:0x0001 0002

31	Reserved										17	16
Reserved												
15	14	Reserved	8	7	6	5	4	3	2	1		rw 0
MRST		Reserved		TTCM	ABOM	AWKUM	NART	RFLM	TXFP	SLPRQ	INIRQ	rs

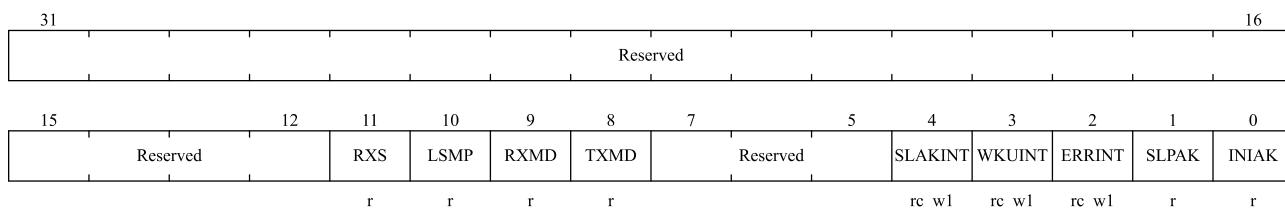
位域	名称	描述
31:17	Reserved	保留, 必须保持复位值
16	DBGF	<p>调试冻结 (Debug freeze)</p> <p>0: 在调试时, CAN 照常工作</p> <p>1: 在调试时, 冻结 CAN 的接收/发送。仍然可以正常地读写和控制接收 FIFO。</p> <p>注: CAN 冻结时必须设置 DBG_CTRL.CAN_STOP 位, 请参考 20.3.7: 调试模式。</p>
15	MRST	<p>CAN 软件复位 (bxCAN software master reset)</p> <p>0: 该外设正常工作;</p> <p>1: 强制复位 CAN, 之后 CAN 进入睡眠模式, CAN_RFFx.FFMP 位和 CAN_MCTRL 寄存器被初始化为其复位值。之后, 硬件自动清除该位。</p>
14:8	Reserved	保留, 必须保持复位值
7	TTCM	<p>时间触发通信模式 (Time triggered communication mode)</p> <p>0: 禁用时间触发通信模式;</p> <p>1: 使能时间触发通信模式。</p> <p>注: 关于时间触发通信方式的更多信息, 请参考20.4.2: 时间触发通信方模式。</p>
6	ABOM	<p>自动离线 (Bus-Off) 管理 (Automatic bus-off management)</p> <p>该位确定 CAN 硬件可以退出总线关闭状态的条件。</p> <p>0: 退出总线关闭状态的过程是软件设置 CAN_MCTRL.INIRQ 位然后清零后, 一旦硬件检测到 128 个连续的 11 位隐性位, 就退出总线关闭状态;</p> <p>1: 一旦硬件检测到 128 个连续的 11 位隐性位, 将自动退出总线关闭状态。</p> <p>注: 有关总线关闭状态的更多信息, 请参阅 20.5.1: 错误管理。</p>
5	AWKUM	<p>自动唤醒模式 (Automatic wakeup mode)</p> <p>该位决定 CAN 在睡眠模式下是被硬件唤醒还是软件唤醒。</p> <p>0: 软件通过清除 CAN_MCTRL.SLPRQ 位唤醒睡眠模式;</p> <p>1: 睡眠模式由硬件通过检测 CAN 报文自动唤醒。</p> <p>在唤醒的同时, 硬件自动清除 CAN_MSTS.SLPRQ 和 CAN_MSTS.SLPACK 位。</p>
4	NART	<p>禁止报文自动重传 (No automatic retransmission)</p> <p>0: 根据 CAN 标准, 当 CAN 硬件发送报文失败时, 会自动重传, 直到发送成功;</p> <p>1: CAN 报文只发送一次, 与发送结果无关 (成功、错误或仲裁失败)。</p>
3	RFLM	<p>接收 FIFO 锁定模式 (Receive FIFO locked mode)</p> <p>0: 接收溢出时 FIFO 不锁定, 当接收 FIFO 的报文没有被读出时, 下一个接收到的报文会覆盖上一条报文;</p> <p>1: 接收溢出时锁定 FIFO。当接收 FIFO 的报文没有被读出时, 下一个接收</p>

位域	名称	描述
		到的报文将被丢弃。
2	TXFP	发送 FIFO 优先级 (Transmit FIFO priority) 当多个消息同时等待发送时，该位决定这些消息的发送顺序。 0：优先级由消息的标识符决定； 1：优先级由发送请求的顺序决定。
1	SLPRQ	睡眠模式请求 (Sleep mode request) 软件可以通过设置该位请求 CAN 进入睡眠模式，一旦当前 CAN 活动（发送或接收报文）结束，CAN 将进入睡眠模式。 软件清零使 CAN 退出睡眠模式。 当 CAN_MCTRL.AWKUM 位置位并且在 CAN Rx 信号中检测到 SOF 位时，硬件会清除该位。 该位在复位后置位，即 CAN 在复位后处于睡眠模式。
0	INIRQ	初始化请求 (Initialization request) 软件清除该位可以使 CAN 退出初始化模式：当 CAN 离开初始化模式进入正常模式时，需要在接收引脚上检测到 11 个连续的隐性位，CAN 将同步并准备好接收和发送数据，此时硬件相应地清除 CAN_MSTS.INIAK 位。 通过软件设置该位使 CAN 从正常操作模式进入初始化模式：一旦当前 CAN 活动（发送或接收）结束，此时硬件设置 CAN_MSTS.INIAK 位，CAN 进入初始化模式。

20.7.3.2 CAN 主状态寄存器 (CAN_MSTS)

偏移地址: 0x04

复位值: 0x0000c02



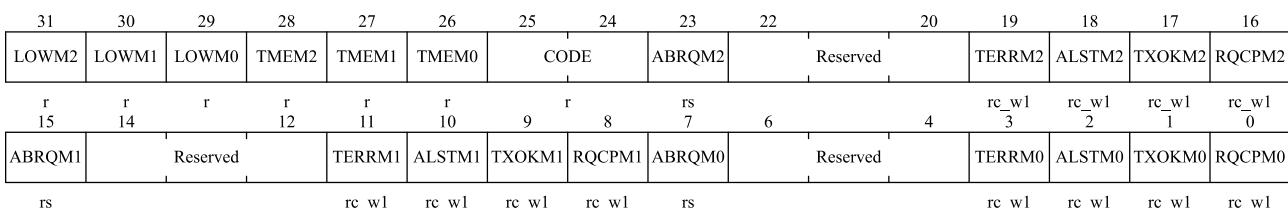
位域	名称	描述
31:12	Reserved	保留，必须保持复位值
11	RXS	CAN 接收电平 (CAN Rx signal) 该位反映 CAN 接收引脚 (CAN_RX) 的实际电平。
10	LSMP	上次采样值 (Last sample point) CAN 接收引脚的上次采样值 (对应于当前接收位的值)。
9	RXMD	接收模式 (Receive mode) 该位为'1'表示 CAN 当前为接收器。
8	TXMD	发送模式 (Transmit mode) 该位为'1'表示 CAN 当前为发送器。
7:5	Reserved	保留，必须保持复位值
4	SLAKINT	睡眠确认中断 (Sleep acknowledge interrupt) 当 CAN_INTE.SLKITE=1 时，一旦 CAN 进入睡眠模式，硬件会设置该位，

位域	名称	描述
		<p>然后触发相应的中断。当该位置位时，如果 CAN_INTE.SLKITE 位置位，将产生状态改变中断。</p> <p>软件可以清零该位，当 CAN_MSTS.SLPAK 位清零时，硬件也会清零该位。</p> <p><i>注：当 CAN_INTE.SLKITE=0 时，不应查询该位，但应查询 CAN_MSTS.SLPAK 位以了解睡眠状态。</i></p>
3	WKUINT	<p>唤醒中断（Wakeup interrupt）</p> <p>当 CAN 处于睡眠状态时，一旦检测到帧起始位（SOF），硬件将设置该位；如果设置了 CAN_INTE.WKUISTE 位，则会生成状态改变中断。</p> <p>该位由软件清零。</p>
2	ERRINT	<p>错误中断（Error interrupt）</p> <p>当检测到错误时，会设置 CAN_ESTS 寄存器的某个位，如果 CAN_INTE 寄存器的相应中断使能位也被设置，则硬件会设置该位；如果设置了 CAN_INTE.ERRITE 位，则会生成状态更改中断。该位由软件清零。</p>
1	SLPAK	<p>睡眠模式确认（Sleep acknowledge）</p> <p>该位由硬件置位，表示软件 CAN 模块处于睡眠模式。该位用于确认软件请求进入睡眠模式（设置 CAN_MCTRL.SLPRQ 位）。</p> <p>当 CAN 退出睡眠模式（CAN 离开睡眠模式并进入正常模式，需要与 CAN 总线同步）时，硬件清零该位。这里与 CAN 总线同步意味着硬件需要检测 CAN 的 RX 引脚上的 11 个连续的隐性位。</p> <p><i>注：通过软件或硬件清除 CAN_MCTRL.SLPRQ 位将启动退出睡眠模式的过程。有关清除 CAN_MCTRL.SLPRQ 位的详细信息，请参见 CAN_MCTRL.AWKUM 位的说明。</i></p>
0	INIAK	<p>初始化确认（Initialization acknowledge）</p> <p>该位由硬件置位，表示软件 CAN 模块处于初始化模式。该位是软件请求进入初始化模式的确认（CAN_MCTRL.INIRQ 位被设置）。</p> <p>当 CAN 退出初始化模式（CAN 离开初始化模式并进入正常模式，需要与 CAN 总线同步）时，硬件清零该位。这里与 CAN 总线同步意味着硬件需要检测 CAN 的 RX 引脚上的 11 个连续的隐性位。</p>

20.7.3.3 CAN 发送状态寄存器 (CAN_TSTS)

偏移地址: 0x08

复位值: 0x1C00 0000



位域	名称	描述
31	LOWM2	<p>邮箱 2 最低优先级标志（Lowest priority flag for mailbox 2）</p> <p>当多个邮箱在等待发送报文，且邮箱 2 的优先级最低时，硬件对该位置‘1’。</p>

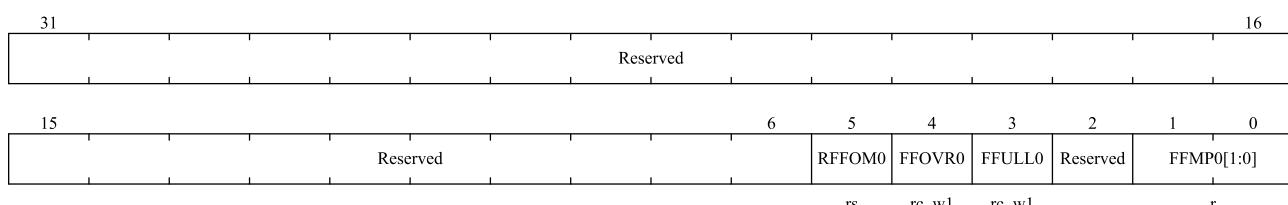
位域	名称	描述
30	LOWM1	邮箱 1 最低优先级标志 (Lowest priority flag for mailbox 1) 当多个邮箱在等待发送报文, 且邮箱 1 的优先级最低时, 硬件对该位置'1'。
29	LOWM0	邮箱 0 最低优先级标志 (Lowest priority flag for mailbox 0) 当多个邮箱在等待发送报文, 且邮箱 0 的优先级最低时, 硬件对该位置'1'。 注: 如果只有 1 个邮箱在等待, 则 CAN_TSTS.LOWM[2:0] 被清'0'。
28	TMEM2	发送邮箱 2 空 (Transmit mailbox 2 empty) 当邮箱 2 中没有等待发送的报文时, 硬件对该位置'1'。
27	TMEM1	发送邮箱 1 空 (Transmit mailbox 1 empty) 当邮箱 1 中没有等待发送的报文时, 硬件对该位置'1'。
26	TMEM0	发送邮箱 0 空 (Transmit mailbox 0 empty) 当邮箱 0 中没有等待发送的报文时, 硬件对该位置'1'。
25:24	CODE[1:0]	邮箱号 (Mailbox code) 当有至少 1 个发送邮箱为空时, 这 2 位表示下一个空的发送邮箱号。 当所有的发送邮箱都为空时, 这 2 位表示优先级最低的那个发送邮箱号。
23	ABRQM2	邮箱 2 中止发送 (Abort request for mailbox 2) 设置该位, 软件可以停止邮箱 2 的发送请求, 当邮箱 2 的发送消息空闲时, 硬件清零该位。如果邮箱 2 中没有等待发送的消息, 则设置该位无效。
22:20	Reserved	保留, 必须保持复位值
19	TERRM2	邮箱 2 发送失败 (Transmission error of mailbox 2) 当邮箱 2 因为出错而导致发送失败时, 对该位置'1'。
18	ALSTM2	邮箱 2 仲裁丢失 (Arbitration lost for mailbox 2) 当邮箱 2 因为仲裁丢失而导致发送失败时, 对该位置'1'。
17	TXOKM2	邮箱 2 发送成功 (Transmission OK of mailbox 2) 每次在邮箱 2 进行发送尝试后, 硬件对该位进行更新: 0: 上次发送尝试尚未成功; 1: 上次发送尝试成功。 当邮箱 2 的发送请求被成功完成后, 硬件对该位置'1'。请参见图 20-7。
16	RQCPM2	邮箱 2 请求完成 (Request completed mailbox 2) 当邮箱 2 的上请求 (发送或中止) 完成时, 硬件将设置该位。 软件向该位写'1'可以清零; 当硬件接收到发送请求时, 也可以清零该位 (CAN_TMI2.TXRQ 位被置位)。 当该位清零时, 邮箱 2 的其他发送状态位 (CAN_TSTS.TXOKM2、CAN_TSTS.ALSTM2 和 CAN_TSTS.TERRM2 位) 也被清零。
15	ABRQM1	邮箱 1 中止发送 (Abort request for mailbox 1) 设置该位, 软件可以停止邮箱 1 的发送请求, 当邮箱 1 的发送报文空闲时, 硬件清零该位。如果邮箱 1 中没有等待发送的消息, 则设置该位无效。
14:12	Reserved	保留, 必须保持复位值
11	TERRM1	邮箱 1 发送失败 (Transmission error of mailbox 1) 当邮箱 1 因为出错而导致发送失败时, 对该位置'1'。
10	ALSTM1	邮箱 1 仲裁丢失 (Arbitration lost for mailbox 1) 当邮箱 1 因为仲裁丢失而导致发送失败时, 对该位置'1'。
9	TXOKM1	邮箱 1 发送成功 (Transmission OK of mailbox 1) 每次在邮箱 1 进行发送尝试后, 硬件对该位进行更新:

位域	名称	描述
		0: 上次发送尝试尚未成功; 1: 上次发送尝试成功。 当邮箱 1 的发送请求被成功完成后, 硬件对该位置'1'。请参见图 20-7。
8	RQCPM1	邮箱 1 请求完成 (Request completed mailbox 1) 当邮箱 1 的上次请求 (发送或中止) 完成时, 硬件设置该位。 软件向该位写'1'可以清零; 当硬件接收到发送请求时, 也可以清除该位 (CAN_TMI1.TXRQ 位被置位)。 当该位清零时, 邮箱 1 的其他发送状态位 (CAN_TSTS.TXOKM1、CAN_TSTS.ALSTM1 和 CAN_TSTS.TERRM1 位) 也被清零。
7	ABRQM0	邮箱 0 中止发送 (Abort request for mailbox 0) 软件可以通过设置该位来停止邮箱 0 的发送请求, 当邮箱 0 的发送消息空闲时硬件清零该位。如果邮箱 0 中没有等待发送的消息, 则设置该位无效。
6:4	Reserved	保留, 必须保持复位值
3	TERRM0	邮箱 0 发送失败 (Transmission error of mailbox 0) 当邮箱 0 因为出错而导致发送失败时, 对该位置'1'。
2	ALSTM0	邮箱 0 仲裁丢失 (Arbitration lost for mailbox 0) 当邮箱 0 因为仲裁丢失而导致发送失败时, 对该位置'1'。
1	TXOKM0	邮箱 0 发送成功 (Transmission OK of mailbox 0) 每次尝试发送邮箱 0 后, 硬件都会更新此位: 0: 上次发送尝试尚未成功; 1: 上次发送尝试成功。 当邮箱 0 的发送请求成功完成时, 硬件设置该位。参见图 20-7。
0	RQCPM0	邮箱 0 请求完成 (Request completed mailbox 0) 当邮箱 0 的上次请求 (发送或中止) 完成时, 硬件设置该位。 软件向该位写'1'可以清零; 当硬件接收到发送请求时, 也可以清除该位 (CAN_TMI0.TXRQ 位被置位)。 当该位清零时, 邮箱 0 的其他发送状态位 (CAN_TSTS.TXOKM0、CAN_TSTS.ALSTM0 和 CAN_TSTS.TERRM0 位) 也被清零。

20.7.3.4 CAN 接收 FIFO0 寄存器 (CAN_RFF0)

偏移地址: 0x0c

复位值: 0x0000 0000



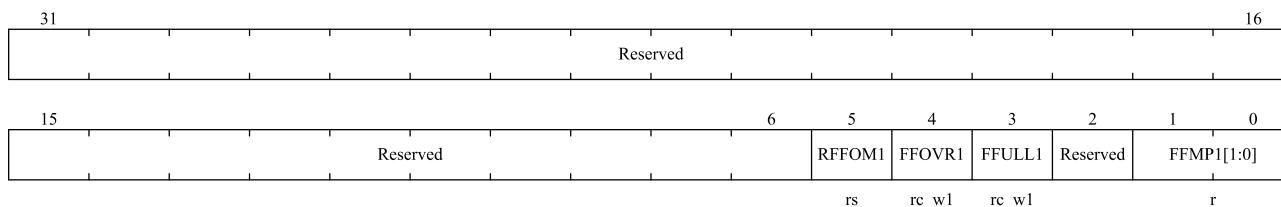
位域	名称	描述
31:6	Reserved	保留, 必须保持复位值
5	RFFOM0	释放接收 FIFO 0 输出邮箱 (Release FIFO 0 output mailbox) 软件通过设置该位来释放接收 FIFO 的输出邮箱。如果接收 FIFO 为空, 则

位域	名称	描述
		设置该位没有影响，即只有在 FIFO 中有报文时，设置该位才有意义。如果 FIFO 中有两条以上的消息，由于 FIFO 的特性，软件需要释放输出邮箱才能访问第二条消息。 当输出邮箱被释放时，硬件清除该位。
4	FFOVR0	FIFO 0 溢出 (FIFO 0 overrun) 当 FIFO0 已满，又收到新的报文且报文符合过滤条件，硬件对该位置'1'。该位由软件清'0'。
3	FFULL0	FIFO 0 满 (FIFO 0 full) 当 FIFO 0 中有 3 个报文时，硬件对该位置'1'。该位由软件清'0'。
2	Reserved	保留，必须保持复位值
1:0	FFMP0[1:0]	FIFO 0 报文数目 (FIFO 0 message pending) FIFO 0 报文数目这两位反映了当前存储在接收 FIFO0 中的报文数量。每在接收 FIFO0 中存储一条新报文，硬件将 CAN_RFF0.RFFMP0 加 1。 每次软件向 CAN_RFF0.RFFMP0 位写入“1”以释放输出邮箱时，CAN_RFF0.RFFMP0 减 1，直到为 0。

20.7.3.5 CAN 接收 FIFO 1 寄存器 (CAN_RFF1)

偏移地址: 0x10

复位值: 0x0000 0000



位域	名称	描述
31:6	Reserved	保留，必须保持复位值
5	RFFOM1	释放接收 FIFO 1 输出邮箱 (Release FIFO 1 output mailbox) 软件通过对该位置'1'来释放接收 FIFO 的输出邮箱。如果接收 FIFO 为空，那么对该位置'1'没有任何效果，即只有当 FIFO 中有报文时对该位置'1'才有意义。如果 FIFO 中有 2 个以上的报文，由于 FIFO 的特点，软件需要释放输出邮箱才能访问第 2 个报文。 当输出邮箱被释放时，硬件对该位清'0'。
4	FFOVR1	FIFO 1 溢出 (FIFO 1 overrun) 当 FIFO 1 已满，又收到新的报文且报文符合过滤条件，硬件对该位置'1'。该位由软件清'0'。
3	FFULL1	FIFO 1 满 (FIFO 1 full) 当 FIFO 1 中有 3 个报文时，硬件对该位置'1'。该位由软件清'0'。
2	Reserved	保留，必须保持复位值
1:0	FFMP1[1:0]	FIFO 1 报文数目 (FIFO 1 message pending) FIFO 1 中的报文数 这两位反映了当前接收 FIFO 1 中存储的报文数量。接收 FIFO 1 中每存储一条新报文，硬件将 CAN_RFF1.RFFMP1 加 1。

位域	名称	描述
		每次软件通过向 CAN_RFF1.RFFOM1 位写入“1”来释放输出邮箱时，CAN_RFF1.FFMP1 减 1，直到为 0。

20.7.3.6 CAN 中断使能寄存器(CAN_INTE)

偏移地址: 0x14

复位值: 0x0000 0000

31	Reserved														18	17	16
15	14	12	11	10	9	8	7	6	5	4	3	2	1	rw	1	rw	0
ERRITE	Reserved	Reserved	LECITE	BOFITE	EPVITE	EWGITE	Reserved	FOVITE1	FFITE1	FMPITE1	FOVITE0	FFITE0	FMPITE0	TMEITE	RW	RW	RW
															RW	RW	RW

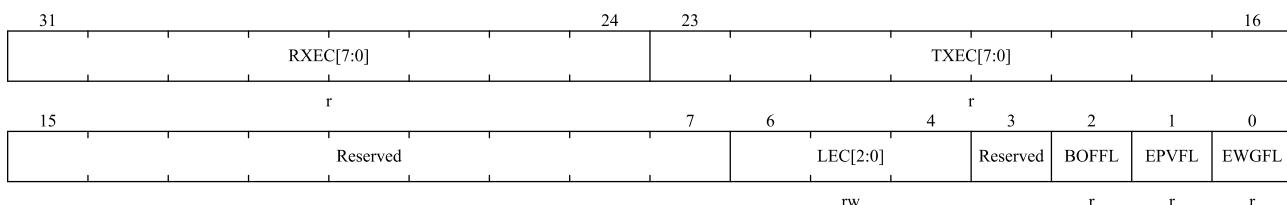
位域	名称	描述
31:18	Reserved	保留，必须保持复位值
17	SLKITE	睡眠中断使能 (Sleep interrupt enable) 0: 当 CAN_MSTS.SLAKINT 位置位时，不产生中断； 1: 当 CAN_MSTS.SLAKINT 位置位时，产生中断。
16	WKUITE	唤醒中断使能 (Wakeup interrupt enable) 0: 当 CAN_MSTS.WKUINT 位置位时，不产生中断； 1: 当 CAN_MSTS.WKUINT 位置位时，产生中断。
15	ERRITE	错误中断使能 (Error interrupt enable) 0: 当 CAN_ESTS 寄存器有错误发生时，不产生中断； 1: 当 CAN_ESTS 寄存器有错误发生时，产生中断。
14:12	Reserved	保留，必须保持复位值
11	LECITE	上次错误号中断使能 (Last error code interrupt enable) 0: 检测到错误时，当硬件置位 CAN_ESTS.LEC[2:0]时，CAN_MSTS.ERRINT 位不置位； 1: 检测到错误时，当硬件设置 CAN_ESTS.LEC[2:0]时，设置 CAN_MSTS.ERRINT 位。
10	BOFITE	离线中断使能 (Bus-off interrupt enable) 0: 当设置 CAN_ESTS.BOFFL 位时，不设置 CAN_MSTS.ERRINT 位； 1: 设置 CAN_ESTS.BOFFL 位时，设置 CAN_MSTS.ERRINT 位。
9	EPVITE	错误被动中断使能 (Error Passive Interrupt Enable) 0: 当设置 CAN_ESTS.EPVFL 位时，不设置 CAN_MSTS.ERRINT 位； 1: 当设置 CAN_ESTS.EPVFL 位时，设置 CAN_MSTS.ERRINT 位。
8	EWGITE	错误警告中断使能 (Error warning interrupt enable) 0: 当设置 CAN_ESTS.EWGFL 位时，不设置 CAN_MSTS.ERRINT 位； 1: 当设置 CAN_ESTS.EWGFL 位时，设置 CAN_MSTS.ERRINT 位。
7	Reserved	保留，必须保持复位值
6	FOVITE1	FIFO 1 溢出中断使能 (FIFO overrun interrupt enable) 0: 当 CAN_RFF1.FOR 位置位时，不产生中断； 1: 当 CAN_RFF1.FO 位置位时，产生中断。

位域	名称	描述
5	FFITE1	FIFO 1 满中断使能 (FIFO full interrupt enable) 0: 当 CAN_RFF1.FULL 位置位时, 不产生中断; 1: 当 CAN_RFF1.FULL 位置位时, 产生中断。
4	FMPITE1	FIFO 1 消息挂号中断使能 (FIFO message pending interrupt enable) 0: 当 CAN_RFF1.FFMP[1:0]位为非 0 时, 不产生中断; 1: 当 CAN_RFF1.FFMP[1:0]位不为 0 时, 产生中断。
3	FOVITE0	FIFO 0 溢出中断使能 (FIFO overrun interrupt enable) 0: 当 CAN_RFF0.FFOVR 位置位时, 不产生中断; 1: 当 CAN_RFF0.FFOVR 位置位时, 产生中断。
2	FFITE0	FIFO 0 满中断使能 (FIFO full interrupt enable) 0: 当 CAN_RFF0.FFULL 位置位时, 不产生中断; 1: 当 CAN_RFF0.FFULL 位置位时, 产生中断。
1	FMPITE0	FIFO 0 消息挂号中断使能 (FIFO message pending interrupt enable) 0: 当 CAN_RFF0.FFMP[1:0]位为非 0 时, 不产生中断; 1: 当 CAN_RFF0.FFMP[1:0]位不为 0 时, 产生中断。
0	TMEITE	发送邮箱空中断使能 (Transmit mailbox empty interrupt enable) 0: 当 CAN_TSTS.RPMx 位置位时, 不产生中断; 1: 当 CAN_TSTS.RPMx 位置位时, 产生中断。 注: 请参考 20.5 节 CAN 中断。

20.7.3.7 CAN 错误状态寄存器(CAN_ESTS)

偏移地址: 0x18

复位值: 0x0000 0000



位域	名称	描述
31:24	RXEC[7:0]	接收错误计数器 (Receive error counter) 这个计数器按照 CAN 协议的故障界定机制的接收部分实现。按照 CAN 的标准, 当接收到错时, 根据出错的条件, 该计数器加 1 或加 8; 而在每次接收成功后, 该计数器减 1, 或当该计数器的值大于 127 时, 设置它的值为 120。当该计数器的值超过 127 时, CAN 进入错误被动状态。
23:16	TXEC[7:0]	9 位发送错误计数器的低 8 位 (Least significant byte of the 9-bit transmit error counter) 与上面相似, 这个计数器按照 CAN 协议的故障界定机制的发送部分实现。
15:7	Reserved	保留, 必须保持复位值
6:4	LEC[2:0]	上次错误代码 (Last error code) 当 CAN 总线上检测到错误时, 根据错误情况设置硬件。当正确发送或接收消息时, 硬件将其值清除为“0”。

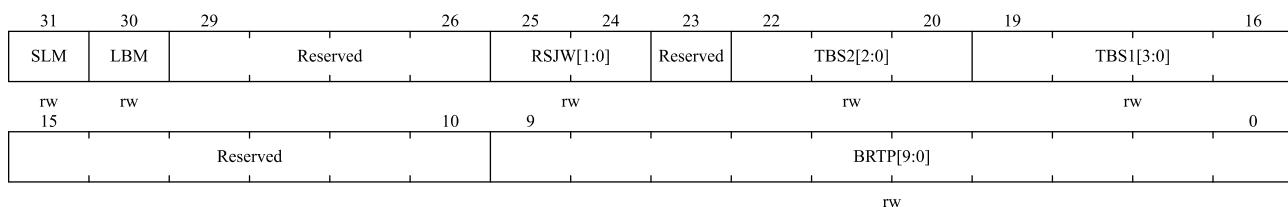
位域	名称	描述
		硬件不使用错误代码 7, 软件可以设置此值, 以便检测到代码更新。 000: 没有错误; 001: 位填充错误; 010: 错误的格式 (Form); 011: 确认 (ACK) 错误; 100: 隐性错位 (CAN 传输隐性但在总线上检测显性); 101: 显性错位 (CAN 传输显性但在总线上检测到隐性); 110: CRC 错误; 111: 软件设置。
3	Reserved	保留, 必须保持复位值
2	BOFFL	离线标志 (Bus-off flag) 当总线关闭时, 硬件设置该位。当传输错误计数器 CAN_TSTS.TXEC 溢出, 即大于 255 时, CAN 总线关闭。请参阅 20.5.1 部分。
1	EPVFL	错误被动标志 (Error passive flag) 当出错次数达到错误被动的阈值时, 硬件对该位置'1'。 (接收错误计数器或发送错误计数器的值>127)。
0	EWGFL	错误警告标志 (Error warning flag) 当出错次数达到警告的阈值时, 硬件对该位置'1'。 (接收错误计数器或发送错误计数器的值≥96)。

20.7.3.8 CAN 位时序寄存器 (CAN_BTIM)

偏移地址: 0x1C

复位值: 0x0123 0000

注: 当 CAN 处于初始化模式时, 该寄存器只能由软件访问。



位域	名称	描述
31	SLM	静默模式 (用于调试) (Silent mode (debug)) 0: 正常状态; 1: 静默模式。
30	LBM	回环模式 (用于调试) (Loop back mode (debug)) 0: 禁止回环模式; 1: 允许回环模式。
29:26	Reserved	保留, 必须保持复位值
25:24	RSJW[1:0]	重新同步跳跃宽度 (Resynchronization jump width) 为了重新同步, 该位域定义了 CAN 硬件在每位中可以延长或缩短多少个时间单元的上限。 $t_{RJW} = t_{CAN} \times (RSJW[1:0] + 1)$.

位域	名称	描述
23	Reserved	保留, 必须保持复位值
22:20	TBS2[2:0]	时间段 2 (Time segment 2) 该位域定义了时间段 2 占用了多少个时间单元 $t_{BS2} = t_{CAN\ X} (TBS2[2:0] + 1)$.
19:16	TBS1[3:0]	时间段 1 (Time segment 1) 该位域定义了时间段 1 占用了多少个时间单元 $t_{BS1} = t_{CAN\ X} (TBS1[3:0] + 1)$ 有关位时间特性的详细信息, 请参阅第 20.4.7 节: 位时序。
15:10	Reserved	保留, 必须保持复位值
9:0	BRTP[9:0]	波特率分频器 (Baud rate prescaler) 该位域定义了时间单元 (t_q) 的时间长度 $t_q = (BRTP[9:0]+1) \times t_{PCLK}$

20.7.4 CAN 邮箱寄存器

本节介绍发送和接收邮箱寄存器。有关寄存器映射的更多信息, 请参阅 20.4.6 部分: 消息存储.

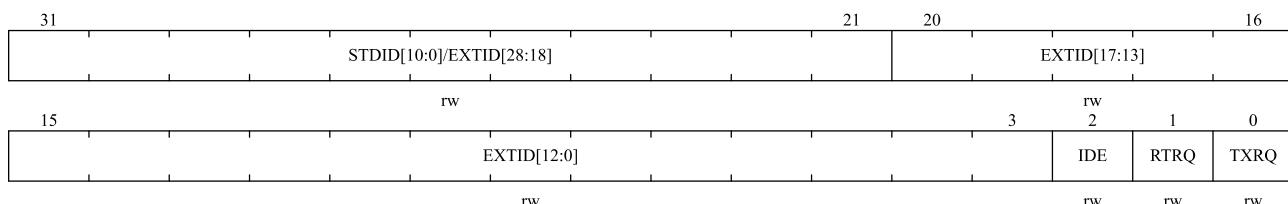
20.7.4.1 发送邮箱标识寄存器(CAN_TMIx)(x=0..2)

偏移地址: 0x180, 0x190, 0x1A0

复位值: 0xXXXX XXXX, X=未定义位 (除了第 0 位, 复位时 TXRQ=0)

注: 1 当其所属的邮箱处在等待发送的状态时, 该寄存器是写保护的;

2 该寄存器实现了发送请求控制功能 (第 0 位) — 复位值为 0。



位域	名称	描述
31:21	STDID[10:0]/EXTID[28:18]	标准标识符或扩展标识符 (Standard identifier or extended identifier) 依据 IDE 位的内容, 这些位或是标准标识符, 或是扩展身份标识的高字节。
20:3	EXTID[17:0]	扩展标识符 (Extended identifier) 扩展身份标识的低字节。
2	IDE	标识符选择 (Identifier extension) 该位决定发送邮箱中报文使用的标识符类型 0: 使用标准标识符; 1: 使用扩展标识符。
1	RTRQ	远程发送请求 (Remote transmission request) 0: 数据帧; 1: 远程帧。

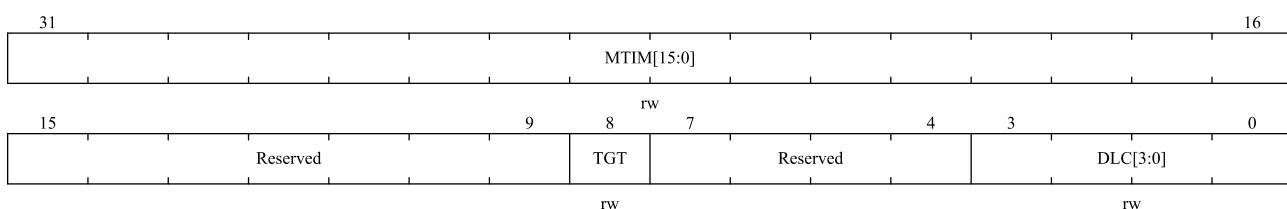
位域	名称	描述
0	TXRQ	发送数据请求 (Transmit mailbox request) 由软件对其置'1'，来请求发送邮箱的数据。当数据发送完成，邮箱为空时，硬件对其进行清'0'。

20.7.4.2 发送邮箱数据长度和时间戳寄存器 (CAN_TMDTx)(x=0..2)

当邮箱不在空置状态时，该寄存器的所有位为写保护。

偏移地址: 0x184, 0x194, 0x1A4

复位值: 未定义



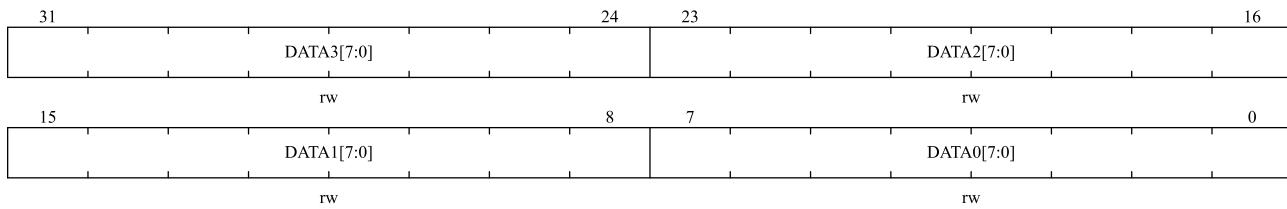
位域	名称	描述
31:16	MTIM[15:0]	报文时间戳 (Message time stamp) 该域包含了，在发送该报文 SOF 的时刻，16 位定时器的值。
15:9	Reserved	保留，必须保持复位值
8	TGT	发送时间戳 (Transmit global time) 该位仅在 CAN 处于时间触发通信模式时有效，即 CAN_MCTRL.TTCM 位置位。 0: 不发送时间戳 CAN_TMDTx.MTIM[15:0]; 1: 发送时间戳 CAN_TMDTx.MTIM[15:0]。在长度为 8 的消息中，时间戳 CAN_TMDTx.MTIM[15:0] 是发送的最后两个字节： CAN_TMDTx.MTIM[7:0] 是第七个字节，CAN_TMDTx.MTIM[15:8] 是第八个字节。它们替换了写入 CAN_TMDHx[31:16] 的数据 (CAN_TMDLx.DATA6[7:0] 和 CAN_TMDLx.DATA7[7:0])。为了发送时间戳的 2 个字节，DLC 必须编程为 8。
7:4	Reserved	保留，必须保持复位值
3:0	DLC[3:0]	发送数据长度 (Data length code) 该域指定了数据报文的数据长度或者远程帧请求的数据长度。1 个报文包含 0 到 8 个字节数据，而这由 DLC 决定。

20.7.4.3 发送邮箱低字节数据寄存器(CAN_TMDLx) (x=0..2)

当邮箱不在空置状态时，该寄存器的所有位为写保护。

偏移地址: 0x188, 0x198, 0x1A8

复位值: 未定义



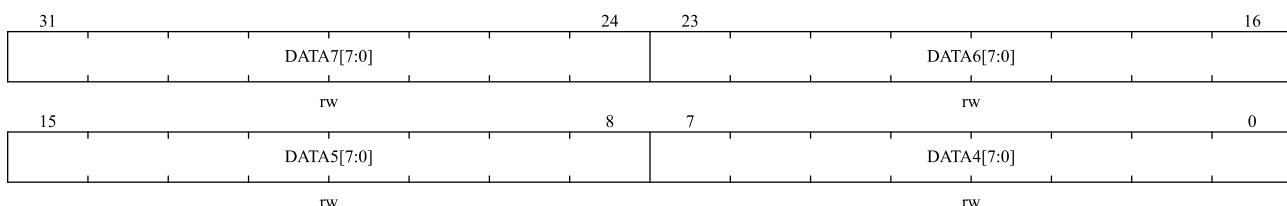
位域	名称	描述
31:24	DATA3[7:0]	数据字节 3 (Data byte 3) 报文的数据字节 3。
23:16	DATA2[7:0]	数据字节 2 (Data byte 2) 报文的数据字节 2。
15:8	DATA1[7:0]	数据字节 1 (Data byte 1) 报文的数据字节 1。
7:0	DATA0[7:0]	数据字节 0 (Data byte 0) 报文的数据字节 0。 <i>注：报文包含 0 到 8 个字节数据，且从字节 0 开始。</i>

20.7.4.4 发送邮箱高字节数据寄存器(CAN_TMDHx) (x=0..2)

当邮箱不在空置状态时，该寄存器的所有位为写保护。

偏移地址: 0x18c, 0x19c, 0x1ac

复位值: 未定义



位域	名称	描述
31:24	DATA7[7:0]	数据字节 7 (Data byte 7) 报文的数据字节 7。 <i>注意：如果 CAN_MCTRL.TTCM 位为“1”且此邮箱的 CAN_TMDTx.TGT 位也为“1”，则 DATA7 和 DATA6 将被时间戳替换。</i>
23:16	DATA6[7:0]	数据字节 6 (Data byte 6) 报文的数据字节 6。
15:8	DATA5[7:0]	数据字节 5 (Data byte 5) 报文的数据字节 5。
7:0	DATA4[7:0]	数据字节 4 (Data byte 4) 报文的数据字节 4。

20.7.4.5 接收 FIFO 邮箱标识符寄存器(CAN_RMIx) (x=0..1)

偏移地址: 0x1B0, 0x1C0

复位值: 未定义

注：所有接收邮箱寄存器都是只读的。



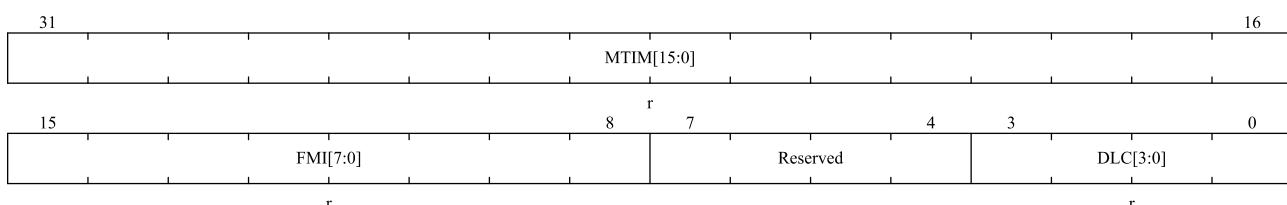
位域	名称	描述
31:21	STDID[10:0]/EXTID[28:18]	标准标识符或扩展标识符 (Standard identifier or extended identifier) 根据 CAN_RMIx.IDE 位的内容，这些位要么是标准标识符，要么是扩展标识的高字节。
20:3	EXTID[17:0]	扩展标识符 (Extended identifier) 扩展身份标识的低字节。
2	IDE	标识符选择 (Identifier extension) 该位决定发送邮箱中报文使用的标识符类型 0: 使用标准标识符； 1: 使用扩展标识符。
1	RTRQ	远程发送请求 (Remote transmission request) 0: 数据帧； 1: 远程帧。
0	Reserved	保留，必需保持复位值。

20.7.4.6 接收 FIFO 邮箱数据长度和时间戳寄存器(CAN_RMDTx)(x=0..1)

偏移地址: 0x1B4, 0x1C4

复位值: 未定义

注：所有接收邮箱寄存器都是只读的。



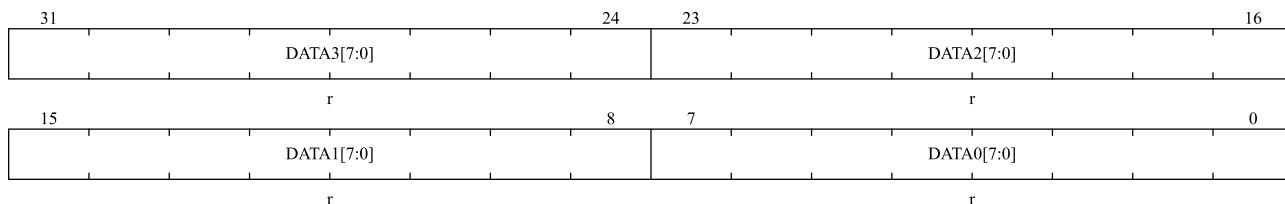
位域	名称	描述
31:16	MTIM[15:0]	报文时间戳 (Message time stamp) 该域包含了，在发送该报文 SOF 的时刻，16 位定时器的值。
15:8	FMI[7:0]	过滤器匹配序号 (Filter match index) 这是存储在邮箱中的信息传输的过滤器序列号。有关标识符过滤的详细信息，请参阅20.4.5 部分：标识符过滤。
7:4	Reserved	保留，必须保持复位值
3:0	DLC[3:0]	接收数据长度 (Data length code) 该域表明接收数据帧的数据长度 (0~8)。对于远程帧请求，数据长度 DLC 恒为 0。

20.7.4.7 接收 FIFO 邮箱低字节数据寄存器(CAN_RMDLx)(x=0..1)

偏移地址: 0x1B8, 0x1C8

复位值: 未定义

注: 所有接收邮箱寄存器都是只读的。



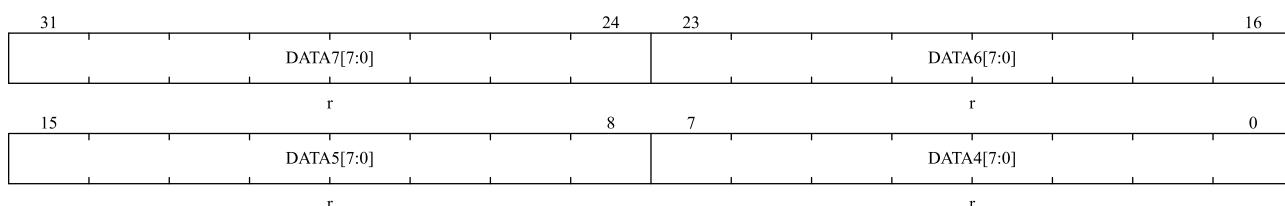
位域	名称	描述
31:24	DATA3[7:0]	数据字节 3 (Data byte 3) 报文的数据字节 3。
23:16	DATA2[7:0]	数据字节 2 (Data byte 2) 报文的数据字节 2。
15:8	DATA1[7:0]	数据字节 1 (Data byte 1) 报文的数据字节 1。
7:0	DATA0[7:0]	数据字节 0 (Data byte 0) 报文的数据字节 0。 注: 报文包含 0 到 8 个字节数据, 且从字节 0 开始。

20.7.4.8 接收 FIFO 邮箱低高字节数据寄存器(CAN_RMDHx) (x=0..1)

偏移地址: 0x1BC, 0x1CC

复位值: 未定义

注: 所有接收邮箱寄存器都是只读的。



位域	名称	描述
31:24	DATA7[7:0]	数据字节 7 (Data byte 7) 报文的数据字节 7。
23:16	DATA6[7:0]	数据字节 6 (Data byte 6) 报文的数据字节 6。
15:8	DATA5[7:0]	数据字节 5 (Data byte 5) 报文的数据字节 5。
7:0	DATA4[7:0]	数据字节 4 (Data byte 4) 报文的数据字节 4。

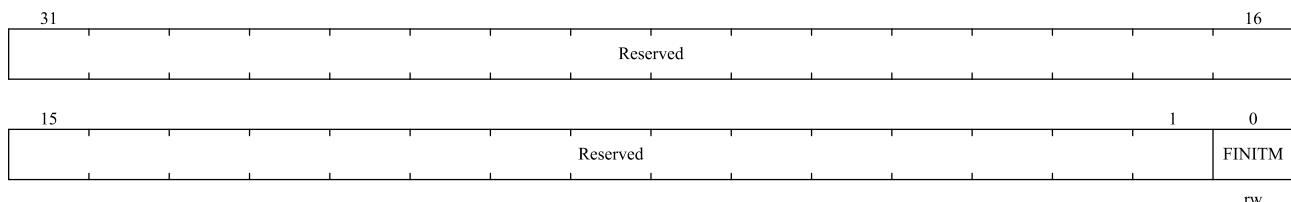
20.7.5 CAN 过滤器寄存器

20.7.5.1 CAN 过滤器主控制寄存器(CAN_FMC)

偏移地址: 0x200

复位值: 0x2A1C 0E01

注: 该寄存器的非保留位完全由软件控制。



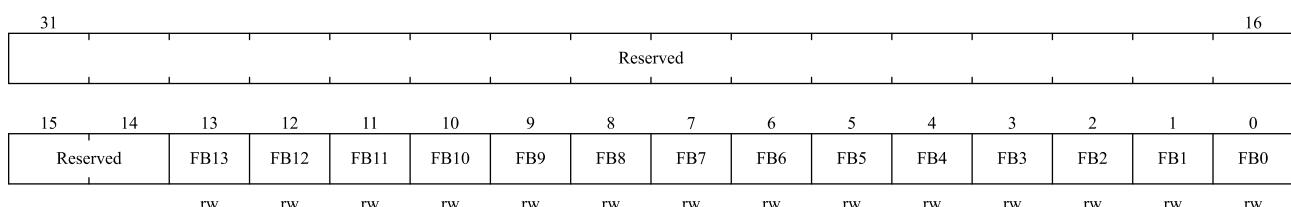
位域	名称	描述
31:1	Reserved	保留, 必须保持复位值
0	FINITM	过滤器初始化模式 (Filter init mode) 针对所有过滤器组的初始化模式设置。 0: 过滤器组工作在正常模式; 1: 过滤器组工作在初始化模式。

20.7.5.2 CAN 过滤器模式寄存器(CAN_FM1)

偏移地址: 0x204

复位值: 0x0000 0000

注: 当设置 CAN_FMC.FINITM 位将滤波器置于初始化模式时, 才能写入该寄存器。



位域	名称	描述
31:28	Reserved	保留, 必须保持复位值
13:0	FBx	过滤器模式 (Filter mode) 过滤器组 x 的工作模式。 0: CAN_FiRx 的两个 32 位寄存器工作在标识符屏蔽模式; 1: CAN_FiRx 的两个 32 位寄存器工作在标识符列表模式。

20.7.5.3 CAN 过滤器位宽寄存器(CAN_FS1)

偏移地址: 0x20C

复位值: 0x0000 0000

注: 当设置 CAN_FMC.FINITM 位将滤波器置于初始化模式时, 才能写入该寄存器。

31															16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved	FSC13	FSC12	FSC11	FSC10	FSC9	FSC8	FSC7	FSC6	FSC5	FSC4	FSC3	FSC2	FSC1	FSC0	
	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位域	名称	描述
31:28	Reserved	保留, 必须保持复位值
13:0	FSCx	过滤器位宽设置 (Filter scale configuration) 过滤器组 x (13~0) 的位宽。 0: 过滤器位宽为 2 个 16 位; 1: 过滤器位宽为单个 32 位。

20.7.5.4 CAN 过滤器 FIFO 关联寄存器 (CAN_FFA1)

偏移地址: 0x214

复位值: 0x0000 0000

注: 当设置 CAN_FMC.FINITM 位将滤波器置于初始化模式时, 才能写入该寄存器。

31															17	16
Reserved																
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Reserved	FAF13	FAF12	FAF11	FAF10	FAF9	FAF8	FAF7	FAF6	FAF5	FAF4	FAF3	FAF2	FAF1	FAF0		
	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位域	名称	描述
31:28	Reserved	保留, 必须保持复位值
13:0	FAFx	过滤器 x 的过滤器 FIFO 分配 (Filter FIFO assignment for filter x) 报文在通过了某过滤器的过滤后, 将被存放到其关联的 FIFO 中。 0: 过滤器被关联到 FIFO0; 1: 过滤器被关联到 FIFO1。

20.7.5.5 CAN 过滤器激活寄存器(CAN_FA1)

偏移地址: 0x21C

复位值: 0x0000 0000

31															16	
Reserved																
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Reserved	FAC13	FAC12	FAC11	FAC10	FAC9	FAC8	FAC7	FAC6	FAC5	FAC4	FAC3	FAC2	FAC1	FAC0		
	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位域	名称	描述
31:28	Reserved	保留, 必须保持复位值

位域	名称	描述
13:0	FACx	<p>过滤器激活 (Filter active)</p> <p>软件为某位设置“1”以激活相应的过滤器。只有在清除 CAN_FA1.FACx 位或设置 CAN_FMC.FINITM 位后，才能修改相应的滤波器寄存器 i(CAN_FiR[2:1])。</p> <p>0：过滤器被禁用； 1：过滤器被激活。</p>

20.7.5.6 CAN 过滤器 i 寄存器 x (CAN_FiRx) (i=0..13;x=1..2)

偏移地址: 0x240h, 0x31C

复位值: 未定义

注: 14 组滤波器: $i = 0 \dots 13$ 。每组滤波器由两个 32 位寄存器 CAN_FiR[2:1] 组成。

只有当相应的 CAN_FA1.FACx 位被清零或 CAN_FMC.FINIT 位被置位时，才能修改相应的过滤寄存器。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
FBC31	FBC30	FBC29	FBC28	FBC27	FBC26	FBC25	FBC24	FBC23	FBC22	FBC21	FBC20	FBC19	FBC18	FBC17	FBC16
rw 15	rw 14	rw 13	rw 12	rw 11	rw 10	rw 9	rw 8	rw 7	rw 6	rw 5	rw 4	rw 3	rw 2	rw 1	rw 0
FBC15	FBC14	FBC13	FBC12	FBC11	FBC10	FBC9	FBC8	FBC7	FBC6	FBC5	FBC4	FBC3	FBC2	FBC1	FBC0
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位域	名称	描述
31:0	FBC[31:0]	<p>过滤器位 (Filter bits)</p> <p>标识符模式</p> <p>寄存器的每位对应于所期望的标识符的相应位的电平。</p> <p>0：期望相应位为显性位； 1：期望相应位为隐性位。</p> <p>屏蔽位模式</p> <p>寄存器的每位指示是否对应的标识符寄存器位一定要与期望的标识符的相应位一致。</p> <p>0：不关心，该位不用于比较； 1：必须匹配，到来的标识符位必须与滤波器对应的标识符寄存器位相一致。</p>

注: 根据滤波器位宽和模式的不同设置，滤波器组中的两个寄存器的功能是不同的。关于过滤器的映射、功能描述和屏蔽寄存器的关联，请参见 20.4.5 章节：标识符过滤。

掩码模式中的掩码/标识符寄存器与标识符列表模式中的寄存器位定义相同。

滤波器组寄存器地址见表 20-4。

21 串行外设接口/内置音频总线（SPI/I2S）

21.1 SPI/I2S 简介

本模块是 SPI/I2S， 默认工作在 SPI 模式， 通过寄存器设置， 可以选择工作在 I2S 模式。

SPI 可以工作在主模式或从模式， 支持全双工和单工高速通讯模式， 并且具有硬件 CRC 计算能力且可配置多主模式。

I2S 可以工作在单工的主模式或从模式， 支持 4 种音频标准：飞利浦 I2S 标准、MSB 对齐标准、LSB 对齐标准和 PCM 标准。

这两种都是同步串行接口通讯协议。

21.2 SPI 和 I²S 主要特性

21.2.1 SPI 主要特性

- 全双工和单工同步模式
- 支持主模式、从模式和多主模式
- 支持 8bit 或 16bit 数据帧格式
- 数据位顺序可编程
- 硬件或软件片选管理
- 时钟极性和时钟相位可配置
- 发送和接收支持硬件 CRC 计算及校验
- 支持 DMA 传输功能

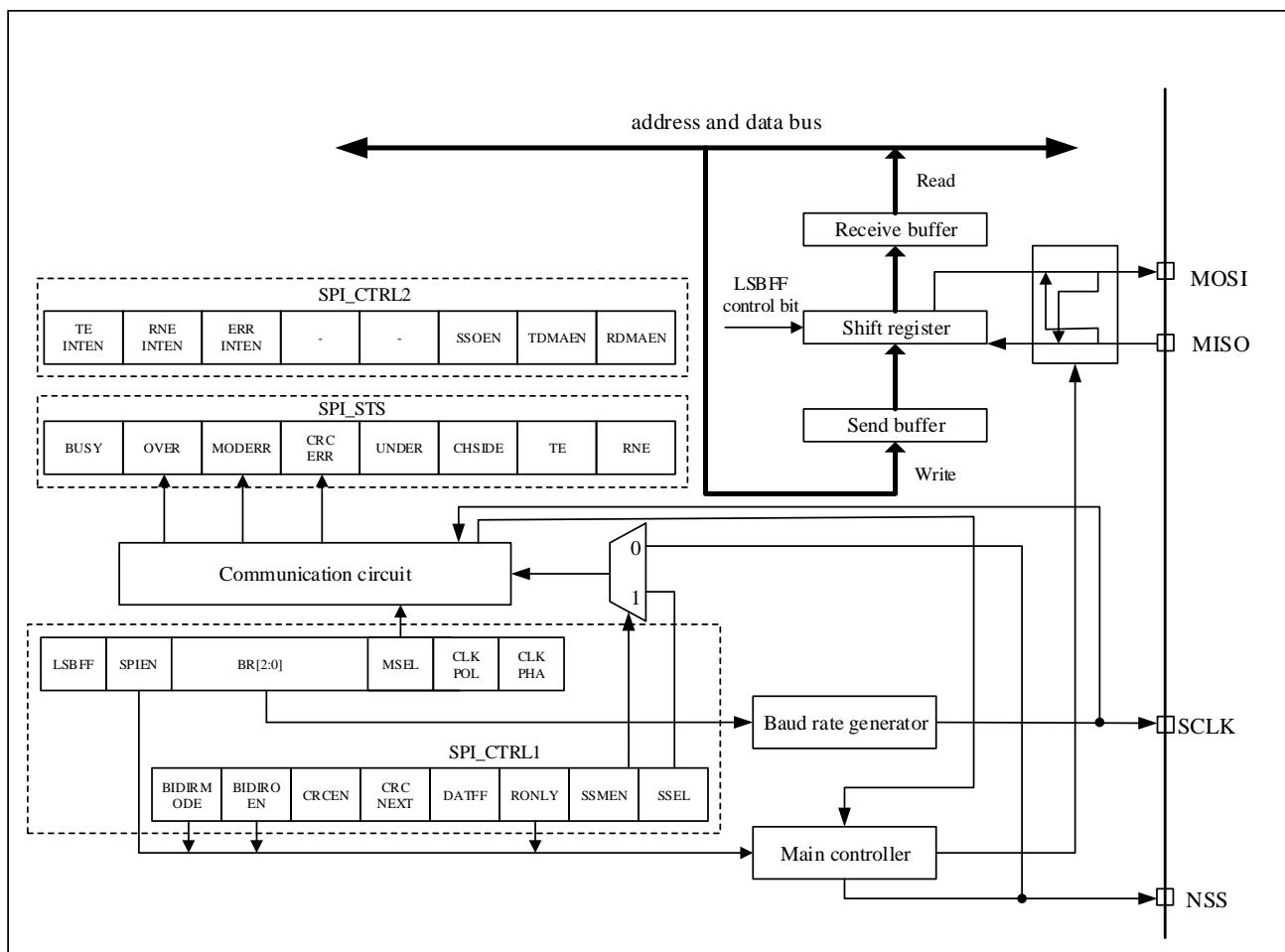
21.2.2 I²S 主要特性

- 单工同步模式
- 支持主模式和从模式操作
- 4 种音频标准可以支持：飞利浦 I2S 标准、MSB 对齐标准、LSB 对齐标准和 PCM 标准
- 音频采样频率可配置，范围从 8KHz 到 96KHz
- 稳态时钟极性可配置
- 数据方向 MSB
- 支持 DMA 传输功能

21.3 SPI 功能描述

21.3.1 通用描述

图 21-1 SPI 框图



为了连接外部设备，SPI 接口有 4 个引脚与外设器件连接，具体如下：

- **SCLK:** 串行时钟引脚，该信号从主设备 SCLK 引脚输出，由从设备 SCLK 引脚输入
- **MISO:** 主输入/从输出引脚，数据从主设备的 MISO 引脚输入，由从设备的 MISO 引脚输出
- **MOSI:** 主输出/从输入引脚，数据从主设备的 MOSI 引脚输出，由从设备的 MOSI 引脚输入
- **NSS:** 片选引脚，有两种 NSS 引脚类型，外部引脚和内部引脚。如果内部引脚检测到高电平，SPI 工作在主模式，相反，SPI 工作在从模式。用户可以使用主设备的一个标准 I/O 引脚控制从设备的 NSS 引脚

软件 NSS 模式

当 SPI_CTRL1.SSMEN=1 (图 21-2)，软件从设备管理被使能。

NSS 引脚不用于软件 NSS 模式。在这种模式下，内部 NSS 信号电平通过写入 SPI_CTRL1.SSEL 位来驱动 (主机模式 SPI_CTRL1.SSEL = 1，从机模式 SPI_CTRL1.SSEL = 0)。

硬件 NSS 模式

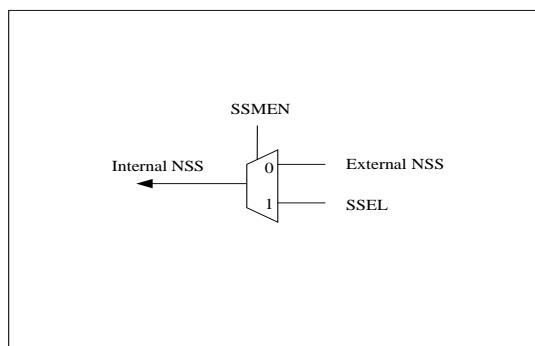
当 SPI_CTRL1.SSMEN = 0 (图 21-2), 软件从设备管理被禁能。

NSS 输入模式: 主设备的 NSS 输出被禁止 (SPI_CTRL1.MSEL = 1, SPI_CTRL2.SSOEN = 0), 允许操作在多主模式下。在整个数据帧传输期间主机应该连接 NSS 到高电平, 从机应该连接 NSS 到低电平。

NSS 输出模式: 主设备的 NSS 输出被使能 (SPI_CTRL1.MSEL = 1, SPI_CTRL2.SSOEN = 1), 主设备必须驱动 NSS 到低电平, 所有与主设备连接并且设置为硬件 NSS 模式的设备将会检测到低电平, 并自动进入从模式。当主设备的 NSS 没有被驱动到低电平, 设备进入从模式, 并产生主模式失效错误。

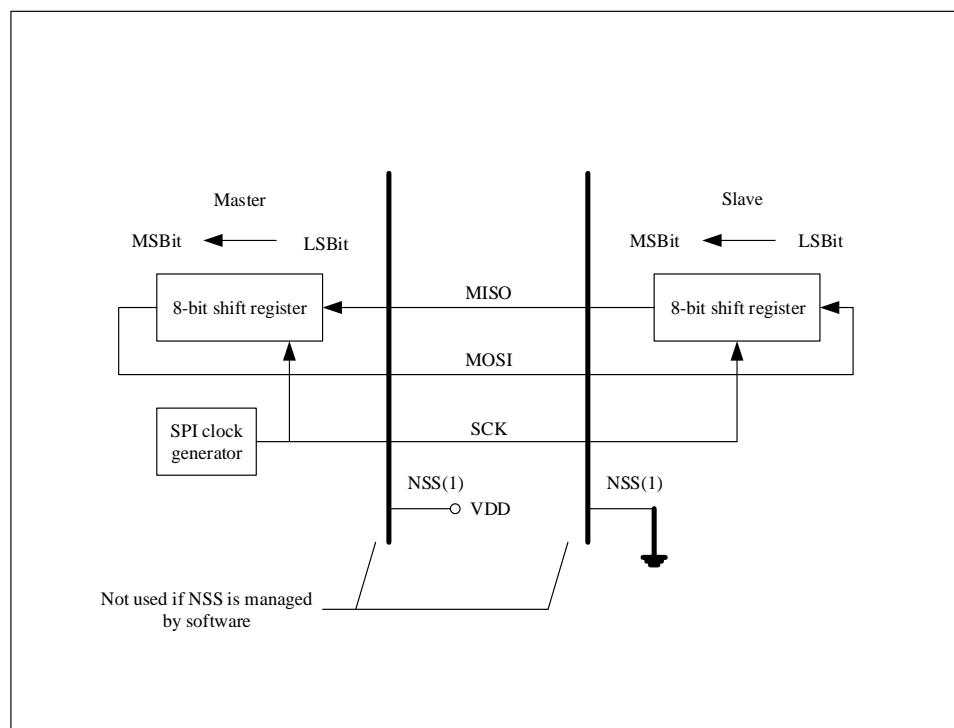
注: 软件模式或硬件模式的选择, 取决于通讯协议中是否需要 NSS 控制。如果不需要, 可以选择软件模式, 释放一个 GPIO 管脚另作他用。

图 21-2 硬件/软件的从选择管理



下图是单个主设备和单个从设备互联的例子。

图 21-3 单主和单从应用



注意: NSS 引脚被设置为输入。

SPI 是一个环形总线结构。主设备通过 SCK 管脚输出同步时钟信号, 主设备的 MOSI 引脚连接到从设备的

MOSI 引脚，并且主设备的 MISO 引脚连接到从设备的 MISO 引脚，以便数据可以在设备之间传输。主设备和从设备之间的连续数据传输，通过 MOSI 引脚发送数据到从设备，而从设备通过 MISO 引脚发送数据到主设备。

SPI 时序模式

通过设置 SPI_CTRL1.CLKPOL 位和 SPI_CTRL1.CLKPHA 位，用户可以选择数据捕获的时钟沿。

当 CLKPOL = 0, CLKPHA = 0，空闲时 SCLK 引脚将保持低电平，数据将在第一个时钟沿被采样，即上升沿。

当 CLKPOL = 0, CLKPHA = 1，空闲时 SCLK 引脚将保持低电平，数据将在第二个时钟沿被采样，即下降沿。

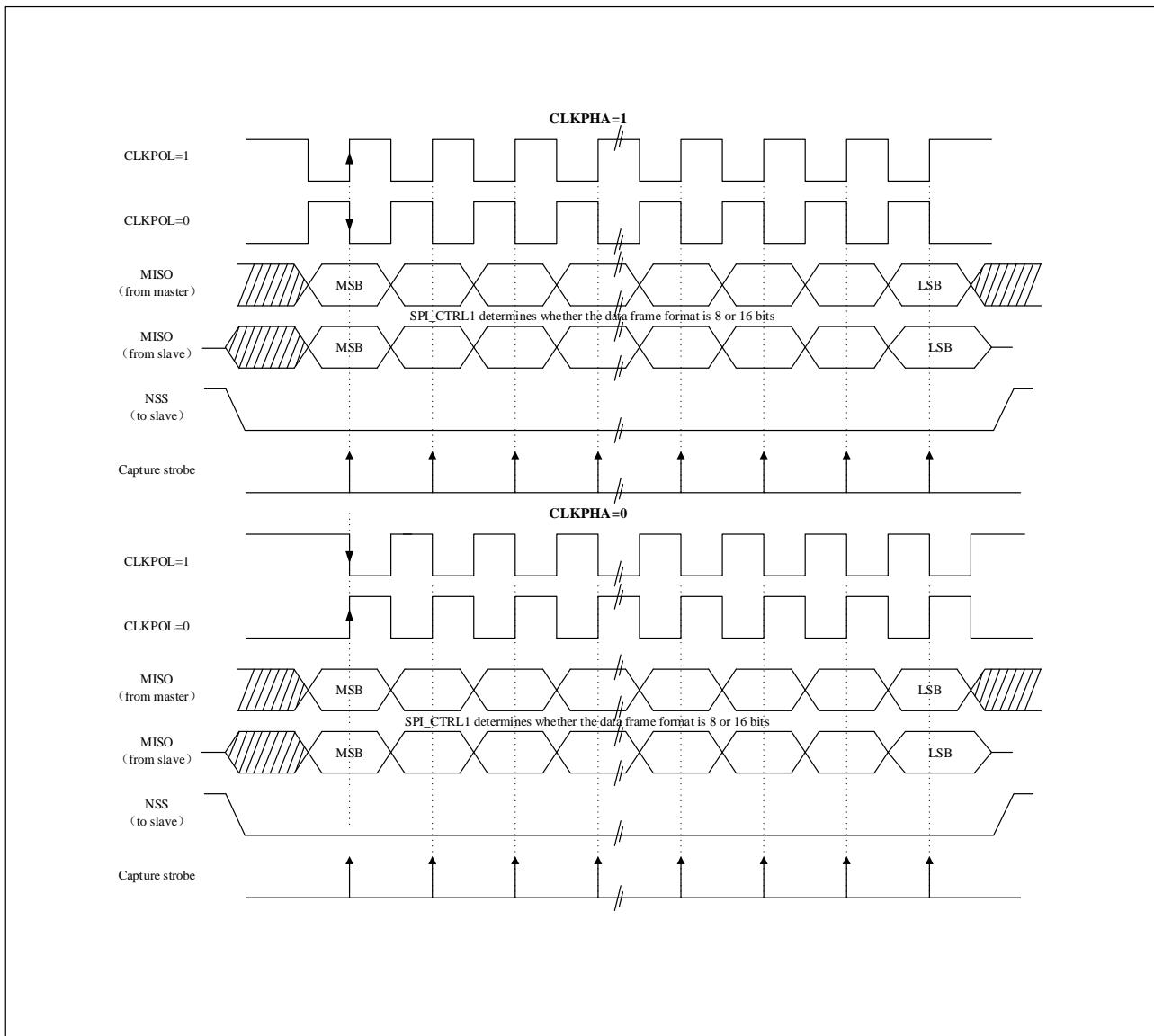
当 CLKPOL = 1, CLKPHA = 0，空闲时 SCLK 引脚将保持高电平，数据将在第一个时钟沿被采样，即下降沿。

当 CLKPOL = 1, CLKPHA = 1，空闲时 SCLK 引脚将保持高电平，数据将在第二个时钟沿被采样，即上升沿。

不管选择哪种时序模式，主设备和从设备的时序模式配置必须相同。

图 21-4 是当 SPI_CTRL1.LSBFF = 0 时，SPI 传输的 4 种 CLKPHA 和 CLKPOL 位组合时序。

图 21-4 数据时钟时序图



数据格式

通过设置 SPI_CTRL1.LSBFF 位，用户可以选择数据的位顺序，当 SPI_CTRL1.LSBFF = 0，SPI 将先发送数据的高位（MSB），当 SPI_CTRL1.LSBFF = 1，SPI 将先发送数据的低位（LSB）。

通过设置 SPI_CTRL1.DATFF 位，用户可以选择数据帧格式。

21.3.2 SPI 工作模式

■ 主机全双工模式 (SPI_CTRL1.MSEL = 1, SPI_CTRL1.BIDIRMODE = 0, SPI_CTRL1.RONLY = 0)

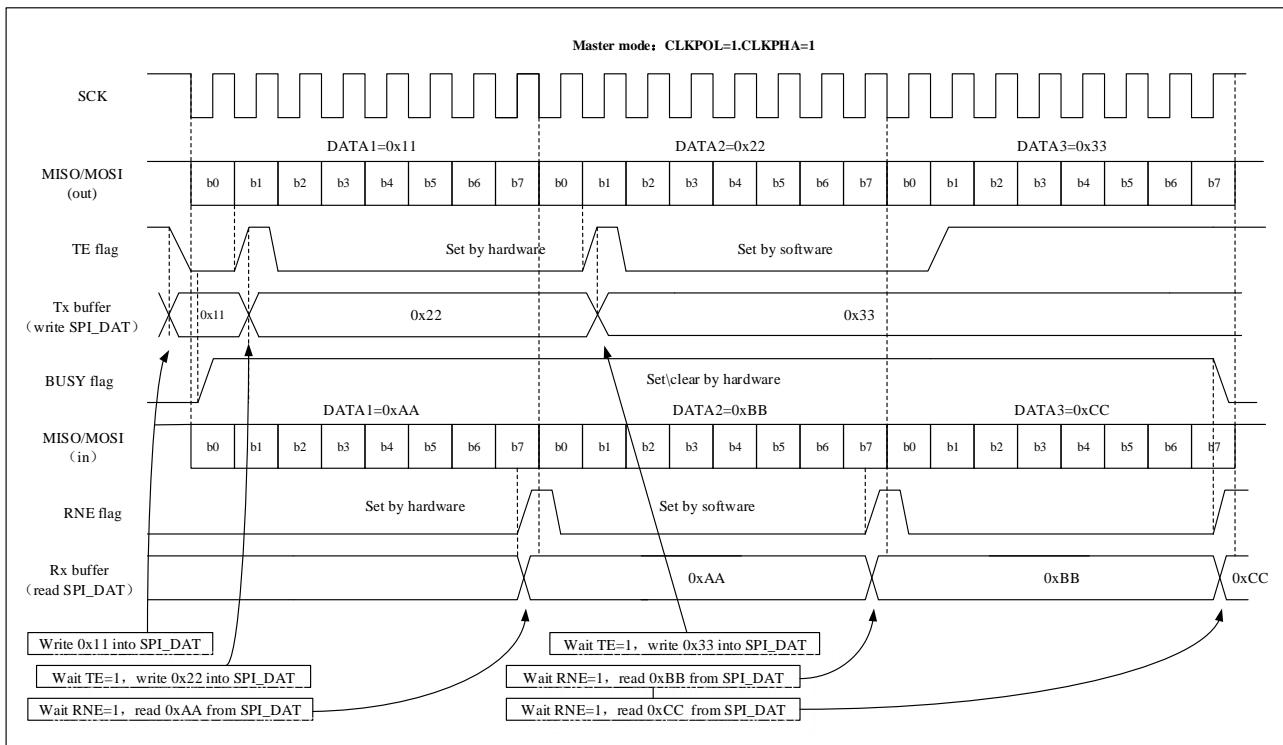
第一个数据被写到 SPI_DAT 寄存器后，将会开始传输，数据第一个位被发送时，数据字节并行从数据寄存器装载进入移位寄存器，然后数据位按照 SPI_CTRL1.LSBFF 位的配置，数据位按照 MSB 或 LSB 顺序被串行移位进入 MOSI 引脚。与此同时，在 MISO 引脚上接收到的数据，按照同样顺序被串行地移位进入移位寄存器，然后并行装载入 SPI_DAT 寄存器。

1. 设置 SPI_CTRL1.SPIEN 位为 1，使能 SPI 模块；

2. 写待发送的第一个数据到SPI_DAT（这个写操作会清除SPI_STS.TE标志位）；
3. 等待SPI_STS.TE标志位置1后，再写入第二个待发送的数据到SPI_DAT寄存器，等待SPI_STS.RNE标志位置1后，读取SPI_DAT寄存器获得第一个接收的数据，读取SPI_DAT寄存器，SPI_STS.RNE标志位会清0。重复上述操作，发送后续的数据，同时接收第n-1个数据；
4. 等待SPI_STS.RNE置1后，读取最后一个数据；
5. 等待SPI_STS.TE标志位置1，等待SPI_STS.BUSY标志位清除后再关闭SPI模块。

数据的发送和接收处理可以在 SPI_STS.RNE 标志位或 SPI_STS.TE 标志位的上升沿产生的中断处理程序中实现。

图 21-5 主机全双工模式下连续传输时，SPI_STS.TE/RNE/BUSY 的变化示意图



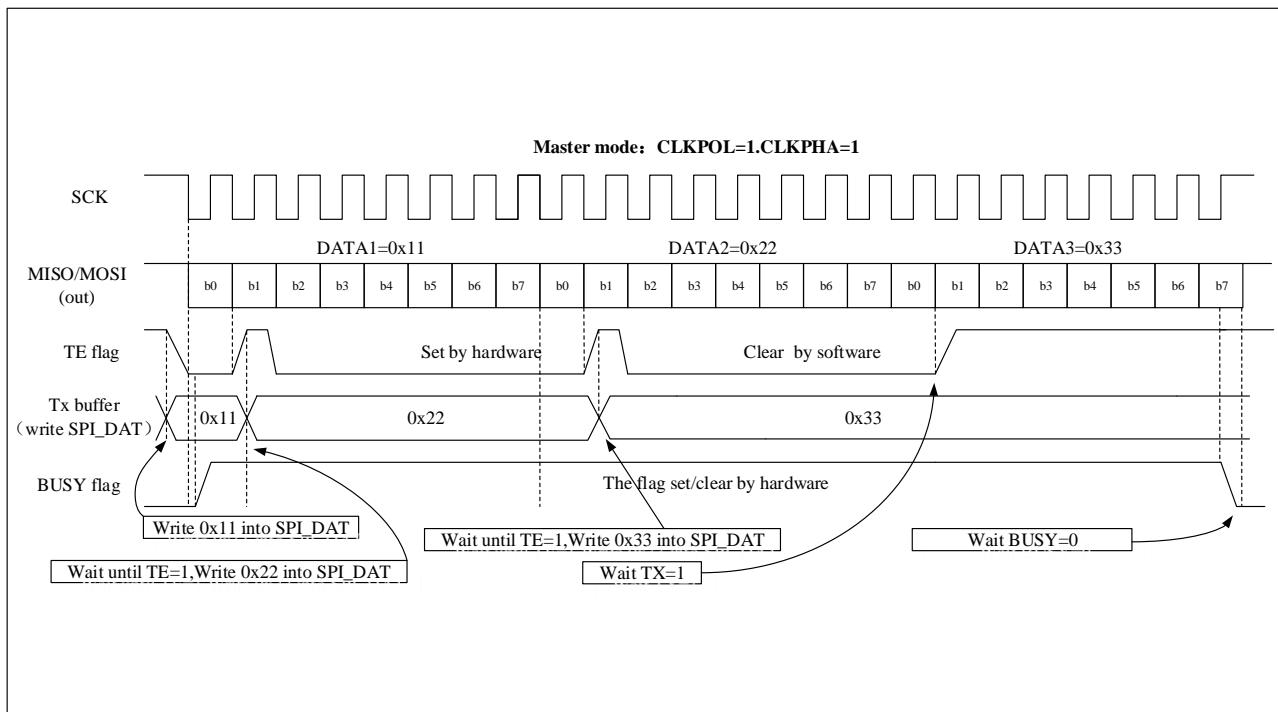
■ 主机双线单向仅发送模式（**SPI_CTRL1.MSEL = 1, SPI_CTRL1.BIDIRMODE = 0, SPI_CTRL1.RONLY = 0**）

双线单向仅发送模式和全双工模式相似，但是在双线单向仅发送模式，接收的数据将不会被读取，因此 SPI_STS.OVER 标志位将会置位，软件应该忽略这个位。软件操作流程如下(图 21-6)：

1. 设置SPI_CTRL1.SPIEN位为1，使能SPI模块；
2. 写待发送的第一个数据到 SPI_DAT 寄存器（该操作会清除 SPI_STS.TE 标志位）；
3. 等待 SPI_STS.TE 标志位置 1，写待发送的第二个数据到 SPI_DAT 寄存器，重复这个操作发送后续的数据；
4. 写最后一个数据到 SPI_DAT 寄存器，等待 SPI_STS.TE 标志位置 1，然后等待 SPI_STS.BUSY 位清除，完成所有数据的发送。

数据发送可以在 SPI_STS.TE 标志位上升沿产生的中断处理程序里实现。

图 21-6 主机单向只发送模式下连续传输时, SPI_STS.TE/BUSY 变化示意图



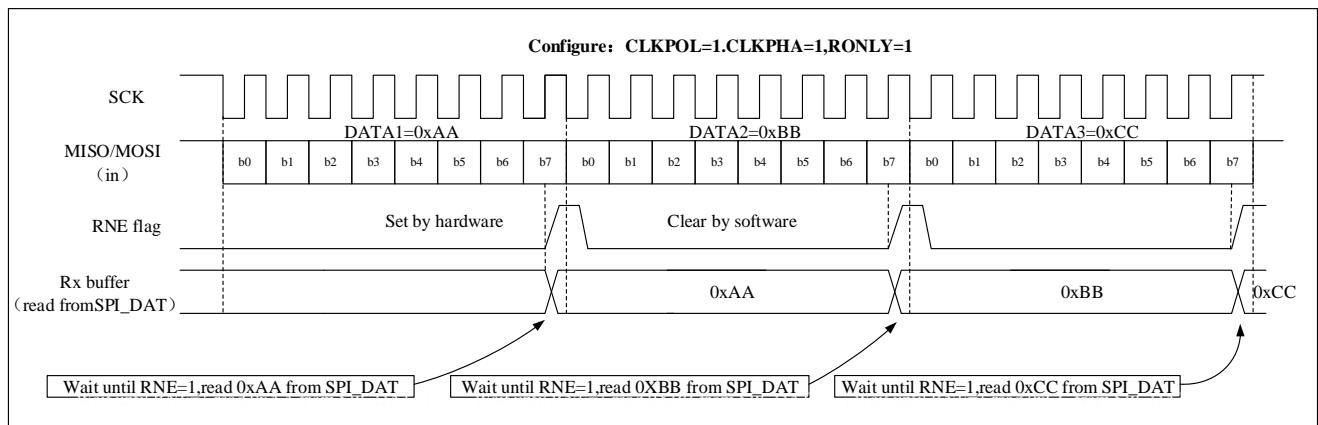
■ 主机双线单向仅接收模式 (`SPI_CTRL1.MSEL = 1`, `SPI_CTRL1.IDIRMODE = 0`, `SPI_CTRL1.RONLY = 1`)

当 `SPI_CTRL1.SPIEN = 1`, 开始接收过程。来自 MISO 引脚的数据位依次连续移位进入移位寄存器, 然后并行传送数据到 SPI_DAT 寄存器。软件操作流程如下 (图 21-7):

1. 设置 `SPI_CTRL1.RONLY = 1`, 使能仅接收模式;
2. 主机模式下, 设置 `SPI_CTRL1.SPIEN` 位为 1, 使能 SPI 模块, SCLK 信号会立即产生, 在 SPI 关闭前 (`SPI_CTRL1.SPIEN = 0`), 数据连续被接收。从机模式下, 当主设备驱动 NSS 信号低电平并且产生 SCLK, 数据持续被接收;
3. 等待 `SPI_STS.RNE` 位置 1, 读取 SPI_DAT 寄存器获得接收的数据, 当读取 SPI_DAT 寄存器, `SPI_STS.RNE` 位将会清除。重复这个操作接收所有数据。

数据处理可以在 `SPI_STS.RNE` 标志位产生的中断处理程序里实现。

图 21-7 只接收模式 (BIDIRMODE = 0 且 RONLY = 1) 下连续传输时, RNE 变化示意图



- 主机单线双向发送模式 (**SPI_CTRL1.MSEL = 1, SPI_CTRL1.BIDIRMODE = 1, SPI_CTRL1.BIDIROEN = 1, SPI_CTRL1.RONLY = 0**)

数据写进 SPI_DAT 寄存器后, 传输过程开始。这个模式不接收数据。发送第一个数据位的同时, 被发送的数据并行装载进移位寄存器, 然后根据 LSBFF 位的配置, SPI 按照 MSB 或 LSB 顺序将数据位串行移位到 MOSI 引脚。

主机单线双向发送的软件操作流程和仅发送模式的流程相同。

- 主机单线双向接收模式 (**SPI_CTRL1.MSEL = 1, SPI_CTRL1.BIDIRMODE = 1, SPI_CTRL1.BIDIROEN = 0, SPI_CTRL1.RONLY = 0**)

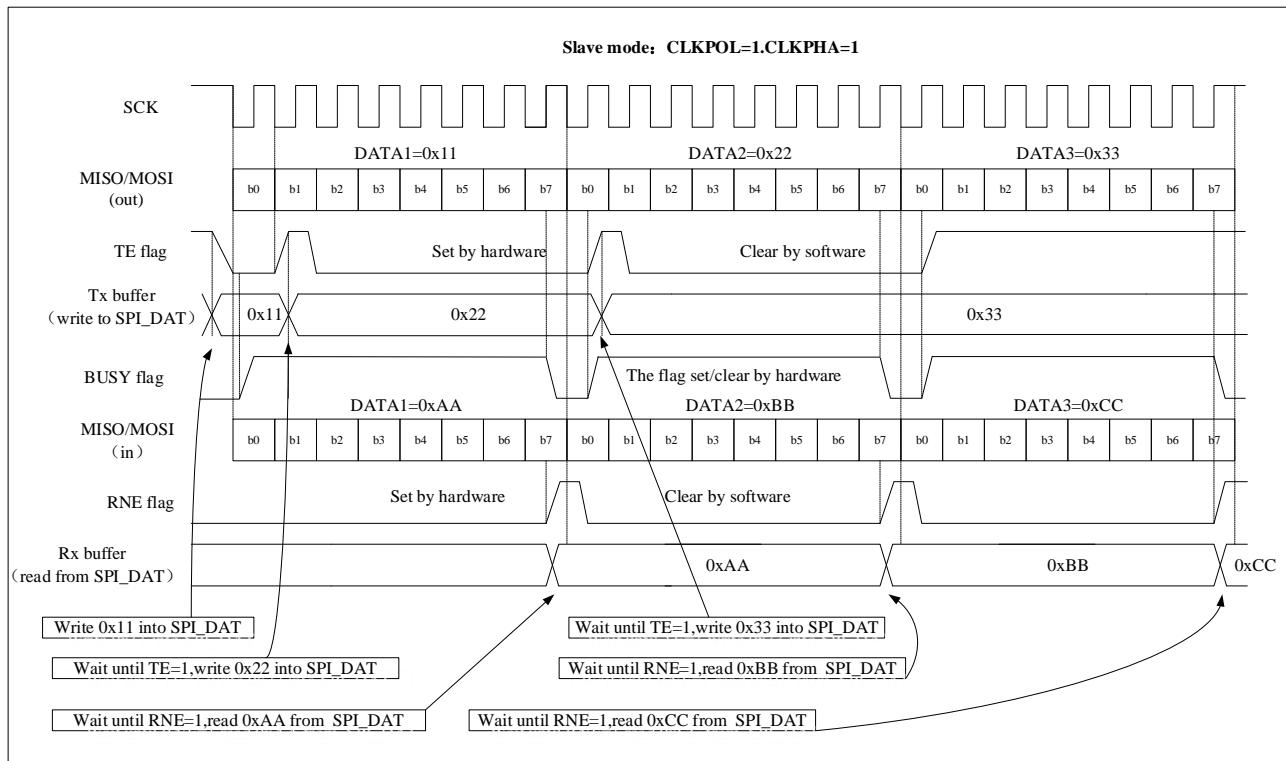
该模式下, 当 SPI 使能 (SPI_CTRL1.SPIEN = 1), 接收过程开始。该模式下, 没有数据输出, 接收到的数据位顺序且连续移位进入移位寄存器, 并行的传输进 SPI_DAT 寄存器 (接收缓存)。

主机单线双向接收模式的软件操作流程和仅接收模式一样。

- 从机全双工模式 (**SPI_CTRL1.MSEL = 0, SPI_CTRL1.BIDIRMODE = 0, SPI_CTRL1.RONLY = 0**)

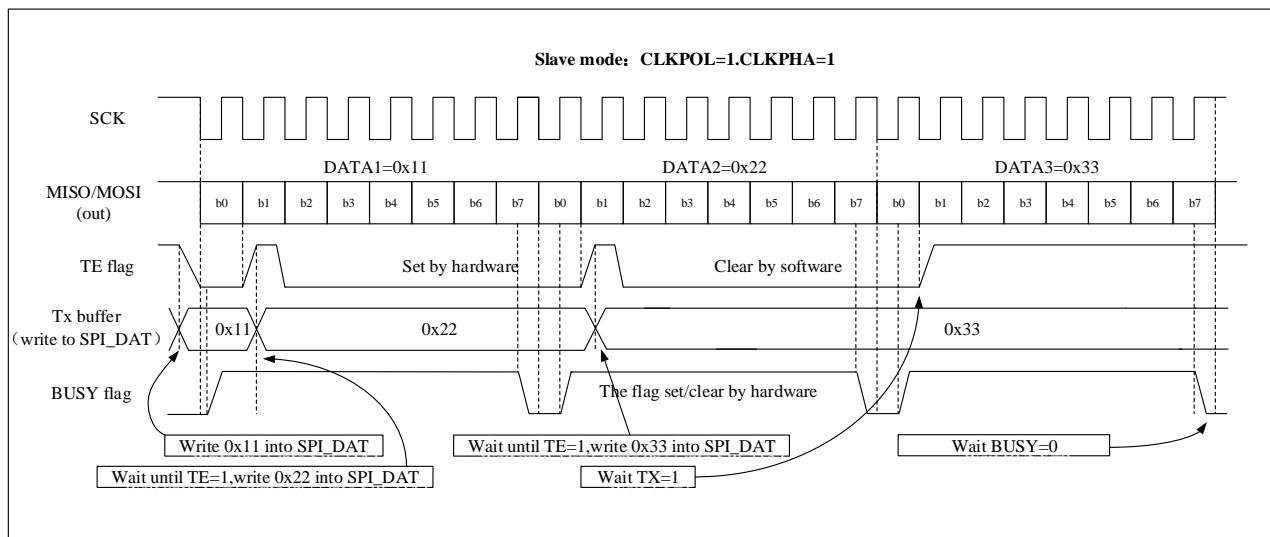
当从设备接收到第一个时钟沿, 数据传输过程开始。主设备开始数据传输之前, 软件必须确保待发送的数据写入 SPI_DAT 寄存器。

图 21-8 从机全双工模式下连续传输时, SPI_STS.TE/RNE/BUSY 的变化示意图



- 从机双线单向仅发送模式 (SPI_CTRL1.MSEL = 0, SPI_CTRL1.BIDIRMODE = 0, SPI_CTRL1.RONLY = 0)

图 21-9 从机单向只发送模式下连续传输时, SPI_STS.TE/BUSY 变化示意图



- 从机双线单向仅接收模式 (SPI_CTRL1.MSEL = 0, SPI_CTRL1.BIDIRMODE = 0, SPI_CTRL1.RONLY = 1)

当从设备接收到时钟信号和来自 MOSI 引脚的第一个数据位, 数据接收过程开始。接收到的数据位顺序且连续地串行移位到移位寄存器, 然后并行地装载到 SPI_DAT 寄存器 (接收缓存)。

- 从机单线双向发送模式 (SPI_CTRL1.MSEL = 0, SPI_CTRL1.BIDIRMODE = 1, SPI_CTRL1.BIDIROEN = 1)

当从设备接收到第一个时钟沿，数据发送过程开始。该模式没有数据接收，SPI 主机开始数据传输前，软件必须确保待发送数据已经被写进 SPI_DAT 寄存器。

■ 从机单线双向接收模式（**SPI_CTRL1.MSEL = 0, SPI_CTRL1.BIDIRMODE = 1, SPI_CTRL1.BIDIROEN = 0**）

当从设备接收到第一个时钟沿和来自 MOSI 引脚的数据位时，数据接收开始。该模式没有数据输出，接收到的数据位顺序且连续地串行移位到移位寄存器，然后并行地装载到 SPI_DAT 寄存器（接收缓存）。

注意：从机的软件操作流程参考主机的。

SPI 初始话流程

1. 通过设置 SPI_CTRL1.BR[2:0]位配置数据传输的波特率；
2. 选择时钟极性（SPI_CTRL1.CLKPOL）和时钟相位（SPI_CTRL1.CLKPHA），定义数据传输和时钟的相位关系；
3. 设置 SPI_CTRL1.DATFF 位定义帧格式为 8bit 还是 16bit；
4. 配置 SPI_CTRL1.LSBFF 定义数据位发送的顺序是 LSB 还是 MSB；
5. 配置 NSS 模式；
6. 配置 SPI_CTRL1.MSEL、SPI_CTRL1.BIDIRMODE、SPI_CTRL1.BIDIROEN 和 SPI_CTRL1.RONLY 位；
7. 设置 SPI_CTRL1.SPIEN 位使能 SPI 模块。

SPI 协议基本的发送和接收处理

当 SPI 发送 1 个数据帧，首先，数据帧从数据缓存装载进移位寄存器，然后装载的数据被发送。当来自发送缓存的数据传输进移位寄存器，发送缓存为空，SPI_STS.TE 标志位置 1，然后下一个数据可装载进入发送缓存。如果 SPI_CTRL2.TEINTEN 位置 1，中断将会产生。写 SPI_DAT 寄存器可以对 SPI_STS.TE 标志位清 0。

采样时钟的最后一个边沿，当数据从移位寄存器传输进接收缓存，SPI_STS.RNE 标志位置 1，数据准备就绪，可以从 SPI_DAT 寄存器读取。如果 SPI_CTRL2.RNEINTEN 标志位置 1，中断将会产生。读 SPI_DAT 寄存器可以对 SPI_STS.RNE 标志位清 0。

主模式下，当数据写进发送缓存，发送过程开始。当前数据帧发送完成前，如果下个数据写进 SPI_DAT 寄存器，连续发送可以实现。

从机模式下，NSS 引脚为低，当第一个时钟沿到来，发送过程开始。为了避免意外的数据传输，数据发送前（主机发送时钟前，建议先使能 SPI 模块）软件必须写数据到发送缓存。

在有些配置里，当发送最后数据时，SPI_STS.BUSY 标志位可以用于等待数据发送结束。

连续和非连续传输

当主模式下发送数据，如果软件足够快，检测到每个 TE 上升沿（或 TE 中断），且正进行的传输结束前，立即将数据写入 SPI_DAT 寄存器，此时，每个数据项之间的 SPI 时钟保持连续，SPI_STS.BUSY 标志位将不会被清除，连续通讯可以实现。

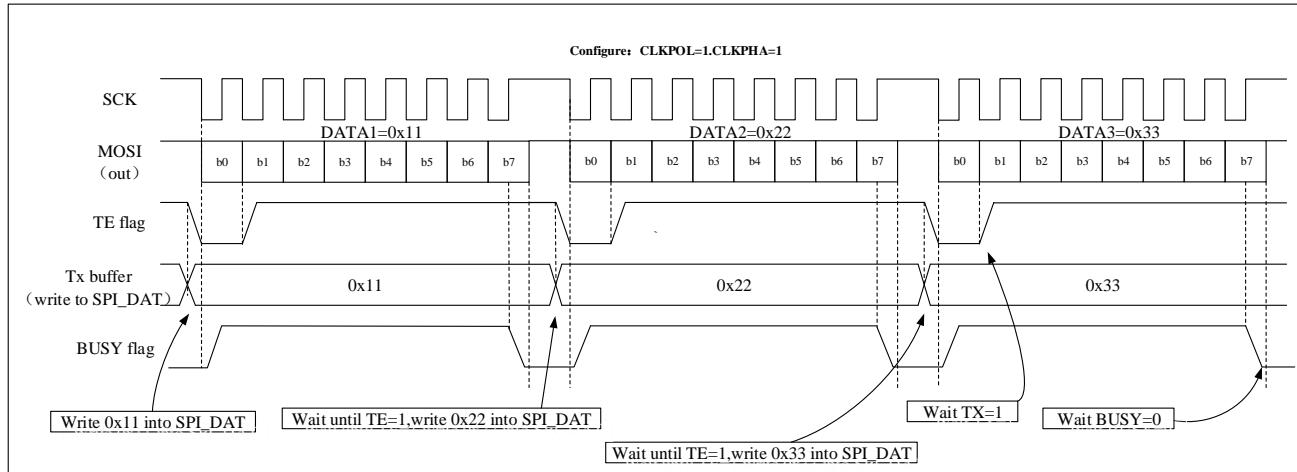
如果软件不够快，将导致不连续的通讯，此时，每个数据传输之间 SPI_STS.BUSY 标志位会被清除（图 21-10）。

主机仅接收模式下（SPI_CTRL1.RONLY = 1），通讯总是连续的，并且 BUSY 标志位总是为高。

从模式下，通讯的连续性由主设备决定，任何情况下，即使通讯是连续的，每个数据项之间，BUSY 标志位

将至少有 1 个 SPI 时钟周期为低（图 21-9）

图 21-10 BIDIRMODE = 0, RONLY = 0 非连续传输发送时, SPI_STS.TE/BUSY 变化示意图



21.3.3 状态标志

SPI_STS 寄存器有 3 个标志位监控 SPI 的状态。

发送缓存空标志位 (TE)

当发送缓存空, TE 标志位置 1, 意味着可以将新数据写进 SPI_DAT 寄存器。当发送缓存非空, 该标志位将被硬件清 0。

接收缓存非空标志位 (RNE)

当接收缓存非空, RNE 标志位置 1, 因此用户知道接收缓存有数据。读取 SPI_DAT 寄存器后, 该标志位将被硬件清 0。

忙标志位 (BUSY)

当传输开始, BUSY 标志位置 1, 传输结束后 BUSY 标志位被硬件清 0。

仅当设备在主机单线双向接收模式, 当通讯进行中, BUSY 标志位将会设置为 0。

下面情况, BUSY 标志位将会清 0:

- 传输结束 (主机模式下连续通讯除外)
- 关闭 SPI 模块 (SPI_CTRL1.SPIEN = 0)
- 主机模式错误发生 (SPI_STS.MODERR = 1)

当通讯是不连续的: 每个数据项传输之间, BUSY 标志位清 0。

当通讯是连续的: 在主机模式, 整个传输过程, BUSY 标志位保持为高。在从机模式, 每个数据项传输之间 BUSY 标志位会有 1 个 SPI 时钟周期为低。因此不要使用 BUSY 标志位处理每个数据项的发送和接收。

21.3.4 关闭 SPI

为了关闭 SPI 模块, 不同的操作模式需要采用不同的操作步骤:

在主机或从机全双工模式

1. 等待 SPI_STS.RNE 标志位置 1，并且接收到最后一个字节；
2. 等待 SPI_STS.TE 标志位置 1；
3. 等待 SPI_STS.BUSY 标志位清 0；
4. 关闭 SPI 模块 (SPI_CTRL1.SPIEN = 0)。

在主机或从机单向发送模式或双向只发送模式

1. 向 SPI_DAT 寄存器写完最后一个字节后，等待 SPI_STS.TE 标志位置 1；
2. 等待 SPI_STS.BUSY 标志位清 0；
3. 关闭 SPI 模块 (SPI_CTRL1.SPIEN = 0)。

在主机单向只接收模式或主机双向只接收模式

1. 等待倒数第二个 SPI_STS.RNE 置 1；
2. 关闭 SPI 模块前 (SPI_CTRL1.SPIEN=0)，等待 1 个 SPI 时钟周期 (使用软件延时)；
3. 进入关机模式前 (或关闭 SPI 模块时钟)，等待最后一个 SPI_STS.RNE 置 1。

从机单向只接收模式或双向接收模式

1. 可以在任意时间关闭 SPI 模块 (SPI_CTRL1.SPIEN = 0)，并且当前传输结束后，SPI 模块将被关闭；
2. 如果想进入关机模式，进入关机模式之前 (或关闭 SPI 模块时钟)，必须等待 SPI_STS.BUSY 标志位为 0。

21.3.5 使用 DMA 进行 SPI 通讯

用户可以选择 DMA 进行 SPI 数据传输，应用程序可以得到释放，系统效率可以大大提升。

当发送缓存 DMA 使能 (SPI_CTRL2.TDMAEN 位置 1)，每次 SPI_STS.TE 标志位置 1，会产生 DMA 请求，DMA 自动将数据写入 SPI_DAT 寄存器，这将会清除 TE 标志位。当接收缓存 DMA 使能 (SPI_CTRL2.RDMAEN 位置 1)，每次 SPI_STS.RNE 标志位置 1，会产生 DMA 请求，DMA 自动读取 SPI_DAT 寄存器，这将会清除 SPI_STS.RNE 标志位。

当 SPI 仅用于数据发送，仅需要使能 SPI 的发送 DMA 通道 (SPI_CTRL2.TDMAEN 位置 1)。

当 SPI 仅用于数据接收，仅需要使能 SPI 的接收 DMA 通道 (SPI_CTRL2.RDMAEN 位置 1)。

在发送模式，DMA 已经发送完所有待发送的数据后 (DMA_INTSTS.TXCF 标志位变为 1)，SPI_STS.BUSY 标志位可以被监视确认 SPI 通讯结束，这样可以避免当 SPI 关闭或进入停机模式，破坏最后数据的发送。因此，软件需要等待 SPI_STS.TE 标志位置 1，并且等待 SPI_STS.BUSY 标志位为 0。

图 21-11 使用 DMA 发送

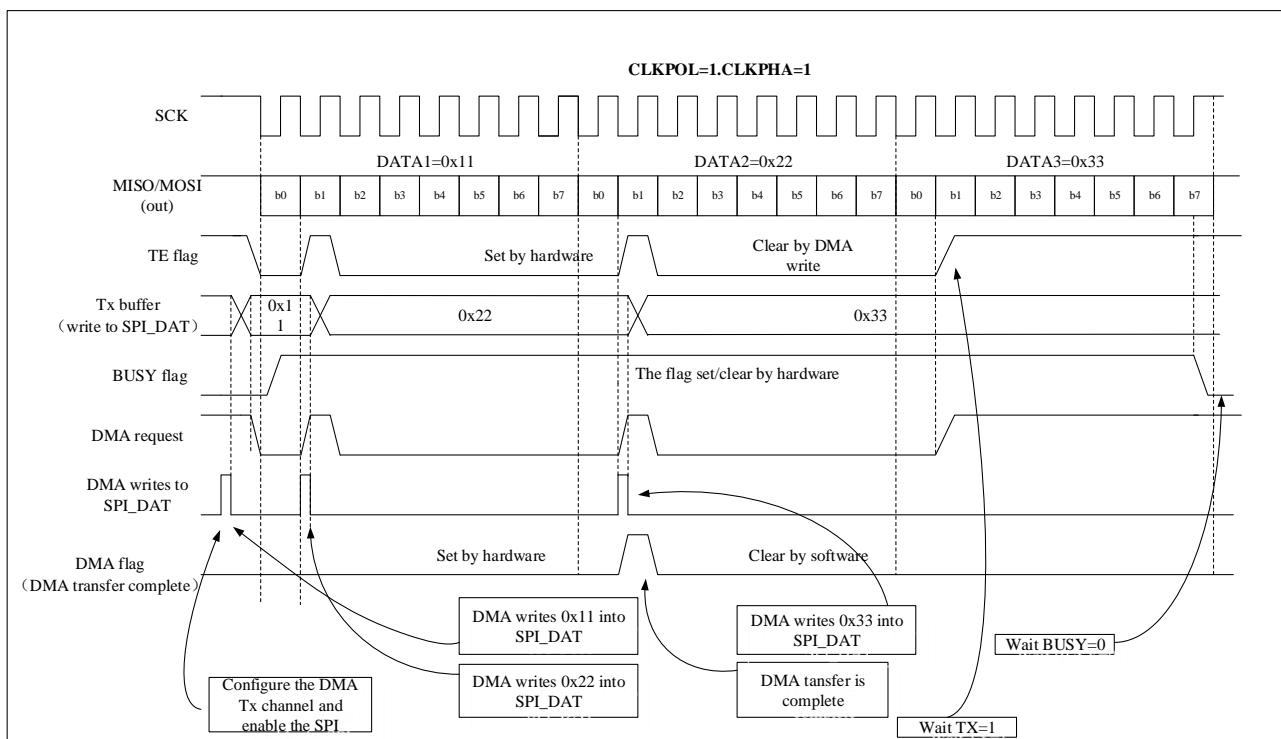
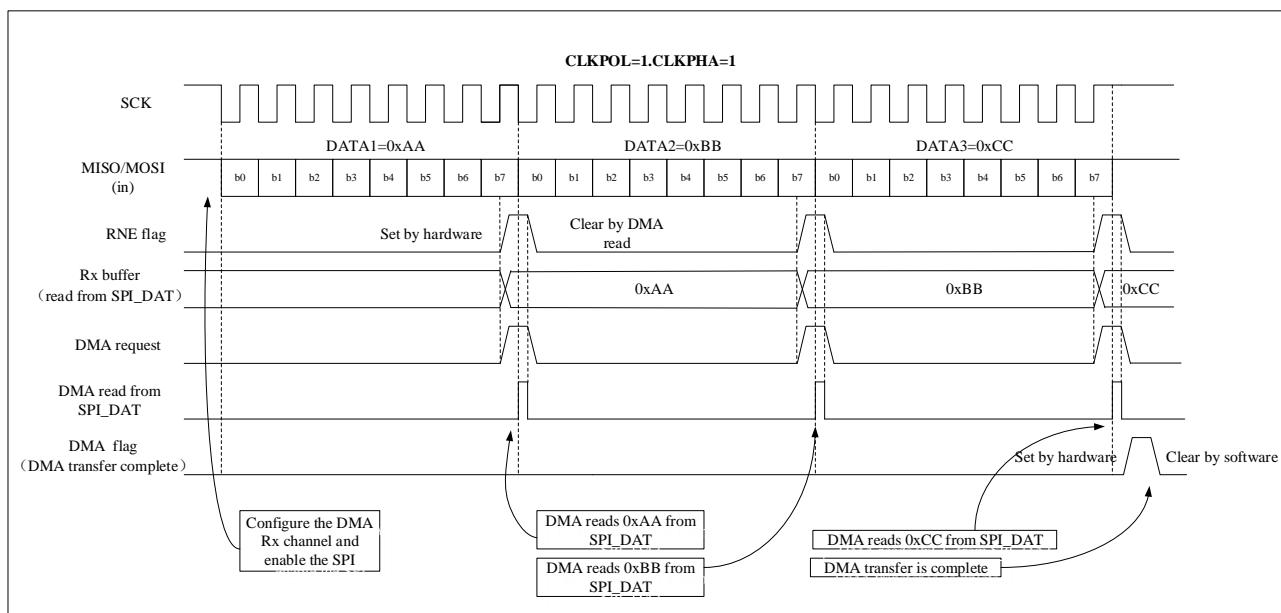


图 21-12 使用 DMA 接收



21.3.6 CRC 计算

SPI 包含两个独立的 CRC 计算器，用于数据发送和数据接收，以确保数据传输的正确性。根据发送和接收数据帧格式，CRC 采用不同的计算方法，8 位数据帧格式采用 CRC8，16 位数据帧格式采用 CRC16。SPI CRC 计算使用的多项式由 SPI_CRCPOLY 寄存器设置，用户设置 SPI_CTRL1.CRCEN 位使能 CRC 计算。

在发送模式，最后的数据写进发送缓存后，设置 SPI_CTRL1.CRCNEXT 位为 1，这指示发送完数据后硬件

将开始发送 CRC 值 (SPI_CRCTDAT 值)。发送 CRC 时，CRC 计算将停止。

在接收模式，倒数第二个数据帧接收到后，设置 SPI_CTRL1.CRCNEXT 位为 1。接收到的 CRC 和 SPI_CRCRDAT 值进行比较，如果他们不同，SPI_STS.CRCERR 位置 1，当 SPI_CTRL2.ERRINTEN 位置 1，中断产生。

为了保持主设备-从设备下次的 CRC 计算结果的同步，用户应清除主设备-从设备的 CRC 值。SPI_CTRL1.CRCEN 位置 1 会复位 SPI_CRCRDAT 寄存器和 SPI_CRCTDAT 寄存器。按顺序采用下面步骤：SPI_CTRL1.SPIEN = 0; SPI_CTRL1.CRCEN = 0; SPI_CTRL1.CRCEN = 1; SPI_CTRL1.SPIEN = 1。

最重要的是，当 SPI 配置为从模式且 CRC 使能，只要 SCLK 引脚有时钟脉冲，即使 NSS 引脚为高，CRC 计算将仍然被执行。这种情况常见于当主设备和多个从设备交替通讯时，因此这需要避免 CRC 误操作。

当 SPI 硬件 CRC 检查使能 (SPI_CTRL1.CRCEN = 1) 且 DMA 使能，通讯结束时硬件自动完成 CRC 字节发送和接收。

21.3.7 错误标志位

主模式失效位 (MODERR)

以下两种情况将会导致主机失效错误：

- NSS 引脚硬件管理模式，主设备 NSS 引脚被驱动低电平；
- NSS 引脚软件管理模式，SSEL 位被设置为 0。

当主模式失效错误发生，SPI_STS.MODERR 标志位置 1。如果用户允许相应的中断，则产生中断。SPI_CTRL1.SPIEN 位和 SPI_CTRL1.MSEL 将写保护，且硬件清除。SPI 关闭且强制进入从模式。

软件执行 SPI_STS 寄存器读或写操作，然后写 SPI_CTRL1 寄存器可以清除 SPI_STS.MODERR 位（在多主配置下，主机的 NSS 引脚必须先拉高）。

通常，从机的 SPI_STS.MODERR 位不能设置为 1。然而，在多主配置下，从设备的 SPI_STS.MODERR 位可能置位。这种情况下，SPI_STS.MODERR 位指示存在多主冲突。中断程序可以执行复位或返回默认状态从错误状态恢复。

上溢错误 (OVER)

当 SPI_STS.RNE 位置 1，但是仍然有数据发送进入接收缓存，上溢错误将发生，此时，上溢标志 SPI_STS.OVER 置 1。如果用户使能相应的中断，则产生中断。所有接收到的数据丢失，且 SPI_DAT 寄存器仅保留之前未读的数据。

依次读 SPI_DAT 寄存器和 SPI_STS 寄存器可以清除 SPI_STS.OVER 位。

CRC 错误 (CRCERR)

CRC 错误标志用于检查接收数据的有效性。当接收到的 CRC 值和 SPI_CRCRDAT 值不匹配，CRC 错误发生。

21.3.8 SPI 中断

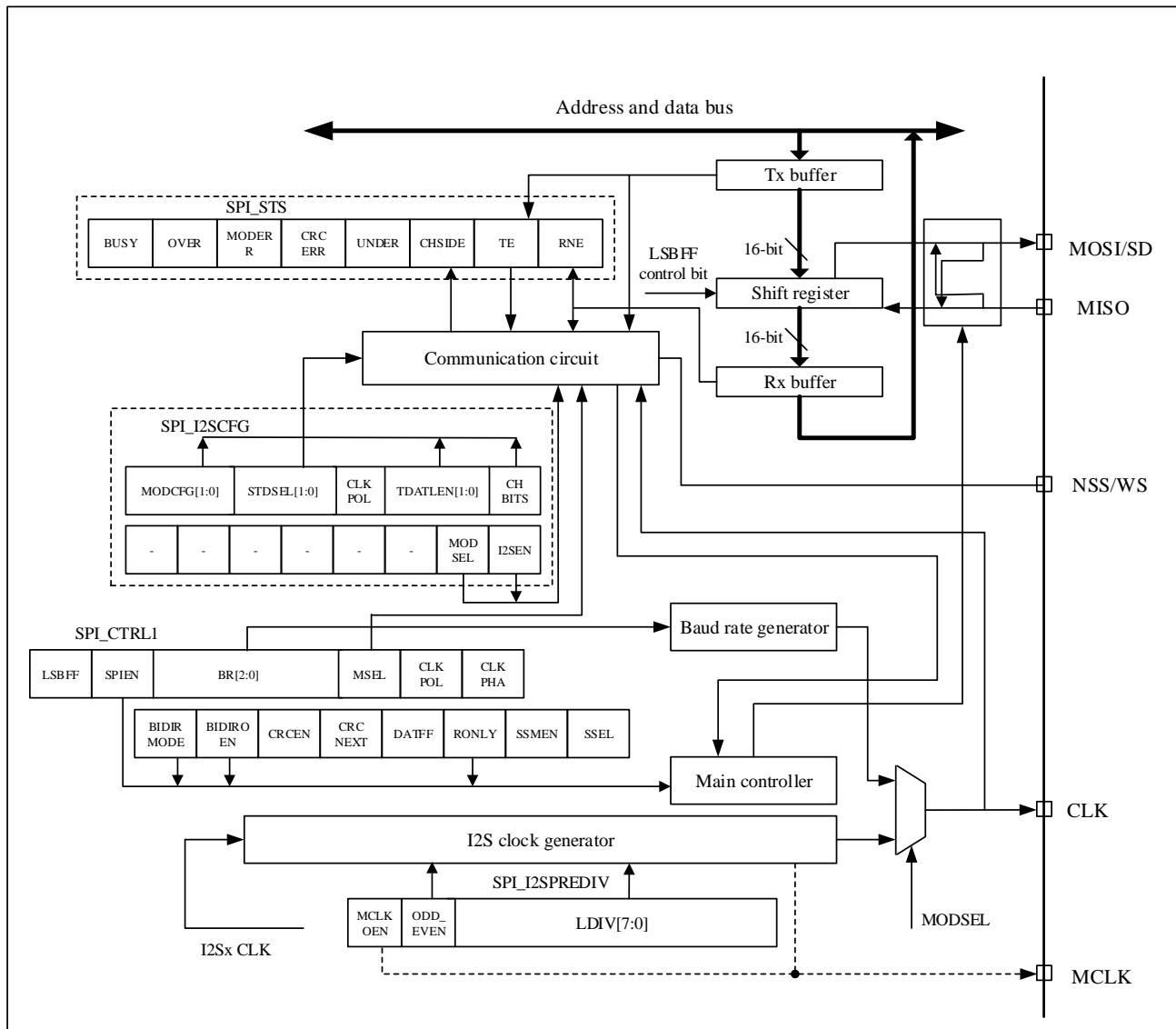
表 21-1 SPI 中断请求

中断事件	事件标志位	使能控制位
发送缓存空标志	TE	TEINTEN
接收缓存非空标志	RNE	RNEINTEN
主模式失效事件	MODERR	ERRINTEN
上溢错误	OVER	
CRC 错误标志	CRCERR	

21.4 I²S 功能描述

I²S 的框图如下图显示：

图 21-13 I²S 框图



I²S 接口使用和 SPI 接口相同的引脚、标志和中断。SPI_I2SCFG.MODSEL 位置 1 选择 I²S 音频接口。

I²S 总共有 4 个引脚，其中 3 个引脚与 SPI 共享：

- **CLK:** 串行时钟（和 SCLK 引脚共享），每次 1 位音频数据发送，CLK 产生一个脉冲。
- **SD:** 串行数据（和 MOSI 引脚共享），用于数据发送和接收；
- **WS:** 通道选择（和 NSS 引脚共享），主模式下用作数据控制信号输出，从模式下用作输入；
- **MCLK:** 主机时钟（独立映射，可选），输出 $256 \times F_s$ 时钟信号，保证系统间更好的同步。

注意： F_s 是音频信号的采样频率

在主模式下，I²S 使用自己的时钟发生器产生时钟信号用于通讯，这个时钟发生器也是主时钟输出的时钟源

(SPI_I2SPREDIV.MCLKOEN 位置 1，主时钟输出使能)。

21.4.1 支持的音频协议

通过设置 SPI_I2SCFG.STDSEL[1:0]位，可以选择 4 种音频标准

- I²S 飞利浦标准
- MSB 对齐标准
- LSB 对齐标准
- PCM 标准

左声道和右声道的音频数据通常是时分复用的，左声道总是先于右声道发送数据。通过检查 SPI_STS.CHSIDE 位，用户可以区分接收到的数据属于哪个声道。然而，PCM 音频标准里，SPI_STS.CHSIDE 位是没有意义的。

通过设置 SPI_I2SCFG.TDATLEN 位，用户可以设置待传输的数据长度，通过设置 SPI_I2SCFG.CHBITS 位，设置通道的数据位宽。下面有 4 种数据格式发送数据：

- 16 位数据打包成 16 位的数据帧
- 16 位数据打包成 32 位的数据帧（前面的 16 位是有意义的数据，后面的 16 位数据被硬件设置为 0）
- 24 位数据打包成 32 位数据帧（前面的 24 位数据是有意义的数据，后面 8 位数据被硬件设置为 0）
- 32 位的数据打包成 32 位数据帧

I²S 使用和 SPI 相同的 SPI_DAT 寄存器发送和接收 16 位宽的数据。如果 I²S 需要发送或接收 24 位或 32 位宽数据，CPU 需读或写 SPI_DAT 寄存器 2 次。另一方面，当 I²S 发送或接收 16 位宽数据，CPU 仅需读或写 SPI_DAT 寄存器一次。

不管采用哪个数据格式和通讯标准，I²S 总是先发送数据高位（MSB）。

I²S 飞利浦标准

采用 I²S 飞利浦标准，发送数据的设备在时钟下降沿改变数据，接收数据的设备在时钟上升沿采样数据。WS 信号在第一个数据位（MSB）发送前一个时钟应有效，时钟信号下降沿将变化。

图 21-14 I²S 飞利浦协议波形 (16/32 位全精度, CLKPOL = 0)

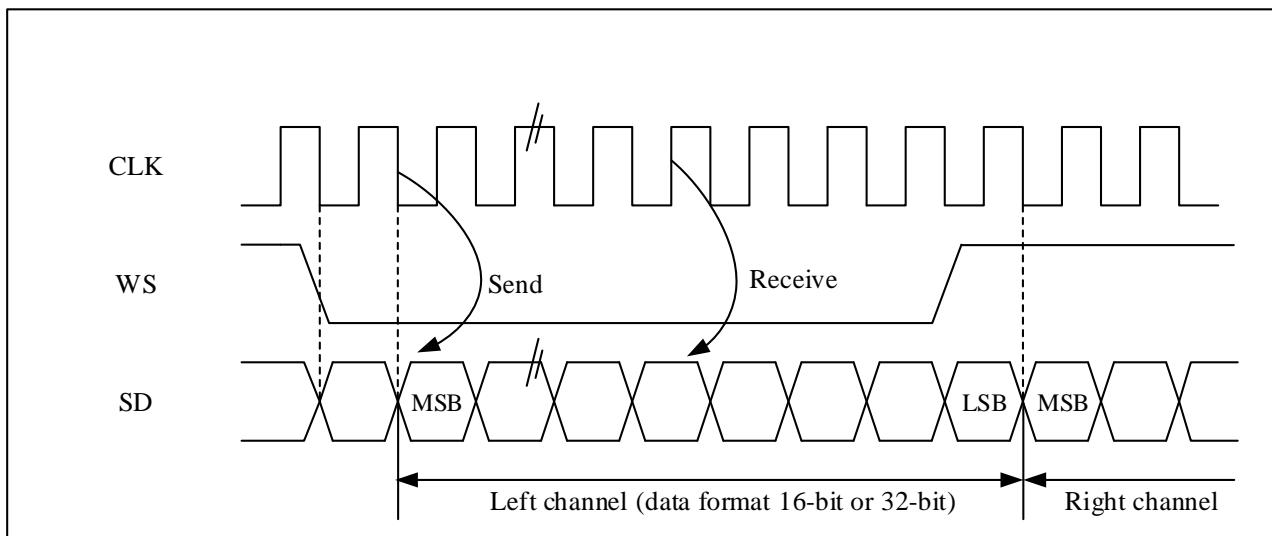
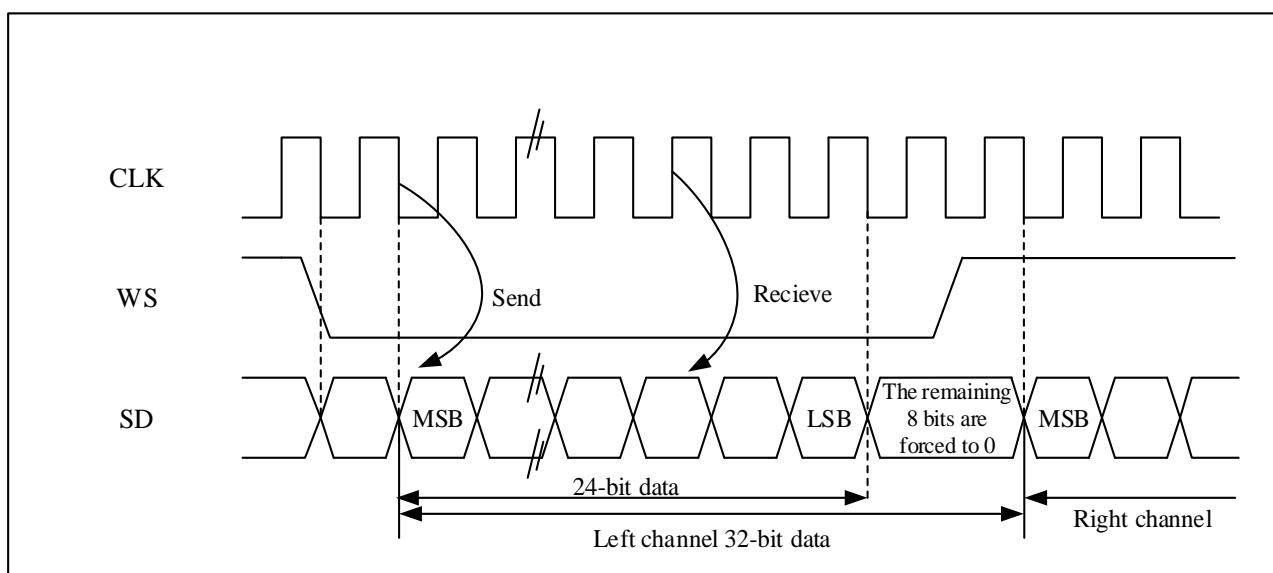
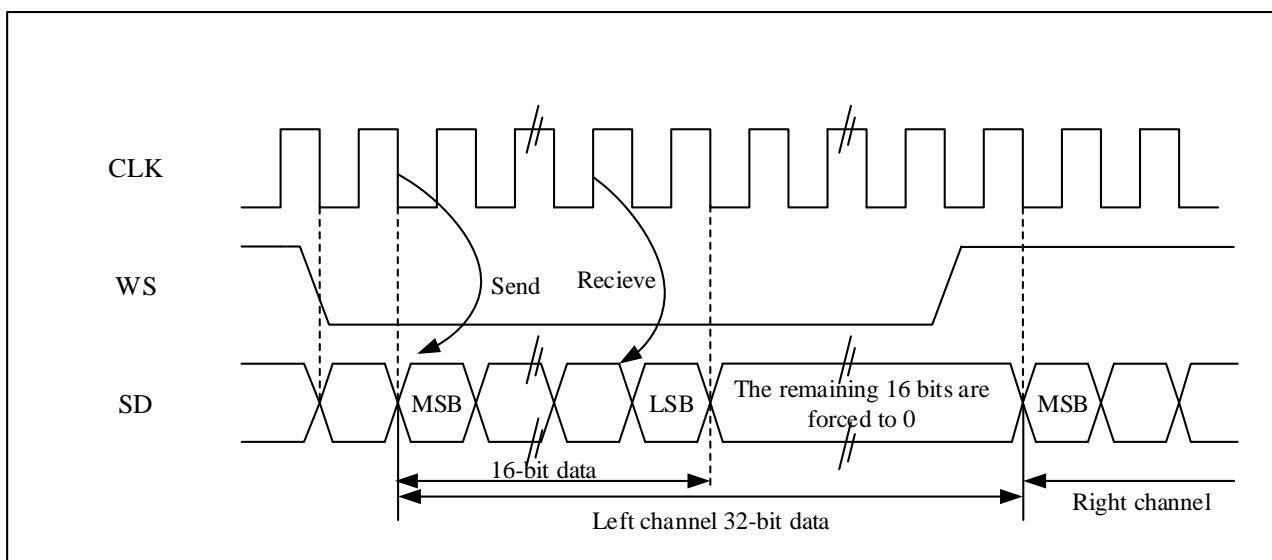


图 21-15 I²S 飞利浦协议标准波形 (24 位帧, CLKPOL = 0)



如果 24 位数据需要打包成 32 位数据帧格式，每帧数据传输时，CPU 需要读或写 SPI_DAT 寄存器 2 次。例如，如果用户发送 24 位数据 0x95AA66，CPU 将首先写 0x95AA 进 SPI_DAT 寄存器，然后再写 0x66XX 进 SPI_DAT 寄存器（仅高 8 位数据有效，低 8 位数据是无意义的，可以是任何值）；如果用户接收 24 位数据 0x95AA66，CPU 将首先读 SPI_DAT 寄存器得到 0x95AA，然后再读 SPI_DAT 寄存器得到 0x6600（仅高 8 位数据有效，低 8 位数据总是 0）。

图 21-16 I²S 飞利浦协议标准波形（16 位扩展至 32 位包帧，CLKPOL = 0）



如果 16 位数据需要打包进 32 位数据帧格式，每帧数据传输时，CPU 仅需要读或写 SPI_DAT 寄存器一次。用于扩展到 32 位的低 16 位数据总是设置为 0x0000。例如，如果用户发送或接收 16 位的数据 0x89C1（扩展到 32 位数据是 0x89C10000）。数据发送过程中，高 16 位半字（0x89C1）需要写进 SPI_DAT 寄存器；直到 SPI_STS.TE 位置 1，用户可以写入新的数据。如果用户使能相应的中断，则中断产生。发送由硬件执行，即使最后 16 位（0x0000）没有发送，硬件将设置 SPI_STS.TE 位为 1，且产生相应的中断。接收数据过程，每次设备收到高 16 位半字（0x89C1）后，SPI_STS.RNE 标志位将置 1。如果用户使能相应的中断，则中断产生。这样，在 2 次读和写之间 CPU 有更多时间，且可以防止上溢或下溢的情况发生。

MSB 对齐标准

在 MSB 对齐标准里，发送数据的设备将在时钟下降沿改变数据，接收数据的设备在时钟上升沿采样数据。WS 信号和第一个数据位（MSB）同时产生。

这个标准里，数据发送和接收处理和 I²S 飞利浦标准一样。

图 21-17 MSB 对齐 16 位或 32 位全精度，CLKPOL = 0

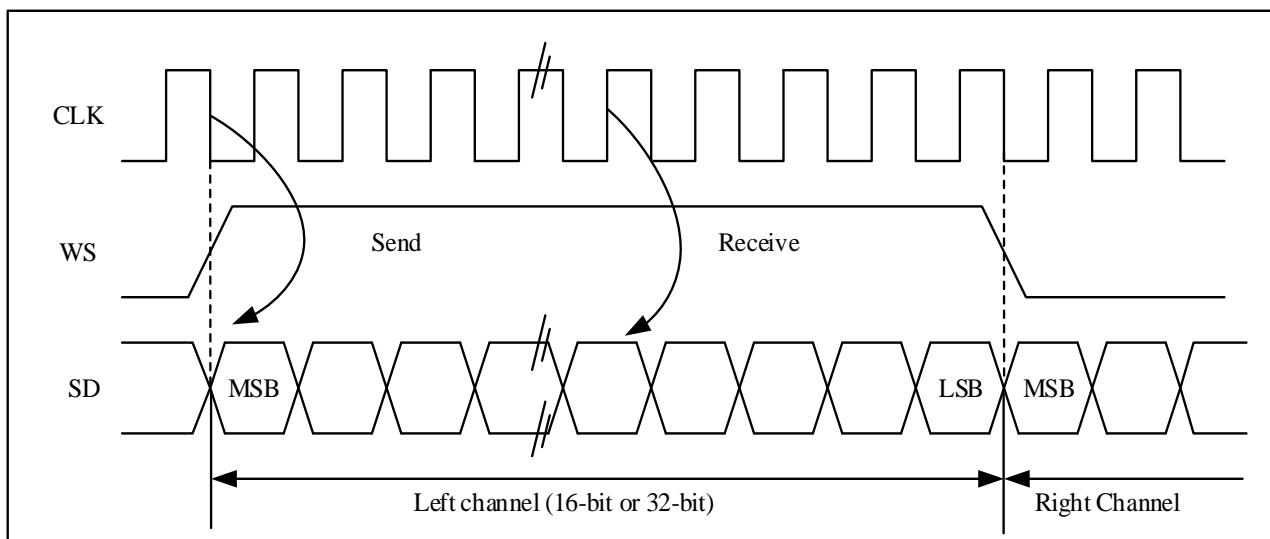


图 21-18 MSB 对齐 24 位数据, CLKPOL = 0

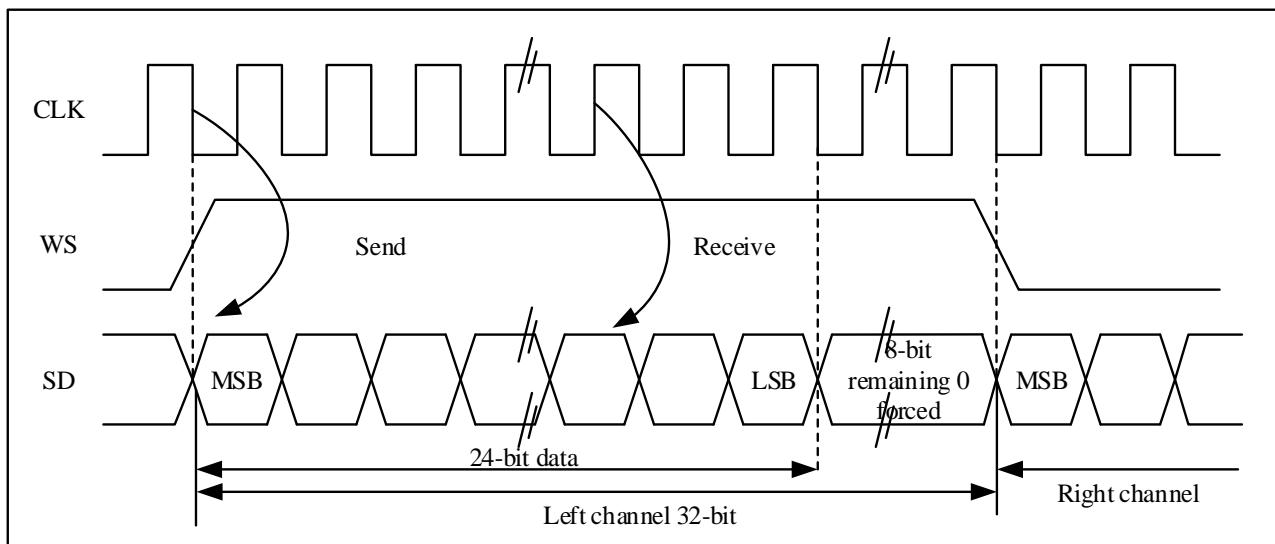
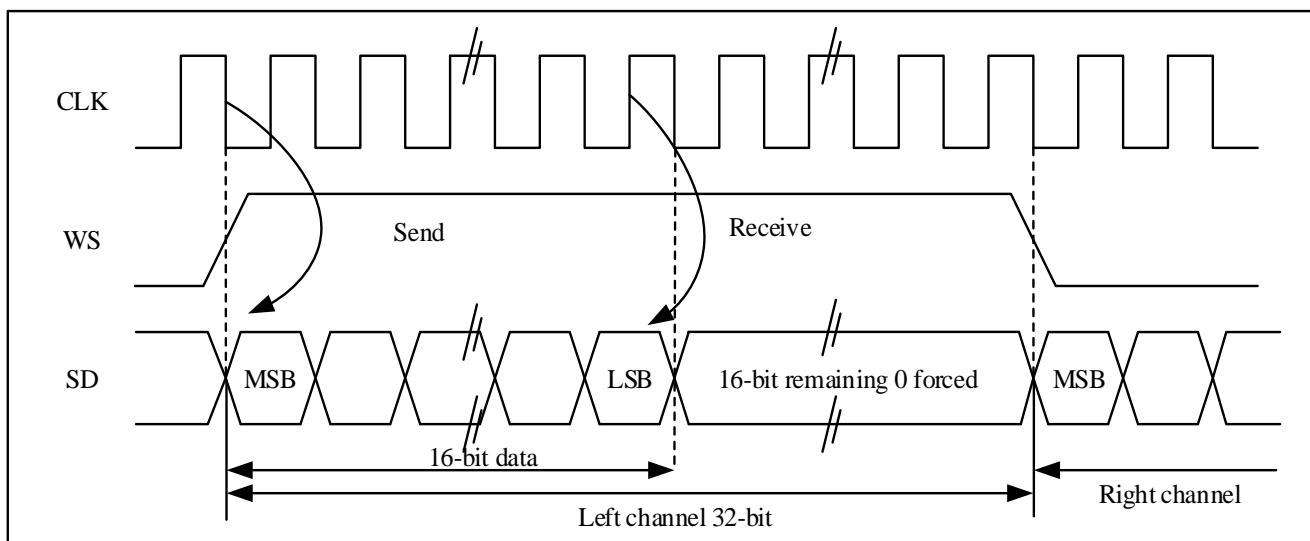


图 21-19 MSB 对齐 16 位数据扩展到 32 位包帧, CLKPOL = 0



LSB 对齐标准

16 位或 32 位全精度帧格式, LSB 对齐标准和 MSB 对齐标准是一样的。

图 21-20 LSB 对齐 16 位或 32 位全精度, CLKPOL = 0

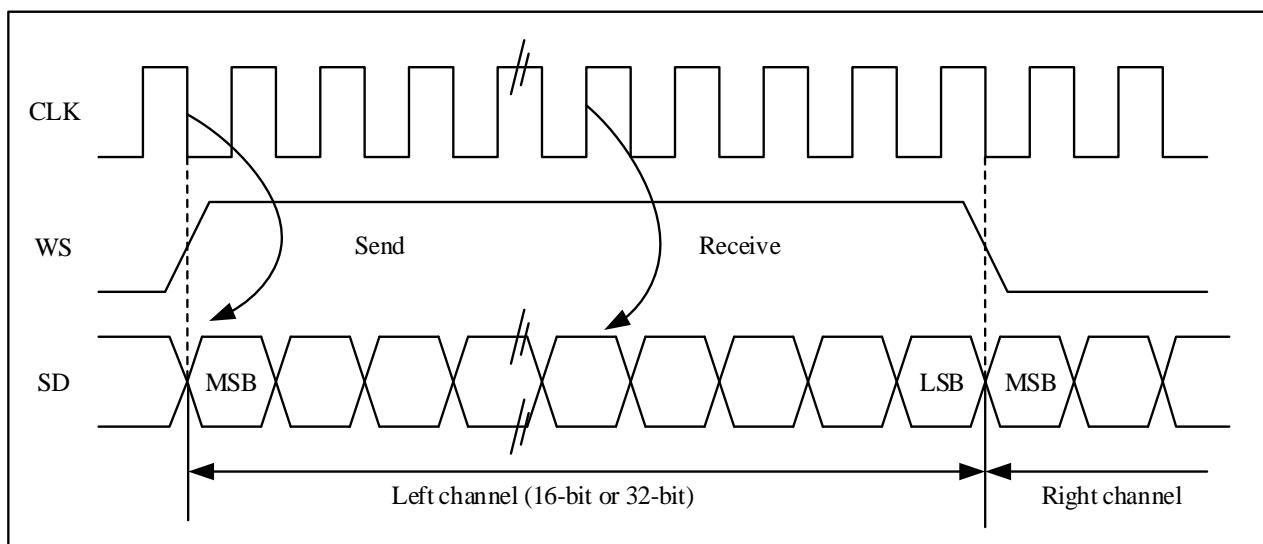
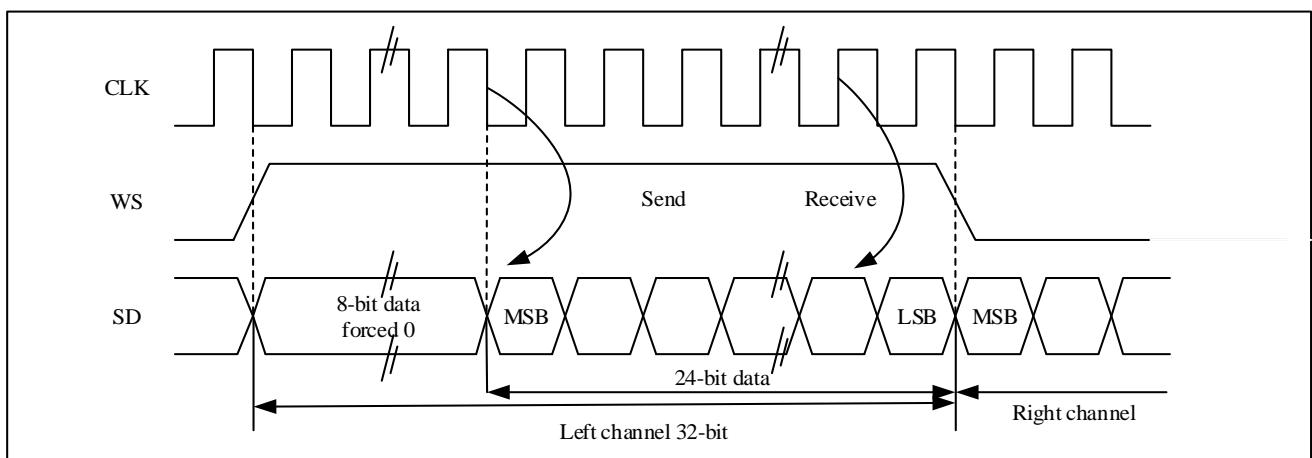
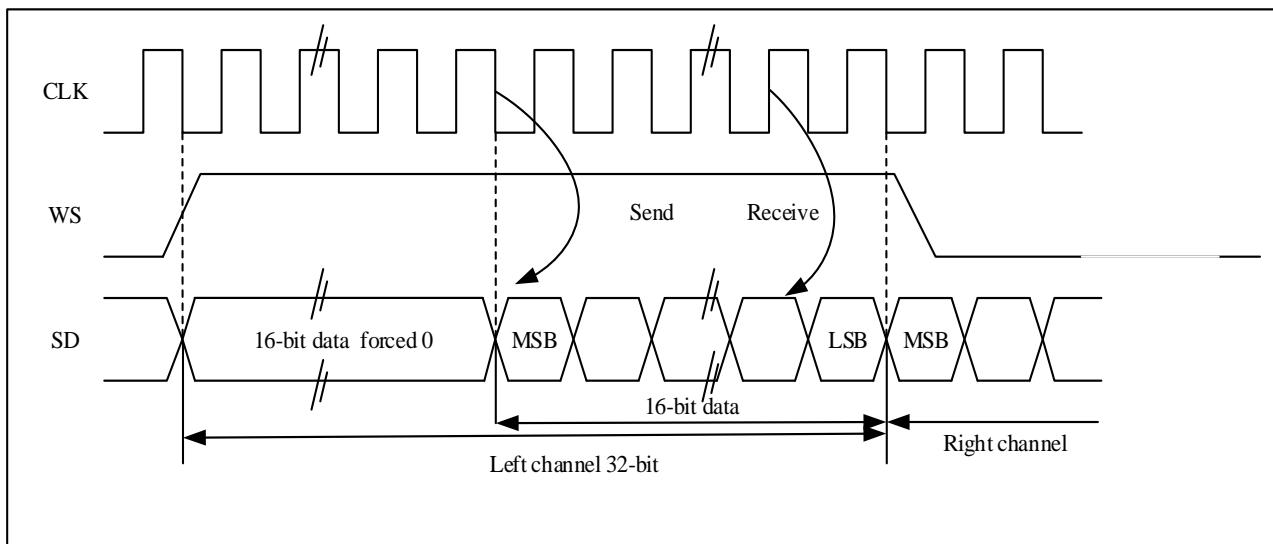


图 21-21 LSB 对齐 24 位数据, CLKPOL = 0



如果 24 位数据需要打包成 32 位数据帧格式, 每帧数据传输时, CPU 需要读或写 SPI_DAT 寄存器 2 次。例如, 用户发送 24 位数据 0x95AA66, CPU 将先写 0xXX95 (仅低 8 位数据有效, 高 8 位数据没有意义, 可以是任何值) 进 SPI_DAT 寄存器, 然后再写 0xAA66 进 SPI_DAT 寄存器。如果用户接收 24 位数据 0x95AA66, CPU 将先读 SPI_DAT 寄存器得到 0x0095 (仅低 8 位数据有效, 高 8 位总是为 0), 然后再读 SPI_DAT 寄存器得到 0xAA66。

图 21-22 LSB 对齐 16 位数据扩展到 32 位包帧，CLKPOL = 0



如果 16 位数据需要打包进 32 位数据帧格式，每帧数据传输时，CPU 仅需要读或写 SPI_DAT 寄存器一次。扩展到 32 位数据的高 16 位被硬件设置为 0x0000，如果用户发送或接收 16 位数据 0x89C1（扩展到 32 位数是 0x000089C1）。发送过程中，高 16 位半字（0x0000）需要先写到 SPI_DAT 寄存器；一旦有效数据开始发送，下一个 TE 事件将产生。接收数据过程中，一旦设备接收到有效数据，RNE 事件将发生。这样，在 2 次读和写之间 CPU 将有更多时间，可以防止上溢或下溢的情况发生。

PCM 标准

在 PCM 标准里，有短帧和长帧两种帧结构。用户可以设置 SPI_I2SCFG.PCMFSYNC 位选择帧结构。WS 信号指示帧同步信息。

用于同步长帧的 WS 信号是 13 位有效的；用于同步短帧的 WS 信号长度是 1 位。

数据接收和发送的处理标准和 I²S 飞利浦标准是一样的。

图 21-23 PCM 标准波形 (16 位)

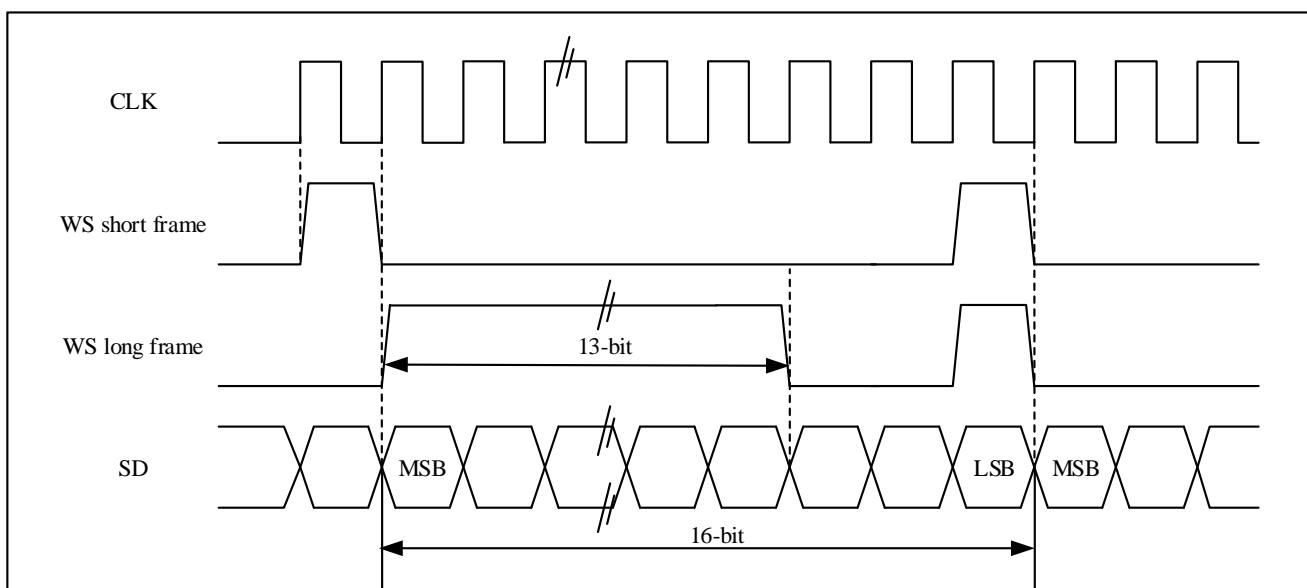
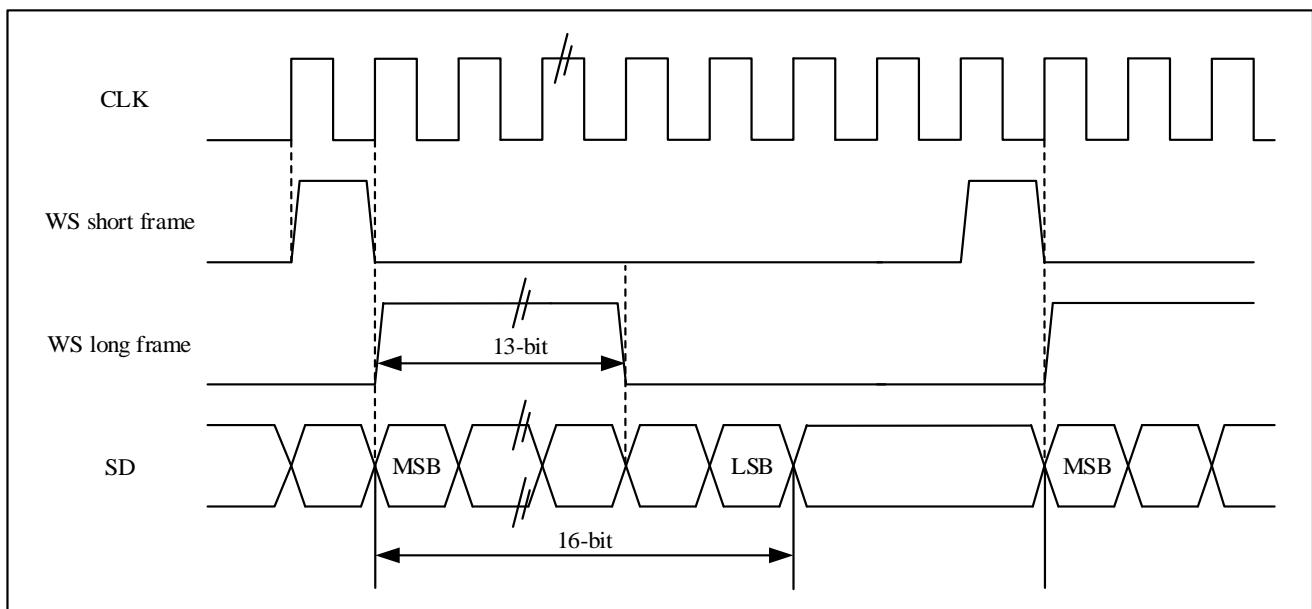


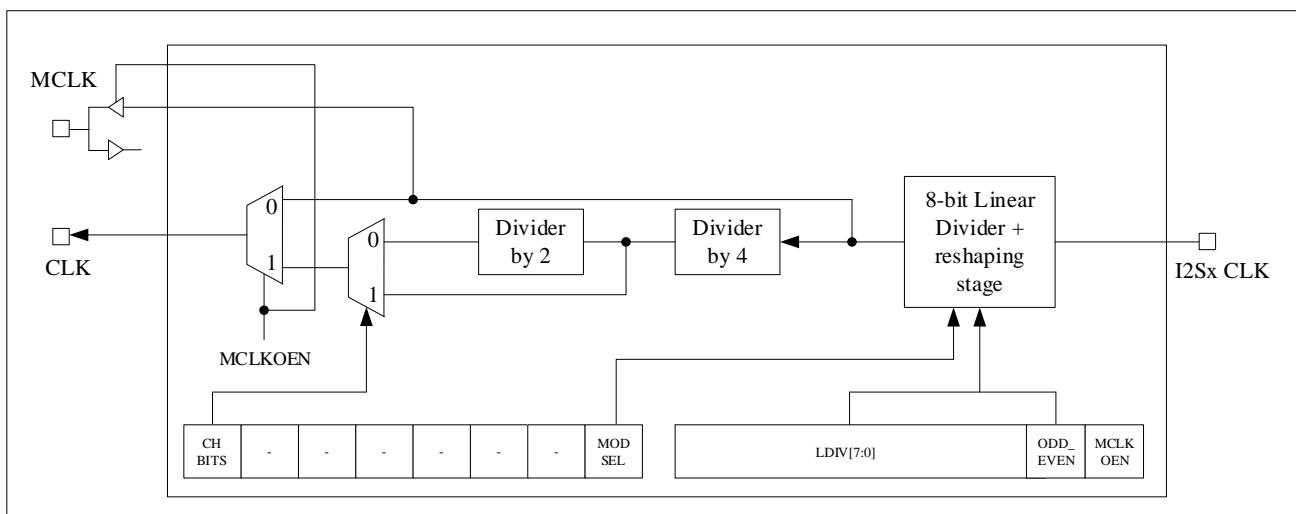
图 21-24 PCM 标准波形（16 位扩展到 32 位包帧）



21.4.2 时钟发生器

对于主设备，为了获得需要的音频频率，需要正确地对线性分频器进行设置

图 21-25 I²S 时钟发生器结构



注：I²SxCLK 的时钟源是驱动 AHB 时钟的 HSI、HSE 或 PLL 系统时钟。

I²S 的比特率决定了在 I²S 数据线上的数据流和 I²S 的时钟信号频率。

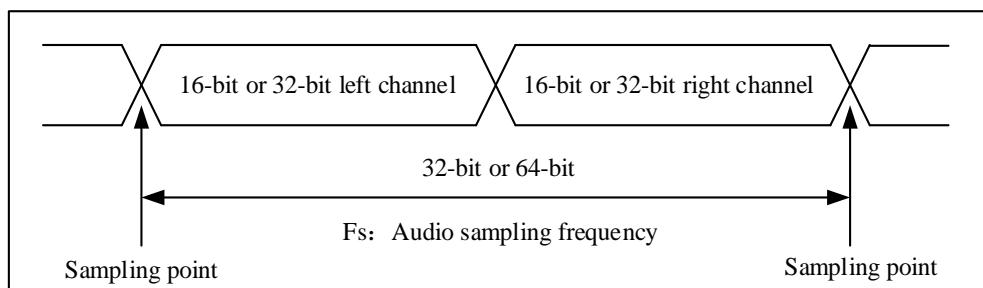
I²S 比特率 = 每个声道的比特数 × 声道数目 × 音频采样频率

对于一个具有左右声道和 16 位音频的信号，I²S 比特率计算如下：

$$I^2S \text{ 比特率} = 16 \times 2 \times F_s$$

如果包长为 32 位，则有：I²S 比特率 = 32 × 2 × F_s

图 21-26 音频采样频率定义



通过设置 SPI_I2SPREDIV.ODD_EVEN 位和 SPI_I2SPREDIV.LDIV 位，可以设置音频的采样信号频率。音频的采样频率可以是 96kHz、48kHz、44.1kHz、32kHz、22.05kHz、16kHz、11.025kHz 或者 8kHz（或任何此范围内的数值）。参照以下公式设置线性分频器：

$$\text{MCLKOEN} = 1, \text{CHBITS} = 0 \text{ 时}, F_s = I^2SxCLK / [(16 \times 2) \times ((2 \times LDIV) + ODD_EVEN) \times 8]$$

$$\text{MCLKOEN} = 1, \text{CHBITS} = 1 \text{ 时}, F_s = I^2SxCLK / [(32 \times 2) \times ((2 \times LDIV) + ODD_EVEN) \times 4]$$

$$\text{MCLKOEN} = 0, \text{CHBITS} = 0 \text{ 时}, F_s = I^2SxCLK / [(16 \times 2) \times ((2 \times LDIV) + ODD_EVEN)]$$

$$\text{MCLKOEN} = 0, \text{CHBITS} = 1 \text{ 时}, F_s = I^2SxCLK / [(32 \times 2) \times ((2 \times LDIV) + ODD_EVEN)]$$

可参照下表的时钟配置得到精确的音频频率。

表 21-2 使用标准的 8MHz HSE 时钟得到精确的音频频率

SYSCLK (MHz)	I ² S_LDIV		I ² S_ODD_EVEN		MCLK	期望值 F _s (Hz)	实际的 F _s (Hz)		误差	
	16 bits	32 bits	16 bits	32 bits			16 bits	32 bits	16 bits	32 bits
72	11	6	1	0	without	96000	97826.09	93750	1.90%	2.34%
72	23	11	1	1	without	48000	47872.34	48913.04	0.27%	1.90%
72	25	13	1	0	without	44100	44117.65	43269.23	0.04%	1.88%
72	35	17	0	1	without	32000	32142.86	32142.86	0.44%	0.44%
72	51	25	0	1	without	22050	22058.82	22058.82	0.04%	0.04%
72	70	35	1	0	without	16000	15675.75	16071.43	0.27%	0.45%
72	102	51	0	0	without	11025	11029.41	11029.41	0.04%	0.04%
72	140	70	1	1	without	8000	8007.11	7978.72	0.09%	0.27%
72	2	2	0	0	yes	96000	70312.15	70312.15	26.76%	26.76%
72	3	3	0	0	yes	48000	46875	46875	2.34%	2.34%
72	3	3	0	0	yes	44100	46875	46875	6.29%	6.29%
72	4	4	1	1	yes	32000	31250	31250	2.34%	2.34%
72	6	6	1	1	yes	22050	21634.61	21634.61	1.88%	1.88%
72	9	9	0	0	yes	16000	15625	15625	2.34%	2.34%
72	13	13	0	0	yes	11025	10817.3	10817.3	1.88%	1.88%
72	17	17	1	1	yes	8000	8035.71	8035.71	0.45%	0.45%

21.4.3 I²S 发送和接收流程

I²S 初始化流程

1. 用户可以设置 SPI_I2SPREDIV.LDIV[7:0] 和 SPI_I2SPREDIV.ODD_EVEN 位配置相关的预分频和串行时

钟波特率；

2. 如果用户需要主设备提供主时钟 MCLK 给外部的 DAC/ADC 音频设备，设置 SPI_I2SPREDIV.MCLKOEN 位为 1。（根据不同的时钟输出，计算 LDIV 和 ODD_EVEN，见 19.4.2 章节）
3. 用户可以设置 SPI_I2SCFG 寄存器的 CLKPOL 位定义空闲时通讯时钟极性；用户可以设置 SPI_I2SCFG.MODSEL 位为 1 配置设备为 I²S 模式，且设置 SPI_I2SCFG.MODCFG[1:0]选择 I²S 的主从模式和传输方向（发送或接收）；设置 SPI_I2SCFG.STDSEL[1:0]选择相应的 I²S 标准（PCM 标准下，设置 PCMF SYNC 位选择同步模式）；设置 SPI_I2SCFG.TDATLEN[1:0]选择数据位数，通过 SPI_I2SCFG.CHBITS 位选择每个通道的数据位数。
4. 当用户需要使能中断或 DMA，配置操作和 SPI 一样。
5. 最后，设置 SPI_I2SCFG.I2SEN 位为 1 开始 I²S 通讯。

发送流程

主模式

当 I²S 工作在主模式下，CLK 引脚输出串行时钟，WS 引脚产生声道选择信号，设置 SPI_I2SPREDIV.MCLKOEN 位选择是否输出主时钟（MCLK）。

当数据写进发送缓存，发送过程开始。当前声道的数据并行从发送缓存传输到移位寄存器，SPI_STS.TE 标志位置 1。此时，另外一个声道的数据应该被写进 SPI_DAT 寄存器。通过 SPI_STS.CHSIDE 标志位，可以检查当前数据相应的声道。SPI_STS.CHSIDE 值当 SPI_STS.TE 标志位置 1 时更新。完整的数据帧包括左声道和右声道，并且设备不可以仅传输部分数据帧。当 SPI_STS.TE 标志位置 1，如果 SPI_CTRL2.TEINTEN 位置 1，则产生中断。写入数据的操作取决于选择的 I²S 标准。详见 19.4.1 章节

当用户要关闭 I²S 功能时，等待 SPI_STS.TE 标志位置 1 且 SPI_STS.BUSY 标志位为 0，然后清除 SPI_I2SCFG.I2SEN 位为 0。

从模式

从模式的发送过程和主模式相似。不同处如下：

当 I²S 工作在从模式，不需要配置时钟，并且 CLK 引脚和 WS 引脚和主设备的相应引脚连接。当外部的主设备发送时钟信号，并且当 WS 信号要求数据传输时，发送过程开始。仅当从设备使能且数据已经写入 I²S 数据寄存器，外部的主设备才可以开始通讯。

当代表下个数据传输的第一个时钟沿到达前，新数据还没有写进 SPI_DAT 寄存器，下溢产生，且 SPI_STS.UNDER 标志位置 1。如果 SPI_CTRL2.ERRINTEN 位置 1，中断产生，指示错误已经发生。

SPI_STS.CHSIDE 标志指示当前被发送的数据对应哪个声道，和主模式发送过程相比，在从模式，SPI_STS.CHSIDE 取决于外部主 I²S 设备的 WS 信号（WS 信号为 1 意味着左声道）

接收流程

主模式

音频数据总是以 16 位包格式接收，根据配置的数据和声道长度，接收到的音频数据需要一次或两次传输到接收缓存。

当数据从移位寄存器传输到接收缓存，SPI_STS.RNE 标志位置 1，数据准备就绪可以从 SPI_DAT 寄存器读取，如果 SPI_CTRL2 寄存器的 RNEINTEN 位置 1，中断产生。读 SPI_DAT 寄存器清除 RNE 标志位。如果之前的接收的数据没有读取，新的数据再次接收进来，上溢发生，OVER 标志位置 1，如果 SPI_CTRL2 寄

存器的 ERRINTEN 位置 1，中断产生，指示错误已经发生。

通过 SPI_STS.CHSIDE 位，当前已经传输的数据对应的声道可以得到确认，当 SPI_STS.RNE 标志位置 1，SPI_STS.CHSIDE 值更新。

读数据的操作取决于选择的 I²S 标准，详见 19.4.1 章节。

当用户关闭 I²S 功能，不同的音频标准、数据长度、声道长度采用不同的步骤：

- 如果数据长度是 16 位，声道长度是 32 位 (SPI_I2SCFG.TDATLEN = 00, SPI_I2SCFG.CHBITS = 1)，LSB 对齐标准 (SPI_I2SCFG.STDSEL = 10)。
 1. 等待倒数第二个 SPI_STS.RNE 标志位置 1；
 2. 软件延时，等待 17 个 I²S 时钟；
 3. 关闭 I²S (SPI_I2SCFG.I2SEN = 0)。
- 如果数据长度是 16 位，声道长度是 32 位 (SPI_I2SCFG.TDATLEN = 00, SPI_I2SCFG.CHBITS = 1)，MSB 对齐标准 (SPI_I2SCFG.STDSEL = 01)，I²S 飞利浦标准 (SPI_I2SCFG.STDSEL = 00) 或 PCM 标准 (SPI_I2SCFG.STDSEL = 11)
 1. 等待最后一个 SPI_STS.RNE 标志位置 1；
 2. 软件延时，等待 1 个 I²S 时钟；
 3. 关闭 I²S (SPI_I2SCFG.I2SEN = 0)。
- 其他的 SPI_I2SCFG.TDATLEN 和 SPI_I2SCFG.CHBITS 组合和 SPI_I2SCFG.STDSEL 选择的任意音频模式
 1. 等待倒数第二个 SPI_STS.RNE 标志位置 1；
 2. 软件延时，等待 1 个 I²S 时钟；
 3. 关闭 I²S (SPI_I2SCFG.I2SEN = 0)。

从模式

从模式的接收过程和主模式的相似，不同处如下：

SPI_STS.CHSIDE 标志指示当前发送数据对应的哪个声道。和主模式接收流程相比，在从模式下，SPI_STS.CHSIDE 取决于外部主设备的 WS 信号。关闭 I²S 功能时，当 SPI_STS.RNE 标志位为 1 时清除 SPI_I2SCFG.I2SEN 位为 0。

21.4.4 状态标识

在 SPI_STS 寄存器有下面 4 个标志位，用于监视 I²S 总线状态

发送缓存空标志位 (TE)

当发送缓存空，该标志位置 1，指示新数据可以写进 SPI_DAT 寄存器。当发送缓存非空，该标志位清 0。

接收缓存非空标志 (RNE)

当接收缓存非空，该标志位置 1，指示有效数据已经接收到接收缓存。当读取 SPI_DAT 寄存器，该标志位清 0。

忙标志 (BUSY)

当传输开始，BUSY 标志位置 1，当传输结束后，BUSY 标志位硬件清 0（软件操作是无效的）。

主设备模式（SPI_I2SCFG.MODCFG = 11）下，在接收期间 BUSY 标志位被置 0。

当 I²S 模块关闭或传输完成，该标志位清 0。

在从机连续通讯模式，每个数据项传输之间，BUSY 标志位变低 1 个 I²S 时钟。因此，不要使用 BUSY 标志位处理每一个数据项的发送和接收。

声道标志（CHSIDE）

CHSIDE 位用来指示当前收发的数据所在的通道，在 PCM 标准下，这个标志位没有意义。

在发送模式下，该标志位当 TE 标志位置 1 时更新；在接收模式下，该标志位当 RNE 标志位置 1 时更新。

在收发过程中，如果发生上溢（OVER）或下溢（UNDER）错误，该标志位无意义，需要将 I²S 关闭再打开。

21.4.5 错误标志位

SPI_STS 寄存器有 2 个错误标志位。

上溢标志位（OVER）

当 RNE 标志位置 1，但是仍有数据发送到接收缓存，上溢错误将会发生，这时，OVER 标志置 1。如果用户使能相应的中断，中断将会产生。从这以后所有收到的数据将会丢失，SPI_DAT 寄存器仅保留之前未读的数据。依次读 SPI_DAT 寄存器和 SPI_STS 寄存器，可以清除 OVER 标志位。

下溢标志位（UNDER）

在从发送模式下，当发送数据的第一个时钟沿到达，如果发送缓存仍然是空的，UNDER 标志位置 1。如果用户使能相应的中断，中断将会产生。读 SPI_STS 寄存器清除 UNDER 位。

21.4.6 I²S 中断

所有 I²S 中断如下表所列。

表 21-3 I²S 中断请求

中断事件	事件标志位	使能控制位
发送缓存空标志	TE	TEINTEN
接收缓存非空标志	RNE	RNEINTEN
下溢标志	UNDER	ERRINTEN
上溢标志	OVER	

21.4.7 DMA 功能

工作在 I²S 模式，不需要数据传输保护功能，因此不需要支持 CRC，其他的 DMA 的功能与 SPI 模式是一样的。

21.5 SPI 和 I²S 寄存器

21.5.1 SPI 寄存器总览

表 21-4 SPI 寄存器总览

21.5.2 SPI 控制寄存器 1 (SPI_CTRL1) (不能用于 I2S 模式)

地址偏移: 0x00

复位值: 0x0000

位域	名称	描述
15	BIDIRMODE	双向数据模式使能 0: 选择“双线单向”模式; 1: 选择“单线双向”模式。 注意: 不能用在 I _S S 模式。

位域	名称	描述
14	BIDIROEN	<p>双向模式下输出使能</p> <p>0: 输出禁止（仅接收模式）。</p> <p>1: 输出使能（仅发送模式）。</p> <p>在主机模式下，“单线”数据线是 MOSI 引脚，在从机模式下，“单线”数据线是 MISO 引脚。</p> <p>注意：不能用在 I²S 模式。</p>
13	CRCEN	<p>硬件 CRC 计算使能</p> <p>0: CRC 计算禁能。</p> <p>1: CRC 计算使能。</p> <p>该位只能用于全双工模式。</p> <p>注意：该位仅在 SPI 禁能时可写 (SPI_CTRL1.SPIEN = 0)，否则会产生错误。</p> <p>注意：不能用在 I²S 模式。</p>
12	CRCNEXT	<p>下个发送 CRC</p> <p>0: 下个发送的数据来自发送缓存。</p> <p>1: 下个发送的数据来自 CRC 寄存器。</p> <p>注意：最后数据写进 SPI_DAT 寄存器后，该位应该立即写入。</p> <p>注意：不能用在 I²S 模式。</p>
11	DATFF	<p>数据帧格式</p> <p>0: 8 位数据帧格式用于发送/接收。</p> <p>1: 16 位数据帧格式用于发送/接收</p> <p>注意：该位仅 SPI 禁能时可以写入 (SPI_CTRL1.SPIEN = 0)，否则会产生错误。</p> <p>注意：不能用在 I²S 模式。</p>
10	RONLY	<p>仅接收模式</p> <p>该位和 BIDIRMODE 位一起决定双线单向模式的传输方向。在多个从设备的应用场景，该位仅被访问的从设备置 1，仅被访问的从设备可以输出，从而避免数据线冲突。</p> <p>0: 全双工（发送和接收模式）。</p> <p>1: 输出禁能（仅接收模式）。</p> <p>注意：不能用在 I²S 模式。</p>
9	SSMEN	<p>软件从设备管理</p> <p>当 SSMEN 位置 1，NSS 引脚电平由 SSEL 位的值决定。</p> <p>0: 软件从设备管理被禁止。</p> <p>1: 使能软件从设备管理。</p> <p>注意：不能用在 I²S 模式。</p>
8	SSEL	<p>内部从设备选择</p> <p>该位仅在 SSMEN 位置 1 时有意义。它决定了 NSS 电平，且 NSS 引脚的 I/O 操作无效。</p> <p>注意：不能用在 I²S 模式。</p>
7	LSBFF	<p>帧格式</p> <p>0: 先发送 MSB。</p> <p>1: 先发送 LSB。</p> <p>注意：通讯过程中该位不能被改变。</p> <p>注意：不能用在 I²S 模式。</p>
6	SPIEN	<p>SPI 使能</p> <p>0: 禁能 SPI 模块。</p>

位域	名称	描述
		<p>1: 使能 SPI 模块。</p> <p>注意: 不能用在 I²S 模式。</p> <p>注意: 当关闭 SPI 模块, 请遵循 21.3.4 的流程操作。</p>
5:3	BR[2:0]	<p>波特率控制</p> <p>000: fPCLK/2 001: fPCLK/4 010: fPCLK/8 011: fPCLK/16 100: fPCLK/32 101: fPCLK/64 110: fPCLK/128 111: fPCLK/256</p> <p>注意: 当通讯过程中, 这些位不能被修改。</p> <p>注意: 不能用在 I²S 模式。</p>
2	MSEL	<p>主设备选择</p> <p>0: 配置为从设备。 1: 配置为主设备。</p> <p>注意: 通讯过程中该位不能被修改。</p> <p>注意: 不能用在 I²S 模式。</p>
1	CLKPOL	<p>时钟极性</p> <p>0: 空闲状态下, SCLK 保持为低电平。 1: 空闲状态下, SCLK 保持为高电平。</p> <p>注意: 通讯过程中该位不能被修改。</p> <p>注意: 不能用在 I²S 模式。</p>
0	CLKPHA	<p>时钟相位</p> <p>0: 第一个时钟沿采样数据 1: 第二个时钟沿采样数据。</p> <p>注意: 通讯过程中该位不能被修改。</p> <p>注意: 不能用在 I²S 模式。</p>

21.5.3 SPI 控制寄存器 2 (SPI_CTRL2)

地址偏移: 0x04

复位值: 0x0000

15	Reserved	8	7	6	5	4	3	2	1	0
			rw	rw	rw		rw	rw	rw	

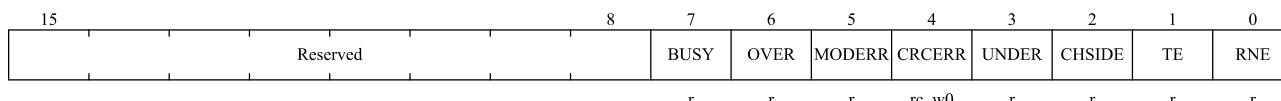
位域	名称	描述
15:8	Reserved	保留, 必须保持复位值
7	TEINTEN	<p>发送缓存中断使能</p> <p>0: 禁能 TE 中断 1: 允许 TE 中断, 当 SPI_STS.TE 标志位置 1 时产生中断请求。</p>

位域	名称	描述
6	RNEINTEN	接收缓存非空中断使能 0: 禁能 RNE 中断; 1: 允许 RNE 中断, 当 SPI_STS.RNE 标志位置 1 时产生中断请求。
5	ERRINTEN	错误中断使能 当错误 (CRCERR, OVER, MODERR) 发生时, 该位控制是否产生中断 0: 禁能错误中断; 1: 允许错误中断。
4:3	Reserved	保留, 必须保持复位值。
2	SSOEN	NSS 输出使能 0: 在主模式下禁止输出 NSS, 该设备可以工作在多主设备模式; 1: 设备开启时, 打开主模式下 NSS 输出, 该设备不能工作在多主设备模式。 注意: 不能用于 PS 模式。
1	TDMAEN	发送缓存 DMA 使能 当该位被设置时, TE 标志位一旦被置位就发出 DMA 请求 0: 禁止发送缓存 DMA; 1: 使能发送缓存 DMA。
0	RDMAEN	接收缓存 DMA 使能 当该位被设置时, RNE 标志位一旦被置位就发出 DMA 请求 0: 禁止接收缓存 DMA; 1: 使能接收缓存 DMA。

21.5.4 SPI 状态寄存器 (SPI_STS)

地址偏移: 0x08

复位值: 0x0002



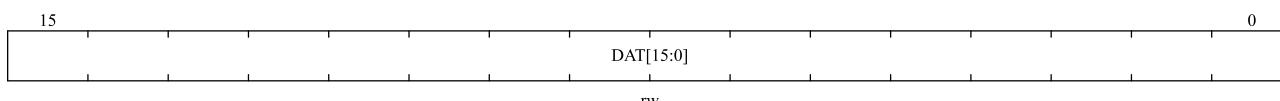
位域	名称	描述
15:8	Reserved	保留, 必须保持复位值。
7	BUSY	忙标志 0: SPI 不忙; 1: SPI 忙于通讯或发送缓存非空。 该位硬件清 0 或置 1 注意: 使用该标志需要特别注意, 详见21.3.3 章节和21.3.4 章节。
6	OVER	上溢标志 0: 没有上溢错误; 1: 发生上溢错误。 该位硬件置位, 根据软件操作序列清除, 更详细的信息详见21.3.7 章节。
5	MODERR	模式错误 0: 没有模式错误; 1: 模式错误发生。

位域	名称	描述
		该位硬件置位，根据软件操作序列清除，更详细的信息详见21.3.7 章节。 注意：不能用于 I^2S 模式。
4	CRCERR	CRC 错误标志 0：接收到的 CRC 值和 SPI_CRCRDAT 寄存器值匹配； 1：接收到的 CRC 值和 SPI_CRCRDAT 寄存器值不匹配。 该位硬件置位，软件写 0 清除。 注意：不能用于 I^2S 模式。
3	UNDER	下溢标志 0：没有下溢产生； 1：有下溢产生。 该位硬件置 1，通过软序列清 0，详见 21.4.5 章节。 注意：不能用于 SPI 模式。
2	CHSIDE	声道 0：需要发送或接收左声道； 1：需要发送或接收右声道。 注意：不能用于 SPI 模式。PCM 模式是没有意义的。
1	TE	发送缓存空 0：发送缓存非空； 1：发送缓存空。
0	RNE	接收缓存非空 0：接收缓存空； 1：接收缓存非空。

21.5.5 SPI 数据寄存器 (SPI_DAT)

地址偏移：0x0C

复位值：0x0000

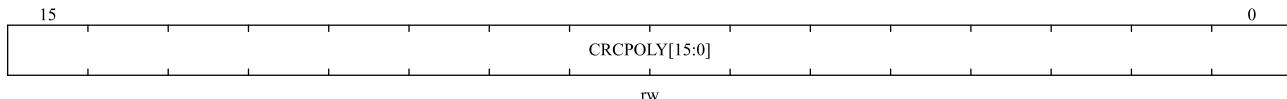


位域	名称	描述
15:0	DAT[15:0]	数据寄存器 待发送或者已经收到的数据 数据寄存器对应两个缓存：一个用于写（发送缓存）；另外一个用于读（接收缓存）。写操作将数据写到发送缓存；读操作将返回接收缓存里的数据。 对 SPI 模式的注释：根据 SPI_CTRL1.DATFF 位对数据帧格式的选择，数据的发送和接收可以是 8 位或者 16 位的。为保证正确的操作，需要在启用 SPI 之前就确定好数据帧格式。 对于 8 位的数据，缓冲器是 8 位的，发送和接收时只会用到 SPI_DAT[7:0]。在接收时， SPI_DAT[15:8]被强制为 0。 对于 16 位的数据，缓冲器是 16 位的，发送和接收时会用到整个数据寄存器，即 SPI_DAT[15:0]。

21.5.6 SPI CRC 多项式寄存器 (SPI_CRCPOLY) (不能用于 I²S 模式)

地址偏移: 0x10

复位值: 0x0007

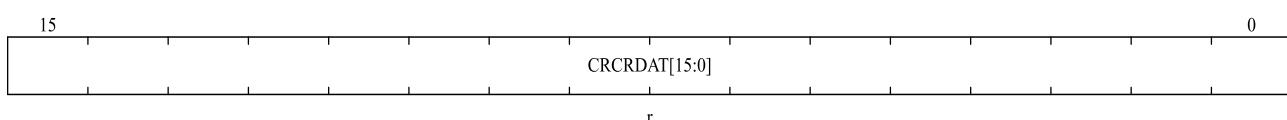


位域	名称	描述
15:0	CRCPOLY [15:0]	CRC 多项式寄存器 这个寄存器包含了用于 CRC 计算的多项式 复位值是 0x0007，根据应用可以设置其他值 注意: 不能用于 I ² S 模式。

21.5.7 SPI 接收 CRC 寄存器 (SPI_CRCRDAT) (不能用于 I²S 模式)

地址偏移: 0x14

复位值: 0x0000

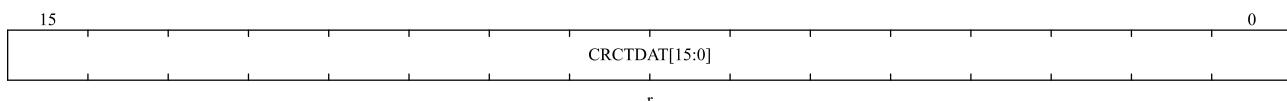


位域	名称	描述
15:0	CRCRDAT	接收 CRC 寄存器 当 CRC 计算使能时，CRCRDAT[15:0]中包含了后续收到的字节计算的 CRC 数值。当向 SPI_CTRL1.CRCEN 位写入 ‘1’ 时，该寄存器被复位。CRC 计算使用 SPI_CRCPOLY 中的多项式。 当数据帧格式被设置为 8 位时，仅低 8 位参与计算，并且按照 CRC8 的方法进行；当数据帧格式为 16 位时，寄存器中的所有 16 位都参与计算，并且按照 CRC16 的标准 注意: 当 BUSY 标志为 ‘1’ 时读该寄存器，将可能读到不正确的数值。 注意: 不能用于在 I ² S 模式。

21.5.8 SPI 发送 CRC 寄存器 (SPI_CRCTDAT)

地址偏移: 0x18

复位值: 0x0000



位域	名称	描述
15:0	CRCTDAT	发送 CRC 寄存器 当 CRC 计算使能时，CRCTDAT[15:0]中包含了后续发送的字节计算的 CRC 数值。当向

	SPI_CTRL1.CRCEN 位写入 ‘1’ 时，该寄存器被复位。CRC 计算使用 SPI_CRCPOLY 中的多项式。 当数据帧格式被设置为 8 位时，仅低 8 位参与计算，并且按照 CRC8 的方法进行；当数据帧格式为 16 位时，寄存器中的所有 16 个位都参与计算，并且按照 CRC16 的标准。 注意： 当 BUSY 标志为 ‘1’ 时读该寄存器，将可能读到不正确的数值。 注意： 不能用于在 I ² S 模式。
--	--

21.5.9 SPI_I²S 配置寄存器 (SPI_I2SCFG)

地址偏移: 0x1c

复位值: 0x0000

15	12	11	10	9	8	7	6	5	4	3	2	1	0
		Reserved	MODSEL	I2SEN	MODCFG[1:0]	PCM FSYNC	Reserved	STDSEL[1:0]	CLKPOL	TDATLEN[1:0]	CHBITS		
			rw	rw	rw	rw		rw	rw	rw	rw	rw	rw

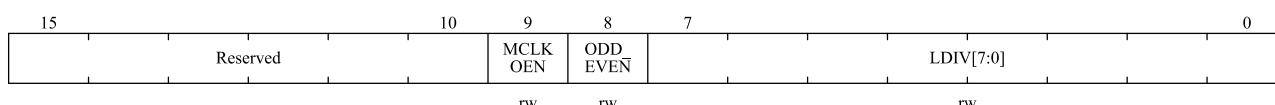
位域	名称	描述
15:12	Reserved	保留，必须保持复位值。
11	MODSEL	I ² S 模式选择 0: 选择 SPI 模式 1: 选择 I ² S 模式 注意： 该位仅当 SPI 或 I ² S 关闭时可设置。
10	I ² SEN	I ² S 使能 0: 关闭 I ² S; 1: 使能 I ² S。 注意： 不能用于 SPI 模式。
9:8	MODCFG	I ² S 模式设置 00: 从设备发送; 01: 从设备接收; 10: 主设备发送; 11: 主设备接收。 注意： 该位仅当 I ² S 关闭时可设置。 注意： 不能用于 SPI 模式。
7	PCMFSYNC	PCM 帧同步 0: 短帧同步; 1: 长帧同步。 注意： 该位仅当 SPI_I2SCFG.STDSEL = 11 (PCM 标准使用) 有意义。 注意： 不能用于 SPI 模式。
6	Reserved	保留，必须保持复位值。
5:4	STDSEL	I ² S 标准选择 00: I ² S 飞利浦标准; 01: 高字节对齐标准 (左对齐); 10: 低字节对齐标准 (右对齐); 11: PCM 标准。 详见 21.4.1 章节

位域	名称	描述
		<p>注意：为正确操作，该位仅在 I²S 关闭时设置 注意：不能用于 SPI 模式。</p>
3	CLKPOL	<p>静止时钟极性 0: I²S 时钟静止态为低电平； 1: I²S 时钟静止态为高电平。 注意：为正确操作，该位仅在 I²S 关闭时设置 注意：不能用于 SPI 模式。</p>
2:1	TDATLEN	<p>待传输数据长度 00: 16 位数据长度； 01: 24 位数据长度； 10: 32 位数据长度； 11: 不允许。 注意：为正确操作，该位仅在 I²S 关闭时设置 注意：不能用于 SPI 模式。</p>
0	CHBITS	<p>声道长度（每个音频声道的数据位数） 0: 16 位宽； 1: 32 位宽。 仅当 TDATLEN = 00 时，该位的写操作才有意义，否则，声道长度都由硬件固定为 32 位。 注意：为正确操作，该位仅在 I²S 关闭时设置 注意：不能用于 SPI 模式。</p>

21.5.10 SPI_I²S 预分频寄存器 (SPI_I2SPREDIV)

地址偏移: 0x20

复位值: 0x0002



位域	名称	描述
15:10	Reserved	保留，必须保持复位值。
9	MCLKOEN	<p>主时钟输出使能 0: 关闭主设备主时钟输出； 1: 主时钟输出使能。 注意：为正确操作，该位仅在 I²S 关闭时设置，该位仅用于 I²S 主模式，不能用于 SPI 模式。</p>
8	ODD_EVEN	<p>奇系数预分频 0: 实际频率分频系数 = LDIV × 2； 1: 实际频率分频系数 = (LDIV × 2) + 1。 详见 21.4.2 章节 注意：为正确操作，该位仅在 I²S 关闭时设置，该位仅用于 I²S 主模式，不能用于 SPI 模式。</p>

位域	名称	描述
7:0	LDIV	I ² S 线性预分频 禁止设置 LDIV [7:0] = 0 或 LDIV [7:0] = 1 详见 21.4.2 章节 注意：为正确操作，该位仅在 I ² S 关闭时设置，该位仅用于 I ² S 主模式，不能用于 SPI 模式。

22 I²C 接口

22.1 简介

I²C(inter-integrated circuit)总线是一种广泛应用的总线结构，它只有两根双向线，即数据总线 SDA 和时钟总线 SCL，通过这两根线，所有与 I²C 总线兼容的设备都可以通过 I²C 总线彼此直接通信。

I²C 接口连接微控制器和串行 I²C 总线，可用于 MCU 和外部 I²C 设备的通讯。I²C 接口模块实现了 I²C 协议的标速模式和快速模式，具备 CRC 计算和校验功能、支持 SMBus(系统管理总线)和 PMBus(电源管理总线)，此外它提供多主机功能，控制所有 I²C 总线特定的时序、协议、仲裁。I²C 接口模块也支持 DMA 模式，可有效减轻 CPU 的负担。

22.2 主要特性

- 同一接口既可实现主机功能又可实现从机功能
- 是并行总线到 I²C 总线协议的转换器
- 支持 7 位和 10 位的地址模式和广播寻址
- 作为 I²C 主设备可以产生时钟、起始信号和停止信号
- 作为 I²C 从设备具有可编程的 I²C 地址检测、停止位检测的功能
- 支持标速(最高 100kHz)、快速(最高 400kHz)模式和快速+(最高 1MHz)模式
- 支持中断向量，字节成功传输中断和错误事件中断
- 可选的时钟延展功能
- 支持 DMA 模式
- 可选择的 PEC (报文错误检测) 生成和校验
- 兼容 SMBus 2.0 和 PMBus

注：不是所有产品中都包含上述所有特性，请参考相关的数据手册，确认该产品支持的 I²C 功能。

22.3 功能描述

I²C 接口通过数据引脚 (SDA) 和时钟引脚 (SCL) 连接到 I²C 总线与外部设备进行通信，可以连接到标准 (高达 100kHz) 或快速 (400kHz) 的 I²C 总线。I²C 模块接收时将数据从串行转换成并行，发送时将数据从并行转换成串行。支持中断模式，用户可以根据需要开启或禁止中断。

22.3.1 SDA/SCL 控制

I²C 模块有两条接口线：串行数据线 (SDA) 和串行时钟线 (SCL)。连接到总线上的设备通过这两根线互相传递信息。SDA 和 SCL 都是双向线，通过一个电流源或者上拉电阻接到电源正极。当总线空闲时，两条线都是高电平。连接到总线的设备输出极必须带开漏或者开集，以提供线与功能。I²C 总线上的数据在标准模式下可以达到 100 kbit/s，在快速模式下可以达到 400kbit/s。由于 I²C 总线上可能会连接不同工艺的设备，逻辑‘0’和逻辑‘1’的电平并不是固定的，取决于 VDD 的实际电平。

如果允许时钟延长，即 SCL 线拉低，就可以避免在接收时发生过载错误以及在发送时发生欠载错误。

比如，在发送模式时，如果发送数据寄存器为空且字节发送结束位置起（I2C_STS1.TXDATE = 1, I2C_STS1.BSF = 1），I²C 接口在传输前保持时钟线为低，以等待软件读取 STS1 后把数据写进数据寄存器（缓冲器和移位寄存器都是空的）；在接收模式时，如果数据寄存器非空且字节发送结束位置起（I2C_STS1.RXDATNE = 1, I2C_STS1.BSF = 1），I²C 接口在接收到数据字节后保持时钟线为低，以等待软件读 STS1，然后读数据寄存器 DAT（缓冲器和移位寄存器都是满的）。

如果从模式中禁止时钟延长，在接收模式时，如果接收数据寄存器非空（I2C_STS1.RXDATNE = 1），在接收到下个字节前数据还没有被读出，则发生过载错误，最后一字节也将被丢弃。在发送模式时，如果发送数据寄存器空（I2C_STS1.TXDATE = 1），在必须发送下个字节之前还没有新数据写进数据寄存器，则发生欠载错误。相同的字节将被重复发出。这种情况下不控制重复写冲突。

22.3.2 软件通讯流程

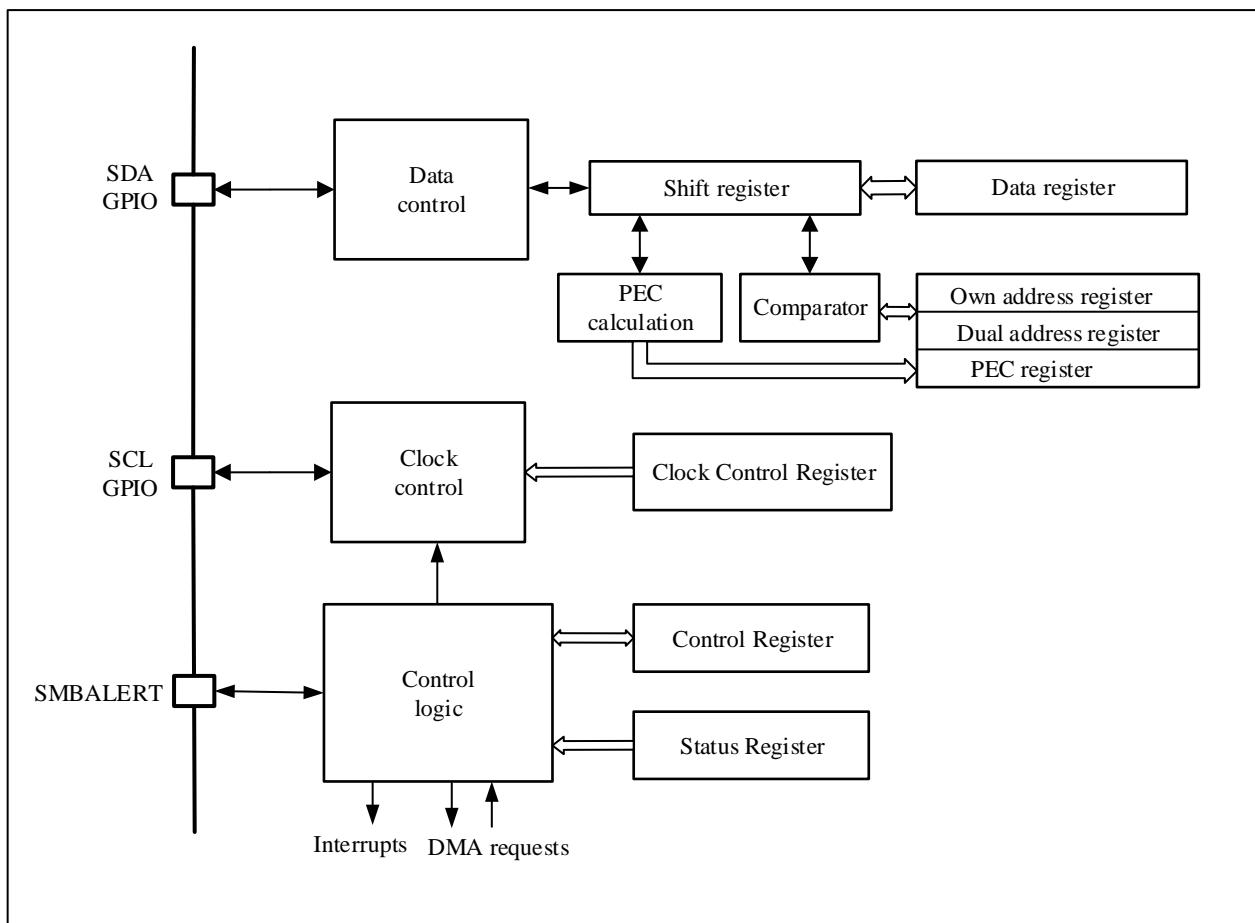
I²C 设备的数据传输分为主机和从机。主机是指负责初始化总线上数据的传输并产生时钟信号的设备，此时任何被寻址的设备都是从机。不管 I²C 设备是主机还是从机，都可以发送或接收数据。I²C 接口支持 4 种运行模式：

- 从机发送器模式
- 从机接收器模式
- 主机发送器模式
- 主机接收器模式

系统复位后，I²C 默认工作在从机模式下。通过软件配置 I²C 接口在总线上发送一个起始位，随后接口自动地从从模式切换到主模式；当仲裁丢失或产生停止信号时，则从主模式切换到从模式。

I²C 接口的功能框图如下：

图 22-1 I²C 功能框图

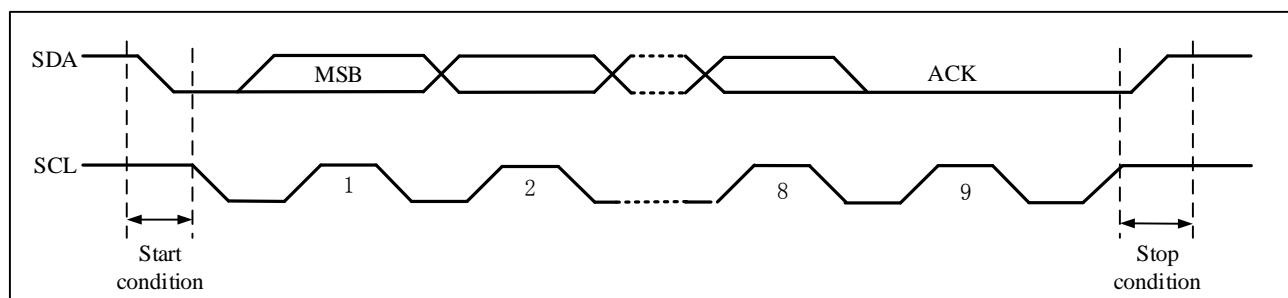


注：在 SMBus 模式下，SMBALERT 是可选信号。如果禁止了 SMBus，则不能使用该信号。

22.3.2.1 开始和停止条件

所有的数据传输总是以起始位开始并以停止位结束。起始条件和停止条件都是在主模式下由软件控制产生。起始位（START）是指：在 SCL 为高时，SDA 线上出现一个从高到低的电平转换。停止位（STOP）是指在 SCL 为高时，SDA 线上出现一个从低到高的电平转换。如下图所示：

图 22-2 I²C 总线协议



22.3.2.2 时钟同步与仲裁

I²C 接口支持多主机仲裁，即两个主机可以同时在空闲总线上开始传送数据，因此就必须通过一些机制来决定哪个主机获取总线的控制权，这一般是通过时钟同步和仲裁来完成的。

I²C 电路具有两个关键特点：

- SDA 和 SCL 为漏极开路结构，通过外部的上拉电阻实现了信号的“线与”逻辑；
- SDA 和 SCL 引脚在输出信号的同时还将引脚上的电平进行检测，检测是否与刚才输出一致。这为“时钟同步”和“总线仲裁”提供硬件基础。

I²C 设备对总线的操作是通过“把线路接地”来输出逻辑 0。基于 I²C 总线的特点，如果一设备发送逻辑 0，其他发送逻辑 1，那么线路看到的只有逻辑 0，所以线路上不可能出现电平冲突的现象。

总线的物理接法允许主设备往总线写数据的同时读取数据。这样两主设备争总线的时候发送逻辑 0 的并不知道竞争的发生，只有发送逻辑 1 的才会发现冲突（当写一个逻辑 1，却读到了 0）从而退出竞争。

时钟同步

SCL 线的高到低切换会使器件开始数它们的低电平周期，而且一旦器件的时钟变低电平，它会使 SCL 线保持这种状态直到到达时钟的高电平。但是，如果另一个时钟仍处于低电平周期，这个时钟的低到高切换不会改变 SCL 线的状态，因此，SCL 线被有最长低电平周期的器件保持低电平，此时，低电平周期短的器件会进入高电平的等待状态。

当所有有关的器件数完了它们的低电平周期后，时钟线被释放并且变成高电平，之后器件时钟和 SCL 线的状态没有差别，而且所有器件会开始数它们的高电平周期，首先完成高电平周期的器件会再次将 SCL 线拉低。

这样，产生的同步 SCL 时钟的低电平周期由低电平时钟周期最长的器件决定，而高电平周期由高电平时钟周期最短的器件决定。

仲裁

仲裁和同步一样，都是为了解决多主机情况下的总线控制冲突。仲裁的过程与从机无关。当两个主机在总线空闲的时候都产生了一个有效的起始位，这种情况就需要决定由哪个主机来完成数据传输，这就是仲裁的过程。

各个主控制器没有对总线实施控制的优先级别，都是由仲裁决定的。总线控制随即而定且逐位进行，他们遵循“低电平优先”的原则，即谁先发送低电平谁就会掌握对总线的控制权。在每一位的仲裁期间，当 SCL 为高时，每个主机都检查自己的 SDA 电平是否和自己发送的相同。理论上讲，如果两个主机所传输的内容完全相同，那么他们能够成功传输而不出现错误。如果一个主机发送高电平但检测到 SDA 电平为低，则认为自己仲裁失败并关闭自己的 SDA 输出驱动，而另一个主机则继续完成自己的传输。

22.3.2.3 I²C 数据通信流程

每个 I²C 设备都通过唯一的地址进行识别，根据设备功能，他们既可以是发送器也可作为接收器。

I²C 主机负责产生起始位和结束位来开始和结束一次传输，并且负责产生 SCL 时钟。

I²C 模块支持 7 位和 10 位的地址，用户可以通过软件配置 I²C 从机的地址。I²C 从机检测到 I²C 总线上的起始位之后，就开始从总线上接收地址，并把接收到的地址和自身的地址进行比较，一旦两个地址相同，I²C 从机将发送一个确认应答(ACK)，并响应总线的后续命令：发送或接受所要求的数据。此外，如果软件开启了广播呼叫，则 I²C 从机始终对一个广播地址(0x00)发送确认应答。

数据和地址按 8 位字节进行传输，高位在前。跟在起始条件后的 1 或 2 个字节是地址（7 位模式为 1 个字节，10 位模式为 2 个字节）。地址只在主模式发送。在一个字节传输的 8 个时钟后的第 9 个时钟期间，接收器必须回送一个应答位（ACK）给发送器。如图 22-2 I²C 总线协议所示。

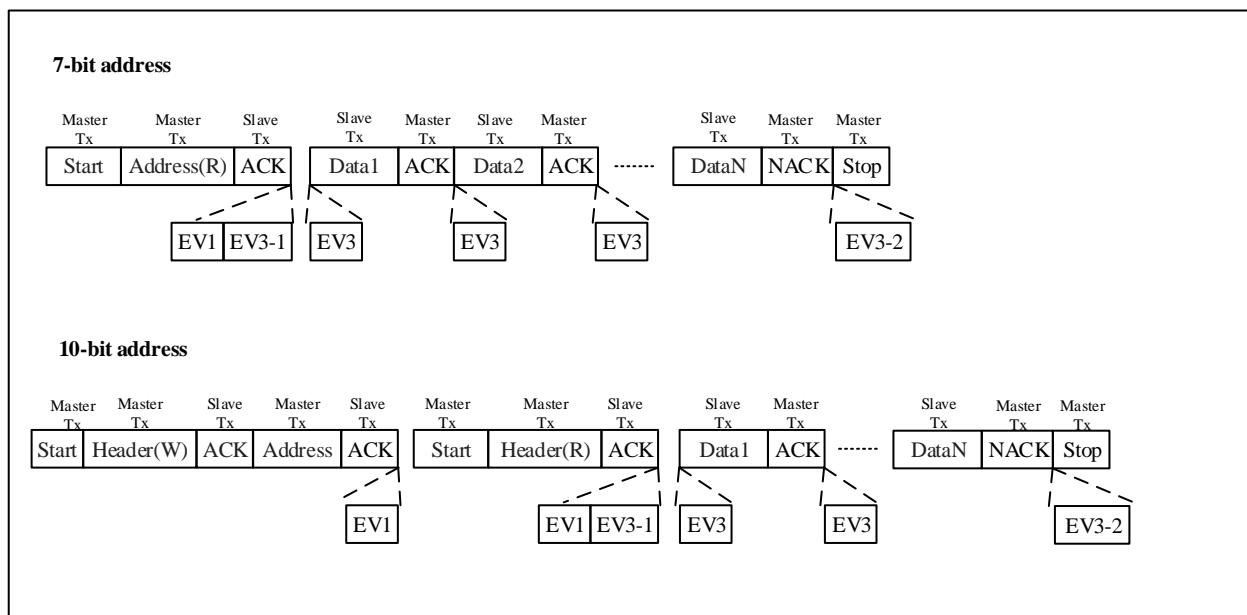
软件可以开启或禁能应答（ACK），并可以设置 I²C 接口的地址（7 位、10 位地址或广播呼叫地址）。

22.3.2.4 I²C 从机发送模式

在从机模式下发送接收标记位 (I2C_STS2.TRF) 指示当前是处于接收器模式还是发送器模式。当在发送器模式下要发送数据到 I²C 总线，软件应该按照下面的步骤操作：

1. 首先，使能 I²C 外设时钟，配置 I2C_CTRL1 中时钟相关寄存器，确保输出正确的 I²C 时序。当这两步都完成以后，I²C 运行在从机模式下，等待接收起始位和地址。
2. I²C 从机先收到一个起始位，随后收到匹配的 7 位或 10 地址，I²C 硬件将 I2C_STS1.ADDRF 位（接收到了地址并且和自身的地址匹配）置 1，软件应该定期查询此位或者中断监视此位，发现置位后，软件读 I2C_STS1 寄存器然后读 I2C_STS2 寄存器来清除 I2C_STS1.ADDRF 位。如果地址是 10 位格式，I²C 主机应该接着再产生一个 START 并发送一个地址头到 I²C 总线。从机在检测到 START 和紧接着的地地址头之后会继续将 I2C_STS1.ADDRF 位置 1。软件继续通过读 I2C_STS1 寄存器和接着读 I2C_STS2 寄存器来第二次清除 I2C_STS1.ADDRF 位。
3. I²C 进入数据发送状态，现在移位寄存器和数据寄存器 I2C_DAT 都是空，所以硬件将 I2C_STS1.TXDATE (发送数据空)位置 1。此时软件可以写入第一个字节数据到 I2C_DAT 寄存器，但是，因为写入 I2C_DAT 寄存器的字节被立即移入内部移位寄存器了，所以 I2C_STS1.TXDATE 位并没有被清 0。当移位寄存器非空的时候，I²C 开始发送数据到 I²C 总线。
4. 第一个字节的发送期间，软件写第二个字节到 I2C_DAT，此时 I2C_DAT 寄存器和移位寄存器都不是空。I2C_STS1.TXDATE 位被清 0。
5. 第一个字节发送完成之后，I2C_STS1.TXDATE 再次被置起，软件写第三个字节到 I2C_DAT，同时 I2C_STS1.TXDATE 位被清 0。在此之后，只要依然有数据待等待被发送且 I2C_STS1.TXDATE 被置 1，软件都可以写入一个字节到 I2C_DAT 寄存器。
6. 倒数第二个字节发送期间，软件写最后一个数据到 I2C_DAT 寄存器来清除 I2C_STS1.TXDATE 标志位，之后就再不用关心 I2C_STS1.TXDATE 的状态。I2C_STS1.TXDATE 位会在倒数第二个字节发送完成后置起，直到检测到 STOP 结束位时被清 0。
7. 根据 I²C 协议，I²C 主机不会对接收到的最后一个字节发送应答，所以在最后一个字节发送结束后，I²C 从机的 ACKFAIL 位（应答出错）会置起以通知软件发送结束。软件写 0 到 I2C_STS1.ACKFAIL 位可以清除此位。

图 22-3 从发送器传送序列



说明：

1. EV1: I2C_STS1.ADDRF = 1, 读 STS1 然后读 STS2 将清除该事件。
2. EV3-1: I2C_STS1.TXDATE=1, 移位寄存器空, 数据寄存器空, 写 DAT。
3. EV3: I2C_STS1.TXDATE=1, 移位寄存器非空, 数据寄存器空, 写 DAT 将清除该事件。
4. EV3-2: I2C_STS1.ACKFAIL=1, 在 STS1 的 ACKFAIL 位写“0”可清除该事件。

注：

- a) EV1 和 EV3_1 事件拉长 SCL 低的时间, 直到对应的软件序列结束。
- b) EV3 的软件序列必须在当前字节传输结束之前完成。

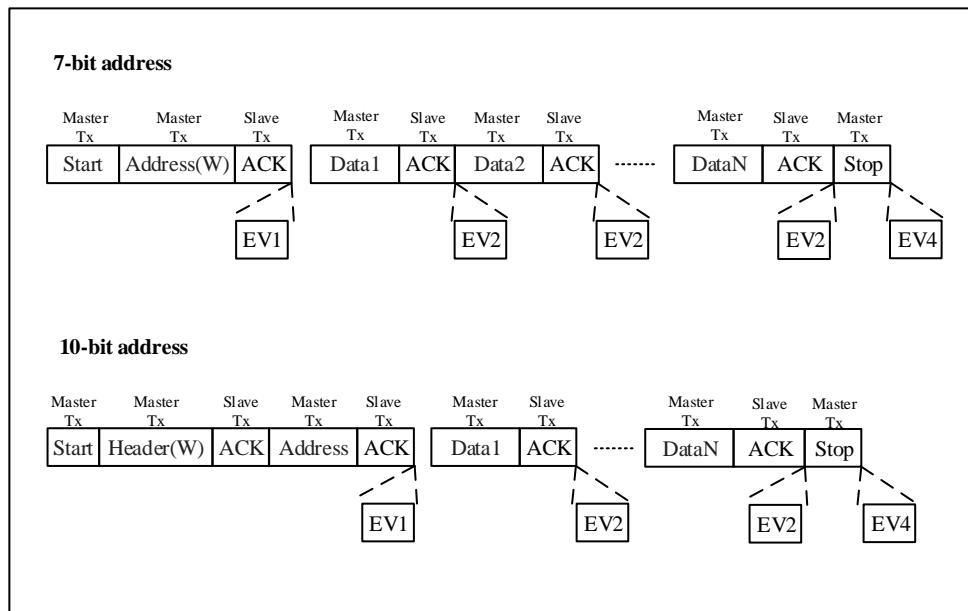
22.3.2.5 I²C 从机接收模式

在从机模式下接收数据时, 软件应该按如下步骤操作:

1. 首先, 使能 I²C 外设时钟, 配置 I2C_CTRL1 中时钟相关寄存器, 确保输出正确的 I²C 时序。当这两步都完成以后, I²C 运行在从机模式下, 等待接收起始位和地址。
2. 在接收到 START 起始条件和匹配的 7 位或 10 地址之后, I²C 硬件将 I2C_STS1.ADDRF 位 (接收到地址并且和自身的地址匹配) 置 1, 此位应该通过软件轮询或者中断来检测, 发现置起后, 软件通过先读 I2C_STS1 寄存器然后再读 I2C_STS2 寄存器来清除 I2C_STS1.ADDRF 位。一旦 I2C_STS1.ADDRF 位被清 0, I²C 从机就开始接收来自 I²C 总线的数据。
3. 当接收到第一个字节后, I2C_STS1.RXDATNE 位 (接收数据非空) 被硬件置 1, 如果设置了 I2C_CTRL2.EVTINTEN 和 I2C_CTRL2.BUFINTEN 位, 则产生一个中断。软件应该通过轮询或者中断来检测该位, 一旦发现置起后, 软件可以读取 I2C_DAT 寄存器的第一个字节, 此时 I2C_STS1.RXDATNE 位被清 0。注意, 如果设置了 I2C_CTRL1.ACKEN 位, 则在接收到一个字节后, 从机应该产生一个应答脉冲。
4. 任何时候, 只要 I2C_STS1.RXDATNE 位被置 1, 软件均可以从 I2C_DAT 寄存器读取一个字节。当接收到最后一个字节后, I2C_STS1.RXDATNE 被置 1, 软件读取最后一个字节

5. 当从机检测到 I²C 总线上的停止位 (STOP) 后, 将 I2C_STS1.STOPF 位置 1, 如果设置了 I2C_CTRL2.EVTINTEN 位, 则产生一个中断。软件通过先读 I2C_STS1 寄存器再写 I2C_CTRL1 寄存器来清除 I2C_STS1.STOPF 位 ((见下图的 EV4))。

图 22-4 从机接收器传送序列



说明:

- EV1: I2C_STS1.ADDRF = 1, 读 STS1 然后读 STS2 将清除该事件。.
- EV2: I2C_STS1.RXDATNE = 1, 读 DAT 将清除该事件。
- EV4: I2C_STS1.STOPF=1, 读 STS1 然后写 CTRL1 寄存器将清除该事件。

注: a) EV1 事件拉长 SCL 低的时间, 直到对应的软件序列结束。

b) EV2 的软件序列必须在当前字节传输结束之前完成。

22.3.2.6 I²C 主机发送模式

在主模式时, I²C 接口启动数据传输并产生时钟信号。串行数据传输总是以起始条件开始并以停止条件结束。当通过 START 位在总线上产生了起始条件, 设备就进入了主模式。

在主机模式下发送数据到 I²C 总线时, 软件应该按如下步骤操作:

- 首先, 使能 I²C 外设时钟, 配置 I2C_CTRL1 中时钟相关寄存器, 确保输出正确的 I²C 时序。当这两步都完成以后, I²C 默认运行在从机模式下, 等待接收起始位和地址。
- 当 BUSY=0 时, 设置 I2C_CTRL1.STARTGEN 位为 1, I²C 接口将产生一个开始条件并切换至主模式 (I2C_STS2.MSMODE 位置位)。
- 一旦发出开始条件, I²C 硬件将 I2C_STS1.STARTBF 位 (起始位标志) 置 1 然后进入主机模式, 如果设置了 I2C_CTRL2.EVTINTEN 位, 则会产生一个中断。接着软件读 I2C_STS1 寄存器然后写一个 7 位地址位或带有地址头的 10 位地址位到 I2C_DAT 寄存器来清除 I2C_STS1.STARTBF 位。I2C_STS1.STARTBF 位被清 0 后 I²C 就开始发送地址或者地址头到 I²C 总线。

在 10 位地址模式时, 发送一个头序列会产生以下事件:

- I2C_STS1.ADDR10F 位被硬件置位，如果设置了 I2C_CTRL2.EVTINTEN 位，则产生一个中断。然后主设备读 STS1 寄存器，再将第二个地址字节写入 DAT 寄存器。
- I2C_STS1.ADDRF 位被硬件置位，如果设置了 I2C_CTRL2.EVTINTEN 位，则产生一个中断。随后主设备读 STS1 寄存器，跟着读 STS2 寄存器

注：在发送器模式，主设备先发送头字节 (1110xx0)，然后发送从地址的低 8 位。（这里 xx 代表 10 位地址中的最高 2 位）。

在 7 位地址模式时，只需送出一个地址字节，一旦该地址字节被送出：

- ADDRF 位被硬件置位，如果设置了 EVTINTEN 位，则产生一个中断。随后主设备等待一次读 STS1 寄存器，跟着读 STS2 寄存器。

注：

在发送器模式，主设备发送从地址时置最低位为‘0’。

在 7 位地址模式时，不要将从机地址配置成 0xF0，防止 I2C_STS1.ADDR10F 位被硬件置位。

4. 7 位或 10 位的地址位发送完成后，I²C 硬件将 I2C_STS1.ADDRF 位（地址已被发送）置 1，如果设置了 I2C_CTRL2.EVTINTEN 位，则产生一个中断，软件通过读 I2C_STS1 寄存器然后读 I2C_STS2 寄存器来清除 I2C_STS1.ADDRF

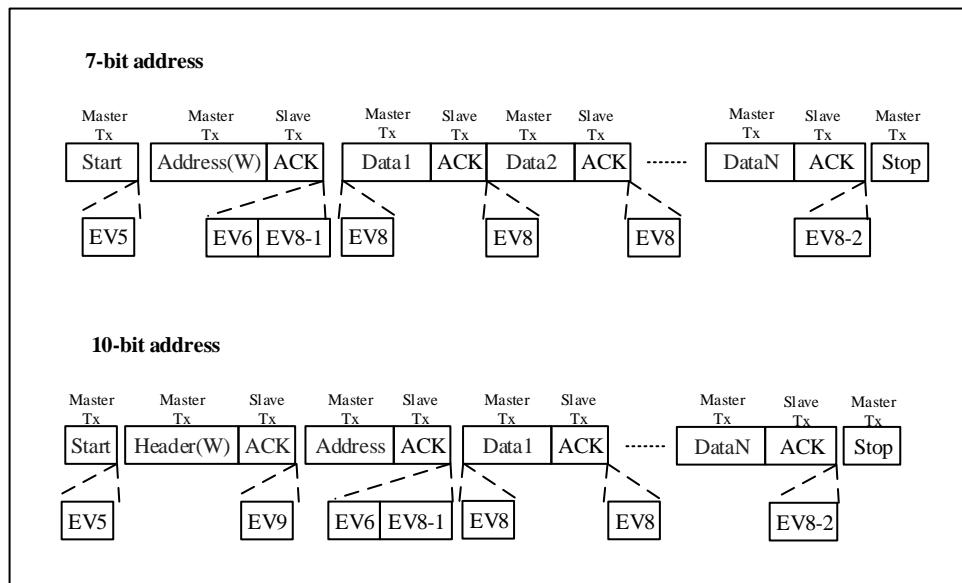
5. I²C 进入数据发送状态，因为移位寄存器和数据寄存器（I2C_DAT）都是空的，所以硬件将 I2C_STS1.TXDATE 位（发送数据空）置 1，接着软件写第一个字节数据到 I2C_DAT 寄存器，但是，因为写入 I2C_DAT 寄存器的字节被立即移入内部移位寄存器，所以 I2C_STS1.TXDATE 位此时不会被清零。一旦移位寄存器非空，I²C 就开始发送数据到总线。

6. 在第一个字节的发送过程中，软件写第二个字节到 I2C_DAT，此时 I2C_STS1.TXDATE 被清零。任何时候，只要还有数据等待被发送，且 I2C_STS1.TXDATE 位被置 1，软件都可以向 I2C_DAT 寄存器写入一个字节。

7. 在倒数第二个字节发送过程中，软件写入最后一个字节数据到 I2C_DAT 来清除 I2C_STS1.TXDATE 标志位，此后就不用关心 I2C_STS1.TXDATE 位的状态。I2C_STS1.TXDATE 位会在倒数第二个字节发送完成后被置起，直到发送停止位（STOP）时被清零。

8. 最后一个字节发送结束后，因为移位寄存器和 I2C_DAT 寄存器此时都为空，I²C 主机将 I2C_STS1.BSF 位（字节发送结束）置位，在清除 I2C_STS1.BSF 位之前 I²C 接口将保持 SCL 为低电平；读出 I2C_STS1 之后再写入 I2C_DAT 寄存器将清除 I2C_STS1.BSF 位。软件此时设置 I2C_CTRL1.STOPGEN 位产生一个停止条件，然后 I²C 接口将自动回到从模式（I2C_STS2.MSMODE 位清除）。

图 22-5 主发送器传送序列



说明：

1. EV5: I2C_STS1.STARTBF = 1, 读 STS1 然后将地址写入 DAT 寄存器将清除该事件。
2. EV6: I2C_STS1.ADDRF = 1, 读 STS1 然后读 STS2 将清除该事件。
3. EV8_1: I2C_STS1.TXDATE = 1, 移位寄存器空, 数据寄存器空, 写 DAT 寄存器。
4. EV8: I2C_STS1.TXDATE = 1, 移位寄存器非空, 数据寄存器空, 写 DAT 寄存器将清除该事件。
5. EV8_2: I2C_STS1.TXDATE = 1, I2C_STS1.BSF = 1, 请求设置停止位。这两个事件由硬件在产生停止条件时清除。
6. EV9: I2C_STS1.ADDR10F = 1, 读 STS1 然后写入 DAT 寄存器将清除该事件。

注: a) EV5、EV6、EV9、EV8_1 和 EV8_2 事件拉长 SCL 低的时间, 直到对应的软件序列结束。

b) EV8 的软件序列必须在当前字节传输结束之前完成。

c) 当 TXDATE 或 BSF 位置位时, 停止条件应安排在出现 EV8_2 事件时。

22.3.2.7 I²C 主机接收模式

在主机模式下从 I²C 总线接收数据软件应该按如下步骤操作：

1. 首先, 使能 I²C 外设时钟, 配置 I2C_CTRL1 中时钟相关寄存器, 确保输出正确的 I²C 时序。使能和配置以后, I²C 默认运行在从机模式下, 等待接收起始位和地址。
2. 当 BUSY=0 时, 设置 I2C_CTRL1.STARTGEN 位为 1, I²C 接口将产生一个开始条件并切换至主模式 (I2C_STS2.MSMODE 位置位),
3. 一旦发出开始条件, I²C 硬件将 I2C_STS1.STARTBF 位 (起始位标志) 置 1 然后进入主机模式, 如果设置了 I2C_CTRL2.EVTINTEN 位, 则会产生一个中断。接着软件读 I2C_STS1 寄存器然后写一个 7 位地址位或带有地址头的 10 位地址位到 I2C_DAT 寄存器来清除 I2C_STS1.STARTBF 位。I2C_STS1.STARTBF 位被清 0 后 I²C 就开始发送地址或者地址头到 I²C 总线。

在 10 位地址模式时, 发送一个头序列会产生以下事件:

- I2C_STS1.ADDR10F 位被硬件置位，如果设置了 I2C_CTRL2.EVTINTEN 位，则产生一个中断。然后主设备读 STS1 寄存器，再将第二个地址字节写入 DAT 寄存器。
- I2C_STS1.ADDRF 位被硬件置位，如果设置了 I2C_CTRL2.EVTINTEN 位，则产生一个中断。随后主设备读 STS1 寄存器，跟着读 STS2 寄存器。

注：在接收器模式，主设备先发送头字节 (1110xx0)，然后发送从地址的低 8 位，然后再重新发送一个开始条件，后面跟着头字节 (1110xx1)（这里 xx 代表 10 位地址中的最高 2 位）。

在 7 位地址模式时，只需送出一个地址字节，一旦该地址字节被送出：

- I2C_STS1.ADDRF 位被硬件置位，如果设置了 I2C_CTRL2.EVTINTEN 位，则产生一个中断。随后主设备等待一次读 STS1 寄存器，跟着读 STS2 寄存器。

注：

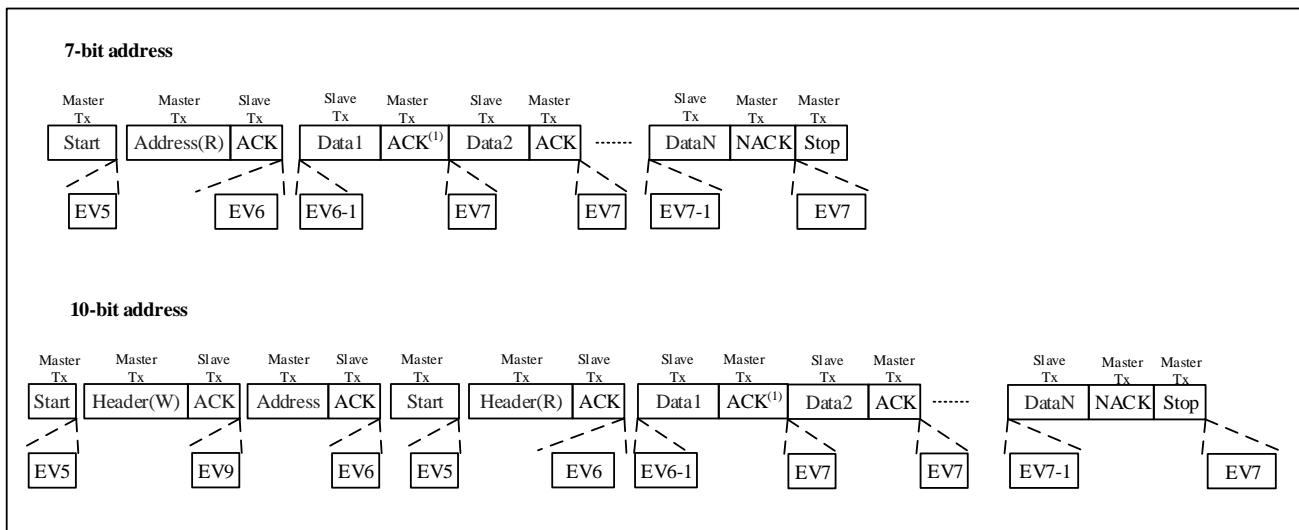
在接收器模式，主设备发送从地址时置最低位为‘1’。

在 7 位地址模式时，不要将从机地址配置成 0xF0，防止 I2C_STS1.ADDR10F 位被硬件置位。

4. 7 位或 10 位的地址位发送完成后，I²C 硬件将 I2C_STS1.ADDRF 位（地址已被发送）置 1，如果设置了 I2C_CTRL2.EVTINTEN 位，则产生一个中断，软件通过读 I2C_STS1 寄存器然后读 I2C_STS2 寄存器来清除 I2C_STS1.ADDRF，在发送地址和清除 I2C_STS1.ADDRF 之后，如果地址是 10 位格式，软件应该再次将 STARTGEN 位置 1 来重新产生一个 START (Sr)。在 START 产生后，I2C_STS1.STARTBF 位会被置 1。软件应该通过先读 I2C_STS1 然后写地址头到 I2C_DAT 来清除 I2C_STS1.STARTBF 位，然后地址头被发到 I²C 总线，ADDRF 再次被置 1。软件应该再次通过先读 I2C_STS1 然后读 I2C_STS2 来清除 I2C_STS1.ADDRF 位。
5. 在发送完地址和清除 I2C_STS1.ADDRF 之后，I²C 接口进入主机接收器模式。在此模式下，I²C 接口从 SDA 线接收数据字节，并通过内部移位寄存器送至 DAT 寄存器。一旦接收到第一个字节，硬件会将 I2C_STS1.RXDATNE 位（接收数据非空标志位）置 1，如果 ACKEN 位被置位，发出一个应答脉冲。此时软件可以从 I2C_DAT 寄存器读取第一个字节，之后 I2C_STS1.RXDATNE 位被清 0。此后，只要 I2C_STS1.RXDATNE 被置 1，软件就可以从 I2C_DAT 寄存器读取一个字节。
6. 主设备在从从设备接收到最后一个字节后发送一个 NACK。接收到 NACK 后，从设备释放对 SCL 和 SDA 线的控制；主设备就可以发送一个停止/重新起始条件。为了在收到最后一个字节后产生一个 NACK 脉冲，接收完倒数第二个字节(N-1)数据之后，软件应该立即清除 ACKEN 位。为了产生一个停止/重新起始条件，软件必须在读倒数第二个数据字节之后将 I2C_CTRL1.STOPGEN 位或者 I2C_CTRL1.STARTGEN 置 1，这一过程需要在最后一个字节接收完毕之前完成，以确保 NACK 发送给最后一个字节。
7. 最后一个字节接收完毕后，I2C_STS1.RXDATNE 位被置 1，软件可以读取最后一个字节。由于 I2C_CTRL1.ACKEN 已经在前一步骤中被清 0，I²C 不再为最后一个字节发送 ACK，并在最后一个字节发送完毕后产生一个 STOP 停止位。

注意：以上步骤要求字节数目 N>1，如果 N=1，步骤 6 应该在步骤 4 之后就执行，且需要在字节接收完成之前完成。

图 22-6 主接收器传送序列图



说明:

1. EV5: I2C_STS1.STARTBF=1, 读 STS1 然后将地址写入 DAT 寄存器清除该事件。
2. EV6: I2C_STS1.ADDRF=1, 读 STS1 然后读 STS2 将清除该事件。在 10 位主接收模式下，该事件后应设置 CTRL1 的 STARTGEN=1。
3. EV6_1: 没有对应的事件标志，至适于接收 1 个字节的情况。恰好在 EV6 之后（即清除了 ADDRF 之后），要清除响应和停止条件的产生位。
4. EV7: I2C_STS1.RXDATNE=1, 读 DAT 寄存器消除该事件。
5. EV7_1: I2C_STS1.RXDATNE =1, 读 DAT 寄存器清除该事件。设置 I2C_CTRL1.ACKEN=0 和 I2C_CTRL1.STOPGEN=1。
6. EV9: I2C_STS1.ADDR10F=1, 读 STS1 然后写入 DAT 寄存器将清除该事件。

注:

- a) 如果收到一个单独的字节，则是NA。
- b) EV5、EV6 和 EV9 事件拉长 SCL 低电平，直到对应的软件序列结束。
- c) EV7 的软件序列必须在当前字节传输结束前完成。
- d) EV6_1 或 EV7_1 的软件序列必须在当前传输字节的 ACK 脉冲之前完成。

22.3.3 错误条件

I²C 的错误主要有总线错误、应答错误、仲裁丢失、过载/欠载错误。这些错误都可能造成通讯的失败。

22.3.3.1 应答错误 (ACKFAIL)

当接口检测到应答位与期望不符时，将产生应答错误。此时 I2C_STS1.ACFAIL 被置位，如果设置了 I2C_CTRL2.ERRINTEN 位，则产生一个中断。当发送器接收到一个 NACK 时，必须复位通讯：如果处于从模式，硬件会释放总线。如果是处于主模式，软件必须生产一个停止条件。

22.3.3.2 总线错误 (BUSERR)

在一个地址或数据字节传输期间,当 I²C 接口检测到一个外部的停止或起始条件则产生总线错误, I2C_STS1.BUSERR 被置位。如果设置了 I2C_CTRL2.ERRINTEN 位为“1”, 则产生一个中断。

在主模式情况下,硬件不释放总线,同时不影响当前的传输状态。此时由软件决定是否要中止当前的传输。

在从模式情况下,数据被丢弃,硬件释放总线。此时有两种情况:如果检测到错误的开始条件,从设备认为是一个重启启动,并等待地址或停止条件。如果检测到错误的停止条件,从设备按正常的停止条件操作,同时硬件释放总线。

22.3.3.3 仲裁丢失 (ARLOST)

当 I²C 接口检测到仲裁丢失时产生仲裁丢失错误,硬件释放总线, I2C_STS1.ARLOST 位被置位。如果设置了 I2C_CTRL2.ERRINTEN 位为“1”, 则产生一个中断。

I²C 接口自动回到从模式(I2C_STS2.MSMODE 位被清除)。当 I²C 接口丢失了仲裁,则它无法在同一个传输中响应它的从地址,但它可以在赢得总线的主设备重新发送起始条件之后响应。

22.3.3.4 过载/欠载错误 (OVERRUN)

在从机接收模式下,如果禁止时钟延长,容易发生过载/欠载错误。

当它已经接收到一个字节(I2C_STS1.RXDATNE=1),但在 DAT 寄存器中前一个字节数据还没有被读出,则发生过载错误,数据寄存器最后接收的数据被丢弃;同时软件应清除 I2C_STS1.RXDATNE 位,发送器重新发送最后一次发送的字节。

在从机发送模式下,如果禁止时钟延长,在当前字节已经发送完成,而 DAT 仍然为空(I2C_STS1.TXDATE=1),则发生欠载错误。此时,在 DAT 寄存器中的前一个字节将被重复发出;用户应该确定在发生欠载错时,接收端应丢弃重复接收到的数据。发送端应按 I²C 总线标准在规定的时间更新 I2C_DAT 寄存器。

在发送第一个字节时,必须在清除 I2C_STS1.ADDRF 之后并且第一个 SCL 上升沿之前写入 I2C_DAT 寄存器;如果不能做到这点,则接收方应该丢弃第一个数据。

22.3.4 DMA 应用

在传输时,当数据寄存器为空或满时,能够生成 DMA 请求。DMA 能够写数据到 I²C 数据寄存器,或从 I²C 数据寄存器读出数据以减少 CPU 的开销。

DMA 请求必须在当前字节传输结束之前被响应。当相应 DMA 通道设置的数据传输已经完成时,DMA 控制器发送传输结束信号 EOT 到 I²C 接口,并且在中断使能时产生一个中断。

在主机发送模式,在 EOT 中断服务程序中,需禁止 DMA 请求,然后在等到 I2C_STS1.BSF 事件后设置停止条件。

在主机接收模式,当要接收的数据数目大于或等于 2 时,DMA 控制器发送一个硬件信号 EOT_1,它对应 DMA 传输(字节数-1)。如果设置了 I2C_CTRL2.DMALAST 位,硬件在发送完 EOT_1 后的下一个字节,将自动发送 NACK。在中断允许的情况下,用户可以在 DMA 传输完成的中断服务程序中产生一个停止条件。

注: I²C 与其他外设在使用同一个 DMA 控制器时,不能同时开启。

22.3.4.1 发送流程

DMA 模式通过设置 I2C_CTRL2.DMAEN 位使能。只要 I2C_STS1.TXDATE 位被置位,数据将由 DMA 从预

置的存储区装载进 I2C_DAT 寄存器。设置 DMA 通道进行 I²C 发送，须执行以下步骤（x 是通道号）：

1. 在 DMA_PADDRx 寄存器中设置 I2C_DAT 寄存器地址。数据将在每个 I2C_STS1.TXDATE 事件后从存储器传送至这个地址。
2. 在 DMA_MADDRx 寄存器中设置存储器地址。数据在每个 I2C_STS1.TXDATE 事件后从这个存储区传送至 I2C_DAT。
3. 在 DMA_TXNUMx 寄存器中设置所需传输的字节数。在每个 I2C_STS1.TXDATE 事件后，此值递减，直到 0。
4. 利用 DMA_CHCFGx 寄存器中的 PRIOLVL[1:0]位配置通道优先级。
5. 设置 DMA_CHCFGx 寄存器中的 DIR 位，并根据应用要求可以配置在整个传输完成一半或全部完成时发出中断请求。
6. 通过设置 DMA_CHCFGx 寄存器上的 CHEN 位激活通道。
7. 当 DMA 控制器中设置的数据传输数目已经完成时，DMA 控制器给 I²C 接口发送一个传输结束的 EOT/EOT_1 信号。在中断允许的情况下，将产生一个 DMA 中断。

注：如果使用 DMA 进行发送时，不要设置 I2C_CTRL2 寄存器的 BUFINTEN 位。

22.3.4.2 接收流程

DMA 模式通过设置 I2C_CTRL2.DMAEN 位使能。每次接收到数据字节时，将由 DMA 把 I2C_DAT 寄存器的数据传送到设置的存储区。设置 DMA 通道进行 I²C 接收，须执行以下步骤（x 是通道号）

1. 在 DMA_PADDRx 寄存器中设置 I2C_DAT 寄存器的地址。数据将在每次 I2C_STS1.RXDATNE 事件后从此地址传送到存储区。
2. 在 DMA_MADDRx 寄存器中设置存储区地址。数据将在每次 I2C_STS1.RXDATNE 事件后从 I2C_DAT 寄存器传送到此存储区。
3. 在 DMA_TXNUMx 寄存器中设置所需的传输字节数。在每个 I2C_STS1.RXDATNE 事件后，此值递减，直到 0。
4. 用 DMA_CHCFGx 寄存器中的 PRIOLVL[1:0]配置通道优先级。
5. 清除 DMA_CHCFGx 寄存器中的 DIR 位，根据应用要求可以设置在数据传输完成一半或全部完成时发出中断请求。
6. 设置 DMA_CHCFGx 寄存器中的 CHEN 位激活该通道。
7. 当 DMA 控制器中设置的数据传输数目已经完成时，DMA 控制器给 I²C 接口发送一个传输结束的 EOT/EOT_1 信号。在中断允许的情况下，将产生一个 DMA 中断。

注：如果使用 DMA 进行接收时，不要设置 I2C_CTRL2 寄存器的 BUFINTEN 位。

22.3.5 包错误校验 (PEC)

将 I2C_CTRL1.PECEN 位置 1 就可以使能 PEC 功能，PEC 使用 CRC-8 算法对包括地址和读/写位在内所有信息字节进行计算，从而提高通信的可靠性。包错误校验 (PEC) 计算器使用的 CRC-8 多项式为 $C(x) = x^8 + x^2 + x + 1$ 。

在发送模式时，软件可以在最后一个 I2C_STS1.TXDATE 事件时设置 I2C_CTRL1.PEC 传输位，PEC 将在最

后一个字节后被发送。在接收模式时，软件在最后一个 I2C_STS1.RXDATNE 事件之后设置 I2C_CTRL1.PEC 位，然后接收 PEC 字节，并将接收到的 PEC 字节与内部计算的 PEC 值进行比较。如果不等于内部计算的 PEC，接收器发送一个 NACK。如果是主机接收器模式，不管校对的结果如何，PEC 后都将发送 NACK。需要注意，I2C_CTRL1.PEC 位必须在接收当前字节的 ACK 脉冲之前设置。

如果 DMA 和 PEC 计算器都被激活，I²C 将自动发送或者检查 PEC 值。

在发送模式时，当 I²C 接口从 DMA 控制器处接收到 EOT 信号时，它在最后一个字节后自动发送 PEC。在接收模式时，当 I²C 接口从 DMA 处接收到一个 EOT_1 信号时，它将自动把下一个字节作为 PEC，并且和内部计算的 PEC 进行比较。在接收到 PEC 后产生一个 DMA 请求。

为了允许中间 PEC 传输，I2C_CTRL2.DMALAST 位用于判别是否真是最后一个 DMA 传输。如果确实是最后一个主接收器的 DMA 请求，在接收到最后一个字节后自动发送 NACK。

当仲裁丢失的时候，PEC 计算失效。

22.3.6 SMBus

22.3.6.1 介绍

系统管理总线（System Management Bus，简写为 SMBus 或 SMB）是一种结构简单的单端双线制总线。通过它，各设备之间以及设备与系统的其他部分之间可以互相通信。SMBus 是 I²C 的一种衍生总线形式，为系统和电源管理相关的任务提供一条控制总线。SMBus 基于 I²C 通信标准，是一个与系统管理和电源管理相关的控制总线。想要了解更多信息，请参考 SMBus 规范 V2.0(<http://smbus.org/specs/>)。

SMBus 有三类设备标准：

- 主设备：发送命令、产生时钟和终止发送设备；
- 从设备：接收或响应命令设备；
- 主机：一个系统仅有一个主机，它提供与系统 CPU 的主接口。主机具有主-从机功能并必须支持 SMBus 提醒协议。

SMBus 与 I²C 的相似点：

- 总线协议都是两条线（一个时钟线 SCL 和一个数据线 SDA），再加一条可选的 SMBus 提醒线；
- 数据格式相似，SMBus 数据格式类似于 I²C 的 7 位地址格式（见图 22-2）；
- 都是主-从通信模式，且主设备提供时钟；
- 都支持多主机功能；

SMBus 和 I²C 的不同点：

表 22-1 SMBus 与 I²C 的比较

SMBus	I ² C
最大传输速度 100KHz	最大传输速度 1MHz
最小传输速度 10KHz	无最小传输速度
35ms 时钟低超时	无时钟超时
固定逻辑电平	逻辑电平由 VDD 决定
不同的地址类型（保留的，动态的等）	7 位、10 位和广播呼叫从地址类型
不同的总线协议(快递命令，处理呼叫等)	无总线协议

22.3.6.2 SMBus 用途

SMBus 利用系统管理总线，可实现轻量级的通信需求。一般来说，SMBus 最常见于计算机主板，主要用于电源传输 ON/OFF 指令的通信，为系统和电源管理相关的任务提供控制总线。

22.3.6.3 设备标识

在 SMBus 中，任意一个设备作为从设备时都有一个地址，叫从地址。

为了给每一个设备分配地址，必须有一个唯一的设备标识（UDID）分配给设备。

22.3.6.4 总线协议

SMBus 技术规范包括 8 个总线协议。想要了解关于 SMBus 的详细信息和地址类型请参考 SMBus 技术规范 V2.0(<http://smbus.org/specs/>)。用户可以决定使用哪些协议。

SMBus 上每个报文交互都遵从 SMBus 协议中预定义的格式。SMBus 是 I2C 规范中数据传输格式的子集。只要 I2C 设备可通过 SMBus 协议之一进行访问，便视为兼容 SMBus 规范。

注：SMBus 不支持 *Quick command* 协议。

22.3.6.5 地址解析协议 (ARP)

通过 SMBus 协议动态分配新的唯一地址给每个从设备来解决地址冲突，这是地址解析协议 (ARP)。地址解析协议具有一下特性：

任何一个 SMBus 主设备都可以遍历总线；

使用 SMBus 物理层仲裁机制分配地址。当设备维持供电期间，分配的地址保持不变，协议也允许再断电后保留其地址。

地址分配之后，没有额外的 SMBus 打包开销（访问分配地址的设备与访问固定地址的设备所用的时间是一样的）。

22.3.6.6 超时错误

SMBus 有一种超时特性：假如某个通信耗时太久，便会自动复位设备。这就是为什么 SMBus 有最小传输速率的要求——为了防止超时后长时间锁死总线。I²C 在本质上可以视为一个“直流”总线，也就是说当主机正在访问从机的时候，假如从机正在执行一些子程序无法及时响应，从机可以拉住主机的时钟。这样便可以提醒主机：从机正忙，但并不想放弃当前的通信。从机的当前任务结束之后，将可以继续 I²C 会话。I²C 总线协议中并没有限制这个延时的上限，但在 SMBus 系统中，这个时间被限定为 35ms。按照 SMBus 协议的假定，如果某个会话耗时太久，就意味着总线出了问题，此时所有设备都应当复位以消除这种（问题）状态。这样就不允许从设备将时钟拉低太长时间。I₂C_STS1.TIMOUT 位表明了这个特性的状态。

22.3.6.7 SMBus 提醒模式

SMBus 提供了一个可选的中断信号 SMBALERT（与 SCL 和 SDA 一样，是一种有线与信号），设备使用该信号来扩展其控制能力，但需要牺牲一个引脚。SMBALERT 通常和 SMBus 广播呼叫地址结合使用。关于 SMBus 的消息有 2 个字节。

仅具有从机功能的设备可以设置 I₂C_CTRL1.SMBALERT 位以指示它要与主机通信。主机处理该中断并通过提醒响应地址 ARA (Alert Response Address, 地址值为 0001100x) 访问所有 SMBALERT 设备。只有那些将 SMBALERT 拉低的设备能应答 ARA。此状态是由 I₂C_STS1.SMBALERT 来标识的。从发送设备提供的 7 位设备地址被放在字节的 7 个最高位上，第八个位可以是 ‘0’ 或 ‘1’。

当多个设备的 SMBALERT 为低时，在地址传输过程中，最高优先级（地址越小优先级越高）可以通过标准

仲裁赢得总线通信。如果确认从机地址，则设备的 SMBALERT 不再为低。如果报文传输完毕，设备的 SMBALERT 仍为低，表示主机将再次读取 ARA。没有采用 SMBALERT 信号时主机可以定期访问 ARA。

22.3.6.8 SMBus 通信流程

SMBus 的通讯流程和标准 I²C 的流程相似。如果要使用 SMBus 模式，还需要在程序中配置 SMBus 特定寄存器、并响应 SMBus 特定标志位、实现在 SMBus 手册中介绍的上层协议。

- 首先，设置 I2C_CTRL1.SMBMODE 位；并按照应用要求配置 I2C_CTRL1.SMBTYPE 和 I2C_CTRL1.AR PEN 位。如果 I2C_CTRL1.AR PEN=1 且 I2C_CTRL1.SMBTYPE=0，使用 SMB 设备默认地址；如果 I2C_CTRL1.AR PEN=1 且 I2C_CTRL1.SMBTYPE=1，使用 SMB 主设备头字段。
- 为了支持 ARP 协议 (I2C_CTRL1.AR PEN=1)，在 SMBus 主机模式下 (I2C_CTRL1.SMBTYPE=1)，软件需要响应标志位 I2C_STS2.SMBHADDR (在 SMBus 从机模式下，响应 I2C_STS2.SMBDADDR 标志位)，并实现 ARP 协议中的功能。
- 为了支持 SMBus 警告模式，软件应该响应 I2C_STS1.SMBALERT 标志位，并实现相应的功能。

22.4 调试模式

当微控制器进入调试模式 (Cortex-M4 核心处于停止状态) 时，根据 DBG 模块中的 DBG_CTRL.I2Cx_SMBUS_TIMEOUT 配置位，SMBUS 超时控制或者继续正常工作或者可以停止。详见 29.4.3。

22.5 中断请求

下表列出了所有的 I²C 中断请求：

表 22-2 I²C 中断请求

中断功能	中断事件	事件标志	设置控制位
I2C 事件中断	起始位已发送 (主)	STARTBF	EVTINTEN
	地址已发送 (主) 或地址匹配 (从)	ADDRF	
	10 位头段地址已发送 (主)	ADDR10F	
	收到停止位 (从)	STOPF	
	数据字节传输完成	BSF	
	接收缓冲区非空	RXDATNE	
	发送缓冲区为空	TXDATE	
I2C 错误中断	总线错误	BUSERR	ERRINTEN
	仲裁丢失 (主)	ARLOST	
	应答失败	ACKFAIL	
	过载/欠载	OVERRUN	
	PEC 错误	PECERR	
	超时/Tlow 错误	TIMOUT	
	SMBus 提醒	SMBALERT	

注：1. STARTBF, ADDR F, ADDR10F, STOPF, BSF, RXDATNE 和 TXDATE 通过逻辑或汇到同一个中断通道中。

2. BUSERR、ARLOST、ACKFAIL、OVERRUN、PECERR、TIMOUT 和 SMBALERT 通过逻辑或汇到同一个中断通道中。

22.6 I²C 寄存器

可以用半字（16位）或字（32位）的方式操作这些外设寄存器。

22.6.1 I²C 寄存器总览

表 22-3 I²C 寄存器总览

Offset	Register	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
	I2C_CTRL1	Reserved																																	
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	I2C_CTRL2	Reserved	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0															
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	I2C_OADDR1	Reserved	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0														
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	I2C_OADDR2	Reserved	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0														
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	I2C_DAT	Reserved	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0														
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	I2C_STS1	Reserved	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0														
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	I2C_STS2	Reserved	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0														
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	I2C_CLKCTRL	Reserved	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0														
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	I2C_TMRISE	Reserved	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0														
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

22.6.2 I²C 控制寄存器 1 (I²C_CTRL1)

地址偏移: 0x000

复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SW RESET	Reserved	SMB ALERT	PEC	ACK POS	ACKEN	STOP GEN	START GEN	NO EXTEND	GCEN	PECEN	ARPEN	SMB TYPE	Reserved	SMB MODE	EN
RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW

位域	名称	描述
15	SWRESET	软件复位 (Software reset)

位域	名称	描述
		<p>在复位该位前确认 I²C 的引脚被释放，总线是空的。</p> <p>0: I²C 模块不处于复位状态； 1: I²C 模块处于复位状态。 注：该位可以用于 I2C_STS2.BUSY 位为‘1’，在总线上又没有检测到停止条件时。</p>
14	Reserved	保留，必须保持复位值
13	SMBALERT	<p>SMBus提醒（SMBus alert）</p> <p>软件可以设置或清除该位；当I2C_CTRL1.EN=0时，由硬件清除。</p> <p>0: 释放SMBAlert引脚使其变高。提醒响应地址头紧跟在NACK信号后面； 1: 驱动 SMBAlert 引脚使其变低。提醒响应地址头紧跟在 ACK 信号后面。</p>
12	PEC	<p>数据包出错检测（Packet error checking）</p> <p>软件可以设置或清除该位；当传送完PEC后或检测到起始或停止条件时或当I2C_CTRL1.EN=0时，硬件均会将其清除。</p> <p>0: 无 PEC 传输 1: PEC传输 注：仲裁丢失时，PEC 的计算失效。</p>
11	ACKPOS	<p>应答/PEC位置（用于数据接收）（Acknowledge/PEC Position (for data reception)）</p> <p>软件可以设置或清除该位，或当I2C_CTRL1.EN=0时，由硬件清除。</p> <p>0: I2C_CTRL1.ACKEN位决定是否向当前正在接收的字节发送ACK；I2C_CTRL1.PEC 位表示当前移位寄存器中的字节为 PEC。 1: I2C_CTRL1.ACKEN位决定是否向下一个接收到的字节发送ACK；I2C_CTRL1.PEC 位指示移位寄存器中接收到的下一个字节是PEC。 注：ACKPOS位只能用在2字节的接收配置中，必须在接收数据之前配置。 为了NACK第2个字节，I2C_CTRL1.ACKEN位必须在I2C_STS1.ADDRF位清零后清零。 为了检测第 2 个字节的 PEC，必须在配置 ACKPOS 位之后，扩展 ADDR 事件时设置 I2C_CTRL1.PEC 位。</p>
10	ACKEN	<p>应答使能（Acknowledge enable）</p> <p>软件可以设置或清除该位，或当I2C_CTRL1.EN=0时，由硬件清除。</p> <p>0: 无应答返回； 1: 在接收到一个字节后返回一个应答（匹配的地址或数据）。</p>
9	STOPGEN	<p>停止条件产生（Stop generation）</p> <p>软件可以设置或清除该位；或当检测到停止条件时，由硬件清除；当检测到SMBus超时错误时，硬件将其置位。</p> <p>在主模式下： 0: 无停止条件产生； 1: 在当前字节传输或在当前起始条件发出后产生停止条件。</p> <p>在从模式下： 0: 无停止条件产生； 1: 在当前字节传输或释放SCL和SDA线。 注：当设置了 STOPGEN、STARTGEN 或 PEC 位，在硬件清除这个位之前，软件不要执行任何对 I2C_CTRL1 的写操作；否则有可能会第 2 次设置 STOPGEN、STARTGEN 或 PEC 位。</p>
8	STARTGEN	<p>起始条件产生（Start generation）</p> <p>软件可以设置或清除该位，当起始条件发出后或I2C_CTRL1.EN=0时，由硬件清除。</p> <p>0: 无起始条件产生；</p>

位域	名称	描述
		1: 产生起始条件。
7	NOEXTEND	禁止时钟延长（从模式）（Clock stretching disable （Slave mode）） 该位决定在从机模式下数据未就绪（I2C_STS1.ADDRF或I2C_STS1.BSF标志置位）时是否拉低SCL。通过软件复位清零。 0: 允许时钟延长； 1: 禁止时钟延长。
6	GCEN	广播呼叫使能（General call enable） 0: 禁止广播呼叫。不应答(NACK)地址 00h; 1: 允许广播呼叫。以应答(ACK)地址 00h。
5	PECEN	PEC使能（PEC enable） 0: 禁止PEC模式； 1: 开启 PEC 模式。
4	ARPEN	ARP使能（ARP enable） 0: 禁止ARP； 1: 使能ARP。 如果I2C_CTRL1.SMBTYPE=0, 使用SMBus设备的默认地址。 如果 I2C_CTRL1.SMBTYPE=1, 使用 SMBus 的主地址。
3	SMBTYPE	SMBus类型（SMBus type） 0: SMBus设备； 1: SMBus 主机。
2	Reserved	保留，必须保持复位值
1	SMBMODE	SMBus模式（SMBus mode） 0: I2C模式； 1: SMBus 模式。
0	EN	I ² C模块使能（Peripheral enable） 0: 禁用I ² C模块； 1: 启用I ² C模块。 注：如果清除该位时通讯正在进行，在当前通讯结束后，I ² C模块被禁用并返回空闲状态。 由于在通讯结束后发生EN=0, 所有的位被清除。 在主模式下，通讯结束之前，绝不能清除该位。

22.6.3 I²C 控制寄存器 2 (I2C_CTRL2)

地址偏移: 0x04

复位值: 0x0000

15	13	12	11	10	9	8	7	6	5	0
Reserved	DMA LAST	DMA EN	BUFINTEEN	EVTINTEN	ERRINTEN	Reserved			CLKFREQ[5:0]	

rw rw rw rw rw rw

位域	名称	描述
15:13	Reserved	保留，必须保持复位值

位域	名称	描述
12	DMALAST	DMA最后一次传输 (DMA last transfer) 0: 下一次DMA的EOT不是最后的传输; 1: 下一次DMA的EOT是最后的传输。 注: 该位在主接收模式使用, 使得在最后一次接收数据时可以产生一个NACK。
11	DMAEN	DMA请求使能 (DMA requests enable) 0: 禁止DMA请求; 1: 使能 DMA 请求。
10	BUFINTEN	缓冲器中断使能 (Buffer interrupt enable) 0: 当 I2C_STS1.TXDATE=1 或 I2C_STS1.RXDATNE=1 时, 不产生任何中断; 1: 当 I2C_STS1.TXDATE=1 或 I2C_STS1.RXDATNE=1 时 (I2C_CTRL2.EVTINTEN=1), 产生事件中断 (不管 DMAEN 是何种状态)。
9	EVTINTEN	事件中断使能 (Event interrupt enable) 0: 禁止事件中断 1: 允许事件中断 在下列条件下, 将产生该中断: I2C_STS1.STARTBF = 1 (主模式) I2C_STS1.ADDR F = 1 (主/从模式) I2C_STS1.ADD10F = 1 (主模式) I2C_STS1.STOPF = 1 (从模式) I2C_STS1.BSF = 1, 但是没有I2C_STS1.TXDATE或I2C_STS1.RXDATNE事件 如果I2C_STS1.BUFINTEN = 1, I2C_STS1.TXDATE标志为1 如果 I2C_STS1.BUFINTEN = 1, I2C_STS1.RXDATNE 标志为 1
8	ERRINTEN	出错中断使能 (Error interrupt enable) 0: 禁止出错中断; 1: 允许出错中断。 在下列条件下, 将产生该中断: I2C_STS1.BUSERR = 1 I2C_STS1.ARLOST = 1 I2C_STS1.ACKFAIL = 1 I2C_STS1.OVERRUN = 1 I2C_STS1.PECERR = 1 I2C_STS1.TIMOUT = 1 I2C_STS1.SMBALERT = 1
7:6	Reserved	保留, 必须保持复位值
5:0	CLKFREQ[5:0]	I ² C模块时钟频率 (Peripheral clock frequency) CLKFREQ[5:0]应该为APB时钟频率以产生正确的时序: 000000: 禁用 000001: 禁用 000010: 2MHz 000011: 3MHz ... 100100: 36MHz 100101~111111: 禁用。

22.6.4 I2C 自身地址寄存器 1 (I2C_OADDR1)

地址偏移: 0x08

复位值: 0x0000

15	14	13	10	9	8	7	1	0
ADDR MODE	Reserved	Reserved		ADDR[9:8]			ADDR[7:1]	
RW				RW			RW	RW

位域	名称	描述
15	ADDRMODE	寻址模式（从模式）（Addressing mode (slave mode) ） 0: 7位从地址（不响应10位地址）； 1: 10 位从地址（不响应 7 位地址）。
14	Reserved	必须始终由软件保持为‘1’。
13:10	Reserved	保留，必须保持复位值
9:8	ADDR[9:8]	接口地址（Interface address） 地址的 9~8 位。 注：7 位地址模式时不用关心
7:1	ADDR[7:1]	接口地址（Interface address） 地址的 7~1 位。
0	ADDR0	接口地址（Interface address） 地址第 0 位。 注：7 位地址模式时不用关心

22.6.5 I2C 自身地址寄存器 2 (I2C_OADDR2)

地址偏移: 0x0C

复位值: 0x0000

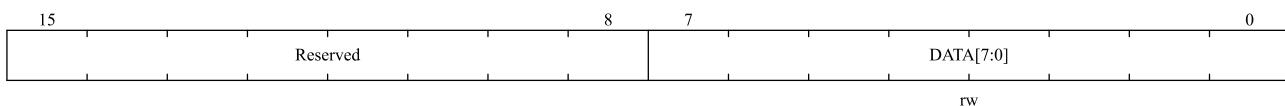
The diagram illustrates the bit field layout for a register. It consists of four horizontal rows representing bits 15 down to 0. The first three rows are labeled with their respective bit indices (15, 8, 7) at the top. The fourth row is labeled with bit index 1 at the top. The register is divided into three main sections: a 'Reserved' section from bit 15 to bit 8, an 'ADDR2[7:1]' section from bit 7 to bit 1, and a 'DUALEN' section from bit 0 to bit 1. The 'DUALEN' section is further subdivided into two fields: 'DW' at bit 0 and 'DW' at bit 1.

位域	名称	描述
15:8	Reserved	保留，必须保持复位值
7:1	ADDR2[7:1]	接口地址（Interface address） 在双地址模式下地址的 7~1 位。
0	DUALEN	双地址模式使能位（Dual addressing mode enable） 0: 不使能双地址模式，只有OADDR1被识别； 1: 使能双地址模式，OADDR1和OADDR2都被识别。 注：仅 7 位地址模式有效

22.6.6 I2C 数据寄存器 (I2C DAT)

地址偏移: 0x10

复位值: 0x0000

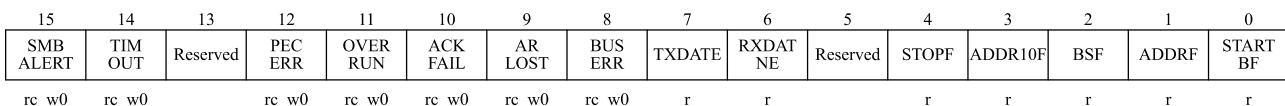


位域	名称	描述
15:8	Reserved	保留, 必须保持复位值
7:0	DATA[7:0]	8位数据寄存器 (8-bit data register) 发送或接收数据 注意: 从模式下。地址不会被拷贝到数据寄存器 注意: 如果 I2C_STS1.TXDATE = 0, 数据仍然会被写入数据寄存器 注意: 如果在处理 ACK 时, 发生了ARLOST 事件, 接收到的字节不会被拷贝到数据寄存器, 因此不能读到它。

22.6.7 I2C 状态寄存器 1 (I2C_STS1)

地址偏移: 0x14

复位值: 0x0000



位域	名称	描述
15	SMBALERT	SMBus提醒 (SMBus alert) 该位由软件写‘0’清除, 或在I2C_CTRL1.EN = 0时由硬件清除。 0: 无SMBus提醒 (主模式) 或没有SMBAlert响应地址头序列 (从模式) ; 1: 在引脚上产生 SMBAlert 提醒事件 (主模式) 或收到 SMBAlert 响应地址 (从模式);
14	TIMOUT	超时或Tlow错误 (Timeout or Tlow error) 该位由软件写‘0’清除, 或在I2C_CTRL1.EN=0=0时由硬件清除。 0: 无超时错误; 1: 超时错误发生; 错误情形: <ul style="list-style-type: none"> ■ SCL 处于低电平达到 25ms (Timeout); ■ 主机的低电平累积时钟扩展时间超过 10ms (Tlow:mext); ■ 从设备的低电平累积时钟扩展时间超过 25ms (Tlow:sext); 从模式超时: 从设备复位通讯, 硬件释放总线。 主模式超时: 硬件发出停止条件。
13	Reserved	保留, 必须保持复位值
12	PECERR	在接收时发生PEC错误 (PEC Error in reception) 该位由软件写‘0’清除, 或在I2C_CTRL1.EN = 0时由硬件清除。 0: 无 PEC 错误: 接收到 PEC 后接收器返回 ACK (如果 I2C_CTRL1.ACKEN=1) 1: PEC 错误: 接收到 PEC 后接收器返回 NACK (不管 I2C_CTRL1.ACKEN 是否置位)
11	OVERRUN	过载/欠载 (Overrun/Underrun) 该位由软件写‘0’清除, 或在I2C_CTRL1.EN=0时由硬件清除。

位域	名称	描述
		<p>0: 无过载/欠载; 1: 出现过载/欠载。</p> <p>当I2C_CTRL1.NOEXTEND=1时，在从模式下该位被硬件置位。同时： 在接收模式中当接收到一个新的字节时，如果数据寄存器里的内容还未被读出，则发生过载错误，新接收的字节将会丢失。 在发送模式中要发送一个新的字节时，却没有新的数据写入数寄存器，将发生欠载错误，同样的数据将会被发送两次。</p>
10	ACKFAIL	<p>应答失败 (Acknowledge failure)</p> <p>该位由软件写‘0’清除，或在I2C_CTRL1.EN=0时由硬件清除。</p> <p>0: 没有应答失败; 1: 应答失败。</p>
9	ARLOST	<p>仲裁丢失 (主模式)</p> <p>该位由软件写‘0’清除，或在I2C_CTRL1.EN=0时由硬件清除。</p> <p>0: 没有仲裁丢失; 1: 仲裁丢失。</p> <p>当接口失去对总线的控制时，硬件将置该位为‘1’。在ARLOST事件之后，I²C接口自动切换回从模式(I2C_STS2.MSMODE=0)。</p> <p>注：在 SMBUS 模式下，在从模式下对数据的仲裁仅仅发生在数据阶段，或应答传输区间（不包括地址的应答）。</p>
8	BUSERR	<p>总线错误 (Bus error)</p> <p>该位由软件写‘0’清除，或在I2C_CTRL1.EN=0时由硬件清除。</p> <p>0: 无起始或停止条件出错; 1: 起始或停止条件出错。</p>
7	TXDATE	<p>数据寄存器为空 (发送时)</p> <p>软件写数据到DAT寄存器可清除该位；或在发生一个起始或停止条件后，或当I2C_CTRL1.EN=0时由硬件自动清除。</p> <p>0: 数据寄存器非空; 1: 数据寄存器空。</p> <p>在发送数据时，数据寄存器为空时该位被置‘1’，在发送地址阶段不设置该位。</p> <p>如果收到一个NACK，或下一个要发送的字节是PEC (I2C_CTRL1.PEC=1)，该位不被置位。</p> <p>注：在写入第1个要发送的数据后，或设置了BSF时写入数据，都不能清除TXDATE位，这是因为数据寄存器仍然为空。</p>
6	RXDATNE	<p>数据寄存器非空 (接收时)</p> <p>软件对数据寄存器的读写操作清除该位，或当I2C_CTRL1.EN=0时由硬件清除。</p> <p>0: 数据寄存器为空; 1: 数据寄存器非空。</p> <p>在接收时，当数据寄存器不为空，该位被置‘1’。在接收地址阶段，该位不被置位。</p> <p>在发生ARLOST事件时，RXDATNE不被置位。</p> <p>注：当设置了BSF时，读取数据不能清除RXDATNE位，因为数据寄存器仍然为满。</p>
5	Reserved	保留，必须保持复位值
4	STOPF	停止条件检测位 (从模式)

位域	名称	描述
		<p>时, 硬件清除该位。</p> <p>0: 没有检测到停止条件;</p> <p>1: 检测到停止条件。</p> <p>在一个应答之后, 当从设备在总线上检测到停止条件时, 硬件将该位置‘1’。</p> <p>注: 在收到<i>NACK</i>后, <i>I2C_STS1.STOPF</i>位不被置位。</p>
3	ADDR10F	<p>10位头序列已发送 (主模式)</p> <p>软件读取STS1寄存器后, 对CTRL1寄存器的写操作将清除该位, 或当I2C_CTRL1.EN=0时, 硬件清除该位。</p> <p>0: 没有ADD10F事件发生;</p> <p>1: 主设备已经将第一个地址字节发送出去。</p> <p>在10位地址模式下, 当主设备已经将第一个地址字节发送出去时, 硬件将该位置‘1’。</p> <p>注: 收到一个<i>NACK</i>后, <i>I2C_STS1.ADD10F</i>位不被置位。</p>
2	BSF	<p>字节传输结束 (Byte transfer finished)</p> <p>在软件读取STS1寄存器后, 对数据寄存器的读或写操作将清除该位; 或在传输中发送一个起始或停止条件后, 或当I2C_CTRL1.EN =0时, 由硬件清除该位。</p> <p>0: 字节传输未完成;</p> <p>1: 字节传输结束。</p> <p>当I2C_CTRL1.NOEXTEND =0时, 在下列情况下硬件将该位置‘1’:</p> <p>在接收时, 当收到一个新字节 (包括ACK脉冲) 且数据寄存器还未被读取 (<i>I2C_STS1.RXDATNE</i> =1)。</p> <p>在发送时, 当一个新数据将被发送且数据寄存器还未被写入新的数据 (<i>I2C_STS1.TXDATE</i> =1)。</p> <p>注: 在收到一个<i>NACK</i>后, <i>BSF</i>位不会被置位。</p> <p>如果下一个要传输的字节是 <i>PEC</i> (<i>I2C_STS2.TRF</i> 为‘1’, 同时 <i>I2C_CTRL1.PEC</i> 为‘1’), <i>BSF</i>位不会被置位。</p>
1	ADDRF	<p>地址已被发送 (主模式) /地址匹配 (从模式)</p> <p>在软件读取STS1寄存器后, 对STS2寄存器的读操作将清除该位, 或当I2C_CTRL1.EN=0时, 由硬件清除该位。</p> <p>0: 地址不匹配或没有收到地址 (从模式), 地址发送未完成 (主模式);</p> <p>1: 收到的地址匹配 (从模式), 地址发送完成 (主模式)。</p> <p>在主模式下:</p> <p>7位地址模式时, 当收到地址的ACK后该位被置‘1’, 10位地址模式时, 当收到地址的第二个字节的ACK后该位被置‘1’。</p> <p>在从模式下:</p> <p>当收到的从地址与OADDR寄存器中的内容相匹配, 或广播呼叫或SMBus设备默认地址或SMBus主机或SMBus提醒被识别时, 硬件就将该位置‘1’ (当对应的设置被使能时)。</p> <p>注: 在收到<i>NACK</i>后, <i>I2C_STS1.ADDRF</i>位不会被置位。</p>
0	STARTBF	<p>起始位 (主模式)</p> <p>软件读取I2C_STS1寄存器后, 写数据寄存器的操作将清除该位, 或当I2C_CTRL1.EN=0时, 硬件清除该位。</p> <p>0: 未发送起始条件;</p> <p>1: 起始条件已发送。</p> <p>当发出起始条件时该位被置‘1’。</p>

22.6.8 I2C 状态寄存器 2 (I2C_STS2)

地址偏移: 0x18

复位值: 0x0000

15	PECVAL[7:0]	8	DUAL FLAG	SMBH ADDR	SMBD ADDR	GCALL ADDR	Reserved	TRF	BUSY	MS MODE
	r		r	r	r	r		r	r	r

位域	名称	描述
15:8	PECVAL[7:0]	数据包出错检测 (Packet error checking register) 当 I2C_CTRL1.PECEN=1 时， PECVAL[7:0] 存放内部的 PEC 值。
7	DUALFLAG	双标志 (从模式) 在产生一个停止条件或一个重复的起始条件时，或 I2C_CTRL1.EN =0 时，硬件将该位清除。 0：接收到的地址与 OADDR1 内的内容相匹配； 1：接收到的地址与 OADDR2 内的内容相匹配。
6	SMBHADDR	SMBus 主机头地址 (从模式) 在产生一个停止条件或一个重复的起始条件时，或 I2C_CTRL1.EN =0 时，硬件将该位清除。 0：未收到 SMBus 主机的地址； 1：当 I2C_CTRL1.SMBTYPE=1 且 I2C_CTRL1.AR PEN=1 时，收到 SMBus 主机地址。
5	SMBDADDR	SMBus 设备默认地址 (从模式) 在产生一个停止条件或一个重复的起始条件时，或 I2C_CTRL1.EN =0 时，硬件将该位清除。 0：未收到 SMBus 设备的默认地址； 1：当 I2C_CTRL1.AR PEN=1 时，收到 SMBus 设备的默认地址。
4	GCALLADDR	广播呼叫地址 (从模式) 在产生一个停止条件或一个重复的起始条件时，或 I2C_CTRL1.EN =0 时，硬件将该位清除。 0：未收到广播呼叫地址； 1：当 I2C_CTRL1.GCEN =1 时，收到广播呼叫的地址。
3	Reserved	保留，必须保持复位值
2	TRF	发送/接收 (Transmitter/receiver) 在检测到停止条件 (I2C_STS1.STOPF =1)、重复的起始条件或总线仲裁丢失 (I2C_STS1.ARLOST =1) 后，或当 I2C_CTRL1.EN =0 时，硬件将其清除。 0：数据接收模式； 1：数据发送模式； 在整个地址传输阶段的结尾，该位根据地址字节的 R/W 位来设定。
1	BUSY	总线忙 (Bus busy) 当检测到一个停止条件时，硬件将该位清除。 0：在总线上无数据通讯； 1：在总线上正在进行数据通讯。 在检测到 SDA 或 SCL 为低电平时，硬件将该位置‘1’；

位域	名称	描述
		注：该位指示当前正在进行的总线通讯，当接口被禁用 (I2C_CTRL1.EN =0) 时该信息仍然被更新。
0	MSMODE	<p>主从模式（Master/slave）</p> <p>当总线上检测到一个停止条件、仲裁丢失 (I2C_STS1.ARLOST =1) 时、或当 I2C_CTRL1.EN =0时，硬件清除该位。</p> <p>0: 从模式； 1: 主模式。</p> <p>当接口处于主模式 (I2C_CTRL1.STARTBF=1) 时，硬件将该位置位；</p>

22.6.9 I2C 时钟控制寄存器 (I2C_CLKCTRL)

地址偏移: 0x1C

复位值: 0x0000

注: 1. 要求 F_{PCLK1} 应当是 10MHz 的整数倍, 这样可以正确地产生 400kHz 的快速时钟。

2. CLKCTRL 寄存器只有在关闭 I²C 时 (*I2C_CTRL1.EN*=0) 才能设置。

位域	名称	描述
15	FSMODE	I2C 主模式选择 0: I2C 标准模式(占空比默认 1/1); 1: I2C 快速模式(占空比可配置).
14	DUTY	快速模式占空比 (Duty cycle in fast mode) 0: Tlow/Thigh= 2; 1: Tlow/Thigh= 16/9
13:12	Reserved	保留, 必须保持复位值
11:0	CLKCTRL[11:0]	快速/标准模式下的时钟控制分频系数 (主模式) 该分频系数用于设置主模式下的 SCL 时钟。 <ul style="list-style-type: none"> ■ 如果 duty cycle = Tlow/Thigh = 1/1: $\text{CLKCTRL} = f_{\text{PCLK1}}(\text{Hz})/100000/2$ $T_{\text{low}} = \text{CLKCTRL} \times T_{\text{PCLK1}}$ $T_{\text{high}} = \text{CLKCTRL} \times T_{\text{PCLK1}}$ ■ 如果 duty cycle = Tlow/Thigh = 2/1: $\text{CLKCTRL} = f_{\text{PCLK1}}(\text{Hz})/100000/3$ $T_{\text{low}} = 2 \times \text{CLKCTRL} \times T_{\text{PCLK1}}$ $T_{\text{high}} = \text{CLKCTRL} \times T_{\text{PCLK1}}$ ■ 如果 duty cycle = Tlow/Thigh = 16/9: $\text{CLKCTRL} = f_{\text{PCLK1}}(\text{Hz})/100000/25$ $T_{\text{low}} = 16 \times \text{CLKCTRL} \times T_{\text{PCLK1}}$ $T_{\text{high}} = 9 \times \text{CLKCTRL} \times T_{\text{PCLK1}}$ <p>例如, 如果 $f_{\text{PCLK1}}(\text{Hz}) = 8\text{MHz}$, duty cycle = 1/1, CLKCTRL = 8000000/100000/2 = 0x28。</p>

位域	名称	描述
		<p>注意: 1. 允许设定的最小值为0x04, 在快速DUTY模式下允许的最小值为0x01。</p> <p>2. $T_{high} = T_{f(SCL)} + T_{w(SCLH)}$, 详见数据手册中对这些参数的定义。</p> <p>3. $T_{low} = T_{f(SCL)} + T_{w(SCLL)}$, 详见数据手册中对这些参数的定义。</p> <p>4、这些延时没有过滤器;</p>

22.6.10 I2C 上升时间寄存器 (I2C_TMRISE)

地址偏移: 0x20

复位值: 0x0002

注意：I2C_TMRISE 寄存器仅在主模式下有效，当 I2C 禁用 (I2C_CTRL1.EN=0) 时才能配置。



位域	名称	描述
15:6	Reserved	保留，必须保持复位值
5:0	TMRISE[5:0]	<p>在快速/标准模式下的最大上升时间（主模式）</p> <p>这些位必须设置为I²C总线规范里给出的最大的SCL上升时间，增长步幅为1。</p> <p>例如，标准模式中最大允许SCL上升时间为1000ns。如果I2C_CTRL2.CLKFREQ[5:0]中的值等于0x08且TPCLK1=125ns，故TMRISE[5:0]中必须写入09h（1000ns/125 ns + 1）。</p> <p>如果结果不是一个整数，则将整数部分写入 TMRISE[5:0]以确保 tHIGH 参数。</p>

23 通用同步异步收发器(USART)

23.1 简介

通用同步异步收发器（USART）是一种全双工串行数据交换接口，支持同步或异步通信。可灵活配置，以便于与多种外部设备进行全双工数据交换。

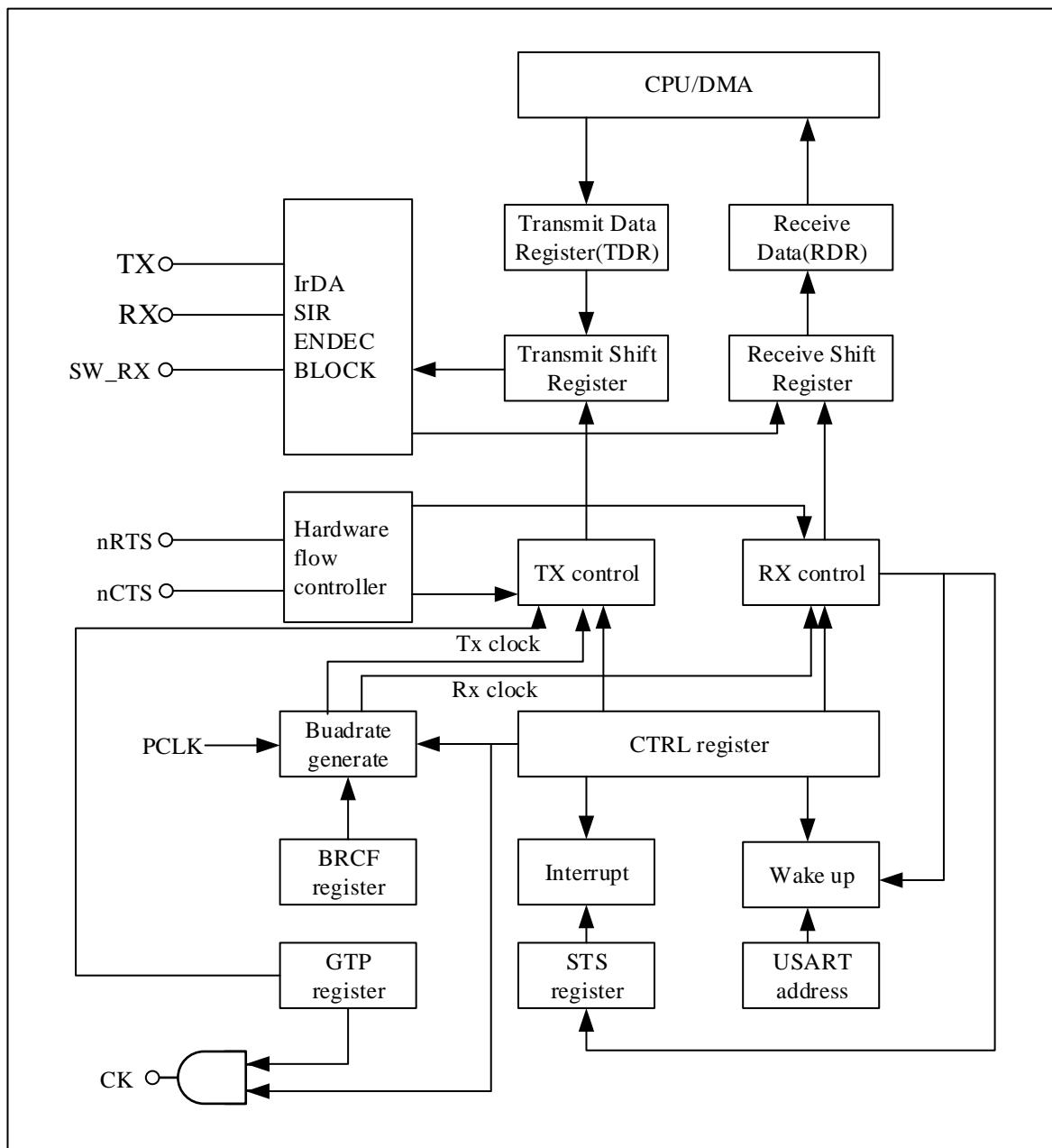
USART 接口发送与接收波特率可配置，也支持通过 DMA 进行连续通信。USART 还支持多处理器通信、LIN 模式、同步模式、单线半双工通信、智能卡异步协议、IrDA SIR ENDEC 功能、以及硬件流控制功能。

23.2 主要特性

- 支持全双工通信
- 支持单线半双工通信
- 波特率可配置，最高波特率可达 4.5Mbit/s
- 支持 8bit 或 9bit 数据帧
- 支持 1bit 或 2bit 停止位
- 支持硬件生成校验位及校验位检查
- 支持硬件流控: RTS、CTS
- 支持 DMA 收发
- 支持多处理器通信：如果地址不匹配，则进入静默模式，可通过空闲总线检测或地址标识唤醒
- 支持同步模式，允许用户在主模式下控制双向同步串行通信
- 支持智能卡异步协议，符合 ISO7816-3 标准
- 支持串行红外协议（IrDA SIR）编码与解码，提供正常与低功耗两种运行模式
- 支持 LIN 模式
- 支持多钟错误检测：数据溢出错误、帧错误、噪声错误、检验错误
- 支持多个中断请求：发送数据寄存器为空、CTS 标志、发送完成、数据已接收、数据溢出、总线空闲、检验错误、LIN 模式断开帧检测、以及多缓冲区通信中的噪声标志/溢出错误/帧错误

23.3 功能框图

图 23-1 USART 框图



23.4 功能描述

如图 23-1 所示, USART 的双向通信都需要使用 RX 和 TX 引脚与外部器件连接。其中 TX 为数据发送引脚(输出), 当发送功能使能但没有发送数据时, TX 引脚输出高电平, 当发送功能被禁用时, TX 引脚为普通 IO 端口, 状态由应 IO 配置决定。RX 为数据接收引脚(输入), 接收数据时采用了过采样技术。

当设备作为发送端时, 通过 TX 引脚发送数据, 作为接收端时则通过 RX 引脚接收数据。当没有数据收发时, 总线处于空闲状态。数据帧格式为: 1 个起始位+8 或 9 位数据(最低有效位在前)+1 个检验位(可选)+0.5,1,1.5 或 2 个停止位。

使用分数波特率发生器来配置发送与接收波特率。

从功能框图上可以看出，使用硬件流控功能时，需要 nRTS 输出引脚和 nCTS 输入引脚。当 USART 作为接收端时，如果已准备好接收数据，nRTS 输出低电平。当 USART 作为发送端时，nCTS 有效（低电平）才发送下一个数据，nCTS 无效（高电平）则不发送数据。

当使用同步模式时需要用到 CK 引脚，用于同步传输时钟输出，时钟极性与相位可软件配置。但在发送起始位与停止位时，CK 引脚不输出同步时钟。在智能卡模式下也需要 CK 引脚提供时钟。

23.4.1 USART 帧格式

起始位：1位，低电平有效

数据位：可通过 USART_CTRL1.WL 配置为 8 或 9 位，最低有效位在前。

停止位：高电平有效。

空闲帧：全部由'1'组成的一个完整的数据帧，包括起始位。后跟包含数据的数据帧的起始位。

断开帧：全部由'0'组成的一个完整的数据帧，包括停止位。在断开帧结束后，发送端再插入 1 或 2 个停止位来应答起始位。

图 23-2 字长=8 设置

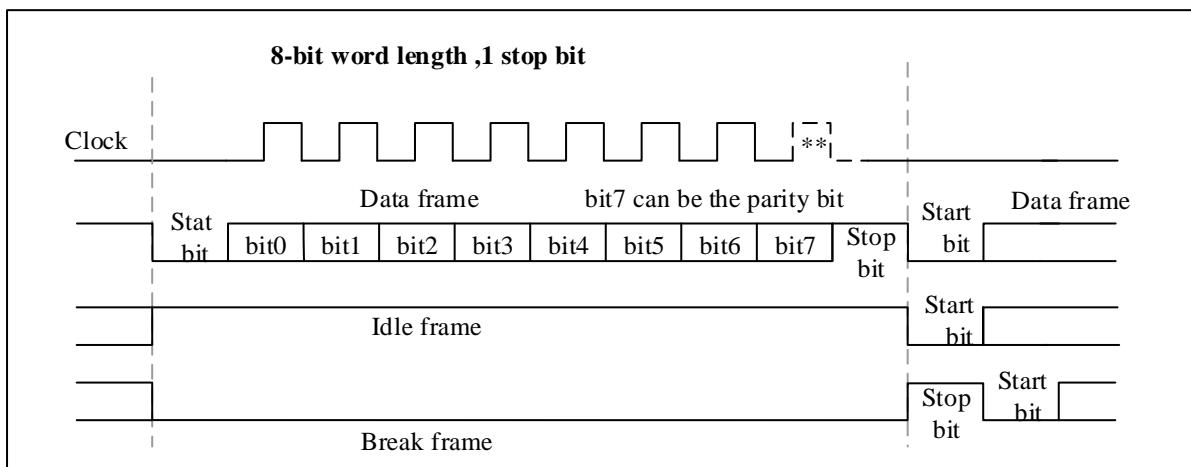
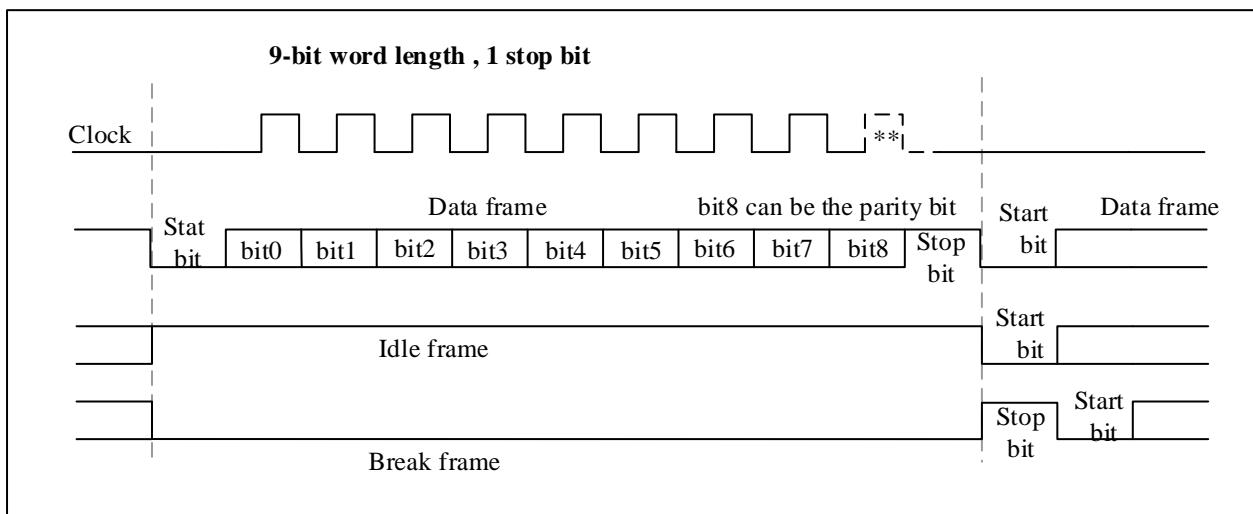


图 23-3 字长=9 设置



23.4.2 发送器

当发送功能使能后，进入移位寄存器中的数据通过 TX 引脚输出。

23.4.2.1 空闲帧

USART_CTRL1.TXEN 置 1 后，USART 会在发送数据之前发送一个空闲帧。

23.4.2.2 字符发送

在空闲帧结束后，字符可正常发送。在每个字符发送前，先发送一个起始位（低电平）。发送器根据数据长度配置发送 8 位或 9 位数据，其中最低有效位先发送。如果在数据传输时 USART_CTRL1.TXEN 被清零，将导致波特率计数器停止计数，从而破坏正在传输的数据。

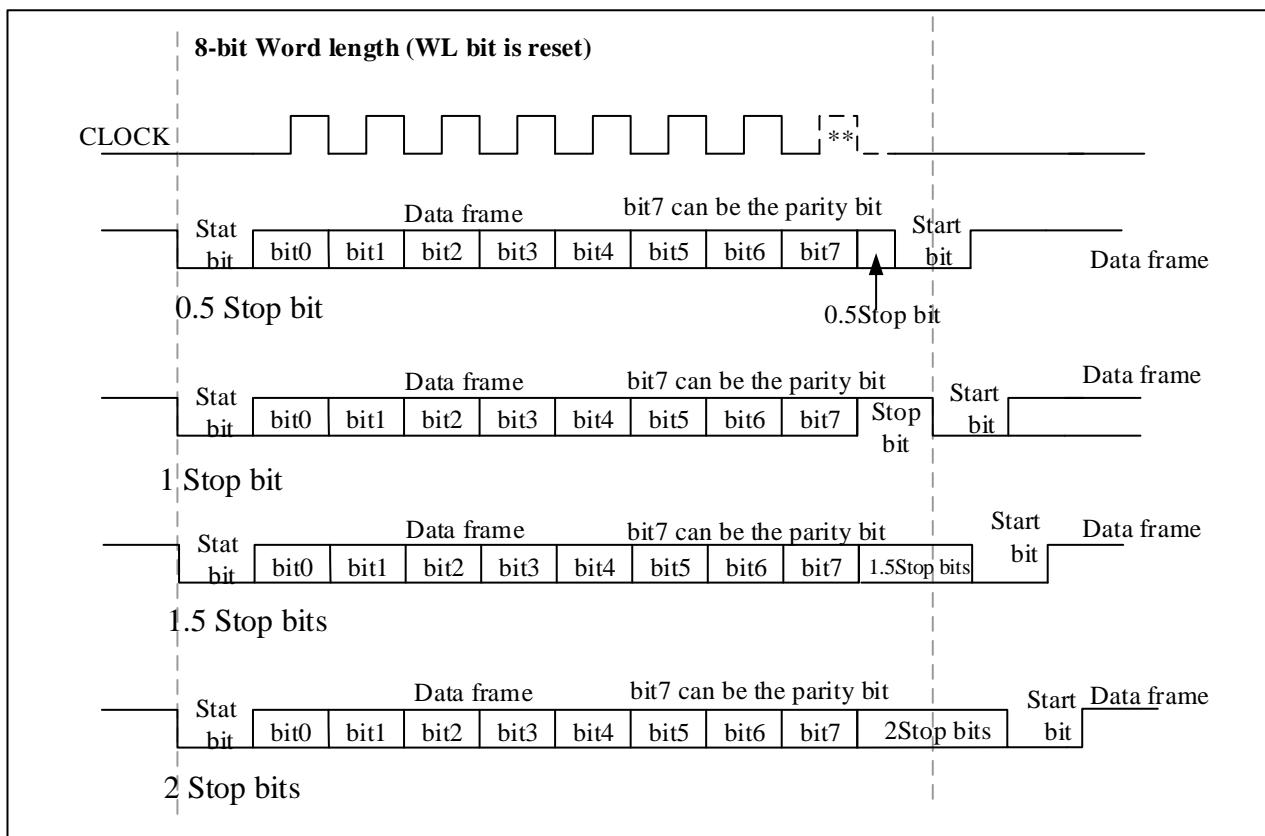
23.4.2.3 停止位

字符发送完成后，发送器自动发送停止位。停止位位数可通过 USART_CTRL2.STPB[1:0]配置。

表 23-1 停止位配置

USART_CTRL2.STPB[1:0]	停止位长度 (位)	功能描述
00	1	默认
01	0.5	用于智能卡模式下数据接收
10	2	用于常规 USART 模式、单线模式以及调制解调器模式.
11	1.5	用于智能卡模式下数据发送和接收

图 23-4 停止位配置



23.4.2.4 断开帧

可通过置位 USART_CTRL1.SDBRK 来发送 1 个断开帧。当数据长度为 8 位时，断开帧由 10 位低电平组成，当数据长度为 9 位时，断开帧由 11 位低电平组成。断开帧结束后将插入一位停止位（高电平）。

断开帧发送完成后，USART_CTRL1.SDBRK 被硬件清零，同时自动发送停止位。因此，如果要连续发送断开帧，必须在前一个断开帧与停止位发送完成后再次置位 USART_CTRL1.SDBRK。

如果在断开帧开始发送前软件清零 USART_CTRL1.SDBRK，当前断开帧不会发送。

23.4.2.5 发送流程

1. 置位 USART_CTRL1.UEN 来使能 USART；
2. 配置波特率、数据长度、校验位、停止位长度、以及根据需要配置相关 DMA；
3. 使能发送功能 (USART_CTRL1.TXEN)；
4. 通过 CPU 或 DMA 将要发送的数据依次写入数据寄存器 USART_DAT，当数据写入数据寄存器时将清零 USART_STS.TXDE；
5. 当所有数据已写入到数据寄存器 USART_DAT 后，等待发送完成标志位 USART_STS.TXC 置 1，数据发送完成。

23.4.2.6 单字节通信

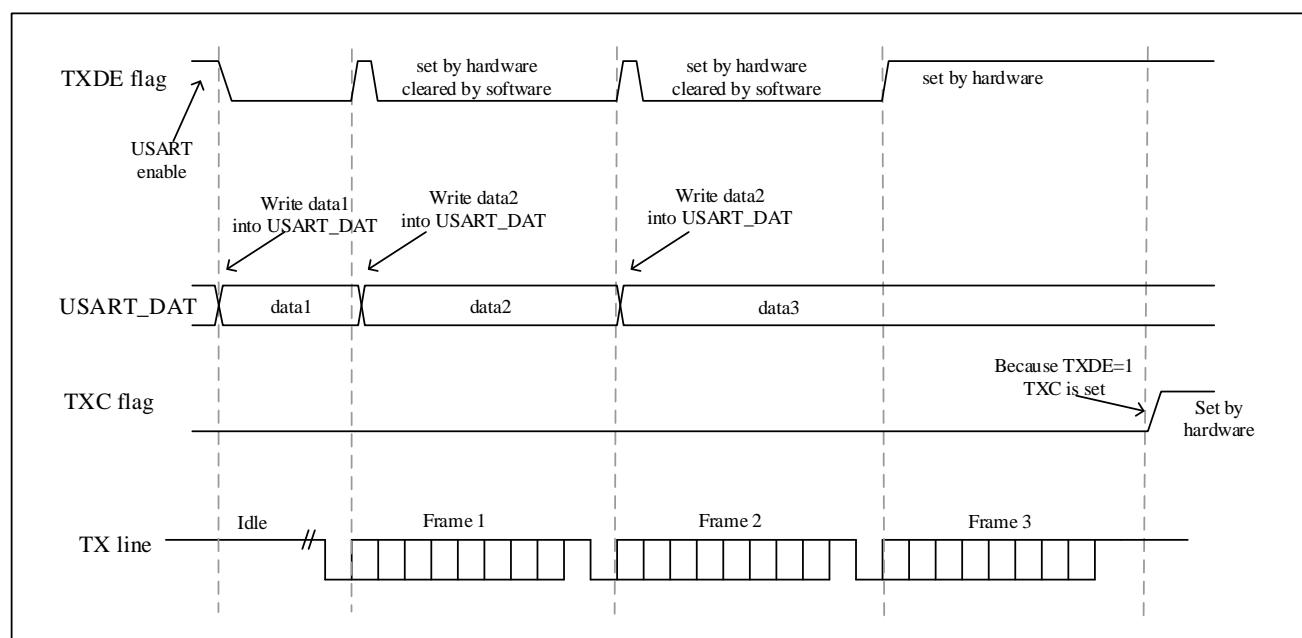
对数据寄存器 USART_DAT 的写操作将清零标志位 USART_STS.TXDE。

当数据已从发送数据寄存器送到移位寄存器时，USART_STS.TXDE 位由硬件置 1，表示数据开始发送。如

如果 USART_CTRL1.TXDEIEN 已置 1，将产生一个中断。此时，可将下一个数据写入数据寄存器 USART_DAT。对数据寄存器 USART_DAT 进行写操作时：

- 如果移位寄存器空闲，数据将直接送到移位寄存器，同时 USART_STS.TXDE 硬件置 1
- 如果移位寄存器正在发送数据，数据保存在数据寄存器，待上一个数据发送完成后，再送到移位寄存器。当一帧数据发送完成后并且 USART_STS.TXDE 置 1，USART_STS.TXC 被硬件置 1。如果 USART_CTRL1.TXCIEN 已置 1，将产生一个中断。USART_STS.TXC 通过以下软件操作清零：先读一次 USART_STS 寄存器，再写一次 USART_DAT 寄存器。

图 23-5 发送时 TXC/TXDE 的变化情况



23.4.3 接收器

23.4.3.1 起始位检测

在 USART 中，如果识别到一个特殊的采样序列 1 1 1 0 X 0 X 0 X 0 0 0 0，就认为检测到一个起始位。

在第 3、5、7 位的采样，以及在第 8、9、10 位的采样都为'0'（也即 6 个'0'），则确认收到起始位，并将 USART_STS.RXDNE 置 1，但不会置位 NEF 噪声标志。如果 USART_CTRL1.RXDNEIEN 已置 1，则产生一个中断。

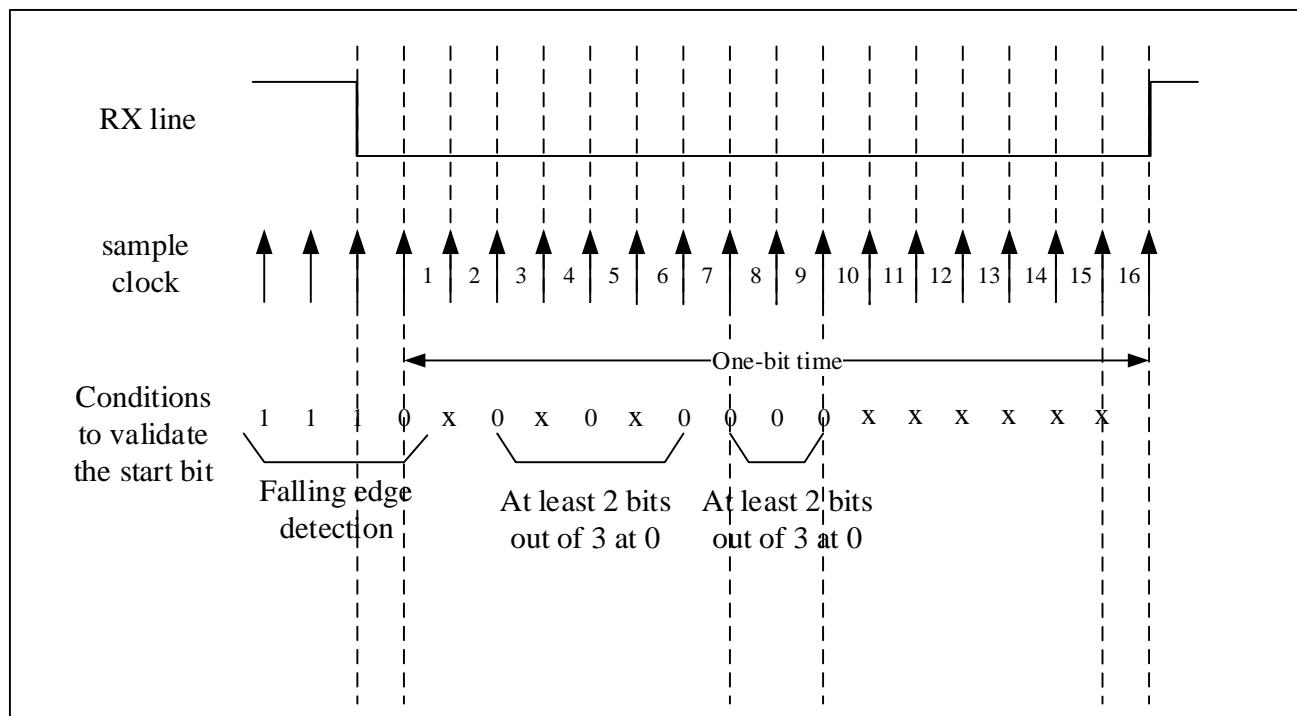
第 3、5、7 位的采样有两个'0'，与此同时，第 8、9、10 位的采样有两个'0'点，也确认收到起始位，但是会置位 NEF 噪声标志位。

第 3、5、7 位的采样有三个'0'，与此同时，第 8、9、10 位的采样有三个'0'点，也确认收到起始位，并置位 NEF 噪声标志位。

第 3、5、7 位的采样有两个'0'，与此同时，第 8、9、10 位的采样有三个'0'点，也确认收到起始位，并置位 NEF 噪声标志位。

如果在第 3、5、7、8、9、10 位的采样值满足不了上面四种要求，USART 接收器认为没有接受到正确的起始位，将退出起始位侦测并回到空闲状态等待下降沿。

图 23-6 起始位检测



23.4.3.2 停止位

停止位长度可通过 USART_CTRL2.STPB[1:0]配置。常规模式下，可配置为 1 位或 2 位。智能卡模式下，可配置为 0.5 位或 1.5 位。

1. 0.5 位停止位（智能卡模式中的数据接收）：不对停止位进行采样。因此，此时不能检测帧错误和断开帧。
2. 1 个停止位：默认情况下通过三个点对 1 个停止位的采样，选择第 8，第 9 和第 10 采样位上进行。
3. 1.5 个停止位（智能卡模式）：智能卡模式下发送数据时，器件必须检查数据是否被正确的发送出去。所以接收器功能块必须被激活（USART_CTRL2.RXEN=1），并且在停止位的发送期间采样数据线上的信号。如果出现校验错误智能卡会在发送方采样 NACK 信号时拉低数据线，表示出现了帧错误。USART_STS.FEF 与 USART_STS.RXDNE 在停止位结束后被置 1。对 1.5 个停止位的采样是在第 16，第 17 和第 18 采样点进行的，可分成两个部分：0.5 个数据位周期，接收器不做任何处理；然后是 1 个数据位周期，接收器对其进行采样。参照图 23.4.14 智能卡模式。
4. 2 个停止位：对 2 个停止位的采样是在第一停止位的第 8，第 9 和第 10 个采样点完成的。如果第一个停止位期间检测到一个帧错误，帧错误标志将被置起。在第一个停止位结束时 USART_STS.RXDNE 标志将被设置。第二个停止位将不会检测帧错误。

23.4.3.3 接收流程

1. 将 USART_CTRL1.UEN 置 1 来使能 USART；
2. 配置波特率、数据长度、校验位、停止位长度、以及根据需要配置相关 DMA；
3. 使能接收器 (USART_CTRL1.RXEN) ，开始起始位检测；
4. 接收 8 位或 9 位数据，通过 RX 引脚送往接收移位寄存器，最低有效位在前；

5. 当数据由接收移位寄存器送到 RDR 寄存器, USART_STS.RXDNE 被置 1, 表示数据可以被读出。如果 USART_CTRL2.RXNEIEN 已置 1, 将产生一个中断;
6. 当接收过程中检测到帧错误、噪音或溢出错误, 这样错误标志将被置 1。如果在数据传输过程中 USART_CTRL1.RXEN 被清零, 当前接收数据丢失;
7. USART_STS.RXDNE 通过对 USART_DAT 寄存器进行读操作清零:
 - 在多缓冲器通信模式, USART_STS.RXDNE 通过 DMA 对数据寄存器的读操作清零。
 - 在单缓冲器通信模式, USART_STS.RXDNE 通过软件对数据寄存器的读操作清零。

23.4.3.4 空闲帧检测

当一空闲帧被检测到时, USART_STS.IDLEF 置 1。此时如果 USART_CTRL1.IDLEIEN 已置 1, 将产生一个中断。USART_STS.IDLEF 可通过以下软件操作清零: 先读 USART_STS 寄存器, 再读 USART_DAT 寄存器。

23.4.3.5 断开帧检测

当一断开帧被检测到时, 帧错误标志 USART_STS.FEF 被硬件置 1, 可通过以下软件操作清零: 先读 USART_STS 寄存器, 再读 USART_DAT 寄存器。

23.4.3.6 帧错误

如果在预期的时间内没有接收和识别到停止位, 产生一个帧错误, 标志位 USART_STS.FEF 置 1, 同时无效数据将从移位寄存器送到 USART_DAT 寄存器。在单字节通信时, 没有帧错误中断产生, 因为此时 USART_STS.RXDNE 位同时置 1, 后者将产生中断。在多缓冲器通信情况下, 如果 USART_CTRL3.ERRIEN 已置 1, 将产生一个中断。

23.4.3.7 溢出错误

如果 USART_STS.RXDNE 已被置 1, 而接收移位寄存器又有数据需要送入数据寄存器, 则发生溢出错误, 同时标志位 USART_STS.OREF 硬件置 1。此时数据寄存器中的数据不会丢失, 但移位寄存器中的数据将被覆盖。USART_STS.OREF 可通过以下软件操作清零: 先读 USART_STS 寄存器, 再读 USART_DAT 寄存器。

当产生溢出错误时, 因 USART_STS.RXDNE 已置 1, 将产生一个接收中断。多缓冲器通信模式下, 如果 USART_CTRL3.ERRIEN 已置 1, 将产生一个错误中断。

23.4.3.8 噪声错误

当接收器检测到噪声错误时, USART_STS.NEF 被置 1, 可通过以下软件操作清零: 先读 USART_STS 寄存器, 再读 USART_DAT 寄存器。在单字节通信模式下不会产生噪声中断, 因为此时 USART_STS.RXDNE 也被置 1 并产生接收中断。在多缓冲器通信模式, 如果 USART_CTRL3.ERRIEN 已置 1, 将产生一个错误中断。

表 23-2 噪声检测的数据采样

采样值	NE 状态	接收的位	数据有效性
000	0	0	有效
001	1	0	无效
010	1	0	无效

011	1	1	无效
100	1	0	无效
101	1	1	无效
110	1	1	无效
111	0	1	有效

23.4.4 分数波特率计算

波特率通过 USART_BRCF 寄存器配置，分频系数由整数部分和小数部分组成，同时适用于发送器与接收器。在写入 USART_BRCF 之后，波特率计数器会被波特率寄存器的新值替换。因此，不要在通信过程中改变波特率寄存器的数值。

$$\text{TX / RX 波特率} = f_{\text{PCLK}} / (16 * \text{USARTDIV})$$

其中 f_{PCLK} 为 USART 外设时钟：

- PCLK1 用于 USART2、USART3、UART4、UART5，最高 36MHz
- PCLK2 用于 USART1、UART6、UART7，最高 72MHz.

USARTDIV 为无符号分频系数

23.4.4.1 分频系数 USARTDIV 与 USART_BRCF 寄存器配置

示例 1:

如果 USARTDIV = 27.75，则：

$$\text{DIV_Decimal} = 16 * 0.75 = 12 = 0x0C$$

$$\text{DIV_Integer} = 27 = 0x1B$$

$$\text{因此 USART_BRCF} = 0x1BC$$

示例 2:

如果 USARTDIV = 20.98，则：

$$\text{DIV_Decimal} = 16 * 0.98 = 15.68$$

取最接近的整数 $\text{DIV_Decimal} = 16 = 0x10$ ，超出可配置范围，因此需要向整数位进位

$$\text{从而 DIV_Integer} = 20 + 1 = 21 = 0x15$$

$$\text{DIV_Decimal} = 0x0$$

$$\text{因此 USART_BRCF} = 0x150$$

示例 3:

如果 USART_BRCF = 0x19B：

$$\text{DIV_Integer} = 0x19 = 25$$

$$\text{DIV_Decimal} = 0x0B = 11$$

$$\text{USARTDIV} = 25 + 11 / 16 = 25.6875$$

表 23-3 设置波特率时的误差计算

波特率		f _{PCLK} =36MHz			f _{PCLK} =72MHz		
序号	Kbps	实际	寄存器设置值	误差%	实际	寄存器设置值	误差%
1	2.4	2.4	937.5	0%	2.4	1875	0%
2	9.6	9.6	234.375	0%	9.6	468.75	0%
3	19.2	19.2	117.1875	0%	19.2	234.375	0%
4	57.6	57.6	39.0625	0%	57.6	78.125	0%
5	115.2	115.384	19.5	0.15%	115.2	39.0625	0%
6	230.4	230.769	9.75	0.16%	230.769	19.5	0.16%
7	460.8	461.538	4.875	0.16%	461.538	9.75	0.16%
8	921.6	923.076	2.4375	0.16%	923.076	4.875	0.16%
9	2250	2250	1	0%	2250	2	0%
10	4500	不可能	不可能	不可能	4500	1	0%

注意: CPU 的时钟频率越低, 则某一特定波特率的误差也越低。.

23.4.5 USART 接收器容忍时钟的变化

应用中可能会出现发送误差(包括发射端时钟的变化)、接收端波特率误差及振荡器变化、传输线变化(通常由数据上升沿和下降沿时序不一致引起)。这些因素都会影响整个时钟系统的变化。只有当上述四个变化之和小于 USART 接收机的容差时, USART 异步接收机才能正常工作。

正常接收数据时, USART 接收器的容忍度为最大能容忍的变化, 取决于数据位长度的选择, 以及是否使用分数波特率分频系数。

表 23-4 当 DIV_Decimal =0 时, USART 接收器的容忍度

WL 位	认为 NF 是错误	不认为 NF 是错误
0	3.75%	4.375%
1	3.41%	3.97%

表 23-5 当 DIV_Decimal !=0 时, USART 接收器的容忍度

WL 位	认为 NF 是错误	不认为 NF 是错误
0	3.33%	3.88%

1	3.03%	3.53%
---	-------	-------

23.4.6 校验控制

通过设置 USART_CTRL1.PCEN 来使能奇偶校验功能。

使能后，在发送数据时自动生成并发送校验位，接收数据时对校验位进行检查。

表 23-6 帧格式

WL 位	PCEN 位	USART 帧
0	0	起始位 8 位数据 停止位
0	1	起始位 7 位数据 奇偶校验位 停止位
1	0	起始位 9 位数据 停止位
1	1	起始位 8 位数据 奇偶校验位 停止位

偶校验

USART_CTRL1.PSEL 设置为 0，使能偶校验

偶校验表示一帧数据（包括校验位）中'1'的个数为偶数。例如：数据=11000101，有 4 个'1'，则发送端偶校验位为'0'（总共 4 个'1'）。接收端对数据中'1'个数进行确认：如果是偶数，校验通过；如果是奇数，表示产生了校验错误，USART_STS.PEF 标志位置 1，此时如果 USART_CTRL1.PEIVEN 已置 1，产生一个中断。

奇校验

USART_CTRL1.PSEL 设置为 1，使能奇校验

奇校验表示一帧数据（包括校验位）中'1'的个数为奇数。例如：数据=11000101，有 4 个'1'，则发送端奇校验位为'1'（总共 5 个'1'）。接收端对数据中'1'个数进行确认：如果是奇数，校验通过；如果是偶数，表示产生了校验错误，USART_STS.PEF 标志位置 1，此时如果 USART_CTRL1.PEIVEN 已置 1，产生一个中断。

23.4.7 DMA 通信

USART 支持 DMA 通信，此时采用多缓冲模式可达到较高的通信效率。

23.4.7.1 DMA 发送

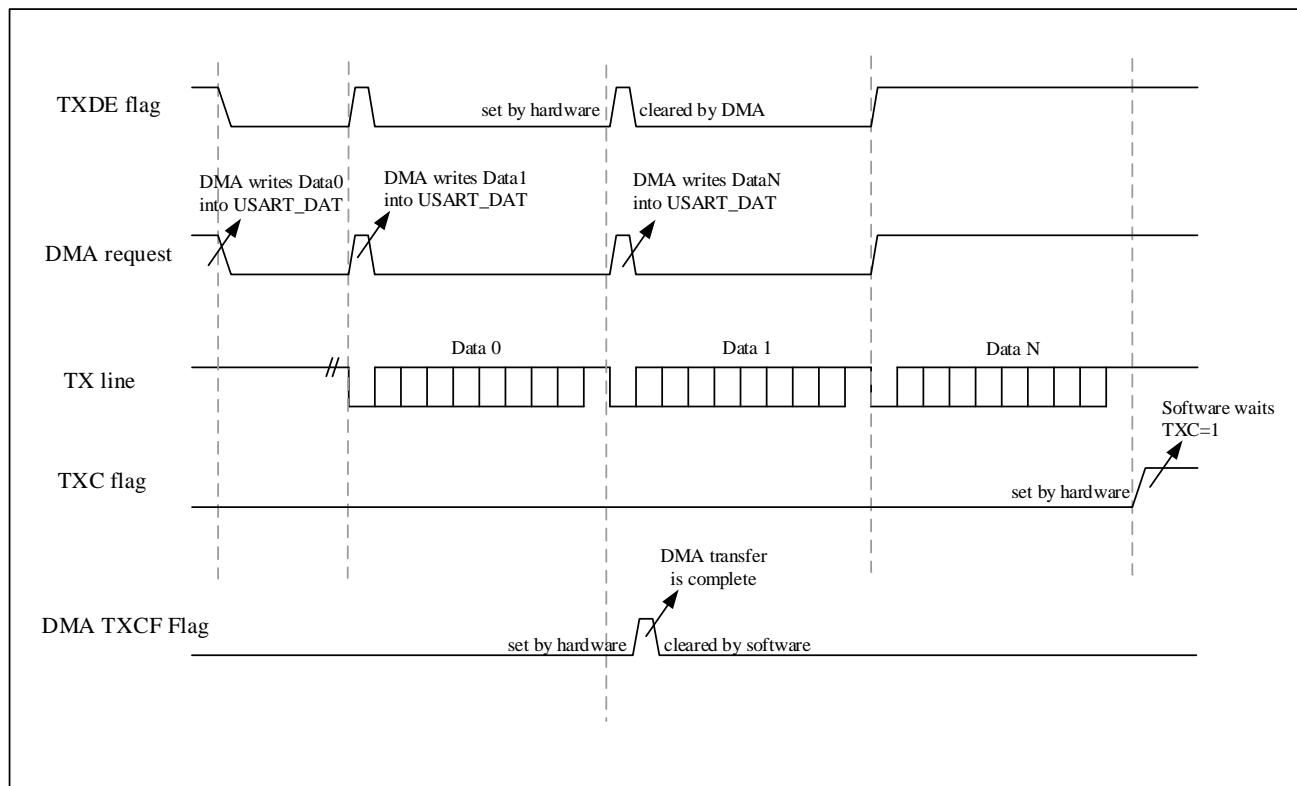
发送器通过将 USART_CTRL3.DMATXEN 置 1 来使能 DMA 发送。当发送移位寄存器为空时 (USART_STS.TXDE=1),, DMA 将数据由 SRAM 送到数据寄存器 USART_DAT。

使用 DMA 发送功能时，按照以下流程对 DMA 进行配置：

1. 设置 DMA 传输的源地址，DMA 传输时从此地址读取要发送的数据
2. 设置 DMA 传输的目地地址为 USART_DAT 寄存器地址
3. 设置要传输的总的字节数.
4. 设置 DMA 通道优先级、循环模式、地址增加模式、传输数据宽度、中断（传输完成一半还是全部完成）
5. 激活当前 DMA 通道

6. 传输完成后，标志位 DMA_INTSTS.TXCFx 被置 1

图 23-7 DMA 发送



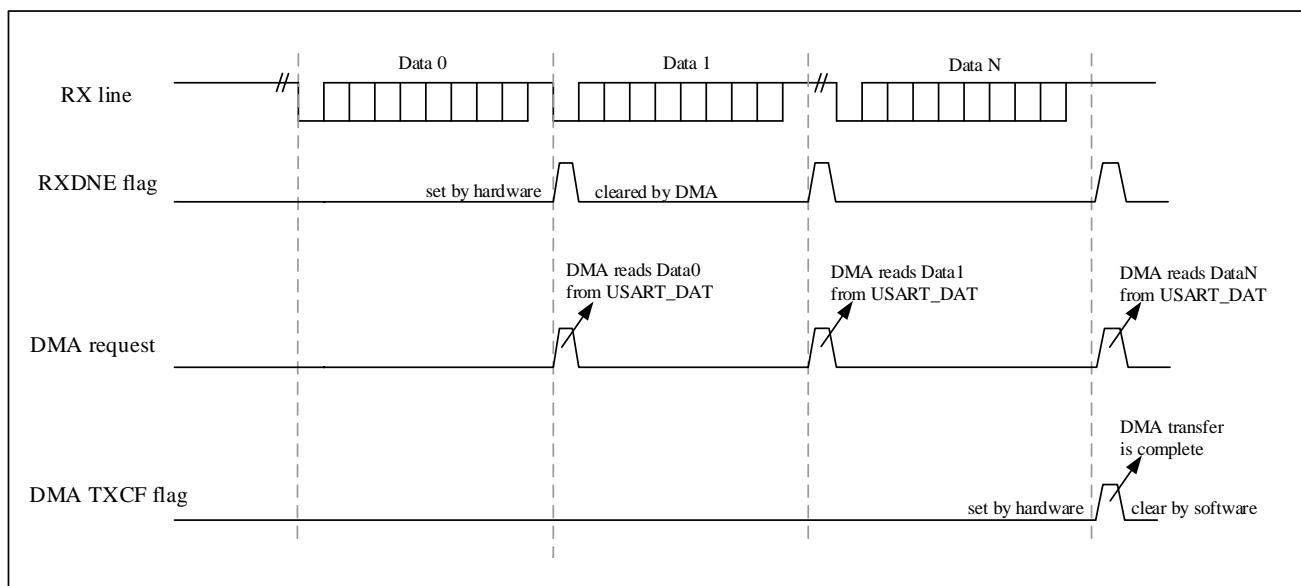
23.4.7.2 DMA 接收

接收器通过将 USART_CTRL3.DMATXEN 置 1 来使能 DMA 接收。当收到 1 字节数据时 (USART_STS.RXDNE=1)，DMA 将数据从数据寄存器 USART_DAT 读出数据，送到 SRAM。

使用 DMA 接收功能时，按照以下流程对 DMA 进行配置：

1. 设置 DMA 传输的源地址为 USART_DAT 寄存器地址，DMA 传输时从此地址读取要发送的数据
2. 设置 DMA 传输的目地地址，DMA 传输时将数据送到此地址。
3. 设置要传输的总的字节数。
4. 设置 DMA 通道优先级、循环模式、地址增加模式、传输数据宽度、中断（传输完成一半还是全部完成时）
5. 激活当前 DMA 通道

图 23-8 DMA 接收

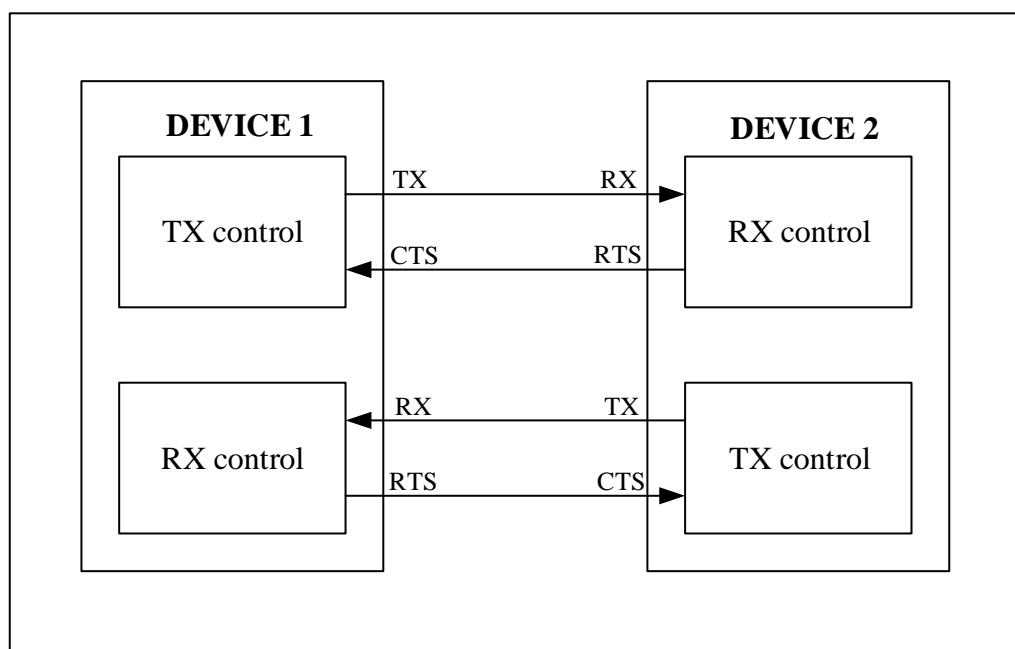


在多缓冲器通信模式，当检测到帧错误、溢出错误、噪声错误时，相应标志位置 1。如果此时 USART_CTRL3.ERRIEN 已置 1，产生一个错误中断。

23.4.8 硬件流控

USART 支持硬件流控，用于协调发送端与接收端时序，避免数据丢失。连接方式见下图。

图 23-9 两个 USART 间的硬件流控制

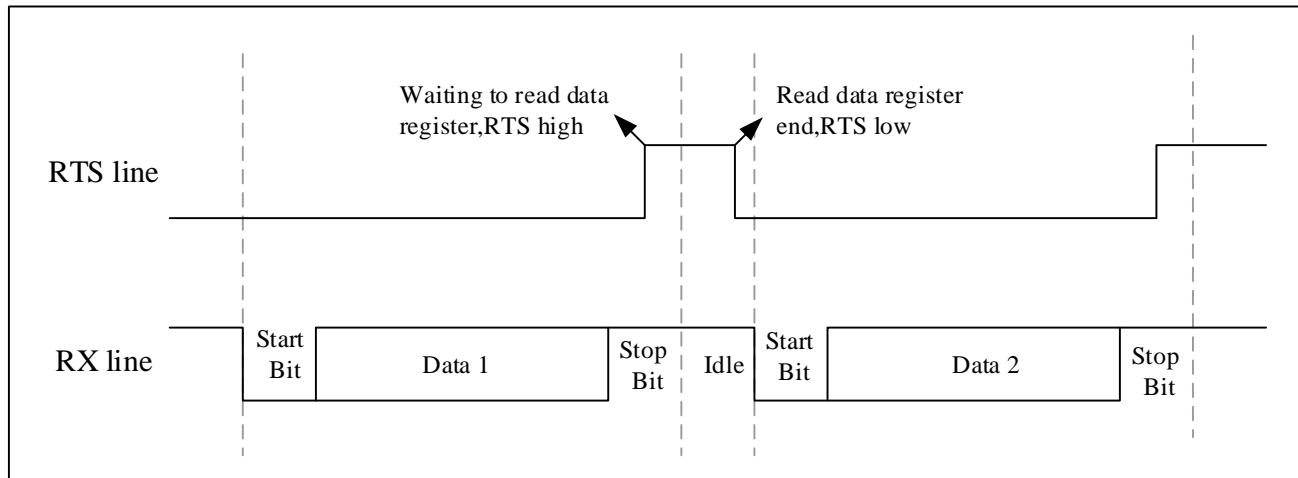


23.4.8.1 RTS 流控制

将 USART_CTRL3.RTSEN 置 1，RTS 流控制使能。通过 nRTS 引脚输出低电平表示当前 USART 的接收器已准备好接收数据。当接收器收到数据后，nRTS 输出高电平，提示发送端暂停发送下一帧数据。如果接收

器准备后接收下一帧数据，再次通过 nRTS 输出低电平。

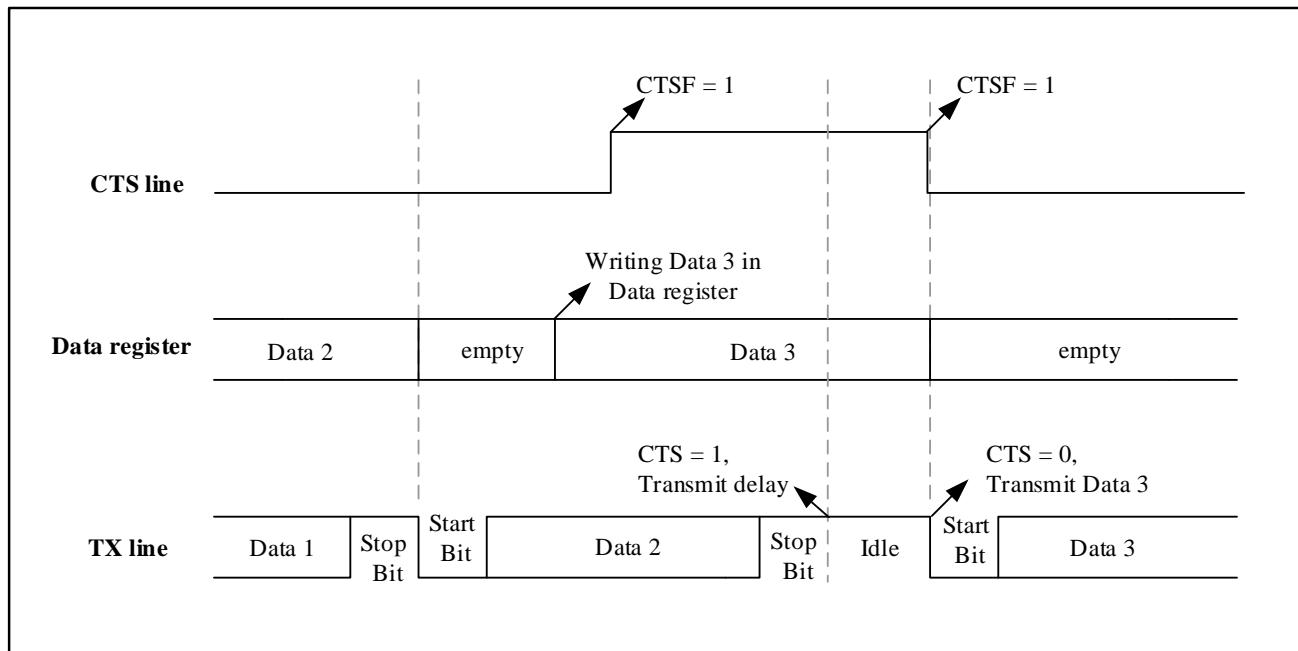
图 23-10 RTS 流控制



23.4.8.2 CTS 流控制

将 USART_CTRL3.CTSEN 置 1，CTS 流控制使能。nCTS 为输入引脚，用于判断是否能发送数据给其他设备。nCTS 检测到低电平时，表示可以发送数据给其他设备。如果在数据传输时 nCTS 被拉高（失效），在当前数据传输完成后停止发送。如果在 nCTS 无效时写数据到数据寄存器，数据保持，直到 nCTS 有效后开始发送。当 nCTS 输入信号状态发生变化时，USART_STS.CTSF 置 1。此时如果 USART_CTRL3.CTSIEN 已置 1，将产生一个中断。

图 23-11 CTS 流控制



23.4.9 多处理器通信

USART 支持多处理器通信：多个设备同时连接到 USART 进行通信，因此必须判定哪一个设备作为主设备，其他设备自动做为从设备。主机的 TX 引脚直接连接到其他从设备的 RX 引脚，所有从设备的 TX 引脚通过

逻辑与的方式合并，再连接到主设备的 RX 引脚。

在多处理器通信模式下，从设备处于静默模式，主设备在需要时通过指定方式唤醒某一个从设备，从而从设备可以和主设备进行正常通信。

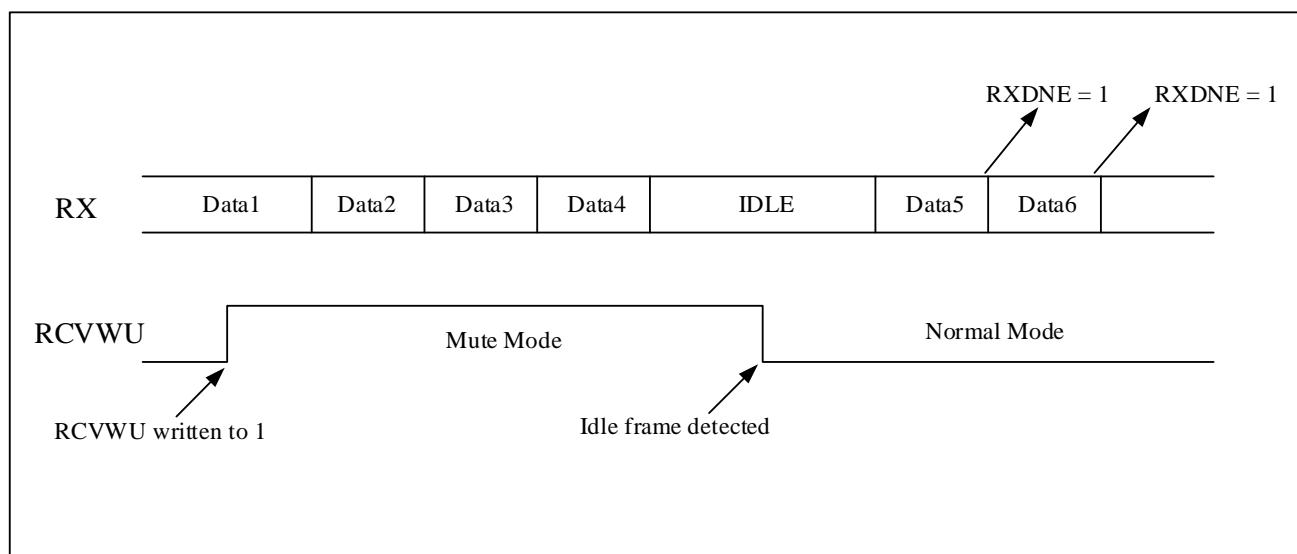
USART 可通过空闲总线检测或地址标识检测的方式从静默模式唤醒。

23.4.9.1 空闲总线检测

空闲总线检测流程如下：

1. 清零 USART_CTRL1.WUM 位，USART 启用空闲总线检测功能。
2. 当 USART_CTRL1.RCVWU 已置 1(可通过硬件自动控制或由在特定条件下由软件配置)，USART 进入静默模式，此时接收状态标志位不会置位，同时接收中断被禁用。
3. 如图 23-12 所示，当检测到空闲帧时，USART 被唤醒，同时 USART_CTRL1.RCVWU 被硬件清零，此时 USART_STS.IDLEF 标志位不会被置 1。

图 23-12 静默模式下的空闲总线检测



23.4.9.2 地址标识检测

当 USART_CTRL1.WUM 置 1 时，USART 启用地址标识检测功能。标识地址通过 USART_CTRL2.ADDR[3:0] 来配置。如果接收的数据最高有效位（MSB）为 1，当前数据为地址，低 4 位有效；如果 MSB =0，则当前数据为普通数据。

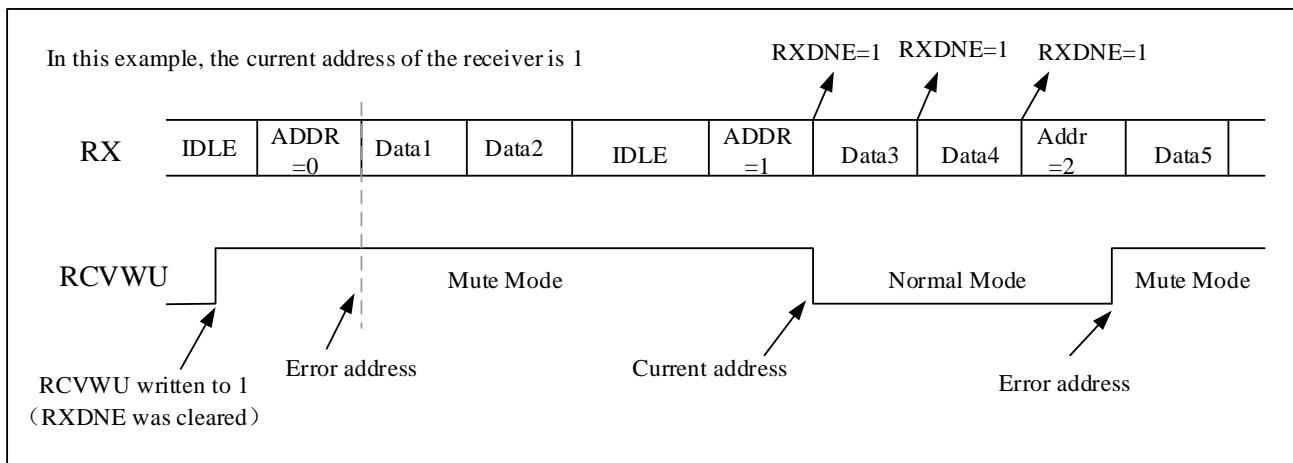
此模式下，USART 可通过以下方式进入静默模式：

- 当接收器没有数据处理时，可通过软件将 USART_CTRL1.RCVWU 置 1，使 USART 进入静默模式。
注意：当接收数据寄存器为空时，(USART_SR.RXNE=0)，USART_CTRL1.RCVWU 位可通过软件写 0 或写 1。否则，对 USART_CTRL1.RCVWU 的写操作被忽略。
- 当接收器收到的地址与预设的地址标识不匹配时，USART_CTRL1.RCVWU 由硬件置 1。

静默模式下，所有接收状态标志位不会置位，同时所有接收中断被禁用。

当接收器收到的地址与预设的地址标识相同时，USART 从静默模式唤醒，USART_CTRL1.RCVWU 被硬件清零，同时 USART_STS.RXDNE 位置 1，此时可进行正常的数据传输。

图 23-13 静默模式下的地址标识检测



23.4.10 同步模式

USART 支持同步串行通信模式。同步模式下，USART 只能做为主设备，无法通过外部输入的时钟进行数据收发。通过将 USART_CTRL2.CLKEN 位置 1 来启用同步模式。

注意：要启用同步模式，必须将以下控制位全部清零：USART_CTRL2.LINMEN、USART_CTRL3.SCMEN、USART_CTRL3.HDMEN、USART_CTRL3.IRDAMEN。

23.4.10.1 同步时钟

CK 引脚为同步时钟输出引脚。在总线空闲时、实际数据发送之前、以及发送断开标识时，同步时钟不输出。

同步时钟相位与极性可软件配置，且只能在发送器与接收器都被禁用时配置。

当时钟极性配置为 0 (USART_CTRL2.CLKPOL=0) 时，空闲时 CK 引脚输出低电平；当时钟极性配置为 1 (USART_CTRL2.CLKPOL=1) 时，空闲时 CK 引脚输出高电平。

当相位配置为 0 (USART_CTRL2.CLKPHA=0) 时，数据在第一个时钟沿采样；当相位配置为 1 (USART_CTRL2.CLKPHA=1) 时，数据在第二个时钟沿采样。

在发送起始位或停止位时，CK 引脚保持空闲状态，无时钟不输出。

未发送数据时无法接收同步数据。因为时钟仅在发送器被激活且数据写入 USART_DAT 寄存器时可用。

USART_CTRL2.LBCLK 位控制数据字节的最高有效位 (MSB) 是否有时钟脉冲。此位只能在发送器与接收器都被禁用时配置。当 USART_CTRL2.LBCLK = 1 时，则最后一位数据的时钟脉冲将从 CK 输出；当 USART_CTRL2.LBCLK = 0 时，则最后一位数据的时钟脉冲不从 CK 输出。

23.4.10.2 同步发送

同步模式下的数据发送与异步模式相同，数据从 TX 引脚输出，同时从 CK 引脚输出对应的时钟脉冲。

23.4.10.3 同步接收

同步模式下的数据接收与异步模式不同。数据在 CK 引脚输出的有效时钟沿采样，而不使用过采样。但必须考虑数据建立时间与保持时间 (1/16 数据位周期，具体时间依赖于波特率)。

图 23-14 USART 同步传输示例

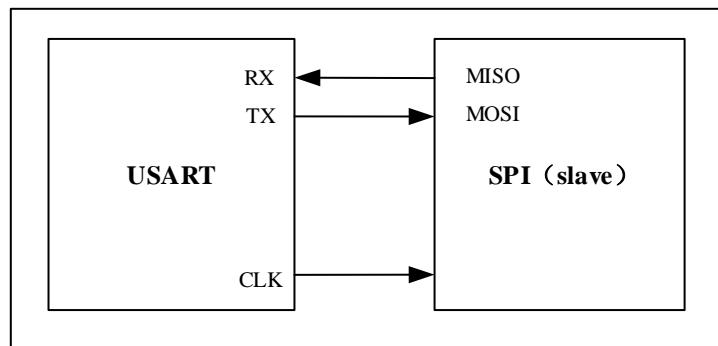


图 23-15 USART 数据时钟时序示例 (WL=0)

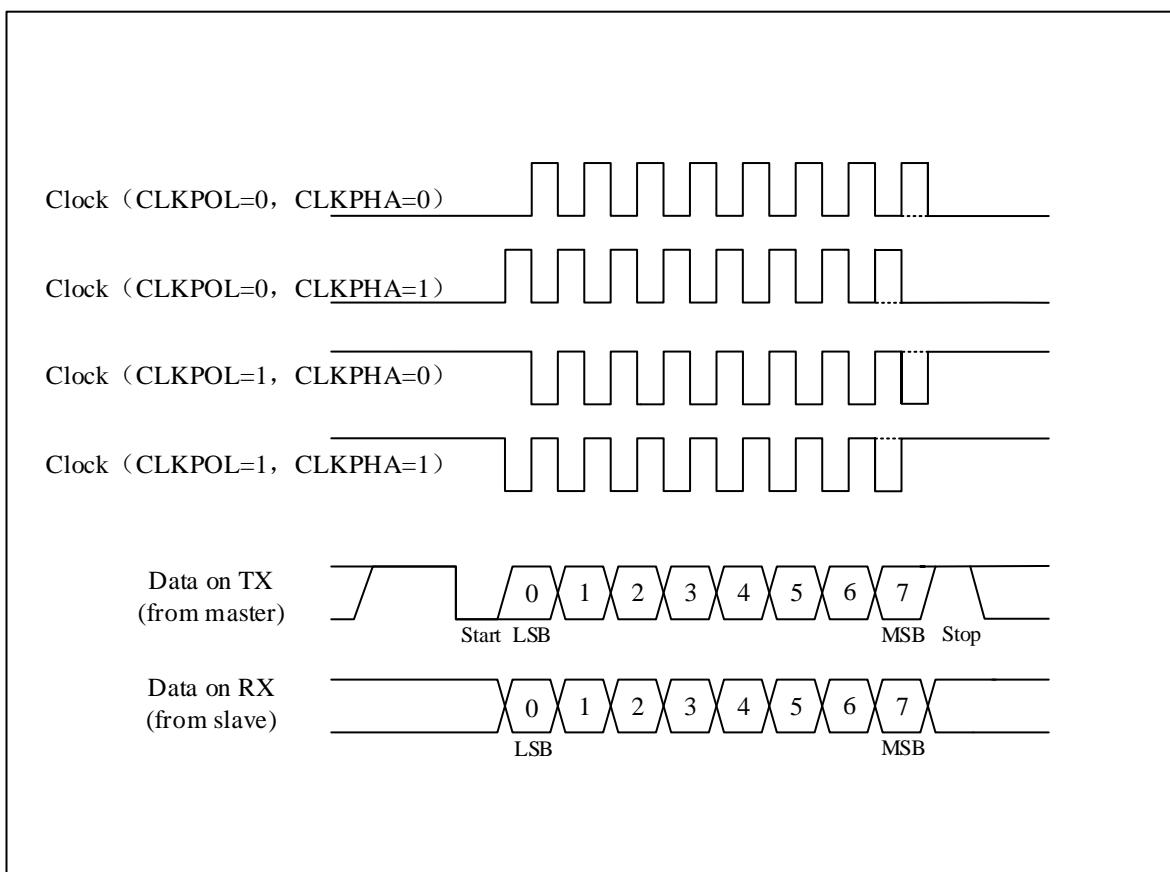


图 23-16 USART 数据时钟时序示例 (WL=1)

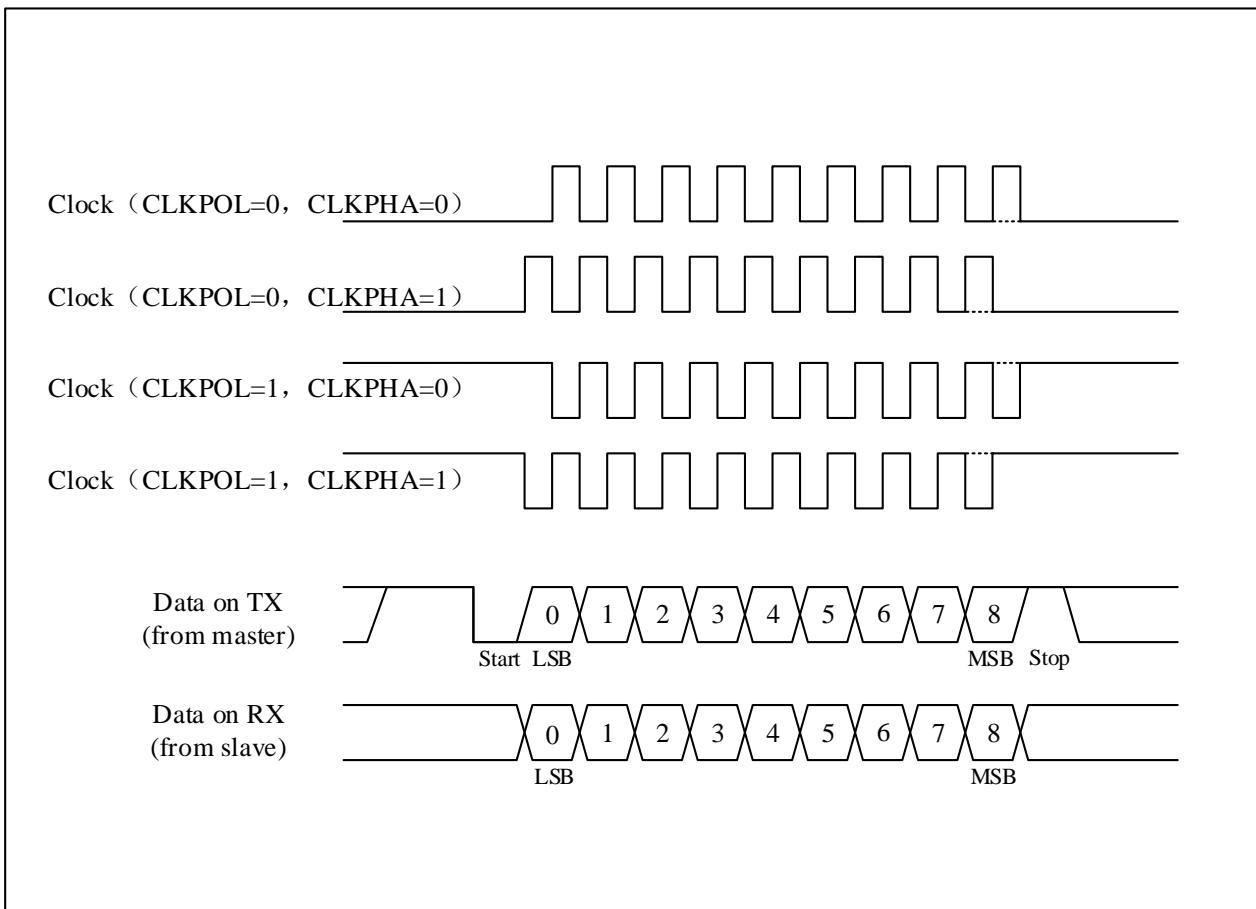
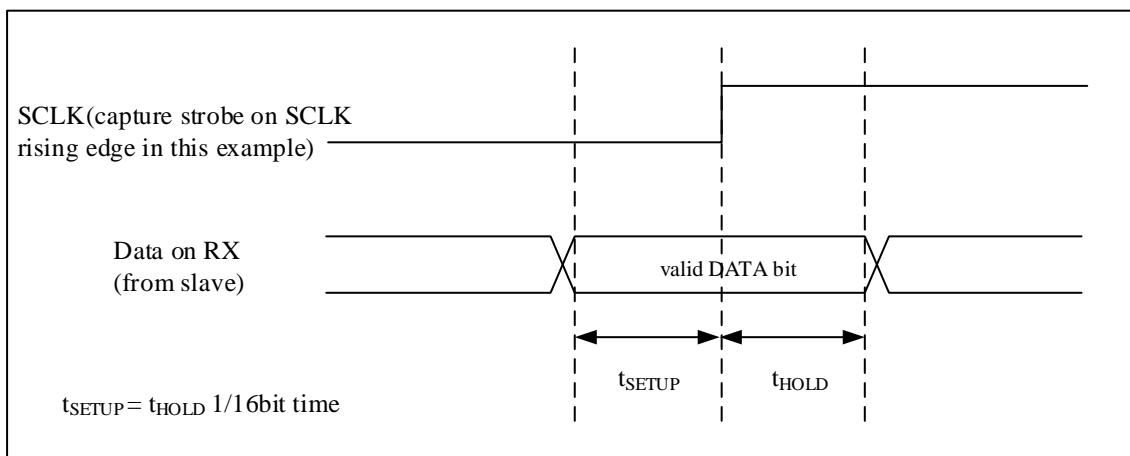


图 23-17 RX 数据采样/保持时间



注意：在智能卡模式下，CK 引脚功能与同步模式不同，有关细节请参考智能卡模式部分。

23.4.11 单线半双工模式

USART 支持单线半双工通信模式，允许数据双方向收发，但同一时间只能单向接收数据或发送数据，数据通信的冲突由软件控制。

通过设置 USART_CTRL3.HDMEN 位来选择单线半双工模式，此时以下控制位必须全部清零：

USART_CTRL2.CLKEN、USART_CTRL2.LINMEN、USART_CTRL3.SCMEN、USART_CTRL3.IRDAMEN。

启用单线半双工通信模式后，TX 引脚与 RX 引脚在芯片内部相连，外部 RX 引脚不再使用。当没有数据发送时，TX 引脚被释放。因此，TX 引脚未被 USART 使用时，必须配置为浮空输入或开漏输出高电平。

23.4.12 串行 IrDA 红外编解码模式

USART 支持 IrDA (Infrared Data Association) SIR ENDEC 规范。

通过设置 USART_CTRL3.IRDAMEN 位来选择是否使用 IrDA 模式。当启用 IrDA 模式时，以下配置位必须全部清零：USART_CTRL2.CLKEN、USART_CTRL2.STPB[1:0]、USART_CTRL2.LINMEN、USART_CTRL3.HDMEN、USART_CTRL3.SCMEN。

通过设置 USART_CTRL3.IRDALP 位，可选择 IrDA 的正常工作模式或低功耗模式。

23.4.12.1 IrDA 正常模式

当 USART_CTRL3.IRDALP=0，IrDA 工作在正常模式。

IrDA 是一个半双工通信接口，因此在发送和接收之间最小要有 10ms 的延时。数据采用反相归零(RZI)调制，即采用红外光源脉冲表示逻辑 0。脉冲宽度规定为一个位周期的 3/16，如图 23-19 所示。最大波特率为 115200bps。

USART 将数据送到 SIR 编码器进行调制后输出。调制后的数据流输出给外部红外发送器进行发送。接收时，先通过外部红外接收器接收数据并解调后，发送到 SIR 解码器，解码后再将数据送给 USART。

发送编码器与解码器输入极性相反。空闲时，编码器输出为低电平，而解码器输入为高电平。编码器输出高脉冲表示逻辑 0，输出低电平作为逻辑 1。解码器输入则与之相反。

当 USART 正在发送数据给 IrDA 编码器时，解码器将忽略数据线上的所有数据。当 USART 正在从解码器接收数据时，发送到编码器的数据也被忽略，不进行编码操作。

脉冲宽度可软件配置。IrDA 规范要求脉冲宽度大于 1.41us。如果脉冲宽度小于 2 个周期，数据被过滤而丢失。PSCV 是在 USART_GTP 寄存器配置的预分频值。

23.4.12.2 IrDA 低功耗模式

当 USART_CTRL3.IRDALP=1，IrDA 工作在低功耗模式。

在低功耗模式下发送数据时，脉冲宽度为 3 倍 PSCV 周期。经 PSCV 分频后的时钟频率最小值为 1.42MHz，典型值为 1.8432MHz，(1.42 MHz < 时钟频率 < 2.12 MHz)。

接收数据时，有效低电平信号宽度必须大于 2 个 PSCV 周期。

图 23-18 IrDA SIR ENDEC-框图

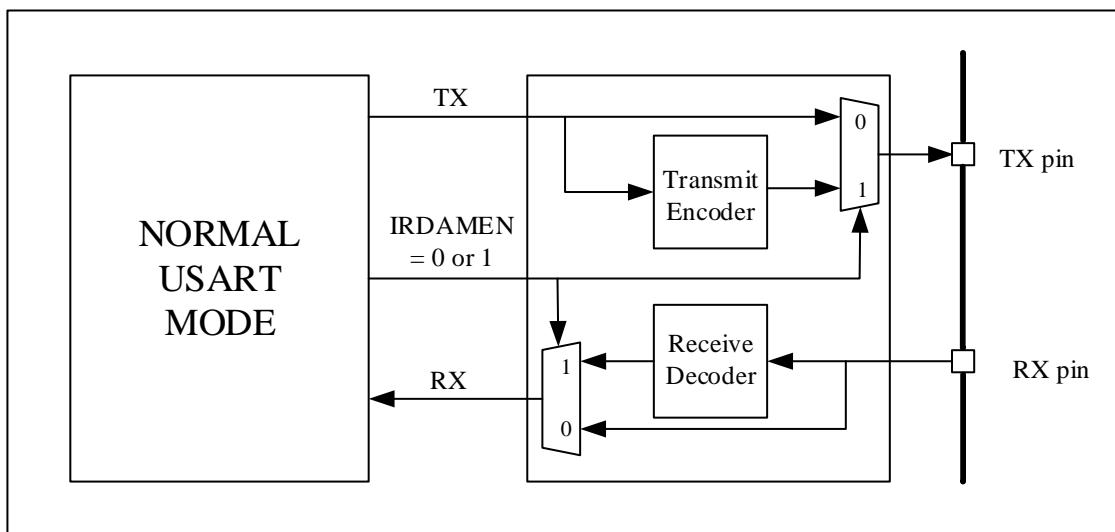
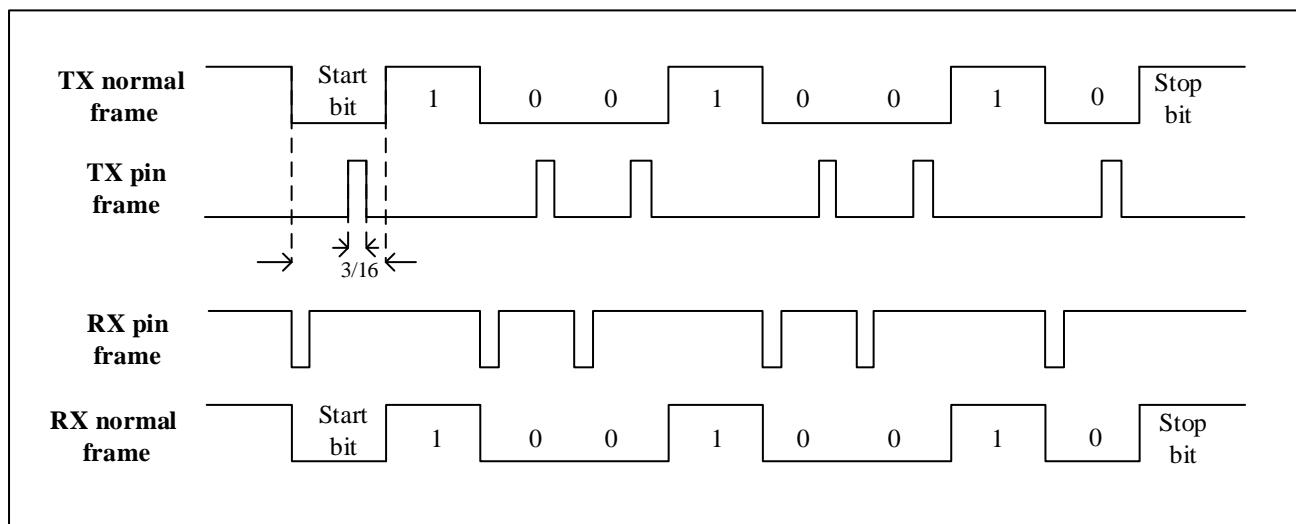


图 23-19 IrDA 数据调制 (3/16)-正常模式



23.4.13 LIN 模式

USART 支持 LIN (Local interconnection Network)模式，支持作为主机时发送同步断开帧，也支持作为从机检测断开帧。通过设置 USART_CTRL2.LINMEN 位来使能 LIN 模式。

注意 当使用 LIN 模式时，以下配置位必须全部被清零：USART_CTRL2.STPB[1:0]、USART_CTRL2.CLKEN、USART_CTRL3.SCMEN、USART_CTRL3.HDMEN、USART_CTRL3.IRDAMEN。

23.4.13.1 LIN 发送

在 LIN 模式下发送数据时，数据长度只能配置为 8 位。将 USART_CTRL1.SDBRK 置 1 将发送一个 13 位“0”断开帧，并插入一个停止位。

23.4.13.2 LIN 接收

当总线空闲或数据传输过程中均可检测断开帧。断开帧检测机制独立于 USART 接收器。

通过配置 USART_CTRL2.LINBDL 位，断开帧检测有效低电平位可选择 10 位或 11 位。

当接收器检测到一个起始位，采样电路在每个位的第 8, 9, 10 个过采样时钟点进行过采样。如果 10 个或 11 个位都是'0'，并且又跟着一个定界符，表示检测到一个断开帧，USART_STS.LINBDF 位置 1。在确认为断开帧前，必须检测定界符，意味着 RX 线已经回归空闲状态(高电平)。此时如果 USART_CTRL2.LINBDIEN 已置 1，将产生一个中断。

如果在 10 个或 11 个位前收到了'1'，当前断开帧检测被取消，并重新寻找起始位。

图 23-20 LIN 模式下的断开检测（11 位断开帧长度-设置了 LINBDF 位）

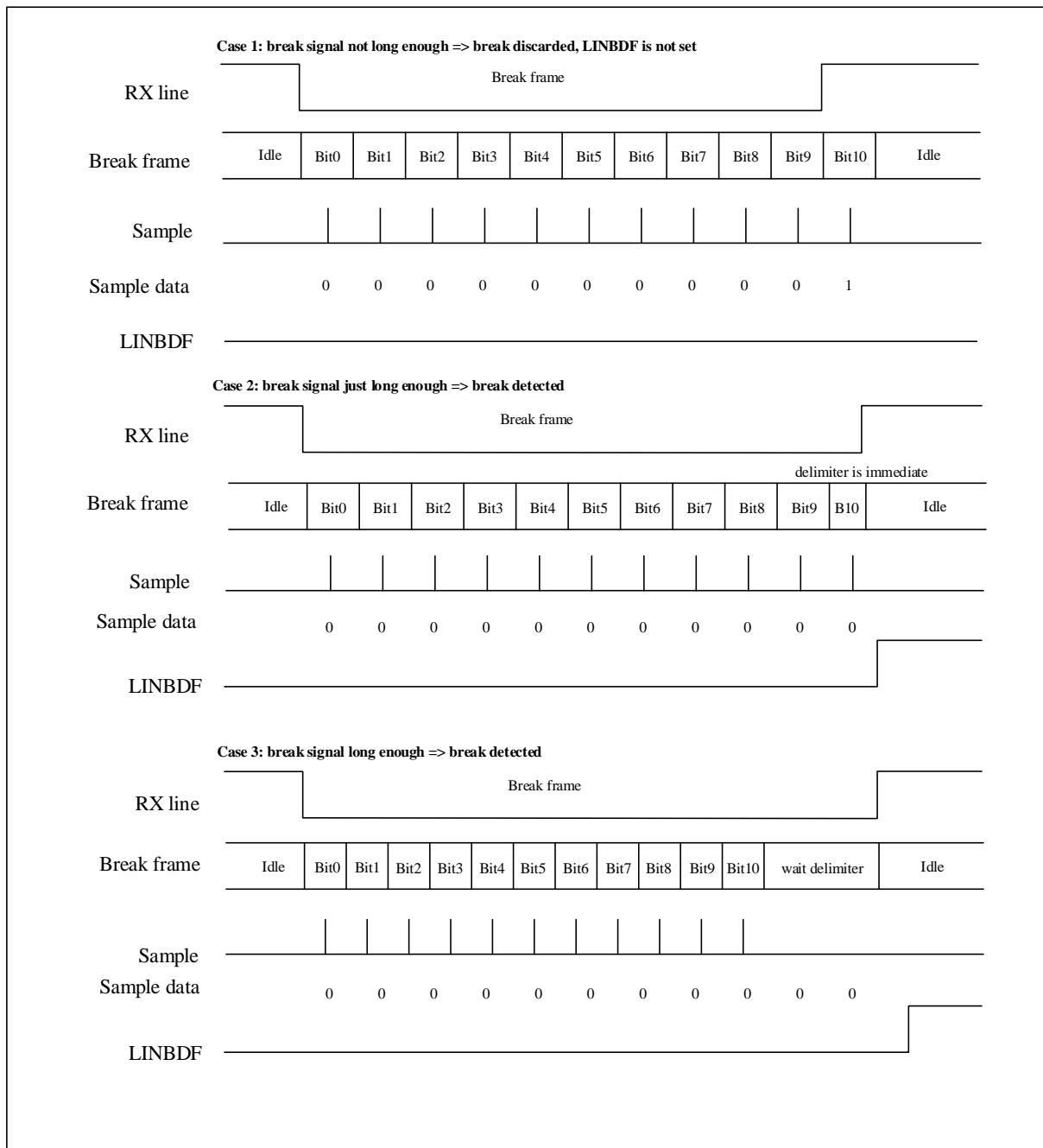
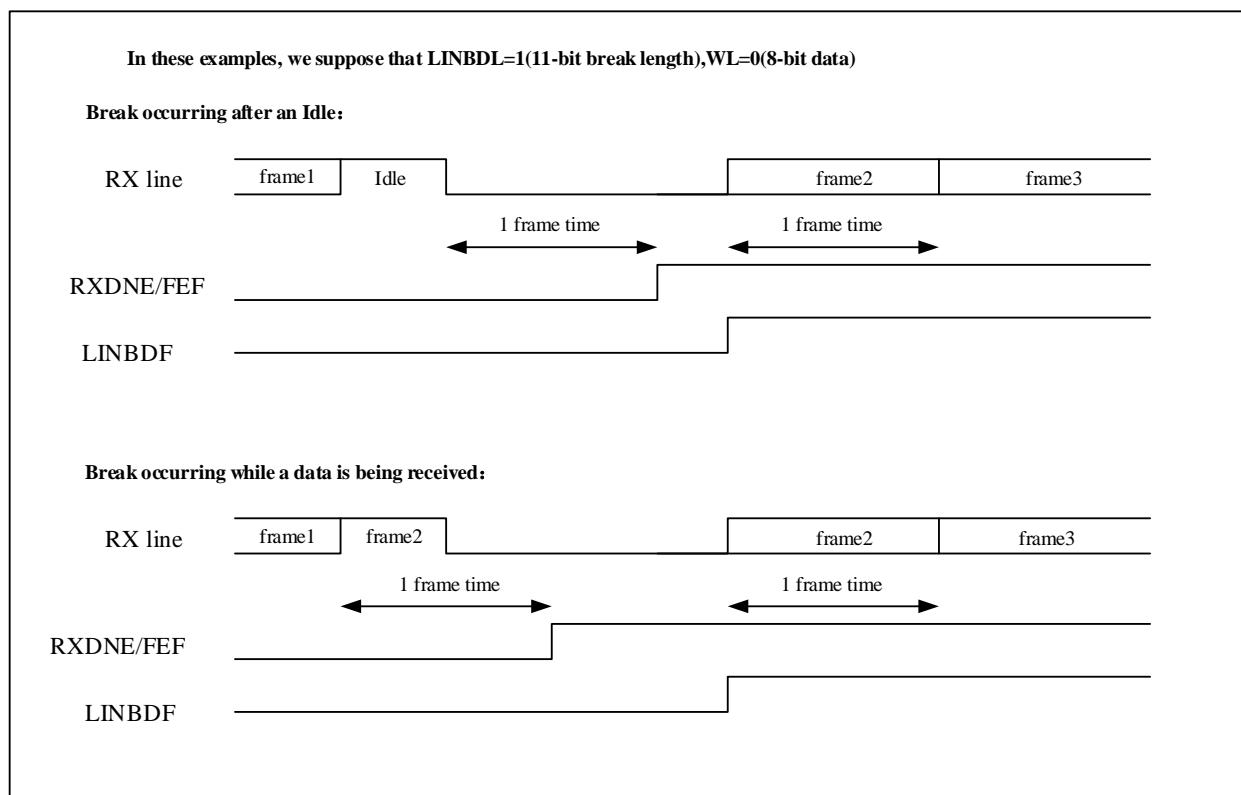


图 23-21 LIN 模式下的断开检测与帧错误的检测



23.4.14 智能卡模式 (ISO7816)

USART 支持智能卡规范，支持 ISO7816-3 标准中定义的智能卡协议。

通过配置 USART_CTRL3.SCMEN 位来选择是否启用智能卡模式。使用智能卡模式时，以下配置位必须全部清零：USART_CTRL2.LINMEN、USART_CTRL3.HDMEN、USART_CTRL3.IRDAMEN。

智能卡模式中，USART 通过 CK 引脚提供时钟，时钟频率通过预分频寄存器配置，配置范围为 fCK/2 至 fCK/62，其中 fCK 为当前 USART 输入外设时钟。

智能卡模式下，接收数据时可采用 0.5 位或 1.5 位停止位，但发送数据时停止位长度只能配置为 1.5 位。因此建议在发送和接收时均使用 1.5 个停止位，以避免在 2 种停止位长度配置间频繁切换。

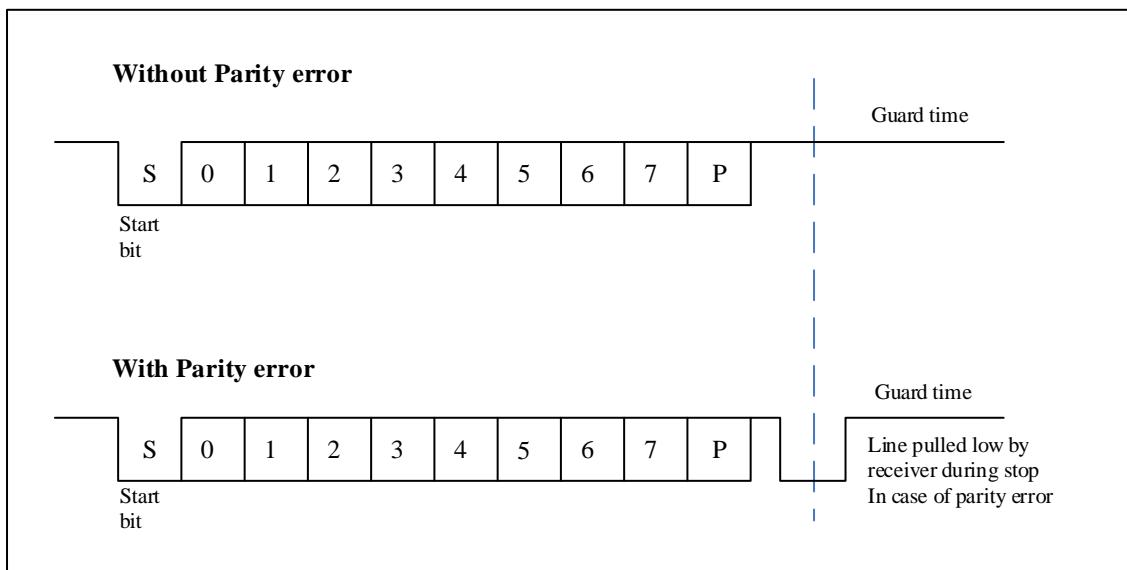
智能卡模式下，数据长度必须配置为 8 位，且校验位需要配置。

当接收器检测到一个校验错误时，在停止位后将数据发送线拉低一个波特时钟作为 NACK 信号（USART_CTRL3.SCNAK 位置 1 时），同时在发送端产生一个帧错误（发送端停止位为 1.5 位）。

当发送器接收到来自接收器的 NACK 信号（帧错误）时，它不会将 NACK 作为起始位（根据 ISO 协议，接收到的 NACK 的持续时间可以是 1 或 2 个波特时钟周期）。

下图为有无校验错误时的两种时序示例。

图 23-22 ISO7816-3 异步协议



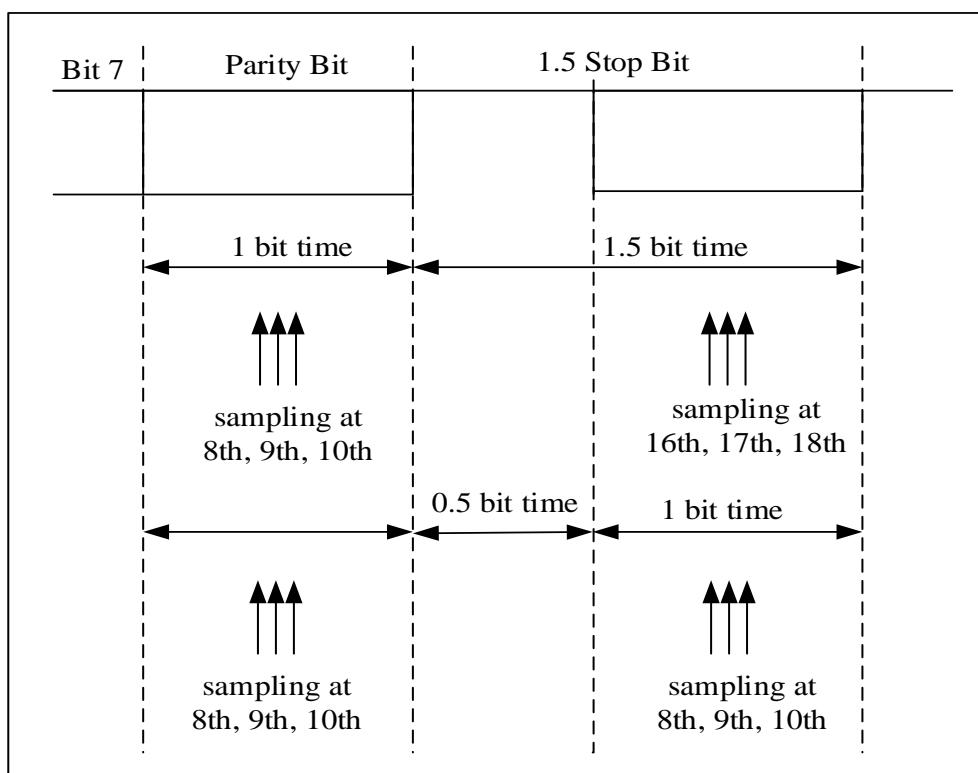
在智能卡模式下，不支持断开帧。如果接收到断开帧，视为一个带帧错误的 00h 数据帧处理。

在普通模式下，数据在下一个波特时钟从发送移位寄存器移出，而在智能卡模式下，数据发送比起普通模式至少延迟 1/2 个波特时钟。

普通模式下，当数据帧发送完并且 USART_STS.TXDE=1 时 USART_STS.TXC 置 1。在智能卡模式下，数据发送完且保护时间达到预设值（USART_GTP.GTV[7:0]）时，USART_STS.TXC 位才被置 1，且 USART_STS.TXC 标志的清零不受智能卡模式影响。

下图为 USART 采样 NACK 信号示意图。

图 23-23 使用 1.5 停止位检测奇偶检验错误



23.5 中断请求

USART 的各种中断事件是逻辑或的关系。如果某个事件对应的中断使能位已置 1, 将产生一个相应的中断。但同一个时间只产生一个中断请求。

表 23-7 USART 中断请求

中断函数	中断事件	事件标志	使能
USART 全局中断	发送数据寄存器空	TXDE	TXDEIEN
	CTS 标志	CTSF	CTSIEN
	发送完成	TXC	TXCIEN
	接收数据就绪可读	RXDNE	RXDNEIEN
	检测到数据溢出	ORERR	
	检测到空闲线路	IDLEF	IDLEIEN
	奇偶检验错	PEF	PEIEN
	断开标志	LINBDF	LINBDIEN
	噪声标志, 多缓冲通信中的溢出错误和帧错误 ⁽¹⁾	NEF/OREF/FEF	ERRIEN ⁽¹⁾

(1) 仅当使用 DMA 接收数据(USART_CTRL3.DMARXEN=1)时, 才使用这个标志位。

23.6 模式配置

表 23-8 USART 模式设置⁽¹⁾

通信模式	USART1	USART2	USART3	UART4	UART5	UART6	UART7
异步模式	Y	Y	Y	Y	Y	Y	Y
多处理器	Y	Y	Y	Y	Y	Y	Y
LIN	Y	Y	Y	Y	Y	Y	Y
同步模式	Y	Y	Y	N	N	N	N
单线模式 (半双工)	Y	Y	Y	Y	Y	Y	Y
智能卡模式	Y	Y	Y	N	N	N	N
IrDA 红外模式	Y	Y	Y	Y	Y	Y	Y
DMA 通讯模式	Y	Y	Y	Y	Y	Y	Y
硬件流控模式	Y	Y	Y	N	N	N	N

(1) Y = 支持该模式, N = 不支持该模式

23.7 USART 寄存器

23.7.1 USART 寄存器总览

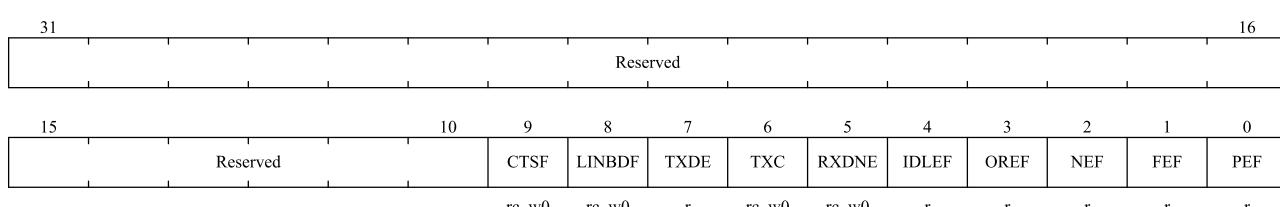
表 23-9 USART 寄存器总览

Offset	Register	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
000h	USART_STS																																	
	Reset Value																																	
004h	USART_DAT																																	
	Reset Value																																	
008h	USART_BRCF																																	
	Reset Value																																	
00Ch	USART_CTRL1																																	
	Reset Value																																	
010h	USART_CTRL2																																	
	Reset Value																																	
014h	USART_CTRL3																																	
	Reset Value																																	
018h	USART_GTP																																	
	Reset Value																																	

23.7.2 USART 状态寄存器 (USART_STS)

偏移地址: 0x00

复位值: 0x0000 00C0



位域	名称	描述
31:10	Reserved	保留, 必需保持复位值。
9	CTSF	CTS 标志 (CTS flag)。 如果设置了 USART_CTRL3.CTSEN 位, 当 nCTS 输入变化时, 该位由硬件置

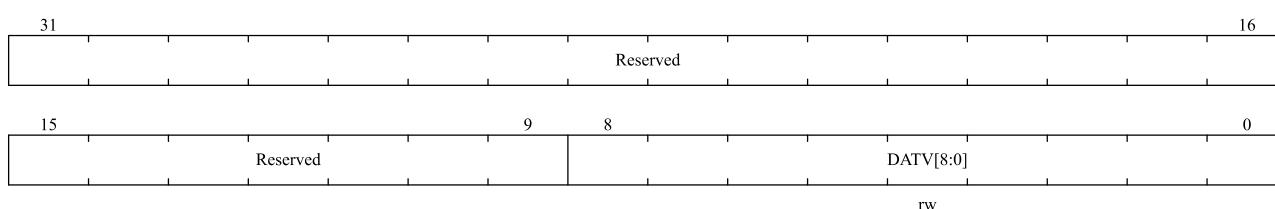
位域	名称	描述
		<p>位。如果设置了 USART_CTRL3.CTSIEN 位，将产生中断。 该位由软件清 0。 0: nCTS 状态线没有变化。 1: nCTS 状态线发生变化。 注意：该位对 UART4/5/6/7 无效。</p>
8	LINBDF	<p>LIN 断开检测标志 (LIN break detection flag)。 如果设置了 USART_CTRL2.LINMEN 位，当检测到 LIN 断开，该位由硬件置位。如果 USART_CTRL2.LINBDIEN 被置位时，将产生中断。 该位由软件清 0。 0: 没有检测到 LIN 断开字符。 1: 检测到 LIN 断开字符。</p>
7	TXDE	<p>发送数据缓冲区空 (Transmit data register empty)。 上电复位或待发送数据已发送至移位寄存器后，该位置 1。 USART_CTRL1.TXDEIEN 被置位将产生中断。 该位在软件将待发送数据写入 USART_DAT 时被清 0。 0: 发送数据缓冲区不为空。 1: 发送数据缓冲区空。</p>
6	TXC	<p>发送完成 (Transmission complete)。 上电复位后，该位被置 1。如果 USART_STS.TXDE 置位，在当前数据发送完成时该位置 1。 USART_CTRL1.TXCIEN 被置位将产生中断。 该位由软件清 0。 0: 发送没有完成。 1: 发送完成。</p>
5	RXDNE	<p>读数据缓冲区非空 (Read data register not empty)。 当读数据缓冲区接收到来自移位寄存器的数据时，该位置 1。当寄存器 USART_CTRL1.RXDNEIEN 位被置位，将会有中断产生。 软件可以通过对该位写 0 或读 USART_DAT 寄存器来将该位清 0。 0: 读数据缓冲区为空。 1: 读数据缓冲区不为空。</p>
4	IDLEF	<p>空闲线检测标志 (IDLE line detected)。 在一个帧时间内，在 RX 引脚检测到空闲状态，该位置 1。当寄存器 USART_CTRL1.IDLEIEN 位被置位，将会有中断产生。 软件先读 USART_STS，再读 USART_DAT 可清除该位。 0: 未检测到空闲帧。 1: 检测到空闲帧。 注意：IDLEF 位不会再次被置高直到 RXDNE 位被置起（即又检测到一次空闲总线）。</p>
3	OREF	<p>溢出错误 (Overrun error)。 在 RXDNE 置位的情况下，如果 USART_DAT 寄存器接收到来自移位寄存器的数据，该位置 1。当寄存器 USART_CTRL3.ERRIEN 位被置位，将会有中断产生。 软件先读 USART_STS，再读 USART_DAT 可清除该位。</p>

位域	名称	描述
		0: 没有检测到溢出错误。 1: 检测到溢出错误。
2	NEF	噪声错误标志 (Noise error flag)。 在接收到的帧检测到噪音时，由硬件对该位置位。由软件序列对其清零（先读 USART_STS，再读 USART_DAT）。 0: 没检测到噪音错误。 1: 检测到噪音错误。 注意： 该位不会产生中断，因为它和 USART_STS.RXDNE 一起出现，硬件会在设置 USART_STS.RXDNE 标志时产生中断。在多缓冲区通信模式下，如果设置了 USART_CTRL3.ERRIEN 位，则设置 NEF 标志时会产生中断。
1	FEF	帧错误 (Framing error)。 当检测到同步错位，过多的噪音或者检测到断开符，该位被硬件置位。由软件序列将其清零（先读 USART_STS，再读 USART_DAT）。 0: 未检测到帧错误。 1: 检测到帧错误或者断开帧 (break frame)。 注意： 该位不会产生中断，因为它和 USART_STS.RXDNE 一起出现，硬件会在设置 USART_STS.RXDNE 标志时产生中断。如果当前传输的数据既产生了帧错误，又产生了过载错误，硬件还是会继续该数据的传输，并且只设置 OREF 标志位。 在多缓冲区通信模式下，如果设置了 USART_CTRL3.ERRIEN 位，则设置 FEF 标志时会产生中断。
0	PEF	校验错误 (Parity error)。 当接收到的数据帧校验位与预期校验值不同时，该位置位。 软件先读 USART_STS，再读 USART_DAT 可清除该位。 0: 没检测到校验错误。 1: 检测到校验错误。

23.7.3 USART 数据寄存器(USART_DAT)

偏移地址： 0x04

复位值： 未定义（不确定值）



位域	名称	描述
31:9	Reserved	保留，必需保持复位值。
8:0	DATV[8:0]	数据值 (Data value) 包含了发送或接收的数据；软件可以通过写这些位来改变发送数据，或读这些位的值来获取接收数据。

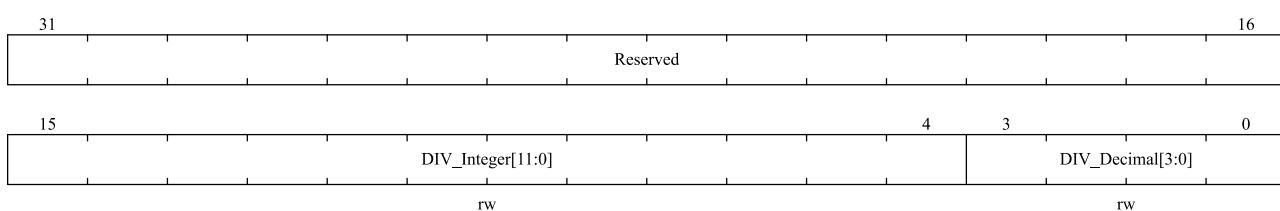
位域	名称	描述
		如果使能了奇偶校验，当发送数据被写入寄存器，数据的最高位（第 7 位或第 8 位取决于 USART_CTRL1.WL 位）将被校验位取代。

23.7.4 USART 波特率配置寄存器 (USART_BRCF)

偏移地址: 0x08

复位值: 0x0000 0000

注意: USART_CTRL1.UEN=1 时, 不能写该寄存器; 如果 USART_CTRL1.TXNE 或 USART_CTRL1.RXNE 被分别禁止, 波特计数器停止计数。

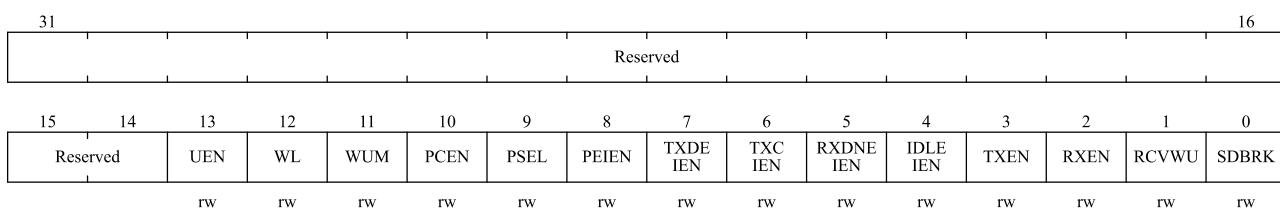


位域	名称	描述
31:16	Reserved	保留, 必需保持复位值。
15:4	DIV_Integer [11:0]	波特率分频器的整数部分。
3:0	DIV_Decimal[3:0]	波特率分频器的小数部分。

23.7.5 USART 控制寄存器 1(USART_CTRL1)

偏移地址: 0x0C

复位值: 0x0000 0000



位域	名称	描述
31:14	Reserved	保留, 必需保持复位值。
13	UEN	USART 使能 (USART enable)。 当该位被清零, 在当前字节传输完成后 USART 的分频器和输出停止工作, 以减少功耗。该位由软件设置和清零。 0: USART 禁用。 1: USART 使能。
12	WL	字长 (Word length)。 0: 8 数据位。 1: 9 数据位。 注意: 在数据传输过程中 (发送或者接收时), 不能修改这个位。

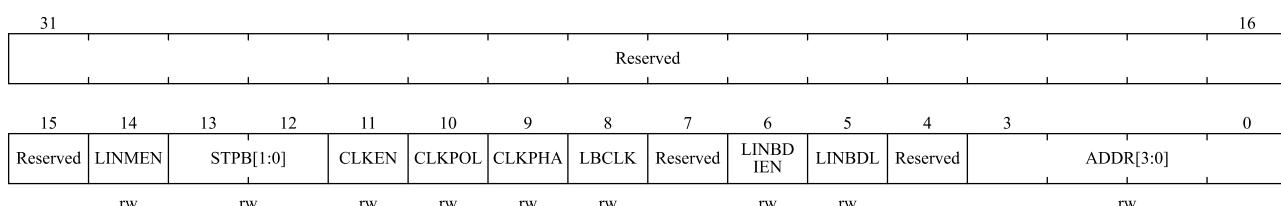
位域	名称	描述
11	WUM	从静默模式唤醒方法 (Wake up mode)。 0: 空闲帧唤醒。 1: 地址标识唤醒。
10	PCEN	校验控制使能 (Parity control enable)。 0: 校验控制禁用。 1: 校验控制被使能。
9	PSEL	校验模式 (Parity selection)。 0: 偶校验。 1: 奇校验。
8	PEIEN	校验错误中断使能 (PE interrupt enable)。 如果该位置 1, USART_STS.PEF 被置位时产生中断。 0: 校验错误中断禁用。 1: 校验错误中断使能。
7	TXDEIEN	发送缓冲区空中断使能 (TXDE interrupt enable)。 如果该位置 1, USART_STS.TXDE 被置位时产生中断。 0: 发送缓冲区空中断禁止。 1: 发送缓冲区空中断使能。
6	TXCIEN	发送完成中断使能 (Transmission complete interrupt enable)。 如果该位置 1, USART_STS.TXC 被置位时产生中断。 0: 发送完成中断禁用。 1: 发送完成中断使能。
5	RXDNEIEN	读数据缓冲区非空中断和过载错误中断使能 (RXDNE interrupt enable)。 如果该位置 1, USART_STS.RXDNE 或 USART_STS.OREF 被置位时产生中断。 0: 读数据缓冲区非空中断和过载错误中断禁用。 1: 读数据缓冲区非空中断和过载错误中断使能。
4	IDLEIEN	IDLE 线检测中断使能 (IDLE interrupt enable)。 如果该位置 1, USART_STS.IDLEF 被置位时产生中断。 0: IDLE 线检测中断禁用。 1: IDLE 线检测中断禁用使能。
3	TXEN	发送器使能 (Transmitter enable)。 0: 发送器禁用。 1: 发送器使能。
2	RXEN	接收器使能 (Receiver enable)。 0: 接收器禁用。 1: 接收器使能。
1	RCVWU	接收器从静默模式中唤醒 (Receiver wakeup) 软件可以通过将该位置 1 使得 USART 进入静默模式, 将该位清 0 唤醒 USART。 空闲帧唤醒模式下 (USART_CTRL1.WUM=0), 当检测到空闲帧时, 该位由硬件清 0。地址标识唤醒模式下 (USART_CTRL1.WUM=1), 当接收到一个地址匹配帧时, 该位由硬件清 0; 或接收到一个地址非匹配帧时, 由硬件置 1。 0: 接收器处于普通工作模式。

位域	名称	描述
		1: 接收器处于静默模式。
0	SDBRK	<p>发送断开帧 (Send break)。 软件通过将该位置 1 发送断开帧。 断开帧传输结束由硬件清 0 该位。 0: 没有发送断开帧。 1: 发送断开帧。</p>

23.7.6 USART 控制寄存器 2(USART_CTRL2)

偏移地址: 0x10

复位值: 0x0000 0000



位域	名称	描述
31:15	Reserved	保留, 必需保持复位值。
14	LINMEN	<p>LIN 模式使能 (LIN mode enable) 0: LIN 模式禁用 1: LIN 模式使能</p>
13:12	STPB[1:0]	<p>停止位长 (STOP bits)。 00: 1 停止位。 01: 0.5 停止位。 10: 2 停止位。 11: 1.5 停止位。 注意: 对于 UART4/5/6/7, 只有1位停止位和2位停止位是有效的。</p>
11	CLKEN	<p>时钟使能 (Clock enable) 0: CK 引脚禁用 1: CK 引脚使能 注意: 该位对 UART4/5/6/7 无效。</p>
10	CLKPOL	<p>时钟极性 (Clock polarity)。 该位用来设定在同步模式下 CK 引脚的极性。 0: CK 引脚不对外发送时保持为低电平。 1: CK 引脚不对外发送时保持为高电平。 注意: 该位对 UART4/5/6/7 无效。</p>
9	CLKPH	<p>时钟相位 (Clock phase)。 该位用来设定在同步模式下 CK 引脚的相位。 0: 在首个时钟边沿采样第一个数据。 1: 在第二个时钟边沿采样第一个数据。 注意: 该位对 UART4/5/6/7 无效。</p>

位域	名称	描述
8	LBCLK	<p>最后一位时钟脉冲 (Last bit clock pulse)。</p> <p>该位用来设定在同步模式下是否在 CK 引脚上输出最后发送的那个数据字节 (MSB) 对应的时钟脉冲。</p> <p>0: 最后一位数据的时钟脉冲不从 CK 输出。</p> <p>1: 最后一位数据的时钟脉冲会从 CK 输出。</p> <p>注意: 该位对 <i>UART4/5/6/7</i> 无效。</p>
7	Reserved	保留, 必需保持复位值。
6	LINBDIEN	<p>LIN 断开帧检测中断使能 (LIN break detection interrupt enable)。</p> <p>如果该位置 1, 当 USART_STS.LINBDF 被置位时将产生中断。</p> <p>0: 断开信号检测中断禁用</p> <p>1: 断开信号检测中断使能</p>
5	LINBDL	<p>LIN 断开帧检测长度 (LIN break detection length)。</p> <p>该位用来设定在断开帧长度。</p> <p>0: 10 位</p> <p>1: 11 位</p> <p>注意: LINBDL 可用于 LIN 模式及其他模式下的断开帧的检测长度控制, 且检测长度和 LIN 模式相同。</p>
4	Reserved	保留, 必需保持复位值。
3:0	ADDR[3:0]	<p>USART 地址。</p> <p>在多处理器通信下的静默模式中使用的, 使用地址标识来唤醒某个 USART 设备。</p> <p>地址标识唤醒模式下 (USART_CTRL1.WUM=1), 如果接收到的数据帧低四位与 ADDR[3:0]值不相等, USART 就会进入静默模式; 如果接收到的数据帧低四位与 ADDR[3:0]值相等, USART 就会被唤醒。</p>

23.7.7 USART 控制寄存器 3(USART_CTRL3)

偏移地址: 0x14

复位值: 0x0000 0000

31	Reserved												16
15	11	10	9	8	7	6	5	4	3	2	1	0	
	Reserved	CTS IEN	CTSEN	RTSEN	DMA TXEN	DMA RXEN	SC MEN	SC NACK	HDM EN	IRDA LP	IRDA MEN	ERR IEN	

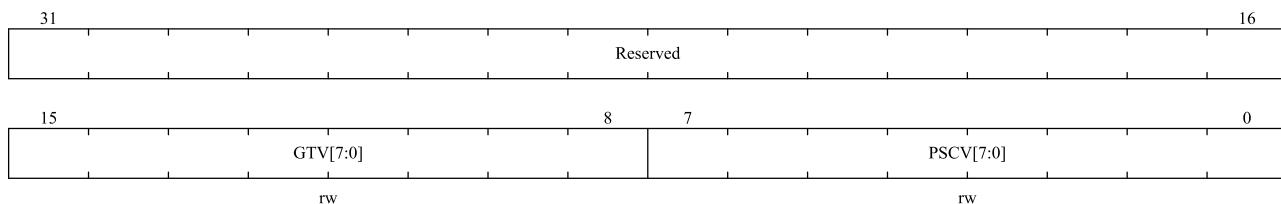
位域	名称	描述
31:11	Reserved	保留，必需保持复位值。
10	CTSIEN	<p>CTS 中断使能 (CTS interrupt enable)。</p> <p>如果该位置 1，当 USART_STS.CTSF 被置位时将产生中断。</p> <p>0: CTS 中断禁用。</p> <p>1: CTS 中断使能。</p> <p>注意：该位对 UART4/5/6/7 无效。</p>

位域	名称	描述
9	CTSEN	<p>CTS 使能 (CTS enable)。</p> <p>该位用于使能 CTS 硬件流控制功能。</p> <p>0: CTS 硬件流控制禁用。</p> <p>1: CTS 硬件流控制使能。</p> <p>注意: 该位对 UART4/5/6/7 无效。</p>
8	RTSEN	<p>RTS 使能 (RTS enable)。</p> <p>该位用于使能 RTS 硬件流控制功能。</p> <p>0: RTS 硬件流控制禁用。</p> <p>1: RTS 硬件流控制使能。</p> <p>注意: 该位对 UART4/5/6/7 无效。</p>
7	DMATXEN	<p>DMA 发送使能 (DMA transmitter enable)。</p> <p>0: DMA 发送模式禁用。</p> <p>1: DMA 发送模式使能。</p>
6	DMARXEN	<p>DMA 接收使能 (DMA receiver enable)。</p> <p>0: DMA 接收模式禁用。</p> <p>1: DMA 接收模式使能。</p>
5	SCMEN	<p>智能卡模式使能 (Smart card mode enable)。</p> <p>该位用于使能智能卡模式。</p> <p>0: 智能卡模式禁用。</p> <p>1: 智能卡模式使能。</p> <p>注意: 该位对 UART4/5/6/7 无效。</p>
4	SCNACK	<p>在智能卡模式 NACK 使能 (Smart card NACK enable)。</p> <p>该位用于智能卡模式在奇偶校验错误发生时使能发送 NACK。</p> <p>0: 当出现校验错误时不发送 NACK。</p> <p>1: 当出现校验错误时发送 NACK。</p> <p>注意: 该位对 UART4/5/6/7 无效。</p>
3	HDMEN	<p>半双工模式使能 (Half-duplex mode enable)。</p> <p>该位用于使能半双工模式。</p> <p>0: 半双工模式禁用。</p> <p>1: 半双工模式使能。</p>
2	IRDALP	<p>IrDA 低功耗模式 (IrDA low-power)。</p> <p>该位用于为 IrDA 模式选择低功耗模式。</p> <p>0: 正常模式。</p> <p>1: 低功耗模式。</p>
1	IRDAMEN	<p>IrDA 模式使能 (IrDA mode enable)。</p> <p>0: IrDA 禁用。</p> <p>1: IrDA 使能。</p>
0	ERRIEN	<p>错误中断使能 (Error interrupt enable)。</p> <p>当 DMA 接收模式 (USART_CTRL3.DMARXEN=1) 使能时, 如果该位被置 1, USART_STS.FEF、USART_STS.OREF、USART_STS.NEF 被置位将产生中断。</p> <p>0: 错误中断禁用。</p> <p>1: 错误中断使能。</p>

23.7.8 USART 保护时间和预分频寄存器(USART_GTP)

偏移地址： 0x18

复位值： 0x0000 0000



位域	名称	描述
31:16	Reserved	保留，必需保持复位值。
15:8	GTV[7:0]	<p>智能卡模式下的保护时间值 (Guard time value)。 该位域规定了以波特时钟为单位的保护时间。在智能卡模式下，需要这个功能。USART_STS.TXC 标志置位时间延时 GTV[7:0]个波特时钟周期。 <i>注意：该位对 UART4/5/6/7 无效。</i></p>
7:0	PSCV[7:0]	<p>预分频器值 (Prescaler value)。</p> <p>在 IrDA 低功耗模式下：</p> <p>这些位用来设定将外设时钟 (PCLK1/PCLK2) 分频产生低功耗频率的分频系数。</p> <p>00000000: 保留 – 不要写入该值 00000001: 对源时钟 1 分频 ... 11111111: 对源时钟 255 分频</p> <p>在 IrDA 正常模式下：</p> <p>PSCV 只能设置成 00000001。</p> <p>在智能卡模式下：</p> <p>PSCV[7:5]保留，PSCV[4:0]用于设定外设时钟 (APB1/APB2) 生成智能卡时钟的分频系数。实际的分频系数为 PSCV[4:0]设定值的两倍。</p> <p>00000: 保留 – 不要写入该值 00001: 对源时钟 2 分频 00010: 对源时钟 4 分频 ... 11111: 对源时钟 62 分频</p> <p><i>注意：该位对 UART4/5/6/7 无效。</i></p>

24 四线串行外设接口 (QSPI)

24.1 QSPI 简介

QSPI 是用于单/双/四线 SPI 外设通信的接口。可以在间接和内存映射 2 种模式下工作。

间接模式：使用 QSPI 寄存器执行所有操作。

内存映射模式：外部闪存映射至微控制器地址空间，系统将其视为内部存储空间。

24.2 QSPI 主要特性

QSPI 控制器的主要特性如下：

- 支持 1 路 QSPI，可以配置成 Single SPI/Dual SPI/Quad SPI 模式。在 Single 模式下，支持标准的 SPI 操作，可以工作在半双工、全双工模式下；
- 支持间接模式和内存映射模式；
- 支持 8-bit、16-bit、32-bit 的数据访问方式；
- 支持深度为 32，宽度为 32bit 的独立 RX FIFO 和 TX FIFO；
- 支持 DMA 操作；
- 支持 FIFO 中断、操作完成中断、数据访问错误中断；
- 最大速度支持 $4 \times 36\text{Mbps}$ ；
- 在间接模式或内存映射模式下，操作分为 Instruction 阶段、Address 阶段、Mode bits 阶段、wait cycles 阶段、Data 阶段。这几个阶段可以配置为略过，但至少保留一个阶段。

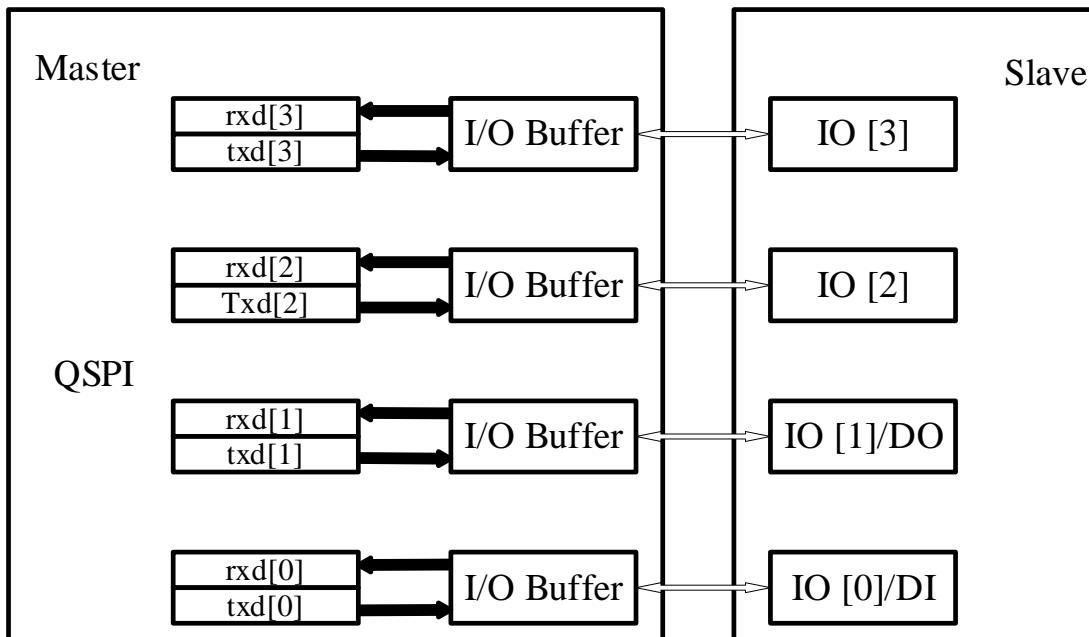
注意：Mode bits 阶段只在 XIP 模式使用。

注意：XIP 模式下仅支持对外部存储器进行读操作，不支持写操作。

注意：XIP 模式下读取外部存储器数据时仅支持大端模式。

24.3 功能描述

图 24-1 QSPI 功能框图

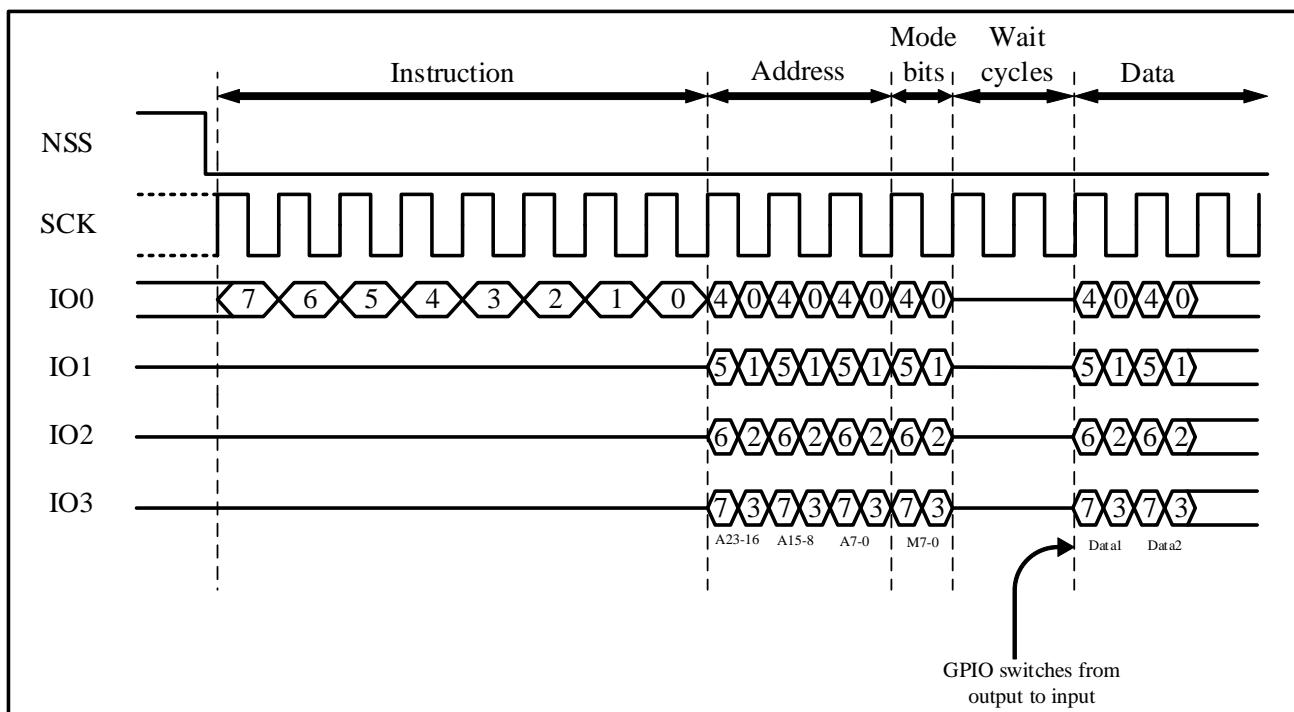


24.4 QSPI 命令序列

QSPI 通过命令与外设通信，每条命令包括 Instruction 阶段、Address 阶段、Mode bits 阶段、Wait cycles 阶段和 Data 阶段五个阶段，任一阶段均可跳过，但至少要保留 Instruction 阶段、Address 阶段、Mode bits 阶段或 Data 阶段其中一个阶段。

注意：Mode bits 阶段只用在 XIP 模式

图 24-2 QSPI 命令序列



24.5 操作流程

24.5.1 QSPI 间接模式

在间接模式下，通过写入 QSPI 寄存器来启动命令，并通过读写数据寄存器来传输数据，其方式与其它通信外设相同。

当 `QSPI_CTRL0.TMOD[1:0]=00` 时，处于发送与接收模式，发送/接收数据均有效。传输数据持续进行，直到发送 FIFO 为空为止。从外部设备接收的数据存储在接收 FIFO 存储器中，主机处理器可以访问该数据。

注意：只有在标准 SPI 模式下 (`QSPI_CTRL0.SPI_FRF[1:0] = 00`) 才可以使用 Tx and Rx 模式

当 `QSPI_CTRL0.TMOD[1:0]=01` 时，QSPI 处于间接发送模式，其待发送字节在数据发送阶段送到闪存，通过写入 `QSPI_DATx` 寄存器来提供数据。

当 `QSPI_CTRL0.TMOD[1:0]=10` 时，QSPI 处于间接接收模式，其待接收数据在数据接收阶段从闪存接收，通过读取 `QSPI_DATx` 寄存器来获取数据。

当 `QSPI_CTRL0.TMOD[1:0]=11` 时，EEPROM 读取模式，发送数据用于将操作码/地址发送到 EEPROM 设备。

注意：只有在标准 SPI 模式下 (`QSPI_CTRL0.SPI_FRF[1:0] = 00`) 才可以使用 EEPROM read 模式

要读取的字节数在 `QSPI_CTRL1.NDF[15:0]` 中指定。

24.5.2 QSPI 间接发送操作

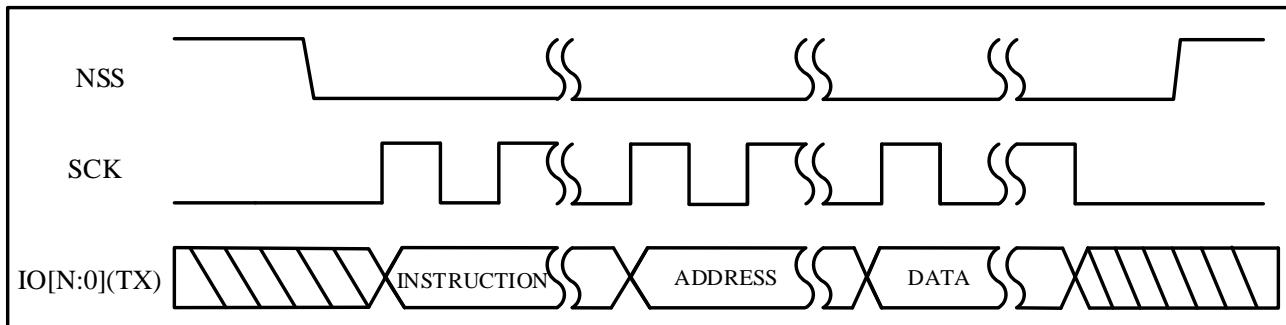
1 QSPI_CTRL0.SPI_FRF[1:0]指定帧发送格式（标准/双线/四线模式）

- 2 QSPI_CTRL0.DFS[4:0]指定数据长度(4~32bit)
- 3 QSPI_ENH_CTRL0.ADDR_LEN[3:0]指定地址长度(4bit~60bit, 可配置跳过 Address 阶段)
- 4 QSPI_ENH_CTRL0.INST_L[1:0]指定指令长度(4bit、8bit、16bit, 可配置跳过 Instruction 阶段)

注意: 1 条指令占用 1 个 FIFO 地址, 地址可以占用多个 FIFO 位置。指令和地址都必须在 QSPI_DATx 寄存器中编程。

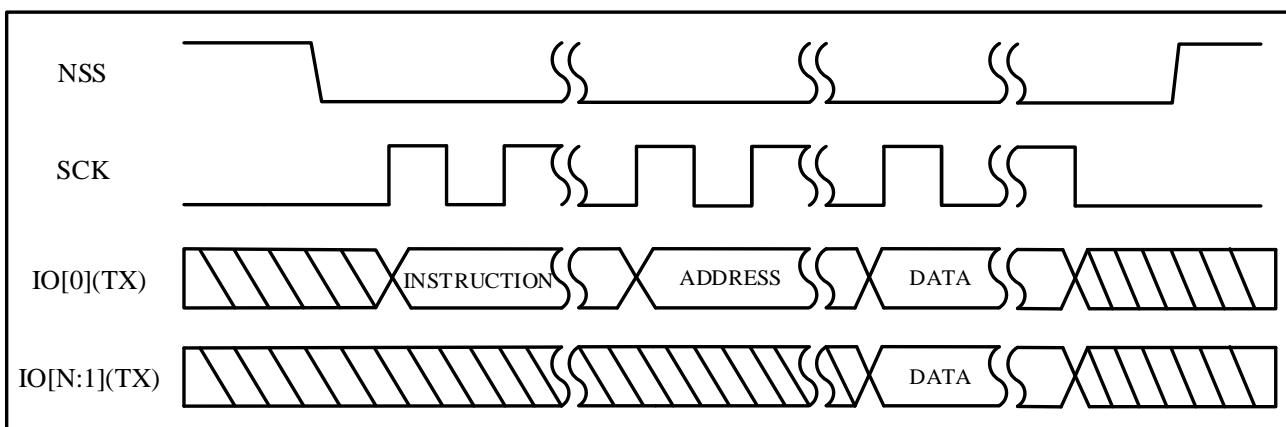
写操作可以分为 3 个阶段: Instruction 阶段、Address 阶段、Data 阶段。

■ 典型写操作时序



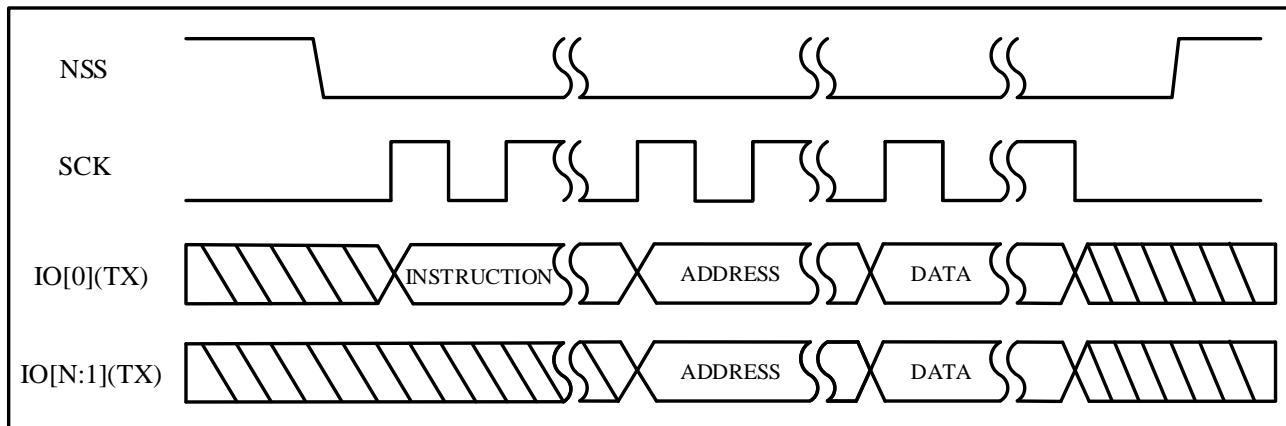
四线模式下 N=3, 对于 1 次写操作, 指令和地址仅发送 1 次, 然后是 QSPI_DATx 寄存器中存储的数据帧, 直到发送 FIFO 为空。

■ 指令和地址都以标准 SPI 格式发送时



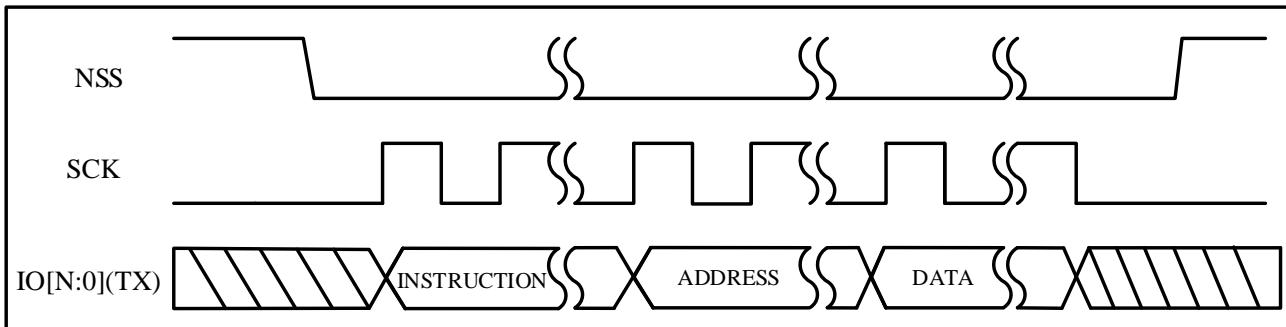
QSPI_ENH_CTRL0.TRANS_TYPE[1:0]须配置为 0。QSPI_CTRL0.SPI_FRF[1:0]配置为 0x02 (四线模式) 时, N=3; QSPI_CTRL0.SPI_FRF[1:0]配置为 0x01 (双线模式) 时, N=1。

■ 指令以标准 SPI 模式发送, 地址以 CTRL0.SPI_FRF 制定模式发送时序



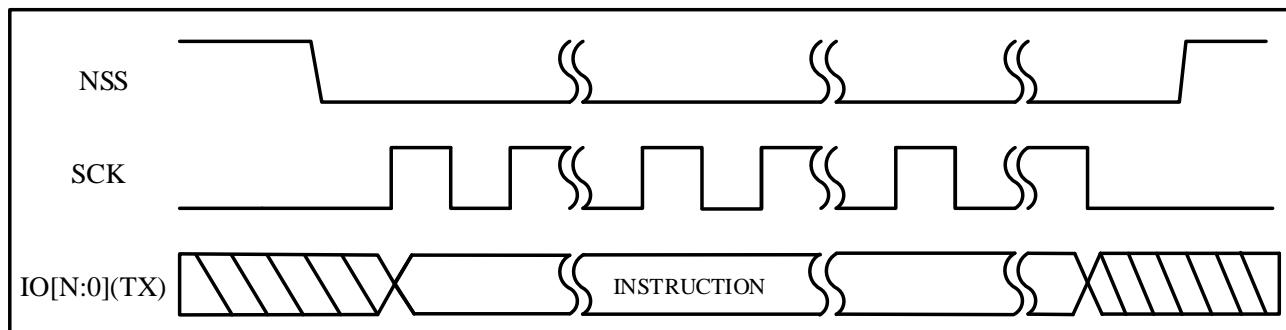
QSPI_ENH_CTRL0.TRANS_TYPE[1:0]须配置为 0x01。QSPI_CTRL0.SPI_FRF[1:0]配置为 0x02（四线模式）时，N=3；QSPI_CTRL0.SPI_FRF[1:0]配置为 0x01（双线模式）时，N=1。

- 指令和地址以 QSPI_CTRL0.SPI_FRF 制定模式发送时序



QSPI_ENH_CTRL0.TRANS_TYPE[1:0]须配置为 0x02。QSPI_CTRL0.SPI_FRF[1:0]配置为 0x02（四线模式）时，N=3；QSPI_CTRL0.SPI_FRF[1:0]配置为 0x01（双线模式）时，N=1。

- 只有指令阶段的发送时序



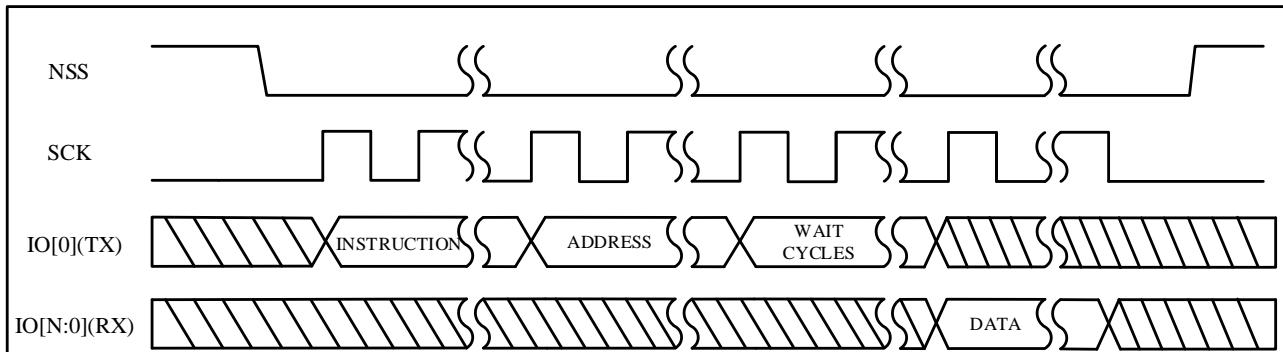
和 QSPI_ENH_CTRL0.TRANS_TYPE[1:0]配置无关。QSPI_CTRL0.SPI_FRF[1:0]配置为 0x02(四线模式)时，N=3；QSPI_CTRL0.SPI_FRF[1:0]配置为 0x01 (双线模式) 时，N=1。

24.5.3 QSPI 间接接收操作

对于读操作，QSPI 发送 1 次指令和控制数据，直到收到数量等于 NDF (QSPI_CTRL1[15:0]) 数量的数据，然后取消从机选择信号。读操作可以分为 4 个阶段：Instruction 阶段、Address 阶段、Wait cycles 阶段和

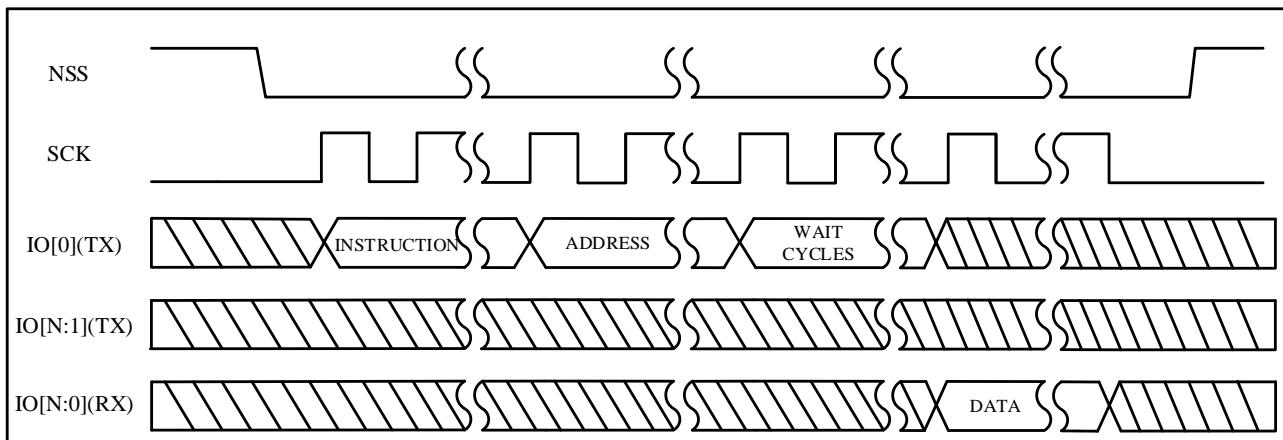
Data 阶段。

- 典型读操作时序



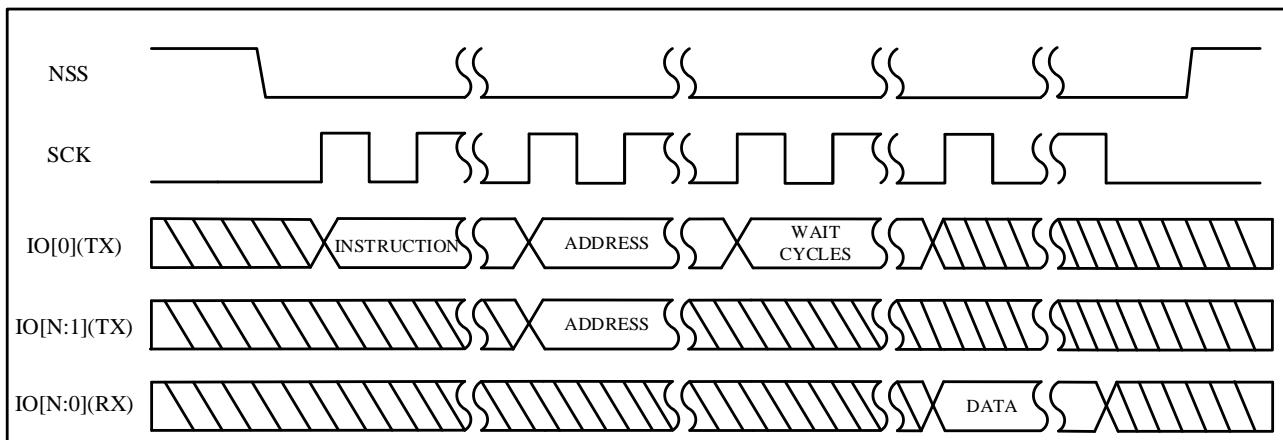
四线模式下 N=3，每个读取命令数据将以 QSPI_CTRL0.SPI_FRF[1:0]配置的格式传输。配置为 0x2 为四线模式。

- 地址和指令都以标准 SPI 格式接收时序



QSPI_ENH_CTRL0.TRANS_TYPE[1:0]应配置为 0x0, QSPI_ENH_CTRL0.WAIT_CYCLES[4:0]配置 WAIT 的周期。QSPI_CTRL0.SPI_FRF[1:0]配置为 0x02（四线模式）时，N=3; QSPI_CTRL0.SPI_FRF[1:0]配置为 0x01（双线模式）时，N=1。

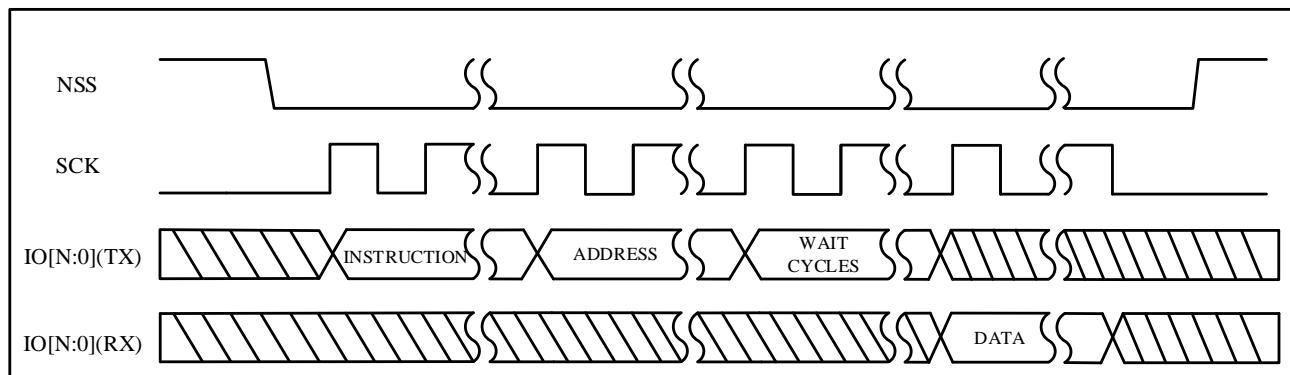
- 指令以标准 SPI 模式发送，地址以 QSPI_CTRL0.SPI_FRF 制定模式接收时序



QSPI_ENH_CTRL0.TRANS_TYPE[1:0]应配置为 0x1, QSPI_ENH_CTRL0.WAIT_CYCLES[4:0]配置 WAIT 的

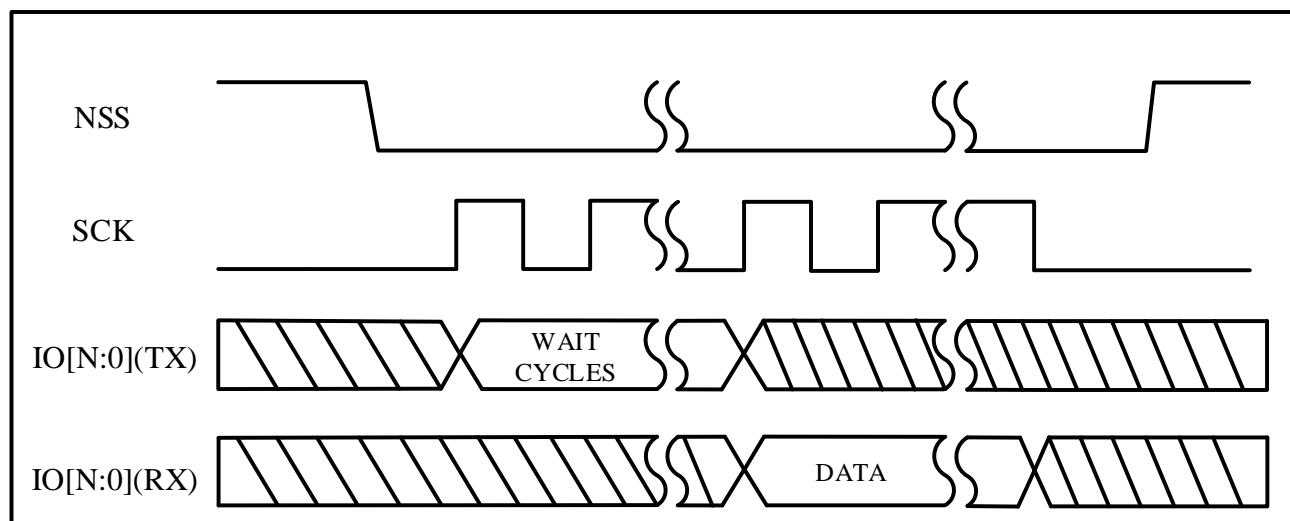
周期。QSPI_CTRL0.SPI_FRF[1:0]配置为0x02（四线模式）时，N=3；QSPI_CTRL0.SPI_FRF[1:0]配置为0x01（双线模式）时，N=1。

- 指令和地址以QSPI_CTRL0.SPI_FRF制定模式接收时序



QSPI_ENH_CTRL0.TRANS_TYPE[1:0]配置应为0x2。QSPI_CTRL0.SPI_FRF[1:0]配置为0x02（四线模式）时，N=3；QSPI_CTRL0.SPI_FRF[1:0]配置为0x01（双线模式）时，N=1。

- 只有Wait cycles阶段的接收时序



QSPI_ENH_CTRL0.ADDR_LEN[3:0]配置为0，QSPI_ENH_CTRL0.INST_L[1:0]配置为0，QSPI_ENH_CTRL0.WAIT_CYCLES[4:0]配置wait cycles。QSPI_CTRL0.SPI_FRF[1:0]配置为0x02（四线模式）时，N=3；QSPI_CTRL0.SPI_FRF[1:0]配置为0x01（双线模式）时，N=1。

24.6 QSPI 寄存器

24.6.1 QSPI 寄存器总览

表 24-1 QSPI 寄存器总览

Offset	Register	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
02Ch	QSPI_IMASK	Reserved																																
	Reset Value																																	
030h	QSPIISTS	Reserved																																
	Reset Value																																	
034h	QSPI_RISTS	Reserved																																
	Reset Value																																	
038h	QSPI_TXFOI_CL	Reserved																																
	R																																	
03Ch	QSPI_RXFOI_CL	Reserved																																
	R																																	
040h	QSPI_RXFUI_CL	Reserved																																
	R																																	
044h	QSPI_MMCLR	Reserved																																
	Reset Value																																	
048h	QSPI_ICLR	Reserved																																
	Reset Value																																	
04Ch	QSPI_DMA_CTR	Reserved																																
	L																																	
050h	QSPI_DMATDL	Reserved																																
	CTRL																																	
054h	QSPI_DMARDL	Reserved																																
	CTRL																																	
060h~004h*x(x=0~31)	QSPI_DATx	DATx[31:0]																																
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
0F0h	QSPI_RS_DELA	Reserved																																
	Y																																	
0F4h	QSPI_ENH_CTR	Reserved																																
	L0																																	
0F8h	QSPI_DDR_TxD	Reserved																																
	E																																	

24.6.2 QSPI 控制寄存器 0 (QSPI_CTRL0)

QSPI_CTRL0 寄存器控制串行数据传输。

注意：当 $QSPI_EN.QEN = 1$ 时，该寄存器不能被写入。

偏移地址: 0x00

复位值: 0x0080 4407

31	Reserved								24	23	22	21	20	19	16
									SPI_FRF[1:0]	Reserved		CFS[3:0]			
15	14	13	12	11	10	9	8	rw		6	5	4	rw		
Reserved	SSTE	SRL	Reserved	TMOD[1:0]		SCPOL	SCPH	FRF[1:0]		Reserved	DFS[4:0]			rw	
rw		rw		rw		rw		rw		rw			rw		

位域	名称	描述
31:24	Reserved	保留，必须保持复位值
23:22	SPI_FRF[1:0]	SPI 帧格式 00: 标准 SPI; 01: 双线 SPI; 10: 四线 SPI; 11: 保留。

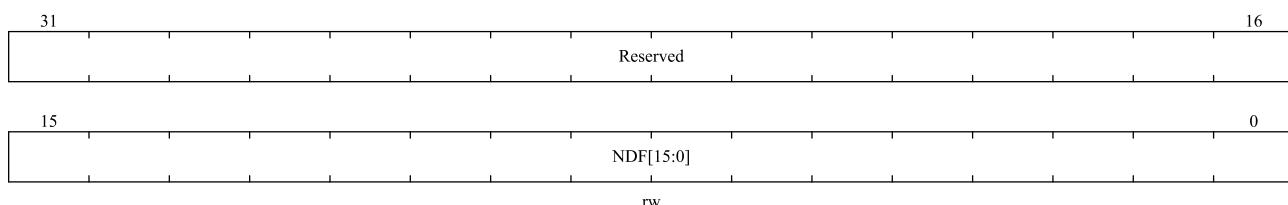
位域	名称	描述
21:20	Reserved	保留, 必须保持复位值
19:16	CFS[3:0]	选择 Microwire 帧格式的控制字长度 0000: 1bit 控制字; 0001: 2bit 控制字; 0010: 3bit 控制字; 0011: 4bit 控制字; 1110: 15bit 控制字; 1111: 16bit 控制字。
15	Reserved	保留, 必须保持复位值
14	SSTE	片选切换使能 在时钟相位(SCPH)设置为 0 的 SPI 模式下运行时, 该位控制数据帧之间 NSS 的行为。 0: 串行时钟 sclk 在整个传送期间片选连续为低; 1: 串行时钟 sclk 在每一帧数据传输时片选为低。
13	SRL	移位寄存器循环 用于测试, 有效时将发送移位寄存器输出连接到接收移位寄存器输入 0: 禁能; 1: 使能。
12	Reserved	保留, 必须保持复位值
11:10	TMOD[1:0]	传输模式 00: Tx and Rx; 01: Tx only; 10: Rx only; 11: EEPROM read。
9	SCPOL	非活动串行时钟极性 0: 低; 1: 高。
8	SCPH	串行时钟相位 0: 在串行时钟的第一个边沿捕获数据; 1: 在从选择线激活后开始切换一个周期, 并在串行时钟的第二个边沿捕获数据。
7:6	FRF[1:0]	帧格式 00: Motorola SPI 帧格式; 01: TI SSP 帧格式; 10: National Semiconductors Microwire 帧格式; 11: 保留。
5	Reserved	保留, 必须保持复位值
4:0	DFS[4:0]	数据帧长度 当数据帧小于 32bit 时自动右对齐 0x0/0x01/0x02: 保留 0x03: 4bit 0x04: 5bit

位域	名称	描述
		0x05: 6bit 0x1D: 30bit 0x1E: 31bit 0x1F: 32bit

24.6.3 QSPI 控制寄存器 1 (QSPI_CTRL1)

偏移地址: 0x04

复位值: 0x0000 0000

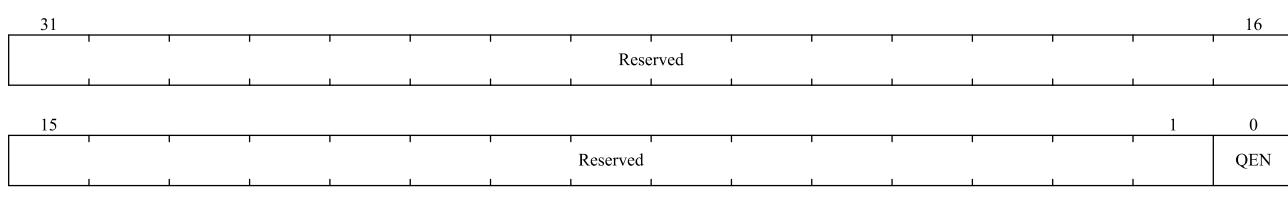


位域	名称	描述
31:16	Reserved	保留, 必须保持复位值
15:0	NDF[15:0]	数据帧数量 当 QSPI_CTRL0.TMOD[1:0] = 10 或 11 时, 该寄存器配置连续接收的数据帧数量

24.6.4 QSPI 使能寄存器 (QSPI_EN)

偏移地址: 0x08

复位值: 0x0000 0000



位域	名称	描述
31:1	Reserved	保留, 必须保持复位值
0	QEN	使能 QSPI 0: 禁能, 当禁能 QSPI 时, 所有串行传输立即停止; 1: 使能 QSPI。

24.6.5 QSPI MW 控制寄存器 (QSPI_MW_CTRL)

注意: 当 QSPI_EN.QEN = 1 时, 该寄存器不能被写入。

偏移地址: 0x0C

复位值: 0x0000 0000

31	Reserved	16
15	Reserved	3 2 1 0
		TW RW RW

位域	名称	描述
31:3	Reserved	保留, 必须保持复位值
2	MHS_EN	Microwire 握手使能 0: 握手禁能; 1: 握手使能, 传输最后 1 个数据或控制位后, 在清除 QSPI_STS.BUSY 状态之前, 从目标器件检查就绪状态。
1	MC_DIR	Microwire 数据方向控制 0: Rx 1: Tx
0	MWMOD	Microwire 传输模式 0: 非顺序传输, 必须为每个发送或接收数据字块指定控制字; 1: 顺序传输, 仅需一个控制字来发送或接收数据字节。

24.6.6 QSPI 从设备使能寄存器 (QSPI_SLAVE_EN)

注意: 使能 *QSPI_EN* 寄存器, *QSPI_SLAVE_EN* 寄存器才会被启用, 用于外部从设备选择使能片选。

偏移地址: 0x10

复位值: 0x0000 0000

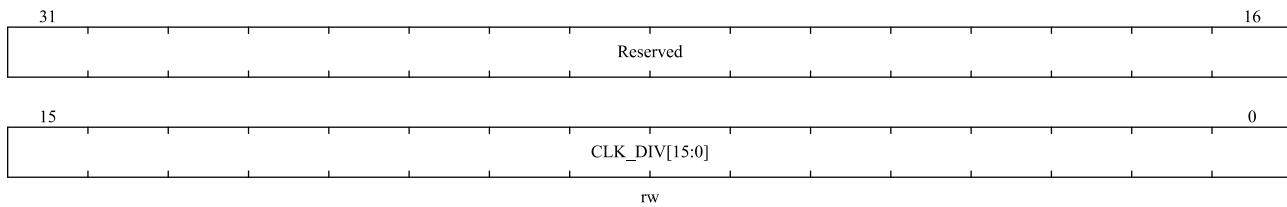
31	Reserved	16
15	Reserved	1 0
		RW

位域	名称	描述
31:1	Reserved	保留, 必须保持复位值
0	SEN	外部从设备片选使能 0: 禁能 1: 使能

24.6.7 QSPI 波特率选择寄存器 (QSPI_BAUD)

偏移地址: 0x14

复位值: 0x0000 0000

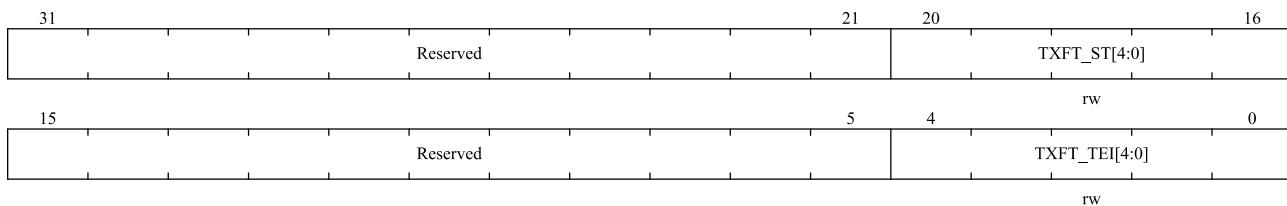


位域	名称	描述
31:16	Reserved	保留, 必须保持复位值
15:0	CLK_DIV[15:0]	时钟分频 该寄存器 bit 0 始终配置为 0, 不受写操作影响, 这样可以确保在该寄存器中保留偶数值。如果 CLK_DIV[15:0]=0x0000, 则禁能串行输出时钟。串行输出时钟频率 = AHB/CLK_DIV[15:0], CLK_DIV[15:0]取值范围为 2~65534 之间的偶数。

24.6.8 QSPI 发送缓存阈值寄存器 (QSPI_TXFT)

偏移地址: 0x18

复位值: 0x0000 0000

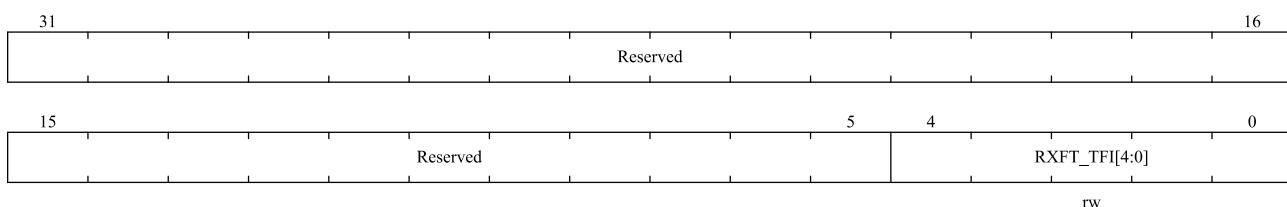


位域	名称	描述
31:21	保留	必须保持复位值。
20:16	TXFT_ST[4:0]	Tx 传输阈值, 达到该值后, 开始 Tx 传输
15:5	Reserved	保留, 必须保持复位值
4:0	TXFT_TEI[4:0]	Tx 传输阈值, 当发送 FIFO 数量小于该值, 触发空中断

24.6.9 QSPI 接收缓存阈值寄存器 (QSPI_RXFT)

偏移地址: 0x1C

复位值: 0x0000 0000

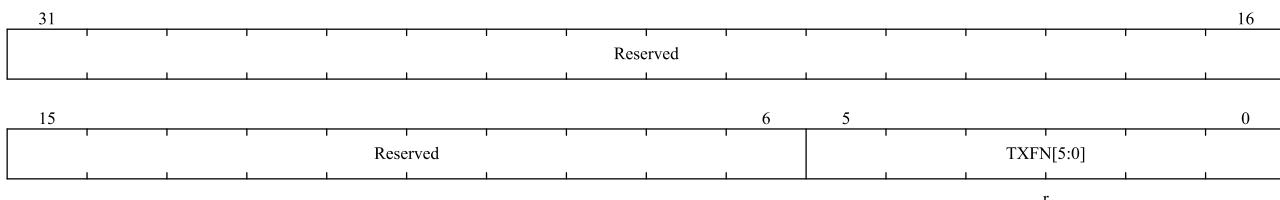


位域	名称	描述
31:5	Reserved	保留, 必须保持复位值
4:0	RXFT_TFI[4:0]	Rx 传输阈值, 当接收 FIFO 数量大于该值加 1 时, 触发满中断

24.6.10 QSPI 发送缓存数据量寄存器 (QSPI_TXFN)

偏移地址: 0x20

复位值: 0x0000 0000

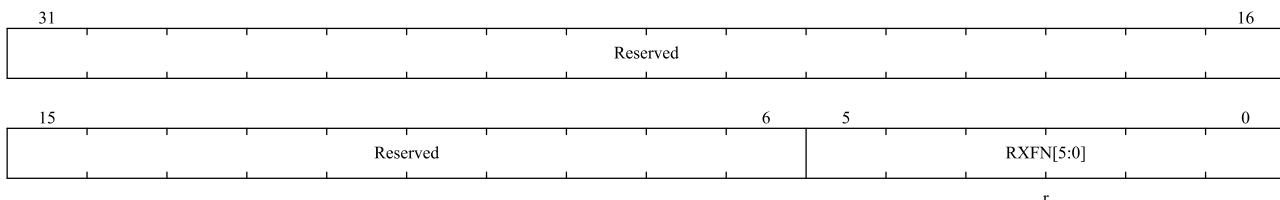


位域	名称	描述
31:6	Reserved	保留, 必须保持复位值
5:0	TXFN[5:0]	Tx FIFO 数据量

24.6.11 QSPI 接收缓存数据量寄存器 (QSPI_RXFN)

偏移地址: 0x24

复位值: 0x0000 0000

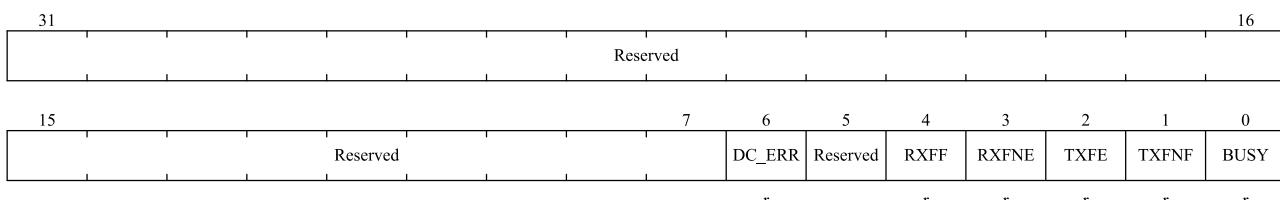


位域	名称	描述
31:6	Reserved	保留, 必须保持复位值
5:0	RXFN[5:0]	Rx FIFO 数据量

24.6.12 QSPI 状态寄存器 (QSPI_STS)

偏移地址: 0x28

复位值: 0x0000 0006

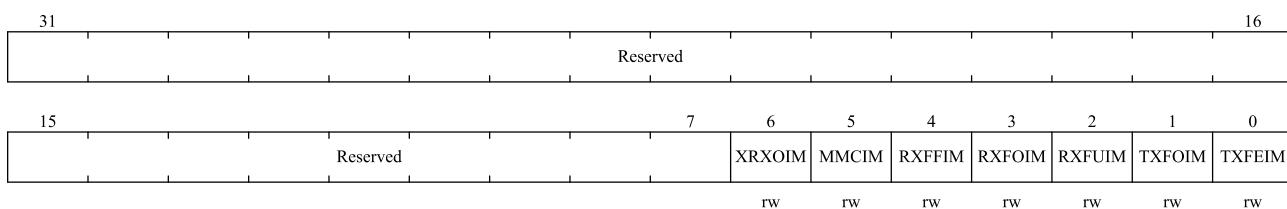


位域	名称	描述
31:7	Reserved	保留, 必须保持复位值
6	DC_ERR	数据冲突错误状态 0: 无错误冲突 1: 发送冲突错误
5	Reserved	保留, 必须保持复位值
4	RXFF	Rx Fifo 满 0: 无 Rx FIFO 满 1: 发生 Rx FIFO 满 当 Rx FIFO 完全满时, 该位被置位。当 Rx FIFO 包含一个或多个空单元时, 该位被清除。
3	RXFNE	Rx FIFO 非空状态 0: Rx FIFO 空状态 1: 发生 Rx FIFO 非空状态 当 Rx FIFO 非空时置位, 当 Rx FIFO 为空时清零。
2	TXFE	Tx FIFO 空状态 0: Tx FIFO 有数据状态 1: 发生 Tx FIFO 空状态 当 Tx FIFO 全为空时, 该位置位。当 Tx FIFO 包含一个或多个有效空间时, 该位被清除。
1	TXFNF	Tx FIFO 非满状态 0: Tx FIFO 满状态 1: 发生 Tx FIFO 非满状态 当 Tx FIFO 包含一个或多个空单元时置位, 当 Tx FIFO 满时清零。
0	BUSY	传输忙标志 0: 空闲或禁能 1: 正在进行传输

24.6.13 QSPI 中断屏蔽寄存器 (QSPI_IMASK)

偏移地址: 0x2C

复位值: 0x0000 007F



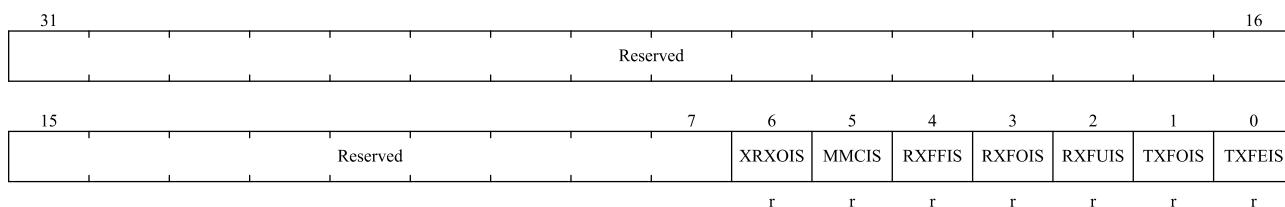
位域	名称	描述
31:7	Reserved	保留, 必须保持复位值
6	XRxoim	XIP Rx FIFO 上溢中断屏蔽 0: 屏蔽 1: 不屏蔽

位域	名称	描述
5	MMCIM	多主冲突中断屏蔽 0: 屏蔽 1: 不屏蔽
4	RXFFIM	Rx FIFO 满中断屏蔽 0: 屏蔽 1: 不屏蔽
3	RXFOIM	Rx FIFO 上溢中断屏蔽 0: 屏蔽 1: 不屏蔽
2	RXFUIM	Rx FIFO 下溢中断屏蔽 0: 屏蔽 1: 不屏蔽
1	TXFOIM	Tx FIFO 上溢中断屏蔽 0: 屏蔽 1: 不屏蔽
0	TXFEIM	Tx FIFO 空中断屏蔽 0: 屏蔽 1: 不屏蔽

24.6.14 QSPI 中断状态寄存器 (QSPI_ISTS)

偏移地址: 0x30

复位值: 0x0000 0000



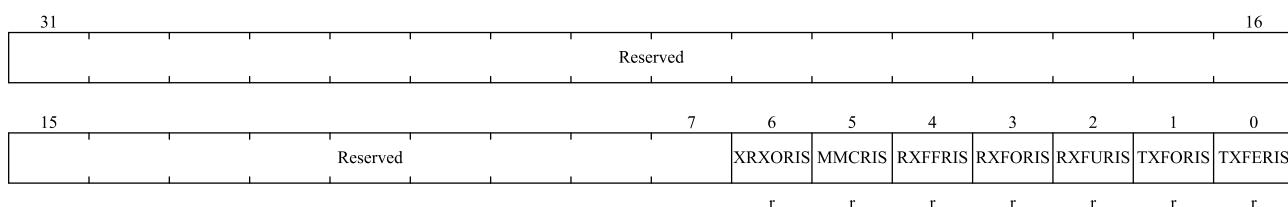
位域	名称	描述
31:7	Reserved	保留, 必须保持复位值
6	XRHOIS	XIP Rx FIFO 上溢状态 (中断屏蔽后) 0: 失效 1: 有效
5	MMCIS	多主冲突状态 (中断屏蔽后) 0: 失效 1: 有效
4	RXFFIS	Rx FIFO 满状态 (中断屏蔽后) 0: 失效 1: 有效
3	RXFOIS	Rx FIFO 上溢状态 (中断屏蔽后) 0: 失效

位域	名称	描述
		1: 有效
2	RXFUIS	Rx FIFO 下溢状态 (中断屏蔽后) 0: 失效 1: 有效
1	TXFOIS	Tx FIFO 上溢状态 (中断屏蔽后) 0: 失效 1: 有效
0	TXFEIS	Tx FIFO 空状态 (中断屏蔽后) 0: 失效 1: 有效

24.6.15 QSPI 原始中断状态寄存器 (QSPI_RISTS)

偏移地址: 0x34

复位值: 0x0000 0000



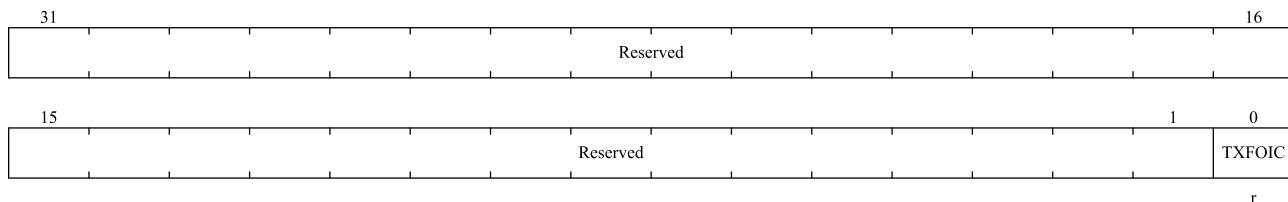
位域	名称	描述
31:7	Reserved	保留, 必须保持复位值
6	XRXORIS	XIP Rx FIFO 上溢状态 (在中断屏蔽前的状态) 0: 失效 1: 有效
5	MMCRIS	多主冲突状态 (在中断屏蔽前的状态) 0: 失效 1: 有效
4	RXFFRIS	Rx FIFO 满状态 (在中断屏蔽前的状态) 0: 失效 1: 有效
3	RXFORIS	Rx FIFO 上溢状态 (在中断屏蔽前的状态) 0: 失效 1: 有效
2	RXFURIS	Rx FIFO 下溢状态 (在中断屏蔽前的状态) 0: 失效 1: 有效
1	TXFORIS	Tx FIFO 上溢状态 (在中断屏蔽前的状态) 0: 失效 1: 有效
0	TXFERIS	Tx FIFO 空状态 (在中断屏蔽前的状态)

位域	名称	描述
		0: 失效 1: 有效

24.6.16 QSPI 发送缓存上溢中断清除寄存器 (QSPI_TXFOI_CLR)

偏移地址: 0x38

复位值: 0x0000 0000

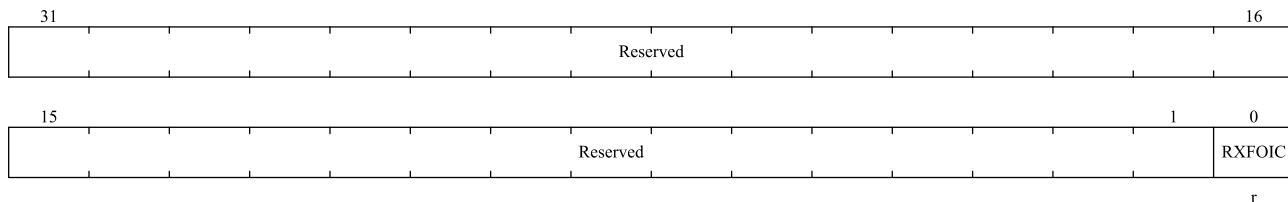


位域	名称	描述
31:1	Reserved	保留, 必须保持复位值
0	TXFOIC	读该寄存器后, 清除 Tx FIFO 上溢中断状态

24.6.17 QSPI 接收缓存上溢中断清除寄存器 (QSPI_RXFOI_CLR)

偏移地址: 0x3C

复位值: 0x0000 0000

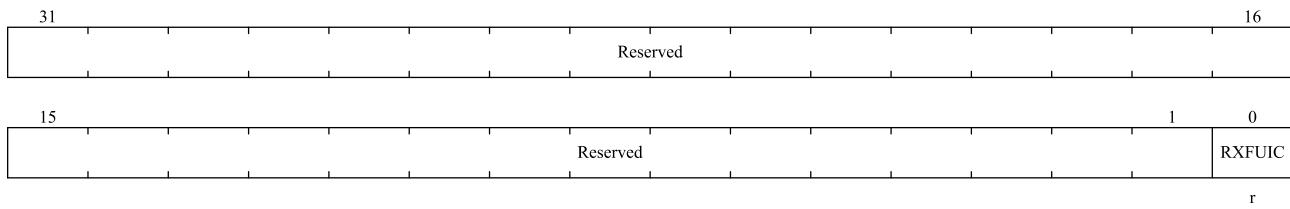


位域	名称	描述
31:1	Reserved	保留, 必须保持复位值
0	RXFOIC	Clear Receive FIFO Overflow Interrupt. 读该寄存器后, 清除 Rx FIFO 上溢中断状态

24.6.18 QSPI 接收缓存下溢中断清除寄存器 (QSPI_RXFUI_CLR)

偏移地址: 0x40

复位值: 0x0000 0000

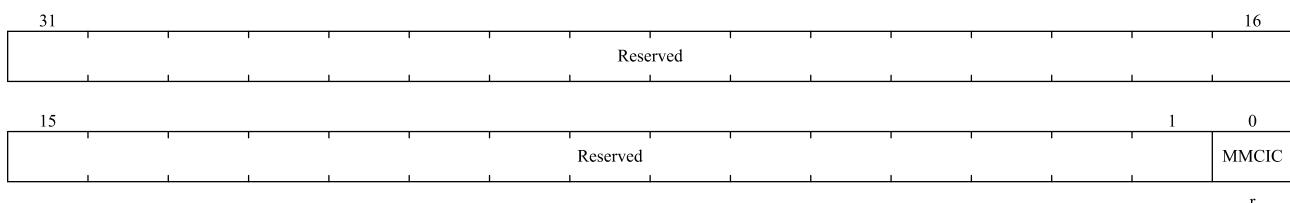


位域	名称	描述
31:1	Reserved	保留, 必须保持复位值
0	RXFUIC	Clear Receive FIFO Underflow Interrupt. 读该寄存器后, 清除 Rx FIFO 下溢中断状态

24.6.19 QSPI 多主冲突中断清除寄存器 (QSPI_MMCI_CLR)

偏移地址: 0x44

复位值: 0x0000 0000

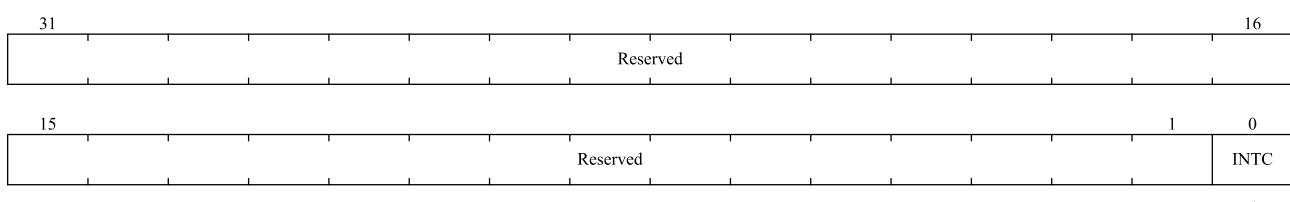


位域	名称	描述
31:1	Reserved	保留, 必须保持复位值
0	MMCIC	Clear Multi-Master Contention Interrupt. 读该寄存器后, 清除多主冲突中断状态

24.6.20 QSPI 中断清除寄存器 (QSPI_ICLR)

偏移地址: 0x48

复位值: 0x0000 0000

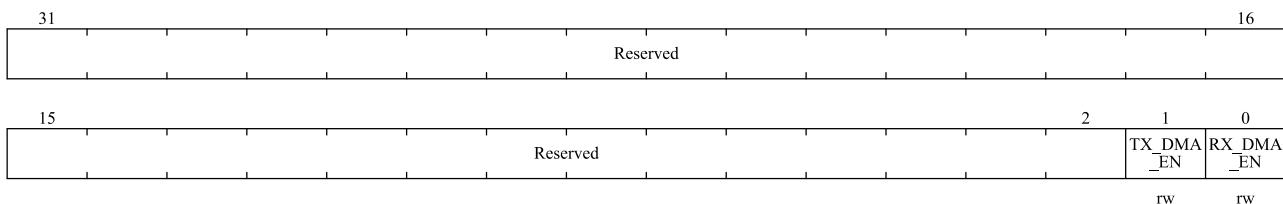


位域	名称	描述
31:1	Reserved	保留, 必须保持复位值
0	INTC	Clear Interrupts. 读该寄存器后, 清除发送缓存上溢中断、接收缓存上溢中断、接收缓存下溢中断、多主冲突中断状态。

24.6.21 QSPI DMA 控制寄存器 (QSPI_DMA_CTRL)

偏移地址: 0x4C

复位值: 0x0000 0000

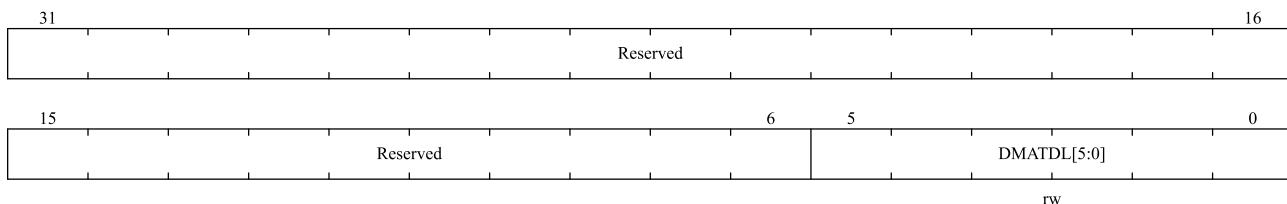


位域	名称	描述
31:2	Reserved	保留, 必须保持复位值
1	TX_DMA_EN	Tx DMA 功能使能 0: 禁能 1: 使能
0	RX_DMA_EN	Rx DMA 功能使能 0: 禁能 1: 使能

24.6.22 QSPI DMA 发送水位控制寄存器 (QSPI_DMATDL_CTRL)

偏移地址: 0x50

复位值: 0x0000 0000

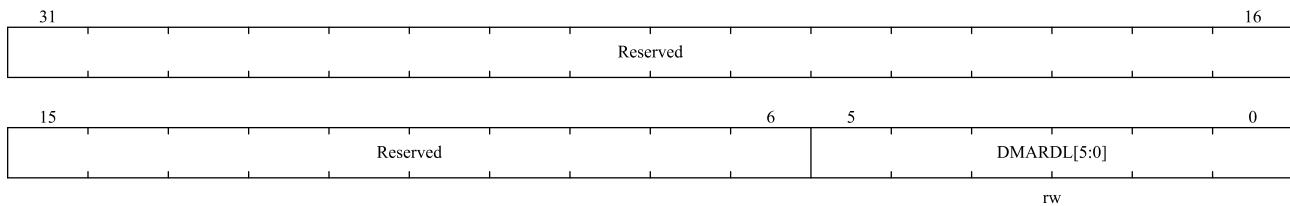


位域	名称	描述
31:6	Reserved	保留, 必须保持复位值
5:0	DMATDL[5:0]	发出 DMA 发送请求的水位控制

24.6.23 QSPI DMA 接收水位控制寄存器 (QSPI_DMARDL_CTRL)

偏移地址: 0x54

复位值: 0x0000 0000

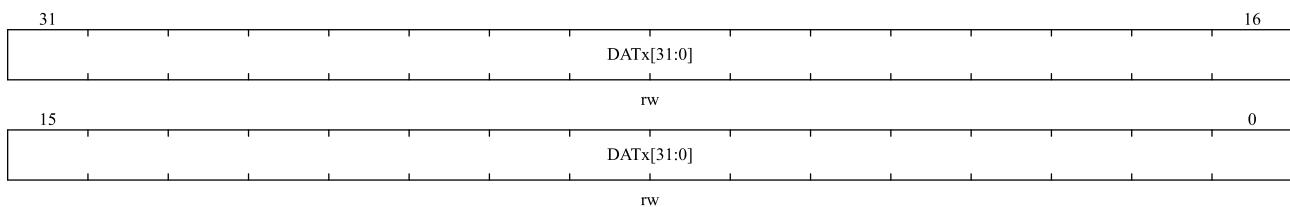


位域	名称	描述
31:6	Reserved	保留，必须保持复位值
5:0	DMARDL[5:0]	发出 DMA 接收请求的水位控制

24.6.24 QSPI 数据寄存器 (QSPI_DATx)

偏移地址: 0x60+0x04 × x (x=0~31)

复位值: 0x0000 0000

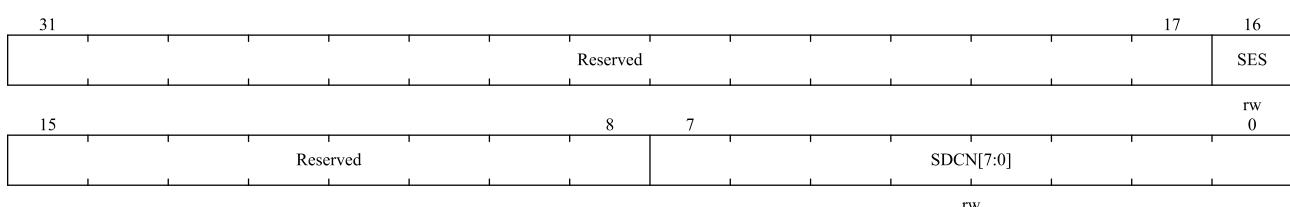


位域	名称	描述
31:0	DATx[31:0]	Data Register 数据寄存器 Rx 状态下为接收缓冲区，读取数据自动右对齐；Tx 状态下为发送缓冲区，写数据必须对数据进行右对齐。 注意：共 32 个寄存器地址为 0x60+(0:31) × 0x04

24.6.25 QSPI 接收采样延迟寄存器 (QSPI_RS_DELAY)

偏移地址: 0xF0

复位值: 0x0000 0000



位域	名称	描述
31:17	Reserved	保留，必须保持复位值
16	SES	采样沿选择位 0: 上升沿采样 1: 下降沿采样 注意：采样沿选择位配置的是 QSPI 在内核时钟 AHB 的上升沿或下降沿采样

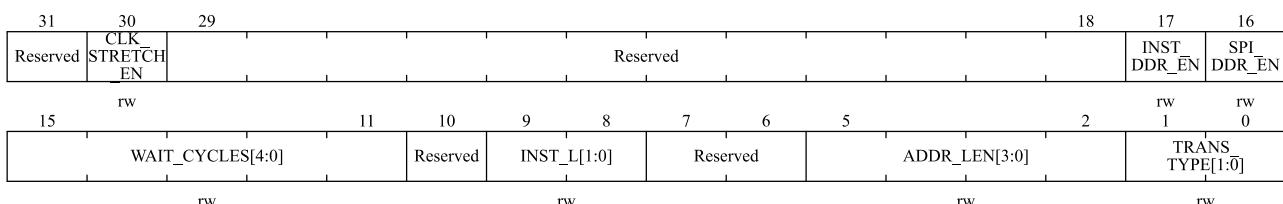
位域	名称	描述
15:8	Reserved	保留, 必须保持复位值
7:0	SDCN[7:0]	延迟采样周期位 这位配置的是延迟采样的 AHB 周期数量。 注意: 当超过 0x6 时, 将采用 0 延迟采样。

24.6.26 QSPI 增强型 SPI 模式控制寄存器 (QSPI_ENH_CTRL0)

此寄存器用于增强型 SPI 操作模式下控制串行数据传输。只有当 QSPI_CTRL0.SPI_FRF ≠ 00 时, 配置此寄存器才有效。在 QSPI_EN 寄存器使能后, 无法写入此寄存器。

偏移地址: 0xF4

复位值: 0x0000 0200



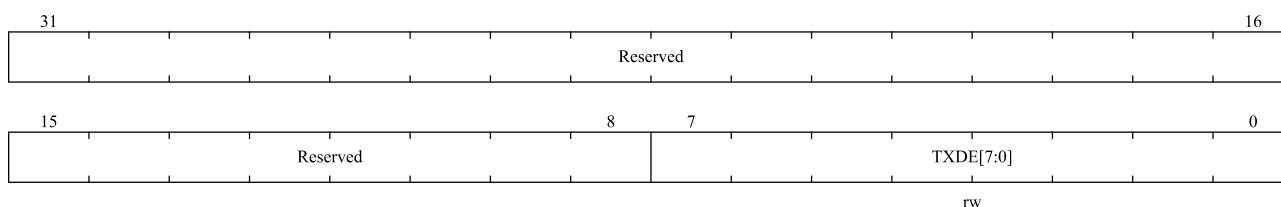
位域	名称	描述
31	Reserved	保留, 必须保持复位值
30	CLK_STRETCH_EN	时钟拉伸 在写入的情况下, 如果 FIFO 为空, 则 QSPI 将拉伸时钟, 直到 FIFO 有足够的数据。 在读取的情况下, 如果 FIFO 为满, 则 QSPI 将停止时钟, 直到 FIFO 有足够的空间。
29:18	Reserved	保留, 必须保持复位值
17	INST_DDR_EN	指令双速率传输使能
16	SPI_DDR_EN	DDR 模式使能 将启用 SPI 的 2/4 线模式下所有的双速率传输。
15:11	WAIT_CYCLES[4:0]	等待周期 在控制帧发送和数据接收之间的等待周期, 以 SCK 时钟为周期。
10	Reserved	保留, 必须保持复位值
9:8	INST_L[1:0]	2/4 线模式指令长度 00: 无指令 01: 4bit 10: 8 bit 11: 16 bit
7:6	Reserved	保留, 必须保持复位值
5:2	ADDR_LEN[3:0]	要传输的地址长度 0x0: 无地址 0x1: 4bit 0x2: 8bit

位域	名称	描述
		0x3: 12bit 0xE: 56bit 0xF: 60bit
1:0	TRANS_TYPE[1:0]	地址和指令传输格式 00: 标准 SPI 模式 01: 指令以标准 SPI 模式发送, 地址以 QSPI_CTRL0.SPI_FRF 制定模式发送 10: 指令和地址以 QSPI_CTRL0.SPI_FRF 制定模式发送 11: 保留

24.6.27 QSPI 发送驱动边沿寄存器 (QSPI_DDR_TXDE)

偏移地址: 0xF8

复位值: 0x0000 0000

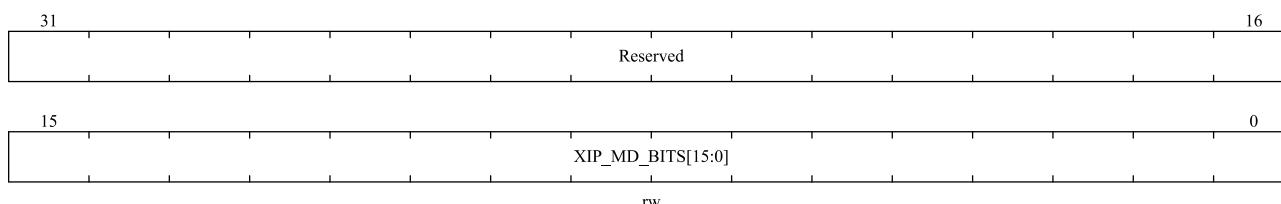


位域	名称	描述
31:8	Reserved	保留, 必须保持复位值
7:0	TXDE[7:0]	发送驱动边沿 决定 DDR 模式下内核时钟发送数据的驱动边沿, 该寄存器的最大值=QSPI_BAUD/2 - 1。

24.6.28 QSPI XIP MODE BITS 寄存器 (QSPI_XIP_MODE)

偏移地址: 0xFC

复位值: 0x0000 0000

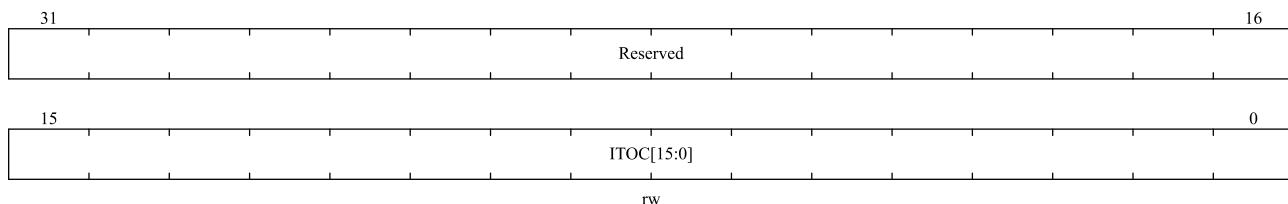


位域	名称	描述
31:16	Reserved	保留, 必须保持复位值
15:0	XIP_MD_BITS [15:0]	XIP Mode bits 在 XIP 传输的 Address 阶段后发送的 Mode bits。

24.6.29 QSPI XIP INCR 传输操作码寄存器 (QSPI_XIP_INCR_TOC)

偏移地址: 0x100

复位值: 0x0000 0000

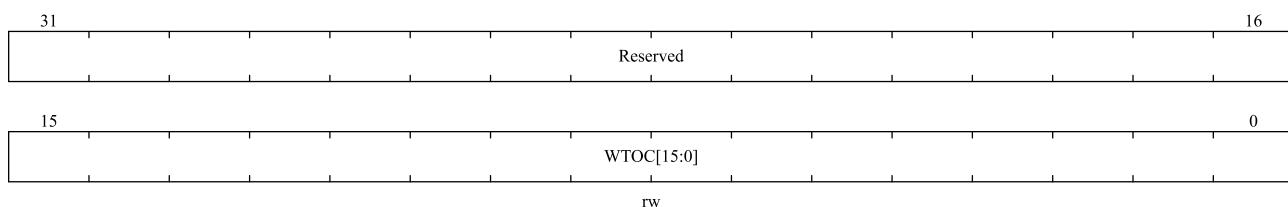


位域	名称	描述
31:16	Reserved	保留, 必须保持复位值
15:0	ITOC[15:0]	XIP_INCR 传输操作码 当 QSPI_XIP_CTRL.XIP_INST_EN=1, QSPI 发送 XIP INCR 类型传输指令码。指令阶段要发送的位数由 QSPI_XIP_CTRL.INST_L 字段确定。

24.6.30 QSPI XIP WRAP 传输操作码寄存器 (QSPI_XIP_WRAP_TOC)

偏移地址: 0x104

复位值: 0x0000 0000



位域	名称	描述
31:16	Reserved	保留, 必须保持复位值
15:0	WTOC[15:0]	XIP_WRAP 传输操作码 当 QSPI_XIP_CTRL.XIP_INST_EN=1, QSPI 发送 XIP WRAP 类型传输指令码。指令阶段要发送的位数由 QSPI_XIP_CTRL.INST_L 字段确定。

24.6.31 QSPI XIP 控制寄存器 (QSPI_XIP_CTRL)

偏移地址: 0x108

复位值: 0x28C0 0402

31	Reserved	28	27	26	25	24	23	22	21	20	19	18	17	16
		XIP_MBL[1:0]		Reserved		XIP_CT_EN	XIP_INST_EN	Reserved	INST_DDR_EN	DDR_EN	DFS_HC	WAIT_CYCLES[4:0]		
15		rw	13	12	11	10	9	8	rw	rw	rw	rw	rw	rw
WAIT_CYCLES[4:0]	MD_BITS_EN	Reserved	INST_L[1:0]	Reserved			ADDR_LEN[3:0]		TRANS_TYPE[1:0]		FRF[1:0]			
		rw		rw		rw		rw	rw	rw	rw	rw	rw	rw

位域	名称	描述
31:28	Reserved	保留, 必须保持复位值
27:26	XIP_MBL [1:0]	XIP 模式下 Mode bits 位宽 00: 2 01: 4 10: 8 11: 16
25:24	Reserved	保留, 必须保持复位值
23	XIP_CT_EN	XIP 模式下启用连续传输。
22	XIP_INST_EN	XIP 指令使能。 使能后, XIP 传输也将具有指令阶段。将根据 AHB 传输类型从 XIP_INCR_TOC 或 XIP_WRAP_TOC 寄存器中选择指令操作码
21	Reserved	保留, 必须保持复位值
20	INST_DDR_EN	指令双速率传输使能
19	DDR_EN	SPI DDR 模式使能 将启用 SPI 的 2/4 线模式下所有的双速率传输。
18	DFS_HC	Fix DFS for XIP transfers. 0: 数据帧 SIZE 和数量取决于 AHB 总线的 HSIZE 和 HBURST 信号 1: XIP 数据帧长度固定为 QSPI_CTRL0.DFS 的配置值
17:13	WAIT_CYCLES[4:0]	Wait Cycles 在控制帧发送和数据接收之间的等待周期, 以 SCK 时钟为周期。
12	MD_BITS_EN	XIP Mode bits 使能 使能后在 XIP 模式中将在 Address 阶段后插入 Mode bits。这些位在 XIP_MODE 寄存器中设置。Mode bits 长度通常为 8 bit。
11	Reserved	保留, 必须保持复位值
10:9	INST_L[1:0]	2/4 线模式指令长度 00: 无指令 01: 4bit 10: 8 bit 11: 16 bit
8	Reserved	保留, 必须保持复位值
7:4	ADDR_LEN[3:0]	要传输的地址长度 0x0: 无地址 0x1: 4bit 0x2: 8bit 0x3: 12bit

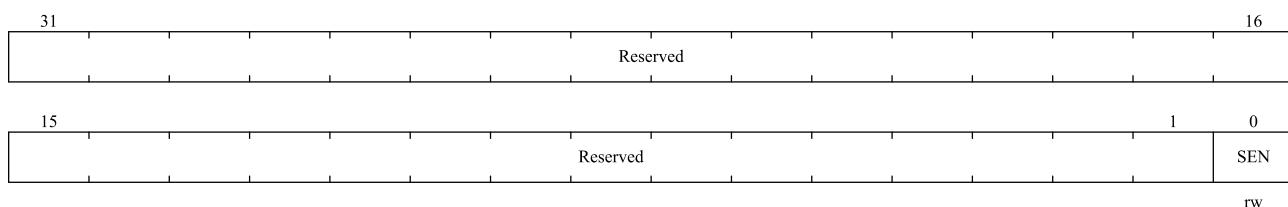
位域	名称	描述
		0xE: 56bit 0xF: 60bit
3:2	TRANS_TYPE[1:0]	地址和指令传输格式 00: 标准 SPI 模式 01: 指令以标准 SPI 模式发送, 地址以 QSPI_XIP_CTRL.FRF[1:0]制定模式发送 10: 指令和地址以 QSPI_XIP_CTRL.FRF[1:0]制定模式发送 11: 保留
1:0	FRF[1:0]	帧格式选择 00: 保留 01: 2 线 10: 4 线 11: 保留

24.6.32 QSPI XIP 从设备使能寄存器 (QSPI_XIP_SLAVE_EN)

使能 QSPI_EN 寄存器, QSPI_XIP_SLAVE_EN 寄存器才会被启用, 用于外部从设备选择使能片选。

偏移地址: 0x10C

复位值: 0x0000 0000

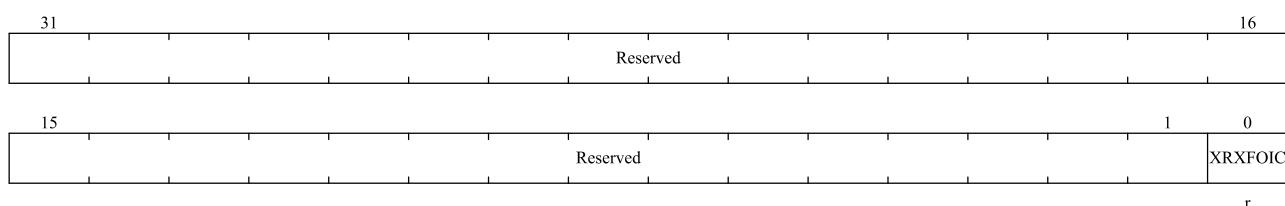


位域	名称	描述
31:31	Reserved	保留, 必须保持复位值
0	SEN	外部从设备片选使能 0: 禁能 1: 使能

24.6.33 QSPI XIP 接收缓存上溢中断清除寄存器 (QSPI_XIP_RXFOI_CLR)

偏移地址: 0x110

复位值: 0x0000 0000

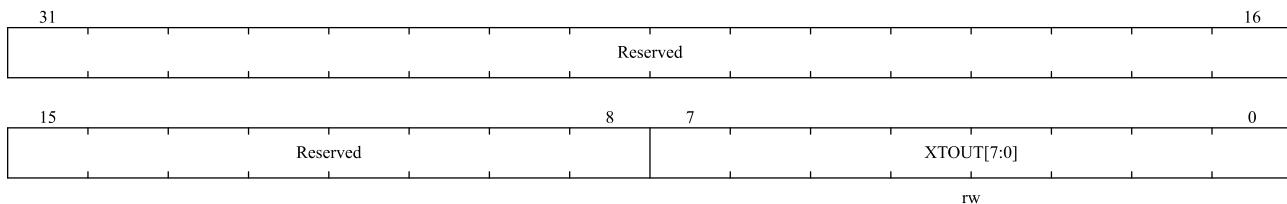


位域	名称	描述
31:1	Reserved	保留, 必须保持复位值
0	XRXFOIC	Clear XIP Receive FIFO Overflow Interrupt. 读该寄存器后, 清除 Rx FIFO 上溢中断状态

24.6.34 QSPI XIP 连续传输超时寄存器 (QSPI_XIP_TOUT)

偏移地址: 0x114

复位值: 0x0000 0000



位域	名称	描述
31:8	Reserved	保留, 必须保持复位值
7:0	XTOUT[7:0]	XIP 连续传输超时时间配置 以 AHB 为单位的 XIP 超时时间。一旦在连续 XIP 模式中选择了从机, 如果没有请求的时间超出了该计数器指定时间, 将取消从机选择。

25 以太网 (ETH)

MAC: 介质访问控制 (Media Access Control)

MII: 介质独立接口 (Media-Independent Interface)

RMII: 简化的介质独立接口 (Reduced Media-Independent Interface)

SMI: 站点管理接口 (Station Management Interface)

CSMA/CD: 带有冲突检测的载波侦听多路访问 (Carrier Sense Multiple Access/Collision Detection)

SFD: 起始帧定界符 (Start Frame Delimiter)

FCS: 帧校验序列 (Frame Check Sequence)

SOF: 帧起始 (Start Of Frame)

EOF: 帧结束 (End Of Frame)

注意: 仅 N32G457xx 系列芯片支持以太网模块。

25.1 简介

该以太网模块包含 10/100Mbps 以太网 MAC，采用 DMA 优化数据帧的发送与接收性能，支持 MII 和 RMII 两种与物理层 (PHY) 通讯的标准接口，实现以太网数据帧的发送与接收。以太网模块遵守 IEEE 802.3-2008 标准和 IEEE 1588-2002 标准。

25.2 主要特性

■ 以太网 MAC 主要特性:

- ◆ 支持 MII/RMII 接口，MII 在 IEEE 802.3 规范中定义，RMII 符合 RMII 联盟的 RMII 规范
- ◆ 支持 10/100Mbps 数据传输速率
- ◆ 支持半双工操作:
 - CSMA/CD 协议
 - 背压流量控制
- ◆ 支持全双工操作:
 - IEEE 802.3x 流量控制
 - 转发暂停控制帧到应用程序
 - 流控输入信号失效时，自动发送零等待的暂停帧
- ◆ 支持发送帧时自动生成 CRC 和 PAD 填充位，接收帧时自动剥离 CRC/PAD
- ◆ 支持可编程帧长度（最长为 16K 字节）
- ◆ 支持可编程帧间隙（40~96 位，但必须是 8 的整数倍）
- ◆ 支持多种灵活的地址过滤
- ◆ 支持接收帧的 IEEE 802.1Q VLAN 标签检测

- ◆ 支持使用 RMON/MIB 计数器 (RFC2819/RFC2665) 进行强制网络统计
 - ◆ 支持 MDIO 接口，用于配置和管理外部 PHY 设备
 - ◆ 支持检测 LAN 远程唤醒帧和 AMD Magic PacketTM 帧两种唤醒帧
 - ◆ 在接收功能中，支持卸载接收到的由以太网帧封装的 IPv4 和 TCP 数据包的校验和
 - ◆ 支持检查 IPv4 报头校验和，以及 TCP、UDP 或 ICMP (由 IPv4 或 IPv6 数据格式封装) 的校验和
 - ◆ 支持由 IEEE 1588-2002 标准定义的以太网帧时间戳，在帧的接收或发送状态中记录 64 位时间戳
 - ◆ 发送冲突时支持自动重发，延迟冲突、过度冲突、过度延迟和欠载 (underrun) 时支持自动丢弃帧
 - ◆ 2 个 2K 字节 FIFO，一个为 TxFIFO (用于发送)，一个为 RxFIFO (用于接收)，阈值可配置，默认 64 字节
 - ◆ 支持存储-转发机制来向 MAC 内核传输数据
 - ◆ 存储-转发模式下，可以过滤接收到的所有错误帧，但不转发错误帧给应用程序
 - ◆ 存储-转发模式下，支持在发送的帧中插入计算的 IPv4 报头校验和，以及 TCP、UDP 或 ICMP 的校验和
 - ◆ 支持用于调试的 MII 接口内循环 (loopback)
- 以太网 DMA 主要特性：
- ◆ AHB 从接口支持所有类型的 AHB 突发传输，AHB 主接口可以选择固定或不固定长度的 AHB 突发传输类型以及地址对齐的突发传输
 - ◆ 以帧分隔符优化面向数据包的 DMA 传输
 - ◆ 支持以字节对齐的方式对数据缓存区寻址
 - ◆ 支持双缓存区（环结构）或链表形式（链结构）的描述符
 - ◆ 每个描述符可传输 8K 字节数据
 - ◆ 支持回显每次传输的状态信息
 - ◆ 可配置多种不同工作状态下所对应的中断
 - ◆ 支持轮询或固定优先级的方式仲裁 DMA 发送和接收
- PTP 主要特性：
- ◆ 设置接收帧和发送帧的时间戳
 - ◆ 支持粗略调整和精密调整两种校准方法
 - ◆ 系统时间达到预定时间时可触发中断
 - ◆ 输出秒脉冲

25.3 功能框图

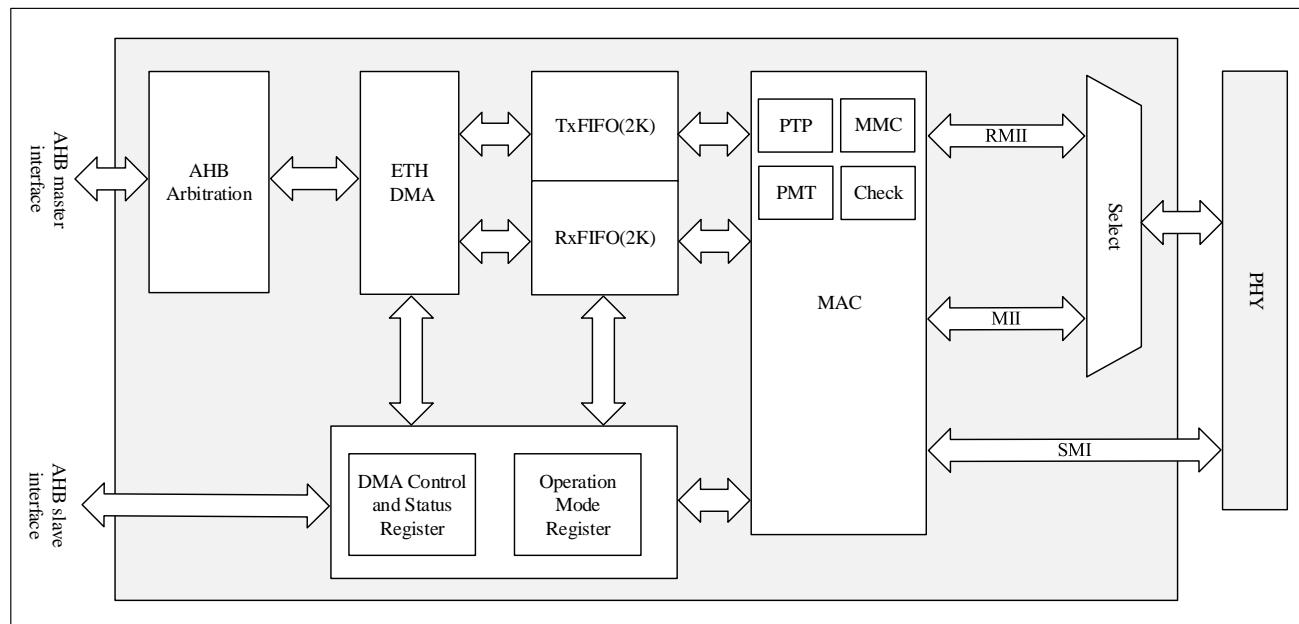
以太网外设主要包含 MAC 模块、MII/RMII 接口模块和一个以描述符形式控制的 DMA 模块。MAC 模块通过 MII 或 RMII 与片外 PHY 设备连接，必须在以太网控制器使能时钟前或处于复位状态时，通过软件配置 AFIO_RMP_CFG.MII_RMII_SEL 来选择使用 MII 或者 RMII 连接方式，默认配置为 MII 模式。SMI 接口，

用于配置和管理外部 PHY 设备。

以太网 DMA 控制器通过 AHB 主接口访问 MAC 控制器，控制数据传输；通过从接口访问 MAC 存储器，访问控制和状态寄存器区域。

MAC 控制器发送数据前，以太网 DMA 会先从系统存储区读取数据，并存储到 TxFIFO 中。MAC 控制器从总线上收到的以太网帧，会先缓存到 RxFIFO 中，再由以太网 DMA 传送到系统存储区。

图 25-1 以太网模块框图



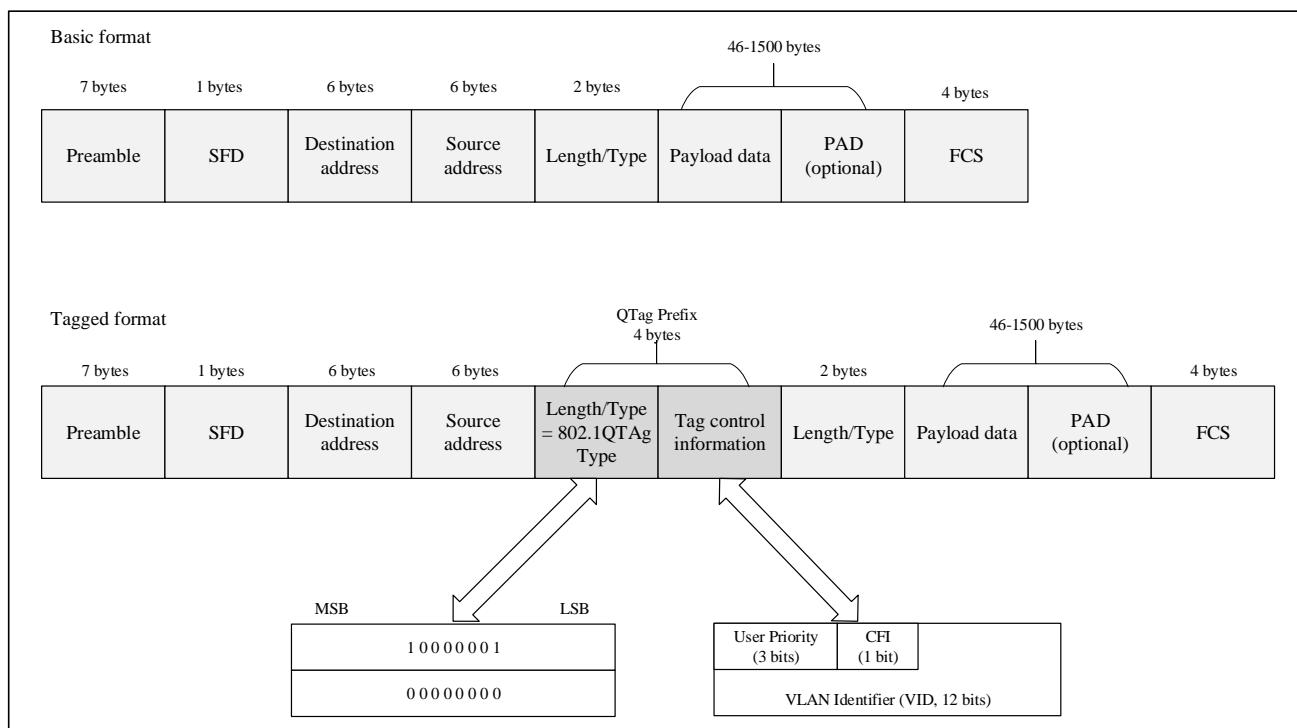
25.4 功能描述

25.4.1 IEEE 802.3 以太网帧格式

符合 IEEE 802.3-2008 标准的 MAC 的数据通信有两种帧格式：

- 基本的 MAC 帧格式（无标签帧）；
- 带标签的 MAC 帧格式。

图 25-2 MAC 帧格式与帧结构



注意：除了FCS，以太网控制器发送每个字节时都按照低位先出的顺序进行传输。

CRC 计算包括帧数据的所有字节除去前导码和 SFD。以太网帧的 32 位 CRC 生成多项式为 0x04C11DB7，且此多项式用于以太网模块中所有的 32 位 CRC 计算，如下式所示：

$$G(x) = x^{32} + x^{26} + x^{23} + x^{22} + x^{16} + x^{12} + x^{11} + x^{10} + x^8 + x^7 + x^5 + x^4 + x^2 + x + 1$$

25.4.2 管脚配置（复用）方式

表 25-1 ETH 模块管脚配置（复用）

MII 信号	RMII 信号	默认映射	重映射 1	重映射 2	重映射 3	管脚配置
MDC	MDC	PC1			推挽复用输出，高速 (50MHz)	
TXD2	-	PC2			推挽复用输出，高速 (50MHz)	
Tx_CLK	-	PC3			浮空输入（复位状态）	
CRS	-	PA0			浮空输入（复位状态）	
Rx_CLK	REF_CLK	PA1			浮空输入（复位状态）	
MDIO	MDIO	PA2			推挽复用输出，高速 (50MHz)	
COL	-	PA3			浮空输入（复位状态）	
RxDV	CRS_DV	PA7	PD8	PA7	PD8	浮空输入（复位状态）
RxD0	RxD0	PC4	PD9	PC4	PD9	浮空输入（复位状态）
RxD1	RxD1	PC5	PD10	PC5	PD10	浮空输入（复位状态）
RxD2	-	PB0	PD11	PB0	PB0	浮空输入（复位状态）
RxD3	-	PB1	PD12	PB1	PB1	浮空输入（复位状态）
RxE_R	-	PB10			浮空输入（复位状态）	
Tx_EN	Tx_EN	PB11			推挽复用输出，高速 (50MHz)	

MII 信号	RMII 信号	默认映射	重映射 1	重映射 2	重映射 3	管脚配置
TxD0	TxD0	PB12			推挽复用输出, 高速 (50MHz)	
TxD1	TxD1	PB13			推挽复用输出, 高速 (50MHz)	
PPS_OUT	PPS_OUT	PB5		PB6	推挽复用输出, 高速 (50MHz)	
TxD3	-	PB8		PB7	推挽复用输出, 高速 (50MHz)	

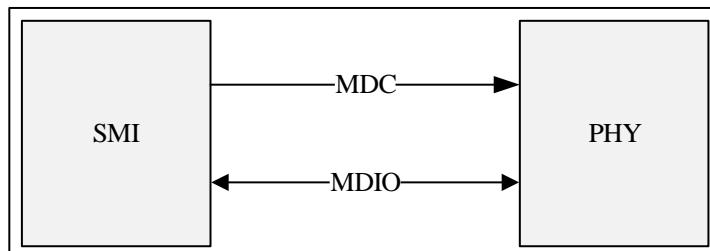
25.4.3 SMI 接口

SMI 用于访问和设置 PHY 的配置，通过时钟线 MDC 和数据线 MDIO 与外部 PHY 通讯，可访问任意 PHY 的任意寄存器。SMI 接口最多可以支持 32 个 PHY，但不能同时访问，在同一时刻只能访问一个 PHY 的一个寄存器。

时钟线 MDC 和数据线 MDIO 的作用如下：

- **MDC:** 时钟信号，最高频率为 2.5MHz，在空闲状态下该管脚保持为低电平状态。在传输数据时该信号的高电平和低电平的保持时间最短为 160ns，信号的最小周期为 400ns；
- **MDIO:** 与 PHY 之间的接收/发送数据，配合时钟线 MDC 完成传输。

图 25-3 SMI 接口信号线



25.4.3.1 SMI 写操作

要实现 SMI 写操作，需将要传输的数据写入 ETH_MACMIIDAT 寄存器中，并对 ETH_MACMIIADDR 寄存器相关位进行操作：

1. 设置要操作的 PHY 的设备地址和具体的寄存器地址，并将 ETH_MACMIIADDR.MW 置 1，使能写模式；
2. 将 ETH_MACMIIADDR.MB 置 1 开始传输。可以通过 ETH_MACMIIADDR.MB 位判断传输是否完成，在传输过程中 ETH_MACMIIADDR.MB 位一直为高，直到传输完成，硬件将自动清除 ETH_MACMIIADDR.MB 位。ETH_MACMIIADDR.MB 位为 1 时，修改 ETH_MACMIIADDR 和 ETH_MACMIIDAT 的内容将无效。

25.4.3.2 SMI 读操作

要实现 SMI 读操作，需对 ETH_MACMIIADDR 寄存器相关位进行操作：

1. 设置要操作的 PHY 的设备地址和具体的寄存器地址，并将 ETH_MACMIIADDR.MW 置 0，使能读模式；
2. 将 ETH_MACMIIADDR.MB 置 1 开始接收数据。可以通过 ETH_MACMIIADDR.MB 位判断传输是否完成，接收数据时 ETH_MACMIIADDR.MB 位一直为高，接收完成后，硬件将自动清除 ETH_MACMIIADDR.MB 位。ETH_MACMIIADDR.MB 位为 1 时，修改 ETH_MACMIIADDR 和

ETH_MACMIIDAT 的内容将无效。

注意：地址为 16-31 的 PHY 寄存器内容为厂商自定义，所以需要根据 PHY 设备手册进行相应的设置，才能访问这部分寄存器。

25.4.3.3 SMI 时钟配置

SMI 接口的时钟来源于 AHB 时钟分频。根据 AHB 时钟频率对 ETH_MACMIIADDR.CR[2:0]这些位进行设置，配置合适的分频系数，确保 MDC 时钟频率不超过 2.5MHz。

SMI 时钟配置范围如下：

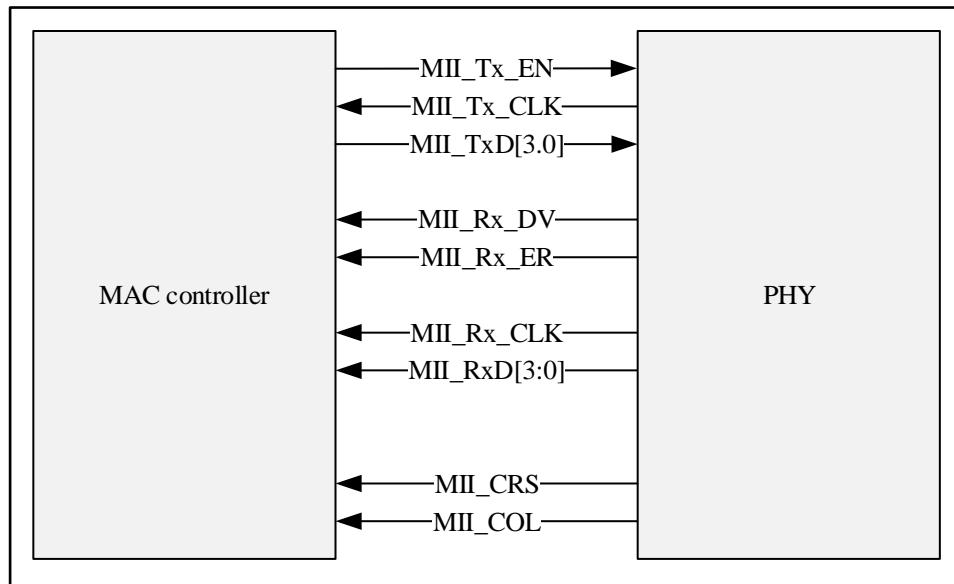
表 25-2 SMI 时钟配置范围

ETH_MACMIIADDR.CR[2:0]取值	MDC 频率	HCLK 频率
000	HCLK/42	60~100MHz
001	HCLK/62	100~144MHz
010	HCLK/16	20~35MHz
011	HCLK/26	35~60MHz

25.4.4 MII 接口

MII 用于 MAC 与外部 PHY 互联，支持 10Mbps 和 100Mbps 的数据速率传输模式。

图 25-4 MII 接口信号线



- MII_Tx_EN：发送使能信号，该信号必须与数据前导符的起始位同步出现，并在传输完成前一直保持。
- MII_Tx_CLK：发送数据使用的连续时钟信号，数据传输速率为 10Mbps 时，该时钟为 2.5MHz；数据传输速率为 100Mbps 时，该时钟为 25MHz。
- MII_TxD[3:0]：发送数据线，每次传输 4 位数据，数据在 MII_Tx_EN 信号使能时才有效。MII_TxD[0] 是数据的最低位，MII_TxD[3]是最高位。当 MII_Tx_EN 信号禁能时，PHY 传输的数据无效。
- MII_Rx_DV：接收数据有效信号，由 PHY 控制，信号有效表示 PHY 已准备好数据供 MAC 接收。该信号必须和帧数据的首个 4 位同步出现，并一直保持有效直到数据传输完成。完成最后 4 位数据传输后

的首个时钟出现之前，该信号必须变为无效状态。为了确保接收数据正常，有效电平不能在数据线上的 SFD 出现之后才出现。

- **MII_Rx_ER:** 接收出错信号，保持至少一个 MII_Rx_CLK 时钟周期的有效状态，表明 MAC 检测到接收出现错误。出现错误的原因需根据 MII_Rx_DV 的状态和 MII_RxD[3:0]数值进行分析，接收接口信号编码请参考表 25-4。
- **MII_Rx_CLK:** 接收数据使用的时钟信号，数据传输速率为 10Mbps 时，该时钟为 2.5MHz；数据传输速率为 100Mbps 时，该时钟为 25MHz。
- **MII_RxD[3:0]:** 接收数据线，每次接收 4 位数据，数据在 MII_Rx_DV 信号有效时有效。MII_RxD[0]是数据的最低位，MII_RxD[3]是最高位。如果 MII_Rx_DV 无效，但 MII_Rx_ER 有效，MII_RxD[3:0]数据值有特定的意义，具体请参考表 25-4。
- **MII_CRS:** 载波侦听信号，由 PHY 控制，只在半双工模式下工作。当发送或接收介质非空闲时，使能该信号。PHY 必需保证 MII_CRS 信号在发生冲突的整个时间段内都保持有效。此信号不需要与发送/接收时钟保持同步。
- **MII_COL:** 冲突检测信号，由 PHY 控制，只在半双工模式下工作。当检测到介质发生冲突时，使能该信号，并且在整个冲突的持续时间内，保持此信号有效。此信号不需要与发送/接收时钟保持同步。

表 25-3 发送接口信号编码

MII_Tx_EN	MII_TxD[3:0]	说明
0	0000 到 1111	正常的帧间隔
1	0000 到 1111	正常的数据传输

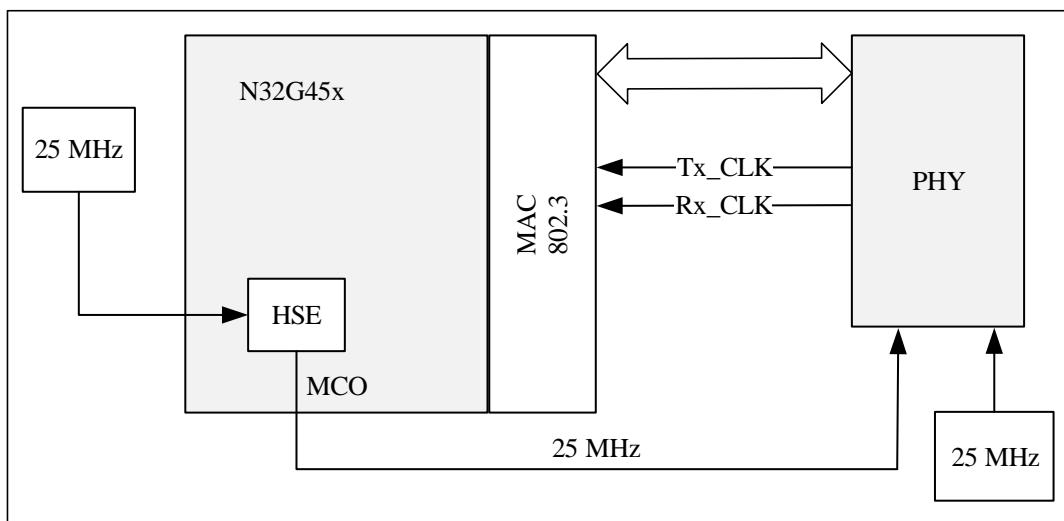
表 25-4 接收接口信号编码

MII_Rx_DV	MII_Rx_ERR	MII_RxD[3:0]	说明
0	0	0000 到 1111	正常的帧间隔
0	1	0000	正常的帧间隔
0	1	0001 到 1101	保留
0	1	1110	错误的载波指示
0	1	1111	保留
1	0	0000 到 1111	正常的数据接收
1	1	0000 到 1111	数据接收出错

25.4.4.1 MII 时钟源

外部 PHY 模块需要外部的 25MHz 时钟驱动，才能产生 Tx_CLK 和 Rx_CLK 时钟信号。外部 25MHz 时钟可以与 MAC 时钟不同，可以使用外部的 25MHz 晶振或通过配置合适的 PLL 使 MCU 时钟输出管脚 MCO 提供的 25MHz 时钟。

图 25-5 MII 时钟源

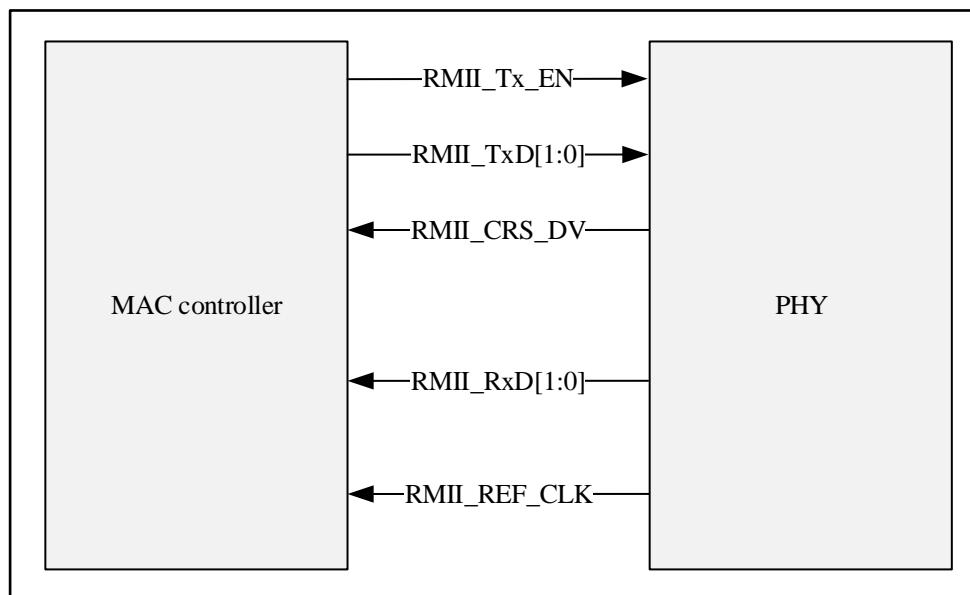


25.4.5 RMII 接口

RMII 规范缩减了通信所需要的管脚数。IEEE802.3 标准规定, MII 接口需要 16 个管脚用于数据和控制信号, 而 RMII 标准则将管脚数减少为 7 个。

RMII 仅有一个 50MHz 的时钟信号, MAC 和外部 PHY 都需使用该时钟源, 发送和接收数据各自通过 2 位线宽进行传输。

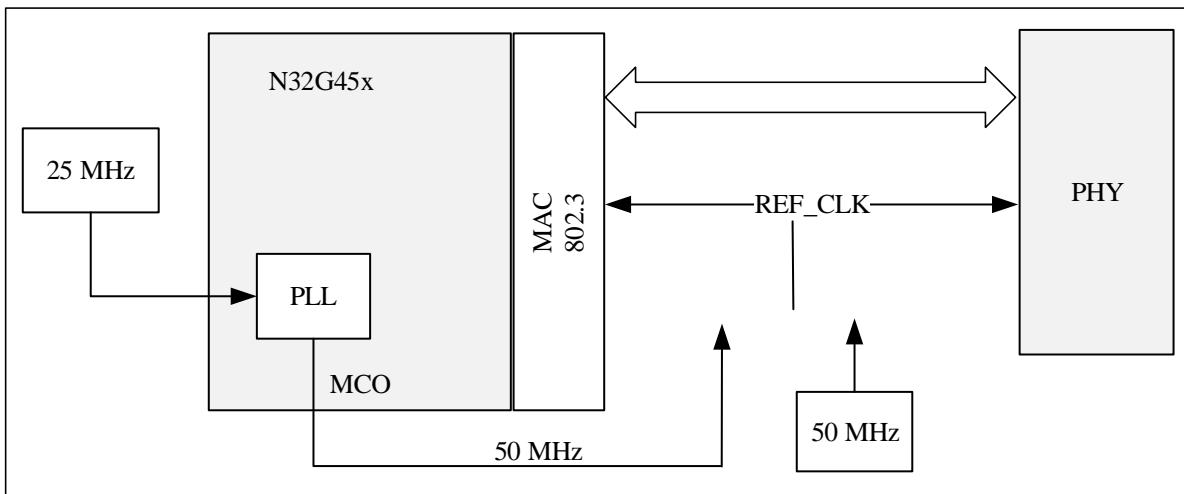
图 25-6 RMII 接口信号线



25.4.5.1 RMII 时钟源

如下图所示, 外部时钟源或通过配置合适的 PLL, MCU 的时钟输出管脚 MCO 可提供 50MHz 时钟信号。

图 25-7 RMII 时钟源



25.4.6 MAC 功能描述

MAC 模块执行发送数据和接收数据的封装，支持半双工或全双工两种工作模式。数据封装能实现帧检测/解码、帧边界定界、寻址（管理源地址和目的地址）和错误检测。半双工模式下，通过 CSMA/CD 算法来抢占对物理介质的访问，在同一时间只有一个传输方向的两个站点有效，对介质访问管理防止和处理冲突；全双工模式下，只要物理介质支持同时进行收发操作，且只有两个都配置为全双工模式的站点接入 LAN，就可以同时进行收发且不发生冲突。

25.4.6.1 MAC 帧的发送流程

以太网模块中的 DMA 控制器和 MAC 控制器所有的以太网帧数据发送。在收到应用程序发送指令后，DMA 将发送帧从系统存储区读出并存入大小为 2K 的 TxFIFO 中，根据选择的直通或者存储转发模式，将数据取出到 MAC 控制器，通过 MII/RMII 接口发送到以太网 PHY，可选择配置使 MAC 控制器将硬件计算的 CRC 值自动添加到数据帧的 FCS 中。当 MAC 控制器收到来自 TxFIFO 的 EOF 信号后，传输过程结束，传输状态信息由 MAC 控制器生成并写回到 DMA 控制器中，可以通过 DMA 当前发送描述符查询发送状态。

有两种模式可将 TxFIFO 数据取出到 MAC 控制器：

- 直通(阈值)模式(Cut-Through)。当 TxFIFO 中的数据达到所设置的阈值或在达到阈值之前写入了 EOF，数据会从 TxFIFO 中取出并送入到 MAC 控制器中。ETH_DMAOPMOD.TTC 可以设置该阈值。
- 存储转发模式(Store-and-Forward)。一个完整的帧写入 TxFIFO 之后，TxFIFO 中的数据才会被送入 MAC 控制器。如果帧没有被完整写入 TxFIFO，即 TxFIFO 的大小小于要发送的以太网帧长度，在 TxFIFO 即将全满时，数据也会被送入到 MAC 控制器。

25.4.6.2 帧发送时的特殊情况处理

传输数据时，如果误操作了 ETH_DMAOPMOD.FTF，导致 TxFIFO 被清空（此位置 1 时将清空 TxFIFO 中的数据并将 TxFIFO 的指针复位，清空操作完成后由硬件将此位清零），或空闲的 DMA 发送描述符不足，则会出现不能及时连续地发送数据，MAC 控制器会标识数据下溢状态。如果只收到 SOF 信号，没有收到 EOF 信号，MAC 会认为该 SOF 信号无效，并把这一帧数据视为前一帧数据的延续。

如果被发送的一帧数据占用两个 DMA 发送描述符，第一个描述符的首段位(TDES1.FS)和末段位(TDES1.LS)应为 10b，第二个描述符的应为 01b。如果第一个描述符与第二个描述符的 TDES1.FS 都置位，且第一个描述符的 TDES1.LS 复位了，则将认为第二个描述符的 TDES1.FS 无效，把两个描述符当作只发送一个帧。

如果要发送的 MAC 帧的数据域长度小于 46 或者要发送的带标签的 MAC 帧的数据域长度小于 42，可以选择配置 MAC 控制器自动填充数据 0，使帧数据域的长度与 IEEE802.3 规范的相关定义一致，此时 MAC 将忽略 DMA 描述符 TDES1.DC 的配置，自动计算并添加 CRC 值到帧的 FCS 中。

25.4.6.3 Jabber 定时器

以太网内置的 Jabber 定时器会在以太网帧发送超过 2048 字节后终止发送，以防止同一站点长时间占用 PHY。Jabber 定时器是默认使能的，如果以太网帧发送超过 2048 字节，MAC 只会发送 2048 字节，并丢掉超出的帧数据。

25.4.6.4 重发冲突处理机制

工作模式为半双工模式时，MAC 发送数据帧可能会发生冲突。如果发生冲突事件，且 TxFIFO 中只有不超过 96 个字节的帧数据被取出到 MAC 中，就会激活帧重发功能，MAC 会中止当前的数据传输，从 TxFIFO 中读取数据后重新传输。如果发生冲突事件且超过 96 个字节的数据从 TxFIFO 中取出到 MAC 中，MAC 会中止当前的传输但不会激活重发功能，并在描述符中置位 TDES0.LC 以通知应用程序。

25.4.6.5 帧发送的状态信息字

MAC 控制器帧发送完成后，将会更新发送状态信息字，其中包括了许多用于应用程序的发送状态标志。如果使能了时间戳功能，时间戳将会随发送状态信息字一起写回到发送描述符中。

25.4.6.6 清空 TxFIFO 操作

不管 TxFIFO 是否正在弹出数据到 MAC 中，只要将 ETH_DMAOPMOD.FTF 置 1，就会立即清空 TxFIFO，并将 TxFIFO 数据指针复位。当收到清空操作指令，所有从 TxFIFO 取出到 MAC 的数据都将被丢弃，直到收到 TDES1.FS 为 1 的描述符。清空操作会导致 MAC 控制器产生数据下溢事件，并结束发送当前帧，同时返回该帧的发送状态信息到应用程序，还会标记数据下溢错误标志(TDES0.UF)和帧清空标志(TDES0.FF)。在 DMA 接收到所有被清空帧的状态信息字以后，清空操作完成，ETH_DMAOPMOD.FTF 也将自动清 0。

注意：如果接收数据量大，需要将 flash 功能打开，同时在接收上溢中断产生时复位 ETH 模块，并重新初始化相关数据结构。

25.4.6.7 发送流量控制

使能 ETH_MACFLWCTRL.TFE，且工作在全双工模式时，MAC 会在需要时自动产生并传输带有 CRC 值的 Pause 帧。当软件把 ETH_MACFLWCTRL.FCB_BPA 置 1，或 RxFIFO 全满时，会启动产生 Pause 帧并把 Pause 帧发送出去，Pause 帧指定的暂停时间为寄存器 ETH_MACFLWCTRL 预设的暂停时间值。

- 如果设置 ETH_MACFLWCTRL.FCB_BPA 为 1 来请求进行流控时，MAC 会产生并传输一个单独的 Pause 帧。如果想延长暂停时间，或者中止暂停，需要重新配置寄存器 ETH_MACFLWCTRL 中的暂停时间，并请求传输一个新的 Pause 帧。
- 如果使能了传输流控，在 RxFIFO 满时，MAC 会产生并传输一个 Pause 帧。如果达到配置好的暂停时间后，RxFIFO 仍然为满，MAC 会再传输一个 Pause 帧。只要 RxFIFO 一直为满，就会一直重复该过程。如果 RxFIFO 未满且还没有达到暂停时间，MAC 会传输一个暂停时间为 0 的 Pause 帧，以告知远程站点本地缓存区已经准备好接收新的数据帧。

25.4.6.8 发送帧间隔管理

MAC 管理帧间隙时间（即两个帧之间的时间间隔）。工作在全双工模式时，完成帧数据发送或者 MAC 进入空闲状态后，帧间隙计数器开始计数。如果下一个发送帧在帧间隙时间达到 ETH_MACCFG.IFG[2:0]这些位的预设值之前来临，该新的发送帧在达到帧间隙时间值才会被发送。反之则会立即发送该帧。工作在半双工模式时，MAC 会在前一个发送帧发送完成或者 MAC 进入空闲状态后，启动帧间隙计数器计数。根据检测

到载波信号的不同情况，处理方式有所不同：

1. 如果载波信号出现在帧间隙时间的前 2/3，将复位帧间隙计数器并重新计数。
2. 如果载波信号出现在帧间隙时间的后 1/3，帧间隙计数器不会复位，而是继续计数直到达到帧间隙时间，MAC 发送新的帧。
3. 如果载波信号没有出现在整个帧间隙时间内，在到达帧间隙时间后，会停止帧时隙计数器，如果之前有帧被延迟，会立即发送新的帧。

25.4.6.9 发送校验和模块

为了保证传输的可靠性，以太网控制器在发送时自动计算和插入校验和，并在接收时侦测校验和错误。需将 ETH_DMAOPMOD.TSF 配置为 1，即 TxFIFO 设置成存储转发模式，并使 TxFIFO 的大小可以容纳要发送帧的完整数据时，才能使能发送校验和功能。如果 TxFIFO 大小小于帧长度，则只会计算和插入 IPv4 报头的校验和。

■ IP 报头校验和

如果以太网帧的类型域的值为 0x0800，且 IP 数据包的版本域的值为 0x4，校验和模块会将其标记为 IPv4 数据包，然后用计算结果取代帧的校验和域的内容，并将相应状态写到 TDES0.IHE。

对于 IPv4 数据帧，发生以下情况时，TDES0.IHE 会被硬件置 1：

- 接收到的以太网类型域的值为 0x0800，但 IP 报头版本域的值不是 0x4
- IPv4 报头长度域的值大于帧的总长度
- IPv4 报头长度域的值小于 IP 报头总长 0x5

对于 IPv6 数据帧，它的报头不包含校验和域，因此校验和模块不会改变 IPv6 报头的值。发生以下情况时，TDES0.IHE 会被硬件置 1：

- 接收到的以太网类型域的值为 0x86DD，但 IP 报头版本域的值不是 0x6
- 帧在完整接收 IPv6 报头或者扩展报头之前结束

■ TCP/UDP/ICMP 校验和

校验和模块根据 IPv4 或 IPv6 报头（包括扩展报头）分析判断帧的类型（TCP、UDP 或 ICMP）。

校验和模块不对帧进行处理的情况如下：

- IPv4 或 IPv6 帧不完整
- IP 帧包含验证报头或者封装有安全数据等安全功能
- IP 帧不是 TCP/UDP/ICMPv4/ICMPv6 的数据
- IPv6 帧带路由报头

校验和模块计算 TCP、UDP 或 ICMP 的数据，把结果插入报头的相应域，有两种处理方式：

1. 计算时不包括 TCP、UDP 或 ICMPv6 的伪首部。先把校验和字段包含在校验和计算中，计算完成后直接插入替换原校验和域的值。
2. 计算时包括 TCP、UDP 或 ICMPv6 的伪首部。先将传输帧的校验和字段清零，再在校验和计算完成后插入传输帧的原校验和域。

注意：IPv4 上的 ICMP 数据包没有定义伪报头，为确保校验和计算正确，不管哪种处理方式，校验和域的

值必须为 0x0000。

校验和计算完成后，会将结果写到 TDES0.PCE。发生以下情况时，TDES0.PCE 会被硬件置 1：

- 在存储转发模式下，帧未被完整写入 TxFIFO 之前就被转发给 MAC 控制器。校验和的值不会插入 TCP、UDP 或者 ICMP 报头。
- 帧数据已发送完成，但 MAC 从 TxFIFO 中取出的数据包小于 IP 报头中数据长度域标明的值。校验和计算结果依然会被插入报头的相应域。

如果数据包长度大于标明的值，后面的数据会被当成填充字节而丢掉，而不会报告错误。

25.4.6.10 MAC 接收帧过滤

MAC 过滤包括地址过滤和过短帧、CRC 错误、坏帧等错误过滤。使用接收过滤器时，建议通过存储转发模式接收数据。

25.4.6.10.1 地址过滤器

地址过滤通过过滤静态物理地址和多播 HASH 列表来实现。如果 ETH_MACFFLT.RA = 0，只会转发通过地址过滤器的接收帧；如果 ETH_MACFFLT.RA = 1，会转发所有接收帧数据，帧的过滤结果依然会更新到接收描述符中，但不会影响到帧是否会被过滤。地址过滤功能会根据应用程序设定的帧过滤器寄存器参数，对单播帧或多播帧的目的地址和源地址进行过滤，丢掉所有不能通过过滤器的帧，并报告相应的地址过滤结果。

25.4.6.10.2 单播目的地址过滤器

配置 ETH_MACFFLT.HUC 为 0，可以使用静态物理地址的方式实现单播过滤；配置 ETH_MACFFLT.HUC 为 1，可以使用 HASH 列表的方式实现单播过滤。

■ 静态物理地址过滤

MAC 控制器最多可以支持 4 个 MAC 地址对单播地址进行完美过滤，MAC 会把接收帧的 6 个字节单播地址与预设的 MAC 地址寄存器逐位比较，确认是否相同。MAC 地址 0 寄存器始终使能，MAC 地址 1~MAC 地址 3 寄存器可以通过各自对应的使能位使能，也可以通过 ETH_MACADDRxHI.MBC[5:0] 这些位来设置是否与接收帧的目的地址相应字节进行比较。

■ HASH 列表过滤

MAC 采用 HASH 机制，利用 64 位的 HASH 列表对单播地址进行不完美过滤，可以仅用一个表就覆盖任何可能的地址，但有时应该丢弃的帧也会被接收。过滤过程如下：

1. MAC 计算接收帧的目的地址的 CRC 值，把 CRC 计算结果的高 6 位作为索引检索 HASH 列表；
2. 若 CRC 高 6 位值为‘000000’，则选取 HASH 列表寄存器的 bit0；若 CRC 高 6 位值为‘111111’，则选取 HASH 列表寄存器的 bit63。如果相应位为 1，则对应的帧能通过 HASH 过滤器，否则不能通过 HASH 过滤器。

25.4.6.10.3 多播目的地址过滤器

清零 ETH_MACFFLT.PAM，可以使能 MAC 多播地址过滤功能，再配置 ETH_MACFFLT.HMC，可以进行不同的地址过滤，与单播目的地址过滤的两种方式相似。

25.4.6.10.4 HASH 或者完美地址过滤器

设置 ETH_MACFFLT.HPF 为 1，并设置针对单播帧的 ETH_MACFFLT.HUC 位或针对多播帧的 ETH_MACFFLT.HMC 位为 1，就可以实现接收帧的目的地址匹配上 HASH 过滤器或物理地址过滤器中任意

一种时通过对应的帧数据。

25.4.6.10.5 广播地址过滤器

默认情况下，MAC 会接收任何广播帧。设置 ETH_MACFFLT.DBF 为 1 时，MAC 将丢弃接收到的所有广播帧。

25.4.6.10.6 单播源地址过滤器

使能 MAC 地址 1~MAC 地址 3 寄存器，并将对应的 ETH_MACADDRxHI.SA 设置为 1，MAC 将 MAC 地址 1~MAC 地址 3 寄存器中设置的物理地址与接收帧的源地址进行比较并过滤。MAC 也支持对多个源地址进行过滤。如果设置 ETH_MACFFLT.SAF 为 1，MAC 会丢弃不能通过源地址过滤的帧，将过滤结果通过 DMA 接收描述符的 RDES0.SAF 体现出来。源地址过滤器工作的同时，目的地址过滤器也在工作，只要帧没能通过任何一个过滤器，就会被丢弃，MAC 只会把同时通过源地址过滤器和目的地址过滤器的帧转发给应用程序。

25.4.6.10.7 逆转过滤操作

不管是哪种过滤器，将 ETH_MACFFLT.DAIF 和 ETH_MACFFLT.SAIF 设置为 1，都能在过滤器输出端反向操作，即地址与过滤器匹配时，帧不通过，反之则通过。设置 ETH_MACFFLT.DAIF 反转单播和多播帧的目的地址的过滤结果，设置 ETH_MACFFLT.SAIF 反转单播和多播帧的源地址的过滤结果。

25.4.6.10.8 混杂模式

设置 ETH_MACFFLT.PRM 为 1，将使能混杂模式，此时所有接收帧都可以通过过滤器，地址过滤器无效，接收状态信息的目的地址错误位和源地址错误位也始终为 0。

25.4.6.10.9 暂停控制帧过滤

MAC 会检测接收到的控制帧内的 6 字节目的地址域，如果 ETH_MACFLWCTRL.UP = 0，会判断目的地址域的值是否等于 0x0180 C200 0001（符合 IEEE802.3 规范控制帧的唯一值）；如果 ETH_MACFLWCTRL.UP = 1，除与 IEEE802.3 规范定义的唯一值比较外，还要与控制器所设置的 MAC 地址逐位比较。如果目的地址域比较通过，且 ETH_MACFLWCTRL.RFE = 1 时，将触发相应暂停控制帧功能。根据 ETH_MACFFLT.PCF[1:0]这些位设置的值，确定通过过滤的暂停帧是否被转发给应用程序。

25.4.6.11 目的地/源地址过滤结果

根据目的地址过滤器和源地址过滤器在不同设置下的接收帧过滤结果分别如表 25-5 目的地过滤器结果列表和表 25-6 源地址过滤器结果列表所示。

表 25-5 目的地过滤器结果列表

帧类型	PRM	HPF	HUC	DAIF	HMC	PAM	DBF	目的地过滤结果说明
广播帧	1	x	x	x	x	x	x	通过
	0	x	x	x	x	x	0	通过
	0	x	x	x	x	x	1	不通过
单播帧	1	x	x	x	x	x	x	所有帧通过
	0	x	0	0	x	x	x	完美/组过滤器匹配时通过
	0	x	0	1	x	x	x	完美/组过滤器匹配时不通过
	0	0	1	0	x	x	x	HASH 过滤器匹配时通过
	0	0	1	1	x	x	x	HASH 过滤器匹配时不通过
	0	1	1	0	x	x	x	HASH 或者完美/组过滤器匹配时通过

帧类型	PRM	HPF	HUC	DAIF	HMC	PAM	DBF	目的地址过滤结果说明
多播帧	0	1	1	1	x	x	x	HASH 或者完美/组过滤器匹配时不通过
	1	x	x	x	x	x	x	所有帧通过
	x	x	x	x	1	x	x	所有帧通过
	0	x	0	0	0	x	x	完美/组过滤器匹配时通过, 如果 ETH_MACFFLT.PCF = 0x, 丢弃 Pause 控制帧
	0	0	0	1	0	x	x	HASH 过滤器匹配时通过, 如果 ETH_MACFFLT.PCF = 0x, 丢弃 Pause 控制帧
	0	1	0	1	0	x	x	HASH 或者完美/组过滤器匹配时通过, 如果 ETH_MACFFLT.PCF = 0x, 丢弃 Pause 控制帧
	0	x	1	0	0	x	x	完美/组过滤器匹配时不通过, 如果 ETH_MACFFLT.PCF = 0x, 丢弃 Pause 控制帧
	0	0	1	1	0	x	x	HASH 过滤器匹配时不通过, 如果 ETH_MACFFLT.PCF = 0x, 丢弃 Pause 控制帧
	0	1	1	1	0	x	x	HASH 或者完美/组过滤器匹配时不通过, 如果 ETH_MACFFLT.PCF = 0x, 丢弃 Pause 控制帧

表 25-6 源地址过滤器结果列表

帧类型	PRM	SAIF	SAF	源地址过滤结果说明
单播帧	1	x	x	所有帧通过
	0	0	0	完美/组滤波器匹配时通过, 但不丢弃不通过的帧
	0	1	0	完美/组滤波器匹配时不通过, 但不丢弃帧
	0	0	1	完美/组滤波器匹配时通过, 丢弃不通过的帧
	0	1	1	完美/组滤波器匹配时不通过, 丢弃不通过的帧

25.4.6.12 MAC 帧的接收流程

只要 MAC 在接口上检测到 SFD, 就会启动接收程序。MAC 接收到帧后, 会先剥离其前导码和 SFD, 然后再通过报头进行过滤, 并用 FCS 核对帧的 CRC 值。如果使能了 IEEE1588 时间戳, MAC 会在检测到帧的 SFD 的同时记录下系统的当前时间。如果该帧通过地址过滤器的检查, MAC 会把该时间戳通过 DMA 接收描述符一起发给应用程序, 否则该帧将被丢弃。接收引擎启动后, 会从 SFD 后的第一个字节(目的地址)开始, 向 RxFIFO 发送数据帧。

如果 ETH_MACCFG.ACS 置位, 且接收到的帧长度/类型域的值小于 0x600 时, MAC 会自动剥离 PAD 和 FCS。MAC 向 RxFIFO 发送字节数达到帧长度/类型域的值后, 丢弃余下的所有字节(包括 FCS)。如果长度/类型域的值大于或等于 0x600, 不管自动 CRC 剥离选项是否使能, MAC 都会把接收到的所有以太网帧数据发送到 RxFIFO。

若看门狗定时器被使能(ETH_MACCFG.WD 被复位), 当帧长度超过 2048 字节(目的地址+源地址+长度/类型+数据+PAD+FCS)时将被切断。即使看门狗定时器被禁能, MAC 仍然会切断长度大于 16384 字节的帧。

当 RxFIFO 工作于直通(阈值)模式时, 如果 RxFIFO 中的数据量大于 ETH_DMAOPMOD.RTC[1:0]这些位所设置的阈值, 就开始从 RxFIFO 中取出数据, 并通知 DMA。当从 RxFIFO 取出完整帧后, MAC 控制器将接收状态信息字发送给 DMA 控制器, 并回写到接收描述符中。如果一个帧已开始从 RxFIFO 取出并由 DMA 搬运到应用程序, 即使检测到错误, 帧也会一直接收直到整个帧接收完成。由于错误信息也要等到此时才会

发送给 DMA 控制器，此时帧的前部分已经被 DMA 读出，所以在这种模式下将 MAC 设置成将所有错误帧丢弃将无效。

设置 ETH_DMAOPMOD.RSF 使 RxFIFO 工作于存储转发模式时，DMA 只在 RxFIFO 完整地收到一帧后，才将其读出。如果 MAC 设置成将所有错误帧丢弃，那么 DMA 只会读出合法的帧，并转发给应用程序。

25.4.6.13 多个帧的接收

与 TxFIFO 不同，由于帧的状态信息紧随在帧数据之后，MAC 可以根据紧跟在帧数据后的帧状态信息，判断接受帧的状态，所以第二个接收帧的传送是紧接着第一个接收帧的数据与状态信息的，只要 RxFIFO 未满，就可以存放任意数量的帧。

25.4.6.14 接收流量控制

工作在全双工模式时，可以设置 ETH_MACFLWCTRL.RFE 来使能或者禁能 Pause 帧检测功能。如果使能检测 Pause 帧，MAC 能够对接收到的 Pause 帧进行解码，识别出类型域、操作数域和暂停时间域，并按照 Pause 帧中的暂停时间域的参数，在暂停一定时间后再发送数据。在暂停期间，如果收到一个新的 Pause 帧，则新的暂停时间将立即被加载到暂停时间计数器中。如果接收到的暂停时间域的值为 0，MAC 会停止暂停时间计数器，恢复数据的发送。通过配置 ETH_MACFFLT.PCF[1:0]这些位来确定如何处理这些接收到的控制帧。如果取消 Pause 帧检测功能，MAC 会忽略接收到的 Pause 帧。

25.4.6.15 接收帧错误处理

- 如果 RxFIFO 在 MAC 接收到 EOF 之前已满，MAC 控制器会丢掉整个帧并返回溢出状态，溢出计数器相应加 1。
- 如果 RxFIFO 工作在存储转发模式，MAC 可以过滤并丢弃所有的错误帧，但通过设置 ETH_DMAOPMOD.FEF 和 ETH_DMAOPMOD.FUF，RxFIFO 仍可以接收错误帧和长度低于最小帧长的帧。
- 如果 RxFIFO 工作在直通（阈值）模式，不能将所有的错误帧都丢掉，只有当 DMA 从 RxFIFO 读出帧的 SOF，并且 RxFIFO 获得了该帧的错误状态时，才可以丢掉错误帧。

25.4.6.16 帧接收的状态信息字

完成以太网帧接收后，MAC 会分析和记录帧本身和接收过程中的一些状态信息，并把接收状态信息回写到 DMA 接收描述符及相关状态标志中。应用程序可以利用这些状态位来实现上层协议。

注意：帧长度值为 0 表示写入 RxFIFO 的帧不完整，比如 RxFIFO 溢出或在接收过程中动态地修改了过滤器的值，导致未通过过滤器的过滤。

25.4.6.17 接收校验和模块

设置 ETH_MACCFG.IPC，可以使能接收校验和模块。接收校验和模块可以计算 IPv4 报头的校验和，并检查它是否与 IPv4 报头的校验和域的内容相匹配。如果接收到的以太网帧类型域的值是 0x0800，则帧为 IPv4 帧；如果接收到的以太网帧类型域的值是 0x86DD，则帧是 IPv6 帧。

接收到的 IP 报头出现以下情况时，RDES0.ICEGF 会被置 1：

- 计算得到的 IPv4 报头的校验和值与其校验和域的内容不匹配
- 以太网类型域指示的数据类型与 IP 报头版本域不匹配
- 接收到的帧长小于 IPv4 报头长度域指示的长度，或者 IPv4/IPv6 报头小于 20 字节

接收校验和模块可以判断 IP 数据包的数据类型是 TCP、UDP 或 ICMP，并根据各自的规范计算它们的校验

和，其中包括 TCP/UDP/ICMPv6 伪报头的数据。

接收到的 IP 数据包出现以下情况时，RDES0.RMAPCE 会被置 1：

- 计算得到的 TCP、UDP 或 ICMP 校验和与其帧的校验和域的值不匹配
- 收到的 TCP、UDP 或者 ICMP 数据长度与 IP 报头指示的长度不匹配

如果 IP 数据包不完整或带安全功能、IPv6 路由报头以及数据类型不是 TCP、UDP 或者 ICMP 的数据包，接收校验和模块不会进行计算。

25.4.6.18 MAC loopback 模式

Loopback 模式默认是关闭的，一般用于应用程序对系统硬件和软件的测试与调试，将 ETH_MACCFG.LM 置 1，进入 MAC loopback 模式，MAC 会自发自收，即发送端把帧发送到自身的接收端上。

25.4.6.19 MAC 管理计数器 (MMC)

MMC 是用一组寄存器来统计已发送帧和已接收帧的情况的管理计数单元。各寄存器的具体功能，以及各统计信息计数器的地址参见第 25.5.22 节~第 25.5.32 节，利用这些地址可以对需要的发送/接收计数器进行读/写访问。

如果发送的帧没有出现帧下溢、无载波、载波丢失、过度延迟、延迟冲突、过度冲突、Jabber 超时错误时，则认为发送过程正常，MMC 发送计数器会自动更新。

如果接收的帧没有出现对齐、CRC 计算结果与 FCS 值不一致、帧长度小于 64 字节、长度域的值与实际接收到的字节数不符、超出范围、MII_Rx_ER 输入错误，则认为接收过程正常，MMC 接收计数器会自动更新。另外，如果没有完整接收到目的地址，被丢弃的帧长度小于 6 字节，MMC 接收计数器也会更新。

注意：基本帧的最大范围为 1518 字节，带标签帧 (VLAN 帧) 的最大范围为 1522 字节 (均已剥离前导码和 SFD)。

25.4.7 电源管理 (PMT)

以太网模块支持远程唤醒帧和 Magic Packet 唤醒帧两种从低功耗模式唤醒系统的方法。为了降低功耗，可以使主机系统和以太网模块进入低功耗状态，并监听唤醒帧。如果 ETH_MACPMTCTRLSTS.PWRDWN 置 1，以太网模块会进入低功耗状态，MAC 会丢弃所有的帧，直到收到远程唤醒帧或 Magic Packet 唤醒帧退出低功耗状态。将 ETH_MACPMTCTRLSTS.RWKPKTEN 置 1，收到远程唤醒帧时唤醒以太网模块；将 ETH_MACPMTCTRLSTS.MGKPKTEN 置 1，收到 Magic Packet 唤醒帧时唤醒以太网模块。任何一个唤醒功能被使能，只要 MAC 接收到相应的唤醒帧，以太网模块就会产生一个唤醒中断，并退出低功耗状态。

25.4.7.1 远程唤醒帧过滤器寄存器

唤醒帧过滤器有 8 个共用一个相同偏移地址的寄存器。在完成对某个过滤器寄存器的读或写的时候，内部的指针会自动指到下一个过滤器寄存器。不论是读操作还是写操作，强烈建议连续操作 8 次，即设置寄存器时需要将设置的值分为 8 次逐一写入唤醒帧过滤器寄存器地址，读取也需要连续读 8 次唤醒帧过滤器寄存器，才能读出寄存器的值。

表 25-7 远程唤醒帧过滤器寄存器总览

寄存器	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
唤醒帧过滤器寄存器 0	过滤器 0 字节屏蔽																															

寄存器	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0												
唤醒帧过滤器寄存器 1	过滤器 1 字节屏蔽																																											
唤醒帧过滤器寄存器 2	过滤器 2 字节屏蔽																																											
唤醒帧过滤器寄存器 3	过滤器 3 字节屏蔽																																											
唤醒帧过滤器寄存器 4	保留	过滤器 3 命令	保留	过滤器 2 命令	保留	过滤器 1 命令	保留	过滤器 0 命令																																				
唤醒帧过滤器寄存器 5	过滤器 3 偏移				过滤器 2 偏移				过滤器 1 偏移				过滤器 0 偏移																															
唤醒帧过滤器寄存器 6	过滤器 1 CRC-16												过滤器 0 CRC-16																															
唤醒帧过滤器寄存器 7	过滤器 3 CRC-16												过滤器 2 CRC-16																															

■ 过滤器 n 字节屏蔽

该寄存器定义了过滤器 n ($n=0, 1, 2, 3$) 使用帧的哪部分字节来判断是否是唤醒帧。该寄存器的第 31 位固定为 0，位[30:0]是字节屏蔽位。只有过滤器 n ($n=0, 1, 2, 3$) 的第 m 位 ($m=0\sim30$) 为 1，唤醒帧检测的 CRC 模块才会处理输入帧的第[过滤器 n 偏移 + m]字节，否则忽略不处理。

■ 过滤器 n 命令

共 4 位控制过滤器 n 的工作模式。该寄存器的第 3 为地址类型选择，如果该位为 1，则只检测多播帧；如果该位为 0，则只检测单播帧。第 2 位和第 1 位固定为 0。第 0 位是过滤器 n 的使能位，置位时使能过滤器 n，否则禁能过滤器 n。

■ 过滤器 n 偏移

过滤器 n 偏移定义了过滤器 n 要检查的首字节在帧内的偏移量，与过滤器 n 字节屏蔽配合使用。偏移值最小允许取值是 12，代表了帧的第 13 个字节（偏移值为 0 表示帧的第一个字节）。

■ 过滤器 n CRC-16

过滤器 n 偏移且对应的字节屏蔽为 1 时，预设了 CRC-16 码的该寄存器用于与帧数据计算的 CRC-16 值（生成多项式为 0x8005）进行比较。

25.4.7.2 远程唤醒帧检测

设置 ETH_MACPMTCTRLSTS.RWKPKTEN 为 1 可以使能检测远程唤醒帧。PMT 模块支持 4 个可编程过滤器，允许支持不同的接收帧模式。如果接收帧通过了过滤器命令的地址过滤，并且过滤器 CRC-16 与传入帧的 CRC 匹配，则 MAC 将该帧识别为唤醒帧。远程唤醒 CRC 域确定与过滤器 CRC-16 比较的 CRC 值。PMT 模块仅检查远程唤醒帧的长度是否有误、FCS 是否有误、Dribble 位是否有误、MII 是否有误、是否发生冲突以及确保远程唤醒帧不是残帧。即使远程唤醒帧的长度超过 512 字节，如果该帧具有有效的 CRC 值，仍然认为它是有效的唤醒帧。只要检测到远程唤醒帧，ETH_MACPMTCTRLSTS.RWKPRCVD 就会被置 1。如果使能了 ETH_MACPMTCTRLSTS.RWKPKTEN，还将产生远程唤醒帧唤醒中断。

25.4.7.3 Magic Packet 检测

设置 ETH_MACPMTCTRLSTS.MGKPKTEN 为 1 可以使能检测 Magic Packet 唤醒帧。Magic Packet 帧是一种特殊构成的数据包，专门用于唤醒，可以被以太网模块接收、分析和识别，并触发一个唤醒事件。Magic Packet 唤醒帧的帧格式如下：目的地址和源地址域之后的任何位置连续 6 字节全 1 (0xFFFF FFFF FFFF)，接着是在没有任何中断和暂停的情况下有 16 个重复的 MAC 地址；如果这 16 次重复间有任何的间隔，则需要重新在输入帧里检测 0xFFFF FFFF FFFF。PMT 模块会一直监视每一个发向本节点的帧，MAC 会先通过地址过滤 Magic Packet 帧，再检测其是否符合 Magic Packet 的格式，如果符合则会从低功耗状态下唤醒 MAC。

单播帧和多播帧都可以作为 Magic Packet 帧。

下面是一个站地址为 0xAABB CCDD EEFF 的 Magic Packet 帧实例：

目的地址 源地址 FF FF FF FF FF FF
AABB CCDD EEFF AABB CCDD EEFF AABB CCDD EEFF AABB CCDD EEFF
AABB CCDD EEFF AABB CCDD EEFF AABB CCDD EEFF AABB CCDD EEFF
AABB CCDD EEFF AABB CCDD EEFF AABB CCDD EEFF AABB CCDD EEFF
AABB CCDD EEFF AABB CCDD EEFF AABB CCDD EEFF AABB CCDD EEFF
.....CRC

只要检测到 Magic Packet 帧，ETH_MACPMTCTRLSTS.MGKPRCVD 就会被置 1。如果使能了 ETH_MACPMTCTRLSTS.MGKPKTEN，还将产生 Magic Packet 唤醒中断。

25.4.7.4 系统处于低功耗模式时的注意事项

如果使能了外部中断线 19，当 MCU 处于低功耗模式时，以太网的 PMT 模块也能检测帧。ETH_MACCFG.RE 必须保持为 1，保证 MAC 在低功耗状态也进行 Magic Packet/远程唤醒帧检测。为了降低功耗，在低功耗状态时需要清零 ETH_MACCFG.TE 来关闭发送引擎，同时通过设置 ETH_DMAOPMOD.ST 和 ETH_DMAOPMOD.SR（分别对应 TxDMA 和 RxDMA）为 0 来关闭以太网 DMA 模块。

建议按如下步骤操作进入低功耗状态和唤醒：

1. 等待当前帧发送完成，然后复位 ETH_DMAOPMOD.ST 以关闭 TxDMA；
2. 清零 ETH_MACCFG.TE 和 ETH_MACCFG.RE，关闭 MAC 发送引擎和 MAC 接收引擎；
3. 通过读取 ETH_DMASTS.RI，确保等待 RxDMA 把 RxFIFO 里的所有帧读出后再关闭 RxDMA；
4. 配置并使能外部中断线 19，使其能产生事件或者中断。如果配置了外部中断线 19 产生中断，则还需要编写中断处理程序 ETH_WKUP_IRQHandler，并在中断处理程序中清除外部中断线 19 的中断标志位；
5. 设置 ETH_MACPMTCTRLSTS.MGKPKTEN 为 1 来使能检测 Magic Packet 唤醒帧或设置 ETH_MACPMTCTRLSTS.RWKPKTEN 为 1 来使能检测远程唤醒帧；
6. 设置 ETH_MACPMTCTRLSTS.PWRDWN 为 1，使能低功耗模式；
7. 设置 ETH_MACCFG.RE 为 1，打开 MAC 接收引擎；
8. 配置 MCU 进入相关低功耗模式；
9. 在接收到有效的唤醒帧后，以太网模块退出低功耗状态；
10. 读取 ETH_MACPMTCTRLSTS 寄存器来清除电源管理事件标志位，打开 MAC 发送引擎，以及 TxDMA 和 RxDMA；
11. 设置系统时钟，使能 HSE 并配置 RCC 时钟参数，使系统恢复正常状态。

25.4.8 以太网 DMA 功能描述

以太网模块专用的 DMA 控制器，可以实现 FIFO 和系统存储之间的帧数据传输，减少 CPU 的干预。DMA 和 CPU 之间的通讯通过 2 种数据结构实现：

- 描述符列表（链结构或环结构）和数据缓存
- 控制和状态寄存器

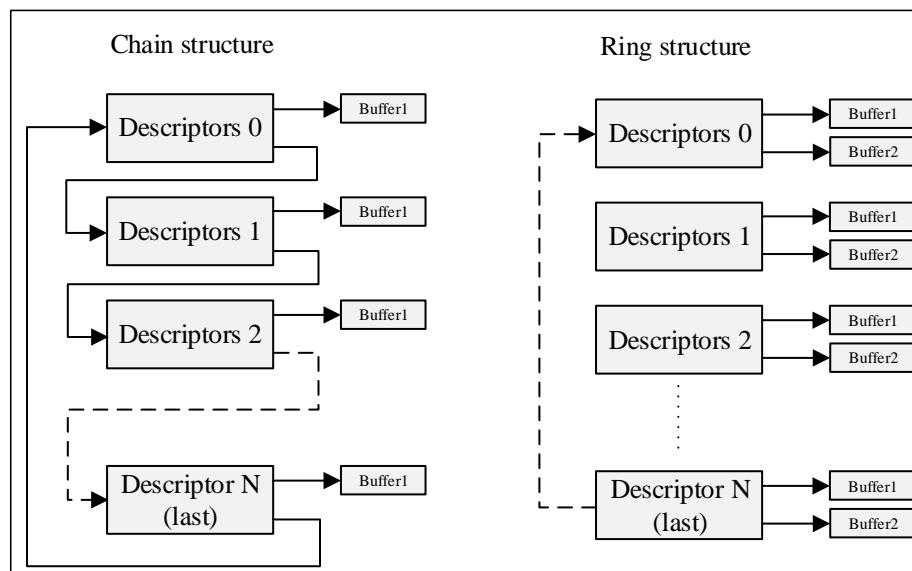
应用程序需要开辟存储描述符列表及用于数据缓存的物理内存。包含 2 个描述符队列分别用于发送和接收，描述符在存储器中是以指向缓存区的指针形式存放的。发送描述符队列的基地址存放在 ETH_DMATXDLADDR 寄存器中，发送描述符由 TDES0-TDES3 四个描述符字组成；接收描述符队列的基地址存放在 ETH_DMARXDLADDR 寄存器中，接收描述符由 RDES0-RDES3 四个描述符字组成。每个描述符最多可以指向 2 个缓存区用来存储帧的数据。

数据缓存区允许存储同一个帧的完整或部分数据，但不能超过一个帧。描述符队列可以通过显性链结构或者隐性环结构的方式前向连接。设置接收描述符的 RDES1.RCH 和发送描述符的 TDES1.TCH 为 1，可以实现描述符的显性连接（描述符的链结构），RDES2 和 TDES2 中将存放缓存区地址，RDES3 和 TDES3 中将存放下一个描述符的地址。设置接收描述符的 RDES1.RCH 和发送描述符的 TDES1.TCH 为 0，可以实现描述符的隐性连接（描述符的环结构），RDES2 和 TDES2，RDES3 和 TDES3 中都将存放缓存区地址。在使用当前的描述符所指向的缓存区地址时，描述符指针会指向下一个描述符。当使用链结构时，描述符指针指向的是第二个缓存区；当使用环结构，描述符指针下一个所指向的地址计算方法如下：

$$\text{下个描述符地址} = \text{当前描述符地址} + 16 + \text{ETH_DMABUSMOD.DSL [4:0]} \times 4$$

如果当前描述符是描述符列表的最后一个描述符，环结构下必须设置 TDES1.TER 或 RDES1.RER 以标识当前描述符为列表的最后一个，下一个描述符又会指向描述符列表的第一个；链结构下还可以通过设置 TDES3 或 RDES3 的值指向描述符列表中第一个的地址。DMA 一旦检测到帧结束就会跳到下一个帧的缓存区。

图 25-8 描述符的两种结构



25.4.8.1 数据缓存区地址对齐

以太网 DMA 控制器支持的对齐类型包括字节对齐、半字对齐、字对齐。所以应用程序可将发送数据缓存区地址和接收数据缓存区地址配置到任意地址。但 DMA 启动传输时，总是以字对齐的方式访问地址。读缓存区和写缓存区的访问也有所不同：

- 读缓存区：如果发送缓存区的地址为 0x2000 01A2，并需要传输 15 字节。在开始读操作后，DMA 实际会从地址 0x2000 01A0, 0x2000 01A4, 0x2000 01A8, 0x2000 01AC 和 0x2000 01B0 先读 20 个字节，往 TxFIFO 传递数据的时候，再丢掉头 2 个字节（0x2000 01A0 和 0x2000 01A1）和最后 3 个字节（0x2000

01B1, 0x2000 01B2 和 0x2000 01B3)。

- 写缓存区：如果接收缓存区的地址为 0x2000 0AB2，并需要传输 16 字节。在开始写操作后，DMA 实际会从地址 0x2000 0AB0 到 0x2000 0AC0 先写 5 个 32 位数据。但是头 2 个字节 (0x2000 0AB0 和 0x2000 0AB1) 和末尾的 2 个字节 (0x2000 0AC2 和 0x2000 0AC3) 会用空数据填充替代。

注意：DMA 控制器不会在定义的缓存区地址之外写任何数据。

25.4.8.2 缓冲区有效长度

发送帧的过程中，TxDMA 会传输 TDES1 中标明的缓存区有效长度的字节给 MAC 控制器。一个帧的数据可以处于多个不同的缓存区中。如果 DMA 控制器读取的 TDES0.FS 为 1，表明一个新帧缓存的开始，DMA 会标记发送的第一个字节是帧首。如果 DMA 控制器读取的 TDES0.LS 为 1，表明为当前帧的最后一部分数据。只要帧长度不是特别大，一般一个帧都会存在一个缓存里，所以 TDES0.FS 和 TDES0.LS 会在一个相同的描述符中同时置位。

接收帧的过程中，接收帧的缓存区长度域的值必须是字对齐的。对于字对齐或非字对齐的缓存区地址，接收操作与发送操作不大相同。如果接收缓存区地址是字对齐的，则与发送流程是类似的，缓存区的有效长度由 RDES1 中配置的值决定；如果接收缓存区地址是非字对齐的，则缓存区的有效长度应为 RDES1 中配置的值减去缓存区地址的低 2 位值。假设缓存的总大小为 1024 字节，缓存区地址为 0x2000 0001，地址的低 2 位值为 01b，那么缓存有效长度为 1023 个字节，范围从帧首的 0x2000 0001 到 0x2000 03FF。

当收到了一个 SOF，DMA 控制器会将 RDES0.FS 设置为 1，当收到一个 EOF，RDES0.LS 会被设置为 1。如果接收缓存区长度域的值配置较大，能存放一个完整帧，则 RDES0.FS 和 RDES0.LS 将在同一个描述符中被置位。通过 RDES0.FL[13:0]这些位可以获取实际接收的帧长度，应用程序可根据接收缓存长度配置域的值减去实际接收的帧长度，计算得到未被使用的缓存空间。RxDMA 总是用新的描述符来接收下一帧。

25.4.8.3 TxDMA

25.4.8.3.1 发送帧格式

IEEE 802.3 规定，一个完整的发送帧应该由前导码、SFD、目的地址 (DA)、源地址 (SA)、QTAG 前缀 (可选)、长度/类型域 (LT)、数据、PAD 填充域 (可选) 和 FCS 构成。前导码和 SFD 都是由 MAC 自动生成的，应用程序只需存储目的地址、源地址、长度/类型、数据，以及根据需要配置的 QTAG、填充域和 FCS。可以分别通过配置 TDES1.DP 和 TDES1.DC，自动生成 PAD 和 FCS。

25.4.8.3.2 发送帧处理

一个帧可以分散在不同缓存区内，同时也需要多个描述符。当 TDES1.FS 置位，表示当前描述符指向的缓存为帧头，当 TDES1.LS 置位，表示当前描述符指向的缓存为帧尾。对于当前帧其他描述符 (TDES1.LS 为 0 的描述符)，TxDMA 控制器只修改清零其 TDES0.OWN 位。发送完最后一个缓存区的数据后，DMA 会将整个帧的发送状态信息，写入最后一个发送描述符的 TDES0 并返回。将数据从系统存储区传输到 TxFIFO，开始发送数据，但真正的数据发送是由 MAC 根据直通 (阈值) 模式或存储转发模式决定的。

25.4.8.3.3 TxDMA 描述符

TxDMA 描述符结构体包含 TDES0、TDES1、TDES2 和 TDES3 共 4 个 32 位字。如果使能了 IEEE 1588 时间戳功能，TDES2 和 TDES3 还分别用于存放时间戳低 32 位和时间戳高 32 位 (TxDMA 控制器会在帧发送完成后，将时间戳写入 TDES2 和 TDES3，同时设置 TDES0.TTSS 为 1 来标记已记录下当前帧的时间戳)。每个位详细定义和描述如下：

注意：若一个帧由多个描述符描述，则对于描述符的控制位 (除了 TDES1.IC) 只有第一个描述符的才有效。

状态信息和时间戳（若使能了时间戳功能）只写回到最后一个描述符。

表 25-8 发送描述符总览

寄存器	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0											
TDES0	OWN	状态位																																									
TDES1	控制位							缓存区 2 字节计数							缓存区 1 字节计数																												
TDES2	缓存区 1 地址/时间戳低位																																										
TDES3	缓存区 2 地址/下一个描述符地址/时间戳高位																																										

■ TDES0：发送描述符字 0

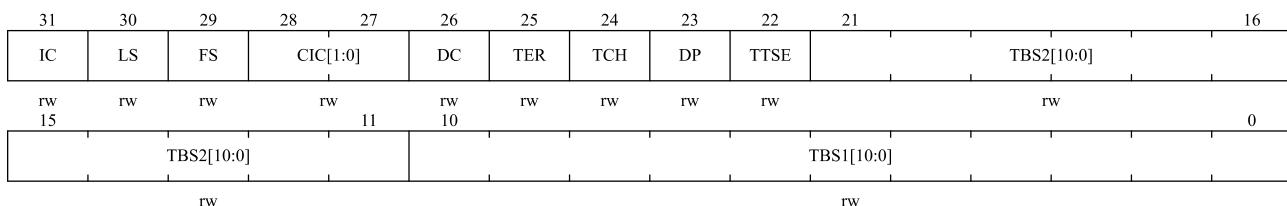
31	30																														18	17	16
	OWN	Reserved														TTSS	IHE																
		rw	15	14	13	12	11	10	9	8	7	6																		rw	rw	rw	
		ES	JT	FF	PCE	LOC	NC	LC	EC	VF						CC[3:0]														ED	UF	DB	
		rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw				rw													rw	rw	rw		

位域	名称	描述
31	OWN	占有位。 0：表示 CPU 占有描述符。 1：表示 DMA 占有描述符。 DMA 在传输完整个帧或者这个缓存区里的数据全部读出以后把该位清 0。同一个帧的第一个描述符的占有位，必须在后面描述符的占有位全部置 1 以后，才能置 1。
30:18	Reserved	保留，必须保持复位值。
17	TTSS	发送时间戳状态位。 作为标志位，置 1 时表示记录下了描述符对应的帧时间戳，记录的时间戳放在 TDES2 和 TDES3 处。该位只在 TDES1.LS 为 1 时才有效。
16	IHE	IP 报头错误。 发生下列任意一种情况，则产生 IP 报头错误： IPv4 帧： <ul style="list-style-type: none">■ 报头长度域的值小于 0x5■ 报头长度域的值与接收的报头长度不符■ 报头版本域的值与帧长度/类型域的值不匹配 IPv6 帧： <ul style="list-style-type: none">■ 主报头长度不足 40 字节■ 报头版本域的值与帧长度/类型域的值不匹配 0：未发现 IP 数据包报头的错误 1：MAC 发送端发现了 IP 数据包报头的错误
15	ES	错误汇总。 该位为下列位的逻辑“或”（有一个错误产生，该位即置 1）： TDES0[16]：IP 报头错误

位域	名称	描述
		TDESO[14]: Jabber 超时 TDESO[13]: 帧清空 TDESO[12]: IP 数据错误 TDESO[11]: 载波丢失 TDESO[10]: 无载波 TDESO[9]: 延迟冲突 TDESO[8]: 过度冲突 TDESO[2]: 过度延迟 TDESO[1]: 数据下溢错误
14	JT	Jabber 超时。 该位仅当 ETH_MACCFG.JD 位复位时才会被置 1。 0: 未发生 Jabber 超时。 1: MAC 发送端发生了 Jabber 超时。
13	FF	帧清空。 置 1 时, 表示已清空 TxFIFO 中的数据。
12	PCE	IP 数据错误。 发送端会核对 IPv4 或者 IPv6 报头的数据长度域的值与实际收到的 TCP、UDP 和 ICMP 数据数目, 不符合就置 1 报错。 0: 未发生 IP 数据错误。 1: MAC 发送端发生了 IP 数据错误。
11	LOC	载波丢失。 在发送时, 如果 CRS 信号 (MII_CRS) 在一个或一个以上发送时钟周期中为无效状态, 并且没有发生冲突, 则载波丢失将概率性发生。该位只有在半双工模式下有效。 0: 未发生载波丢失。 1: 帧发送的时候发生了载波丢失。
10	NC	无载波。 0: PHY 的载波侦听信号有效。 1: 帧发送的时候 PHY 的载波侦听信号无效 (未侦听到载波信号)。
9	LC	延迟冲突。 如果冲突在 64 字节 (包括前导符) 发送之后发生, 则这种情况称作延迟冲突。 0: 未发生延迟冲突。 1: 发生了延迟冲突。 注意: 如果溢出错误位 (TDESO.UF) 置 1, 该位无效。
8	EC	过度冲突。 如果 ETH_MACCFG.DR (关闭重试位) 为 1, 那么在发生一次冲突后, 该位就置 1; 如果 ETH_MACCFG.DR (关闭重试位) 为 0, 那么在连续发生 16 次冲突后, 该位置 1。若该位置位, 则中止当前帧的发送。 0: 未发生过度冲突。 1: 发生了过度冲突。
7	VF	VLAN 帧。 0: 发送帧为普通帧。 1: 发送的帧是 VLAN 帧。

位域	名称	描述
6:3	CC[3:0]	冲突计数。 该 4 位值记录了帧发送出去前出现的冲突次数。在 TDES0.EC 为 1 时，这些位无效。
2	ED	过度延迟。 此位在 ETH_MACCFG.DC 为 1 时有效。若该位置位，则中止当前帧的发送。 0: 未发生过度延迟。 1: 因顺延超过 3036 字节的时间而产生过度延迟。
1	UF	数据下溢错误。 数据下溢错误是指 DMA 在发送帧的时候遇到了空的缓存区，导致 MAC 因数据到达的速度过慢而中止当前帧的发送，此时，发送过程进入挂起状态，并将 ETH_DMASTS.UNF 和 ETH_DMASTS.TI 都置 1。 0: 未发生数据下溢错误。 1: 发生了数据下溢错误。
0	DB	延迟状态位。 该位指示了是否由于载波监听信号 CRS 在 MAC 发送帧之前被占用，而导致发生帧的顺延。该位只在半双工模式下有效。 0: 未发生发送延迟。 1: MAC 发生了延迟，推迟发送。

■ TDES1: 发送描述符字 1



位域	名称	描述
31	IC	完成时中断控制位。 在 TDES1.LS 置位后，此位才有效。 0: 帧发送完成时，ETH_DMASTS.TI 不会被置位。 1: 帧发送完成时，ETH_DMASTS.TI 会被置位。
30	LS	最后一个分块。 此位指示缓存区包含帧的最后一个分块。 0: 该描述符缓存区中存放的不是帧的最后一个分块。 1: 该描述符缓存区中存放的是帧的最后一个分块。
29	FS	第一个分块。 此位指示缓存区包含帧的第一个分块。 0: 该描述符缓存区中存放的不是帧的第一个分块。 1: 该描述符缓存区中存放的是帧的第一个分块。
28:27	CIC[1:0]	校验和插入控制位。 00: 不插入校验和。 01: 只使能硬件 IP 报头的校验和的计算和插入。 10: 使能硬件 IP 报头和数据域的校验和的计算和插入，但是不计算伪报头的校

位域	名称	描述
		验和。 11：使能硬件 IP 报头和数据域的校验和的计算和插入，也计算伪报头的校验和。
26	DC	禁止 CRC。 该位只有在 TDES1.FS 为 1 时才有效。 0: MAC 自动插入循环冗余检测（CRC）域。 1: MAC 不插入循环冗余检测（CRC）域。
25	TER	环形发送结束模式位。 该位仅在环结构下使用，且比 TDES1.TCH 位具有更高优先级。 0: 当前描述符还不是描述符队列的最后一个。 1: 当前描述符到达描述符队列的最后一个，DMA 返回列表的基地址。
24	TCH	第二地址链表模式位。 该位在链结构下使用。该位为 1 时，TDES1.TBS2[10:0]这些位的值无效。 0: 描述符里的第二个地址是第二缓存区的地址。 1: 描述符里的第二个地址是下一个描述符的地址。
23	DP	禁止 PAD。 该位只在 TDES1.FS 为 1 时有效。 0: MAC 对帧长不足 64 字节的帧自动添加填充字节，并插入 CRC 数值，忽略 TDES1.DC。 1: MAC 不对帧长不足 64 字节的帧自动填充字节。
22	TTSE	发送时间戳使能位。 该位只在 TDES1.FS 为 1 时有效。当该位为 1，且 ETH_PTPTSCTRL.TSENA 为 1 时开启发送帧时间戳功能。 0: 禁止发送帧时间戳功能。 1: 使能发送帧时间戳功能。
21:11	TBS2[10:0]	发送缓存区 2 大小。 这些位给出了第二个数据缓存区的大小（以字节为单位），如果 TDES1.TCH 为 1，这些位无效。
10:0	TBS1[10:0]	发送缓存区 1 大小。 这些位给出了第一个数据缓存区的大小（以字节为单位），如果它的值是 0，则 DMA 跳过这个缓存区，并根据 TDES1.TCH 使用缓存区 2 (TDES1.TCH = 0) 或者下一个描述符 (TDES1.TCH = 1)。

■ TDES2: 发送描述符字 2

在发送帧之前，应用程序必须将 TDES2 配置为发送缓存区 1 的地址，等到数据发送完后，DMA 可以用它们存放帧的时间戳低 32 位。

当 TDES2 的值表示缓存区 1 的物理地址时，对缓存的地址对齐不做限制。当这些位的值表示时间戳低 32 位时，当前描述符的 TDES1.TTSE 和 TDES1.LS 必须置位。

■ TDES3: 发送描述符字 3

在发送帧之前，应用程序必须将 TDES3 配置为发送缓存区 2 的地址，或者配置为下一个描述符地址（由描述符类型是链型还是环型决定）。等到数据发送完后，DMA 可以用它们存放帧的时间戳高 32 位。

当 TDES3 的值表示缓存区 2 的物理地址时 (TDES1.TCH = 0)，对缓存的地址对齐不做限制。当 TDES3 的

值表示下个描述符地址时 (TDES1.TCH = 1)，这些位必须是字对齐的。当 TDES3 的值表示时间戳高 32 位时，当前描述符的 TDES1.TTSE 和 TDES1.LS 必须置位。

25.4.8.3.4 发送查询挂起后的处理

启动传输后，DMA 会不断对发送描述符进行查询，DMA 会在以下情况进入挂起状态并暂停发送，当前描述符固定为暂停前的最后一个描述符。

- DMA 检测到 TDES0.OWN 为 0，即 CPU 占有描述符，DMA 会进入挂起状态并暂停查询，此时 ETH_DMASTS.NIS 和 ETH_DMASTS.TU 会被置 1。此情况下需要设置 TDES0.OWN 为 1 来将描述符占有权移交给 DMA，然后发起发送查询命令尝试重新获取描述符。
- 在发送帧的过程中，如果检测到数据下溢错误，帧发送将被暂停并进入挂起状态。TDES0.ES 和 TDES0.UF 会被置位，同时 ETH_DMASTS.AIS 和 ETH_DMASTS.UNF 也将被置位。此情况下仍然需要发起发送查询命令来尝试重新获取描述符。

25.4.8.3.5 TxDMA 操作流程

发送端 DMA 操作分两种情况：非 OSF 模式和 OSF 模式，默认情况下是操作非 OSF 模式，具体的描述及操作流程如下：

■ 非 OSF 模式

TxDMA 在默认模式下的操作流程如下：

1. 初始化帧数据到发送缓存区，并配置发送描述符 (TDES0~TDES3)，将 TDES0.OWN 设置为 1；
2. 设置 ETH_DMAOPMOD.ST 为 1，使能 TxDMA 控制器；
3. 启动 TxDMA 控制器轮询发送描述符列表，获取待发送的帧。如果 TxDMA 检测到错误发生，或 TDES0.OWN 为 0，控制器就会终止传输进入挂起状态，并设置 ETH_DMASTS.TU（发送缓存区不可用）和 ETH_DMASTS.NIS（正常中断汇总）为 1，然后跳到步骤 8；
4. 如果 TDES0.OWN 位被置 1，即取到的描述符由 DMA 占有，那么 DMA 从描述符中解析出所配置的发送帧和发送数据缓存区的地址；
5. DMA 从内存中取出数据，然后转存到 TxFIFO；
6. TxDMA 控制器会一直轮询描述符列表直到帧结尾被传出去后 TDES1.LS 置 1。如果当前描述符的 TDES1.LS 为 0，则在所有缓存数据送入 TxFIFO 之后，将 TDES0.OWN 清零以关闭这个描述符。TxDMA 控制器会等待写回描述符状态和 IEEE 1588 时间戳值（前提是使能了时间戳功能）；
7. 在完成一个完整帧发送后，只有当 TDES1.IC 为 1 时，ETH_DMASTS.TI（发送状态位）会被置位。如果 DMA 中断被使能，会进入相应中断。然后 DMA 控制器返回步骤 3，继续处理下一帧；
8. 在挂起状态下，如果对 ETH_DMATXPD 寄存器执行任意写操作，TxDMA 将重新回到运行状态，尝试重新获取描述符，重新回到步骤 3，同时发送下溢标志位将被清除。

■ OSF 模式

设置 ETH_DMAOPMOD.OSF 为 1，进入操作第二帧 (OSF) 模式。该模式下，TxDMA 可以在上一帧的状态信息写回前就发送下一帧。OSF 模式在系统时钟频率远远大于 MAC 频率 (10Mbps 或 100Mbps) 时，可以提高发送效率。DMA 在发送完上一帧数据后，不必等到该帧的状态写回，就可以立即查询第二帧的发送描述符，如果其 TDES0.OWN 与 TDES1.FS 都置 1，TxDMA 会立即读取第二帧数据并将其存入 TxFIFO。

TxDMA 在 OSF 模式下的操作流程如下：

1. 按照 TxDMA 默认模式的步骤 1~6 操作；
2. DMA 直接取下一个描述符，不需等到上一帧的最后一个描述符关闭（TDES1.LS 为 1）；
3. 如果 TDES0.OWN 为 1，即取到的描述符被 DMA 占有，就从解析的发送缓存区地址中读取下一帧的数据；如果 TDES0.OWN 为 0，即取到的描述符不被 DMA 占有，TxDMA 进入挂起状态并跳到步骤 7；
4. TxDMA 控制器会一直轮询描述符列表直到帧结尾被传送出去。如果一个帧由多个描述符描述，会在获取之后关闭中间描述符；
5. TxDMA 等待上一帧的发送状态信息和时间戳（前提是使能了时间戳），在接收到状态信息后，TDES0.OWN 被清零，表示该描述符的占有权移交给 CPU，同时相关状态信息会被 DMA 写入 TDES0 的相应位；
6. 发送完一个完整帧后，只有当 TDES1.IC 为 1 时，ETH_DMASTS.TI 才会被置位。如果 DMA 中断被使能，会进入相应中断。如果上一个帧返回的状态信息正常则跳到步骤 3；如果表明有数据下溢错误，TxDMA 则进入挂起状态，并跳到步骤 7；
7. 如果在挂起状态时收到一个发送帧的待处理的状态信息和时间戳（前提是使能了时间戳），TxDMA 会将这些信息写入发送描述符，并将相应的 TDES0.OWN 清零，然后设置相关的中断标志位并回到暂停状态；
8. 在挂起状态下，如果对寄存器 ETH_DMATXPD 执行任意写操作，TxDMA 将回到运行状态，尝试重新获取描述符，同时发送下溢标志位将被清除。如果有待处理的状态信息，则重新跳到步骤 1；否则重新跳到步骤 2。

25.4.8.4 RxDMA

25.4.8.4.1 接收帧处理

MAC 接收到帧数据的同时，地址过滤模块也开始工作，如果该帧没有通过地址过滤，则 MAC Rx FIFO 将会丢掉该帧，不会将其通过 Rx DMA 转发给接收缓存。反之，如果工作在直通（阈值）模式且接收的帧长大于或等于预设的接收阈值，或工作在存储转发模式且 Rx FIFO 里存入了完整的帧，则将其转发给接收缓存。在接收帧的过程中，如果 Rx FIFO 中数据少于 64 字节、接收过程发生冲突或提前终止接收帧，将丢掉 Rx FIFO 中的数据不会转发。

当满足转发条件时，Rx DMA 控制器开始将数据从 Rx FIFO 中传输到接收缓存区中。若当前缓存中包含了 SOF，则在 Rx DMA 控制器写回帧接收状态的时候会将 RDES0.FS 置位，表明这个描述符中存储的是帧的第一部分。若当前缓存中包含了 EOF，则在 Rx DMA 控制器写回帧接收状态的时候会将 RDES0.LS 置位，以表明这个描述符中存储的是帧的最后一部分。通常当接收缓存区大小大于接收帧的长度时，RDES0.FS 和 RDES0.LS 会在同一个描述符中置位。当缓存接收到 EOF，或者当前描述符的缓存区不足以存储整个帧时，Rx DMA 将获取下一个接收描述符，并将上一个描述符的 RDES0.OWN 清零以关闭上个描述符。当 RDES1.DIC = 0, RDES0.LS 置位时，描述符其他状态也会更新，并且 ETH_DMASTS.RI 将置位；当 RDES1.DIC = 1 时，ETH_DMASTS.RI 不会置位。当接收到一个新的帧时，如果描述符的 RDES0.OWN 为 1，则重复上述的 Rx DMA 控制器操作。如果描述符的 RDES0.OWN 为 0，则 DMA 控制器进入挂起状态，并设置 ETH_DMASTS.RU 为 1。记录描述符列表地址指针当前值，并在退出挂起状态后作为描述符开始的地址。

25.4.8.4.2 RxDMA 描述符

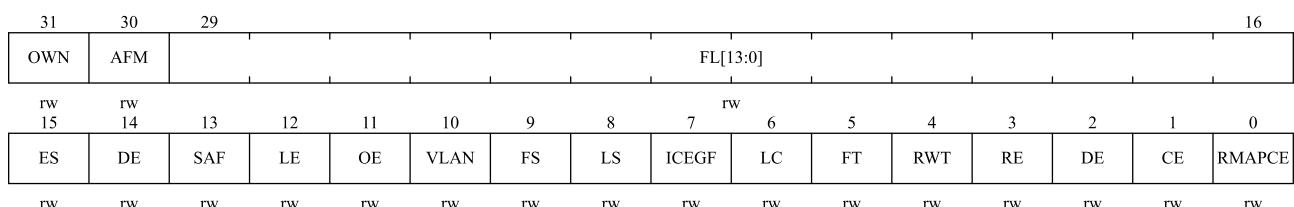
Rx DMA 描述符结构体包含 RDES0、RDES1、RDES2 和 RDES3 共 4 个 32 位字。如果使能了 IEEE 1588 时间戳功能，RDES2 和 RDES3 还分别用于存放时间戳低 32 位和时间戳高 32 位（MAC 控制器会在带时间戳的帧接收完成之后，DMA 关闭描述符之前（RDES0.OWN 清 0），将时间戳写入 RDES2 和 RDES3）。每个

位详细定义和描述如下：

表 25-9 接收描述符总览

寄存器	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0																										
RDES0	OWN	AFM	状态位																																																							
RDES1	DIC	控制位										缓存区 2 字节计数										缓存区 1 字节计数																																				
RDES2	缓存区 1 地址/时间戳低位																																																									
RDES3	缓存区 2 地址/下一个描述符地址/时间戳高位																																																									

■ RDES0：接收描述符字 0

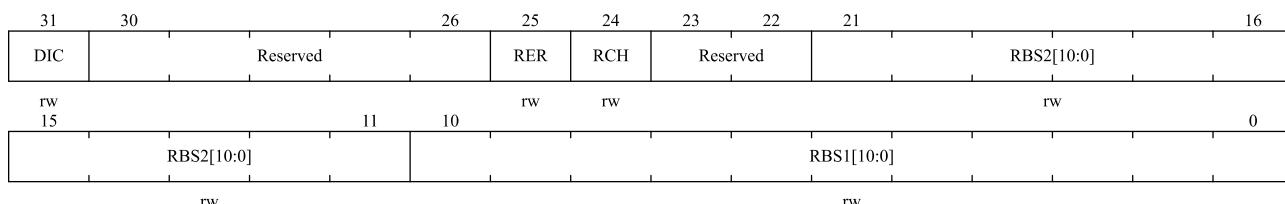


位域	名称	描述
31	OWN	占有位。 0：表示 CPU 占有描述符。 1：表示 DMA 占有描述符。 DMA 在传输完整个帧或者填满描述符对应的缓存区以后把该位清 0。
30	AFM	未通过目的地址过滤器。 0：接收帧通过目的地址过滤器。 1：接收帧没有通过目的地址过滤器。
29:16	FL[13:0]	帧长度。 这些位表示了传送到输入缓存区的接收帧字节长度。该位只在 RESD0.LS 为 1 且 RDES0.DE 为 0 时有效。若 RESD0.LS 和 RESD0.ES 都为 0，则这些位表示当前接收帧已经传送到内存里的累计字节数。
15	ES	错误汇总。 该位只在 RESD0.LS 为 1 时有效。 该位为下列位的逻辑“或”： RDES0[14]: 描述符错误 RDES0[11]: 上溢错误 RDES0[7]: IP 报头错误 RDES0[6]: 延迟冲突 RDES0[4]: 看门狗超时 RDES0[3]: 接收错误 RDES0[1]: CRC 错误
14	DE	描述符错误。 该位只在 RESD0.LS 为 1 时有效。 当当前描述符的缓存区大小小于接收帧帧长同时 DMA 又无法占有下一个描

位域	名称	描述
		述符时，将发生描述符错误。 0：未发生描述符错误。 1：发生了描述符错误。
13	SAF	未通过源地址过滤器。 0：未发生未通过源地址过滤器事件。 1：接收帧没有通过源地址过滤器。
12	LE	长度错误。 该位仅在 RDES0.FT 为 0 时才有效，该位指示了接收到的以太网帧头长度/类型域的值与接收帧的实际长度不匹配。 0：未发生长度错误。 1：发生了长度错误。
11	OE	上溢错误。 当 RxFIFO 发生了溢出，而接收帧已有部分被传送到输入缓存时，该位置位。 0：未发生溢出错误。 1：发生了 RxFIFO 溢出，帧数据无效。
10	VLAN	VLAN 帧。 0：接收帧为非 VLAN 帧。 1：当前接收帧为 VLAN 帧。
9	FS	第一个描述符。 该位表示当前描述符存放了接收帧的第一部分。 0：当前描述符未存放帧的第一部分。 1：当前描述符存放了帧的第一部分。
8	LS	最后一个描述符。 该位表示当前描述符存放了接收帧的最后一部分。 0：当前描述符未存放帧的最后一部分。 1：当前描述符存放了帧的最后一部分。
7	ICEGF	IP 帧报头校验和错误。 0：未发生 IPv 报头校验和错误。 1：发生了 IPv4 或者 IPv6 的报头错误。错误可能是由于以太网类型域和 IP 版本域的值不匹配，IPv4 报头校验和不对或者以太网帧的 IP 报头字节数不足。
6	LC	延迟冲突。 延迟冲突表示在接收到 64 字节数据后发生了冲突。该位仅在半双工模式下有效。 0：未发生延迟冲突。 1：接收帧的过程发生了延迟冲突。
5	FT	帧类型。 0：接收到的帧是 IEEE802.3 帧。 1：接收到的帧是以太网类型的帧（以太网帧头长度/类型域的值大于等于 0x0600，当接收帧为过短帧时（帧长小于 14 字节）该位无效）。
4	RWT	接收看门狗超时。 当 ETH_MACCFG.WD = 0，该位表示已接收到超过 2048 字节的帧数据；当

位域	名称	描述
		ETH_MACCFG.WD = 1, 该位表示已接收到超过 16384 字节的帧数据。 0: 未发生接收看门狗超时。 1: 在接收帧的过程中发生了看门狗超时, 当前接收帧将被截断。
3	RE	接收错误。 该位表示帧接收过程中, 在 Rx_DV 信号有效时收到有效接口信号 Rx_ER 0: 未发生接收错误。 1: 发生了接收错误。
2	DE	Dribble 位错误。 该位只在 MII 模式下有效, 表示接收到的帧长不是字节的整数倍。 0: 未发生 Dribble 位错误。 1: 发生了 Dribble 位错误。
1	CE	CRC 错误。 该位仅在 RDES0.LS 为 1 时有效, 表示接收帧的 FCS 与硬件计算结果不匹配。 0: 未发生 CRC 错误。 1: 检测到接收帧发生了 CRC 错误。
0	RMAPCE	数据校验和错误。 0: 未发生数据校验和错误。 1: 硬件计算的 TCP、UDP 或 ICMP 校验值与接收到的帧的 TCP、UDP 或 ICMP 的校验和域的值不相符。 在接收到以太网帧的数据长度和 IPv4 或 IPv6 数据包长度域的值不符时, 该位也会置 1。

■ RDES1: 接收描述符字 1



位域	名称	描述
31	DIC	关闭接收完成中断。 0: 在接收完成后 ETH_DMASTS.RI 会立即置 1, 此时若使能了相应中断则会触发中断。 1: 在接收完成后 ETH_DMASTS.RI 不会置 1, 相应中断也不会被触发。
30:26	Reserved	保留, 必须保持复位值。
25	RER	接收描述符环形结构结尾。 该位表示到达的是描述符列表中的最后一个描述符, 下个描述符自动返回列表的基址。 0: 当前描述符不是最后一个描述符。 1: 到达描述符列表的最后一个描述符。
24	RCH	第二地址链表。 该位仅在链结构下使用。该位为 1 时, 忽略 RDES1.RBS2[10:0]这些位值。

位域	名称	描述
		0: 描述符里的第二个地址指向第二缓存区的地址。 1: 描述符里的第二个地址是下一个描述符的地址。 <i>注意: 当 RER=1, 则即使该位置位, 下个描述符也将返回列表地址。</i>
23:22	Reserved	保留, 必须保持复位值。
21:11	RBS2[10:0]	接收缓存区 2 大小。 这些位表示接收缓存区 2 的大小 (以字节为单位)。缓存区大小必须被设为 4 的倍数。这些位在 RDES1.RCH 为 1 时被忽略。
10:0	RBS1[10:0]	接收缓存区 1 大小。 这些位表示接收缓存区 1 的大小 (以字节为单位)。缓存区大小必须被设为 4 的倍数。如果这些位为 0, DMA 忽略该缓存区, 并根据 RDES1.RCH 使用缓存区 2 (RDES1.RCH = 0) 或者下一个描述符 (RDES1.RCH = 1)。

■ RDES2: 接收描述符字 2

RDES2 有 2 个功能: 缓冲区 1 的地址指针和时间戳低 32 位。在 DMA 控制器获取该描述符之前, 配置为缓冲区 1 的地址。如果 RDES1.RBS1 不为 0, 则用 RDES2 中的地址来存储接收的数据帧。对缓存的地址对齐不做限制; 当使能了时间戳功能同时 RDES0.LS 为 1 时, 如果接收帧通过了地址过滤, 并且置位了对应的帧类型使能位, 则 DMA 会将时间戳低 32 位写入 RDES2。如果接收帧没有置位对应的帧类型使能位, 则 RDES2 会保持原地址的值。

■ RDES3: 接收描述符字 3

RDES3 有 2 个功能: 数据接收时存放缓冲区 2 的地址或下个描述符的地址和时间戳高 32 位。在 DMA 控制器获取该描述符之前, 如果 RDES1.RCH=0, 则配置 RDES3 为缓冲区 2 的地址, 此时如果 RDES1.RBS1 不为 0, 则用 RDES3 的地址来存储接收的数据帧; 如果 RDES1.RCH=1, 则配置 RDES3 为下个描述符地址, 地址需为字对齐, 此时如果 RDES1.RER 不为 0, 则忽略 RDES3。

当使能了时间戳功能及 RDES0.LS 为 1 时, 如果接收帧通过了地址过滤, 并且置位了对应的帧类型使能位, 则 DMA 会将时间戳高 32 位写入 RDES3。如果接收帧没有置位对应的帧类型使能位, 则 RDES3 会保持原地址的值。

25.4.8.4.3 挂起状态下接收到新的帧时的处理

在挂起状态时, 当接收到一个新的帧, 并且满足转发条件时, RxDMA 将获取帧的描述符。如果 RDES0.OWN 为 1, 则 RxDMA 控制器退出挂起状态, 恢复运行状态开始接收帧。但当 RDES0.OWN 为 0, 则应用程序可以通过配置 ETH_DMAOPMOD.DFF 来选择是否清空 RxFIFO 中的帧。如果 ETH_DMAOPMOD.DFF = 0, 则 RxDMA 控制器将丢掉 RxFIFO 顶部的当前帧, 并将 ETH_DMAMFBOCNT.MISFRMCNT (丢失帧计数) 加 1 (如果 RxFIFO 中不止一个帧, 则重复执行该过程)。若 ETH_DMAOPMOD.DFF = 1, 则不会丢掉 RxFIFO 顶部的帧。在 RDES0.OWN 为 0 时, ETH_DMASTS.RU 位将被置位, RxDMA 控制器仍处于挂起状态。

25.4.8.4.4 获取接收描述符

只要满足下列任意条件, DMA 就会尝试获取接收描述符:

- ETH_DMAOPMOD.SR 从 0 变为 1, 使 DMA 控制器进入运行状态
- 在接收到 EOF 之前, 当前描述符的缓存区已满, 当前描述符的整个缓存区大小不足以接收整个帧
- 接收到一个完整的帧并转发到接收缓存区, 但当前描述符还未关闭
- 在 DMA 不占有描述符而挂起的状态下接收到新的帧

- 对 ETH_DMARXPD 寄存器执行任意写操作

25.4.8.4.5 RxDMA 操作流程

RxDMA 的操作流程如下：

1. 初始化 DMA 接收描述符，将 RDES0.OWN 设置为 1；
2. 设置 ETH_DMAOPMOD.SR 位为 1，使能 RxDMA 控制器。DMA 进入运行状态后，会从 ETH_DMARXDLADDR 寄存器配置的描述符列表基址获取接收描述符。如果 RDES0.OWN 为 1，则当前描述符开始接收帧；如果 RDES0.OWN 为 0，则 DMA 进入挂起状态，跳到步骤 9；
3. 如果获取的描述符显示描述符由 DMA 占有（RDES0.OWN = 1），那么该描述符的控制位和缓存地址就会被 DMA 解析并记录；
4. 处理接收到的帧，并从 RxFIFO 将数据传输到接收缓存区；
5. 如果帧传输完成或缓存区被填满，接收控制器会从描述符队列中获取下一个接收描述符；
6. 如果当前帧传输结束，DMA 操作跳到步骤 7。如果当前帧传输没有结束（未接收到帧尾 EOF），则可能发生两种情况：
 - a) 如果下一个描述符的 RDES0.OWN 为 0，且接收帧清空功能没有使能，则 RxDMA 控制器将 RDES0.DE（描述符错误位）置位。RxDMA 控制器将当前描述符的 RDES0.OWN 清零以关闭描述符，如果没有使能帧清空功能，则置位 RDES0.LS，否则不置位 RDES0.LS，然后跳到步骤 8。
 - b) 如果下一个描述符的 RDES0.OWN 为 1，RxDMA 将 RDES0.OWN 清零以关闭当前描述符，然后退回步骤 4。
7. 如果使能了 IEEE 1588 时间戳功能，且接收帧符合需要记录时间戳的帧的条件，在接收帧完成后 DMA 控制器会把获取的时间戳的低位和高位，分别写入当前描述符的 RDES2 和 RDES3。同时 DMA 把从 MAC 处返回的接收状态信息写入 RDES0，并把 RDES0.OWN 清 0，把 RDES0.LS 置 1；
8. 如果新获取的描述符的 RDES0.OWN 为 1，则 RxDMA 控制器操作跳动步骤 4；如果 RDES0.OWN 为 0，则会先清空接收帧（前提是使能了接收帧清空功能），然后 RxDMA 控制器进入挂起状态，并设置 ETH_DMASTS.RU（接收缓存区不可用）为 1；
9. 对 ETH_DMARXPD 寄存器执行任意写操作或 RxFIFO 收到下一帧数据时，可以退出挂起状态。当 DMA 退出暂停状态后，DMA 操作跳到步骤 2，并尝试重新获取下一个描述符。

25.4.8.5 使用 DMA 的 MAC 初始化

使用 DMA 控制器的 MAC 初始化流程如下：

1. 设置 ETH_DMABUSMOD 寄存器总线访问相关参数。
2. 设置 ETH_DMAINEN 寄存器屏蔽不需要的中断源。
3. 先将发送描述符列表的基地址写入 ETH_DMATXDLADDR 寄存器，然后将接收描述符列表的基地址写入 ETH_DMARXDLADDR 寄存器中。
4. 根据需要配置相关的过滤器寄存器。
5. 根据从外部 PHY 读出的寄存器结果，设置 ETH_MACCFG.FES 和 ETH_MACCFG.DM 的值，选择半双工或全双工通讯模式和 10Mbps 或 100Mbps 通讯速度。将 ETH_MACCFG.TE 和 ETH_MACCFG.RE 设置为 1，使能 MAC 的发送引擎和接收引擎。

6. 设置 ETH_DMAOPMOD.ST 和 ETH_DMAOPMOD.SR 为 1，使能 TxDMA 和 RxDMA。

注意：如果 HCLK 频率配置过低，Rx FIFO 在启动时可能会溢出，建议先使能 RxDMA，再将 ETH_MACCFG.RE 设置为 1。

25.4.8.6 TxDMA 和 RxDMA 的仲裁器

DMA 的仲裁器可以通过固定和轮询优先级两种仲裁方式提高 DMA 控制器的效率。当设置 ETH_DMABUSMOD.DA 为 0 时，采用轮询优先级仲裁方式，如果 TxDMA 和 RxDMA 同时要求访问数据总线，可以通过设置 ETH_DMABUSMOD.PR[1:0] 这些位来配置 TxDMA 和 RxDMA 之间的访问优先级比例。当设置 ETH_DMABUSMOD.DA 为 1 时，选择固定优先级，如果 TxDMA 和 RxDMA 同时要求访问数据总线，此仲裁方式下，RxDMA 对总线拥有更高的访问优先级。

25.4.8.7 对 DMA 的错误响应

如果 DMA 在传输过程中出现了错误的总线响应，DMA 控制器会将其当作致命错误来处理，将立刻停止所有操作，并更新状态寄存器 ETH_DMASTS。一旦发生此类情况后，必须复位以太网外设并重新初始化 DMA，DMA 才能恢复正常操作。

25.4.9 精密时间协议（PTP）

MAC 的精密时间协议（PTP）模块主要支持记录 PTP 包从以太网端口发出和收到的准确时间，并将其返回给应用程序。协议的大部分是通过 UDP 层之上的应用程序软件实现的。

关于精密时间协议（PTP）的具体内容请查阅 IEEE 1588TM 相关文档。

25.4.9.1 基准时钟源

IEEE 1588 协议标准中，64 位系统基准时间的高 32 位为秒级时间信息，低 32 位为纳秒级时间信息。

PTP 基准时钟输入用来生成系统基准时间（简称系统时间）和获取 PTP 帧的时间戳值。PTP 基准时钟频率不能小于时间戳计数器的分辨率，主节点和从节点之间的时间同步精度大概为 0.1us。

25.4.9.2 同步精度

时间同步的精度取决于 PTP 基准时钟输入的频率和所用晶体振荡器的频漂特性，以及同步流程的执行频繁程度。

25.4.9.3 系统时间校准方法

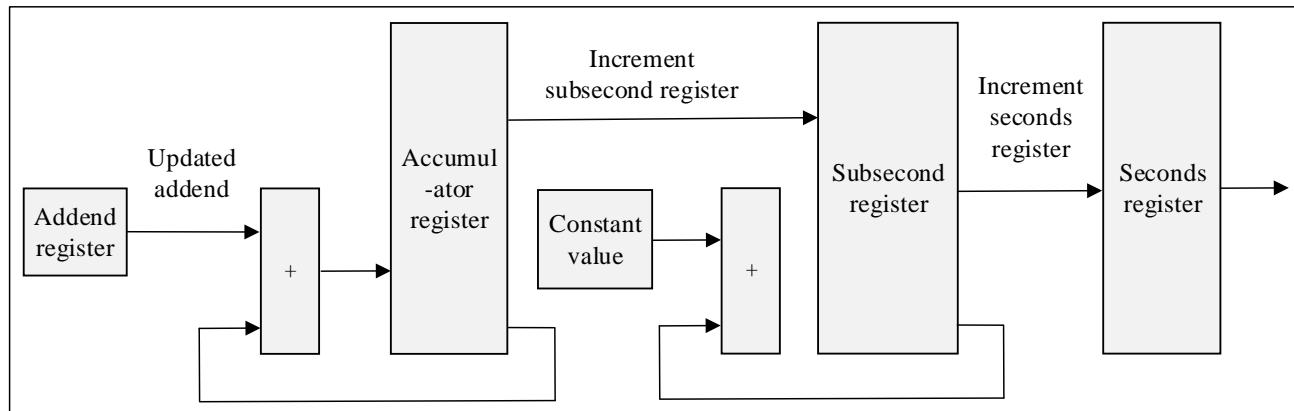
64 位 PTP 系统时间作为记录发送/接收时间戳的依据，由 PTP 输入基准时钟来更新。为了纠正频率偏移，PTP 系统时间需要校准，初始化和校准支持粗略调整和精密调整两种模式。

粗略调整校准通过配置 PTP 时间戳更新寄存器（ETH_PTPSECUP 和 ETH_PTPNSUP），进行系统时间初始化和校准。如果 ETH_PTPTSCTRL.TSINIT 被置位，PTP 时间戳更新寄存器用于初始化；如果 ETH_PTPTSCTRL.TSUPDT 被置位，系统时间加上或减去 PTP 时间戳更新寄存器的值，用于调整系统时间。

精密调整校准是在每个 HCLK 周期把加数寄存器 ETH_PTPTSADD 中的值加入累加器。当累加器溢出时会产生脉冲，使时间戳低寄存器 ETH_PTPNS 的值根据亚秒递增寄存器 ETH_PTPSSINC 的值增加。该过程需要等待一段时间才能完成，保证从时钟能线性地同步于主时钟，避免较大的抖动。

下图演示了精密调整算法的流程：

图 25-9 系统时间精密校准



下面举例说明精密调整方式更新系统时间的配置方法：

将加数寄存器的初始值 (Clock_Addend_Value(0)) 设置为从时钟，该初始值由以下方式计算：系统时钟更新电路的精度需要达到 20ns（更新频率为 50MHz），当基准时钟 HCLK 为 70MHz，频率比为 $70/50 = 1.4$ ，则 ETH_PTPTSADD 寄存器应写入的加数为 $2^{32}/1.4 = 0xB6DB\ 6DB6$ ；当基准时钟频漂降低至 60MHz，此时频率比变成 $60/50 = 1.2$ ，写入加数寄存器的值应当是 $2^{32}/1.2 = 0xD555\ 5555$ ；当基准时钟频漂升高至 80MHz，频率比变成 $80/50 = 1.6$ ，写入加数寄存器的值应当是 $2^{32}/1.6 = 0xA000\ 0000$ 。配置完加数计数器后，还要配置亚秒递增寄存器才能保证达到 20ns 的精度。每次累加寄存器溢出后，亚秒递增寄存器的值会对时间戳低寄存器进行更新。由于时间戳低寄存器的位 0 到位 30 表示系统时间的亚秒值，精度等于 $10^9\text{ns}/2^{31} = 0.46\text{ns}$ 。为了使系统时间精度达到 20ns，亚秒递增寄存器的值应该设为 $20/0.46 = 43$ 。

假定主从设备之间传输的延时 Master_to_Slave_Delay 为定值，主设备发送一个 SYNC 消息到从设备时的时间为 MSYNCT(n)，从设备的本地时间为 SLOCALT(n)，主设备的本地时间为 MLOCALT(n)，发送两次 SYNC 消息之间的主设备时钟计数为 MCLOCKC(n)，接收两次 SYNC 消息之间的从设备时钟计数为 SCLOCKC(n)，从时钟频率调整系数为 SCFAF(n)，加数寄存器的时钟加数值为 Clock_Addend_Value(n)，则通过多个 SYNC 周期内确定同步频率的计算方法如下，但注意应用时根据情况可能需要多个 SYNC 消息完成主从设备的同步：

$$MLOCALT(n) = MSYNCT(n) + \text{Master_to_Slave_Delay}(n)$$

$$MCLOCKC(n) = MLOCALT(n) - MLOCALT(n-1)$$

$$SCLOCKC(n) = SLOCALT(n) - SLOCALT(n-1)$$

$$SCFAF(n) = (MCLOCKC(n) + MCLOCKC(n) - SCLOCKC(n)) / SCLOCKC(n)$$

$$\text{Clock_Addend_Value}(n) = SCFAF(n) * \text{Clock_Addend_Value}(n-1)$$

25.4.9.4 系统时间初始化流程

时间戳功能需先配置 ETH_PTPTSCTRL.TSENA 为 1，然后按以下步骤初始化时间戳计数器来开始时间戳操作：

1. 设置 ETH_MACINTMSK.TSIM 为 1，屏蔽时间戳触发中断；
2. 设置 ETH_PTPTSCTRL.TSENA 为 1，使能时间戳；
3. 设置亚秒递增寄存器，配置时钟精度；

4. 如果选择粗略调整校准，直接跳到第 7 步；如果选择精密调整校准，先配置时间戳加数寄存器 ETH_PTPTSADD，然后设置 ETH_PTPTSCTRL.TSADDREG，使能时间戳加数寄存器更新；
5. 查询等待 ETH_PTPTSCTRL.TSADDREG 变为 0；
6. 设置 ETH_PTPTSCTRL.TSCFUPDT 为 1，用精密调整校准方式更新系统时间戳；
7. 设置时间戳更新高寄存器和时间戳更新低寄存器，配置系统时间值；
8. 设置 ETH_PTPTSCTRL.TSINIT 为 1，初始化系统时间，将原有系统时间替换为时间戳高和低更新寄存器的值，时间戳计数器开始工作。

25.4.9.5 用粗略调整方式更新系统时间的步骤

1. 设置偏移值到时间戳更新高寄存器和时间戳更新低寄存器中，该值可以是负值；
2. 设置 ETH_PTPTSCTRL.TSUPDPT 为 1，使能更新系统时间，在原有系统时间上加上时间戳高和低更新寄存器的偏移值；
3. 等待 ETH_PTPTSCTRL.TSUPDPT 位被清 0。

25.4.9.6 用精密调整方式更新系统时间的步骤

1. 根据前面“系统时间校准方法”的介绍，计算出期望的系统时钟频率所对应的加数寄存器的值；
2. 将值写入加数计数器，并设置 ETH_PTPTSCTRL.TSADDREG 为 1，将该值更新到 PTP 模块；
3. 把期望的时间写入时间戳更新高寄存器和时间戳更新低寄存器中，并设置 ETH_MACINTMSK.TSIM 为 0，允许时间戳中断；
4. 设置 ETH_PTPTSCTRL.TSTRIG 为 1，使能时间戳中断；
5. 时间戳中断产生时，读出 ETH_MACINTSTS 寄存器的值，清除相应的中断标志位；
6. 将原有的值写入时间戳加数寄存器，然后设置 ETH_PTPTSCTRL.TSADDREG 为 1，更新该值到 PTP 模块。

25.4.9.7 带 PTP 功能的帧的发送与接收

如果使能了 IEEE 1588 (PTP) 时间戳功能，MAC 输出发送帧的 SFD 或者接收到接收帧的 SFD 时，64 位的时间戳值都会被记录，并和帧的发送/接收状态信息一起，存放到相应的发送/接收描述符里，“TxDMA 描述符”和“RxDMA 描述符”有详细介绍。

25.4.9.8 PTP 秒脉冲输出信号 (PPS)

ETH 模块使能后，PPS 输出功能自动开启，在不同的管脚复位方式下输出到 PB5/PB6，输出脉冲的默认时钟周期为 18M/HCLK（当 HCLK 为 144M 时，脉冲宽度为 125ms），该功能可以检查网络全部节点之间是否同步。把主从设备的 PPS 输出都连接到示波器，可以测试本地从时钟和主时钟之间的差别。

25.4.10 典型的以太网配置流程示例

上电复位或系统复位后，以太网模块推荐的配置和启动流程如下：

1. 配置 RCC 模块，使能 HCLK 时钟和以太网发送/接收时钟；

2. 配置 AFIO_RMP_CFG 选择 MII 或 RMII 连接模式，并将将相应的功能脚映射到复用功能上；
3. 轮询 ETH_DMABUSMOD 寄存器直到复位完成后 ETH_DMABUSMOD.SWR 位复位；
4. 获取并配置 PHY 寄存器参数：

根据 HCLK 频率，配置 SMI 时钟频率，与外部 PHY 通信并访问相应的寄存器，确认外部 PHY 是否支持半/全双工工作模式、10Mbps/100Mbps 通信速度等，并将外部 PHY 寄存器的信息配置到 ETH_MACCFG 寄存器。

5. 初始化以太网 DMA 模块：

配置 ETH_DMABUSMOD, ETH_DMARXDLADDR, ETH_DMATXDLADDR 和 ETH_DMAOPMOD 寄存器，初始化 DMA 模块用于数据传输。

6. 初始化物理内存空间，用于存放描述符列表以及数据缓存：

根据 ETH_DMARXDLADDR 和 ETH_DMATXDLADDR 寄存器中的地址，初始化 DMA 占有发送和接收描述符（TDES0.OWN = 0 或 RDES0.OWN = 1）以及数据缓存。

7. 使能 MAC 和 DMA 模块启动数据传输：

通过设置 ETH_MACCFG.TE 和 ETH_MACCFG.RE 为 1，来启动 MAC 发送器和接收器，通过设置 ETH_DMAOPMOD.ST 和 ETH_DMAOPMOD.SR 为 1，来使能 DMA 的发送和接收。

8. 发送帧数据时：

- a) 选择一个或多发送描述符，将发送帧数据写到发送描述符中指定的缓存区地址中，并将发送描述符中的 TDES0.OWN 置位，使 DMA 占有描述符；
- b) 写入任意值到 ETH_DMATXPD 寄存器中，使 TxDMA 退出挂起模式，开始发送数据；
- c) 可以通过轮询当前描述符的 TDES0.OWN 直到其复位或轮询 ETH_DMASTS.TI 直到其置位（仅适用于当 TDES1.IC 为 1 的情况），来确认当前帧是否发送完成。

9. 接收帧数据时：

- a) 查看描述符列表中的第一个接收描述符（通过 ETH_DMARXDLADDR 寄存器可获得该描述符的地址）；
- b) 查询 RDES0.OWN，如果复位则表示描述符已被使用过，且接收缓存区已存储了接收帧；
- c) 处理缓存区的接收帧数据；
- d) 置位当前描述符的 RDES0.OWN，以复用当前描述符接收新的帧；
- e) 查看列表中的下一个描述符，跳到步骤 b。

25.4.11 以太网中断

以太网模块有 2 个中断向量，分别用于映射到 EXTI 线 19 的以太网唤醒事件（检测远程唤醒帧或者 Magic Packet 唤醒帧）和以太网正常操作。

映射到以太网唤醒事件的中断向量用于 PMT 模块在唤醒事件时产生的中断，唤醒事件为远程唤醒帧接收事件或 Magic Packet 唤醒帧接收事件。唤醒事件映射到 EXTI 线 19 上，如果使能了 EXTI 线 19 的上升沿中断，则唤醒事件可以使 MCU 退出低功耗模式。如果还使能了 PMT 中断，则 EXTI 线 19 中断和以太网中断都会被触发。

注意：由于 PMT 寄存器位于 Rx_CLK 域，从应用程序读 PMT 寄存器到这些标志位被清除，可能会有 HCLK 和 Rx_CLK 时钟频率之间差异造成的延迟，为避免两次进入同一个中断，强烈建议应用程序在中断里等待 ETH_MACPMTCTRLSTS.RWKPRCVD 和 ETH_MACPMTCTRLSTS.MGKPRCVD 变为 0 后，再退出中断服务程序。

映射到以太网正常操作的中断向量用于 MAC 和以太网 DMA 产生的中断，描述如下。

25.4.11.1.1 MAC 中断

MAC 控制器有多个中断触发源。ETH_MACINTSTS 寄存器描述了所有可产生的 MAC 中断类型，每个位都有各自的中断屏蔽位来防止某一事件触发中断。只要其中一个 MAC 中断产生，就会产生 MAC 中断信号。

25.4.11.1.2 以太网 DMA 中断

DMA 控制器有正常类和异常类两种中断事件，都有相应的中断使能位来控制是否产生中断。当中断使能位被清除，或所有中断事件都被清除，相应的中断汇总位也被清除。当正常类和异常类中断都被清除时，DMA 中断也会被清除。

25.5 ETH 寄存器

可以以字节(8位)、半字(16位)和字(32位)的形式对本外设的寄存器进行访问。

25.5.1 ETH 寄存器总览

表 25-10 ETH 寄存器总览

Offset	Register																	
02Ch	ETH_MACPMTCTRLSTS	RWKLIPFLTRST	31	30	29	28	27	26	25	24	23	22	21	20	19	18	0	
	Reset Value		0															
038h	ETH_MACINTSTS		Reserved															
	Reset Value																	
03Ch	ETH_MACINTMSK		Reserved															
	Reset Value																	
040h	ETH_MACADDR0HI		Reserved										ADDRHI[15:0]					
	Reset Value												1	1	1	1	1	1
044h	ETH_MACADDR0LO		ADDRLO[31:0]															
	Reset Value		1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
048h	ETH_MACADDR1HI	AE	SA	MBC[5:0]					Reserved									
	Reset Value		0	0	0	0	0	0										
04Ch	ETH_MACADDR1LO		ADDRLO[31:0]															
	Reset Value		1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
050h	ETH_MACADDR2HI	AE	SA	MBC[5:0]					Reserved									
	Reset Value		0	0	0	0	0	0										
054h	ETH_MACADDR2LO		ADDRLO[31:0]															
	Reset Value		1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
058h	ETH_MACADDR3HI	AE	SA	MBC[5:0]					Reserved									
	Reset Value		0	0	0	0	0	0										
05Ch	ETH_MACADDR3LO		ADDRLO[31:0]															
	Reset Value		1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
100h	ETH_MMCTRL		Reserved															
	Reset Value																	
104h	ETH_MMCRXINT		Reserved										0	RXUCGFIS	Reserved			
	Reset Value												0	RXALIGNERFIS				
108h	ETH_MMCTXINT		Reserved										0	TXGFRMIS	Reserved			
	Reset Value												0	TXMCOLGFIS				
10Ch	ETH_MMCRXINTMSK		Reserved										0	RXUCGFIM	Reserved			
	Reset Value												0	RXALIGNERFIM				

25.5.2 ETH MAC 配置寄存器 (ETH_MACCFG)

地址偏移: 0x0000

复位值: 0x0000 8000

MAC 配置寄存器是 MAC 的工作模式寄存器。它定义了接收和发送的工作模式。

位域	名称	描述
31:24	Reserved	保留，必须保持复位值。
23	WD	关闭看门狗。 0: 不允许接收超过 2048 字节的帧，超过 2048 字节的数据会被截断。 1: 关闭接收看门狗定时器，MAC 能够接收最长 16383 字节的帧。
22	JD	关闭 Jabber 检测。 0: 允许最大发送 2048 字节的帧。 1: 关闭 Jabber 定时器，MAC 最多可发送 16383 字节的帧。
21:20	Reserved	保留，必须保持复位值。
19:17	IFG[2:0]	帧间隙选择。

位域	名称	描述
		<p>这些位用于控制两个发送帧之间的最短间隙。</p> <p>000: 96 位时间 001: 88 位时间 010: 80 位时间 ... 111: 40 位时间</p> <p>在半双工模式下，这些位可配置的最小帧间间隙为 64 位时间。</p>
16	DCRS	<p>关闭载波侦听功能。</p> <p>0: MAC 在载波信号错误时会报错并终止发送。 1: 在半双工模式下，MAC 在发送帧过程中会忽略 MII 的 CRS 信号，载波丢失或没有载波都不会报错。</p>
15	Reserved	保留，必须保持复位值。
14	FES	<p>以太网速度选择。</p> <p>0: 10Mbps 1: 100Mbps</p>
13	DO	<p>关闭自接收功能。</p> <p>该位在全双工模式下无意义。</p> <p>0: MAC 在发送时接收所有来自 PHY 的数据包。 1: MAC 在半双工模式下不接收帧。</p>
12	LM	<p>Loopback 模式。</p> <p>0: MAC 工作在正常模式。 1: MAC 工作在 Loopback 模式（需要接收时钟 Rx_CLK 输入）。</p>
11	DM	<p>双工模式选择。</p> <p>0: 半双工模式。 1: 全双工模式。</p>
10	IPC	<p>IP 帧校验和。</p> <p>0: 禁止接收端对 TCP/UDP/ICMP 报头的校验和进行校验。 1: 使能接收端的校验和校验功能。</p>
9	DR	<p>关闭重试。</p> <p>该位仅在半双工模式下有效。</p> <p>0: MAC 会在发生冲突后按照 ETH_MACCFG.BL[1:0]这些位的设定，在一定时间后重发。 1: MAC 只会尝试发送 1 次。如果在 MII 上发生冲突，MAC 会放弃发送，并在发送状态信息里报告过度冲突错误。</p>
8	Reserved	保留，必须保持复位值。
7	ACS	<p>自动 PAD/CRC 剥离。</p> <p>0: MAC 会转发所有接收到的帧，而不改变帧的内容。 1: MAC 会去除小于等于 1536 字节的帧的 PAD 域和 CRC 域，超过 1536 字节的帧会被直接转发。</p>
6:5	BL[1:0]	<p>退后限制。</p> <p>在发生冲突后，MAC 在重发当前帧之前需要延迟一段时间。这个延迟时间 (dt) 的时基单元称为时间间隙，一个时间间隙为 512 位时间。这个延迟时间 (dt) 是由下式计算得的随机整数值：$0 \leq dt < 2^k$</p>

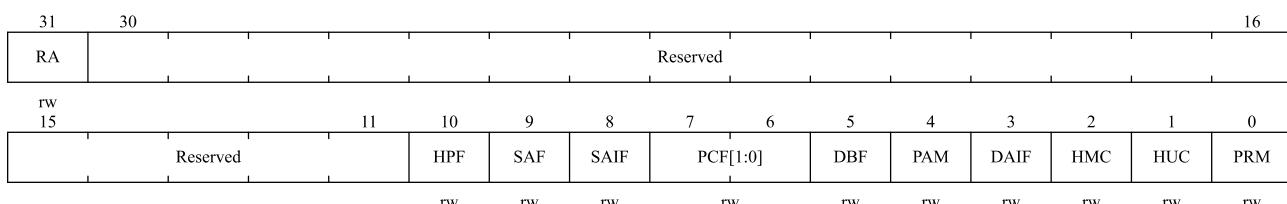
位域	名称	描述
		00: $k = \min(n, 10)$ 01: $k = \min(n, 8)$ 10: $k = \min(n, 4)$ 11: $k = \min(n, 1)$ 其中: $n =$ 重发次数。 注意: 这些位仅在半双工模式下有效。
4	DC	延迟检验。 该位仅在半双工模式下有效。 0: 禁止 MAC 延迟检验功能。MAC 会延迟发送直到 CRS 信号失效。 1: MAC 延迟检验功能使能。如果延迟超过 24288 位时间，则会发生过度延迟错误，并且 MAC 将中止发送。但如果在延迟时间内检测到有效的 CRS 信号，则会将延迟计数器重置为 0，重新启动延迟计时。
3	TE	使能发送器。 0: MAC 关闭发送状态机，若当前帧正在发送则在完成发送后关闭。 1: MAC 使能发送状态机。
2	RE	使能接收器。 0: MAC 关闭接收状态机，若当前帧正在接收则在接收完成后关闭。 1: MAC 使能接收状态机。
1:0	Reserved	保留，必须保持复位值。

25.5.3 ETH MAC 帧过滤器寄存器 (ETH_MACFFLT)

地址偏移: 0x0004

复位值: 0x0000 0000

MAC 帧过滤器寄存器包含了接收帧的过滤器控制位。



位域	名称	描述
31	RA	接收所有帧。 该位控制帧过滤器功能。 0: 只有通过了地址过滤器的接收帧才会被转发给应用程序。 1: 所有接收到的帧都会被转发给应用程序，但过滤的结果会反映在更新接收描述符状态信息的相应标志位。
30:11	Reserved	保留，必须保持复位值。
10	HPF	HASH 或者完美过滤。 0: 如果 ETH_MACFFLT.HMC 或者 ETH_MACFFLT.HUC 置 1，符合 HASH 过滤器的帧才能通过接收地址过滤。 1: 如果 ETH_MACFFLT.HMC 或者 ETH_MACFFLT.HUC 置 1，接收帧通过

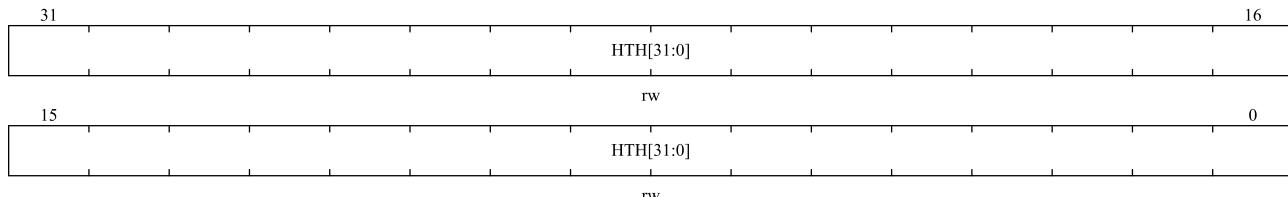
位域	名称	描述
		HASH 过滤器或者完美过滤器中任一种，就认为通过接收地址过滤。
9	SAF	<p>源地址过滤器。</p> <p>除了目的地址过滤之外，使能源地址过滤器。过滤器将接收帧的源地址域的值与使能的源地址寄存器中配置的值进行比较。如果源地址值相匹配，则接收描述符中的源地址匹配状态位将置位。</p> <p>0：源地址过滤器关闭。 1：源地址过滤器使能。</p>
8	SAIF	<p>源地址过滤结果反转。</p> <p>该位将源地址比较结果反转。</p> <p>0：禁用源地址过滤器结果反转，所有源地址与源地址寄存器不匹配的帧会被标记为未通过源地址过滤。 1：使能源地址过滤器结果反转，所有源地址与源地址寄存器相匹配的帧会被标记为未通过源地址过滤。</p>
7:6	PCF[1:0]	<p>控制帧转发位。</p> <p>这些位于设置所有控制帧的转发条件（包括单播和多播暂停帧），对于是否处理暂停控制帧，只取决于 ETH_MACFLWCTRL.RFE 的值。</p> <p>00：MAC 不转发任何控制帧给应用程序。 01：MAC 转发除了暂停帧以外的其他控制帧给应用程序。 10：MAC 转发所有的控制帧给应用程序，即使是没通过地址过滤器的控制帧。 11：MAC 转发通过地址过滤器的控制帧给应用程序。</p>
5	DBF	<p>不接收广播帧。</p> <p>0：过滤器接收所有广播帧。 1：过滤器不接收所有广播帧。</p>
4	PAM	<p>通过全部多播帧。</p> <p>0：多播帧过滤与否取决于 ETH_MACFFLT.HMC 的值。 1：所有的带多播目的地址的帧（地址第一位为 1）都能通过过滤器。</p>
3	DAIF	<p>目的地址过滤结果反转。</p> <p>该位将目的地址过滤结果反转。</p> <p>0：禁用目的地址过滤结果反转。 1：使能目的地址过滤结果反转。</p>
2	HMC	<p>多播 HASH 过滤器。</p> <p>0：MAC 会将接收到的多播帧目的地址域的值和目的地址寄存器的设定值比较。 1：MAC 根据 HASH 列表对接收到的多播帧进行目的地址过滤。</p>
1	HUC	<p>单播 HASH 过滤器。</p> <p>0：MAC 会将接收到的单播帧目的地址域的值和目的地址寄存器的设定值比较。 1：MAC 根据 HASH 列表对接收到的单播帧进行目的地址过滤。</p>
0	PRM	<p>混杂模式。</p> <p>该位使地址过滤器无效，这意味着所有帧均可通过过滤器，同时接收描述符中状态信息的目的地址/源地址错误位总是为 0。</p> <p>0：禁用混杂模式。 1：使能混杂模式。</p>

25.5.4 ETH MAC HASH 列表高寄存器 (ETH_MACHASHHI)

地址偏移: 0x0008

复位值: 0x0000 0000

64 位的 HASH 列表可以用来进行成组的地址过滤。该寄存器包含了多播 HASH 列表的高 32 位。



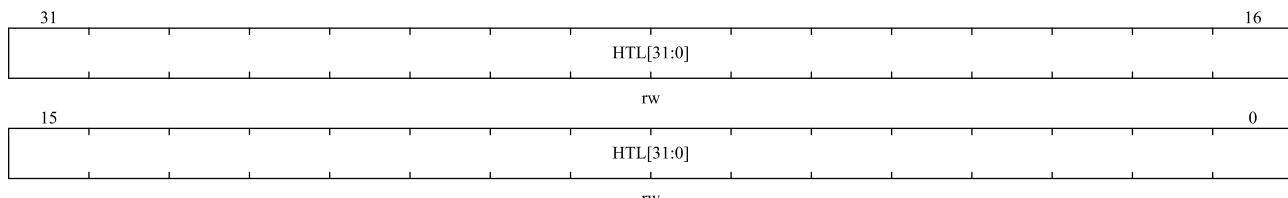
位域	名称	描述
31:0	HTH[31:0]	HASH 列表高位。 这些位是 HASH 列表的高 32 位。

25.5.5 ETH MAC HASH 列表低寄存器 (ETH_MACHASHLO)

地址偏移: 0x000C

复位值: 0x0000 0000

64 位的 HASH 列表可以用来进行成组的地址过滤。该寄存器包含了多播 HASH 列表的低 32 位。



位域	名称	描述
31:0	HTL[31:0]	HASH 列表低位。 这些位是 HASH 列表的低 32 位。

25.5.6 ETH MAC MII 地址寄存器 (ETH_MACMIIADDR)

地址偏移: 0x0010

复位值: 0x0000 0000

该寄存器通过接口控制外部 PHY 的管理信号。

31	Reserved								16																			
15	PA[4:0]	11	10	MR[4:0]	6	5	4	CR[2:0]	2	1	0																	
	rw			rw				rw	rw	rc_w1																		
位域	名称	描述																										
31:16	Reserved	保留，必须保持复位值。																										
15:11	PA[4:0]	PHY 地址。 这些位表示访问的 PHY 地址。																										
10:6	MR[4:0]	MII PHY 寄存器。 这些位选择想要访问的 PHY 寄存器。																										
5	Reserved	保留，必须保持复位值。																										
4:2	CR[2:0]	时钟范围。 这些位用于根据 HCLK 的频率来配置 MDC 的时钟。	<table border="1"> <thead> <tr> <th>取值</th><th>MDC 频率</th><th>HCLK 频率</th></tr> </thead> <tbody> <tr> <td>000</td><td>HCLK/42</td><td>60~100MHz</td></tr> <tr> <td>001</td><td>HCLK/62</td><td>100~144MHz</td></tr> <tr> <td>010</td><td>HCLK/16</td><td>20~35MHz</td></tr> <tr> <td>011</td><td>HCLK/26</td><td>35~60MHz</td></tr> <tr> <td>其它</td><td>Reserved</td><td>Reserved</td></tr> </tbody> </table>								取值	MDC 频率	HCLK 频率	000	HCLK/42	60~100MHz	001	HCLK/62	100~144MHz	010	HCLK/16	20~35MHz	011	HCLK/26	35~60MHz	其它	Reserved	Reserved
取值	MDC 频率	HCLK 频率																										
000	HCLK/42	60~100MHz																										
001	HCLK/62	100~144MHz																										
010	HCLK/16	20~35MHz																										
011	HCLK/26	35~60MHz																										
其它	Reserved	Reserved																										
1	MW	MII 写操作。 0: 对 PHY 进行读操作。 1: 对 PHY 进行写操作。																										
0	MB	MII 忙。 在写寄存器 ETH_MACMIIADDR 和 ETH_MACMIIDAT 之前，该位应当为 0。 在访问 PHY 时，该位由应用程序置 1，表示正在对 PHY 的进行读或者写操作。对 PHY 写操作时，该位被硬件清 0 之前必须保持 ETH_MACMIIDAT 寄存器的值。对 PHY 读操作时，在硬件清 0 该位后，ETH_MACMIIDAT 寄存器的值才是有效的。																										

25.5.7 ETH MAC MII 数据寄存器 (ETH_MACMIIDAT)

地址偏移: 0x0014

复位值: 0x0000 0000

该寄存器存放要写入 PHY 寄存器的值或从 PHY 寄存器读出的值。

31	Reserved								16
15	MD[15:0]	0							
	rw								

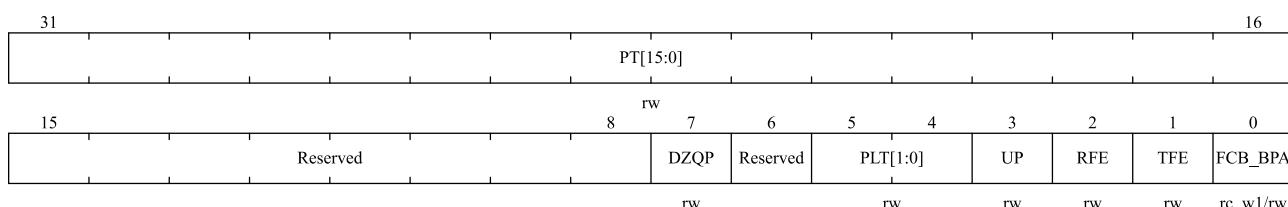
位域	名称	描述
31:16	Reserved	保留, 必须保持复位值。
15:0	MD[15:0]	MII 数据。 这些位包含了对 PHY 进行一次读操作后, 读出的 16 位数据。或者在对 PHY 写操作前, 将要写入的 16 位数据。

25.5.8 ETH MAC 流控寄存器 (ETH_MACFLWCTRL)

地址偏移: 0x0018

复位值: 0x0000 0000

该寄存器用于配置控制 (PAUSE) 帧的生成和接收。



位域	名称	描述
31:16	PT[15:0]	PAUSE 时间。 这些位的值用来作为控制帧 PAUSE 时间域的值。如果 PAUSE 时间设置为两次同步于 MII 时钟域, 那么对寄存器的连续 2 次写操作之间间隔至少要有 4 个目的域时钟周期。
15:8	Reserved	保留, 必须保持复位值。
7	DZQP	关闭零值 PAUSE 功能。 0: 正常操作, 打开零值 PAUSE 控制帧自动生成功能。 1: 在撤销 FIFO 层流控信号时, 关闭自动零值 PAUSE 控制帧的自动生成。
6	Reserved	保留, 必须保持复位值。
5:4	PLT[1:0]	PAUSE 低阈值。 这些位设置了自动重发 PAUSE 帧的定时器阈值。这个阈值应当大于 0, 小于 ETH_MACFLWCTRL.PT[15:0] 这些位定义的暂停时间。低阈值的计算公式为 PT - PLT。例如, PT = 0x80 (128 个时间间隙), PLT = 0x1 (28 个时间间隙), 那么在第一个 PAUSE 帧发出 100 (128-28) 个时间间隙后, 将自动重发第二个 PAUSE 帧。 00: 暂停时间 - 4 个时间间隙 01: 暂停时间 - 28 个时间间隙 10: 暂停时间 - 144 个时间间隙 11: 暂停时间 - 256 个时间间隙 <i>注意: 一个时间间隙是指 MII 接口发送 512 位 (64 字节) 数据所需要的时间。</i>
3	UP	单播 PAUSE 帧检测。 0: MAC 只接收符合 IEEE802.3 规范定义的唯一多播地址的 PAUSE 帧。 1: 除了唯一多播地址的 PAUSE 帧, MAC 同时还会使用 MAC 地址 0 来检测 PAUSE 帧。
2	RFE	接收流控使能位。

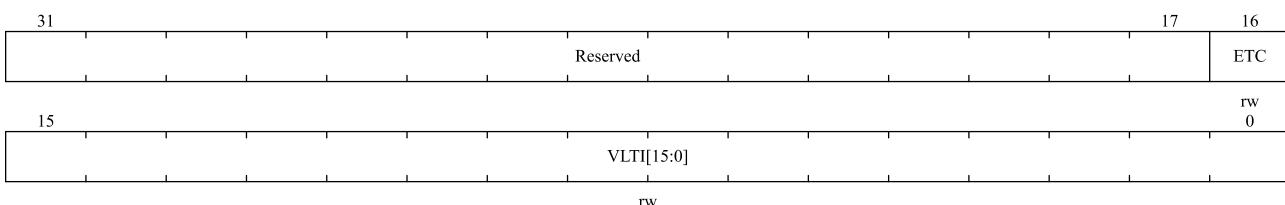
位域	名称	描述
		该位置 1 时， MAC 会关闭发送器一段指定的时间（接收帧中暂停时间域的值）。 0： MAC 不解析 PAUSE 帧。 1： MAC 解析并处理接收到的 PAUSE 帧。
1	TFE	发送流控使能位。 全双工模式下，该位置 1 表示 MAC 可以发送 PAUSE 帧，该位清 0 表示不发送 PAUSE 帧。 半双工模式下，该位置 1 表示 MAC 开启背压功能，该位清 0 表示关闭背压功能。 0： MAC 关闭发送流控功能。 1： MAC 开启发送流控功能。
0	FCB_BPA	流控忙/背压激活。 在全双工模式下，该位可发送 PAUSE 帧；在半双工模式下，且 ETH_MACFLWCTRL.TFE 置 1 时，该位可激活背压功能。 在全双工模式下，应用程序要确保在写 ETH_MACFLWCTRL 寄存器之前该位为 0。该位置 1 后，MAC 将发送一个 PAUSE 帧到接口，在发送控制帧的过程中，该位始终为 1，直到 PAUSE 控制帧发送完成以后，MAC 将该位重置为 0。 在半双工模式下，设置该位为 1 可以激活背压功能。在背压功能有效时，如果 MAC 接收到新的帧，就会在发送端发送阻塞信号，通知有冲突发生。 全双工模式时背压功能自动失效。

25.5.9 ETH MAC VLAN 标签寄存器 (ETH_MACVLANTAG)

地址偏移：0x001C

复位值：0x0000 0000

该寄存器包含了用来识别 VLAN 帧的 IEEE802.1Q VLAN 标签。MAC 把接收到帧的第 13、14 字节（长度/类型域）与 0x8100 比较，再把之后的 2 个字节（第 15、16 字节）和 VLAN 标签比较。



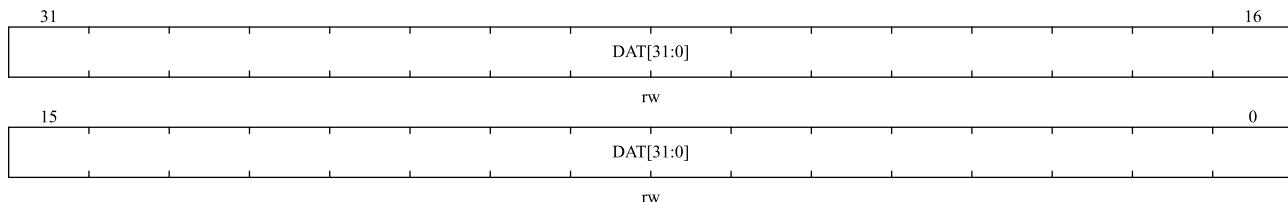
位域	名称	描述
31:17	Reserved	保留，必须保持复位值。
16	ETC	12 位 VLAN 标签比较位。 该位选择用 ETH_MACVLANTAG.VLTI[11:0] (12 位) 或 ETH_MACVLANTAG.VLTI[15:0] (16 位) VLAN 标签来进行比较。 0： 使用全部 16 位数据来作比较。 1： 仅使用 12 位数据来作比较。
15:0	VLTI[15:0]	VLAN 标签标识符位。

位域	名称	描述
		<p>这些位用来识别 VLAN 帧的 802.1Q VLAN 标签格式。格式如下：</p> <ul style="list-style-type: none"> VLTI[15:13]: UP (用户优先级) VLTI[12]: CFI (标准格式指示符) VLTI[11:0]: VID (VLAN 标识符) <p>定义 VLTI[n:0], 当 ETH_MACVLANTAG.ETC = 1 时, n = 11; 当 ETH_MACVLANTAG.ETC = 0 时, n = 15。</p> <p>如果 VLTI[n:0] 的值是全 0, 则 MAC 不再比对检验 VLAN 帧的第 15、16 字节, 并将接收帧的类型域值是 0x8100 的帧都直接视为 VLAN 帧。</p> <p>如果 VLTI[n:0] 不全为 0, 则使用 VLTI[n:0] 进行比较。</p>

25.5.10 ETH MAC 远程唤醒帧过滤器寄存器 (ETH_MACRMTWUFRMFLT)

地址偏移: 0x0028

复位值: 0x0000 0000

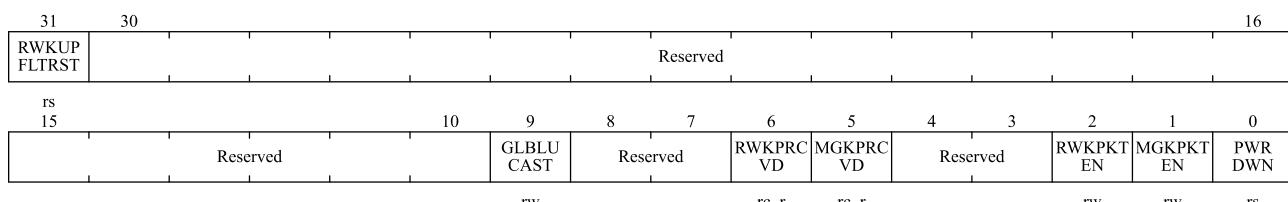


该寄存器实质上是指向 8 个不透明的唤醒帧过滤器寄存器的指针（使用同一个偏移地址）。对该寄存器地址（偏移为 0x0028）的 8 次连续写操作，可以写入全部 8 个唤醒帧过滤器寄存器；对该寄存器地址（偏移为 0x0028）的 8 次连续读操作，可以读出全部 8 个唤醒帧过滤器寄存器。参考表 25-7 远程唤醒帧过滤器寄存器总览。

25.5.11 ETH MAC PMT 控制和状态寄存器 (ETH_MACPMTCTRLSTS)

地址偏移: 0x002C

复位值: 0x0000 0000



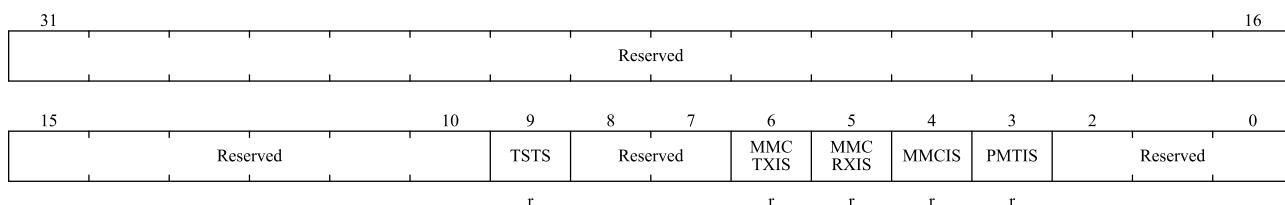
位域	名称	描述
31	RWKUPFLTRST	<p>远程唤醒帧过滤器寄存器指针复位。</p> <p>0: 无作用。</p> <p>1: 复位 ETH_MACRMTWUFRMFLT 寄存器指针, 指针复位完成后自动清 0。</p>
30:10	Reserved	保留, 必须保持复位值。
9	GLBLUCAST	全局单播。

位域	名称	描述
		0: 不是所有接收的单播帧都被认为是唤醒帧。 1: 所有能通过 MAC 地址过滤器的单播帧，都被认为是唤醒帧。
8:7	Reserved	保留，必须保持复位值。
6	RWKPRCVD	接收到远程唤醒帧。 该位通过对本寄存器进行读操作来清 0。 0: 没有接收到远程唤醒帧。 1: 接收到远程唤醒帧，并发生唤醒事件。
5	MGKPRCVD	接收到 Magic Packet。 该位通过对本寄存器进行读操作来清 0。 0: 没有接收到 Magic Packet 唤醒帧。 1: 接收到 Magic Packet 唤醒帧，并发生唤醒事件。
4:3	Reserved	保留，必须保持复位值。
2	RWPKPKTEN	远程唤醒帧使能位。 0: 禁能在接收到远程唤醒帧时产生唤醒事件。 1: 使能在接收到远程唤醒帧时产生唤醒事件。
1	MGKPKTEN	Magic Packet 使能位。 0: 禁能在接收到 Magic Packet 唤醒帧时产生唤醒事件。 1: 使能在接收到 Magic Packet 唤醒帧时产生唤醒事件。
0	PWRDWN	低功耗位。 该位由软件置位，由硬件复位。当该位置 1，MAC 丢弃所有接收到的帧。当发生了唤醒事件，退出低功耗模式，硬件会自动将该位清 0。只有当 ETH_MACPMTCTRLSTS.RWPKPKTEN 或 ETH_MACPMTCTRLSTS.MGKPKTEN 为 1 时，才能把该位置 1。

25.5.12 ETH MAC 中断状态寄存器 (ETH_MACINTSTS)

地址偏移: 0x0038

复位值: 0x0000 0000



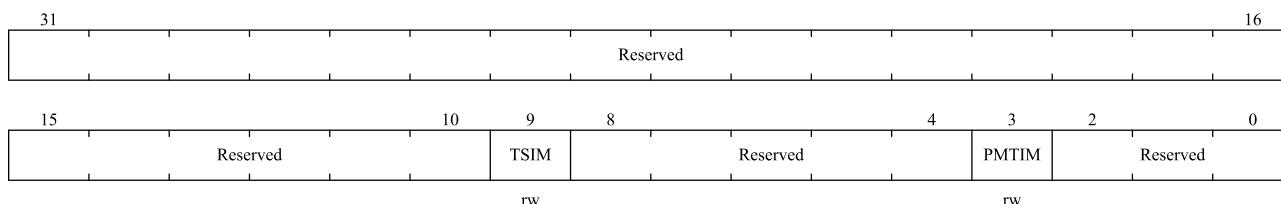
位域	名称	描述
31:10	Reserved	保留，必须保持复位值。
9	TSTS	时间戳触发状态。 该位通过对本寄存器进行读操作来清 0。 0: 系统时间值小于期望时间值。 1: 系统时间值等于或者超过期望时间值。
8:7	Reserved	保留，必须保持复位值。
6	MMCTXIS	MMC 发送状态。

位域	名称	描述
		0: ETH_MMCTXINT 寄存器中全部位为 0。 1: ETH_MMCTXINT 寄存器任一中断位为 1。
5	MMCRXIS	MMC 接收状态。 0: ETH_MMCRXINT 寄存器中全部位为 0。 1: ETH_MMCRXINT 寄存器任一中断位为 1。
4	MMCIS	MMC 状态。 0: ETH_MACINTSTS.MMCTXIS 和 ETH_MACINTSTS.MMCRXIS 都为 0。 1: ETH_MACINTSTS.MMCTXIS 和 ETH_MACINTSTS.MMCRXIS 其中之一为 1。
3	PMTIS	PMT 状态。 在低功耗模式下，接收到远程唤醒帧或者 Magic Packet 唤醒帧时，该位置 1。 通过读 ETH_MACPMTCTRLSTS 寄存器把 ETH_MACPMTCTRLSTS.RWKPRCVD 和 ETH_MACPMTCTRLSTS.MGKPRCVD 清 0 后，该位也被清 0。
2:0	Reserved	保留，必须保持复位值。

25.5.13 ETH MAC 中断屏蔽寄存器 (ETH_MACINTMSK)

地址偏移: 0x003C

复位值: 0x0000 0000



位域	名称	描述
31:10	Reserved	保留，必须保持复位值。
9	TSIM	时间戳触发中断屏蔽位。 0: 允许产生时间戳中断。 1: 禁止产生时间戳中断。
8:4	Reserved	保留，必须保持复位值。
3	PMTIM	PMT 中断屏蔽位。 0: 允许产生由于 ETH_MACINTSTS.PMTIS 置 1 而引发的中断。 1: 禁止产生由于 ETH_MACINTSTS.PMTIS 置 1 而引发的中断。
2:0	Reserved	保留，必须保持复位值。

25.5.14 ETH MAC 地址 0 高寄存器 (ETH_MACADDR0HI)

地址偏移: 0x0040

复位值: 0x8000 FFFF

31	Reserved	16
15	ADDRHI[15:0]	0

rw

位域	名称	描述
31:16	Reserved	保留，必须保持复位值。
15:0	ADDRHI[15:0]	MAC 地址 0 高 16 位。 这些位包含了 6 字节 MAC 地址 0 的高 16 位，这些位用于作为接收帧的地址过滤，还用于发送流控中发送 PAUSE 帧时作为帧的源地址插入。

25.5.15 ETH MAC 地址 0 低寄存器 (ETH_MACADDR0LO)

地址偏移: 0x0044

复位值: 0xFFFF FFFF

31	ADDRLO[31:0]	16
15	rw	0
	ADDRLO[31:0]	

rw

位域	名称	描述
31:0	ADDRLO[31:0]	MAC 地址 0 低 32 位。 这些位包含了 6 字节 MAC 地址 0 的低 32 位，这些位用于作为接收帧的地址过滤，还用于发送流控中发送 PAUSE 帧时作为帧的源地址插入。

25.5.16 ETH MAC 地址 1 高寄存器 (ETH_MACADDR1HI)

地址偏移: 0x0048

复位值: 0x0000 FFFF

31	AE	30	SA	29	MBC[5:0]	24	23	Reserved	16
	rw	15	rw		rw				
					ADDRHI[15:0]				0

rw

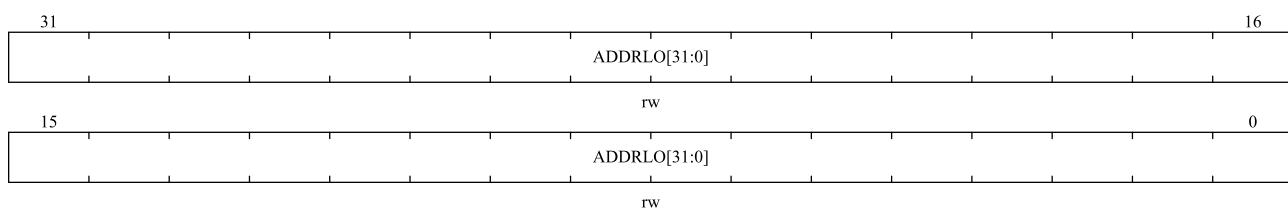
位域	名称	描述
31	AE	地址使能。 0: 地址过滤器不使用 MAC 地址 1 来进行完美过滤。 1: 地址过滤器使用 MAC 地址 1 来进行完美过滤。
30	SA	源地址比对。

位域	名称	描述
		0: MAC 地址 1 用来和接收帧的目的地址进行比对。 1: MAC 地址 1 用来和接收帧的源地址进行比对。
29:24	MBC[5:0]	屏蔽字节控制位。 当某个位置 1 时, MAC 将忽略接收帧目的地址/源地址的对应字节与 MAC 地址 1 的相应字节的比较。每个控制位对应的 MAC 地址字节如下: MBC[5]: ETH_MACADDR1HI[15:8] MBC[4]: ETH_MACADDR1HI[7:0] MBC[3]: ETH_MACADDR1LO[31:24] MBC[2]: ETH_MACADDR1LO[23:16] MBC[1]: ETH_MACADDR1LO[15:8] MBC[0]: ETH_MACADDR1LO[7:0]
23:16	Reserved	保留, 必须保持复位值。
15:0	ADDRHI[15:0]	MAC 地址 1 高 16 位。 这些位包含了 6 字节 MAC 地址 1 的高 16 位。

25.5.17 ETH MAC 地址 1 低寄存器 (ETH_MACADDR1LO)

地址偏移: 0x004C

复位值: 0xFFFF FFFF

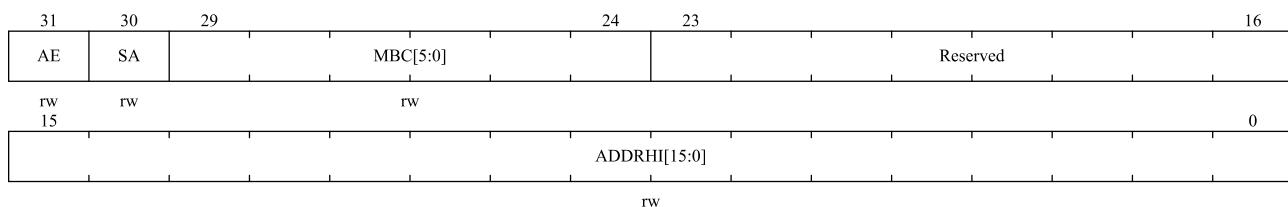


位域	名称	描述
31:0	ADDRLO[31:0]	MAC 地址 1 低 32 位。 这些位包含了 6 字节 MAC 地址 1 的低 32 位。

25.5.18 ETH MAC 地址 2 高寄存器 (ETH_MACADDR2HI)

地址偏移: 0x0050

复位值: 0x0000 FFFF



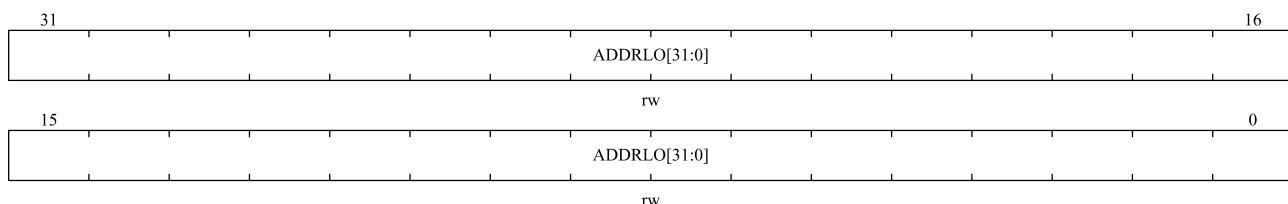
位域	名称	描述
31	AE	地址使能。

位域	名称	描述
		0: 地址过滤器不使用 MAC 地址 2 来进行完美过滤。 1: 地址过滤器使用 MAC 地址 2 来进行完美过滤。
30	SA	源地址比对。 0: MAC 地址 2 用来和接收帧的目的地址进行比对。 1: MAC 地址 2 用来和接收帧的源地址进行比对。
29:24	MBC[5:0]	屏蔽字节控制位。 当某个位置 1 时, MAC 将忽略接收帧目的地址/源地址的对应字节与 MAC 地址 2 的相应字节的比较。每个控制位对应的 MAC 地址字节如下: MBC[5]: ETH_MACADDR2HI[15:8] MBC[4]: ETH_MACADDR2HI[7:0] MBC[3]: ETH_MACADDR2LO[31:24] MBC[2]: ETH_MACADDR2LO[23:16] MBC[1]: ETH_MACADDR2LO[15:8] MBC[0]: ETH_MACADDR2LO[7:0]
23:16	Reserved	保留, 必须保持复位值。
15:0	ADDRHI[15:0]	MAC 地址 2 高 16 位。 这些位包含了 6 字节 MAC 地址 2 的高 16 位。

25.5.19 ETH MAC 地址 2 低寄存器 (ETH_MACADDR2LO)

地址偏移: 0x0054

复位值: 0xFFFF FFFF

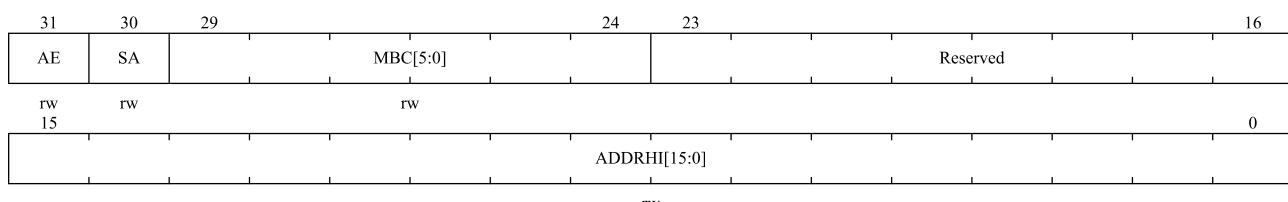


位域	名称	描述
31:0	ADDRLO[31:0]	MAC 地址 2 低 32 位。 这些位包含了 6 字节 MAC 地址 2 的低 32 位。

25.5.20 ETH MAC 地址 3 高寄存器 (ETH_MACADDR3HI)

地址偏移: 0x0058

复位值: 0x0000 FFFF

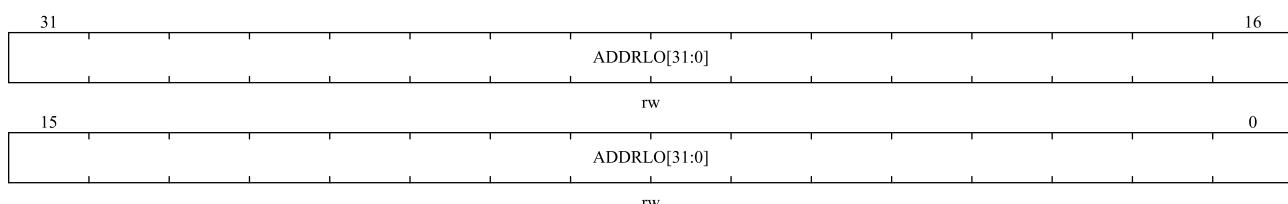


位域	名称	描述
31	AE	地址使能。 0: 地址过滤器不使用 MAC 地址 3 来进行完美过滤。 1: 地址过滤器使用 MAC 地址 3 来进行完美过滤。
30	SA	源地址比对。 0: MAC 地址 3 用来和接收帧的目的地址进行比对。 1: MAC 地址 3 用来和接收帧的源地址进行比对。
29:24	MBC[5:0]	屏蔽字节控制位。 当某个位置 1 时, MAC 将忽略接收帧目的地址/源地址的对应字节与 MAC 地址 3 的相应字节的比较。每个控制位对应的 MAC 地址字节如下: MBC[5]: ETH_MACADDR3HI[15:8] MBC[4]: ETH_MACADDR3HI[7:0] MBC[3]: ETH_MACADDR3LO[31:24] MBC[2]: ETH_MACADDR3LO[23:16] MBC[1]: ETH_MACADDR3LO[15:8] MBC[0]: ETH_MACADDR3LO[7:0]
23:16	Reserved	保留, 必须保持复位值。
15:0	ADDRHI[15:0]	MAC 地址 3 高 16 位。 这些位包含了 6 字节 MAC 地址 3 的高 16 位。

25.5.21 ETH MAC 地址 3 低寄存器 (ETH_MACADDR3LO)

地址偏移: 0x005C

复位值: 0xFFFF FFFF



位域	名称	描述
31:0	ADDRLO[31:0]	MAC 地址 3 低 32 位。 这些位包含了 6 字节 MAC 地址 3 的低 32 位。

25.5.22 ETH MMC 控制寄存器 (ETH_MMCTRL)

地址偏移: 0x0100

复位值: 0x0000 0000

31	Reserved	16
15	Reserved	4 3 2 1 0
		CNT FREEZ RST ONRD CNT STOPRO CNTRST
		rw rw rw rw
位域	名称	描述
31:4	Reserved	保留，必须保持复位值。
3	CNTFREEZ	MMC 计数器冻结。 0: MMC 计数器正常工作。 1: 所有 MMC 计数器冻结，保持当前值。RSTONRD 功能在此模式下仍然有效。
2	RSTONRD	读时复位。 0: 读 MMC 计数器后，计数器不复位。 1: 读 MMC 计数器后，计数器复位。
1	CNTSTOPRO	计数器停止回转。 0: 计数器在达到最大值后，会重新从 0 开始计数。 1: 计数器在达到最大值后，不会重新从 0 开始计数。
0	CNTRST	计数器复位。 该位置 1 后，会在 1 个时钟周期后由硬件自动清零。 0: 无作用。 1: 复位所有计数器。

25.5.23 ETH MMC 接收中断状态寄存器 (ETH_MMCRXINT)

地址偏移: 0x0104

复位值: 0x0000 0000

该寄存器记录在接收统计数据寄存器计数到最大值的一半时（计数器的最高位置 1）所产生的中断。读产生中断的 MMC 计数器可以清除对应的中断位（必须是读相应计数器的低 8 位）。

31	Reserved	18 17 16
15	Reserved	rxucgf_is Reserved
		rc_r rc_r
		7 6 5 4
		RXALIGN_ERFIS RXCRC_ERFIS Reserved
		rc_r rc_r

位域	名称	描述
31:18	Reserved	保留，必须保持复位值。
17	RXUCGFIS	接收到“好”的单播帧状态。 0: “好”的单播接收帧计数器值未达到最大值的一半。 1: “好”的单播接收帧计数器值达到最大值的一半。
16:7	Reserved	保留，必须保持复位值。
6	RXALIGNERFIS	接收到帧对齐错误状态。

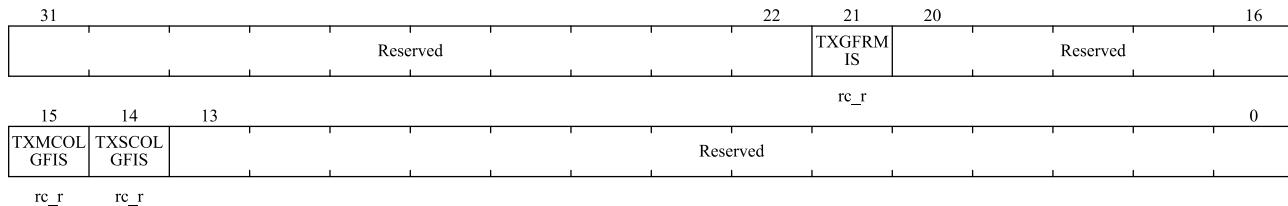
位域	名称	描述
		0: 对齐错误接收帧计数器值未达到最大值的一半。 1: 对齐错误接收帧计数器值达到最大值的一半。
5	RXCRCERFIS	接收到帧 CRC 错误状态。 0: CRC 错误接收帧计数器值未达到最大值的一半。 1: CRC 错误接收帧计数器值达到最大值的一半。
4:0	Reserved	保留, 必须保持复位值。

25.5.24 ETH MMC 发送中断状态寄存器 (ETH_MMCTXINT)

地址偏移: 0x0108

复位值: 0x0000 0000

该寄存器记录在发送统计数据寄存器计数到最大值的一半时 (计数器的最高位置 1) 所产生的中断。读产生中断的 MMC 计数器可以清除对应的中断位 (必须是读相应计数器的低 8 位)。



位域	名称	描述
31:22	Reserved	保留, 必须保持复位值。
21	TXGFRMIS	发送的“好”帧状态。 0: 发送“好”帧计数器值未达到最大值的一半。 1: 发送“好”帧计数器值达到最大值的一半。
20:16	Reserved	保留, 必须保持复位值。
15	TXMCOLGFIS	发送“好”帧时遇到 1 个以上冲突状态。 0: 1 次以上冲突后发送“好”帧计数器值未达到最大值的一半。 1: 1 次以上冲突后发送“好”帧计数器值达到最大值的一半。
14	TXSCOLGFIS	发送“好”帧时仅遇到 1 个冲突 0: 1 次冲突后发送“好”帧计数器值未达到最大值的一半。 1: 1 次冲突后发送“好”帧计数器值达到最大值的一半。
13:0	Reserved	保留, 必须保持复位值。

25.5.25 ETH MMC 接收中断屏蔽寄存器 (ETH_MMCRXINTMSK)

地址偏移: 0x010C

复位值: 0x0000 0000

31	Reserved	18	17	16
			RXUC GFIM	Reserved
15		7	6	5 4 0
	Reserved		RXALIGN ERFIM	RXCRC ERFIM Reserved

rw rw

位域	名称	描述
31:18	Reserved	保留，必须保持复位值。
17	RXUCGFIM	接收到“好”的单播帧的中断屏蔽位。 0: 不屏蔽当 ETH_MMCRXINT.RXUCGFIS 为 1 时发生的中断。 1: 屏蔽当 ETH_MMCRXINT.RXUCGFIS 为 1 时发生的中断。
16:7	Reserved	保留，必须保持复位值。
6	RXALIGNERFIM	接收帧对齐错误中断屏蔽位。 0: 不屏蔽当 ETH_MMCRXINT.RXALIGNERFIS 为 1 时发生的中断。 1: 屏蔽当 ETH_MMCRXINT.RXALIGNERFIS 为 1 时发生的中断。
5	RXCRCERFIM	接收帧 CRC 错误中断屏蔽位。 0: 不屏蔽当 ETH_MMCRXINT.RXCRCERFIS 为 1 时发生的中断。 1: 屏蔽当 ETH_MMCRXINT.RXCRCERFIS 为 1 时发生的中断。
4:0	Reserved	保留，必须保持复位值。

25.5.26 ETH MMC 发送中断屏蔽寄存器 (ETH_MMCTXINTMSK)

地址偏移: 0x0110

复位值: 0x0000 0000

31	Reserved	22	21	20	16
		TXGFRM IM		Reserved	
15	14	13			0
TXMCOL GFIM	TXSCOL GFIM		Reserved		

rw rw

位域	名称	描述
31:22	Reserved	保留，必须保持复位值。
21	TXGFRMIM	发送“好”的帧的中断屏蔽位。 0: 不屏蔽当 ETH_MMCTXINT.TXGFRMIS 为 1 时发生的中断。 1: 屏蔽当 ETH_MMCTXINT.TXGFRMIS 位为 1 时发生的中断。
20:16	Reserved	保留，必须保持复位值。
15	TXMCOLGFIM	遇到 1 个以上冲突后发送“好”帧中断屏蔽位。 0: 不屏蔽当 ETH_MMCTXINT.TXMCOLGFIS 为 1 时发生的中断。 1: 屏蔽当 ETH_MMCTXINT.TXMCOLGFIS 为 1 时发生的中断。
14	TXSCOLGFIM	仅遇到 1 个冲突后发送“好”帧中断屏蔽位。 0: 不屏蔽当 ETH_MMCTXINT.TXSCOLGFIS 为 1 时发生的中断。 1: 屏蔽当 ETH_MMCTXINT.TXSCOLGFIS 为 1 时发生的中断。

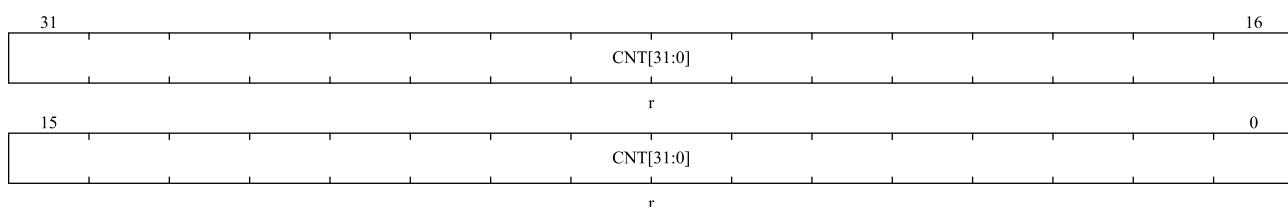
位域	名称	描述
13:0	Reserved	保留，必须保持复位值。

25.5.27 ETH MMC 1 次冲突后发送的“好”帧计数器寄存器 (ETH_MMCTXGFASCCNT)

地址偏移: 0x014C

复位值: 0x0000 0000

该寄存器用于统计在半双工模式下，只遇到一次冲突后发送成功的帧的数目。



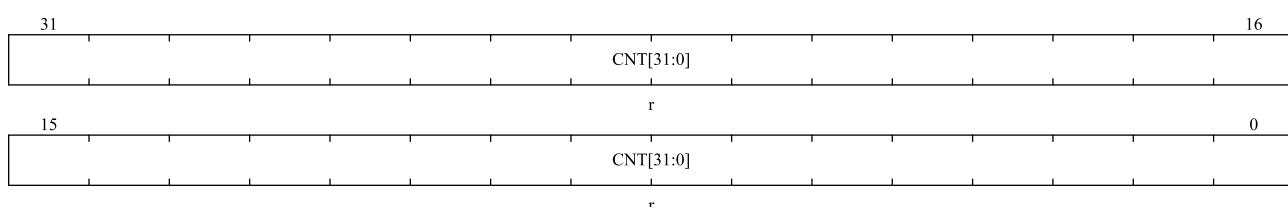
位域	名称	描述
31:0	CNT[31:0]	1次冲突后发送的“好”帧计数器。 这些位是1次冲突后发送的“好”帧的计数器。

25.5.28 ETH MMC 1 次以上冲突后发送的“好”帧计数器寄存器 (ETH_MMCTXGFAMSCCNT)

地址偏移: 0x0150

复位值: 0x0000 0000

该寄存器用于统计在半双工模式下，遇到一次以上冲突后发送成功的帧的数目。



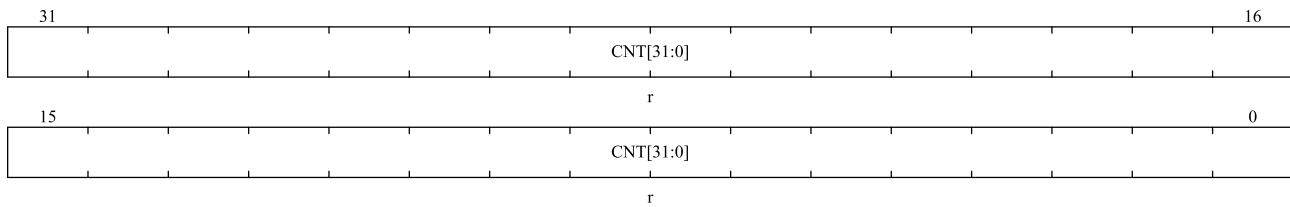
位域	名称	描述
31:0	CNT[31:0]	1次以上冲突后发送的“好”帧计数器。 这些位是1次以上冲突后发送的“好”帧的计数器。

25.5.29 ETH MMC 发送的“好”帧计数器寄存器 (ETH_MMCTXGFCNT)

地址偏移: 0x0168

复位值: 0x0000 0000

该寄存器用于统计发送的“好”帧的数目。



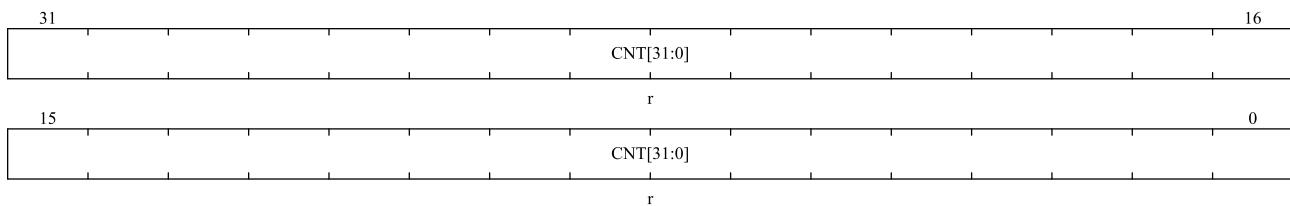
位域	名称	描述
31:0	CNT[31:0]	发送的“好”帧计数器。 这些位是发送的“好”帧的计数器。

25.5.30 ETH MMC CRC 错误接收帧计数器寄存器 (ETH_MMCRXFECNT)

地址偏移: 0x0194

复位值: 0x0000 0000

该寄存器用于统计接收帧中有 CRC 错误的帧的数目。



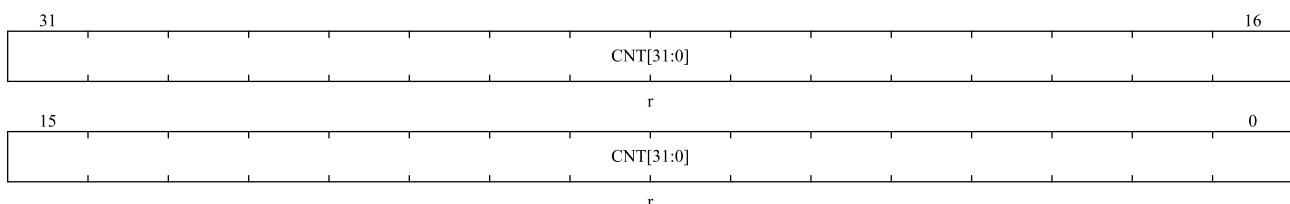
位域	名称	描述
31:0	CNT[31:0]	CRC 错误接收帧计数器。 这些位是接收帧中有 CRC 错误的帧的计数器。

25.5.31 ETH MMC 对齐错误接收帧计数器寄存器 (ETH_MMCRXFAECNT)

地址偏移: 0x0198

复位值: 0x0000 0000

该寄存器用于统计接收帧中有对齐错误的帧的数目。



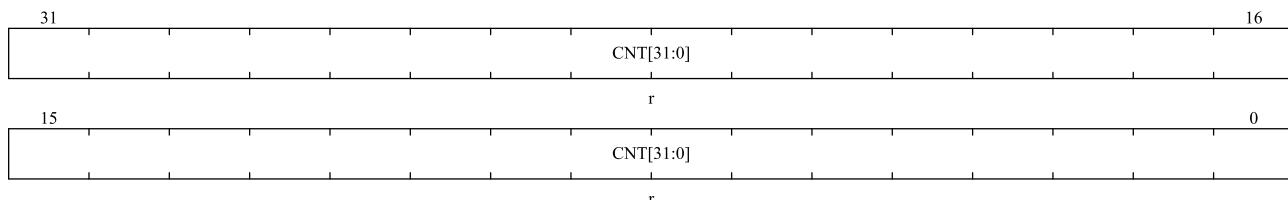
位域	名称	描述
31:0	CNT[31:0]	对齐错误接收帧计数器。 这些位是接收帧中有对齐错误的帧的计数器。

25.5.32 ETH MMC 接收“好”单播帧计数器寄存器（ETH_MMCRXGUFCNT）

地址偏移: 0x01C4

复位值: 0x0000 0000

该寄存器用于统计接收到“好”的单播帧的数目。



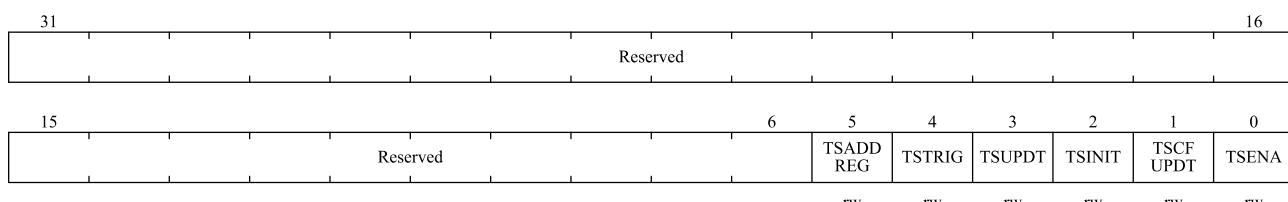
位域	名称	描述
31:0	CNT[31:0]	“好”的单播帧接收计数器。 这些位是接收到“好”的单播帧的计数器。

25.5.33 ETH PTP 时间戳控制寄存器（ETH_PTPTSCTRL）

地址偏移: 0x0700

复位值: 0x0000 0000

该寄存器控制时间戳生成和更新逻辑。



位域	名称	描述
31:6	Reserved	保留，必须保持复位值。
5	TSADDREG	时间戳加数寄存器更新位。 该位在更新完成后清 0。该位在置 1 前必须确保读出为 0。 0: 不将时间戳加数寄存器的值更新到 PTP 模块进行精密调整。 1: 将时间戳加数寄存器的值更新到 PTP 模块进行精密调整。
4	TSTRIG	时间戳中断触发使能位。 0: 禁止时间戳中断。 1: 使能时间戳中断，当系统时间超过期望时间寄存器的值时将会产生中断。 注意：产生时间戳中断后，该位将会清 0。
3	TSUPDT	时间戳系统时间更新位。 置 1 该位之前，必须确保该位和 ETH_PTPTSCTRL.TSINIT 均读为 0。 0: 系统时间保持不变。 1: 更新系统时间，在原有系统时间上加上或者减去时间戳高和低更新寄存器的值，完成更新后，硬件将会清除该位。

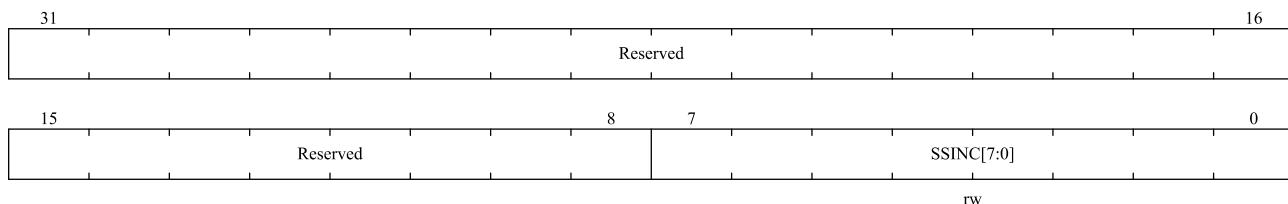
位域	名称	描述
2	TSINIT	<p>时间戳系统时间初始化位。</p> <p>置 1 该位之前，必须确保该位读为 0。</p> <p>0：系统时间保持不变。</p> <p>1：初始化系统时间，将原有系统时间替换为时间戳高和低更新寄存器的值。在初始化完成后，硬件将会清除该位。</p>
1	TSCFUPDT	<p>时间戳粗略调整或者精密调整更新位。</p> <p>0：用粗略调整的方式更新系统时间戳。</p> <p>1：用精密调整的方式更新系统时间戳。</p>
0	TSENA	<p>时间戳使能位。</p> <p>0：禁止时间戳功能。</p> <p>1：使能接收和发送帧的时间戳功能。</p> <p>注意：每次设置该位为‘1’后，都需要重新初始化系统时间。</p>

25.5.34 ETH PTP 亚秒递增寄存器（ETH_PTPSSINC）

地址偏移：0x0704

复位值：0x0000 0000

该寄存器用于配置亚秒递增寄存器的 8 位递增值。在粗略调整模式下，每个 HCLK 时钟周期后，系统时间加一次该寄存器的值。在精密调整模式下，在累加器溢出时，系统时间才加一次该寄存器的值。



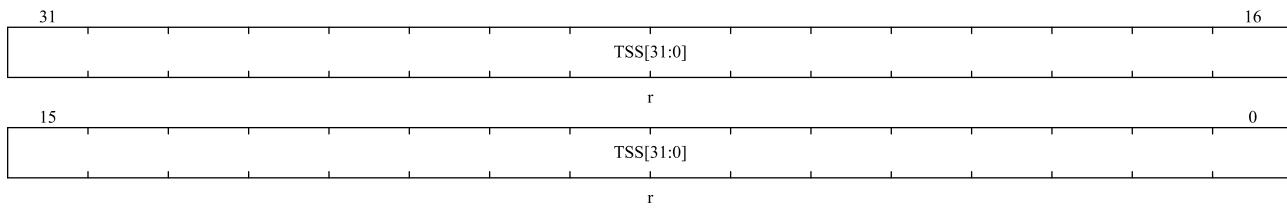
位域	名称	描述
31:8	Reserved	保留，必须保持复位值。
7:0	SSINC[7:0]	<p>系统时间亚秒递增值。</p> <p>在每次系统时间递增时，把这些位的值加到系统时间的亚秒值上。</p>

25.5.35 ETH PTP 时间戳高寄存器（ETH_PTPSEC）

地址偏移：0x0708

复位值：0x0000 0000

该寄存器为只读，包含了系统时间的秒值。系统时间高和低 2 个寄存器包含 MAC 的当前系统时间值，这个值会持续更新。



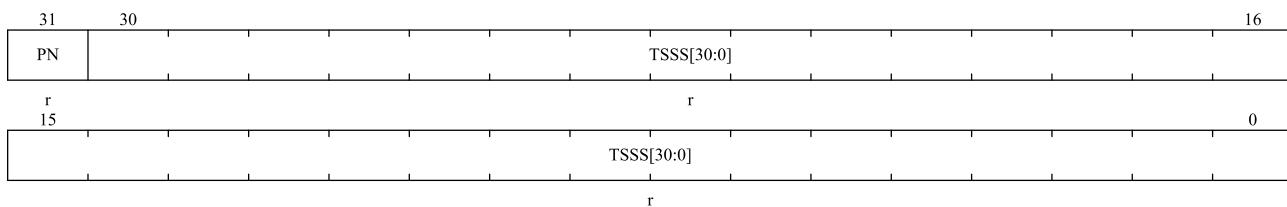
位域	名称	描述
31:0	TSS[31:0]	系统时间秒位。 这些位表示 MAC 当前系统时间的秒值。

25.5.36 ETH PTP 时间戳低寄存器 (ETH_PTPNS)

地址偏移: 0x070C

复位值: 0x0000 0000

该寄存器为只读，包含了系统时间的亚秒值。



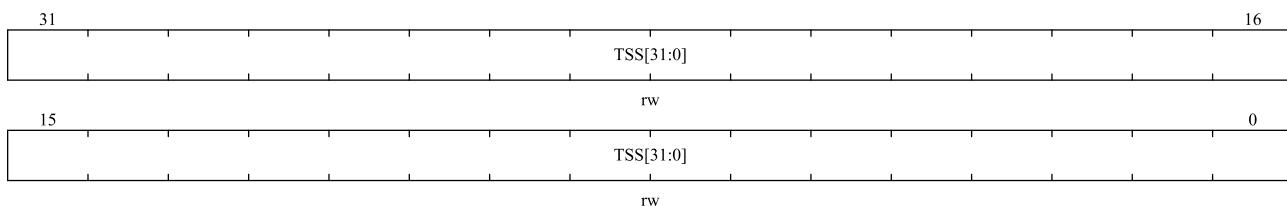
位域	名称	描述
31	PN	系统时间正负标志。 0: 时间值是正值。 1: 时间值是负值。
30:0	TSSS[30:0]	系统时间亚秒位。 这些位表示当前系统时间的亚秒值，亚秒精度为 0.46ns。

25.5.37 ETH PTP 时间戳高更新寄存器 (ETH_PTPSECUP)

地址偏移: 0x0710

复位值: 0x0000 0000

使用该寄存器的值对当前系统时间作替换、加或减操作。时间戳高更新寄存器和时间戳低更新寄存器可以用来初始化或更新 MAC 的当前系统时间。应当先写这 2 个寄存器，再置位 ETH_PTPTSCTRL.TSINIT 或 ETH_PTPTSCTRL.TSUPDT。

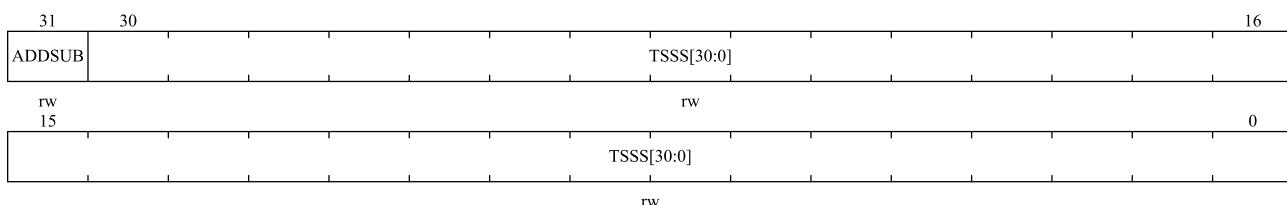


位域	名称	描述
31:0	TSS[31:0]	时间戳秒更新值。 这些位表示的值在初始化时用于替换系统时间，在更新时表示在系统时间上加上或减去的秒值。

25.5.38 ETH PTP 时间戳低更新寄存器（ETH_PTPNSUP）

地址偏移: 0x0714

复位值: 0x0000 0000



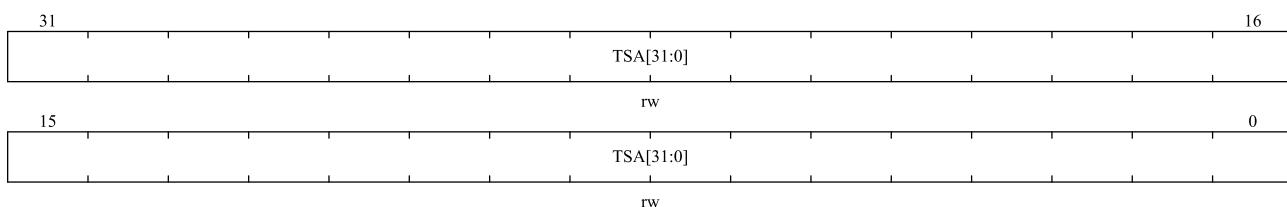
位域	名称	描述
31	ADDSub	时间戳更新正负标志。 当 ETH_PTPTSCTRL.TSINIT 置 1 时，该位应当为 0。 当 ETH_PTPTSCTRL.TSUPDT 置 1，且该位为 0 时，在系统时间上加上时间戳更新值，反之则从系统时间中减去时间戳更新值。 0: 时间值是正值。 1: 时间值是负值。
30:0	TSSS[30:0]	系统时间亚秒位。 这些位表示了当前系统时间的亚秒值，亚秒精度为 0.46ns。

25.5.39 ETH PTP 时间戳加数寄存器（ETH_PTPTSADD）

地址偏移: 0x0718

复位值: 0x0000 0000

该寄存器只用于系统时间更新方式为精密调整模式。软件可使用该寄存器线性地校准时钟频率到主时钟，该寄存器的值在每个时钟周期都会累加到 32 位累加器上，一旦该累加器溢出就更新系统时间。

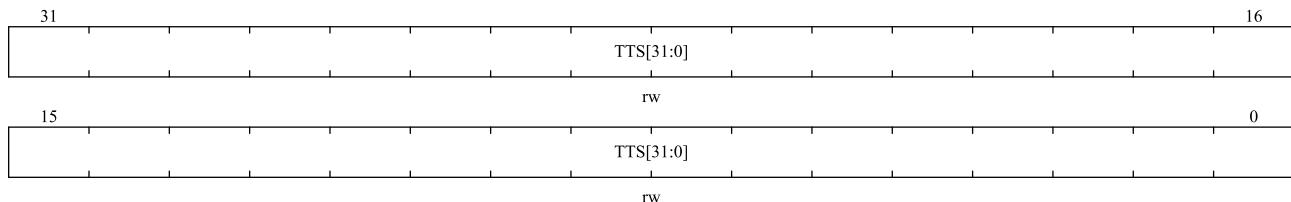


位域	名称	描述
31:0	TSA[31:0]	时间戳加数。 这些位表示时钟同步时加到累加器上的 32 位值。

25.5.40 ETH PTP 目标时间高寄存器 (ETH_PTPTTSEC)

地址偏移: 0x071C

复位值: 0x0000 0000

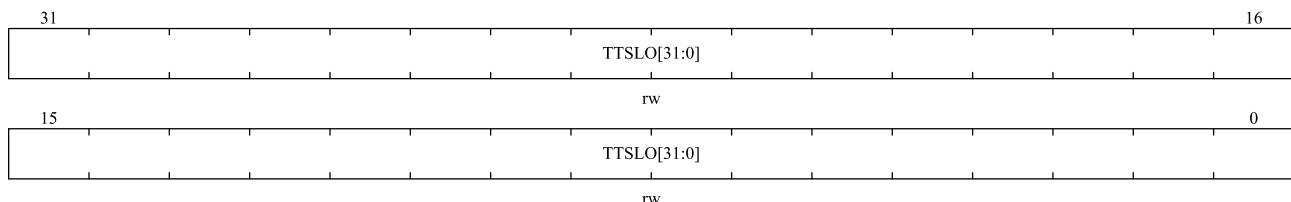


位域	名称	描述
31:0	TTS[31:0]	目标时间戳高位。 这些位表示了目标时间的秒值。如果时间戳值等于或者超过目标时间，且使能了相应的中断，MAC 就会产生中断。

25.5.41 ETH PTP 目标时间低寄存器 (ETH_PTPTTNS)

地址偏移: 0x0720

复位值: 0x0000 0000

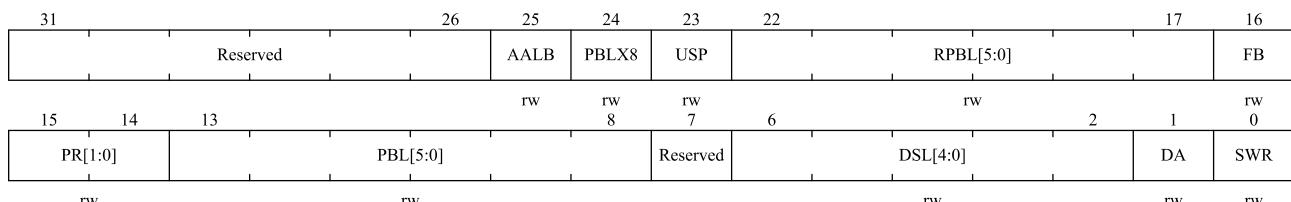


位域	名称	描述
31:0	TTSLO[31:0]	目标时间戳低位。 这些位表示了目标时间的纳秒值。如果时间戳值等于或者超过目标时间，且使能了相应的中断，MAC 就会产生中断。

25.5.42 ETH DMA 总线模式寄存器 (ETH_DMABUSMOD)

地址偏移: 0x1000

复位值: 0x0000 2101



位域	名称	描述
31:26	Reserved	保留, 必须保持复位值。
25	AALB	<p>地址对齐。</p> <p>0: 关闭传输地址对齐功能。</p> <p>1: 使能传输地址对齐, 如果 ETH_DMABUSMOD.FB 为 1, AHB 接口对齐所有连续传输至起始地址的 LS 位。如果 ETH_DMABUSMOD.FB 为 0, 除第一次 AHB 访问的地址 (访问数据缓存区的起始地址) 不对齐外, 后续的传输与地址均对齐。</p>
24	PBLX8	<p>8 倍 PBL 模式。</p> <p>0: PBL 值作为 DMA 传输长度值。</p> <p>1: PBL 值乘以 8 作为 DMA 传输长度值。</p> <p>具体数值见 ETH_DMABUSMOD.RPBL[5:0]或 ETH_DMABUSMOD.PBL[5:0]。</p>
23	USP	<p>使用分散 PBL。</p> <p>0: ETH_DMABUSMOD.PBL[5:0]设定的 PBL 值对 DMA 接收和发送控制器都有效。</p> <p>1: 把 ETH_DMABUSMOD.RPBL[5:0]的值作为接收 DMA 的 PBL 值, 同时 ETH_DMABUSMOD.PBL[5:0]的值只作为发送 DMA 的 PBL 值。</p>
22:17	RPBL[5:0]	<p>接收 DMA PBL。</p> <p>如果 ETH_DMABUSMOD.USP = 0, 则这些位无效。当 ETH_DMABUSMOD.USP = 1 时, 这些位定义了一次 DMA 转发的最大数据传输次数。</p> <p>000001: 最大数据传输次数为 1 000010: 最大数据传输次数为 2 000100: 最大数据传输次数为 4 001000: 最大数据传输次数为 8 010000: 最大数据传输次数为 16 100000: 最大数据传输次数为 32 其他: 保留</p>
16	FB	<p>固定突发位。</p> <p>该位控制 AHB 主接口是否进行固定突发长度的传输。</p> <p>0: AHB 在连续传输时, 只用 SINGLE 和 INCR 数据传输操作。</p> <p>1: AHB 在连续传输时, 用 SINGLE, INCR4, INCR8 和 INCR16 数据传输操作。</p>
15:14	PR[1:0]	<p>接收发送优先级比。</p> <p>这些位表示 RxDMA 和 TxDMA 之间的访问优先级比。</p> <p>00: RxDMA:TxDMA = 1:1 01: RxDMA:TxDMA = 2:1 10: RxDMA:TxDMA = 3:1 11: RxDMA:TxDMA = 4:1</p> <p>注意: 该位只在 DMA 仲裁模式为循环调度模式 (ETH_DMABUSMOD.DA = 0) 时有效。</p>
13:8	PBL[5:0]	<p>可编程的突发长度。</p> <p>这些位定义了一次 DMA 转发的最大数据传输次数。如果 ETH_DMABUSMOD.USP = 1, 则这些位仅用于 TxDMA 传输。如果</p>

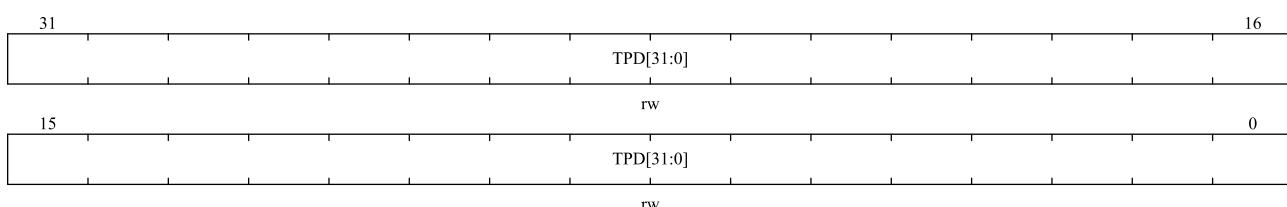
位域	名称	描述
		ETH_DMABUSMOD.USP = 0, 则这些位同时用于 TxDMA 和 RxDMA 传输。 000001: 最大数据传输次数为 1 000010: 最大数据传输次数为 2 000100: 最大数据传输次数为 4 001000: 最大数据传输次数为 8 010000: 最大数据传输次数为 16 100000: 最大数据传输次数为 32 其他: 保留
7	Reserved	保留, 必须保持复位值。
6:2	DSL[4:0]	描述符跳跃长度。 这些位定义了 2 个以环形结构连接的描述符之间的跳跃距离, 以字为单位 (32 位)。地址跳跃是指从当前描述符的结尾到下一个描述符开头的地址差值。
1	DA	DMA 仲裁位。 该位指示了 TxDMA 和 RxDMA 之间的仲裁模式。 0: 根据 ETH_DMABUSMOD.PR[1:0] 这些位的值以循环调度的方式仲裁。 1: 固定优先级模式, 接收的优先级高于发送。
0	SWR	软件复位。 0: 无作用。 1: 复位 ETH 所有子系统的内部寄存器和逻辑电路, 在 MAC 内部不同时钟域模块都完成复位操作后, 该位自动清除。 注意: 在写任意 ETH 寄存器之前应当确保该位为 0。

25.5.43 ETH DMA 发送查询请求寄存器 (ETH_DMATXPD)

地址偏移: 0x1004

复位值: 0x0000 0000

该寄存器用于 TxDMA 对发送描述符列表的查询。TxDMA 通常因为发送帧的数据下溢错误或者描述符被 CPU 占有 (TDES0.OWN = 0) 而进入挂起状态。可以对该寄存器写任意值使能发送查询。



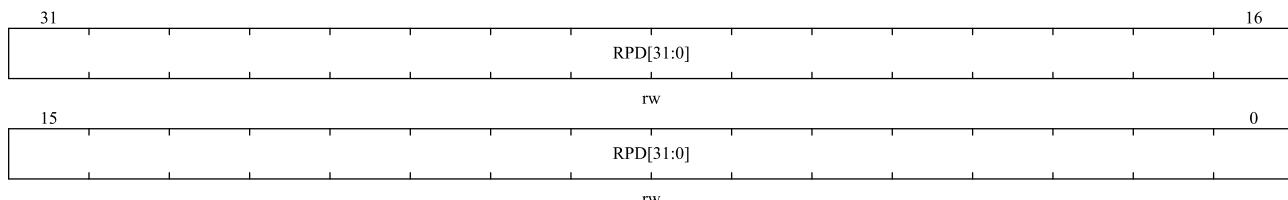
位域	名称	描述
31:0	TPD[31:0]	发送查询请求位。 对这些位写任意值, TxDMA 使能发送查询, 将查询当前描述符 (描述符地址在 ETH_DMACHTXDESC 寄存器中) 是否被 CPU 占有。如果不是 (TDES0.OWN = 1), 则描述符可用, TxDMA 退出挂起状态并恢复工作。反之 (TDES0.OWN = 0), 则 TxDMA 回到挂起状态, 并把 ETH_DMASTS.TU 置 1。

25.5.44 ETH DMA 接收查询请求寄存器 (ETH_DMARXPD)

地址偏移: 0x1008

复位值: 0x0000 0000

该寄存器用于 RxDMA 对接收描述符列表的查询。对该寄存器写任意值可以使能接收查询。



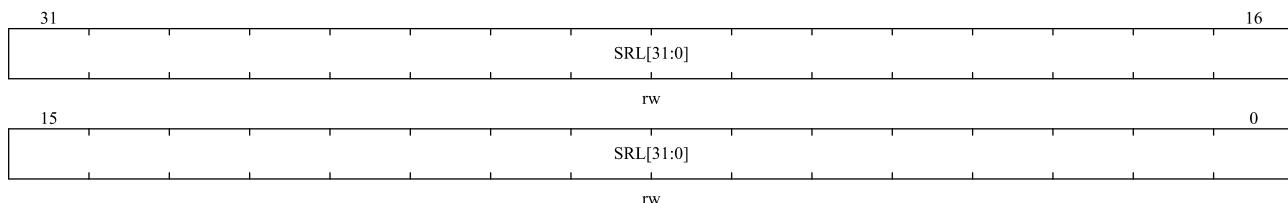
位域	名称	描述
31:0	RPD[31:0]	<p>接收查询请求位。</p> <p>对这些位写任意值, RxDMA 使能接收查询, 将查询当前描述符(描述符地址在 ETH_DMACHRXDESC 寄存器中)是否被 CPU 占有。如果不是(RDES0.OWN = 1), 则描述符可用, RxDMA 退出暂停状态并恢复工作。反之(RDES0.OWN = 0), 则 RxDMA 回到暂停状态, 并把 ETH_DMASTS.RU 置 1。</p>

25.5.45 ETH DMA 接收描述符列表地址寄存器 (ETH_DMARXDLADDR)

地址偏移: 0x100C

复位值: 0x0000 0000

接收描述符列表寄存器指向接收描述符队列的开始。描述符队列位于物理内存, 并且其地址必须字对齐。只有在接收停止的时候, 才允许写该寄存器。在开启 RxDMA 接收流程之前, 必须正确配置该寄存器。



位域	名称	描述
31:0	SRL[31:0]	<p>接收队列基地址。</p> <p>这些位包含了接收描述符队列中第一个描述符的地址。RxDMA 忽略最低的 2 位, 默认取值为 0。</p>

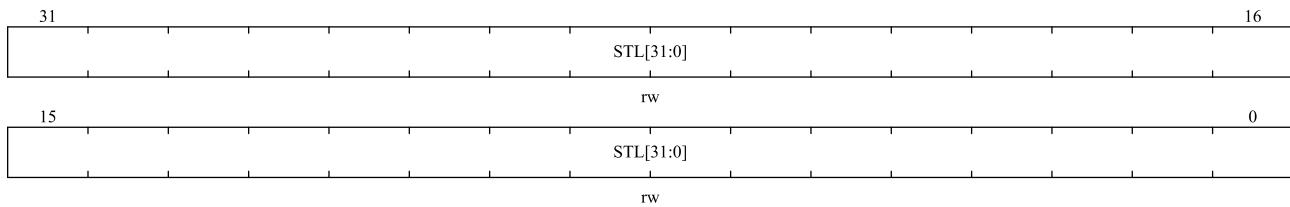
25.5.46 ETH DMA 发送描述符列表地址寄存器 (ETH_DMATXDLADDR)

地址偏移: 0x1010

复位值: 0x0000 0000

该寄存器指向发送描述符队列的起始。描述符队列位于物理内存, 并且其地址必须字对齐。只有在发送停止

的时候，才允许写该寄存器。在开启 TxDMA 发送流程之前，必须正确配置该寄存器。



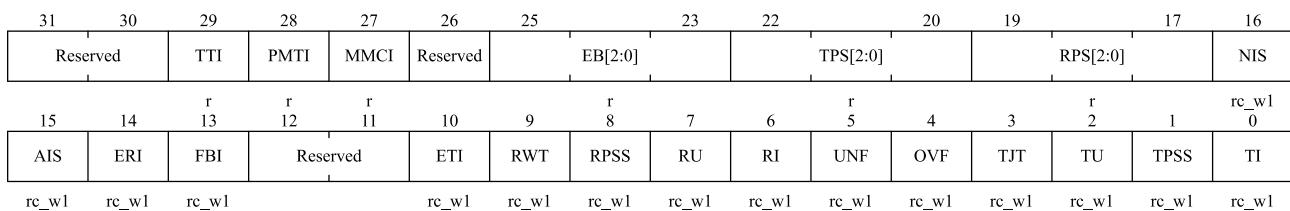
位域	名称	描述
31:0	STL[31:0]	发送队列地址。 这些位包含了发送描述符队列第一个描述符的地址。TxDMA 忽略最低的 2 位，默认取值为 0。

25.5.47 ETH DMA 状态寄存器 (ETH_DMASTS)

地址偏移: 0x1014

复位值: 0x0000 0000

该寄存器包含了所有 DMA 反馈给应用程序的状态位。软件通常在中断服务程序里或在轮询的过程中读该寄存器。该寄存器里大多数位都能触发中断。读该寄存器并不能清除其中的标志位。对 bit0~bit16 这些位（除保留位）写 1 可以清除它们，而写 0 是无效的。通过设置 ETH_DMAINTEN 寄存器里的相应位，可以屏蔽 bit0~bit16 这些位（除保留位）触发的中断。



位域	名称	描述
31:30	Reserved	保留，必须保持复位值。
29	TTI	时间戳触发状态。 该位指示发生了一个时间戳中断事件。通过清除 ETH_MACINTSTS.TSTS 来清零该位。当该位置 1 时，如果使能了相应中断，则产生中断。 0: 未发生时间戳中断事件。 1: 发生了时间戳中断事件。
28	PMTI	PMT 状态。 该位表示 MAC 控制器的 PMT 模块发生了中断事件。软件必须读 MAC 控制器的相应寄存器，找到中断来源并清除，才能清除该位。该位置 1 时，如果使能了相应中断，则产生中断。 0: 未发生 PMT 中断事件。 1: 发生了 PMT 中断事件。
27	MMCI	MMC 状态。 该位表示 MAC 控制器的 MMC 模块发生了中断事件。软件必须读 MAC 控制器的相应寄存器，找到中断来源并清除，才能清除该位。该位置 1 时，如果使能

位域	名称	描述
		了相应中断，则产生中断。 0：未发生 MMC 中断事件。 1：发生了 MMC 中断事件。
26	Reserved	保留，必须保持复位值。
25:23	EB[2:0]	错误位状态。 当 ETH_DMASTS.FBI = 1 时，这些位将对 AHB 总线上的总线响应错误进行错误类型解析，这些位不会触发中断。 EB[0]: 0: RxDMA 传输数据期间出错。 1: TxDMA 传输数据期间出错。 EB[1]: 0: 写传输期间出错。 1: 读传输期间出错。 EB[2]: 0: 访问数据缓存区期间出错。 1: 访问描述符期间出错。
22:20	TPS[2:0]	发送流程状态。 这些位表示 TxDMA 的状态。 000: 停止，接收到复位或者停止发送命令。 001: 运行，正在获取发送描述符。 010: 运行，正在等待状态信息。 011: 运行，正在读取内存中的数据并存入 TxFIFO。 100, 101: 保留。 110: 暂停，发送描述符不可用或发送缓存区数据下溢。 111: 运行，正在关闭发送描述符。
19:17	RPS[2:0]	接收流程状态。 这些位表示 RxDMA 的状态。 000: 停止，接收到复位或者停止接收命令。 001: 运行，正在获取接收描述符。 010: 保留。 011: 运行，正在等待接收数据包。 100: 暂停，接收描述符不可用。 101: 运行，正在关闭接收描述符。 110: 保留。 111: 运行，正在把接收到的数据包从 Rx FIFO 转发到内存中。
16	NIS	正常中断汇总。 在 ETH_DMAINTE 寄存器使能了相应中断的情况下，正常中断汇总位是下列位取值的逻辑或： <ul style="list-style-type: none"> ■ ETH_DMASTS [0]: 发送中断 ■ ETH_DMASTS [2]: 发送缓存不可用 ■ ETH_DMASTS [6]: 接收中断 ■ ETH_DMASTS [14]: 早接收中断 只有未被屏蔽的中断才会影响到本位。

位域	名称	描述
		该位的取值和以上位绑定，置 1 后，只有把造成该位置 1 的位清 0（写 1），才能把该位清 0。
15	AIS	<p>异常中断汇总。</p> <p>在 ETH_DMAINTEEN 寄存器使能了相应中断的情况下，异常中断汇总位是下列位取值的逻辑或：</p> <ul style="list-style-type: none"> ■ ETH_DMASTS [1]: 发送流程停止 ■ ETH_DMASTS [3]: 发送 Jabber 超时 ■ ETH_DMASTS [4]: Rx FIFO 上溢 ■ ETH_DMASTS [5]: 发送数据下溢 ■ ETH_DMASTS [7]: 接收缓存区不可用 ■ ETH_DMASTS [8]: 接收流程停止 ■ ETH_DMASTS [9]: 接收看门狗超时 ■ ETH_DMASTS [10]: 早发送中断 ■ ETH_DMASTS [13]: 总线致命错误 <p>只有未被屏蔽的中断才会影响到本位。</p> <p>该位的取值和以上位绑定，置 1 后，只有把造成该位置 1 的位清 0（写 1），才能把该位清 0。</p>
14	ERI	<p>早接收状态。</p> <p>在 ETH_DMASTS.RI 置 1 时，该位自动清 0。</p> <p>0: 未接收到帧数据。</p> <p>1: 接收到的数据帧已由 DMA 填满了第一个缓存区。</p>
13	FBI	<p>总线致命错误状态。</p> <p>该位指示发生了一个 AHB 接口响应错误，其错误类型可以由 ETH_DMASTS.EB[2:0] 这些位进行解释。</p> <p>0: 未发生总线错误。</p> <p>1: 发生了总线错误，相应的 DMA 控制器关闭全部总线访问。</p>
12:11	Reserved	保留，必须保持复位值。
10	ETI	<p>早发送状态。</p> <p>0: 发送的帧还未完全传输到 Tx FIFO 中。</p> <p>1: 发送的帧已经完全传输到 Tx FIFO 中。</p>
9	RWT	<p>接收看门狗超时状态。</p> <p>0: 接收到的帧长度小于 2048 字节。</p> <p>1: 接收到的帧长度超过 2048 字节。</p>
8	RPSS	<p>接收流程停止状态。</p> <p>0: 接收流程未停止。</p> <p>1: 接收流程进入停止状态。</p>
7	RU	<p>接收缓存区不可用状态。</p> <p>该位置 1 时，表示下一个接收描述符不被 Rx DMA 占有，Rx DMA 会进入暂停（挂起）状态。此情形下，需要重新配置描述符的所属关系并发起接收查询请求命令来退出暂停（挂起）状态。可参考 25.4.8.4.5 章节相关步骤的描述。</p> <p>0: 下一个接收描述符的 RDES0.OWN 为 1。</p> <p>1: 下一个接收描述符的 RDES0.OWN 为 0。</p>
6	RI	接收状态。

位域	名称	描述
		0: 帧接收未完成。 1: 帧接收已完成。
5	UNF	发送数据下溢状态。 该位置 1 时，发送进入暂停（挂起）状态，并设置 TDES0.UF 为 1。 0: 未发生发送数据下溢错误。 1: 发送帧的过程中发生数据下溢错误。
4	OVF	接收上溢状态。 该位置 1 时，如果已有一部分帧数据转发到内存，则设置 RDES0.OE 为 1。 0: 未发生接收数据上溢错误。 1: 接收帧的过程中发生数据上溢错误。
3	TJT	发送 Jabber 超时状态。 该位置 1 时，中止发送进程并进入停止状态，同时设置 TDES0.JT 为 1。 0: 未发生发送 Jabber 定时器超时事件。 1: 发送 Jabber 定时器超时。
2	TU	发送缓存区不可用状态。 该位置 1 时，表示下一个发送描述符不被 TxDMA 占有，TxDMA 会进入暂停（挂起）状态。此情形下，需要重新配置描述符的所属关系并发起发送查询请求命令来退出暂停（挂起）状态。可参考 25.4.8.3.5 章节相关步骤的描述。 0: 下一个发送描述符的 TDES0.OWN 为 1。 1: 下一个发送描述符的 TDES0.OWN 为 0。
1	TPSS	发送流程停止状态。 0: 发送流程未停止。 1: 发送流程进入停止状态。
0	TI	发送状态。 该位置 1 时，首个描述符的 TDES0.OWN 也已经置 1. 0: 帧发送尚未完成。 1: 帧发送已经完成。

25.5.48 ETH DMA 工作模式寄存器 (ETH_DMAOPMOD)

地址偏移: 0x1018

复位值: 0x0000 0000

该寄存器设定了接收和发送的工作模式和命令。在整个 DMA 的初始化流程中，应当最后写该寄存器。

31	Reserved				27	26	25	24	23	22	21	20	19	17	16
					DT	RSF	DFF		Reserved		TSF	FTF		Reserved	TTC[2:0]
15	14	13	12		rw	rw	rw	8	7	6	rw	rw	3	2	1
TTC[2:0]	ST			Reserved					FEF	FUF	Reserved	RTC[1:0]	OSF	SR	Reserved
rw	rw								rw	rw		rw	rw	rw	rw

位域	名称	描述
31:27	Reserved	保留，必须保持复位值。
26	DT	不丢弃 TCP/IP 校验和错误帧。

位域	名称	描述
		0: 如果 ETH_DMAOPMOD.FEF 为 0, MAC 丢弃所有有错的帧。 1: 如果接收到的帧仅有校验和错误, MAC 不会丢弃该帧。
25	RSF	接收存储转发。 0: RxFIFO 工作在直通（阈值）模式, 转发阈值由 ETH_DMAOPMOD.RTC[1:0]这些位决定。 1: RxFIFO 工作在存储转发模式, 只有在帧完整写入 RxFIFO 后, RxDMA 才会把它转发给应用程序, 此时 ETH_DMAOPMOD.RTC 的取值会被忽略。
24	DFF	不清空接收帧。 0: 当接收描述符不可用（或者接收缓存区不可用）时, RxDMA 就清空 RxFIFO 里的接收帧。 1: RxDMA 不清空接收帧, 即使接收描述符不可用（或者接收缓存区不可用）。
23:22	Reserved	保留, 必须保持复位值。
21	TSF	发送存储转发。 0: TxFIFO 工作在直通（阈值）模式, 发送阈值由 ETH_DMAOPMOD.TTC[2:0]这些位决定。 1: TxFIFO 工作在存储转发模式, 只有在帧完整写入 TxFIFO 后, MAC 才会将其发送出去, 此时 ETH_DMAOPMOD.TTC 的取值会被忽略。 注意: 在发送处于停止状态时, 才可以修改该位。
20	FTF	清空 TxFIFO。 该位置 1 时, TxFIFO 控制逻辑电路被复位到初始状态, 这样 TxFIFO 里所有的数据被清空/丢失。在清空操作完成后该位被自动清 0。在该位为 0 之前, 不允许写该寄存器。
19:17	Reserved	保留, 必须保持复位值。
16:14	TTC[2:0]	发送阈值控制。 这些位控制直通（阈值）模式下 TxFIFO 的阈值。 当 ETH_DMAOPMOD.TSF = 1 时, 忽略这些位。 000: 64 001: 128 010: 192 011: 256 100: 40 101: 32 110: 24 111: 16
13	ST	开始/停止发送。 0: 在发送完当前帧或 TxDMA 进入暂停（挂起）状态后, 发送进程进入停止模式。保存发送描述符队列里下一发送描述符的位置, 在传输重新开始时, 这个描述符就变成当前描述符。 1 : 发送进程进入运行状态。TxDMA 获取当前发送描述符, 发送帧描述符可从 ETH_DMATXDLADDR 基址获取, 若上一次发送为停止状态, 则也可从发送描述符队列的指针位置获取。如果当前描述符的 TDES0.OWN 为 0, 则 TxDMA 进入暂停（挂起）状态, 并设置 ETH_DMASTS.TU 为 1。

位域	名称	描述
		注意: 如果在未设置完其他 DMA 寄存器的情况下就置位该位，则会引起不可预料的后果。
12:8	Reserved	保留，必须保持复位值。
7	FEF	<p>转发错误帧。</p> <p>0: 当 RxFIFO 工作于直通（阈值）模式时，如果在将 RxFIFO 数据转发到内存之前检测到了帧错误（CRC 错误、冲突错误、校验和错误、看门狗超时、上溢），则 RxFIFO 会丢弃这个错误的帧。但如果在将 RxFIFO 数据转发到内存之后才检测到了帧错误，则就不会丢弃该帧。当 RxFIFO 工作于存储转发模式时，在接收过程中一旦检测到帧错误，就会丢弃该帧。</p> <p>1: 除了过短帧外的所有帧都会转发给 DMA。</p>
6	FUF	<p>转发长度不够的“好”帧。</p> <p>0: RxFIFO 丢弃所有长度小于 64 字节的帧，但如果在检测到过短帧之前，帧已开始转发给应用程序（例如在直通（阈值）模式下，帧长小于接收阈值），则将转发整个帧。</p> <p>1: RxFIFO 把长度不够的“好”帧（帧长小于 64 字节但没有错误）转发给应用程序。</p>
5	Reserved	保留，必须保持复位值。
4:3	RTC[1:0]	<p>接收阈值控制。</p> <p>这些位控制直通（阈值）模式下 RxFIFO 的阈值。</p> <p>00: 64 01: 32 10: 96 11: 128</p> <p>注意: 只有在 ETH_DMAOPMOD.RSF 为 0 时，这些位才有效。</p>
2	OSF	<p>操作第二帧。</p> <p>0: TxDMA 仅在接收到前一个帧的发送状态信息后，才开始发送下一个帧的数据。</p> <p>1: TxDMA 在前一帧数据全部存入到 Tx FIFO 之后，在接收到前一个帧的发送状态信息前，就开始发送下一个帧的数据。</p>
1	SR	<p>开始/停止接收。</p> <p>0: 在转发完当前接收帧后，RxDMA 进入停止模式。保存接收描述符队列里下一接收描述符的位置，在传输重新开始时，这个描述符就变成当前描述符。只有在接收运行时或接收暂停时，可“停止接收”。</p> <p>1: 把接收进程进入运行状态，DMA 检查接收描述符队列的当前位置，用来处理下一个收到的帧。接收帧描述符可从 ETH_DMARXDLADDR 基址获取，若上一次接收为停止状态，则也可从接收描述符队列的指针位置获取。如果当前描述符的 RDES0.OWN 为 0，那么接收进程进入暂停（挂起）状态，并设置 ETH_DMASTS.RU 位为 1。只有在接收停止时或接收暂停时，“开始接收”命令才有效。</p> <p>注意: 如果在未设置完所有其他 DMA 寄存器之前就发出“开始接收”命令，则会引起不可预料的后果。</p>
0	Reserved	保留，必须保持复位值。

25.5.49 ETH DMA 中断使能寄存器 (ETH_DMAINTEN)

地址偏移: 0x101C

复位值: 0x0000 0000

对于以太网中断，只有在 ETH_DMASTS.TTI 或 ETH_DMASTS.PMTI 为 1，并且相应中断没有被屏蔽时，或者在 ETH_DMASTS.NIS 或 ETH_DMASTS.AIS 置 1，且相应中断被使能时，中断才会发生。

Reserved															17	16
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	rw 0	
AISE	ERIE	FBIE	Reserved		ETIE	RWTE	RPSE	RUE	RIE	UNFE	OVFE	TJTE	TUE	TPSE	TIE	
rw	rw	rw			rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	

位域	名称	描述
31:17	Reserved	保留，必须保持复位值。
16	NISE	<p>正常中断汇总使能。 0: 屏蔽正常中断。 1: 使能正常中断。 该位使能下列位：</p> <ul style="list-style-type: none"> ■ ETH_DMASTS [0]: 发送中断 ■ ETH_DMASTS [2]: 发送缓存区不可用 ■ ETH_DMASTS [6]: 接收中断 ■ ETH_DMASTS [14]: 提前接收中断
15	AISE	<p>异常中断汇总使能。 0: 屏蔽异常中断。 1: 使能异常中断。 该位使能下列位：</p> <ul style="list-style-type: none"> ■ ETH_DMASTS [1]: 发送流程停止 ■ ETH_DMASTS [3]: 发送 Jabber 超时 ■ ETH_DMASTS [4]: 接收上溢 ■ ETH_DMASTS [5]: 发送下溢 ■ ETH_DMASTS [7]: 接收缓存区不可用 ■ ETH_DMASTS [8]: 接收流程停止 ■ ETH_DMASTS [9]: 接收看门狗超时 ■ ETH_DMASTS [10]: 提前发送中断 ■ ETH_DMASTS [13]: 总线致命错误
14	ERIE	<p>早接收中断使能。 0: 屏蔽早接收中断。 1: ETH_DMAINTEN.NISE 为 1 时，使能早接收中断。</p>
13	FBIE	<p>总线致命错误中断使能。 0: 屏蔽总线致命错误中断。 1: ETH_DMAINTEN.AISE 为 1 时，使能总线致命错误中断。</p>
12:11	Reserved	保留，必须保持复位值。

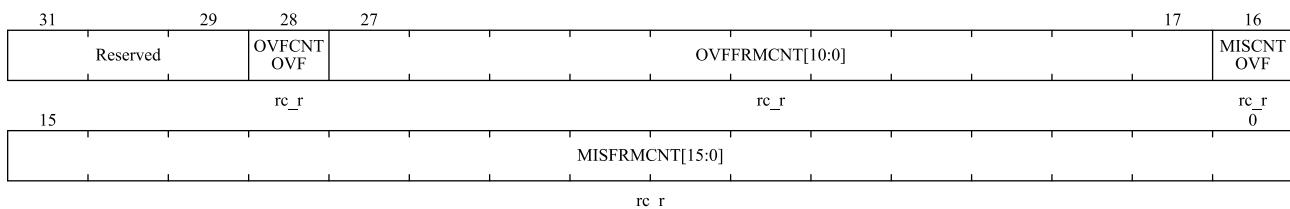
位域	名称	描述
10	ETIE	早发送中断使能。 0: 屏蔽早发送中断。 1: ETH_DMAINTEN.AISE 为 1 时, 使能早发送中断。
9	RWTE	接收看门狗超时中断使能。 0: 屏蔽接收看门狗超时中断。 1: ETH_DMAINTEN.AISE 为 1 时, 使能接收看门狗超时中断。
8	RPSE	接收流程停止中断使能。 0: 屏蔽接收流程停止中断。 1: ETH_DMAINTEN.AISE 为 1 时, 使能接收流程停止中断。
7	RUE	接收缓存区不可用中断使能。 0: 屏蔽接收缓存区不可用中断。 1: ETH_DMAINTEN.AISE 为 1 时, 使能接收缓存区不可用中断。
6	RIE	接收中断使能。 0: 屏蔽接收中断。 1: ETH_DMAINTEN.NISE 为 1 时, 使能接收中断。
5	UNFE	发送下溢中断使能。 0: 屏蔽发送下溢中断。 1: ETH_DMAINTEN.AISE 为 1 时, 使能发送下溢中断。
4	OVFE	接收上溢中断使能。 0: 屏蔽接收上溢中断。 1: ETH_DMAINTEN.AISE 为 1 时, 使能接收上溢中断。
3	TJTE	发送 Jabber 超时中断使能。 0: 屏蔽发送 Jabber 超时中断。 1: ETH_DMAINTEN.AISE 为 1 时, 使能发送 Jabber 超时中断。
2	TUE	发送缓存区不可用中断使能。 0: 屏蔽发送缓存区不可用中断。 1: ETH_DMAINTEN.NISE 为 1 时, 使能发送缓存区不可用中断。
1	TPSE	发送流程停止中断使能 0: 屏蔽发送流程停止中断。 1: ETH_DMAINTEN.AISE 为 1 时, 使能发送流程停止中断。
0	TIE	发送中断使能。 0: 屏蔽发送中断。 1: ETH_DMAINTEN.NISE 为 1 时, 使能发送中断。

25.5.50 ETH DMA 丢失帧和缓存区上溢计数器寄存器(ETH_DMAMFBOCNT)

地址偏移: 0x1020

复位值: 0x0000 0000

以太网 DMA 有 2 个计数器, 用来统计接收过程中丢失帧的数目。可通过读本寄存器来获取计数器的当前值。这个计数器通常用作故障诊断。



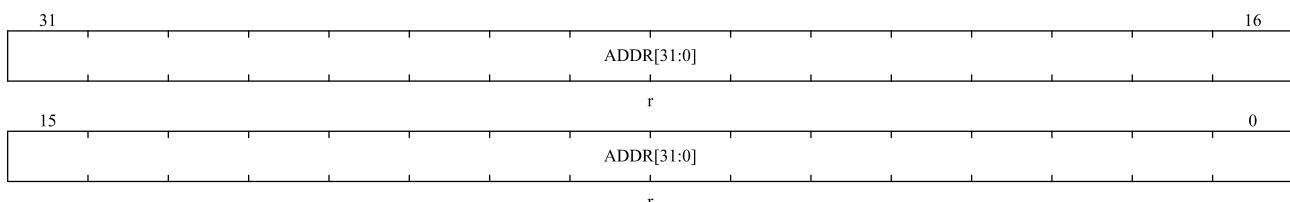
位域	名称	描述
31:29	Reserved	保留，必须保持复位值。
28	OVFCNTTOVF	FIFO 上溢计数器上溢位。
27:17	OVFFRMCNT[10:0]	应用程序丢失的帧。 这些位指示了 RxFIFO 丢失的帧数目。
16	MISCNTTOVF	丢失帧计数器上溢位。
15:0	MISFRMCNT[15:0]	控制器丢失的帧。 这些位表示了由于 MCU 的接收缓存区不可用而导致 RxDMA 丢失的帧的数目。每当 DMA 清空一个输入帧时，这个计数器加 1。

25.5.51 ETH DMA 当前发送描述符地址寄存器 (ETH_DMACHTXDESC)

地址偏移: 0x1048

复位值: 0x0000 0000

该寄存器指向 TxDMA 正在读取的发送描述符起始地址 (基地址)。



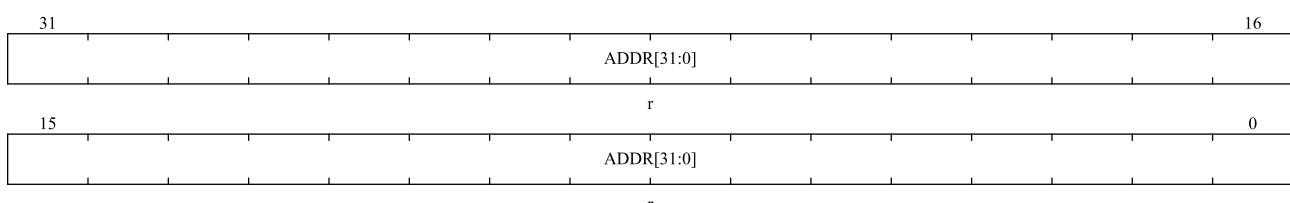
位域	名称	描述
31:0	ADDR[31:0]	发送描述符地址指针。 这些位在复位时清 0，由 TxDMA 在操作过程中自动更新。

25.5.52 ETH DMA 当前接收描述符地址寄存器 (ETH_DMACHRXDESC)

地址偏移: 0x104C

复位值: 0x0000 0000

该寄存器指向 RxDMA 正在读取的接收描述符起始地址 (基地址)。



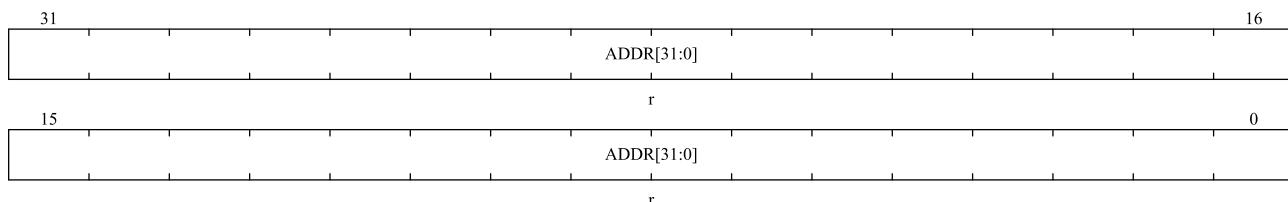
位域	名称	描述
31:0	ADDR[31:0]	接收描述符地址指针。 这些位在复位时清 0，由 RxDMA 在操作过程中自动更新。

25.5.53 ETH DMA 当前发送缓存区地址寄存器 (ETH_DMACHTXBADDR)

地址偏移: 0x1050

复位值: 0x0000 0000

该寄存器指向 TxDMA 正在读取的发送缓存区的地址。



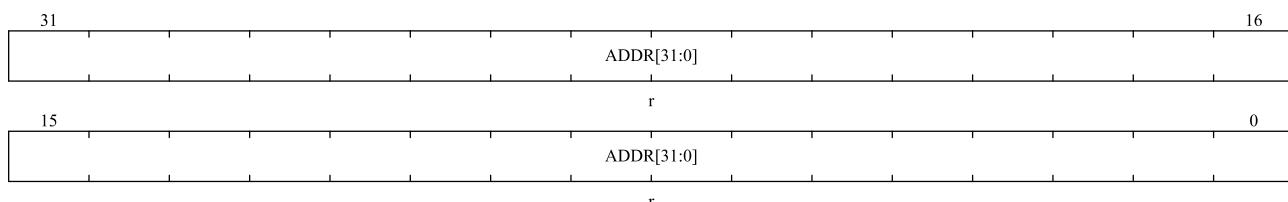
位域	名称	描述
31:0	ADDR[31:0]	发送缓存区地址指针。 这些位在复位时清 0，由 TxDMA 在工作过程中更新。

25.5.54 ETH DMA 当前接收缓存区地址寄存器 (ETH_DMACHRXBADDR)

地址偏移: 0x1054

复位值: 0x0000 0000

该寄存器指向 RxDMA 正在读取的接收缓存区的地址。



位域	名称	描述
31:0	ADDR[31:0]	接收缓存区地址指针。 这些位在复位时清 0，由 RxDMA 在工作过程中更新。

26 比较器 (COMP)

COMP 模块用于比较两个输入模拟电压的大小，并根据比较结果输出高/低电平。当“INP”输入端电压高于“INM”输入端电压时，比较器输出为高电平，当“INP”输入端电压低于“INM”输入端电压时，比较器输出为低电平。

26.1 COMP 系统连接框图

COMP 模块最多支持 7 个独立比较器，统一挂接在 APB1 总线上。

图 26-1 比较器 1 和比较器 2 系统连接图

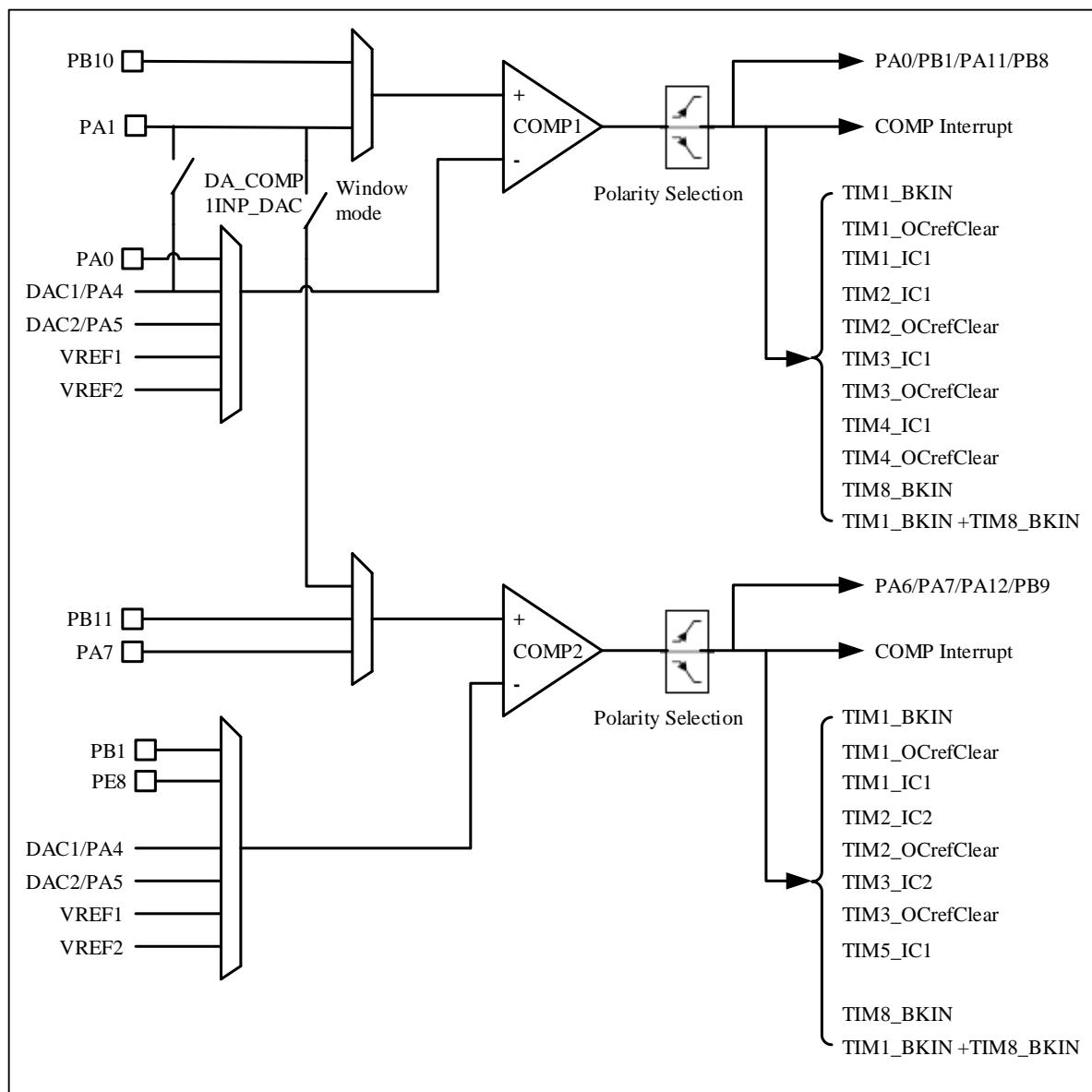


图 26-2 比较器 3 和比较器 4 系统连接图

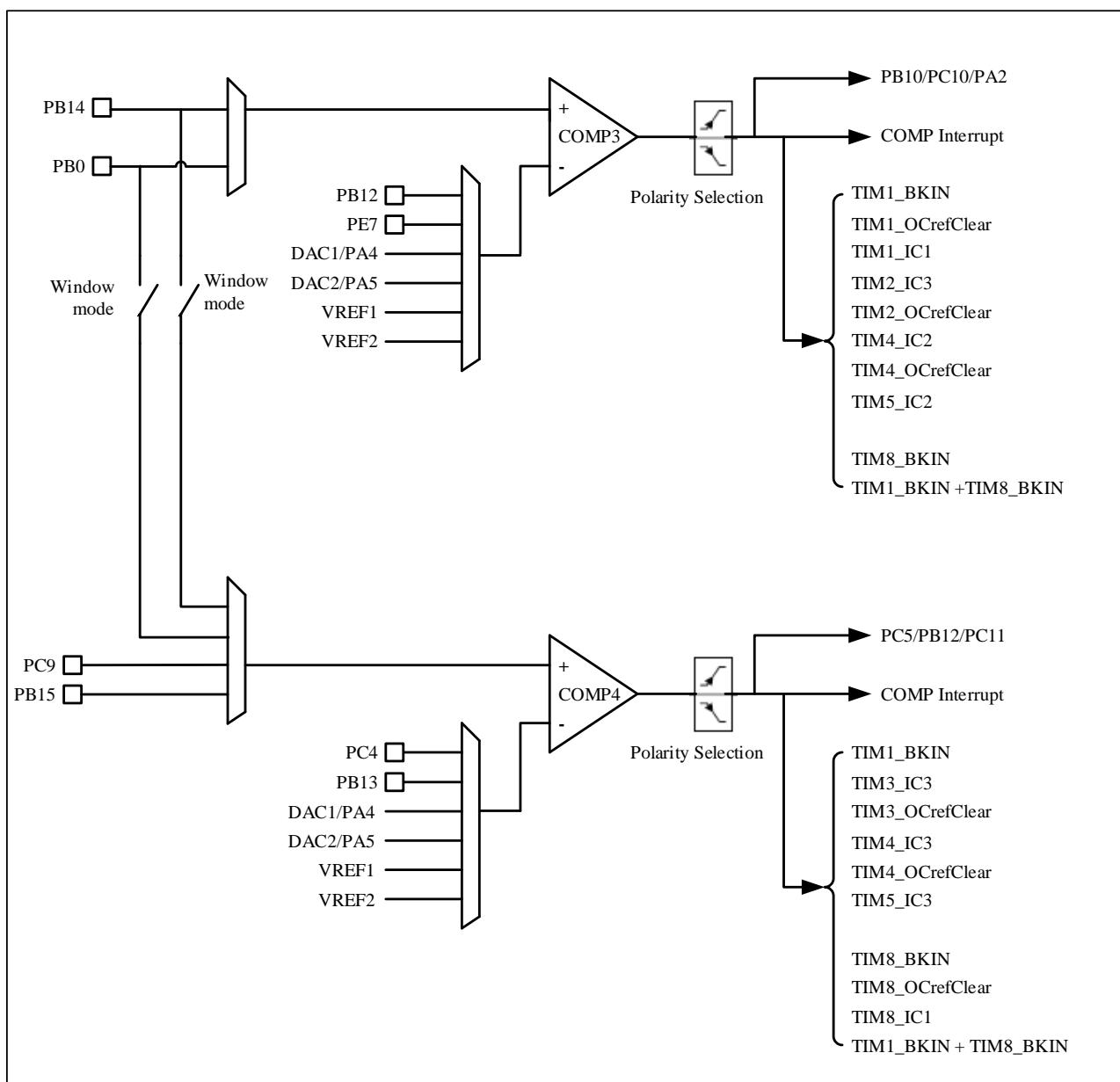
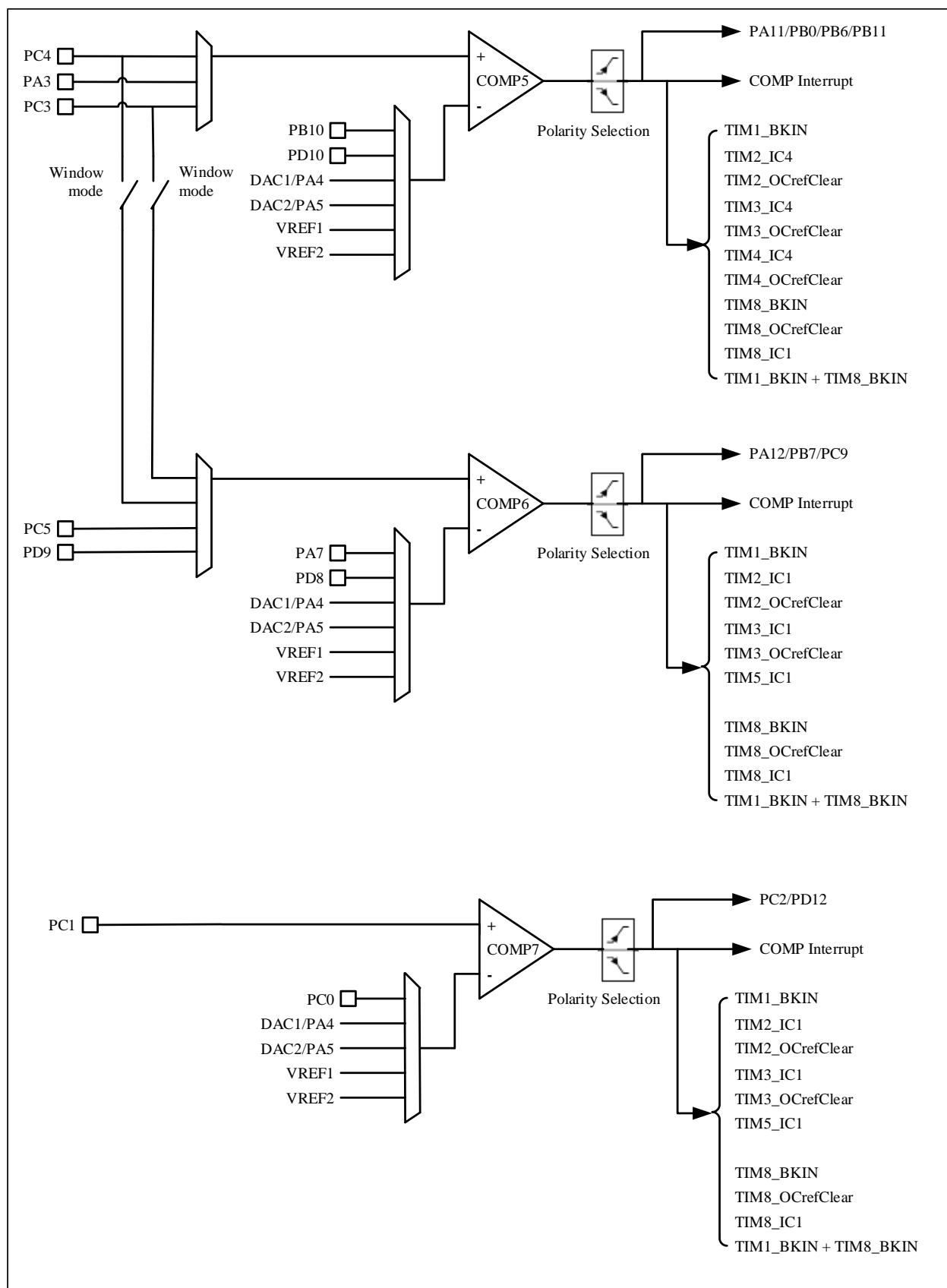


图 26-3 比较器 5, 比较器 6, 比较器 7 系统连接图



26.2 COMP 特性

- 最多 7 个独立的比较器
- 内置两个 64 级可编程的比较电压参考源 VREF1, VREF2
- 支持滤波时钟, 滤波复位
- 输出极性可配置高、低
- 迟滞配置可配置无、低、中、高
- 比较结果可输出到 I/O 端口或触发定时器, 用于捕获事件、OCREF_CLR 事件、刹车事件、产生中断
- 输入通道可复选 I/O 端口、DAC 的通道输出、VREF1、VREF2
- 可配只读或读写, 在锁定的情况下需要复位才能解锁
- 支持消隐 (Blanking), 可配置产生 Blanking 的消隐源
- COMP1/COMP2、COMP3/COMP4、COMP5/COMP6 可以组成窗口比较器
- 可通过产生中断的方式将系统从 Sleep 模式唤醒
- 可配置滤波窗口大小
- 可配置滤波阈值大小
- 可配置用于滤波的采样频率

26.3 COMP 配置流程

完整的配置项包括如下所示, 某些项目如果采用系统默认配置, 跳过相应的配置项。

- 可配置的迟滞等级 COMPx_CTRL.HYST[1:0]。
- 配置输出极性 COMPx_CTRL.POL。
- 配置输入选择, 比较器正极 COMPx_CTRL.INPSEL[3:0], 负极 COMPx_CTRL.INMSEL [2:0]。
- 配置输出选择 COMPx_CTRL.OUTSEL[3:0]。
- 配置消隐源 COMPx_CTRL.BLKING[2:0]。
- 配置比较器窗口模式 COMP_WINMODE.CMP12MD。
- 配置滤波器采样窗口 COMPx_FILC.SAMPW[4:0]。
- 配置阈值 COMPx_FILC.THRESH[4:0] (阈值应当大于 COMPx_FILC.SAMPW[4:0]/2)。
- 配置滤波器采样频率 (对于计时器应用, 采样频率应当大于 5MHz。)
- 打开滤波器使能 COMPx_FILC.FILEN。
- 打开比较器使能 COMPx_CTRL.EN。

注意:对于以上步骤, 需先打开滤波器使能, 再打开比较器使能, 比较器使能需要在滤波 (若启用) 配置、使能完成后启用, 此外在比较器控制寄存器锁定的情况下, 只有通过复位才能取消锁定。

26.4 COMP 工作模式

26.4.1 窗口模式

比较器可以组合成 3 个窗口比较器，如下：

- 比较器 1 和比较器 2 共享 PA1 形成窗口比较器
- 比较器 3 和比较器 4 共享 PB14 或 PB0 形成窗口比较器
- 比较器 5 和比较器 6 共享 PC3 或 PC4 形成窗口比较器

26.4.2 独立比较器

7 个比较器可独立配置，完成比较器功能。比较器的输出可以输出到 IO 端口，每一个比较器都有不同的重映射端口，通过配置 COMPx_CTRL.OUTSEL[3:0]可以选择比较器的输出，连接到相应的端口。

比较器输出，支持触发事件，比如可以配置成定时器 1，定时器 8 的刹车功能。

注：具体配置参考比较器互联关系

26.5 比较器互联关系

比较器输出端口的互联，可以参考 AFIO 寄存器章节，定义了比较器 OUT 重映射的值，具体配置如下表所示。

OUT	COMP1[1:0]	COMP2[3:2]	COMP3[5:4]	COMP4[7:6]	COMP5[9:8]	COMP6[11:10]	COMP7[12]
00	PA0	PA6	PB10	PC5	PB0	PC9	PC2
01	PB1	PA7	PC10	PB12	PB11	PA12	PD12
10	PA11	PA12	Not Used	Not Used	PB6	Not Used	--
11	PB8	PB9	PA2	PC11	PA11	PB7	--

注意：

1. COMP7 只有 1 位控制输出重映射
2. COMP1、COMP2、COMP5、COMP7 使能后，COMP1_OUT、COMP2_OUT、COMP5_OUT、COMP7_OUT 对应的 IO 端口，不能配置成其他外设的输出模式，可以是其他外设的输入模式、GPIO 的输入、GPIO 的输出。

比较器 INP 引脚有如下配置

INPSEL	COMP1	COMP2	COMP3	COMP4	COMP5	COMP6	COMP7
000	PA1	PA1	PB14	PB14	PC4	PC4	PC1
001	PB10	PB11	PB0	PB0	PC3	PC3	--
010	--	PA7	--	PC9	PA3	PC5	--
011	--	--	--	PB15	--	PD9	--
100	--	--	--	--	--	--	--
Other	--	--	--	--	--	--	--

比较器 INM 引脚有如下配置

INMSEL	COMP1	COMP2	COMP3	COMP4	COMP5	COMP6	COMP7
000	PA0	PB1	PB12	PC4	PB10	PA7	PC0
001	DAC1/PA4	PE8	PE7	PB13	PD10	PD8	DAC1/PA4
010	DAC2/PA5	DAC1/PA4	DAC1/PA4	DAC1/PA4	DAC1/PA4	DAC1/PA4	DAC2/PA5
011	VREF1	DAC2/PA5	DAC2/PA5	DAC2/PA5	DAC2/PA5	DAC2/PA5	VREF1
100	VREF2	VREF1	VREF1	VREF1	VREF1	VREF1	VREF2
101	--	VREF2	VREF2	VREF2	VREF2	VREF2	--
Other	--	--	--	--	--	--	--

比较器输出 TRIG 的信号有如下互联关系

TRIG	COMP1	COMP2	COMP3	COMP4	COMP5	COMP6	COMP7
0000	NC	NC	NC	NC	NC	NC	NC
0001	TIM1_BKIN	TIM1_BKIN	TIM1_BKIN	TIM1_BKIN	TIM1_BKIN	TIM1_BKIN	TIM1_BKIN
0010	TIM1_IC1	TIM1_IC1	TIM1_IC1	TIM3_IC3	TIM2_IC4	TIM2_IC1	TIM2_IC1
0011	TIM1_OCre fclear	TIM1_OCrefcl ear	TIM1_OCrefcl ear	TIM3_OCrefcl ear	TIM2_OCrefcl ear	TIM2_OCrefcl ear	TIM2_OCrefc lear
0100	TIM2_IC1	TIM2_IC2	TIM2_IC3	TIM4_IC3	TIM3_IC4	TIM3_IC1	TIM3_IC1
0101	TIM2_OCre fclear	TIM2_OCrefcl ear	TIM2_OCrefcl ear	TIM4_OCrefcl ear	TIM3_OCrefcl ear	TIM3_OCrefcl ear	TIM3_OCrefc lear
0110	TIM3_IC1	TIM3_IC2	TIM4_IC2	TIM5_IC3	TIM4_IC4	TIM5_IC1	TIM5_IC1
0111	TIM3_OCre fclear	TIM3_OCrefcl ear	TIM4_OCrefcl ear	--	TIM4_OCrefcl ear	--	--
1000	TIM4_IC1	TIM5_IC1	TIM5_IC2	TIM8_IC1	TIM8_IC1	TIM8_IC1	TIM8_IC1
1001	TIM4_OCre fclear	--	--	TIM8_OCrefcl ear	TIM8_OCrefcl ear	TIM8_OCrefcl ear	TIM8_OCrefc lear
1010	TIM8_BKIN	TIM8_BKIN	TIM8_BKIN	TIM8_BKIN	TIM8_BKIN	TIM8_BKIN	TIM8_BKIN
1011	TIM1_BKIN + TIM8_BKIN	TIM1_BKIN + TIM8_BKIN	TIM1_BKIN + TIM8_BKIN				
Other	--	--	--	--	--	--	--

26.6 中断

COMP 支持中断响应，COMP1, COMP2, COMP3 共享 1 个中断入口，COMP4, COMP5, COMP6 共享 1 个中断入口，COMP7 独占 1 个中断入口。中断产生有如下 2 种情况。

- COMPx_CTRL.POL 极性不反转，中断使能，当 INPSEL > INMSEL 时，COMPx_CTRL.OUT 由硬件置为 1 时即产生比较器中断。
- COMPx_CTRL.POL 极性反转，中断使能，当 INPSEL < INMSEL 时，COMPx_CTRL.OUT 由硬件置为 1 时即产生比较器中断。

26.7 COMP 寄存器

26.7.1 COMP 寄存器总览

表 26-1 COMP 寄存器总览

Offset	Register	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0									
044h	COMP4_FILC											Reserved																														
	Reset Value																																									
048h	COMP4_FILP											Reserved																														
	Reset Value																																									
04Ch																																										
050h	COMP5_CTRL											Reserved																														
	Reset Value																																									
054h	COMP5_FILC											Reserved																														
	Reset Value																																									
058h	COMP5_FILP											Reserved																														
	Reset Value																																									
05Ch																																										
060h	COMP6_CTRL											Reserved																														
	Reset Value																																									
064h	COMP6_FILC											Reserved																														
	Reset Value																																									
068h	COMP6_FILP											Reserved																														
	Reset Value																																									
06Ch																																										
070h	COMP7_CTRL											Reserved																														
	Reset Value																																									
074h	COMP7_FILC											Reserved																														
	Reset Value																																									
078h	COMP7_FILP											Reserved																														
	Reset Value																																									
07Ch																																										
080h	COMP_WINMODE											Reserved																														
	Reset Value																																									

Offset	Register	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	CMP6LK	CMP5LK	CMP4LK	CMP3LK	CMP2LK	CMP1LK	CMP0LN
084h	COMP_LOCK																																	
	Reset Value																																	
088h																																		
08Ch	COMP_INTEN																																	
	Reset Value																																	
090h	COMP_INTSTS																																	
	Reset Value																																	
094h	COMP_VREFSCL																																	
	Reset Value																																	

26.7.2 COMP 控制状态寄存器 (COMPx_CTRL)

比较器 1 的 INPDAC 有效，比较器 2 到比较器 7，INPDAC 位无效。

偏移地址:0x10, 0x20, 0x30, 0x40, 0x50, 0x60, 0x70

复位值:0x0000 0000

31	Reserved												19	18	17	16
15	14	13	12	11	10	7	6	4	3	rw	r	rw	BLKING [2:0]	OUT	INPDAC	
BLKING [2:0]	HYST[1:0]	POL		OUTSEL[3:0]				INPSEL[2:0]			1					
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	1	rw				

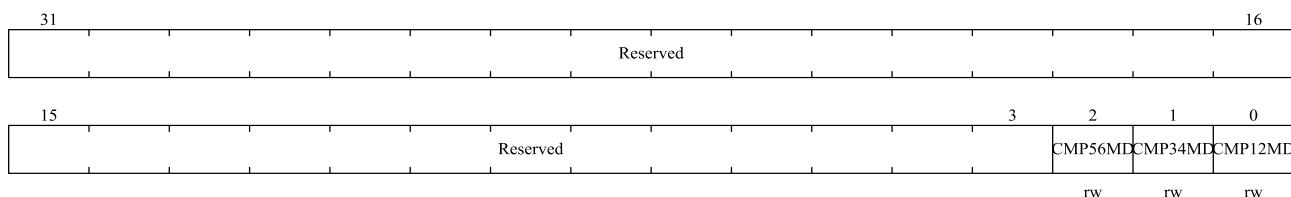
位域	名称	描述
31:19	Reserved	保留，必需保持复位值。
18	INPDAC	比较器 1 非反向输入端的 PA1 和 DAC 输出的连接选择 0: 连接 PA1; 1: 连接 DAC 输出。 注意:仅 COMPI 支持此位。
17	OUT	这个只读位是比较器输出状态 0: 输出低(非反向输入低于反向输入输入); 1: 输出高(非反向输入高于反向输入输入)。
16:14	BLKING[2:0]	这些位选择哪个定时器输出控制比较器输出消隐。. 000: 不消隐; 001: 选择 Tim1 OC5 作为消隐源; 010: 选择 Tim8 OC5 作为消隐源; 其他配置:保留。
13:12	HYST[1:0]	这些位选择比较器的迟滞等级 00: 无迟滞;

位域	名称	描述
		01: 低迟滞; 10: 中等迟滞; 11: 高迟滞。
11	POL	该位用于反转比较器 1 的输出 0: 输出未反转; 1: 输出反转。
10:7	OUTSEL[3:0]	比较器输出连接选择 注意：具体枚举值对应关系参考 26.5 章节“比较器互联关系”。
6:4	INPSEL[2:0]	比较器非反向输入端选择 注意：具体枚举值对应关系参考 26.5 章节“比较器互联关系”。
3:1	INMSEL[2:0]	比较器反向输入端选择 注意：具体枚举值对应关系参考 26.5 章节“比较器互联关系”。
0	EN	该位打开/关闭比较器 0: 比较器已禁用; 1: 比较器已启用。

26.7.3 COMP 窗口比较寄存器 (COMP_WINMODE)

偏移地址:0x80

复位值:0x0000 0000



位域	名称	描述
31:3	Reserved	保留，必需保持复位值。
2	CMP56MD	该位选择窗口模式：比较器的两个非反向输入端共享 PC3 或 PC4 输入 0: 比较器 5 和 6 不在窗口模式; 1: 比较器 5 和 6 用于窗口模式。
1	CMP34MD	该位选择窗口模式：比较器的两个非反向输入端共享 PB14 或 PB0 输入 0: 比较器 3 和 4 不在窗口模式; 1: 比较器 3 和 4 用于窗口模式。
0	CMP12MD	该位选择窗口模式：比较器的两个非反向输入端共享 PA1 输入 0: 比较器 1 和 2 不在窗口模式; 1: 比较器 1 和 2 用于窗口模式。

26.7.4 COMP 锁寄存器 (COMP_LOCK)

偏移地址:0x84

复位值:0x0000 0000

位域	名称	描述
31:7	Reserved	保留，必需保持复位值。
6	CMP7LK	仅写一次，是由软件控制的，只能通过系统重置来清除 设置此位可以将 COMP7_CTRL 设置为只读 0: COMP7_CTRL 是可读写的； 1: COMP7_CTRL 是只读的。
5	CMP6LK	同 CMP7LK 的功能。
4	CMP5LK	同 CMP7LK 的功能。
3	CMP4LK	同 CMP7LK 的功能。
2	CMP3LK	同 CMP7LK 的功能。
1	CMP2LK	同 CMP7LK 的功能。
0	CMP1LK	同 CMP7LK 的功能。

26.7.5 COMP 中断使能寄存器（COMP INTEN）

偏移地址:0x8C

复位值:0x0000 0000

位域	名称	描述
31:7	Reserved	保留，必需保持复位值。
6	CMP7IEN	该位控制 COMP7 的中断启用 0: 禁用； 1: 启用。 <i>注意: COMPx_CTRL.OUT 高电平触发中断。</i>
5	CMP6IEN	同 CMP7IEN 的功能。
4	CMP5IEN	同 CMP7IEN 的功能。
3	CMP4IEN	同 CMP7IEN 的功能。
2	CMP3IEN	同 CMP7IEN 的功能。
1	CMP2IEN	同 CMP7IEN 的功能。
0	CMP1IEN	同 CMP7IEN 的功能。

26.7.6 COMP 中断状态寄存器 (COMP INTSTS)

偏移地址:0x90

复位值:0x0000 0000

31	Reserved								16		
15	Reserved			7	6	5	4	3	2	1	0
					CMP7IS	CMP6IS	CMP5IS	CMP4IS	CMP3IS	CMP2IS	CMP1IS
					rc_w0						

位域	名称	描述
31:7	Reserved	保留, 必需保持复位值。
6	CMP7IS	COMP7 中断状态位, 写 0 清除。
5	CMP6IS	同 CMP7IS 的功能。
4	CMP5IS	同 CMP7IS 的功能。
3	CMP4IS	同 CMP7IS 的功能。
2	CMP3IS	同 CMP7IS 的功能。
1	CMP2IS	同 CMP7IS 的功能。
0	CMP1IS	同 CMP7IS 的功能。

26.7.7 COMP 滤波寄存器 (COMPx_FILC)

偏移地址:0x14, 0x24, 0x34, 0x44, 0x54, 0x64, 0x74

复位值:0x0000 0000

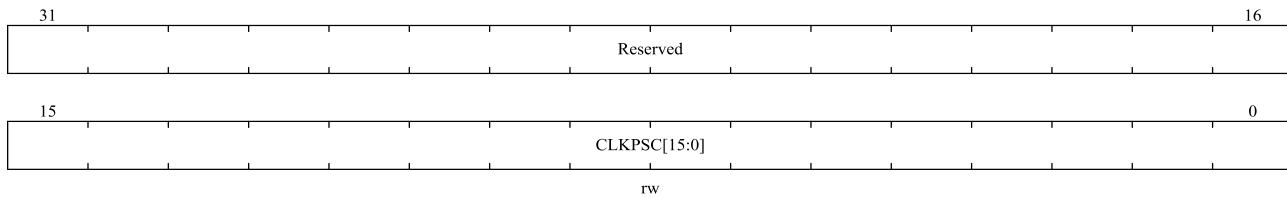
15									16			
15	Reserved			SAMPW[4:0]		6	5	THRESH[4:0]		1	0	
										rw	rw	rw

位域	名称	描述
31:11	Reserved	保留, 必需保持复位值。
31:11	Reserved	保留, 必需保持复位值。
10:6	SAMPW[4:0]	滤波器采样窗口大小, 采样窗口= SAMPW + 1。
5:1	THRESH[4:0]	滤波器门限置, 样本窗口中至少出现相反状态的采样阈值, 才能改变输出状态, 此值要求大于 SAMPW / 2。
0	FILEN	过滤器启用 0: 禁用; 1: 启用。

26.7.8 COMP 滤波分频寄存器 (COMPx_FILP)

偏移地址:0x18, 0x28, 0x38, 0x48, 0x58, 0x68, 0x78

复位值:0x0000 0000

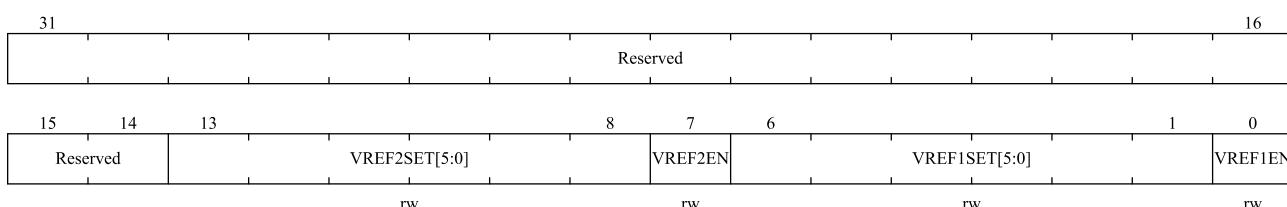


位域	名称	描述
31:16	Reserved	保留, 必需保持复位值。
15:0	CLKPSC[15:0]	低通滤波采样时钟预分频, 系统时钟分频数 = CLKPSC + 1 0: 每 1 个时钟; 1: 每 2 个时钟; 2: 每 3 个时钟; ...

26.7.9 COMP 电压参考寄存器 (COMP_VREFSCL)

偏移地址:0x94

复位值:0x0000 0000



位域	名称	描述
31:14	Reserved	保留, 必需保持复位值。
13:8	VREF2SET[5:0]	VREF2 电压定标器微调值。
7	VREF2EN	VREF2 电压定标器: 0: 禁用; 1: 启用。
6:1	VREF1SET[5:0]	VREF1 电压定标器微调值。
0	VREF1EN	VREF1 电压定标器: 0: 禁用; 1: 启用。

27 运算放大器 (OPAMP)

OPAMP 模块可以灵活配置，适用于独立运算放大器、可编程增益放大器(PGA)，和跟随器等模式应用。内部的运算放大器可以配置为具有不同增益的组合放大器，也可以使用外部电阻进行级联。OPAMP 的输入范围是 0V 到 VDDA，输出范围是 0.1V 到 VDDA-0.1V。

27.1 OPAMP 特性

- 4 个独立配置运放
- 支持轨到轨输入，输入范围是 0V 到 VDDA，输出范围是 0.1V 到 VDDA-0.1V 可编程增益
- OPAMP 通过外部电阻连接可配置为仪表放大器
- 多种工作模式可配置：
 - ◆ 独立运放模式
 - ◆ 跟随模式
 - ◆ 可编程增益放大模式
 - ◆ 两个运放的差分运放
- 可编程增益设置为 2X、4X、8X、16X、32X
- 增益带宽：4MHz
- 支持 TIM1_CC6 对 OPAMP1 和 OPAMP2 输入 PIN 的自动切换，TIM8_CC6 对 OPAMP3 和 OPAMP4 的输入 PIN 自动切换
- 支持独立写保护

27.1.1 OPAMP 功能描述

四个 OPAMP 通过寄存器选择可以配置为各种不同的 PGA 模式，也可以配置为用户使用外部元件的 OPAMP 功能。OPAMP 的输出可以作为 ADC 的通道输入，四个 OPAMP 输出连接到 ADC 的模拟通道如下。

OPAMP1 的输出连接到 ADC1 的模拟输入通道 3

OPAMP2 的输出连接到 ADC2 的模拟输入通道 3

OPAMP3 的输出连接到 ADC3 的模拟输入通道 1

OPAMP4 的输出连接到 ADC4 的模拟输入通道 3

图 27-1 OPAMP1 和 OPAMP2 连接图框图

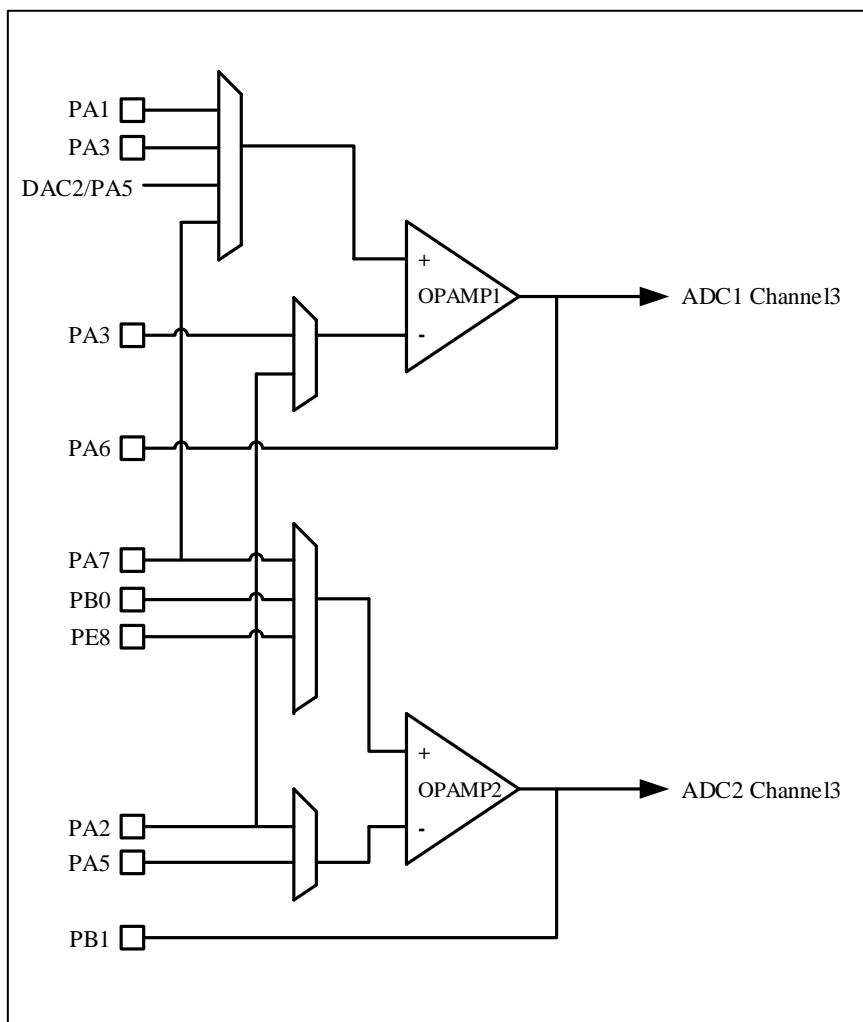
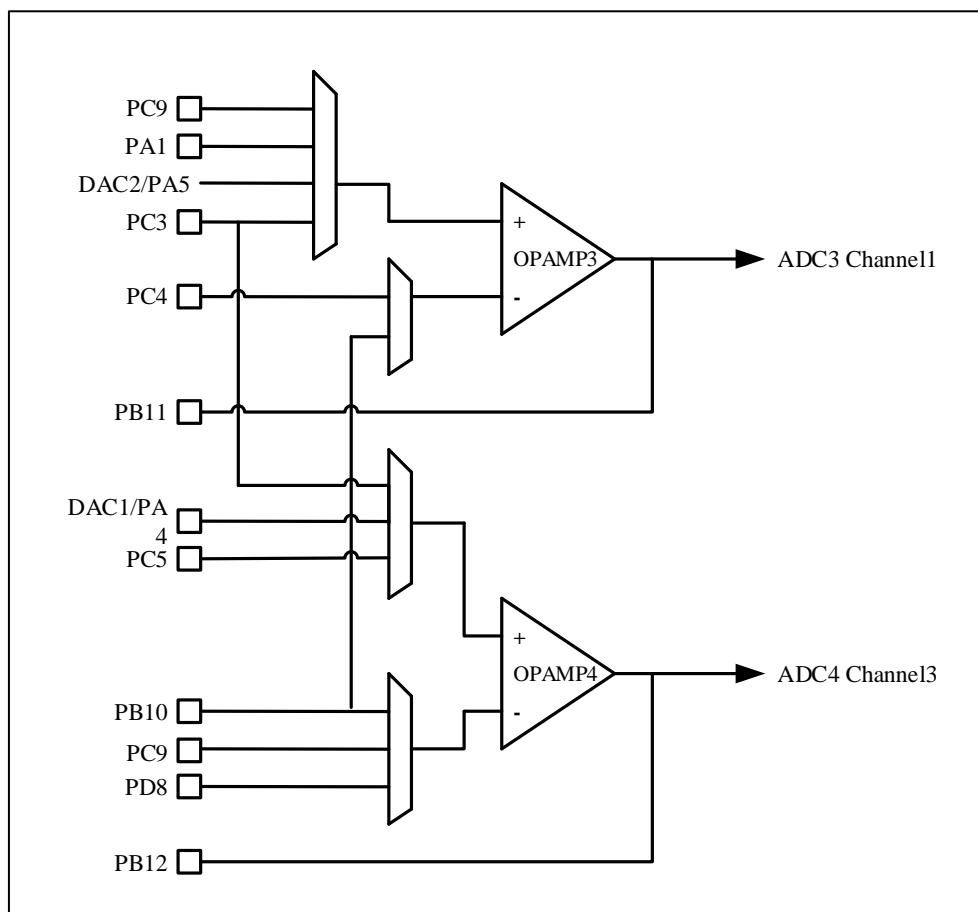


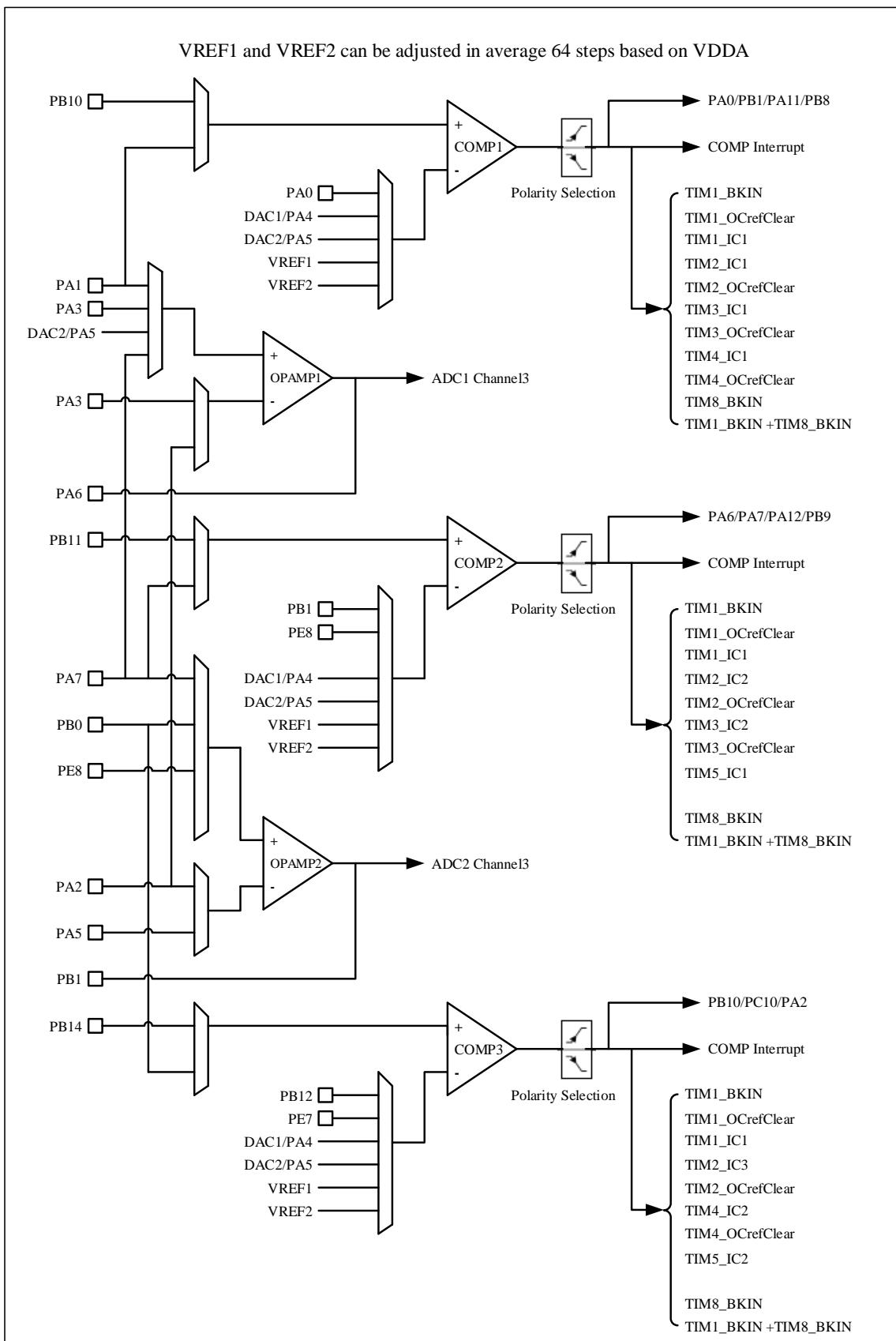
图 27-2 OPAMP3 和 OPAMP4 连接图框图



27.1.2 OPAMP 与 COMP 的内部的连接

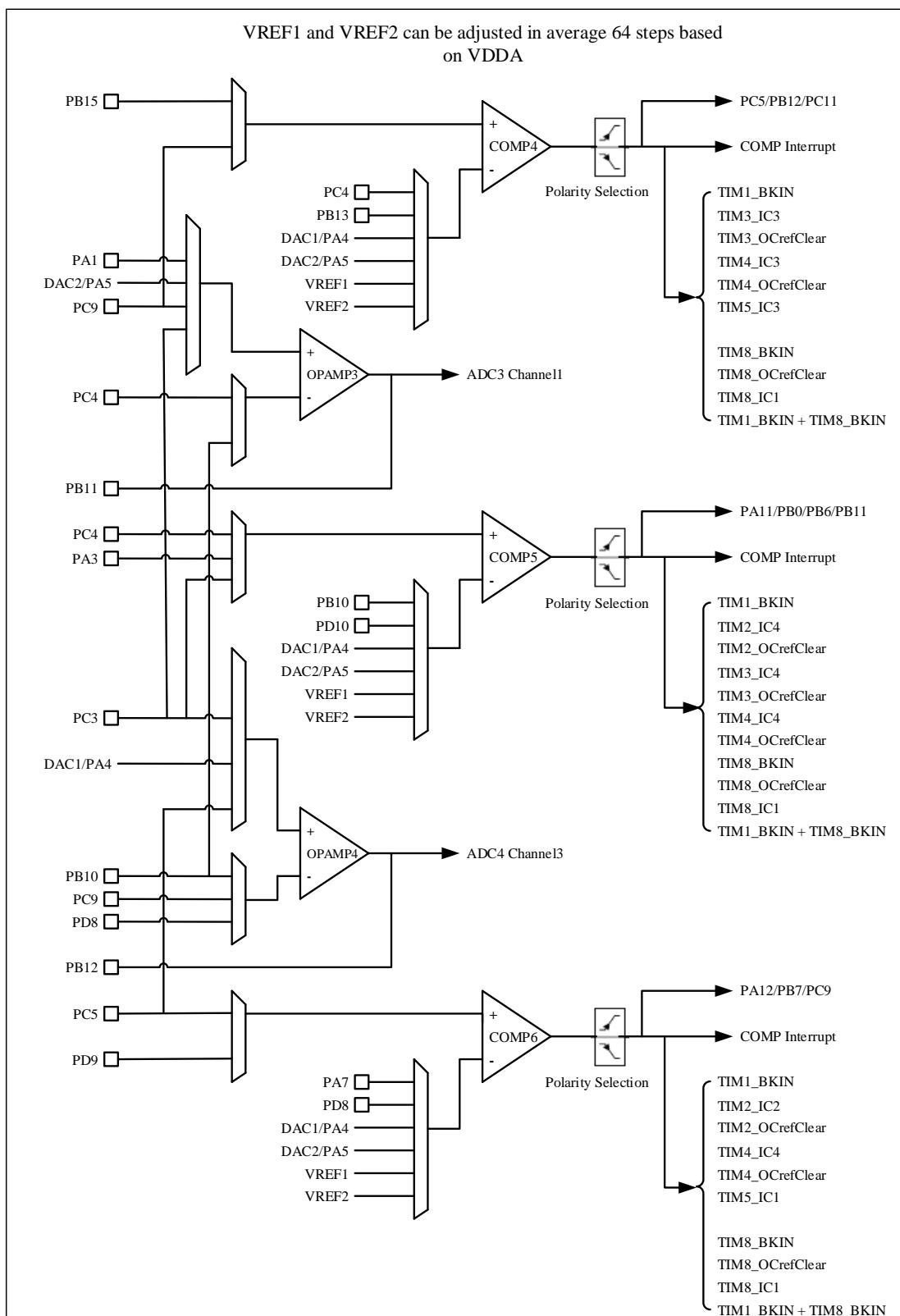
OPAMP1、OPAMP2、COMP1、COMP2、COMP3、ADC1 和 ADC2 构成一组模拟联动应用，其拓扑关系如下：

图 27-3 模拟模块联动关系 1



OPAMP3、OPAMP4、COMP4、COMP5、COMP6、ADC3 和 ADC4 构成一组模拟联动应用，其拓扑关系如下：

图 27-4 模拟模块联动关系 2



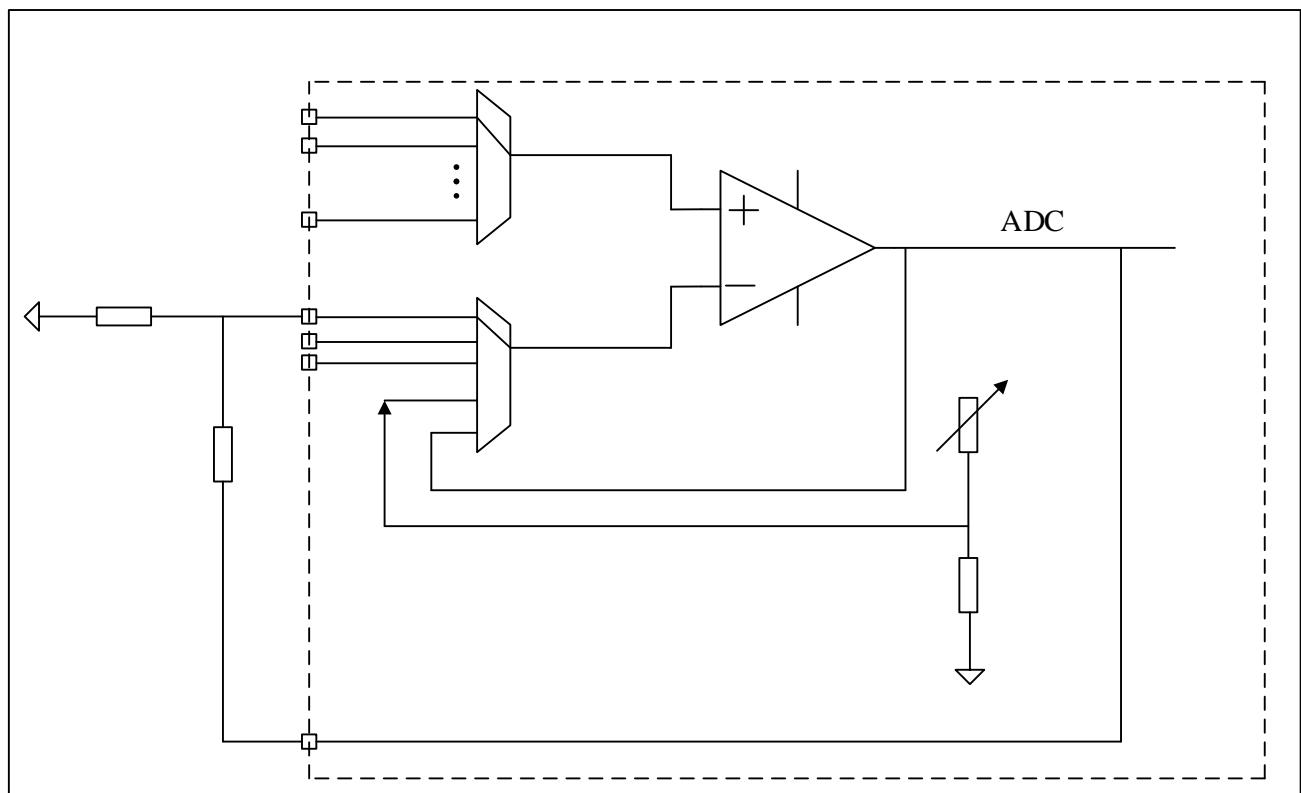
27.2 OPAMP 工作模式

27.2.1 OPAMP 独立运算放大器模式

外部放大模式即放大倍数由连接的电阻电容决定。OPAMPx_CS.MOD 设置为 2'b00 或 2'b01 时为运放功能，OPAMPx_CS.VPSSEL 或 OPAMPx_CS.VPSEL 选择正端输入，OPAMPx_CS.VMSSEL 或 OPAMPx_CS.VMSEL 选择负端输入。使用外部电阻组成闭环放大系统。

四个完全独立 OPAMP, 此时增益大小由外部电阻网络决定，也可以按需要进行级联，组成所需要的放大增益，如下图所示，OPAMP 正端、负端、输出端均连接至外部端口，放大系数由外部阻容网络决定。

图 27-5 OPAMP 独立运算放大器模式



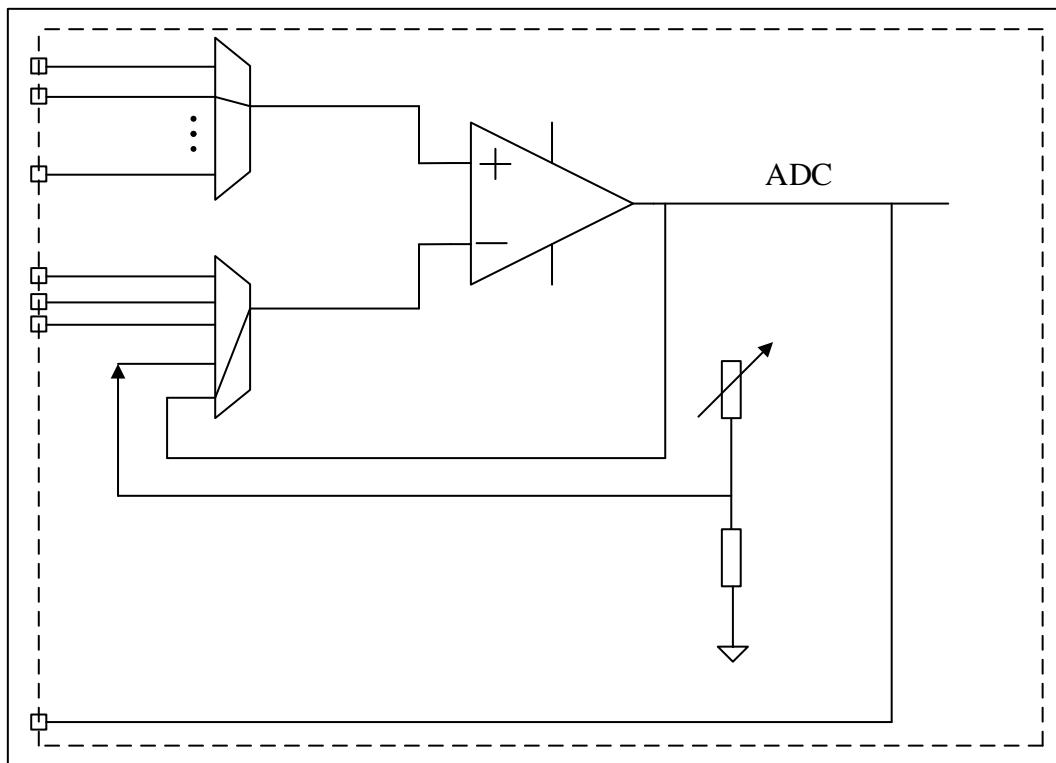
27.2.2 OPAMP 跟随模式

跟随模式，电压是直接跟随，VMSEL 端必须配置为和 OPAMP 输出端口直连。

OPAMPx_CS.MOD 设置为 2'b11 为内部跟随功能，OPAMPx_CS.VPSSEL 或 OPAMPx_CS.VPSEL 选择正端输入，OPAMPx_CS.VMSSEL 或 OPAMPx_CS.VMSEL 由芯片内部连接到输出端口。

没有占用的 VM 引脚可以作为其他 GPIO 使用。

图 27-6 OPAMP 跟随模式



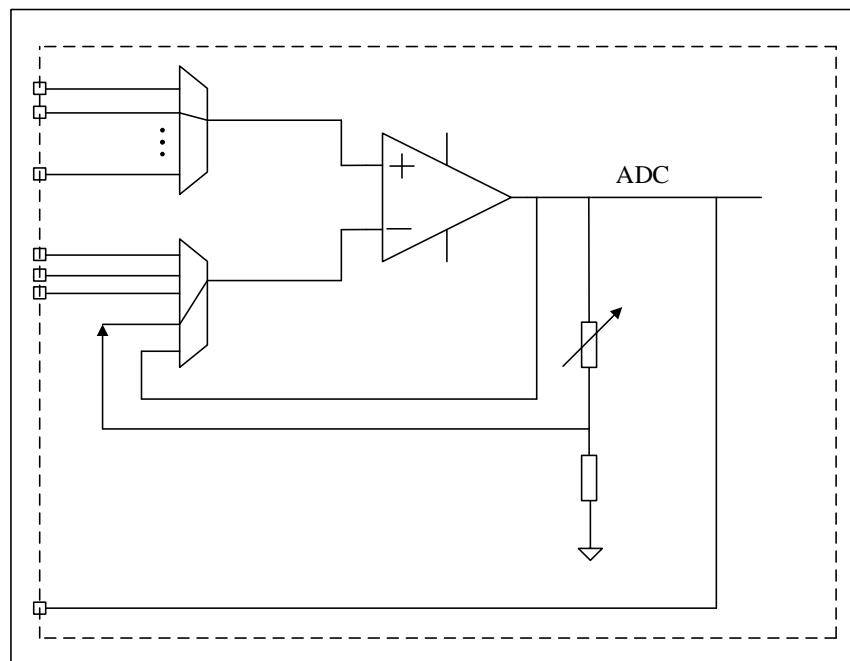
27.2.3 OPAMP 内部可编程增益（PGA）模式

内部放大模式，即 PGA 模式，通过内置的电阻反馈网络对输入电压进行放大。

OPAMPx_CS.MOD 设置为 2'b10 为 PGA 功能，支持 2/4/8/16/32 放大倍数，OPAMPx_CS.VMSSEL 或 OPAMPx_CS.VMSEL 引脚必须设置为浮空。OPAMPx_CS.VPSSEL 或 OPAMPx_CS.VPSEL 选择正端输入。正端输入可以连接到外部引脚，该外部引脚可以是其他 OPAMP 的输出端口或者电阻网络。设置 OPAMPx_CS.PGAGAN，进行增益选择。OPAMP 的输出可以是其他 OPAMP 的输入或者电阻网络。

OPAMP 的 VM 输入引脚可以作为普通 GPIO 使用。

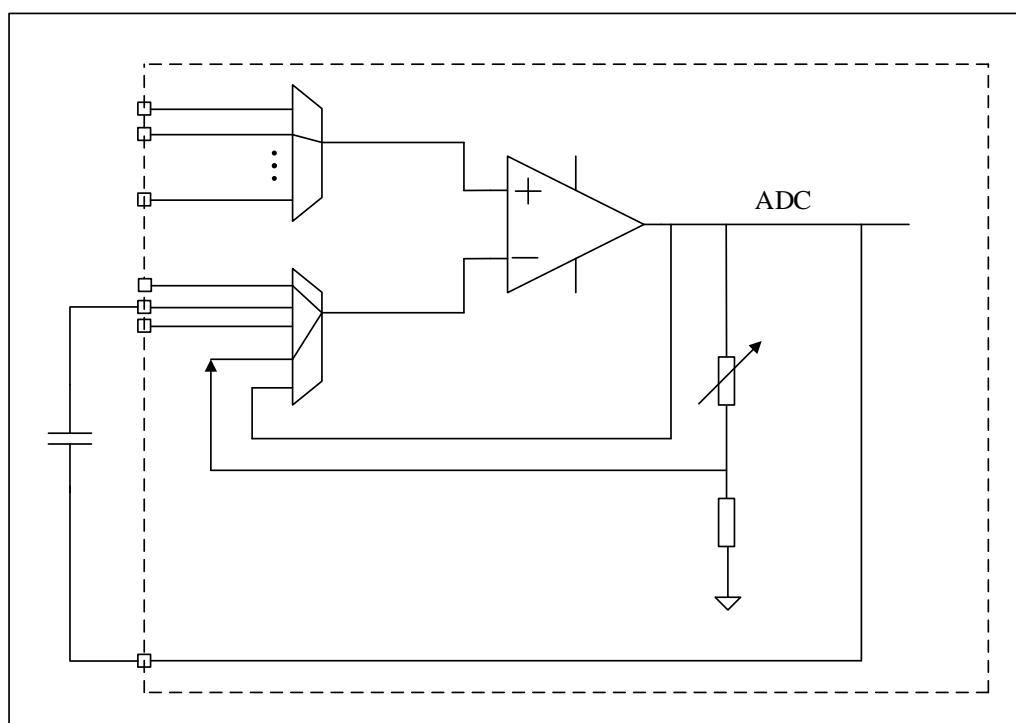
图 27-7 内部可编程增益模式



27.2.4 OPAMP 带滤波内部增益模式

带滤波内部放大模式，即在内部 PGA 模式下，放大电压可调，支持 2/4/8/16/32，同时 OPAMPx_CS.VPSSEL 或 OPAMAPx_CS.VPSEL 引脚设置为和外部引脚相连，在 OPAMP 负端可以连接电容等元件。

图 27-8 带滤波内部增益模式



27.2.5 OPAMP 校正

芯片出产已进行校正，用户可以根据实际环境，再次进行校正。

注意：具体校正方法联系国民技术，获取相关资料。

27.2.6 OPAMP 独立写保护

通过配置 OPAMP_LOCK 寄存器，可以对 4 个 OPAMP 的写保护进行独立设置。当设置了写保护后，软件将不能对相应 OPAMP 寄存器进行写操作，只有在芯片复位后，才能取消写保护功能。

27.2.7 OPAMP TIMER 控制切换模式

在一些应用中，可以通过 TIMx_CC6 对运放进行输入切换。TIM1_CC6 控制 OPAMP1 和 OPAMP2 的输入切换，TIM8_CC6 控制 OPAMP3 和 OPAMP4 的输入切换。

当 TIM1_CC6 为 1 时 OPAMP1 和 OPAMP2 选择 VPSSEL/VMSSEL 所配置端口作为输入，否则使用 VPSEL/VMSEL。当 TIM8_CC6 为 1 时 OPAMP3 和 OPAMP4 选择 VPSSEL/VMSSEL 所配置端口作为输入，否则使用 VPSEL/VMSEL。

OPAMPx_CS.TCMEN 置 1，开启自动切换输入功能，配置自动切换的流程如下所示。

- 开启自动切换功能 OPAMPx_CS.TCMEN（四个 OPAMP 独立控制）
- 配置好两次转换的 MUX 配置（VPSEL,VMSEL,VPSSEL,VMSSEL）
- 启动 OPAMP 与 TIM

27.3 OPAMP 寄存器

27.3.1 OPAMP 寄存器总览

表 27-1 OPAMP 寄存器总览

Offset	Register	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
000h	OPAMP_CS1	Reserved										VPSSEL[2:0]										TCMEN											
		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0			
010h	OPAMP_CS2	Reserved										VMSSEL[1:0]										RANGE											
		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0			
020h	OPAMP_CS3	Reserved										VMSSEL[1:0]										CALOUT											
		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0			
030h	OPAMP_CS4	Reserved										VPSSEL[2:0]										TSTREF											
		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0			

Offset	Register	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
040h	OPAMP_LOCK																																
	Reset Value																																

27.3.2 OPAMP 控制状态寄存器 (OPAMPx_CS)

偏移地址: 0x00, 0x10, 0x20, 0x30

复位值: 0x0000 0000

31	Reserved										22	21	VPSSEL	VMSSEL	TCMEN	16
15	14	13	12	11	10	8	7	6	5	rw	3	2	rw	1	rw	0
RANGE	CALOUT	TSTREF	Reserved	CALON	VPSEL	VMSEL	PGAGAN	MOD	EN	rw	rw	rw	rw	rw	rw	rw

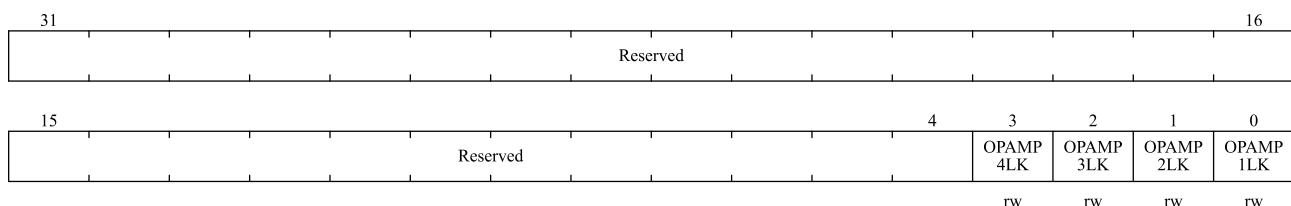
位域	名称	描述																																			
31:22	Reserved	保留, 必需保持复位值。																																			
21:19	VPSSEL[2:0]	OPAMP 正向输入端从选择 (Non inverted input secondary selection) <table border="1" data-bbox="584 1006 1426 1304"> <tr> <td>枚举值</td><td>OPAMP1</td><td>OPAMP2</td><td>OPAMP3</td><td>OPAMP4</td></tr> <tr> <td>000</td><td>PA1</td><td>PA7</td><td>PC9</td><td>PC3</td></tr> <tr> <td>001</td><td>PA3</td><td>PB0</td><td>PA1</td><td>DAC1/PA4</td></tr> <tr> <td>010</td><td>DAC2/PA5</td><td>PE8</td><td>DAC2/PA5</td><td>PC5</td></tr> <tr> <td>011</td><td>PA7</td><td>保留</td><td>PC3</td><td>保留</td></tr> <tr> <td>100</td><td>保留</td><td>保留</td><td>保留</td><td>保留</td></tr> <tr> <td>其他</td><td>保留</td><td>保留</td><td>保留</td><td>保留</td></tr> </table> 注意: DAC2 直接连到 PA5	枚举值	OPAMP1	OPAMP2	OPAMP3	OPAMP4	000	PA1	PA7	PC9	PC3	001	PA3	PB0	PA1	DAC1/PA4	010	DAC2/PA5	PE8	DAC2/PA5	PC5	011	PA7	保留	PC3	保留	100	保留	保留	保留	保留	其他	保留	保留	保留	保留
枚举值	OPAMP1	OPAMP2	OPAMP3	OPAMP4																																	
000	PA1	PA7	PC9	PC3																																	
001	PA3	PB0	PA1	DAC1/PA4																																	
010	DAC2/PA5	PE8	DAC2/PA5	PC5																																	
011	PA7	保留	PC3	保留																																	
100	保留	保留	保留	保留																																	
其他	保留	保留	保留	保留																																	
18:17	VMSSEL[1:0]	OPAMP 反向输入端从选择 (Inverted input secondary selection) <table border="1" data-bbox="584 1401 1426 1608"> <tr> <td>枚举值</td><td>OPAMP1</td><td>OPAMP2</td><td>OPAMP3</td><td>OPAMP4</td></tr> <tr> <td>00</td><td>PA3</td><td>PA2</td><td>PC4</td><td>PB10</td></tr> <tr> <td>01</td><td>PA2</td><td>PA5</td><td>PB10</td><td>PC9</td></tr> <tr> <td>10</td><td>保留</td><td>保留</td><td>保留</td><td>PD8</td></tr> <tr> <td>11</td><td>浮空</td><td>浮空</td><td>浮空</td><td>浮空</td></tr> </table> 注意: VM 浮空 (用于内部 PGA (No Filter) 模式, 跟随模式)	枚举值	OPAMP1	OPAMP2	OPAMP3	OPAMP4	00	PA3	PA2	PC4	PB10	01	PA2	PA5	PB10	PC9	10	保留	保留	保留	PD8	11	浮空	浮空	浮空	浮空										
枚举值	OPAMP1	OPAMP2	OPAMP3	OPAMP4																																	
00	PA3	PA2	PC4	PB10																																	
01	PA2	PA5	PB10	PC9																																	
10	保留	保留	保留	PD8																																	
11	浮空	浮空	浮空	浮空																																	
16	TCMEN	定时器控制自动切换模式使能 (Timer controlled Mux mode enable)。 此位由软件设置或清除, 用于控制自动切换主次输入 (VPSEL, VMSEL 和 VPSSEL, VMSSEL)。 TIM1_CC6 对 OPAMP1 和 OPAMP2 自动切换, TIM8_CC6 对 OPAMP3 和 OPAMP4 自动切换。 0: 关闭自动切换; 1: 允许自动切换。																																			
15	RANGE	OPAMP 电压区间 (OPAMP Operational amplifier power supply range)。 0: 低电压区间 (VDDA < 2.4V);																																			

位域	名称	描述																																			
		1: 高电压区间。																																			
14	CALOUT	OPAMP 校准输出 (Operation amplifier calibration output) 当此信号切换时，校准模式期间的偏移量被校准。																																			
13	TSTREF	保留，必需保持复位值。																																			
12	Reserved	保留，必需保持复位值。																																			
11	CALON	校准模式使能 (Calibration mode enabled) 0: 正常模式； 1: 校准模式。																																			
10:8	VPSEL[2:0]	OPAMP 正向输入端选择 (Non Inverted input selection) <table border="1" data-bbox="584 617 1421 916"> <tr><td>枚举值</td><td>OPAMP1</td><td>OPAMP2</td><td>OPAMP3</td><td>OPAMP4</td></tr> <tr><td>000</td><td>PA1</td><td>PA7</td><td>PC9</td><td>PC3</td></tr> <tr><td>001</td><td>PA3</td><td>PB0</td><td>PA1</td><td>DAC1/PA4</td></tr> <tr><td>010</td><td>DAC2/PA5</td><td>PE8</td><td>DAC2/PA5</td><td>PC5</td></tr> <tr><td>011</td><td>PA7</td><td>保留</td><td>PC3</td><td>保留</td></tr> <tr><td>100</td><td>保留</td><td>保留</td><td>保留</td><td>保留</td></tr> <tr><td>其他</td><td>保留</td><td>保留</td><td>保留</td><td>保留</td></tr> </table> 注: DAC2 直接连到 PA5	枚举值	OPAMP1	OPAMP2	OPAMP3	OPAMP4	000	PA1	PA7	PC9	PC3	001	PA3	PB0	PA1	DAC1/PA4	010	DAC2/PA5	PE8	DAC2/PA5	PC5	011	PA7	保留	PC3	保留	100	保留	保留	保留	保留	其他	保留	保留	保留	保留
枚举值	OPAMP1	OPAMP2	OPAMP3	OPAMP4																																	
000	PA1	PA7	PC9	PC3																																	
001	PA3	PB0	PA1	DAC1/PA4																																	
010	DAC2/PA5	PE8	DAC2/PA5	PC5																																	
011	PA7	保留	PC3	保留																																	
100	保留	保留	保留	保留																																	
其他	保留	保留	保留	保留																																	
7:6	VMSEL[1:0]	OPAMP 反向输入端选择 (Inverted input selection) <table border="1" data-bbox="584 1006 1421 1212"> <tr><td>枚举值</td><td>OPAMP1</td><td>OPAMP2</td><td>OPAMP3</td><td>OPAMP4</td></tr> <tr><td>00</td><td>PA3</td><td>PA2</td><td>PC4</td><td>PB10</td></tr> <tr><td>01</td><td>PA2</td><td>PA5</td><td>PB10</td><td>PC9</td></tr> <tr><td>10</td><td>保留</td><td>保留</td><td>保留</td><td>PD8</td></tr> <tr><td>11</td><td>浮空</td><td>浮空</td><td>浮空</td><td>浮空</td></tr> </table> 注: 浮空 (用于内部PGA (No Filter) 模式, follow 模式)	枚举值	OPAMP1	OPAMP2	OPAMP3	OPAMP4	00	PA3	PA2	PC4	PB10	01	PA2	PA5	PB10	PC9	10	保留	保留	保留	PD8	11	浮空	浮空	浮空	浮空										
枚举值	OPAMP1	OPAMP2	OPAMP3	OPAMP4																																	
00	PA3	PA2	PC4	PB10																																	
01	PA2	PA5	PB10	PC9																																	
10	保留	保留	保留	PD8																																	
11	浮空	浮空	浮空	浮空																																	
5:3	PGAGAN[2:0]	OPAMP 增益设置 (Operational amplifier Programmable amplifier gain value) 000: 内部 PGA 增益 2; 001: 内部 PGA 增益 4; 010: 内部 PGA 增益 8; 011: 内部 PGA 增益 16; 100: 内部 PGA 增益 32; 其他: 内部 PGA 增益 2。																																			
2:1	MOD[1:0]	OPAMP 模式选择 (Operational amplifier PGA mode) 0x: 外部放大模式; 10: 内部 PGA 使能; 11: 内部跟随模式。																																			
0	EN	OPAMP 使能 (Operational amplifier Enable) 0: 禁能; 1: 使能。																																			

27.3.3 OPAMP 锁寄存器 (OPAMP_LOCK)

偏移地址: 0x40

复位值: 0x0000 0000



位域	名称	描述
31:4	Reserved	保留, 必需保持复位值。
3	OPAMP4LK	OPAMP4 锁 (OPAMP4 lock bit) 在复位后, 此位仅能写一次 0: OPAMP 寄存器可读写; 1: OPAMP 寄存器只读。
2	OPAMP3LK	同 OPAMP 4LK。
1	OPAMP2LK	同 OPAMP 4LK。
0	OPAMP1LK	同 OPAMP 4LK。

28 DVP 接口（DVP）

28.1 简介

DVP 是一个灵活、强大的 CMOS 光学传感器接口，可以非常方便地实现客户的图像采集需求，并且整个采集过程无需 CPU 干预。

DVP 接口模块功能特性如下：

- 纯硬件采集方式；
- 纯输入接口；
- 支持时钟输出（通过 MCO 输出，典型值 24MHz），给外部 CMOS 光学传感器提供时钟；
- 输入像素时钟 DVP_PCLK、场同步信号 DVP_VSYNC、行同步信号 DVP_HSYNC 极性均可独立配置。
- 具有 8x 32bit 大小的 FIFO；
- FIFO 一次传输为 4 字节，传输速度极快；
- 支持 DMA，采集图像全程无需 CPU 干预；
- 采集图像大小必须为 4 字节的整数倍
- 支持对采集的图像数据硬件取反

28.2 硬件接口

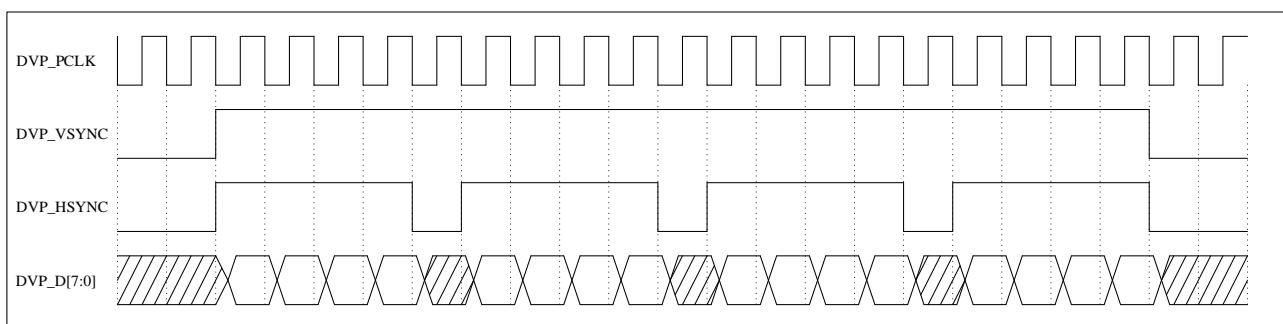
28.2.1 引脚复用方式

表 28-1 DVP 引脚复用方式

信号	默认映射	重映射 1	重映射 3
DVP_HSYNC	PA1	PE2	PE2
DVP_VSYNC	PA2	PE3	PE3
DVP_PCLK	PA3	PE4	PE4
DVP_D0	PA4	PE5	PE5
DVP_D1	PA5	PE6	PE6
DVP_D2	PA6	PC0	PC0
DVP_D3	PA7	PB2	PB2
DVP_D4	PC4	PF12	PB10
DVP_D5	PC5	PF13	PB11
DVP_D6	PB0	PF14	PF14
DVP_D7	PB1	PF15	PF15

28.2.2 接口时序

图 28-1 DVP 接口时序示例



如上图所示：

- DVP_PCLK 为像素时钟，每个时钟周期采集 1 个字节（8bit）的有效数据
- DVP_VSYNC 为场同步（帧同步）信号，高电平有效
- DVP_HSYNC 为行同步信号，高电平有效
- 当 DVP_VSYNC、DVP_HSYNC 都为高电平时，数据有效
- 每两行之间至少有一个像素时钟周期的间隔。
- 根据上图时序，用户需要在 DVP 模块中配置 DVP_VSYNC、DVP_HSYNC 高电平有效，DVP_PCLK 下降沿捕获，才能正确接收数据。
- DVP 数据仅在捕获使能位（寄存器 DVP_CTRL.CAPTURE）为 1 时有效，且捕获使能位置 1 必须早于 DVP_VSYNC 有效信号（高电平）至少 4 个像素时钟周期，否则当前帧会被丢弃。

注：上图中 DVP_VSYNC 与 DVP_HSYNC 信号为高电平有效，实际应用中也可能为低电平有效，需要根据实际情况在 DVP 模块中配置信号极性。

28.3 操作说明

28.3.1 常规操作流程

1. 开启 CMOS 光学传感器时钟，启用相关控制端口（通常为 I2C 接口），以及配置传感器参数；
2. DVP 端口以及参数配置（例如：捕获模式、窗口模式、DMA 等）；
3. 配置捕获使能位（寄存器 DVP_CTRL.CAPTURE），准备好接收数据；
4. 启动 CMOS 传感器，开始发送数据。

28.3.2 DMA 应用

1. 配置并启用对应的 DMA 通道（DMA2 通道 8）；
2. 配置 DVP FIFO 水线值（寄存器 DVP_CTRL.FWM）为 1（DMA 方式只支持水线为 1 的传输）；

3. 使能 DMA 传输（寄存器 DVP_INTEN.DMAEN）；
4. 当 FIFO 接收到 1 个 WORD 数据，即会发出 DMA 请求；
5. DMA 将 FIFO 数据搬至指定 SRAM 区域中。

28.3.3 图片尺寸

图片尺寸可以根据用户需要配置（寄存器 DVP_WSIZE），对应用户可读取的数据大小，其中：

- VLINE 为每帧图像的有效数据行数；
- HCNT 为每一行的有效数据长度，单位为字节。

28.3.4 采图区域

采图区域可以配置（寄存器 DVP_WST），在每帧图像中，用户可根据需要截取部分数据保留。DVP 模块仅将需要保留的区域数据存入 FIFO，其他数据自动丢弃：

- DVP_WST.VST 配置采图区域的起始行；
- DVP_WST.HST 配置每个有效行中起始像素位置，以字节为单位计算；
- 每个寄存器都允许配置为 0。

28.3.5 图像缩放

DVP 模块可将采集的图像缩小后保存（寄存器 DVP_CTRL.LSM、DVP_CTRL.BSM）。第一个数据必须为需要的数据，然后根据需要选择需要保留的数据。

- DVP_CTRL.LSM 为行选择配置位。当 LSM 设置为 3 时，每 3 行中仅保留 1 行数据：先保留第 1 行作为有效行，丢掉第 2、3 行数据，再保留第 4 行，丢掉第 5、6 行，依此类推，直至一帧数据结束。
- DVP_CTRL.BSM 为字节选择配置位。与 LSM 类似，当 BSM 设置为 4 时，每个保留行中，第 1 个字节保留，然后丢掉第 2、3、4 字节，再保留第 5 个字节，依此类推，每隔 3 个字节保留一个字节，直至当前行结束。

具体配置请参考寄存器列表。

28.3.6 软复位

DVP_CTRL.FFSWRST 位控制软复位，软复位是同步复位，写 1 复位。因为是同步复位，所以必须保证输入像素时钟（DVP_PCLK）与 DVP 模块时钟（APB2 时钟 PCLK2）同时存在。

软复位需要 8 个 PCLK2 时钟周期的同步，在软复位期间不要对寄存器作操作，软复位只复位状态机，不复位寄存器。建议用户每次采图前都采用软复位。

注意：软复位前须把 DVP_CTRL.CAPTURE 置 0，并且在此期间要保证像素时钟（DVP_PCLK）有时钟。

28.3.7 中断

与中断相关有三个寄存器，DVP_INTSTS，DVP_INTEN，DVP_MINTSTS：

- DVP_INTEN 是中断使能寄存器。
 - DVP_INTSTS 是中断状态寄存器，即使中断使能不开，中断状态也会变化，但不会向系统上报中断。只有 DVP_INTEN 中对应中断使能位开启了之后才会上报相应的中断。
 - DVP_MINTSTS 是 DVP 已上报系统的中断状态寄存器，用户一般只会使用这个状态检查中断状态。
 - 当用户想使用某个中断前，必须先清除寄存器 DVP_INTSTS 中相应的标志（写 0 清除），避免之前的状态影响中断的上报。
 - DVP_INTSTS 寄存器中有 2 个特殊标志位：FIFO 水线标志 FWIS、FIFO 已满标志 FFIS。这 2 个标志位与 FIFO 的实时状态相关，不能通过写 0 清除，只能通过读 FIFO 清除。

28.3.8 读取 FIFO 数据

FIFO 数据可通过软件直接读取，也支持 DMA 或中断方式。

- DMA 方式：当 FIFO 的数据达到水线值 (FWM，必须为 1)，会产生 DMA 请求，DMA 会把数据搬到配置的 SRAM 中；
 - 中断方式：当 FIFO 数据达到水线值 (FWM)，会产生中断，用户通过寄存器 DVP_FIFO 读取数据

注意：因为接口来的数据是 8 位，但 FIFO 的数据是 32 位，模块会把接过来的数据放在高位。

注意：因为接口来的数据是8位，但FIFO的数据是32位，模块会把先来的数据放在高位。

28.3.9 注意事项

- 必须保证先把外部 CMOS 光学传感器时钟开启，即 DVP_PCLK 有效。
 - 必须保证要采集的有效数据是 4 字节的整数倍。
 - 水线的配置在用 DMA 模式时只能配置为 1。(系统只支持一次读一个数据)。

28.4 DVP 寄存器

28.4.1 DVP 寄存器总览

表 28-2 DVP 寄存器总览

Offset	Register	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	HERRMIS	VERRMIS	FOMIS	FWMIS	FEMIS	LEMIS	LSMIS	FMEMIS	FMFSMIS
010h	DVP_MINTSTS	Reserved																				Reserved	HST[10:0]									
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		0	0	0	0	0	0	0	0		
014h	DVP_WST	Reserved				VST[10:0]								Reserved	HCNT[10:0]																	
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0			
018h	DVP_WSIZE	Reserved				VLINE[10:0]								Reserved	DAT0[7:0]																	
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0			
01Ch	DVP_FIFO	DAT3[7:0]				DAT2[7:0]				DAT1[7:0]				DAT0[7:0]																		
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0			

28.4.2 DVP 控制寄存器 (DVP_CTRL)

偏移地址: 0x000 1000

复位值: 0x0000 1000

31	Reserved																17	16	FFSWRST																
15	14	12	11	9	8	6	5	4	3	2	1	rs	0	Reserved	FWM[2:0]	LSM[2:0]	BSM[2:0]	DATINV	PCKPOL.	VSPOL.	HSPOL.	CM	CAPTURE	rw											

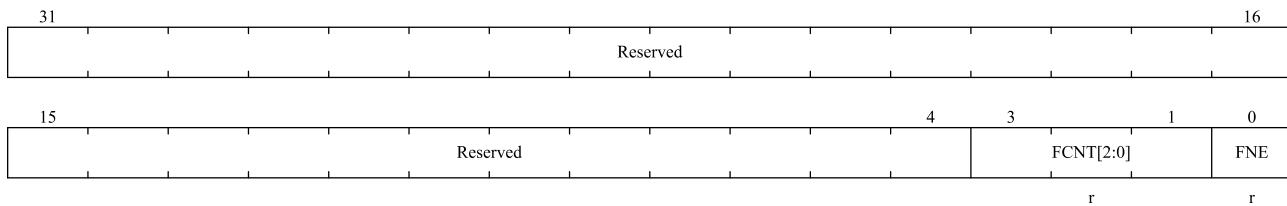
位域	名称	描述
31:17	Reserved	保留, 必须保持复位值。
16	FFSWRST	FIFO 软复位使能位。 软件置 1, 硬件清 0。复位时必须保证 DVP_PCLK 与 PCLK2 都正常提供, 至少保证有 8 个 PCLK2 时钟周期才能复位成功, 且复位完成后才能操作 DVP 模块寄存器。软复位只会复位 DVP 模块内部逻辑, 不复位寄存器。 0: 无作用 1: 使能软复位
15	Reserved	保留, 必须保持复位值。
14:12	FWM[2:0]	FIFO 水线值。 当 FIFO 中的数据长度达到此值时会触发 DMA 或中断。
11:9	LSM[2:0]	行选择模式。 000: 捕获所有行 001: 每 2 行捕获 1 行 010: 每 3 行捕获 1 行 011: 每 4 行捕获 1 行 100: 每 5 行捕获 1 行 101: 每 6 行捕获 1 行 110: 每 7 行捕获 1 行 111: 每 8 行捕获 1 行
8:6	BSM[2:0]	字节选择模式。

位域	名称	描述
		<p>表示在每行数据中抽取保留的有效像素比例，以字节为单位计算，仅适用于像素数据不超过 1 字节的情况。如输入数据为 RGB565 格式时，1 个像素占用 2 个字节，不支持字节选择模式。</p> <p>000: 捕获所有像素 001: 每 2 像素捕获 1 像素 010: 每 3 像素捕获 1 像素 011: 每 4 像素捕获 1 像素 100: 每 5 像素捕获 1 像素 101: 每 6 像素捕获 1 像素 110: 每 7 像素捕获 1 像素 111: 每 8 像素捕获 1 像素</p>
5	DATINV	<p>数据反转。</p> <p>0: 数据不反转 1: 数据反转</p>
4	PCKPOL	<p>像素时钟极性。</p> <p>此位用于配置像素时钟的捕获边沿。</p> <p>0: 下降沿捕获 1: 上升沿捕获</p>
3	VSPOL	<p>场同步信号极性。</p> <p>此位表示当并行接口上有有效数据时，VSYNC 管脚的电平。</p> <p>0: VSYNC 低电平有效 1: VSYNC 高电平有效</p>
2	HSPOL	<p>行同步信号极性。</p> <p>此位表示当并行接口上有有效数据时，HSYNC 管脚的电平。</p> <p>0: HSYNC 低电平有效 1: HSYNC 高电平有效</p>
1	CM	<p>捕获模式。</p> <p>0: 单帧模式。一旦激活，接口等待帧同步信号有效，然后开始传输数据。传输完一帧数据后，CAPTURE 位自动清零。 1: 持续模式。传输完一帧数据后，CAPTURE 位不清零，继续等待下一个帧同步信号。</p>
0	CAPTURE	<p>捕获使能。</p> <p>在单帧模式下，此位会在第一帧收到后自动清 0。在持续模式下则需要通过软件清 0。如果捕获正在进行时软件清 0，在捕获完当前帧后此位才清 0。</p> <p>0: 关闭捕获功能 1: 使能捕获功能</p> <p>注意：使能捕获之前，必须先根据需要正确配置 DMA 控制器以及 DVP 配置寄存器。</p>

28.4.3 DVP 状态寄存器 (DVP_STS)

偏移地址: 0x04

复位值: 0x0000 0000

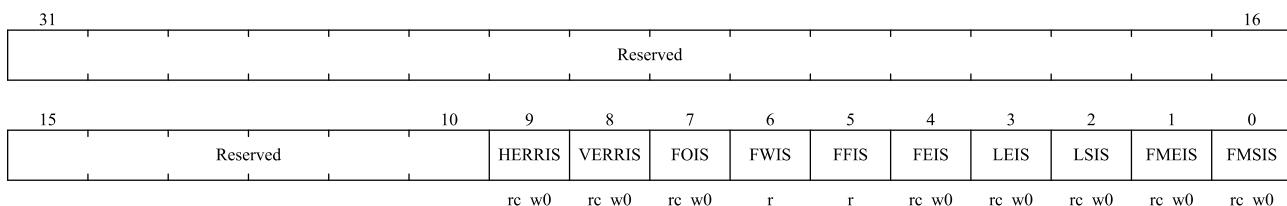


位域	名称	描述
31:4	Reserved	保留，必须保持复位值。
3:1	FCNT[2:0]	FIFO 中的数据长度。
0	FNE	FIFO 非空标志。 0: FIFO 为空 1: FIFO 中存在有效数据

28.4.4 DVP 中断状态寄存器 (DVP_INTSTS)

偏移地址: 0x08

复位值: 0x0000 0010



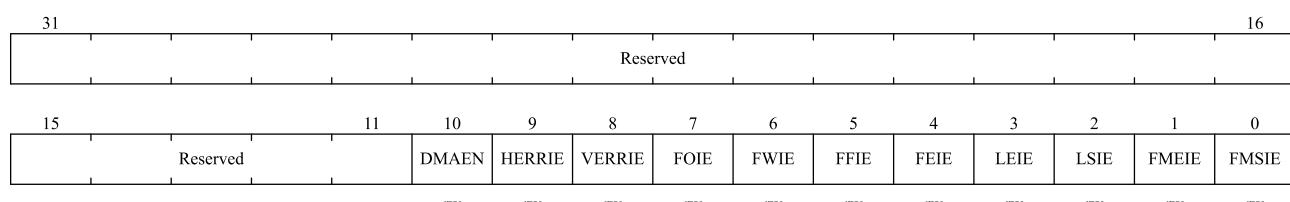
位域	名称	描述
31:10	Reserved	保留，必须保持复位值。
9	HERRIS	HSYNC 错误状态。 软件写 0 清除。当接收到的一行数据小于配置的行数据大小，则产生 HSYNC 错误 (HSYNC 提前到来)。 0: 无错误 1: 有 HSYNC 错误
8	VERRIS	VSYNC 错误状态。 软件写 0 清除。当接收到的数据行数小于配置的每帧数据行数，则产生 VSYNC 错误 (VSYNC 提前到来) 0: 无错误 1: 有 VSYNC 错误
7	FOIS	FIFO 溢出状态。 软件写 0 清除。此位需要手动清除。 0: FIFO 未溢出 1: FIFO 溢出
6	FWIS	FIFO 水线状态。 此位与 FIFO 实时状态相关，只能通过读 FIFO 清除。 0: FIFO 中数据长度未到达 DVP_CTRL.FWM[2:0] 1: FIFO 中数据长度已到达 DVP_CTRL.FWM[2:0]

位域	名称	描述
5	FFIS	FIFO 已满状态。 此位与 FIFO 实时状态相关，只能通过读 FIFO 清除。 0: FIFO 未满 1: FIFO 已满
4	FEIS	FIFO 为空状态。 软件写 0 清除。此位需要手动清除。 0: FIFO 非空 1: FIFO 为空
3	LEIS	行结束状态。 软件写 0 清除。 0: 行未结束 1: 行已结束
2	LSIS	行开始状态。 软件写 0 清除。 0: 行未开始 1: 行已开始
1	FMEIS	帧结束状态。 软件写 0 清除。 0: 帧未结束 1: 帧已结束
0	FMSIS	帧开始状态。 软件写 0 清除。 0: 帧未开始 1: 帧已开始

28.4.5 DVP 中断使能寄存器 (DVP_INTEN)

偏移地址: 0x0c

复位值: 0x0000 0000



位域	名称	描述
31:11	Reserved	保留，必须保持复位值。
10	DMAEN	DMA 使能位。 使能此位后，当 FIFO 的数据长度到达水线后，会产生 DMA 请求。 0: 不使能 DMA 1: 使能 DMA
9	HERRIE	HSYNC 错误中断使能。

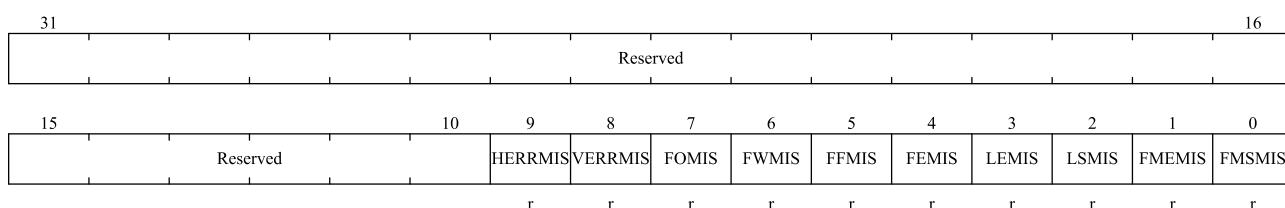
位域	名称	描述
		0: 不使能 HSYNC 错误中断 1: 使能 HSYNC 错误中断
8	VERRIE	VSYNC 错误中断使能。 0: 不使能 VSYNC 错误中断 1: 使能 VSYNC 错误中断
7	FOIE	FIFO 溢出中断使能。 0: 不使能 FIFO 溢出中断 1: 使能 FIFO 溢出中断
6	FWIE	FIFO 水线中断使能。 0: 不使能 FIFO 水线中断 1: 使能 FIFO 水线中断
5	FFIE	FIFO 已满中断使能。 0: 不使能 FIFO 已满中断 1: 使能 FIFO 已满中断
4	FEIE	FIFO 为空中断使能。 0: 不使能 FIFO 为空中断 1: 使能 FIFO 为空中断
3	LEIE	行结束中断使能。 0: 不使能行结束中断 1: 使能行结束中断
2	LSIE	行开始中断使能。 0: 不使能行开始中断 1: 使能行开始中断
1	FMEIE	帧结束中断使能。 0: 不使能帧结束中断 1: 使能帧结束中断
0	FMSIE	帧开始中断使能。 0: 不使能帧开始中断 1: 使能帧开始中断

28.4.6 DVP 中断触发状态寄存器 (DVP_MINTSTS)

偏移地址: 0x10

复位值: 0x0000 0000

当系统中有中断时，应当查询此寄存器来确定是哪个中断。只有中断使能与中断状态位都有效时，此寄存器中的对应中断标志才会有效。可通过清除中断状态寄存器 DVP_INTSTS 中的相应位来清除中断标志。

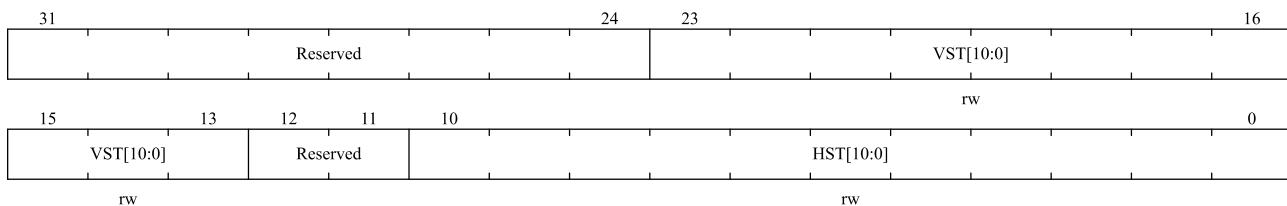


位域	名称	描述
31:10	Reserved	保留, 必须保持复位值。
9	HERRMIS	HSYNC 错误中断触发状态。 0: 无错误 1: 有 HSYNC 错误中断触发
8	VERRMIS	VSYNC 错误中断状态。 0: 无错误 1: 有 VSYNC 错误中断触发
7	FOMIS	FIFO 溢出中断状态。 软件写 0 清除。此位需要手动清除。 0: FIFO 未溢出 1: FIFO 溢出中断触发
6	FWMIS	FIFO 水线中断状态。 此位与 FIFO 实时状态相关, 只能通过读 FIFO 清中断。 0: FIFO 中数据长度未到达 DVP_CTRL.FWM[2:0] 1: FIFO 中数据长度已到达 DVP_CTRL.FWM[2:0] 中断触发
5	FFMIS	FIFO 已满中断状态。 此位与 FIFO 实时状态相关, 只能通过读 FIFO 清中断。 0: FIFO 未满 1: FIFO 已满中断触发
4	FEMIS	FIFO 为空中断状态。 软件写 0 清除。此位需要手动清除。 0: FIFO 非空 1: FIFO 为空中断触发
3	LEMIS	行结束中断状态。 软件写 0 清除。 0: 行未结束 1: 行已结束中断触发
2	LSMIS	行开始中断状态。 软件写 0 清除。 0: 行未开始 1: 行已开始中断触发
1	FMEMIS	帧结束中断状态。 软件写 0 清除。 0: 帧未结束 1: 帧已结束中断触发
0	FMSMIS	帧开始中断状态。 软件写 0 清除。 0: 帧未开始 1: 帧已开始中断触发

28.4.7 DVP 图片开始寄存器 (DVP_WST)

偏移地址: 0x14

复位值: 0x0000 0000

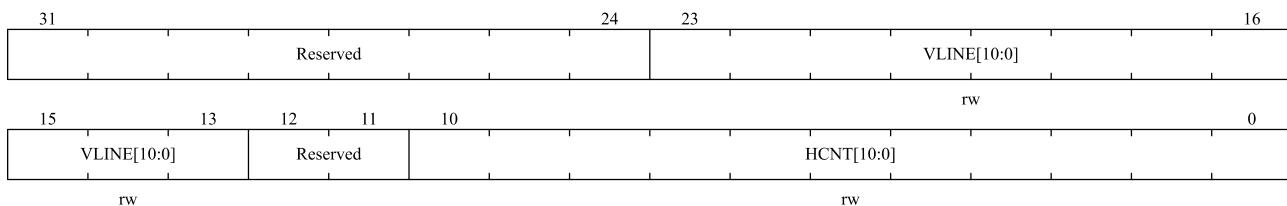


位域	名称	描述
31:24	Reserved	保留, 必须保持复位值。
23:13	VST[10:0]	开始行号, 第一行从 0 开始。
12:11	Reserved	保留, 必须保持复位值。
10:0	HST[10:0]	开始像素号, 第一个像素从 0 开始。

28.4.8 DVP 图片尺寸寄存器 (DVP_WSIZE)

偏移地址: 0x18

复位值: 0x0000 0000

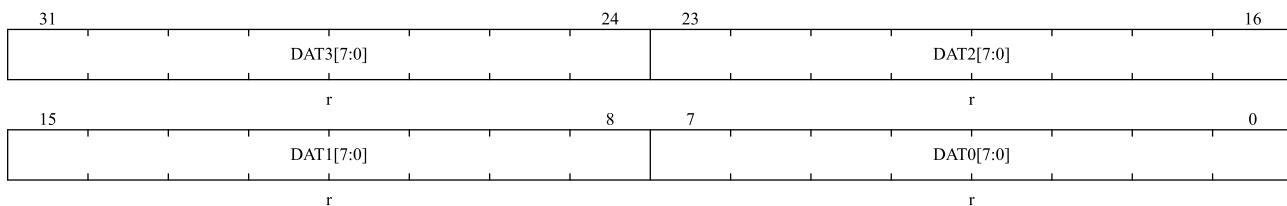


位域	名称	描述
31:24	Reserved	保留, 必须保持复位值。
23:13	VLINE[10:0]	每帧的行数。
12:11	Reserved	保留, 必须保持复位值。
10:0	HCNT[10:0]	每行的像素个数, 以字节为单位计算。

28.4.9 DVP FIFO 寄存器 (DVP_FIFO)

偏移地址: 0x1c

复位值: 0x0000 0000



位域	名称	描述
31:24	DAT3[7:0]	数据字节 3

位域	名称	描述
23:16	DAT2[7:0]	数据字节 2
15:8	DAT1[7:0]	数据字节 1
7:0	DAT0[7:0]	数据字节 0

29 调试支持 (DBG)

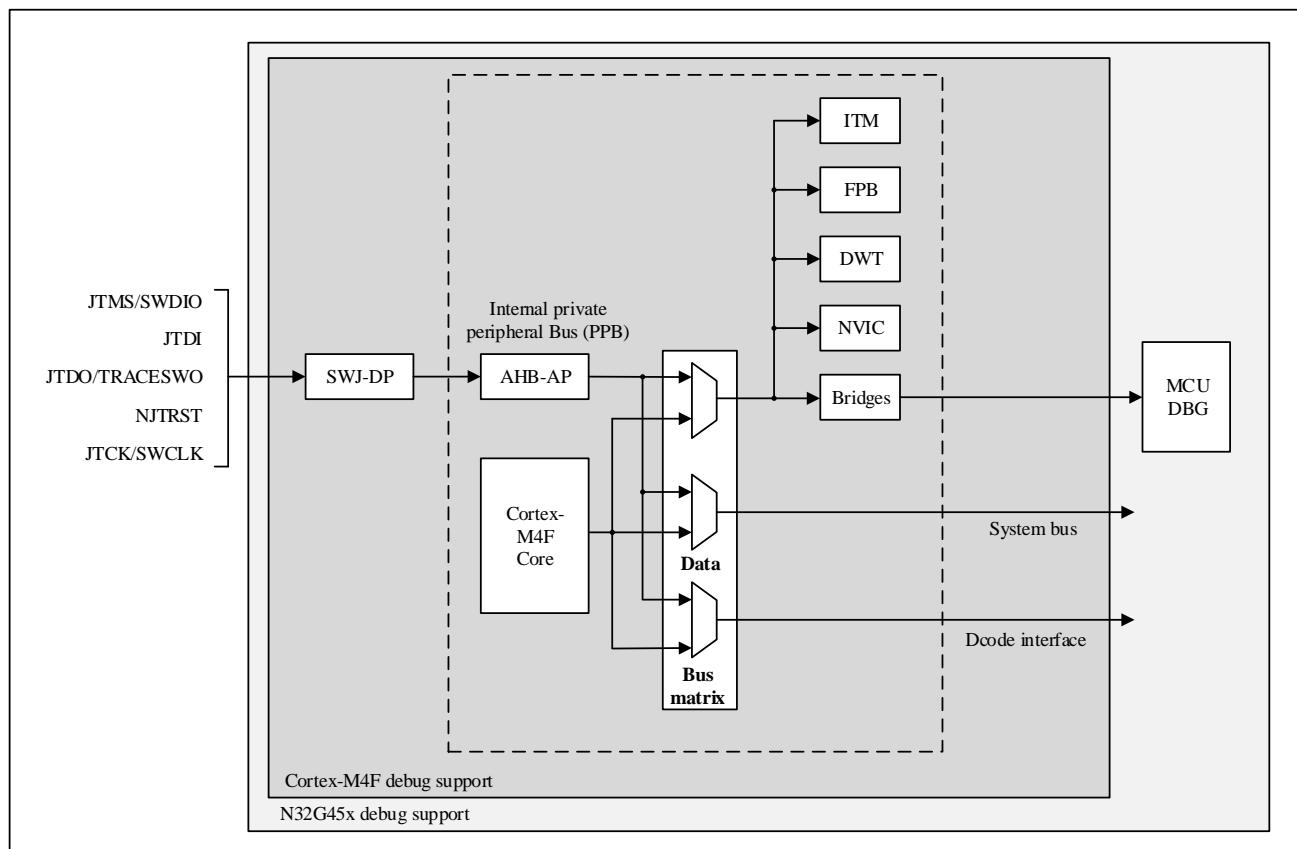
29.1 简介

N32G45x 使用集成硬件调试模块的 CortexTM-M4F 内核。支持指令断点（指令取值时停止）和数据断点（数据访问时停止）。当内核停止时，用户可以查看内核的内部状态和系统的外部状态。用户查询操作完成后，可以恢复内核和外设，继续执行相应的程序。N32G45x 内核的硬件调试模块在连接到调试器时即可使用（在未被禁用的情况下）。

N32G45x 支持以下调试接口：

- 串行接口
- JTAG 调试接口

图 29-1 N32G45x 级别和 CortexTM-M4F 级别的调试框图



ARM CortexTM-M4F 内核硬件调试模块可提供如下调试功能：

- SWJ-DP：串行/JTAG 调试端口
- AHB-AP：AHB 访问端口
- ITM：执行跟踪单元
- FPB：闪存指令断点
- DWT：数据触发

可参考：

- Cortex™-M4 技术参考手册 (TRM)
- ARM 调试接口 V5 结构规范
- ARM CoreSight 开发工具集 (r1p0 版) 技术参考手册

调试系统支持低功耗模式调试和对部分外设的调试。支持调试的外设包括：CAN、I2C 接口和 TIMER、WWDG、IWDG 模块。用户进行低功耗调试或者外设调试时，需要将调试控制寄存器 (DBG_CTRL) 的相应位置 1。

29.2 JTAG/SWD 功能

调试工具可以通过上述的 SWD 调试接口或者 JTAG 调试接口来调用调试功能。

29.2.1 切换 JTAG/SWD 接口

芯片默认使用 JTAG 调试接口，如需切换调试接口，可以通过以下操作进行 SWD 接口和 JTAG 接口的相互切换：

JTAG 调试接口切换到 SWD 调试接口：

1. 发送 50 个以上 JTCK 周期的 JTMS = 1 信号；
2. 发送 16 位 JTMS = 1110011110011110 (0xE79E LSB) 信号；
3. 发送 50 个以上 JTCK 周期的 JTMS = 1 信号。

SWD 调试接口切换到 JTAG 调试接口：

1. 发送 50 个以上 JTCK 周期的 JTMS = 1 信号；
2. 发送 16 位 JTMS = 1110011100111100 (0xE73C LSB) 信号；
3. 发送 50 个以上 JTCK 周期的 JTMS = 1 信号。

29.2.2 引脚分配

JTAG 调试接口包含 5 个管脚：JTCK (JTAG 时钟管脚)，JTMS (JTAG 模式选择引脚)，JTDI (JTAG 数据输入管脚)，JTDO (JTAG 数据输出管脚)，NJTRST (JTAG 数据复位管脚，低电平复位)。

SWD (串行调试) 接口包含 2 个管脚：SWCLK (时钟管脚) 和 SWDIO (数据输入输出管脚) 提供两个引脚的接口：数据输入输出引脚 (SWDIO) 和时钟引脚 (SWCLK)。

JTAG 调试接口和 SWD 调试接口管脚分配见下表 (SWDIO 同 JTMS 复用，SWCLK 同 JTCK 复用)：

表 29-1 调试端口引脚

调试端口	引脚分配
JTMS/SWDIO	PA13
JTCK/SWCLK	PA14
JTDI	PA15
JTDO	PB3
NJTRST	PB4

- JTAG 调试接口和 SWD 调试接口都使能的情况下，复位后默认使用 5 线 JTAG 调试接口。
- 使用 JTAG 接口时，用户可以不使用 NJTRST 管脚，此时可将 NJTRST 管脚（PB4，内部硬件上拉）用作通用 GPIO。
- 使用 SWD 接口时，JTDI（PA15）、JTDO（PB3）、NJTRST（PB4）三个管脚可作为通用 GPIO 使用。
- 不使用调试功能时，上述 5 个管脚都可作为通用 GPIO 使用。

29.3 MCU 调试功能

29.3.1 低功耗模式支持

N32G45x 可以提供多种低功耗模式（详细参考电源控制（PWR））。在进行调试时，要保证内核的 FCLK 和 HCLK 是开启状态，为内核调试提供必要的时钟。用户可以根据特定的操作（保证低功耗模式下 FCLK 或 HCLK 的输出），在低功耗模式下进行 MCU 调试。

用户想要在进行低功耗模式下调试 MCU，则首先需要调试器配置低功耗模式相关的寄存器：

- DBG_SLEEP 模式：
需要配置 DBG_CTRL.SLEEP 位，为 HCLK 提供与提供给 FCLK 相同的时钟（即：原始配置的系统时钟）。
- DBG_STOP 模式：
需要配置 DBG_CTRL.STOP 位，启动内部 RC 振荡器，为 HCLK 和 FCLK 提供时钟。
- DBG_STANDBY 模式：
需要配置 DBG_CTRL.STDBY 位，启动内部 RC 振荡器，为 HCLK 和 FCLK 提供时钟。

29.3.2 外设调试支持

当 DBG_CTRL 寄存器中外设控制位的相应位置 1 时，当内核停止后相应的外设进入调试状态：

- Timer 外设：定时器的计数器停止并进入调试状态；
- I2C 外设：I2C 的 SMBUS 保持状态并进入调试状态；
- WWDG/IWDG 外设：WWDG/IWDG 计数器停止并进入调试状态；
- CAN 外设：CAN 接口接收寄存器停止并进入调试状态。

29.4 寄存器

29.4.1 DBG 寄存器总览

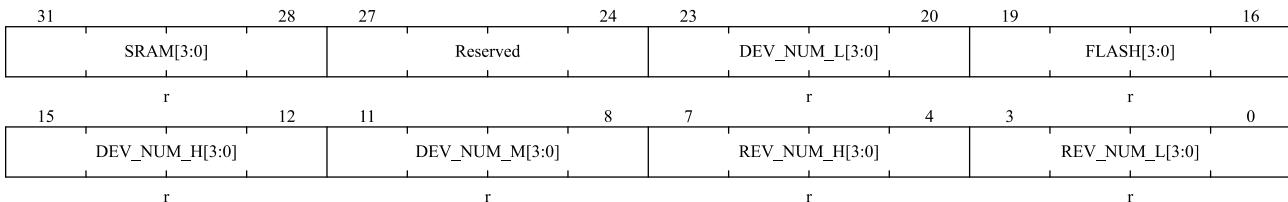
必须以字（32 位）的方式操作这些外设寄存器。寄存器的基址为 0xE004 2000。

表 29-2 DBG 寄存器总览

29.4.2 ID 寄存器 (DBG_ID)

地址偏移: 0x00

只支持 32 位访问，固定值不可修改。



位域	名称	描述
31:28	SRAM[3:0]	SRAM 容量指示位。 芯片 SRAM 容量为 $(\text{SRAM}[3:0] + 1) * 16\text{KB}$
27:24	Reserved	保留，必须保持复位值。
23:20	DEV_NUM_L[3:0]	设备型号的低 4 位。 设备型号由高、中、低共 12 位组成，代表芯片的型号。取值如下： <ul style="list-style-type: none">■ 0x452：基本型 N32G452■ 0x455：增加型 N32G455■ 0x457：互联型 N32G457
19:16	FLASH[3:0]	FLASH 容量指示位。 芯片 FLASH 容量为 $\text{FLASH}[3:0] * 64\text{KB}$
15:12	DEV_NUM_H[3:0]	设备型号的高 4 位。 见 DEV_NUM_L[3:0] 的说明。
11:8	DEV_NUM_M[3:0]	设备型号的中 4 位。 见 DEV_NUM_L[3:0] 的说明。
7:4	REV_NUM_H[3:0]	芯片版本号高 4 位。
3:0	REV_NUM_L[3:0]	芯片版本号低 4 位。

29.4.3 调试控制寄存器 (DBG_CTRL)

地址偏移: 0x04

POR 复位值: 0x0000 0000 (系统复位不会重置)

31	Reserved										22	21	20	19	18	17	16
15	14	13	12	11	10	9	8	7		RW	RW	RW	RW	RW	RW	RW	
I2C1_SMBUS_TIMEOUT	CAN1_STOP	TIM4_STOP	TIM3_STOP	TIM2_STOP	TIM1_STOP	WWDG_STOP	IWDG_STOP		Reserved	3	2	1	STDBY	STOP	SLEEP	0	
RW	RW	RW	RW	RW	RW	RW	RW			RW	RW	RW	RW	RW	RW	RW	

位域	名称	描述
31:22	Reserved	保留, 必须保持复位值。
21	CAN2_STOP	当内核进入调试状态时, CAN2 停止运行。 由软件置 1 或清零。 0: CAN2 仍然正常运行; 1: CAN2 的接收寄存器不继续接收数据。
20:17	TIMx_STOP	当内核停止时停止定时器计数器 (x=7,6,5,8)。 由软件置 1 或清零。 0: 内核停止时, 时钟仍提供给相关定时器的计数器, 定时器输出正常工作; 1: 当内核停止时, 关闭相关定时器的计数器的时钟, 同时关闭定时器的输出。
16:15	I2CxSMBUS_TIMEOUT	当内核停止时停止 SMBUS 超时模式 (x=2,1)。 由软件置 1 或清零。 0: 与正常模式操作相同; 1: 冻结 SMBUS 的超时控制。
14	CAN1_STOP	当内核进入调试状态时, CAN1 停止运行。 由软件置 1 或清零。 0: CAN1 仍然正常运行; 1: CAN1 的接收寄存器不继续接收数据。
13:10	TIMx_STOP	当内核进入调试状态时计数器停止工作 (x=4,3,2,1)。 由软件置 1 或清零。 0: 所选定时器的计数器仍正常工作; ; 1: 所选定时器的计数器停止工作。
9	WWDG_STOP	当内核进入调试状态时, 调试窗口看门狗停止工作。 由软件置 1 或清零。 0: 窗口看门狗计数器仍正常工作; 1: 窗口看门狗计数器停止工作。
8	IWDG_STOP	当内核进入调试状态时, 看门狗停止工作。 由软件置 1 或清零。 0: 门狗计数器仍然正常工作; 1: 看门狗计数器停止工作。
7:3	Reserved	保留, 必须保持复位值。

位域	名称	描述
2	STDBY	<p>调试待机模式。</p> <p>由软件置 1 或清零。</p> <p>0: (FCLK 关、HCLK 关) 整个数字电路部分都断电。从软件的角度来看，退出 STANDBY 模式与复位相同（除了一些状态位指示微控制器刚从 STANDBY 状态退出）。</p> <p>1: (FCLK 开、HCLK 开) 数字电路部分不掉电，FCLK 和 HCLK 时钟由内部 RLD 振荡器提供时钟。另外，微控制器通过产生系统复位来退出 STANDBY 模式和复位是一样的。</p>
1	STOP	<p>调试停止模式。</p> <p>由软件置 1 或清零。</p> <p>0: (FCLK 关、HCLK 关) 在停止模式下，时钟控制器禁用所有时钟（包括 HCLK 和 FCLK）。退出 STOP 模式时，时钟的配置与复位后的配置相同（微控制器由 8MHz 内部 RC 振荡器（HSI）提供时钟）。因此，软件必须重新配置时钟控制系统来启动 PLL、晶振等。</p> <p>1: (FCLK 开、HCLK 开) 在停止模式下，FCLK 和 HCLK 时钟由内部 RC 振荡器提供。退出停止模式时，软件必须重新配置时钟系统以启动 PLL、晶振等（与配置该位为 0 时的操作相同）。</p>
0	SLEEP	<p>调试睡眠模式。</p> <p>由软件置 1 或清零。</p> <p>0: (FCLK 开, HCLK 关) 在睡眠模式下，FCLK 由先前已配置好的系统时钟提供，而 HCLK 则关闭。由于睡眠模式不会重置已配置好的时钟系统，因此在退出睡眠模式时，无需重新配置时钟系统。</p> <p>1: (FCLK 开, HCLK 开) 在睡眠模式下，FCLK 和 HCLK 时钟均由先前配置好的系统时钟提供。</p>

30 唯一设备序列号 (UID)

30.1 简介

MCU 系列产品内置两个不同长度的唯一设备序列号，分别为 96 位的 UID(Unique device ID)和 128 位的 UCID(Unique Customer ID)，这两个设备序列号存放在闪存存储器的系统配置块中，它们所包含的信息在出厂时编写，并保证对任意一个 MCU 微控制器在任何情况下都是唯一的，用户应用程序或外部设备可以通过 CPU 或 JTAG/SWD 接口读取，不可被修改。

UID 为 96 位，通常用来做为序列号或作为密码，在编写闪存时，将此唯一标识与软件加解密算法相结合，进一步提高代码在闪存存储器内的安全性，也可用于激活带安全功能的自举程序(Secure Bootloader)。

UCID 为 128 位，遵守国民技术芯片序列号定义，它包含芯片生产及版本相关信息。

30.2 UID 寄存器

起始地址：0x1FFF_F7F0 长度 96 位。

30.3 UCID 寄存器

起始地址：0x1FFF_F7C0 长度 128 位。

31 版本历史

日期	版本	修改记录
2022.7.8	V3.0	初始版本
2022.09.07	V3.1.0	<ol style="list-style-type: none">删除 RTC 周期性唤醒支持 Standby 模式。7.2.5.7 章节，增加 TIMx_ETR 的映射。图 12-1，增加 ETR pin 的映射说明。修改 PVD 阈值档位信息描述错误。修改图 21-25 I2S 时钟发生器结构。修改 ADC 采样时钟、采样速率。时钟树图新增说明:PLL 作为系统时钟源时，PLL 最小时钟输出为 32MHz。I2C 主机发送/接收模式章节新增注释说明。

32 声明

国民技术股份有限公司（下称“国民技术”）对此文档拥有专属产权。依据中华人民共和国的法律、条约以及世界其他法域相适用的管辖，此文档及其中描述的国民技术产品（下称“产品”）为公司所有。

国民技术在此并未授予专利权、著作权、商标权或其他任何知识产权许可。所提到或引用的第三方名称或品牌（如有）仅用作区别之目的。

国民技术保留随时变更、订正、增强、修改和改良此文档的权利，恕不另行通知。请使用人在下单购买前联系国民技术获取此文档的最新版本。

国民技术竭力提供准确可信的资讯，但即便如此，并不推定国民技术对此文档准确性和可靠性承担责任。

使用此文档信息以及生成产品时，使用者应当进行合理的设计、编程并测试其功能性和安全性，国民技术不对任何因使用此文档或本产品而产生的任何直接、间接、意外、特殊、惩罚性或衍生性损害结果承担责任。

国民技术对于产品在系统或设备中的应用效果没有任何故意或保证，如有任何应用在其发生操作不当或故障情况下，有可能致使人员伤亡、人身伤害或严重财产损失，则此类应用被视为“不安全使用”。

不安全使用包括但不限于：外科手术设备、原子能控制仪器、飞机或宇宙飞船仪器、所有类型的安全装置以及其他旨在支持或维持生命的应用。

所有不安全使用的风险应由使用人承担，同时使用人应使国民技术免于因为这类不安全使用而导致被诉、支付费用、发生损害或承担责任时的赔偿。

对于此文档和产品的任何明示、默示之保证，包括但不限于适销性、特定用途适用性和不侵权的保证责任，国民技术可在法律允许范围内进行免责。

未经明确许可，任何人不得以任何理由对此文档的全部或部分进行使用、复制、修改、抄录和传播。