

### 3. Programovatelné a neprogramovatelné logické obvody

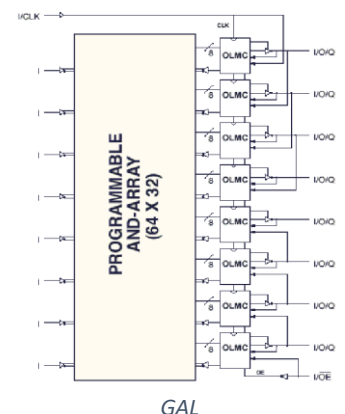
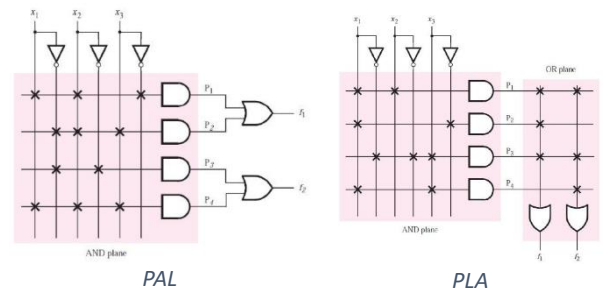
- Charakteristika, vznik a rozdělení PLD
- Popis dílčích PLD obvodů
  - PLA, PAL, GAL, CPLD, FPGA
- Makrobunka vs. logický blok
- Vývojové prostředí WebPack
  - PLD kompilátor
- Charakteristika NPLD
- Popis a využití vybraných obvodů
  - 74164, 74166, 74595, 74573, 74244, 74245, 74688, 74193

## Charakteristika, vznik a rozdělení PLD

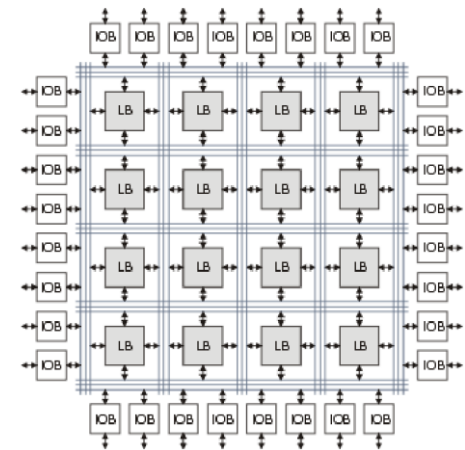
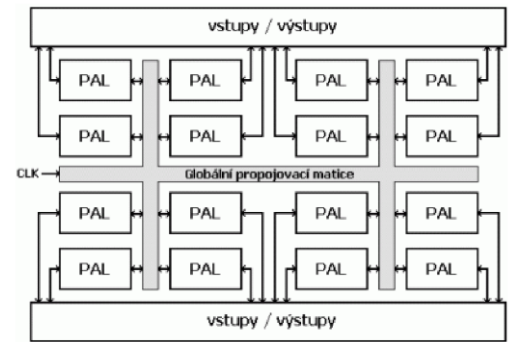
- Charakteristika
  - Číslicové obvody, které lze konfigurací naprogramovat
    - Vytváření / přerušování propojek nebo zápis do paměťových buněk
  - Prostředek pro návrh / realizaci kombinačních a sekvenčních obvodů
    - Díky vývojovým prostředkům, které lze pro práci s nimi použít, umožňují podstatným způsobem usnadnit práci vývojáře / návrháře
- Vznik
  - Nahrazují kombinační a sekvenční LO
    - Sestaveny z obvodů střední inteligence (hradla, čítače, registry, ...)
    - Na rozdíl od hradel, registrů a jiných obvodů, které mají z výroby pevně danou funkci, musí být PLD před použitím naprogramováno
- Rozdělení
  - Nejjednodušší PLD je PROM
  - SPLD (Simple PLD)
    - Spíše pro kombinační logiku
  - CPLD (Complex PLD)
    - Charakteristické počtem makro-buněk
  - FPGA (Field Programmable Gate Array)
    - Makro-buňky nahrazené logickými bloky

## Popis dílčích PLD obvodů

- PAL (Programmable Array Logic)
  - Můžeme programovat AND pole
  - Hradla OR jsou pevně dané
  - Eliminována nespolehlivost zapojení, zjednodušila návrh a snížila spotřebu energie integrováním složitějších logických funkcí do jediného čipu
- PLA (Programmable Logic Array)
  - Můžeme kromě ANDu programovat i OR pole
  - Je nákladnější a složitější než PAL
  - Spojení jsou vytvořena pomocí pojistky v každém průsečíku, kde lze nežádoucí spojení odstranit „vyfukováním“ pojistek
- GAL (Generic Array Logic)
  - Vylepšená verze PAL
  - Má stejné vlastnosti a parametry, ale může být přeprogramováno
  - Využíváno v prototypní fázi designu, kdy každý problém může být opraven pomocí jednoduchého přeprogramování (pomocí PAL programmeru nebo in-circuit programmingu v případě podpory čipem)

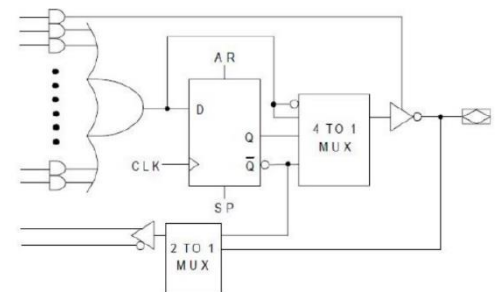


- CPLD
  - Složitější než SPLD
  - Větší množství logiky na jednom čipu
    - Několik obvodů patřících do SPLD (PAL nebo GAL) propojených propojovacími poli
  - Počet makro-buněk v řádech desítek a stovek
    - SPLD v řádu jednotek
  - Většina pinů je univerzálních
    - Pár speciálních (CLK, programování, ...)
- FPGA
  - Nejsložitější, ale zároveň nejobecnější PLD
  - IOB (IO blok) přísluší každému IO pinu a mohou obsahovat registr, budič, multiplexor a ochranné obvody
  - Jednotlivé LO jsou propojeny GIM /AIM (globální propojovací matice)
    - Signály sousedních LO mohou být propojeny přímo pro rychlejší, realizaci např. čítaček nebo násobiček
  - Většina obsahuje paměť SSRAM (Synchronous Static RAM), ze které se berou data
  - Mohou obsahovat speciální bloky (HW násobičky; PLL, DLL – pro práci s CLK)
  - Využití EEPROM, kterou automaticky přečte po zapnutí a uloží do SSRAM



## Makro-buňka vs. Logický blok

- Makro-buňka (OLMC – Output Logic Macro Cell)
  - Umožňuje výrobu sekvenčních automatů a pamatování předchozího stavu
  - Umožňuje převod mezi Mealyho a Mooreho automatem
  - Základní částí je D kopný obvod (bez něj pouze jako KLO (Kombinační Logický Obvod)) doplněný o pomocná hradla
  - Skládá se z kombinatoriky AND OR hradel a klop. O. a v podstatě každá buňka může představovat malou booleovskou rovnici
  - V každé makro buňce může být vytvořena logická funkce s až 16 logickými součiny
  - Složení makro buněk dohromady nám dává logický blok
- Logický Blok
  - Samotná programovatelná logika
  - Logický blok je programovatelný a je složitější
  - Může obsahovat třeba budič nebo registr a jiné obvody
  - Logický blok v FPGA může být stejně jednoduchý a malý jako makro buňka, ale taky velký a komplexní, nicméně nejsou nic víc, než například pár tabulek logických funkcí nebo klopného obvodu
  - Logické bloky jsou nejběžnější architekturou FPGA a jsou rozloženy do pole logických bloků



## Vývojové prostředí WebPack

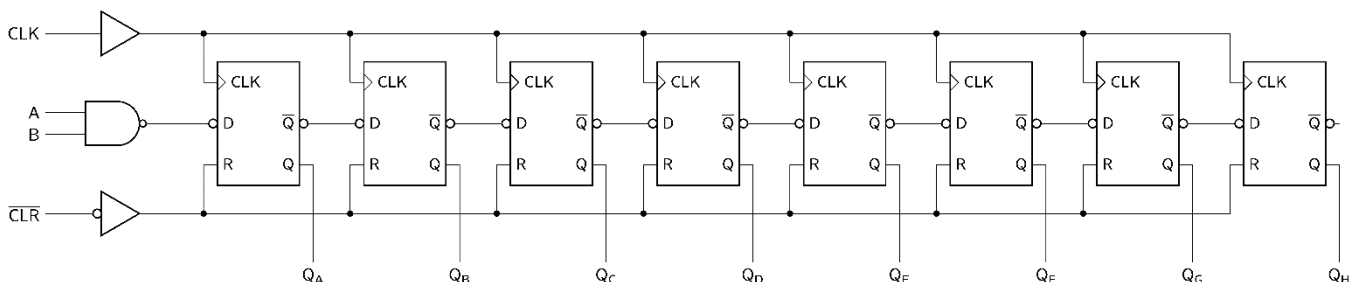
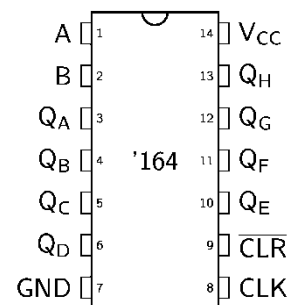
- PLD kompilátor
  - Vývojové systémy / prostředí umožní definovat návrh číslicového obvodu bez ohledu na konkrétní typ PLD, jež bude nakonec použit
  - Převádí definice logických funkcí do implementačního prostředí konkrétního PLD
  - Dříve výstupem soubor .jedec dnes .bit
    - Programuje se do konkrétního PLD přes LPT nebo USB
  - Transformace zápisu včetně minimalizace
    - Zjednodušení návrhu
    - Doplněno optimalizací pro konkrétní PLD
      - Minimalizace vstupů, výstupů, vnitřních termů a makro-buněk

## Charakteristika NPLD

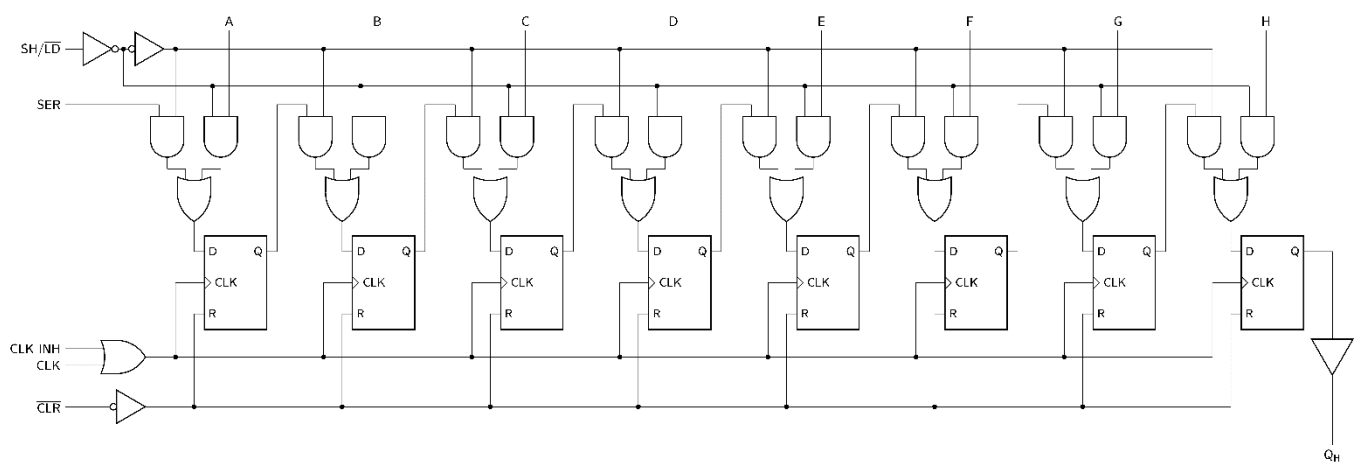
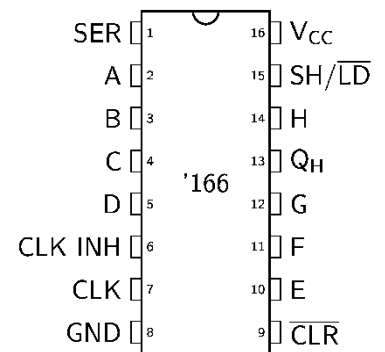
- Funkce je pevně daná při výrobě
- V podobě integrovaných obvodů
- Použití:
  - Posuvné registry
  - Záchytné registry
  - Posilovače sběrnice
  - Komparátory
  - Čítače

## Popis a využití vybraných obvodů

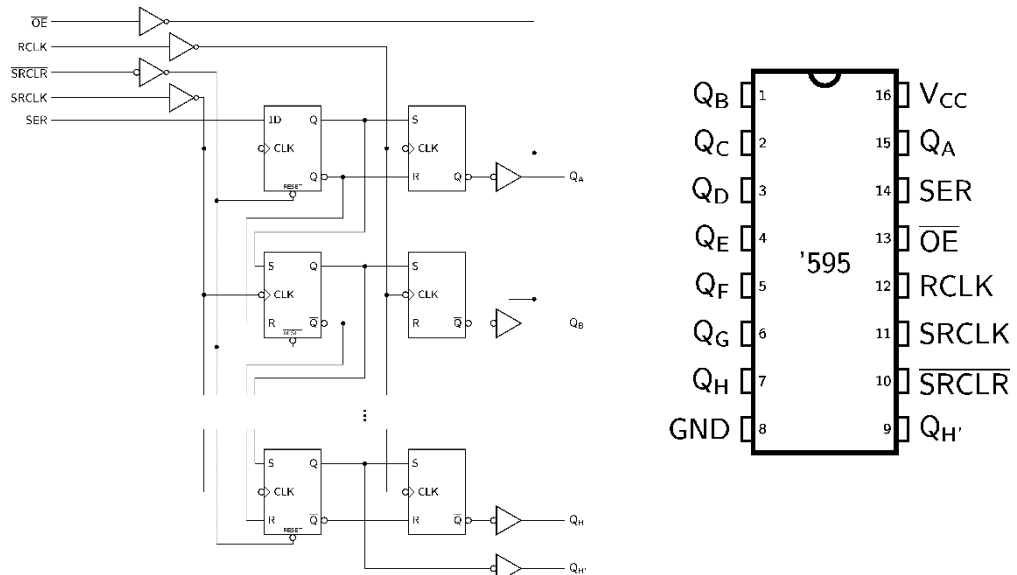
- 74164 – 8bit posuvný registr
  - sériový vstup -> paralelní výstup
  - Pro převod sériové informace na paralelní (např. vysílací jednotka) nebo pro rozšíření počtu výstupů u uP
  - Je potřeba 8 clk, aby se změnila informace ze sériové na paralelní
  - Vstupy A, B
  - Výstupy Qa – Qe
  - CLR pro vymazání



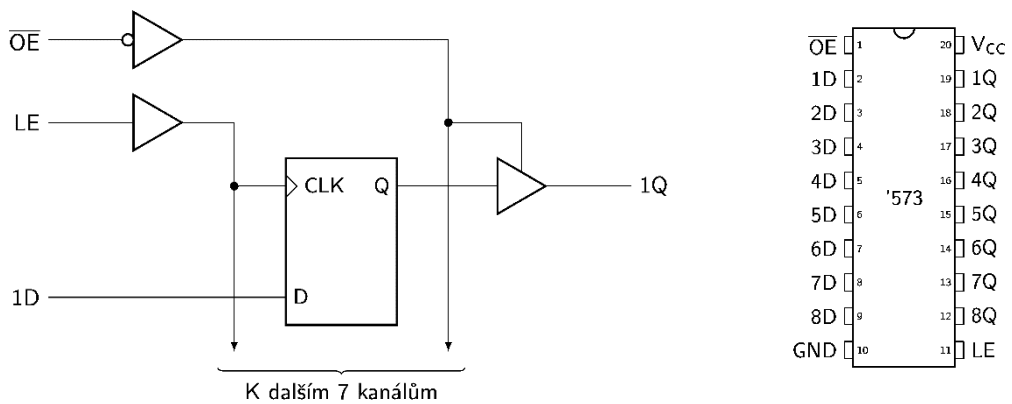
- 74166 – 8bit posuvný registr
  - Paralelní vstup -> sériový výstup
  - Pro převod paralelní informace na sériovou (přijímací jednotka) rozšíření počtu výstupů u uP
  - Vstupy A-H
  - Výstup  $Q_H$
  - CLK INH (Inhibita) zastaví clock
  - SER – Sériová informace
  - SH – Shift
  - LD – Load
  - CLR – Clear



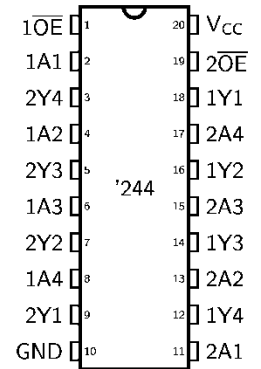
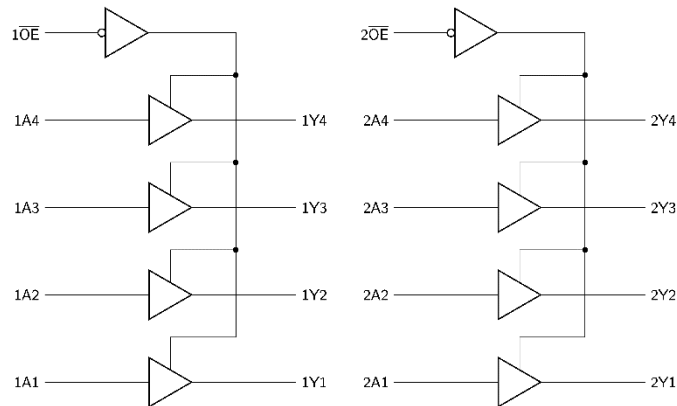
- 74595 – 8bit posuvný registr
  - 3 stavový výstup
  - Sériový vstup -> paralelní výstup
  - Pro Převod paralelní informace na sériovou, světelné tabule, rozšíření počtu pinů u uP



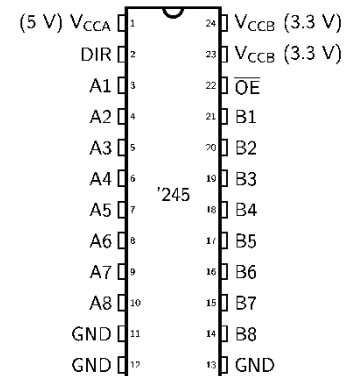
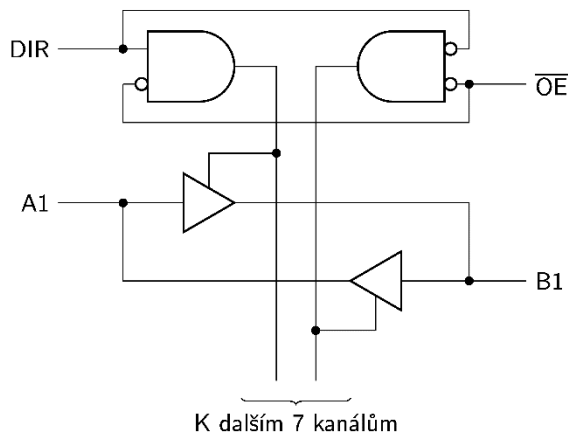
- 74573 – 8bit střadač / Záchytný registr (Latch Register)
  - 3 stavový výstup
  - Pro rychlé zachytávání informací na sběrnici nebo pro rozšíření uP o vnější paměť



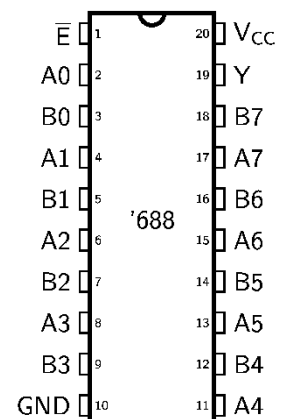
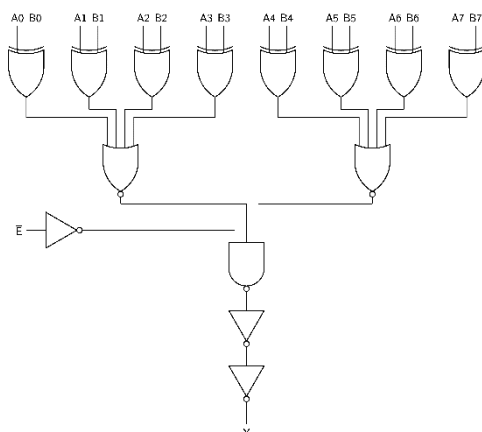
- 74244 – 2x 4bit – Jednosměrný budič – posilovač sběrnice
  - Jednosměrný budič
  - Vstup 3.3 nebo 5V
  - Výstup 5V
  - 3 stavový výstup
  - Používán jako vysílač pro sběrnici, možno spínat náročnější součástky



- 74245 – 2x 8bit Oboustranný budič – Posilovač sběrnice
  - Vstup 3.3 nebo 5V
  - Výstup podle směru 3.3 nebo 5V
  - 3 stavový výstup
  - Používán jako vysílač pro sběrnici, možno spínat náročnější součástky



- 74688 – 2x 8bit Komparátor
  - 3 stavový výstup
  - Pro porovnávání 2 8bit slov jako adresní dekodér – 1 vstup pevně daný



- 74193 – 4bit Obousměrný čítač
  - Kaskádní zapojení (Výstup z předchozího na vstup následujícího)
  - Přednastavení vstupu
  - Používán jako čítač událostí / odpočet, pořadník

