

IS-TWL 開発ツール I2C内部レジスタ

Copyright©2008 INTELLIGENT SYSTEMS CO.,LTD.

2008/3/15

I2C-TWL

I2Cのラインを通してTWL-ARM7とDEBUGGER or CAPTUREが通信する経路。
TWL-CPUからは、DEBUGGER/CAPTUREのどちらかのみ見えるようにする。
(TWL-CPUのリセット解除前に決定すること。基本的にはリセット制御権を持つ側のデバイスがレジスタセットを見せる)

- ・ デバイスアドレス
0x90 (1001000x)

アドレス	レジスタ名	属性	d07	d06	d05	d04	d03	d02	d01	d00	初期値
00h	IDENTIFY	RW	44h or 43h								4xh
01h	VERSION	RW	01h (バージョンにより異なる)								01h
02h	NOTIFY	RW	RSTCODE				0	0	0	RESET	00h
03h	RFU	**									**h
04h	HEARTBEAT	RW	ERRCODE				NACK	ACK	PROC	BEAT	00h
05h-	RFU	**									**h

● IDENTIFY (ADDR:00) 機器識別

[d07:d00]: 機器名
44h : IS-TWL-DEBUGGER
43h : IS-TWL-CAPTURE

● VERSION (ADDR:01) バージョンコード

[d07:d00]: バージョンコード
xxh : 内容未定

● NOTIFY (ADDR:02) リセット要因通知

[d07:d04]: リセット要因
どの様な要因でリセット要求が発生したかを示します。
内容未定です。

[d00]: リセット前処理要求
1 : リセット前処理(NANDファイルシステムの終了処理など)が要求されていることを示します。

● HEARTBEAT (ADDR:04) ハートビート通知

このレジスタはリセット中にTWL-CPUより書き換えされます。

[d07:d04]: エラーコード
内容未定です。

[d03]: NACK
1 : 終了処理が何らかの原因で出来なかったことを示します。

[d02]: ACK
1 : 終了処理が完了したことを示します。

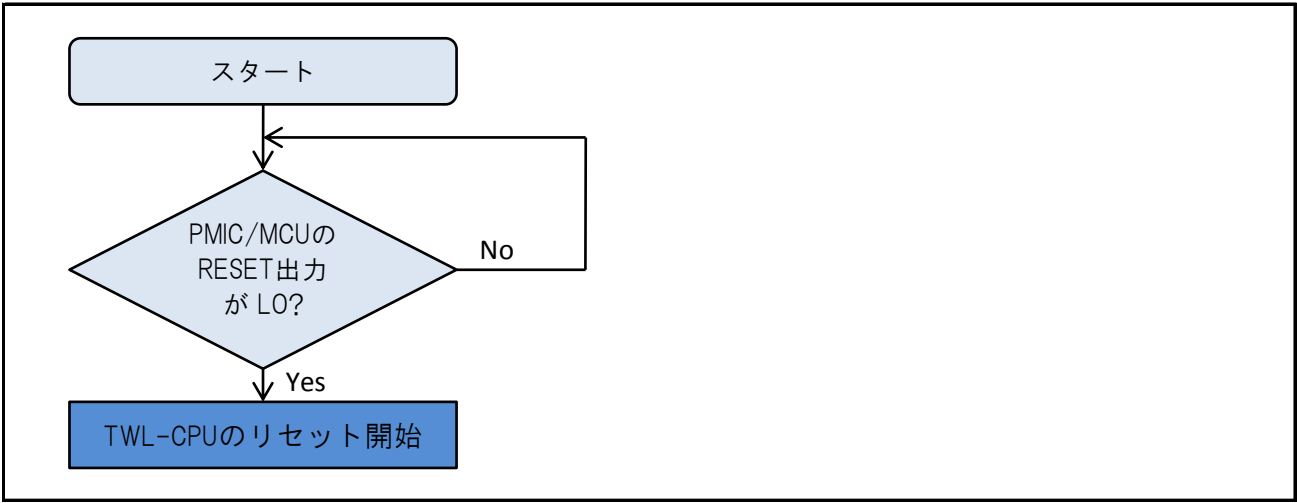
[d01]: PROC
1 : 終了処理中である事を示します。

[d00]: BEAT ハートビートレジスタ
0/1フリップ : 200msec(暫定値)以内に 0<->1をフリップすることで、NANDファイルシステムの終了中である事を示します。
200msecを超えてもフリップが発生しない場合、ARM7コアが暴走したと見なします。

TWL-CPU リセットフロー

IS-TWL 開発ツール内部のリセット処理は以下の通りです。

1. TWL-PMIC/TWL-MCUからのリセット



2. 開発ツールからのリセット (例: GUI上のリセットボタン押下)

