

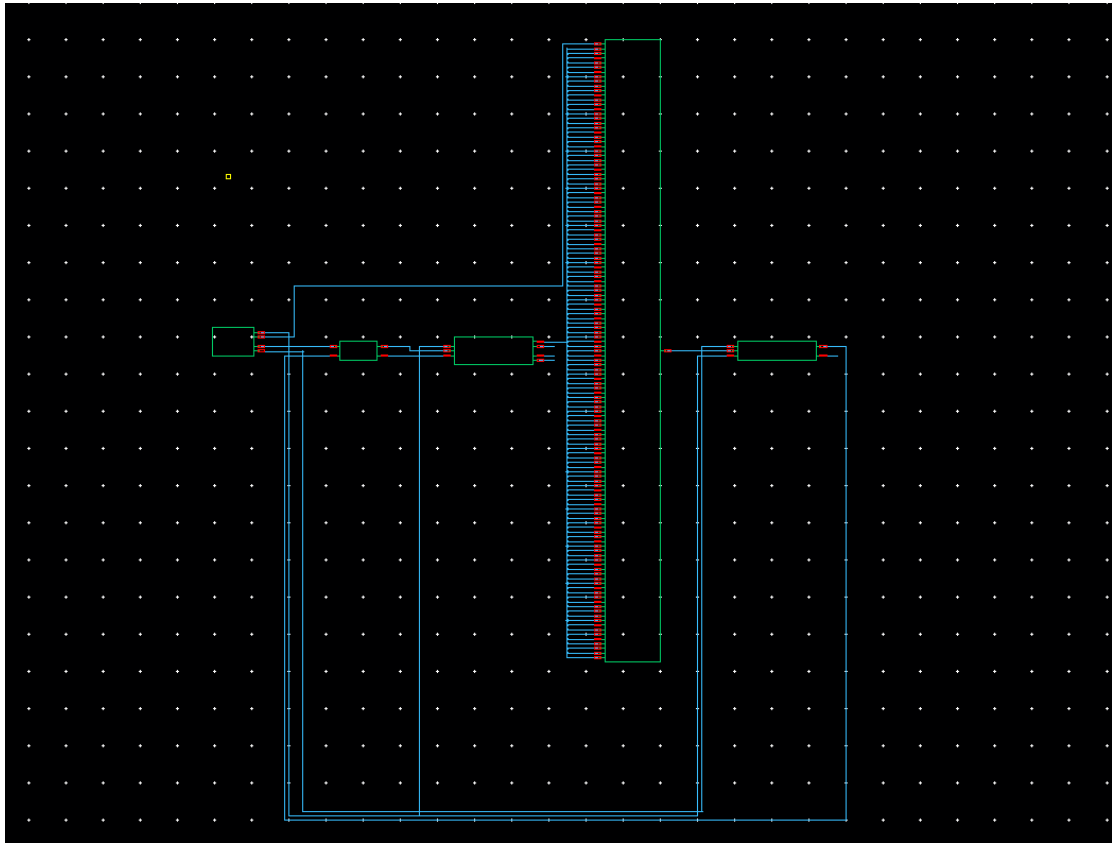
# Final Project – Design an All-Digital Phase-Locked Loop

adic43

姓名:許晉偉

學號:610415145

## 架構



我的 ADPLL 由 5 個電路所組成分別是

Monitor > PFD > CONTROLLER > DCO > frequency divider

## **Monitor**

Monitor 用來產生所有電路要用的 Reference clock 和產生 reset 以及 frequency divider 所需要的除數

## **PFD**

PFD 利用前面 2 個 D 型正反器輸入波型 再利用 NAND 電路產生相位差經過放大電路放大相位差後輸出到後面 2 個 D 型正反器輸出 FLAGU 和 FLAGD

## **CONTROLLER**

當 PFD 的 FLAGU 和 FLAGD 進來後檢查他們 2 個是否反向當反向發生時代表相位不同此時利用 state 紀錄是哪個相位超前並依據 state=1 or 0 來對

Dco\_code 加減 step,當 state 變化的時候代表原本領先的變成落後或者相反,這個時候 polarity 會變成 high 隨後 polarity 變成 low 時 step 會除 2 代表逐漸收斂。每當 dco\_code 加減完他就會傳到下一級給 DCO 電路做運算得到頻率,當頻率對應不到的時候 dco\_code 會發生 overflow/underflow,在下次檢查反向前先檢查 dco\_code 當他超過我的範圍( $>130$  or  $<1$ )將他鎖住不在做運算

## **DCO**

當我的 DCO 收到 CONTROLLER 給的 DCO\_CODE 的時產生對應的頻率

並傳送給 frequency divider

## frequency divider

當 DCO 傳送 CLK 進來後開始計數此時 COUNTER=MONITOR 設定的除數+1

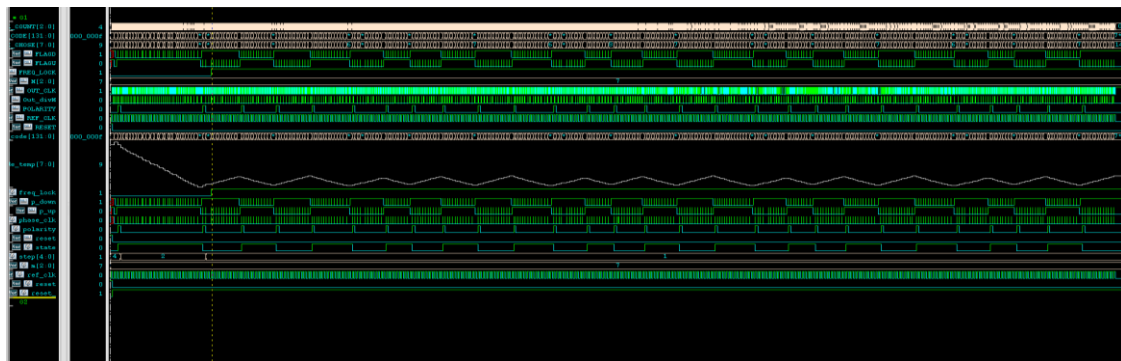
接者減 COUNTER 當 COUNTER 等於除數時產生 high 其餘 COUNTER 數產生

low 直到 COUNTER 等於 0 再變回去除數+1 以此循環。當除數等於 1 的時候

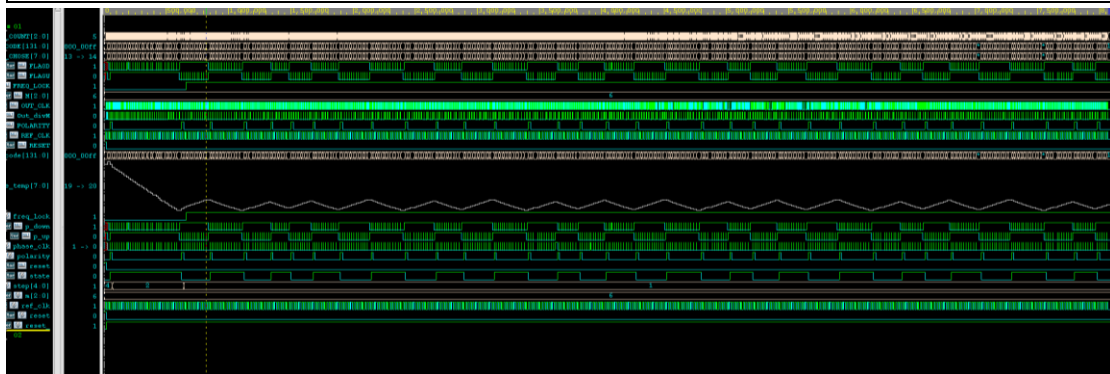
直接等於 DOC 提供的頻率。

## 波形量測結果(數位)

M=7	工作範圍:34.4MHZ~111.11MHZ(9ns~~29ns)
波型:47.6MHZ(21ns)	



M=6	工作範圍: <b>42MHZ~128MHZ</b> (7.8ns~23.8ns)
波型: 50MHZ(20ns)	

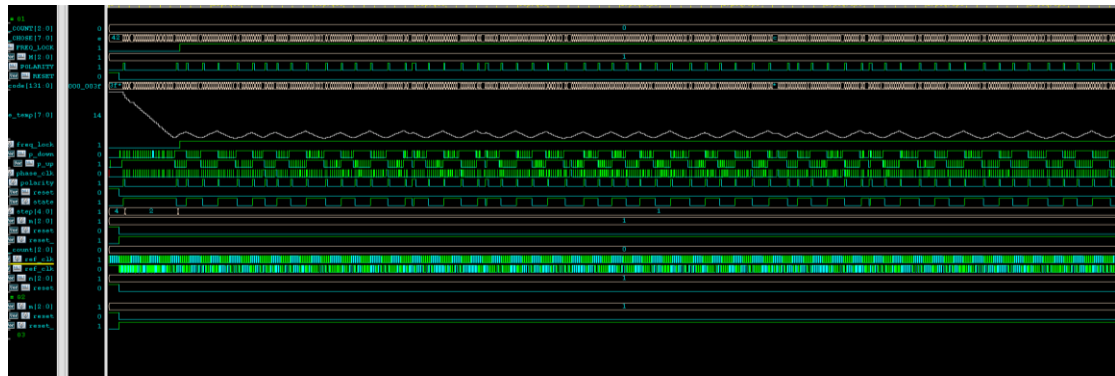
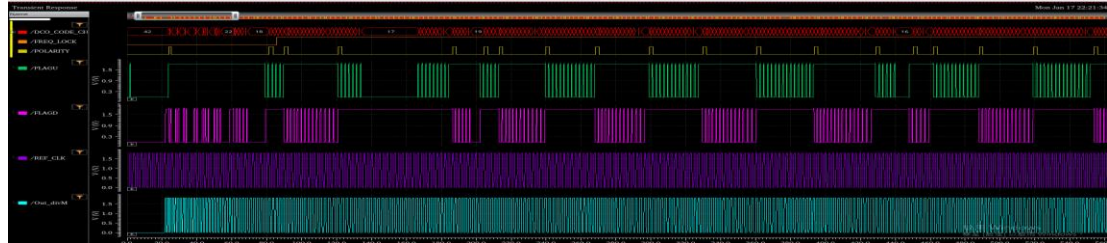




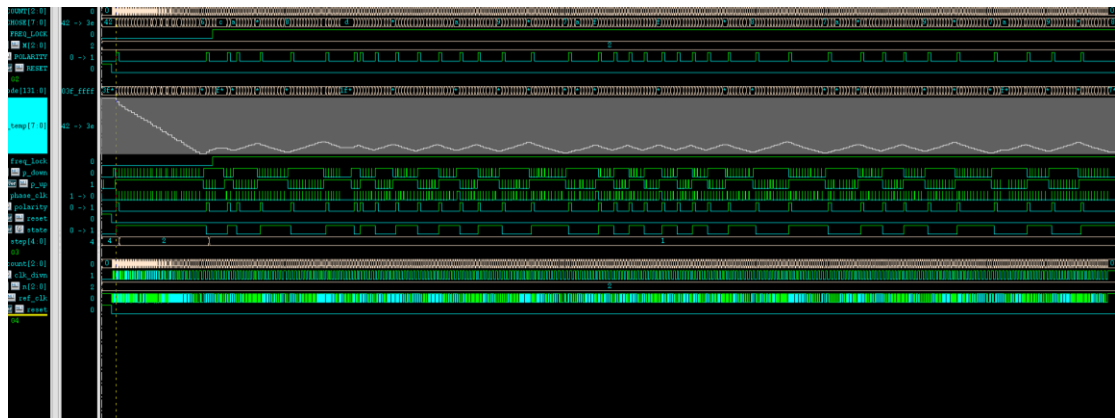
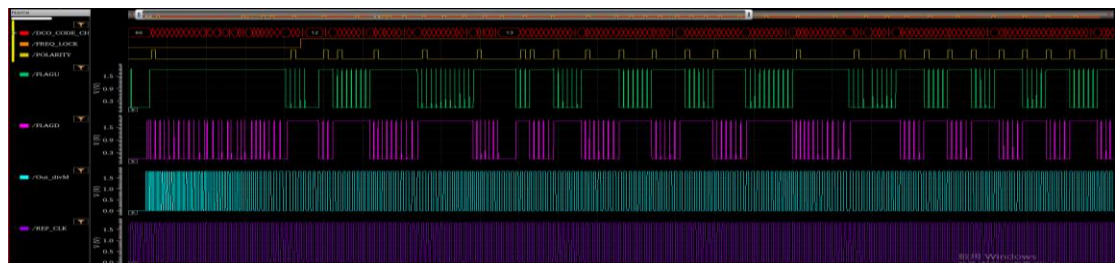


# AMS 波形量測結果(混類比模型)

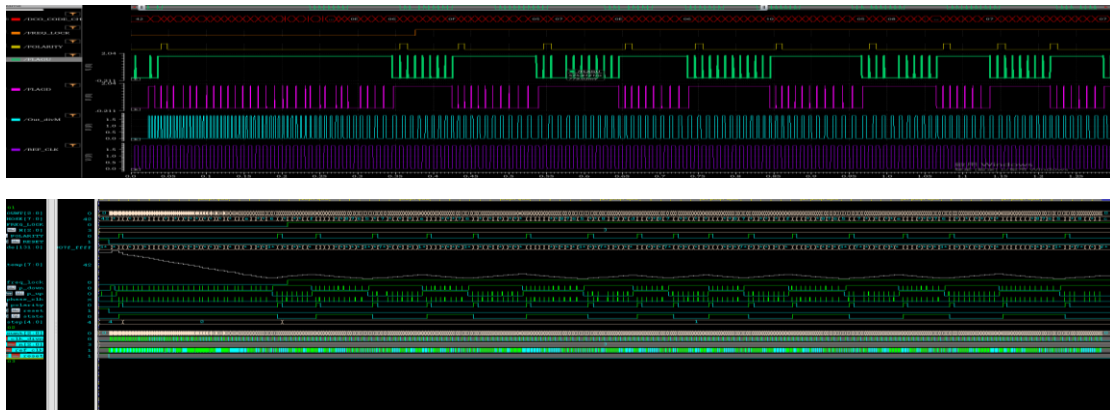
AMS M=1    454MHZ(2.2ns)



AMS M=2    166.6MHZ 6ns



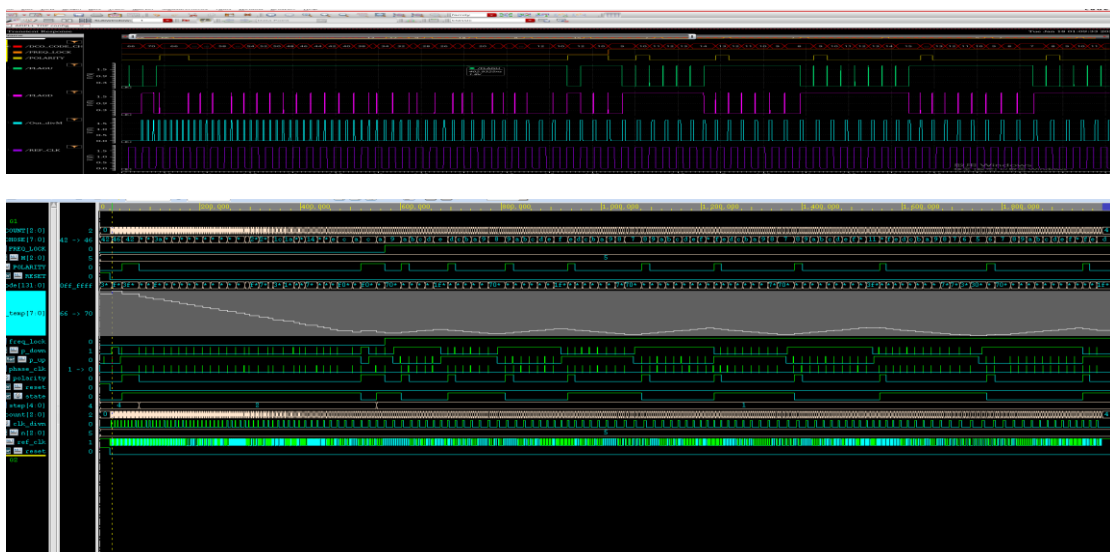
AMS M=3 100MHZ(10ns)



AMS M=4 83.3Mhz(12ns)

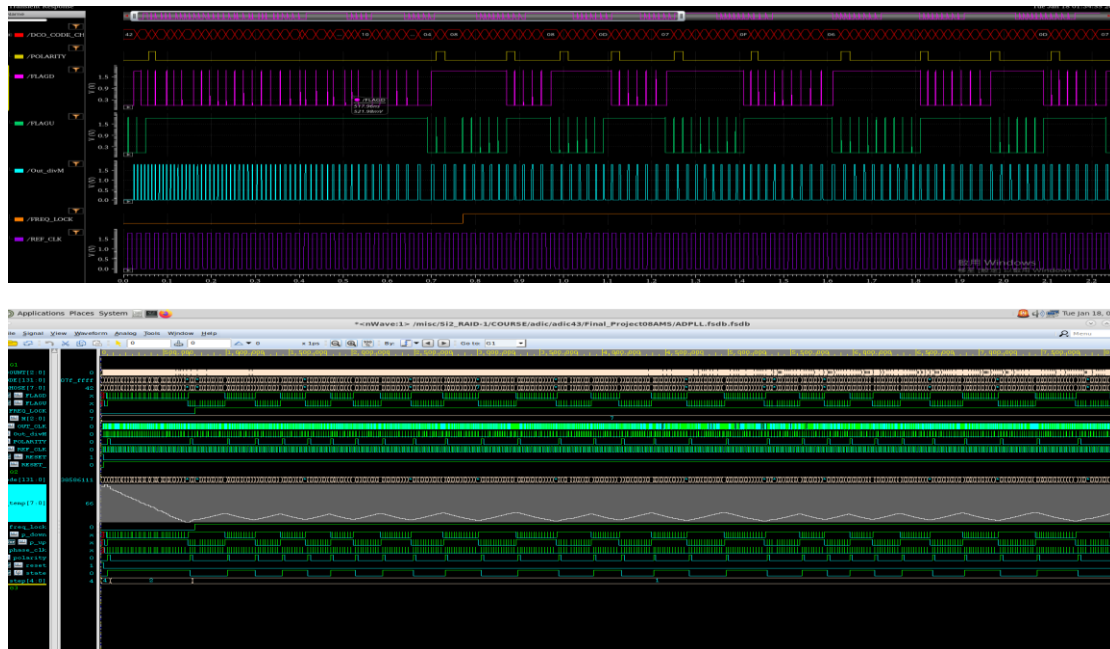


AMS M=5 62.5MHZ(16ns)

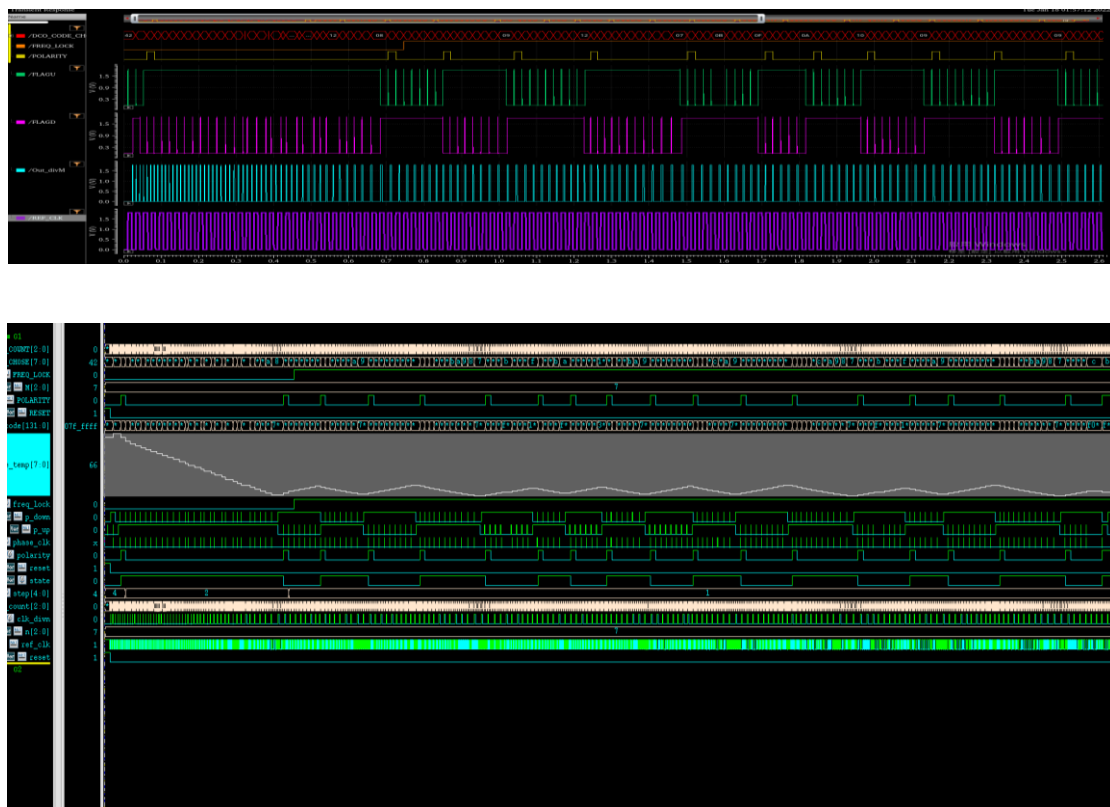




AMS M=6 50MHZ(20ns)



M=7 47.6MHZ(21ns)





# AMS specifications

parameter		Description
1	Target Process	L18U18V_TT
2	Reference Clock (MHz)	Max: 806 min:277.7
3	Output Clock (MHz)	Max:813 min:256.4
4	Programmable Input and Feedback Divider	1
5	Lock-in Time (# cycle)	14
6	Re-lock time (# cycle)	
7	Output Jitter (ps)	Period:9.6 cycle:47.5
8	Output Phase Drift (ps)	1215
9	Power Consumption (mW)	Max:15.602mw avg:-5.269mw

parameter		Description
1	Target Process	L18U18V_TT
2	Reference Clock (MHz)	Max:111.1 min:33.3
3	Output Clock (MHz)	Max:769.23 min:285
4	Programmable Input and Feedback Divider	7
5	Lock-in Time (# cycle)	35
6	Re-lock time (# cycle)	
7	Output Jitter (ps)	Period:25.2 cycle:166.8
8	Output Phase Drift (ps)	2764
9	Power Consumption (mW)	Max:15.34mw avg:4.1mw