



UNIVERSIDADE FEDERAL DO CEARÁ

Campus de Quixadá

Prof. Thiago Werlley Bandeira da Silva

QXD0146- Sistemas Digitais para Computadores

T2

Especificação

1. Descrição

O trabalho consiste na implementação de instruções (mostradas abaixo) para o processador desenvolvido em sala. Cada equipe deverá implementar todas as instruções.

Instrução	Operação	Tipo	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PSH Rn	[SP] = Rn; SP --	PILHA	0	0	0	0	0	–	–	–	–	–	–	Rn ₂	Rn ₁	Rn ₀	0	1
POP Rd	SP ++; Rd = [SP]	PILHA	0	0	0	0	0	Rd ₂	Rd ₁	Rd ₀	–	–	–	–	–	–	1	0
CMP Rm, Rn	Z = (Rm = Rn)?1 : 0; C = (Rm < Rn)?1 : 0	ULA	0	0	0	0	0	–	–	–	Rm ₂	Rm ₁	Rm ₀	Rn ₂	Rn ₁	Rn ₀	1	1
JMP #Im	PC = PC + #Im	DESVIO	0	0	0	0	1	Im ₈	Im ₇	Im ₆	Im ₅	Im ₄	Im ₃	Im ₂	Im ₁	Im ₀	0	0
JEQ #Im	PC = PC + #Im, se Z = 1 e C = 0	DESVIO	0	0	0	0	1	Im ₈	Im ₇	Im ₆	Im ₅	Im ₄	Im ₃	Im ₂	Im ₁	Im ₀	0	1
JLT #Im	PC = PC + #Im, se Z = 0 e C = 1	DESVIO	0	0	0	0	1	Im ₈	Im ₇	Im ₆	Im ₅	Im ₄	Im ₃	Im ₂	Im ₁	Im ₀	1	0
JGT #Im	PC = PC + #Im, se Z = 0 e C = 0	DESVIO	0	0	0	0	1	Im ₈	Im ₇	Im ₆	Im ₅	Im ₄	Im ₃	Im ₂	Im ₁	Im ₀	1	1
IN Rd	Rd = IO_read (7...0)	E/S	1	1	1	1	–	Rd ₂	Rd ₁	Rd ₀	–	–	–	–	–	–	0	1
OUT Rm	IO_write = Rm	E/S	1	1	1	1	0	–	–	–	Rm ₂	Rm ₁	Rm ₀	–	–	–	1	0
OUT #Im	IO_write = #Im	E/S	1	1	1	1	1	Im ₇	Im ₆	Im ₅	0	0	0	Im ₄	Im ₃	Im ₂	Im ₁	Im ₀
SHR Rd, Rm, #Im	Rd = Rm >> #Im	ULA	1	0	1	1	–	Rd ₂	Rd ₁	Rd ₀	Rm ₂	Rm ₁	Rm ₀	Im ₄	Im ₃	Im ₂	Im ₁	Im ₀
SHL Rd, Rm, #Im	Rd = Rm << #Im	ULA	1	1	0	0	–	Rd ₂	Rd ₁	Rd ₀	Rm ₂	Rm ₁	Rm ₀	Im ₄	Im ₃	Im ₂	Im ₁	Im ₀
ROR Rd, Rm	Rd = Rm >> 1; Rd(MSB) = Rm(LSB)	ULA	1	1	0	1	–	Rd ₂	Rd ₁	Rd ₀	Rm ₂	Rm ₁	Rm ₀	–	–	–	–	–
ROL Rd, Rm	Rd = Rm << 1; Rd(LSB) = Rm(MSB)	ULA	1	1	1	0	–	Rd ₂	Rd ₁	Rd ₀	Rm ₂	Rm ₁	Rm ₀	–	–	–	–	–

2. Avaliação

- O trabalho deve ser realizado com a mesma equipe.
- Deve ser entregue (via SIPPA, até 07/07) um breve relatório com detalhes da implementação.
- A entrega do relatório das instruções referente a tabela é obrigatória (explique através do relatório como foram feitas cada instrução).
- O trabalho deve ser apresentado até 07/07.