计算机组成原理 (第四讲-2)

厦门大学软件学院 曾文华 2021年3月12日



第4章 存储器

4.1 概述

4.2 主存储器

4.3 高速缓冲存储器

4.4 辅助存储器



4.2 主存储器

- 一、概述
- 二、半导体存储芯片简介
- 三、随机存取存储器(RAM)
- 四、只读存储器(ROM)
- 五、存储器与 CPU 的连接
- 六、存储器的校验
- 七、提高访存速度的措施

四、只读存储器(ROM) Read

Read Only Memory

1. 掩模 ROM (Mask ROM) 图4.27

行列选择线交叉处有 MOS 管为"1"

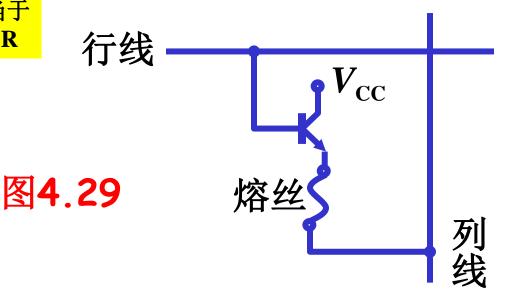
行列选择线交叉处无 MOS 管为"0"

相当于 CD-ROM

2. PROM (一次性编程)

Programmable Read Only Memory

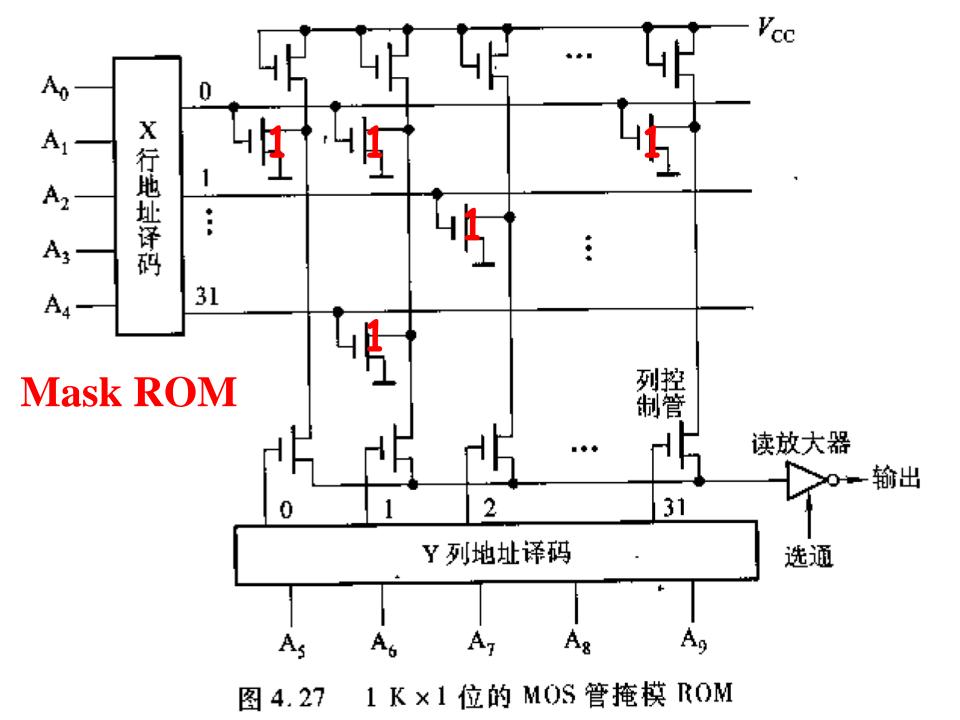
相当于 CD-R



新的PROM,熔丝全部未断,全"1"

熔丝断 为"0"

熔丝未断 为"1"



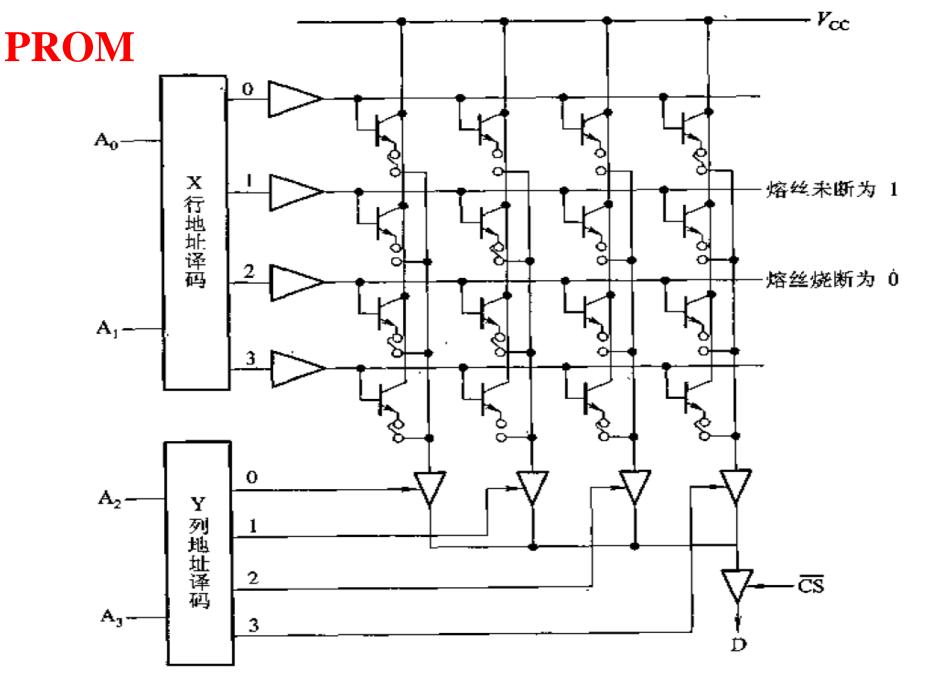


图 4.29 16×1 位双极型镍铬熔丝式 PROM

Erasable Programmable Read Only Memory

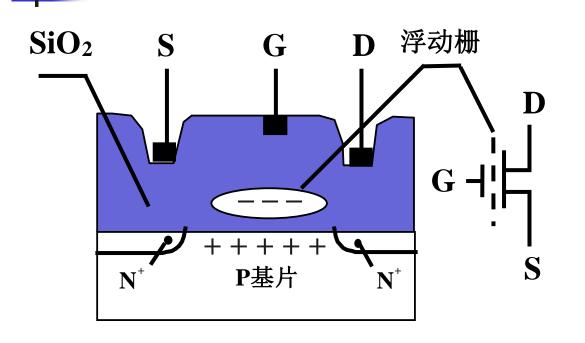
3. EPROM (多次性编程)

可擦除可编程ROM

(1) N型沟道浮动栅 MOS 电路

编程:新的EPROM为全"1",写入过程(称为编程)是通过加较高的电压(高于+5的电压),使部分单元为"0"

擦除:通过紫外线照晒后,又 全部变为"**1**"



G栅极

S 源

D 漏

紫外线全部擦洗

D 端加正电压(高电压) 形成浮动栅

不形成浮动栅

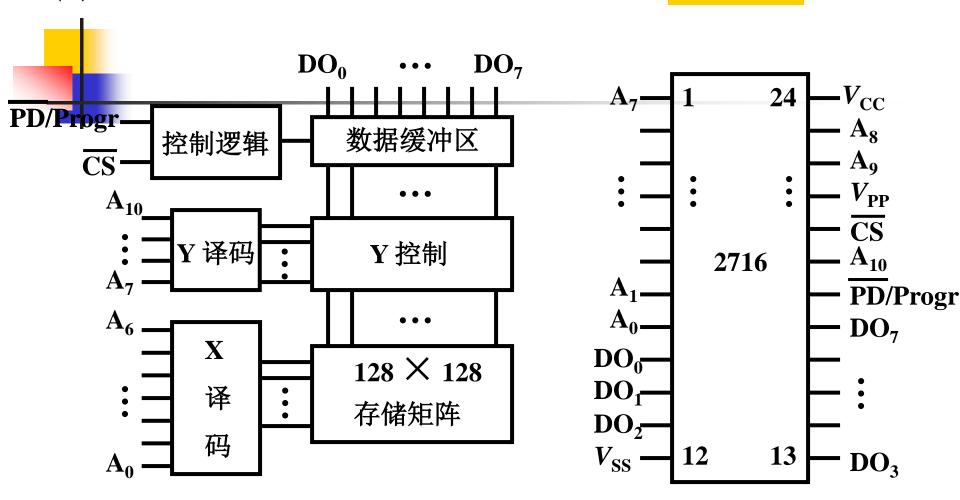
S与D不导通为"0"

S与D导通为"1"

D端不加正电压

(2) 2716 EPROM 的逻辑图和引脚

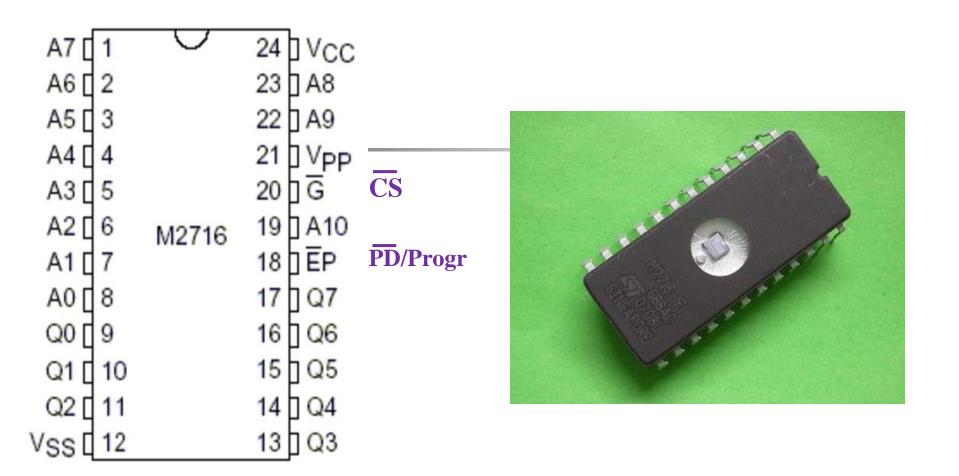
2KX8位



PD/Progr 功率下降 / 编程输入端

2732、2764、27128、27256、27512

读出时为低电平编程时为高电平



地址线: A0-A10 数据线: Q0-Q7 (D0-D7)

控制线: G(片选信号,低电平有效) CS

EP(功率下降/编程输入端,低电平为读出,高电平为编程) PD/Progr

VCC: +5V; VSS: GND; VPP: 编程电压(+12V)

Electrically Erasable Programmable Read Only Memory

4. EEPROM (E²PROM多次性编程)

电可擦写

电可擦除可编程ROM

局部擦写

2816 EEPROM

2KX8位

全部擦写

5. Flash Memory (闪速型存储器,闪存)

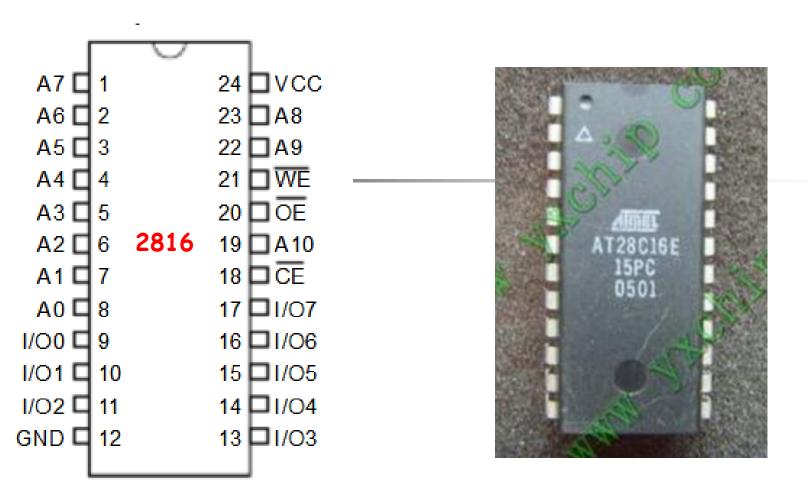
EPROM

价格便宜 集成度高

EEPROM

电可擦洗重写

Flash Memory 比 EEPROM快 具备 RAM 功能



地址线: A0-A10 数据线: I/O0-I/O7 (D0-D7)

控制线:/CE(片选信号,低电平有效)

/OE (输出允许,读信号,低电平有效)

/WE (写信号,低电平有效)



闪存 (Flash Memory)



- □闪存(Flash Memory)是一种长寿命的非易失性(在断电情况下仍能保持所存储的数据信息)的存储器,数据删除不是以单个的字节为单位而是以固定的区块为单位(注意:NOR Flash 为字节存储。),区块大小一般为256KB到20MB。闪存是电子可擦除只读存储器(EEPROM)的变种,闪存与EEPROM不同的是,它能在字节水平上进行删除和重写而不是整个芯片擦写,这样闪存就比EEPROM的更新速度快。由于其断电时仍能保存数据,闪存通常被用来保存设置信息,如在电脑的BIOS(基本输入输出程序)、PDA(个人数字助理)、数码相机中保存资料等。
- ■闪存是一种非易失性存储器,即断电数据也不会丢失。因为闪存不像RAM(随机存取存储器)一样以字节为单位改写数据,因此不能取代RAM。



- Intel公司于1988年首先开发出NOR Flash 技术。1989年,东芝公司发表了NAND Flash 结构。
- NOR Flash与NAND Flash的区别很大,打个比方说,NOR Flash更像内存,有独立的地址线和数据线,但价格比较贵,容量比较小;而NAND Flash更像硬盘,地址线和数据线是共用的I/O线,类似硬盘的所有信息都通过一条硬盘线传送一般。而且NAND型闪存与NOR型闪存相比,成本要低一些,而容量大得多。
- 因此,NOR Flash比较适合频繁随机读写的场合,通常用于存储程序代码并直接在闪存内运行,手机就是使用NOR Flash的大户,所以手机的"内存"容量通常不大。
- NAND Flash主要用来存储资料,我们常用的闪存产品,如闪存 盘、数码存储卡都是用NAND Flash。



NOR Flash 和 NAND Flash

NOR Flash

NAND Flash

容量

读速度

快

写速度慢

擦除速度 慢

价格/位 高

其它可以写任意字节

大

慢

快

快

低

只能按块写

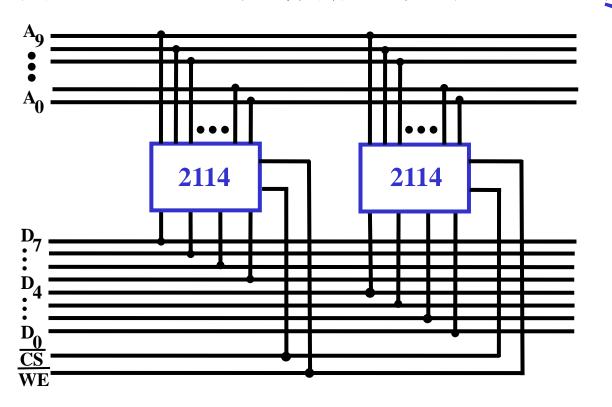
五、存储器与 CPU 的连接

1. 存储器容量的扩展

(1) 位扩展(增加存储字长)

10根地址线

用? 片1K×4位 存储芯片组成 1K×8位 的存储器



8根数据线

2片

4片 -> 8位

8片16KX1位的芯片组成16KX8位的存储器

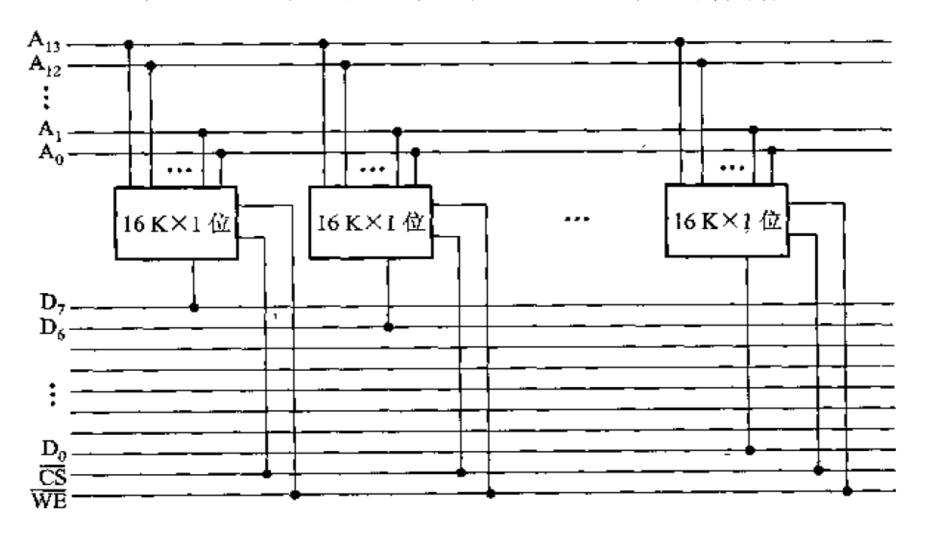
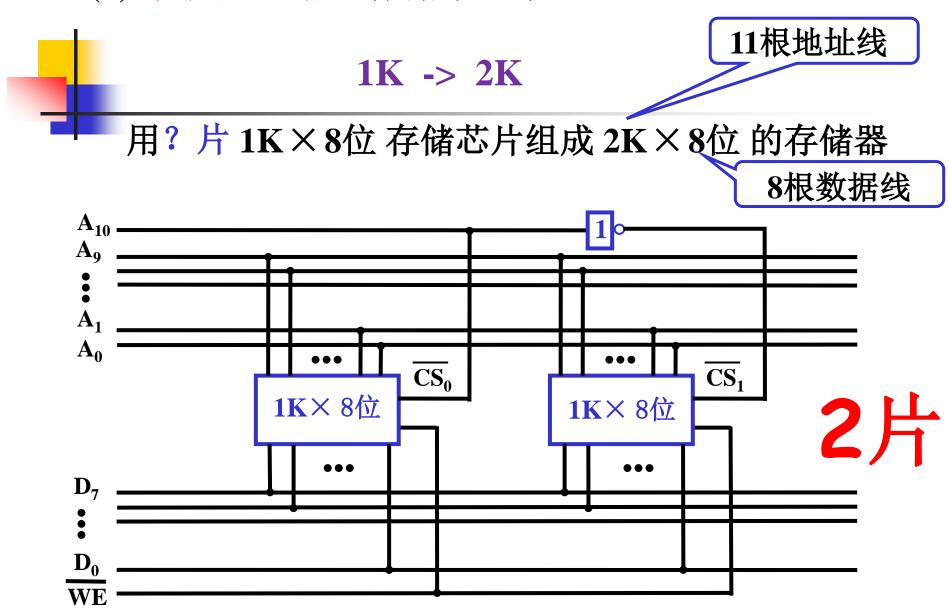


图 4.33 由 8 片 16 K×1 位的芯片组成 16 K×8 位的存储器

1位 -> 8位

(2) 字扩展(增加存储字的数量)



(3) 字、位扩展

1K -> 4K 4位 -> 8位

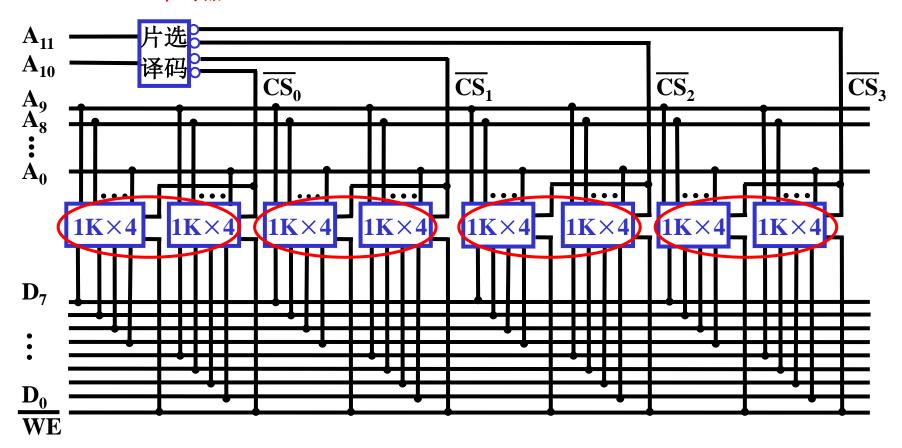


用?片1K×4位存储芯片组成4K×8位的存储器

12根地址线

8根数据线

2-4译码器



2-4译码器

输入

输出

В	Α	Y0	Y1	Y2	Y3
0	0	0	1	1	1
0	1	1	0	1	1
1	0	1	1	0	1
1	1	1	1	1	0



74LS139

双2-4译码器

芯片管脚

A、B 译码地址输入端

G1、G2 选通端(低电平有效)

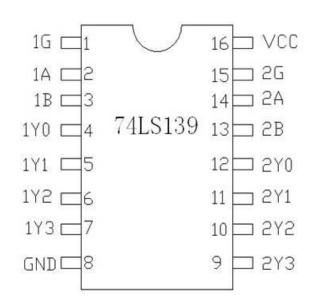
Y0~Y3 译码输出端(低电平有效)

芯片功能

	输入			輸出			
G	В	Α	Y0	Y1	Y2	Y3	
Н	Χ	Χ	Н	Н	Н	Н	
L	L	L	L	Н	Н	Н	
L	L	Н	Н	L	Н	Н	
L	Н	L	Н	Н	L	Н	
L	Н	Н	Н	Н	Н	L	

H=高电平 L=低电平 X=任意





2. 存储器与 CPU 的连接 (重点)



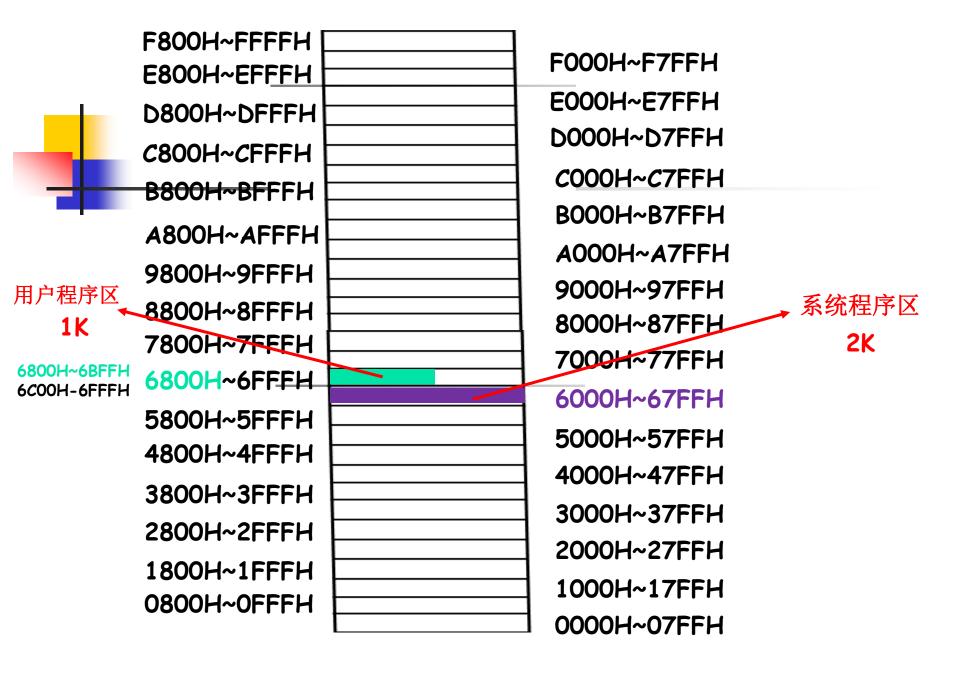
(1) 地址线的连接

- (2) 数据线的连接
- (3) 读/写命令线的连接
- (4) 片选线的连接
- (5) 合理选择存储芯片
- (6) 其他: 时序、速度、负载



例4.1: CPU有16根地址线、8根数据线,-MREQ为访问存储器控制信号,-WR为读/写控制信号;现有存储器芯片:1KX4位RAM;4KX8位RAM;8KX8位RAM;RAM;2KX8位ROM;4KX8位ROM;8KX8位ROM;74LS138译码器;各种门电路。要求:

- 主存地址空间分配: 6000H~67FFH为系统程序区; 6800H~6BFFH为用户程序区;
- 合理选用上述存储芯片,说明各选几片;
- 详细画出存储芯片的片选逻辑图。



共64K 每个单元2K 每半个单元1K



74LS138

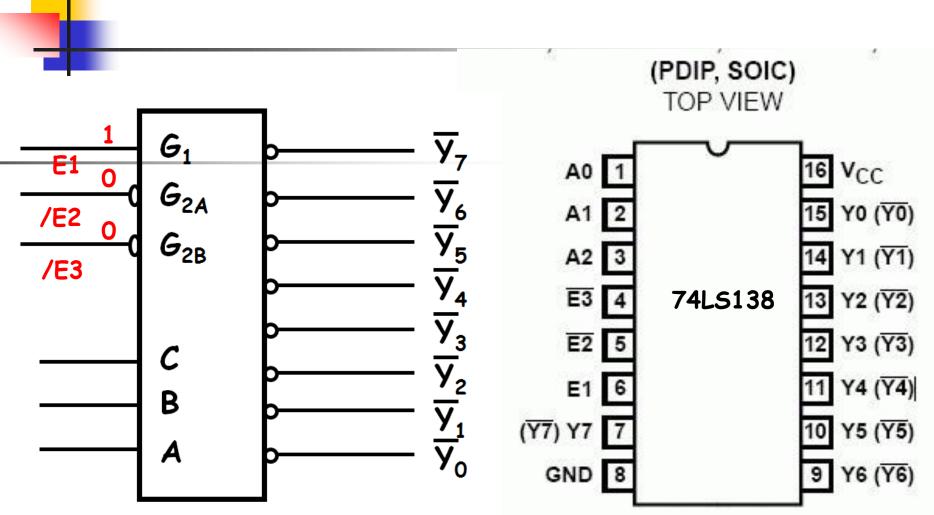
3-8译码器

输入输出

C	В	A	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7
0	0	0	0	1	1	1	1	1	1	1
0	0	1	1	0	1	1	1	1	1	1
0	1	0	1	1	0	1	1	1	1	1
0	1	1	1	1	1	0	1	1	1	1
1	0	0	1	1	1	1	0	1	1	1
1	0	1	1	1	1	1	1	0	1	1
1	1	0	1	1	1	1	1	1	0	1
1	1	1	1	1	1	1	1	1	1	0

74LS138

3-8译码器

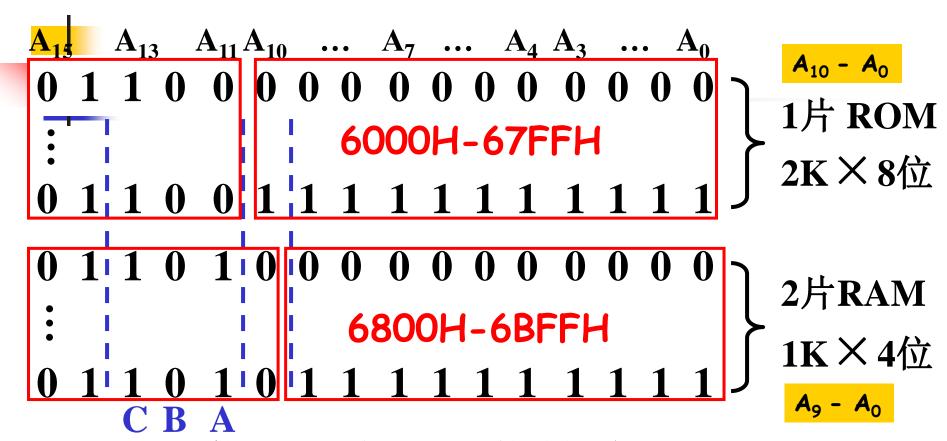


例4.1 解:

系统程序区 (1) 写出对应的二进制地址码 1片 2K×8位 \dots A_0 $\mathbf{A}_{11}\mathbf{A}_{10}$... 1 1 0 0 0 0 0 0 **ROM** 6000H-67FFH **2K** 2K×8位 1K×8位 6800H-6BFFH **1K RAM** 1 0 1 1 1 1 1 1 2片1K×4位 (2) 确定芯片的数量及类型

用户程序区

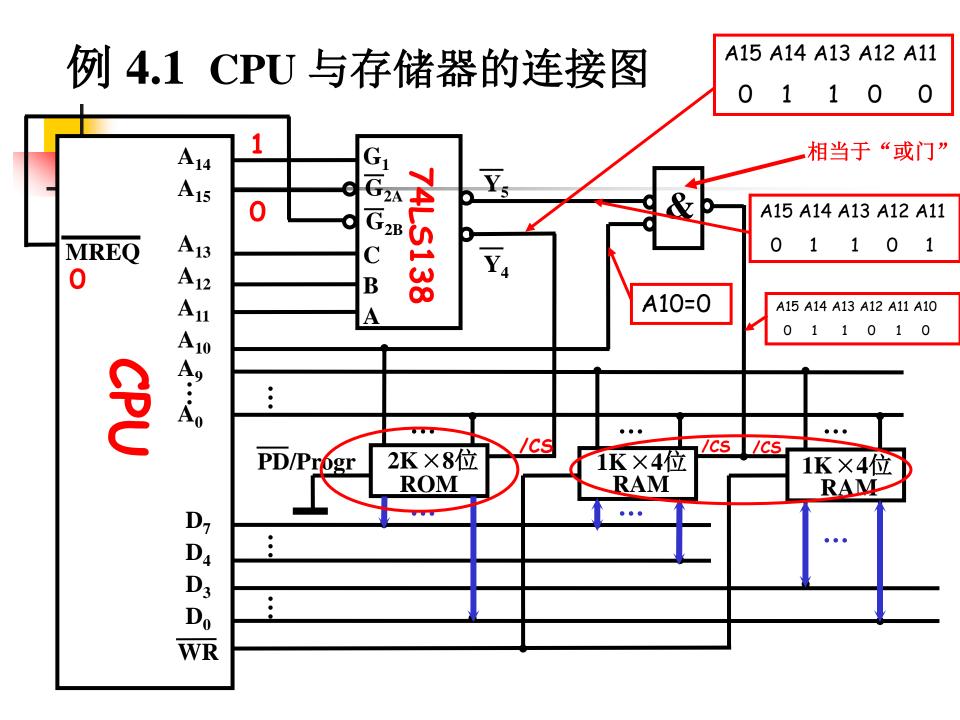
(3) 分配地址线



A₁₀~A₀ 接 2K×8位 ROM 的地址线

A₉~A₀ 接 1K×4位 RAM 的地址线

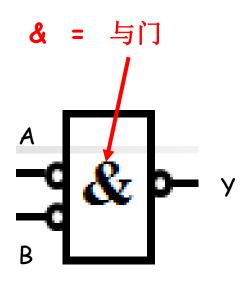
(4) 确定片选信号



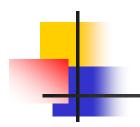


$$Y = \overline{A} \cdot \overline{B} = A + B$$

■ 相当于一个"或门"



逻辑门电路符号

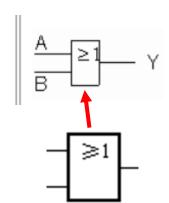


非门: Y = Ā

NOT	<u>A</u>	<u>A</u>

与门: Y = A·B

或门: Y = A+B

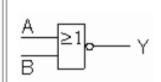


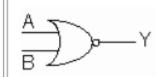
$$\frac{A}{B}$$
 Y





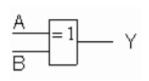




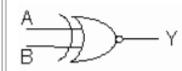


异或门:
$$Y = A \cdot \overline{B} + \overline{A} \cdot B$$

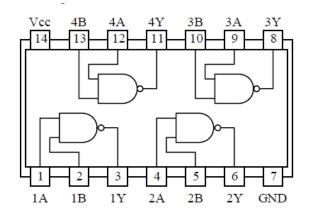
 $Y = A \oplus B$



同或门:
$$Y = A \cdot B + \overline{A \cdot B}$$



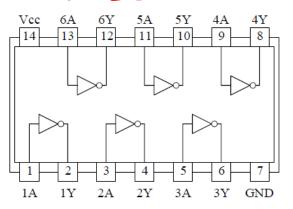
74LS00



4个与非门

 $Y = \overline{A \cdot B}$

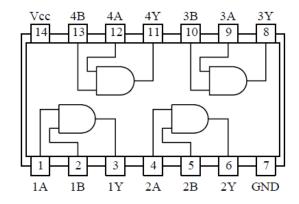
74LS04



6个非门

$$Y = \overline{A}$$

74LS08



$$Y = A \cdot B$$

摩根定律

$$A+B = A \cdot B$$

 $A \cdot B = A + B$

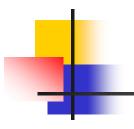
或门:
$$Y = A + B = \overline{A + B} = \overline{A \cdot B}$$



例4.2 假设同前,要求最小8K为系统程序区,相邻16K为用户程序区,最大4K地址空间为系统程序工作区。

要求:详细画出存储芯片的片选逻辑并指出存储芯片的种类及片数。

例4.2 解:

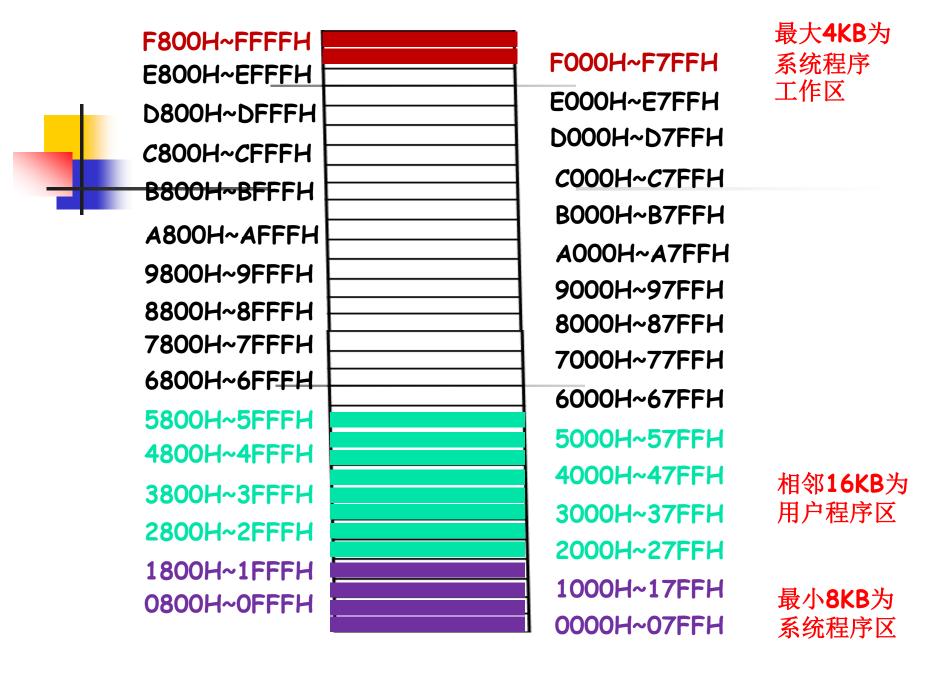


(1) 写出对应的二进制地址码

最小8KB为系统程序区: 0000H-1FFFH

相邻16KB为用户程序区: 2000H-5FFFH

最大4KB为系统程序工作区:F000H-FFFFH



共64K 每个单元2K



(2) 确定芯片的数量及类型

最小8KB系统程序区:1片8KX8位ROM

相邻16KB用户程序区: 2片8KX8位RAM

最大4KB系统程序工作区:1片4KX8位RAM

系统程序区(8KB):

0000H 1FFFH 用户程序区(16KB):

2000H 001 0 0000 0000 0000

3FFFH 001 1 1111 1111 1111

4000H 010 0 0000 0000 0000

5FFFH 010 1 1111 1111 1111

系统程序工作区(4KB):

F000H 111 1 0000 0000 0000

FFFFH 111 1 1111 1111 1111

(3) 5

(3) 分配地址线

A₁₂~A₀ 接 8KX8位 ROM和RAM的地址线

A₁₁~ A₀ 接4KX8位RAM 的地址线

(4) 确定片选信号

- ①74LS138的G1接+5V,-G2A和-G2B接-MREQ
- ②C、B、A接CPU的A15、A14、A13
- ③ 74LS138的-YO接8KB系统程序区: 1片8KX8位ROM
- ④ 74LS138的-Y1和-Y2接16KB用户程序区: 2片8KX8位RAM
- ⑤74LS138的-Y7和A12的非接或门,或门的输出接4KB系统程序工作区:1片4KX8位RAM

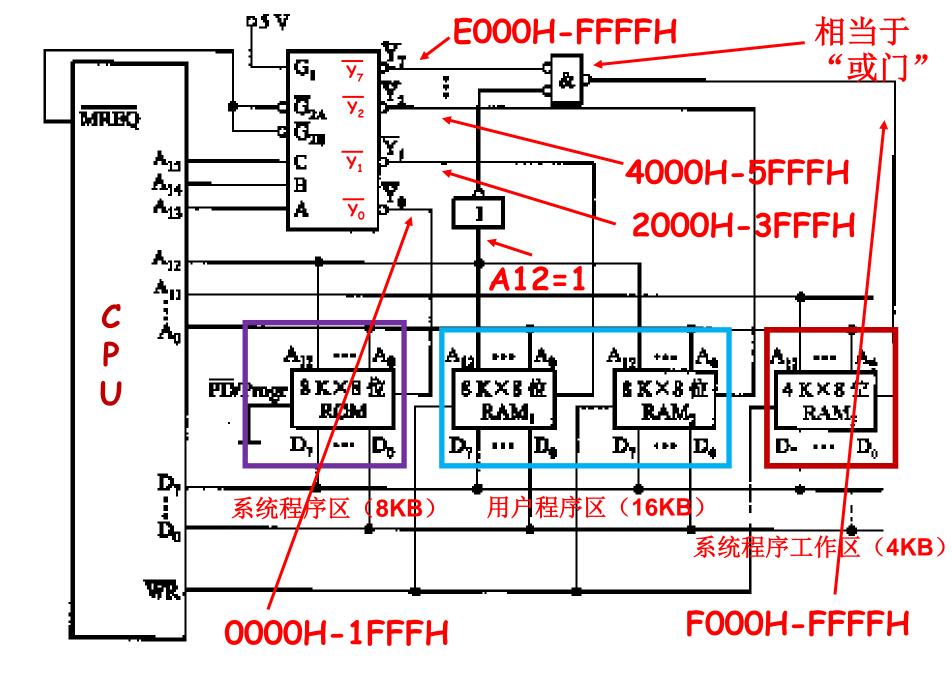
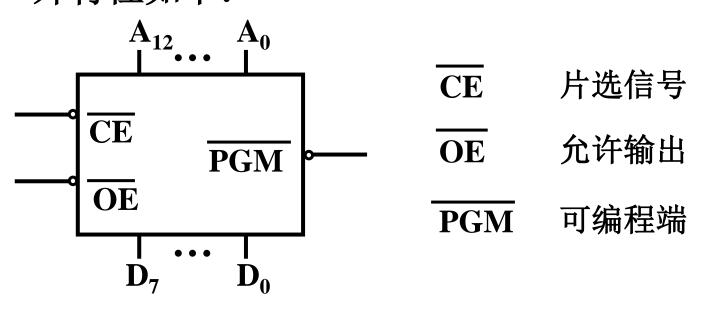
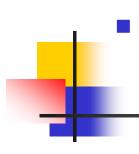


图 4.38 例 4.2 CPU 与存储芯片的连接图

例 4.3 设 CPU 有 20 根地址线, 16根数据线。 并用 IO/M 作访存控制信号。RD 为读命令, WR 为写命令。现有 2764 EPROM (8K × 8位), 外特性如下:





还有其他的ROM和RAM存储器芯片: 64KX8位、32KX8位、32KX16位。CPU可通过

BHE和AO来控制按字节或字两种形式访存 (表4.1)。试回答:

- CPU按字节访问和按字访问的地址范围各是多少?
- CPU按字节访问时需分奇偶体,且最大64KB为系统程序区,与其相邻的64KB为用户程序区,写出每片存储芯片所对应的二进制地址码。
- 画出对应上述地址范围的CPU与存储芯片的连接图。

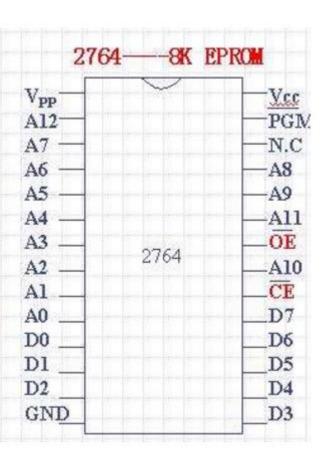
表 4.1 例 4.3 CPU 访问形式与 BHE 和 A₀ 的关系

ВНЕ	A_0	访问形式
Ö	0	- j.,
0	1	奇字节 [·]
1	0	, 個字节
1	l	不访问

BHE: Bus High Enable 总线高位使能信号



2764 EPROM







N.C 空脚

EPROM 系列芯片

EPROM 型号	容量 — 比特(bit)数	容量 — 字节(Byte)数	寻址空间长度(十六进制)	最后地址(十六进制)
1702, 1702A	2 Kbit	256	100	000FF
2704	4 Kbit	512	200	001FF
2708	8 Kbit	1 KB	400	003FF
2716, 27C16	16 Kbit	2 KB	800	007FF
2732, 27C32	32 Kbit	4 KB	1000	00FFF
2764, 27C64	64 Kbit	8 KB	2000	01FFF
27128, 27C128	128 Kbit	16 KB	4000	03FFF
27256, 27C256	256 Kbit	32 KB	8000	07FFF
27512, 27C512	512 Kbit	64 KB	10000	0FFFF
27C010, 27C100	1 Mbit	128 KB	20000	1FFFF
27C020	2 Mbit	256 KB	40000	3FFFF
27C040	4 Mbit	512 KB	80000	7FFFF
27C080	8 Mbit	1 MB	100000	FFFFF
27C160	16 Mbit	2 MB	200000	1FFFFF
27C320	32 Mbit	4 MB	400000	3FFFFF

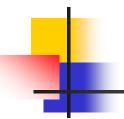
例4.3解:

• (1)CPU按字节访问的地址范围是1M(1MX8位),按字访问的地址范围是512K(512KX16位)

- (2)题目要求CPU按字节访问时需区分奇偶体,并且还可 以按字访问,故选择:
 - 2片32KX8位的ROM: F0000H-FFFFFH 64KB
 - 2片32KX8位的RAM: E0000H-EFFFFH 64KB

■ (3)选用74LS138作为4片32KX8位存储器的译码电路

- A0接74LS138的A
- BHE接74LS138的B
- A16接74LS138的C
- A19、A18、A17接一个与门,与门的输出接74LS138的 G1(A19=1、A18=1、A17=1)
- IO/-M接74LS138的-G2A和-G2B(IO/-M=0)
- -Y4=100(A16 BHE A0)按字访问ROM1和ROM2
- -Y5=101(A16 BHE A0)按字节访问ROM1(奇体)
- -Y6=110(A16 BHE A0)按字节访问ROM2(偶体)
- -Y0=000(A16 BHE A0)按字访问RAM1和RAM2
- -Y1=001(A16 BHE A0)按字节访问RAM1(奇体)
- -Y2=010(A16 BHE A0)按字节访问RAM2(偶体)



74LS138

3-8译码器

A16 BHE A0

C	В	A	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7
0	0	0	0	1	1	1	1	1	1	1
0	0	1	1	0	1	1	1	1	1	1
0	1	0	1	1	0	1	1	1	1	1
0	1	1	1	1	1	0	1	1	1	1
1	0	0	1	1	1	1	0	1	1	1
1	0	1	1	1	1	1	1	0	1	1
1	1	0	1	1	1	1	1	1	0	1
1	1	1	1	1	1	1	1	1	1	0

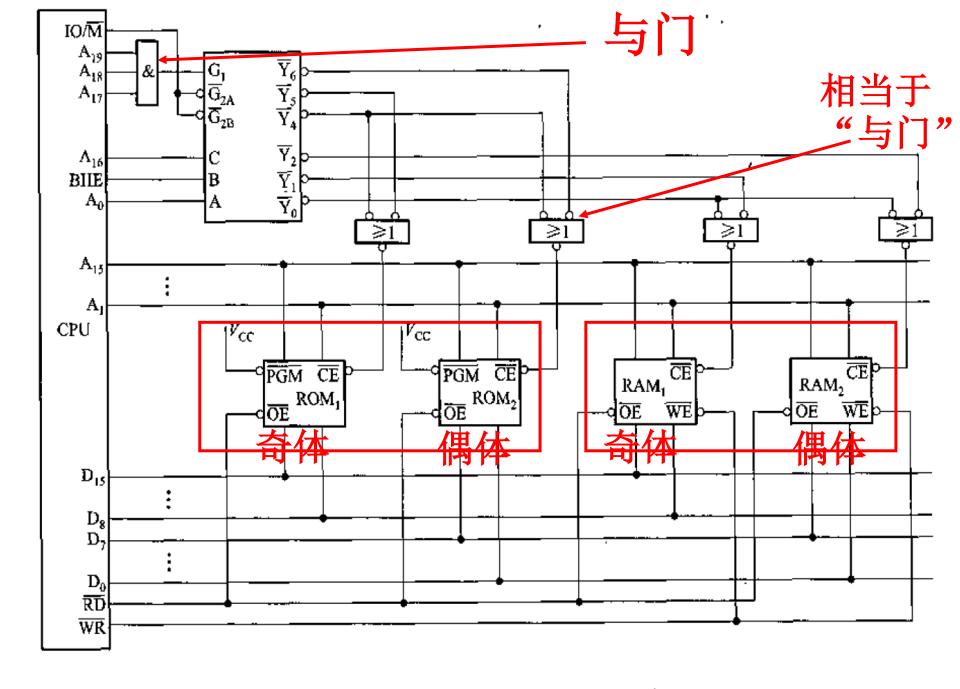


图 4.40 例 4.3 CPU 与存储芯片的连接图

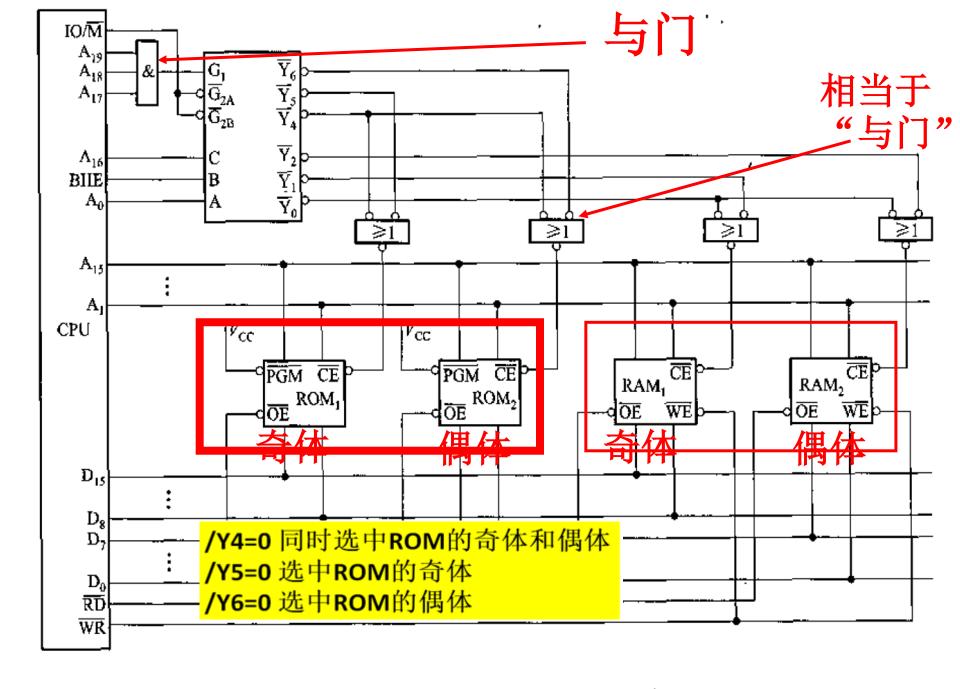


图 4.40 例 4.3 CPU 与存储芯片的连接图

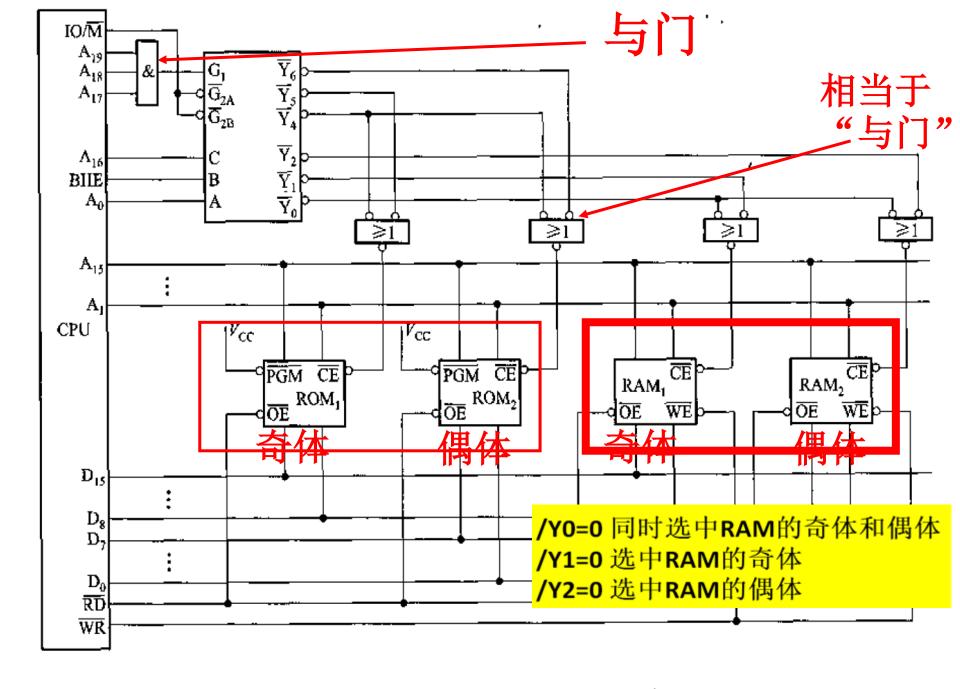


图 4.40 例 4.3 CPU 与存储芯片的连接图

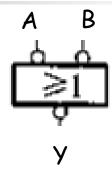
```
ROM按字访问:
      A19 A18 A17 A16 A15......A1 A0
                    0000 0000 0000 000 0
                                           F0000
BHE=0
                    1111 1111 1111 111 0
                                           FFFFE
        (F0000, F0002......FFFFE)
    ROM按字节访问(奇体):
      A19 A18 A17 A16 A15......A1 A0
                    0000 0000 0000 000 1
                                           F0001
BHE=0
                    1111 1111 1111 111 1
                                           FFFFF
         (F0001, F0003......FFFFF)
    ROM按字节访问(偶体):
      A19 A18 A17 A16 A15......A1 A0
                    0000 0000 0000 000
                                           F0000
BHE=1
                    1111 1111 1111 111 0
                                           FFFFE
```

(**F0000**, **F0002**...........**FFFFE**)

```
RAM按字访问:
      A19 A18 A17 A16 A15......A1 A0
                    0000 0000 0000 000 0
                 0
                                            E0000
BHE=0
                    1111 1111 1111 111 0
                                            EFFFE
        (E0000, E0002.....EFFFE)
    RAM按字节访问(奇体):
      A19 A18 A17 A16 A15......A1 A0
                    0000 0000 0000 000 1
                 0
                                            E0001
BHE=0
                    1111 1111 1111 111 1
                                            EFFFF
         (E0001, E0003.....EFFFF)
    RAM按字节访问(偶体):
      A19 A18 A17 A16 A15......A1 A0
                    0000 0000 0000 000 0
                 0
                                            E0000
BHE=1
                    1111 1111 1111 111 0
                                            EFFFE
          (E0000, E0002......EFFFE)
```



 $Y=A+B=A\cdot B$



■ 相当于一个"与门"

另外,这里选用的ROM的编程端(/PGM)是低电平有效,读入时该端必须是高电平,这与图4.37和图4.38刚好相反。

六、存储器的校验

- 在计算机的运行过程中,由于种种原因致使数据在存储过程中可能出现差错
- 采取的措施:在原数据基础上增加1位或几位 校验码
 - 奇偶校验码:增加1位
 - 奇校验: 原数据=10101011 校验码=0
 - 发送的数据为10101011 0
 - 如果接收端为奇数个1,则表示没有错误(假设只有1位出错);如果接收端为偶数的1,则表示出错(假设只有1位出错)
 - 奇偶校验可以发现**1**位错误(只能发现,不能校正, 即并不能知道哪一位出错了)

奇偶校验码

■ 原始数据: 8位 校验位: 1位 传送的数据: 8位 + 1位 = 9位

奇校验:

■ 原始数据: 10100000 校验位: 1 传送的数据: 10100000 1

如果接收的数据是: 10100011 1 即使传输过程出错,也发现不了!

■ 原始数据: 10101000 校验位: 0 传送的数据: 10101000 0

偶校验:

■ 原始数据: 10100000 校验位: 0 传送的数据: 10100000 0

如果接收的数据是: 10100001 0 则说明传输过程出错了!

如果接收的数据是: 10100011 0 即使传输过程出错,也发现不了!

■ 原始数据: 10101000 校验位: 1 传送的数据: 10101000 1

六、存储器的校验(续)

1.编码的最小距离

任意两组合法代码之间 二进制位数 的 最少差异。

编码的纠错、检错能力与编码的最小距离有关:

$$L-1=D+C(D\geq C)$$

D — 检测错误的位数 具有 一位 纠错能力

海明码 C —— 纠正错误的位数

汉明码(Hanming)是具有一位纠错能力的编码

2. 汉明码的组成

n为欲检测的二进制代码

组成汉明码的三要素:

■汉明码的组成需增添? 位检测位 (k位) (表4.2)

$$2^k \geqslant n + k + 1$$

■检测位的位置?

$$2^{i}$$
 ($i = 0,1,2,3,..., k-1$)=1,2,4,8,... 2^{k-1}

■检测位的取值?

检测位的取值与该位所在的检测"小组"中承担的奇偶校验任务有关

2. 汉明码的组成

n为欲检测的二进制代码

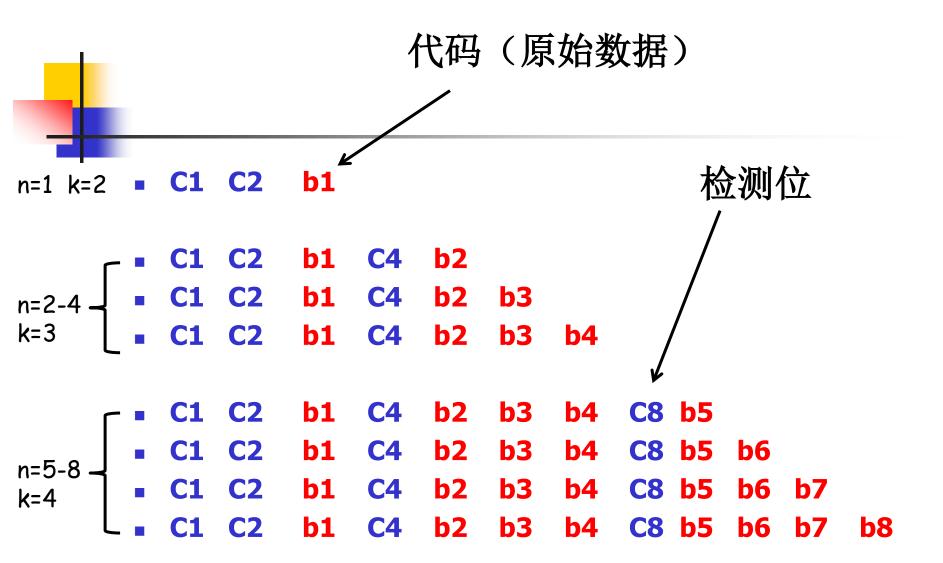
组成汉明码的三要素:

现有n位数据,汉明码要解决的三个问题:

- 1、汉明码的组成需增添多少位检测位? k位
- 2、k位检测位放在什么位置?
- 3、k位检测位取什么值?

表 4.2 代码长度与检测位位数的关系

n	k(最小)
1	2
2 ~ 4	3
5 ~ 11	4
12 ~ 26	5
27 ~ 57	6
58 ~ 120	7



各检测位 C; 所承担的检测小组为:

- C₁ 检测的 g₁ 小组包含第 1, 3, 5, 7, 9, 11, …
 - C, 检测的 g, 小组包含第 2, 3, 6, 7, 10, 11, …
 - C₄ 检测的 g₃ 小组包含第 4, 5, 6, 7, 12, 13, …
 - C₈ 检测的 g₄ 小组包含第 8, 9, 10, 11, 12, 13, 14, 15, 24,…
 - g_i 小组独占第 2^{i-1} 位
 - g_i 和 g_i 小组共同占第 $2^{i-1} + 2^{j-1}$ 位
 - g_i 、 g_i 和 g_l 小组共同占第 $2^{i-1} + 2^{j-1} + 2^{l-1}$ 位

例如 求0101按"偶校验"配置的汉明码

$$\mathbf{M}$$
: $: n = 4$

根据
$$2^k \ge n + k + 1$$

得
$$k=3$$

汉明码排序如下: 1.2.4

二进制序号	1/2/	3	4	5	6	7		
名称	$\mathbf{C_1}$ $\mathbf{C_2}$	0	\mathbf{C}_{4}	1	0	1		
	0 1		0					

· 0101 的汉明码为 0100101

例如 求 0101 按 "偶校验"配置的汉明码

河明可州亭柳下。

根据
$$2^k \ge n + k + 1$$
 得 $k = 3$

C1应使1,3,5,7位 中的"1"的个数为 偶数个: C1=0

汉明特作广如下: 1,2,4								
二进制序号	1/2/3	4	5	6	7			
名称	C_1 C_2 0	C_4	1	0	1			
	0 1	0						

.. 0101 的汉明码为 0100101

例如 求0101按"偶校验"配置的汉明码

河明河州(京和下)

根据
$$2^k \ge n + k + 1$$
 得 $k = 3$

C2应使2,3,6,7位 中的"1"的个数为 偶数个: C2=1

汉明特尔分如下: 1,2,4								
二进制序号	1/2/3	4	5	6	7			
名称	C_1 C_2 0	$\mathbf{C_4}$	1	0	1			
	0 1	0						

.. 0101 的汉明码为 0100101

例如 求0101按"偶校验"配置的汉明码

根据
$$2^k \ge n + k + 1$$
 得 $k = 3$

C4应使4,5,6,7位 中的"1"的个数为 偶数个: C4=0

汉明妈排序处	H P: 1	, 2, 4	4 \		/	
二进制序号	1/2	/ 3	4	5	6	7
名称	\mathbf{C}_1 \mathbf{C}	2 0	C_4	1	0	1
	0 1		0,			

.. 0101 的汉明码为 0100101

练习1 按配偶原则配置 0011 的汉明码

$$n=4$$

n=4 根据 $2^k \ge n+k+1$

	拟 K =	= 3	C1 C	2 b1	C4	b2	b3	b 4
二进制序号	1	2	3	4	5	6	7	
名称	\mathbf{C}_1	\mathbb{C}_2	0	C ₄	0	1	1	
	1	0		0				
$C_1 = 3 \oplus 3$	1,3,5,7 (1001)							
$C_2 = 3 \oplus 0$	6 ⊕ 7	= 0		2,3,6,	,7 (0011	1)	
$C_4 = 5 \oplus 6$	6 97	= 0		4,5,6,	,7 (0011	()	

∴ 0011 的汉明码为 **1000011**

3. 汉明码的纠错过程

形成新的检测位 P_i ,其位数与增添的检测位有关,如增添 3 位(k=3),新的检测位为 P_4 P_2 P_1 。以 k=3 为例, P_i 的取值为

对于按 "偶校验" 配置的汉明码不出错时 $P_1=0$, $P_2=0$, $P_4=0$

例: 已知接收到的汉明码为 0100111

(按配偶原则配置) 试问要求传送的信息是什么?

解: 纠错过程如下

$$P_1 = 1 \oplus 3 \oplus 5 \oplus 7 = 0$$
 无错

$$P_2 = 2 \oplus 3 \oplus 6 \oplus 7 = 1$$
 有错

$$\mathbf{P_4} = \mathbf{4} \oplus \mathbf{5} \oplus \mathbf{6} \oplus \mathbf{7} = \mathbf{1} \quad \mathbf{有错}$$

$$P_4P_2P_1 = 110$$

第6位出错,可纠正为0100101, 故要求传送的信息为0101。 c1 c 0011

1011

0111

P1 =
$$1 \oplus 3 \oplus 5 \oplus 7 = 1011 = 1$$

P2 = $2 \oplus 3 \oplus 6 \oplus 7 = 1001 = 0$
P4 = $4 \oplus 5 \oplus 6 \oplus 7 = 0101 = 0$

- 例(续): 若收到的按偶配置的汉明码为1100101, 经检测得: P₄P₂P₁=001,表示第1位出错,正确的为 0100101
- 例4.4: 已知接收到的汉明码为0110101, 试 问欲传送的信息是什么? (按偶配置)
- 解: P₄P₂P₁=011,表示第3位出错,正确的信息为0100101
- 故欲传输的信息为: 0101

```
P1 = 1 \oplus 3 \oplus 5 \oplus 7 = 0 \ 1 \ 1 \ 1 = 1

P2 = 2 \oplus 3 \oplus 6 \oplus 7 = 1 \ 1 \ 0 \ 1 = 1

P4 = 4 \oplus 5 \oplus 6 \oplus 7 = 0 \ 1 \ 0 \ 1 = 0
```

C1 C2 b1 C4 b2 b3 b4

练习2 写出按偶校验配置的汉明码

0101101 的纠错过程

P1 = $1 \oplus 3 \oplus 5 \oplus 7 = 0 \ 0 \ 1 \ 1 = 0$ P2 = $2 \oplus 3 \oplus 6 \oplus 7 = 1 \ 0 \ 0 \ 1 = 0$ P4 = $4 \oplus 5 \oplus 6 \oplus 7 = 1 \ 1 \ 0 \ 1 = 1$

$$P_4 = 4 \oplus 5 \oplus 6 \oplus 7 = 1$$

$$P_2 = 2 \oplus 3 \oplus 6 \oplus 7 = 0$$

$$\mathbf{P_1} = \mathbf{1} \oplus \mathbf{3} \oplus \mathbf{5} \oplus \mathbf{7} = \mathbf{0}$$

∴
$$P_4P_2P_1 = 100$$
 第 4 位错,可不纠

原始数据为: 0101 没有出错!

只是校验码 C_4 出错了

```
C1 = /(3 \oplus 5 \oplus 7) = 001 = 0

C2 = /(3 \oplus 6 \oplus 7) = 011 = 1

C4 = /(5 \oplus 6 \oplus 7) = 011 = 1
```

练习3 按配奇原则配置 0011 的汉明码 配奇的汉明码为 0101011

C1 C2 O C4 O 1 1

```
C1 C2 b1 C4 b2 b3 b4
```

```
C1 = 非(3 异或 5 异或 7) = 非(0 异或 0 异或 1) = 0
```

练习3 写出按奇校验配置的汉明码

0101011 的纠错过程

$$P_4 = \#(4 \oplus 5 \oplus 6 \oplus 7) = 0$$

$$\mathbf{P_2} = \sharp \mathbf{(2 \oplus 3 \oplus 6 \oplus 7)} = \mathbf{0}$$

$$P_1 = \sharp (1 \oplus 3 \oplus 5 \oplus 7) = 0$$

$$P_4 P_2 P_1 = 000$$

没有出错!

P1 =
$$/(1 \oplus 3 \oplus 5 \oplus 7) = 0001 = 0$$

P2 = $/(2 \oplus 3 \oplus 6 \oplus 7) = 1011 = 0$
P4 = $/(4 \oplus 5 \oplus 6 \oplus 7) = 1011 = 0$

练习3

写出按奇校验配置的汉明码

0111011 的纠错过程(第3位出错了)

$$P_4 = \#(4 \oplus 5 \oplus 6 \oplus 7) = 0$$

$$P_2 = \#(2 \oplus 3 \oplus 6 \oplus 7) = 1$$

$$P_1 = \# (1 \oplus 3 \oplus 5 \oplus 7) = 1$$

$$P_4P_2P_1 = 011$$

P1 =
$$/(1 \oplus 3 \oplus 5 \oplus 7) = 0101 = 1$$

P2 = $/(2 \oplus 3 \oplus 6 \oplus 7) = 11111 = 1$
P4 = $/(4 \oplus 5 \oplus 6 \oplus 7) = 1011 = 0$

表明第3位出错了!

C1 C2 b1 C4 b2 b3 b4

正确的为: 0101011



■ 解: n=7 -> k=4

C₁ C₂ b1 C₄ b2 b3 b4 C₈ b5 b6 b7

C₁ C₂ 1 C₄ 1 0 0 C₈ 1 0 1

C₁= 非(3 异或 5 异或 7 异或 9 异或 11) = 非(1 1 0 1 1) = 1

C₂= 非(3 异或 6 异或 7 异或 10 异或 11) = 非(10001) = 1

 C_4 = 非(5 异或 6 异或 7) = 非(1 0 0) = 0

C₈= 非(9 异或 10 异或 11) = 非(1 0 1) = 1

11101001101

1, 3, 5, 7, 9, 11

2, 3, 6, 7, 10, 11

4, 5, 6, 7

8, 9, 10, 11



■ 例4.5:按配奇原则配置1100101的汉明码,写出其 纠错过程

解: 汉明码为: 11101001101

P₁= 非(1异或3 异或 5 异或 7 异或 9 异或 11) = 非(1 1 1 0 1 1) = 0

P₂= 非(2异或3 异或 6 异或 7 异或 10 异或 11) = 非(1 1 0 0 0 1) = 0

P₄= 非(4异或5 异或 6 异或 7) = 非(0 1 0 0) = 0

 P_8 = 非(8异或9 异或 10 异或 11) = 非(1 1 0 1) = 0

 $P_8P_4P_2P_1=0000$ 表示没有差错

若接收到的汉明码为: 11001001101

P₁= 非(1异或3 异或 5 异或 7 异或 9 异或 11) = 非(1 0 1 0 1 1) = 1

P₂= 非(2异或3 异或 6 异或 7 异或 10 异或 11) = 非(1 0 0 0 0 1) = 1

P₄= 非(4异或5 异或 6 异或 7) = 非(0 1 0 0) = 0

P₈= 非(8异或9 异或 10 异或 11) = 非(1 1 0 1) = 0

P₈P₄P₂P₁=0011 表示第3位出错了

校验码小结(奇偶校验码)

- 8位(数据) + 1位(校验位)
- 奇校验:要使"8位(数据) + 1位(校验位)"共9位数中1的个数 为奇数个
 - 原始数据=11001000 校验位=0 发送的数据=11001000 0
 - 原始数据=11001100 校验位=1 发送的数据=11001100 1
- 偶校验:要使"8位(数据) + 1位(校验位)"共9位数中1的个数 为偶数个
 - 原始数据=11001000 校验位=1 发送的数据=11001000 1
 - 原始数据=11001100 校验位=0 发送的数据=11001100 0
- 奇偶校验可以发现1位错误(只能发现,不能校正,即并不能知道哪一位出错了)

校验码小结(汉明码)

■ n位(数据,b₁…b_n) + k位(校验位,C₁…C_k) ■ n=4, k=3; n=7, k=4

- 求取校验位: $D_1 D_2 D_3 D_4 D_5 D_6 D_7 = C_1 C_2 b_1 C_4 b_2 b_3 b_4$
 - 按偶校验配置

• C1 =
$$(3 \oplus 5 \oplus 7)$$
 = $(D3 \oplus D5 \oplus D7)$

C2 =
$$(3 \oplus 6 \oplus 7)$$
 = $(D3 \oplus D6 \oplus D7)$

$$C4 = (5 \oplus 6 \oplus 7) = (D5 \oplus D6 \oplus D7)$$

■ 按奇校验配置

•
$$C1 = / (3 \oplus 5 \oplus 7) = / (D3 \oplus D5 \oplus D7)$$

•
$$C2 = / (3 \oplus 6 \oplus 7) = / (D3 \oplus D6 \oplus D7)$$

C4 =
$$/$$
 (5 \oplus 6 \oplus 7) = $/$ (**D**5 \oplus **D**6 \oplus **D**7)

校验码小结(汉明码)

■ 纠错:根据获得的"n+k"位数据(D₁ D₂ D₃ D₄ D₅ D₆ D₇), 计算校验位P₄P₂P₁ 1, 3, 5, 7

```
■ 按偶校验配置
```

```
P1 = 1 \oplus 3 \oplus 5 \oplus 7 = D1 \oplus D3 \oplus D5 \oplus D7
```

$$P2 = 2 \oplus 3 \oplus 6 \oplus 7 = D2 \oplus D3 \oplus D6 \oplus D7$$

P4 = $4 \oplus 5 \oplus 6 \oplus 7 = D4 \oplus D5 \oplus D6 \oplus D7$

■ 按奇校验配置

- **P1** = $/(1 \oplus 3 \oplus 5 \oplus 7) = /(D1 \oplus D3 \oplus D5 \oplus D7)$
- **P2** = $/(2 \oplus 3 \oplus 6 \oplus 7) = /(D2 \oplus D3 \oplus D6 \oplus D7)$
- **P4** = / (4 \oplus 5 \oplus 6 \oplus 7) = / (**D**4 \oplus **D**5 \oplus **D**6 \oplus **D**7)

■ 如果P₄P₂P₁ = 000,则没有出错,否则,是第P₄P₂P₁ 位出错,将 这一位数据纠正(取反),即可

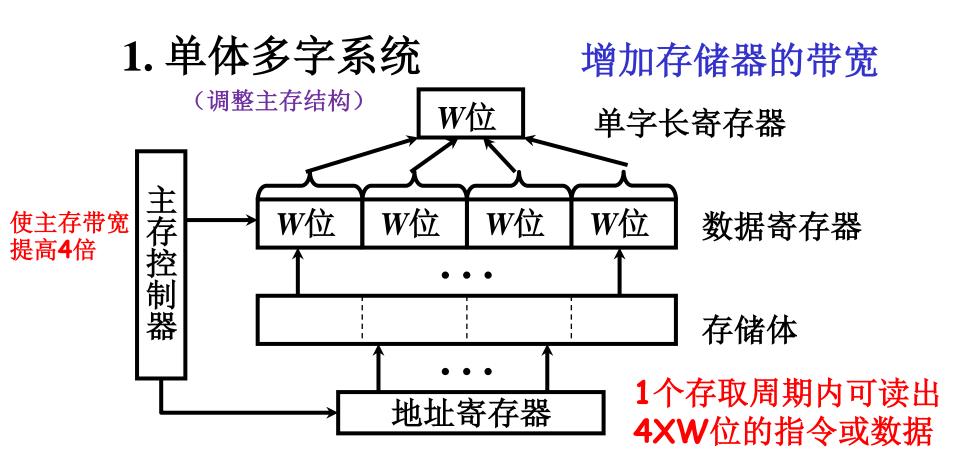
2, 3, 6, 7

4, 5, 6, 7

■ 汉明码可以发现并纠正1位出错!

七、提高访存速度的措施

- 采用高速器件
- 采用层次结构: Cache 主存 4.3小节介绍
 - 调整主存结构

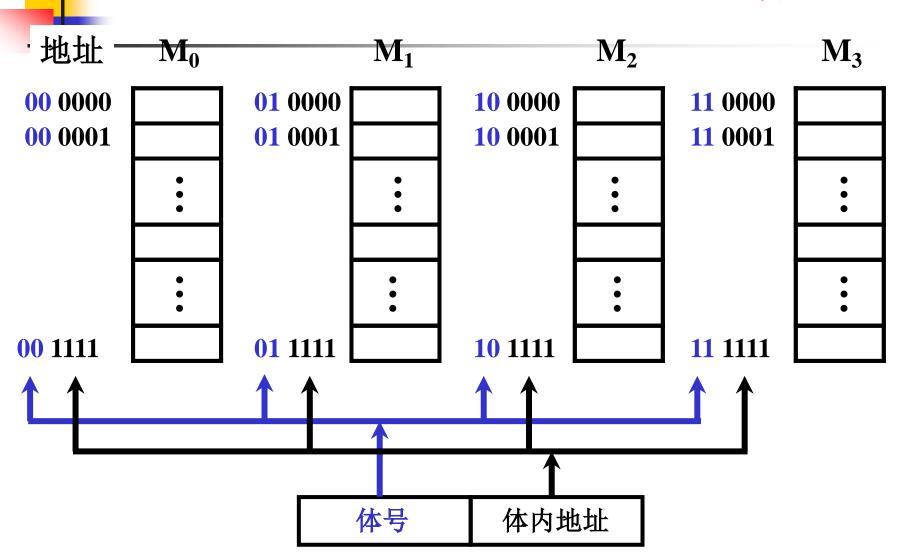


2. 多体并行系统

(调整主存结构)

(1) 高位交叉

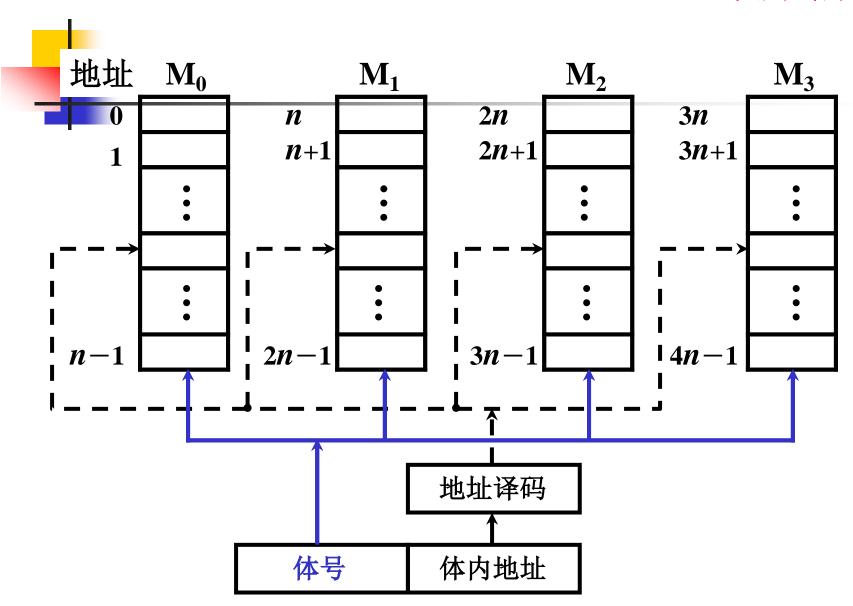
4个体、每个体16个单 顺序编址 冠;体内地址连续、体 间地址不连续

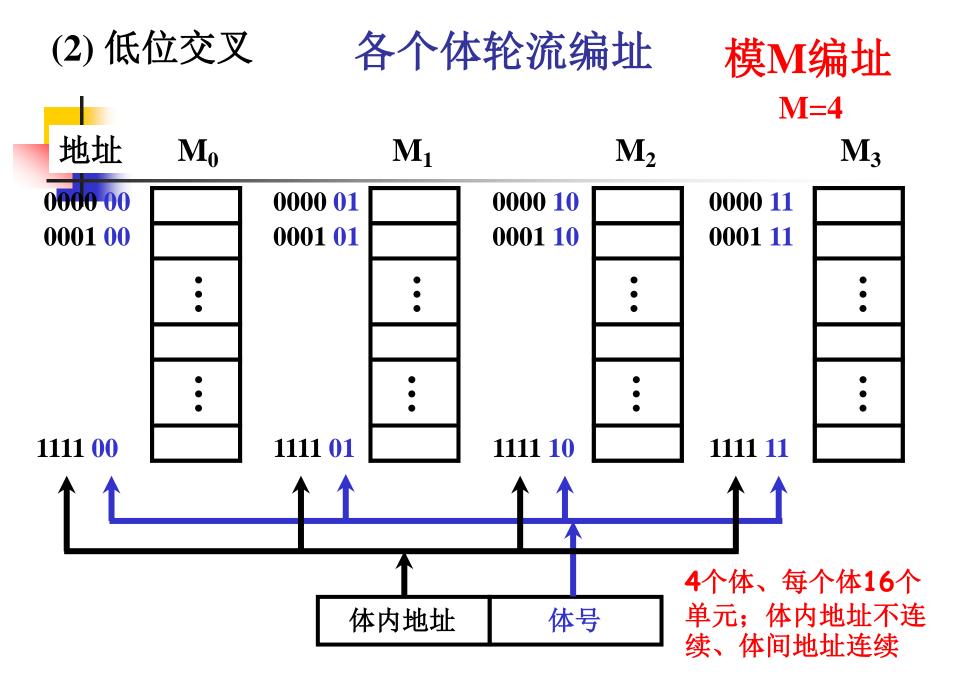


(1) 高位交叉

各个体并行工作

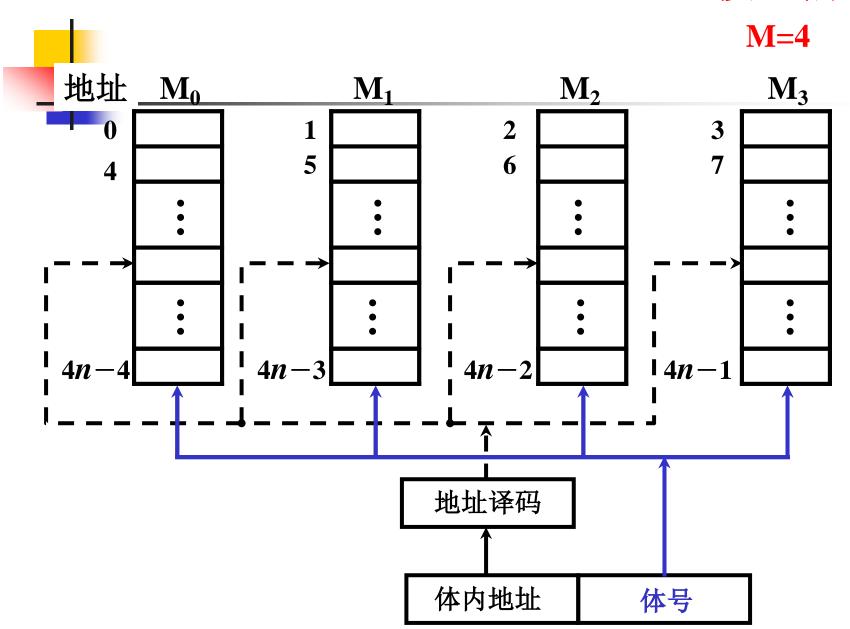
顺序编址





(2) 低位交叉 各个体轮流编址

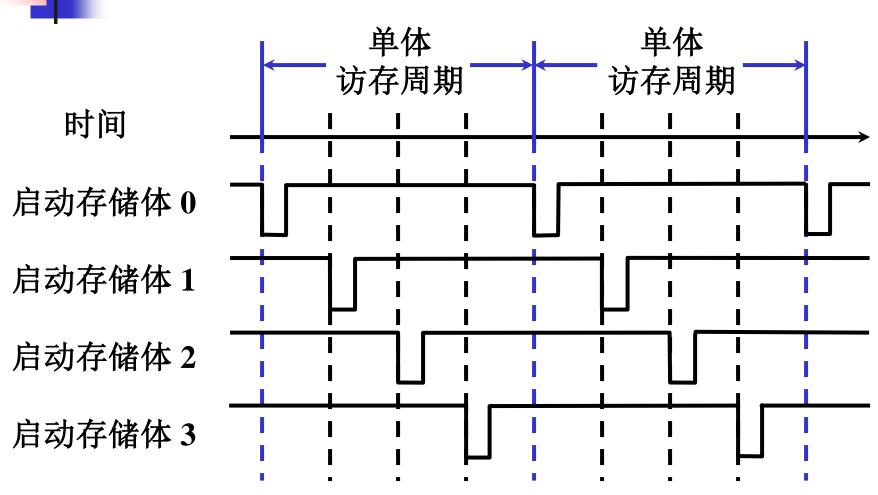
模M编址



低位交叉的特点



在不改变存取周期的前提下,增加存储器的带宽



设四体低位交叉存储器,存取周期为T,总线传输周期为 τ ,为实现流水线方式存取,应满足 $T=4\tau$ 。

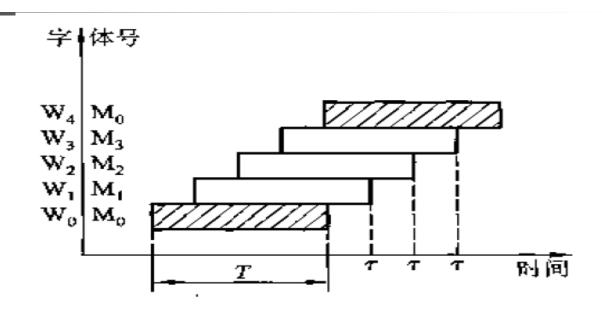


图 4.45 四体低位交叉编址存储器流 水线工作方式示意图

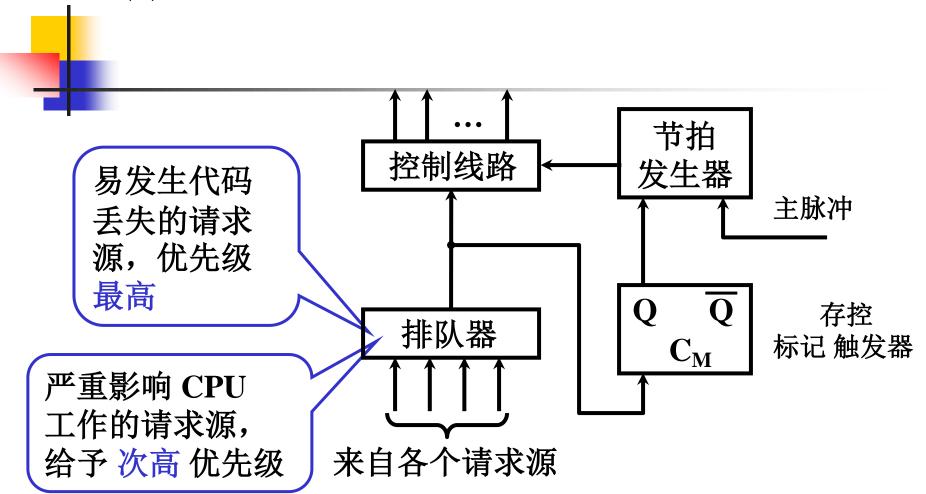
连续读取 4 个字所需的时间为 $T+(4-1)\tau$

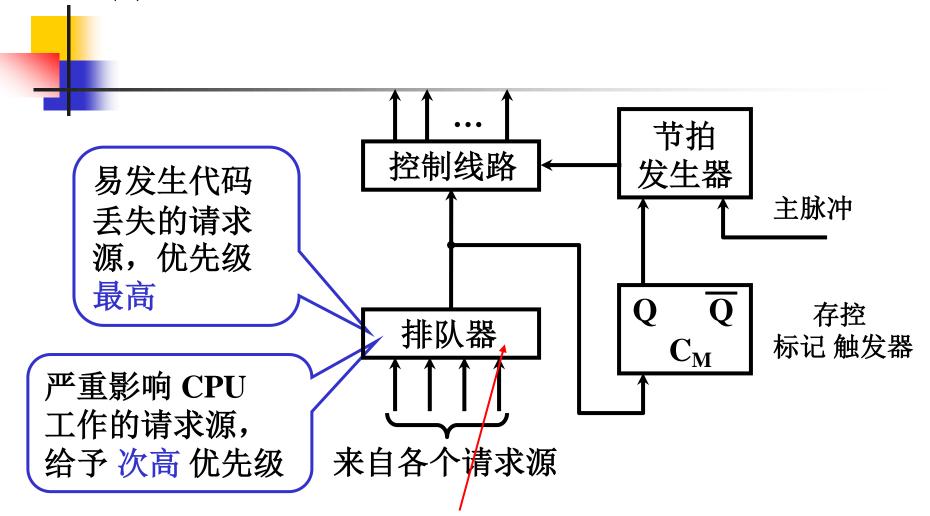
而采用高位交叉编址,连续读取 4 个字所需的时间为 4T



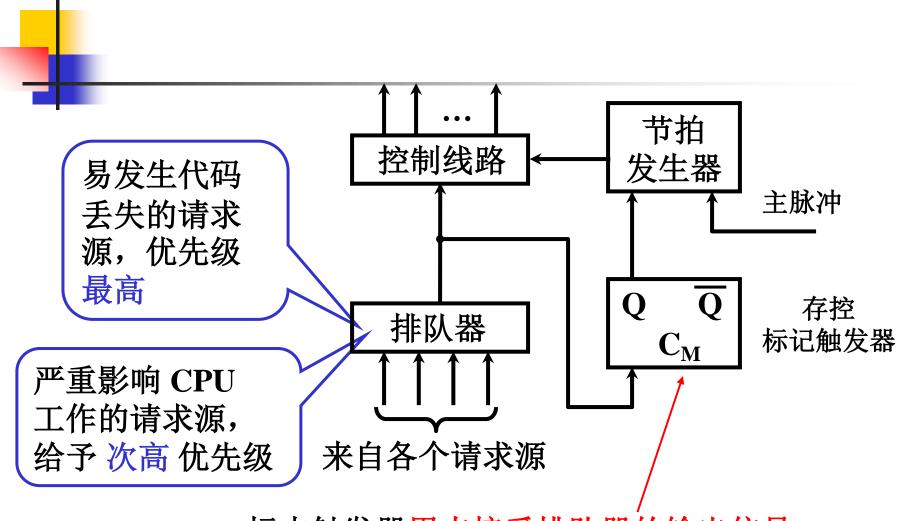
- 例4.6: 设有4个模块组成的四体存储器结构,每个体的存储字长为32位,存取周期为200ns,假设数据总线宽度为32位,总线传输周期为50ns,试求顺序存储和交叉(低位交叉)存储的存储器带宽。
- 解: 连续读出4个字的信息量是32X4=128位
- 顺序存储方式存储器连续读出4个字的时间是: 4X200ns=800ns
- 顺序存储存储器带宽=128/800ns=160Mbps
- 交叉存储方式存储器连续读出4个字的时间是: 200ns+(4-1)X50ns=350ns
- 交叉存储存储器带宽=128/350ns=370Mbps
- 370/160=2.3倍

- 多体模块存储器(多体交叉存储器)不仅要与CPU交换信息,还要与辅存、I/O设备,乃至I/O处理机交换信息
- 因此,在某一个时刻,决定主存究竟与那个部件交换信息必须由存储器控制部件(存控)来承担
- 存控部件具有合理安排各部件请求访问的顺序以及控制主存读/写操作的功能
- 存控部件由排队器、控制线路、节拍发生器及标记触 发器等组成

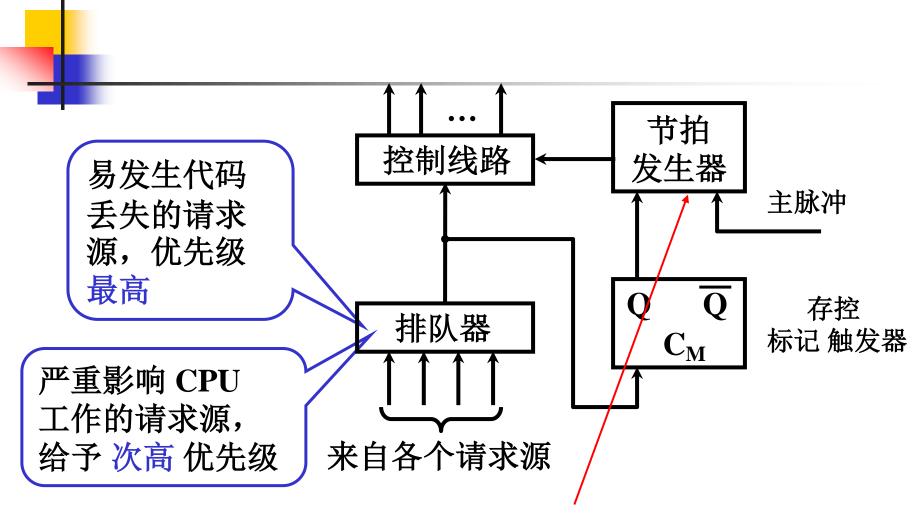




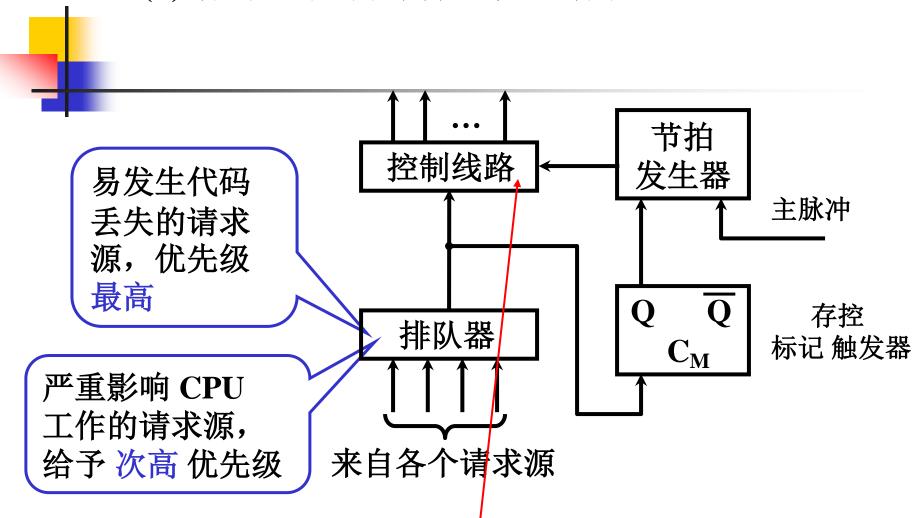
当有多个请求源访问存储器时,由 排队器确定请求源的优先级别



标志触发器用来接受排队器的输出信号,一旦响应某请求源, $C_M=1$,启动节拍发生器



节拍发生器用来产生固定节拍,与机器主脉冲同步



控制线路将排队器给出的信号与节拍发生器提供的节拍信号配合,向存储器各部件发出各种控制信号

3.高性能存储芯片

(采用高速器件)

DDR-SDRAM:
Double Data Rate SDRAM

(1) SDRAM (同步Synchronous DRAM)

在系统时钟的控制下进行读出和写入

CPU 无须等待 支持猝发访问模式 (CPU发出一个 地址就可以连续访问一个数据块,如32个字节)

(2) RDRAM(Rambus DRAM) 图4.47

由 Rambus公司开发,主要解决存储器带宽问题

(3) 带 Cache 的 DRAM (CDRAM), 也称增强型DRAM(EDRAM, Enhanced DRAM) 图4.48

在 DRAM 的芯片内 集成 了一个由 SRAM 组成的 Cache, 有利于 猝发式读取



DDR SDRAM: Double Data Rate SDRAM。SDRAM在一个时钟周期内只传输一次数据,它是在时钟的上升期进行数据传输;而DDR内存则是一个时钟周期内传输两次数据,它能够在时钟的上升期和下降期各传输一次数据,因此称为双倍速率同步动态随机存储器。DDR内存可以在与SDRAM相同的总线频率下达到更高的数据传输率。



DDR2 SDRAM

DDR2 SDRAM:是由JEDEC(电子设备工程联合委员会)进行开发的新生代内存技术标准,它与上一代DDR内存技术标准最大的不同就是,虽然同是采用了在时钟的上升/下降沿同时进行数据传输的基本方式,但DDR2内存却拥有两倍于上一代DDR内存预读取能力(即:4bit数据读预取)。换句话说,DDR2内存每个时钟能够以4倍外部总线的速度读/写数据,并且能够以内部控制总线4倍的速度运行。也就是说,在同样100MHz的工作频率下,DDR的实际频率为200MHz,而DDR2则可以达到400MHz。

金士顿2GB DDR2 800 (KVR800D2S6/2G)



容量: 2GB

内存主频 **800 MHz**





DDR3 SDRAM

■ DDR3 SDRAM: 是一种计算机内存规格。它属于SDRAM家族的内存产品,提供了相较于DDR2 SDRAM更高的运行效能与更低的电压,是DDR2 SDRAM(同步动态动态随机存取内存)的后继者(增加至八倍),也是现时流行的内存产品规格。8bit预取设计,而DDR2为4bit预取,这样DRAM内核的频率只有等效数据频率的1/8。



容量: 8GB

内存主频 1866 MHz





DDR4 SDRAM

■ DDR4 SDRAM: DDR4相比DDR3最大的区别有三点: 16bit预取机制(DDR3为8bit),同样内核频率下理论速度是DDR3的两倍;更可靠的传输规范,数据可靠性进一步提升:工作电压降为1.2V,更节能。

金士顿骇客神条FURY 16GB DDR4 2400



容量: 16GB

内存主频 2400 MHz



RDRAM

RDRAM (Rambus DRAM)通过高速总线获得存储器请求,总线最多可寻址320块RDRAM芯片,传输速率可达1.6GBps

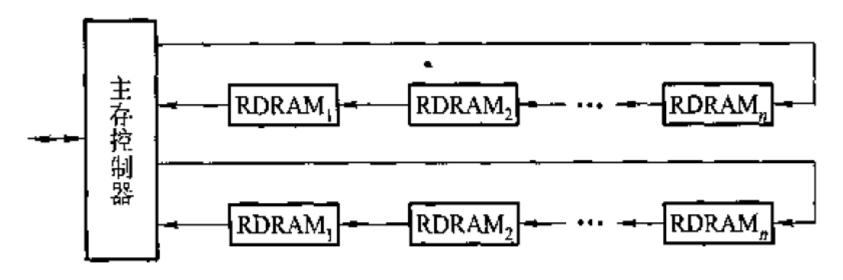


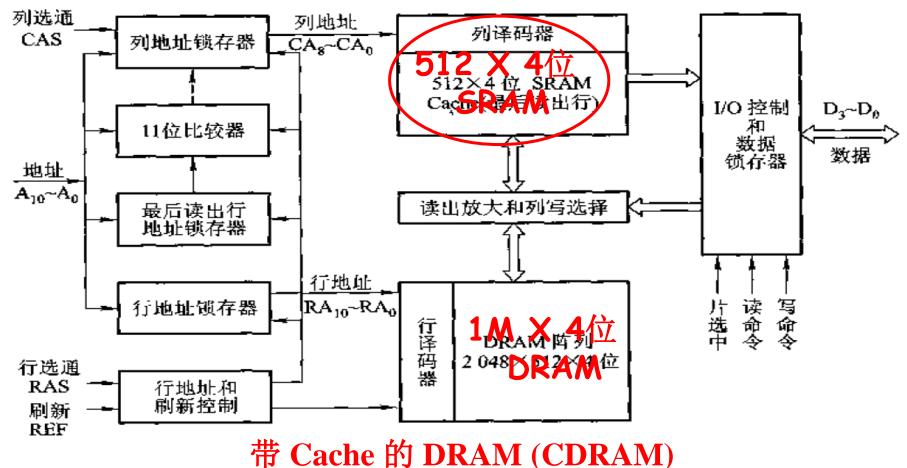
图 4.47 RamLink 体系结构

CDRAM

先给出**11**位行地址: RA₁₀~RA₀

 $2^{20} = 1 M$

- 再给出9位列地址: CA₈~CA₀
- 一次可以读出512X4位的数据送SRAM(Cache)中



IM×4 位 CDRAM 芯片结构框图 图 4.48

第5次作业——习题(P150-153)

- **4.14**
- **4.15**
- **4.16**
- **4.17**
- **4.18**
- **4.22**
- **4.23**
- **4.24**



关于作业的提交

- 1周内必须提交(上传到学院的FTP服务器上),否则认为是迟 交作业;如果期末仍然没有提交,则认为是未提交作业
 - 作业完成情况成绩=第1次作业提交情况*第1次作业评分+第2次作业提交情况*第2次作业评分+……+第N次作业提交情况*第N次作业评分
 - 作业评分: A(好)、B(中)、C(差)三挡
 - 作业提交情况:按时提交(1.0)、迟交(0.5)、未提交(0.0)
- 请采用电子版的格式(Word文档)上传到FTP服务器上,文件 名取"学号+姓名+第X次作业.doc"
 - 例如: 11920192203642+袁佳哲+第4次作业.doc
- 第5次作业提交的截止日期为: 2021年3月24日晚上24点



Thanks