

# 计算机组成原理

## (第五讲-2)



---

厦门大学信息学院软件工程系 曾文华  
2021年4月16日



# 第5章 输入输出系统

---

5.1 概述

5.2 外部设备

5.3 I/O接口

5.4 程序查询方式

5.5 程序中断方式

5.6 DMA方式



---

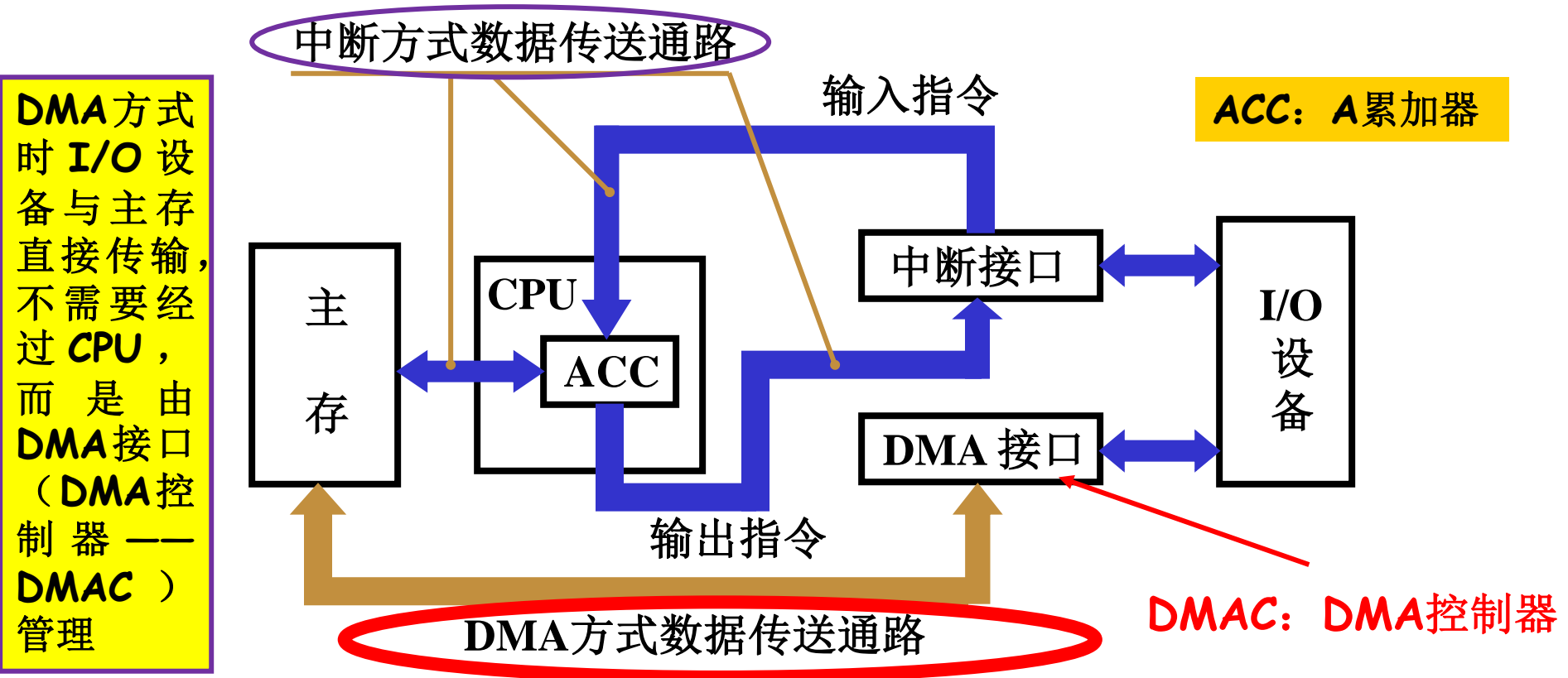
## 5.6 DMA 方式

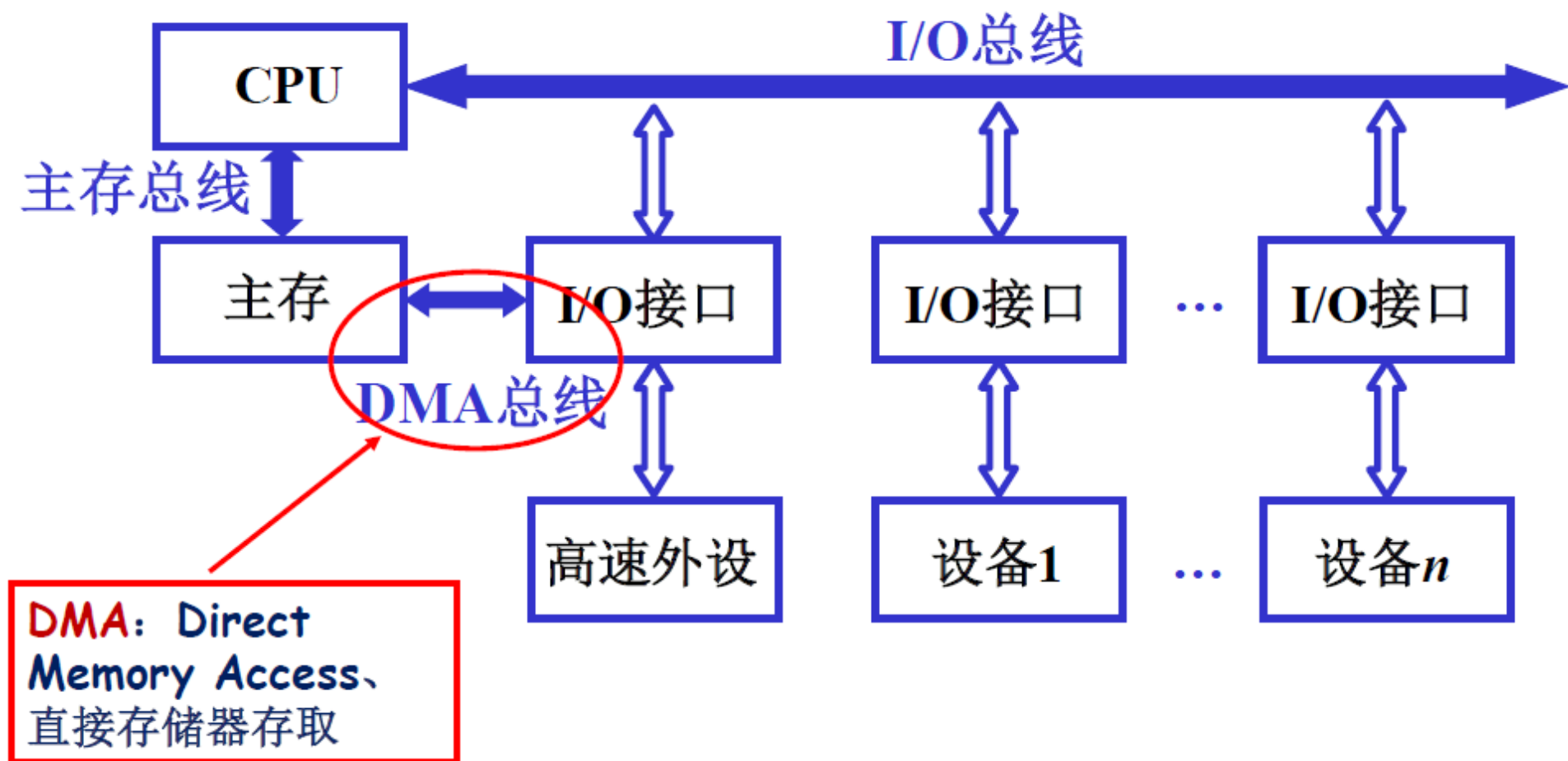
- 一、DMA 方式的特点
- 二、DMA 接口的功能和组成
- 三、DMA 的工作过程
- 四、DMA 接口的类型

# Direct Memory Access 直接存储器访问

## 一、DMA 方式的特点

### 1. DMA 和程序中中断两种方式的数据通路





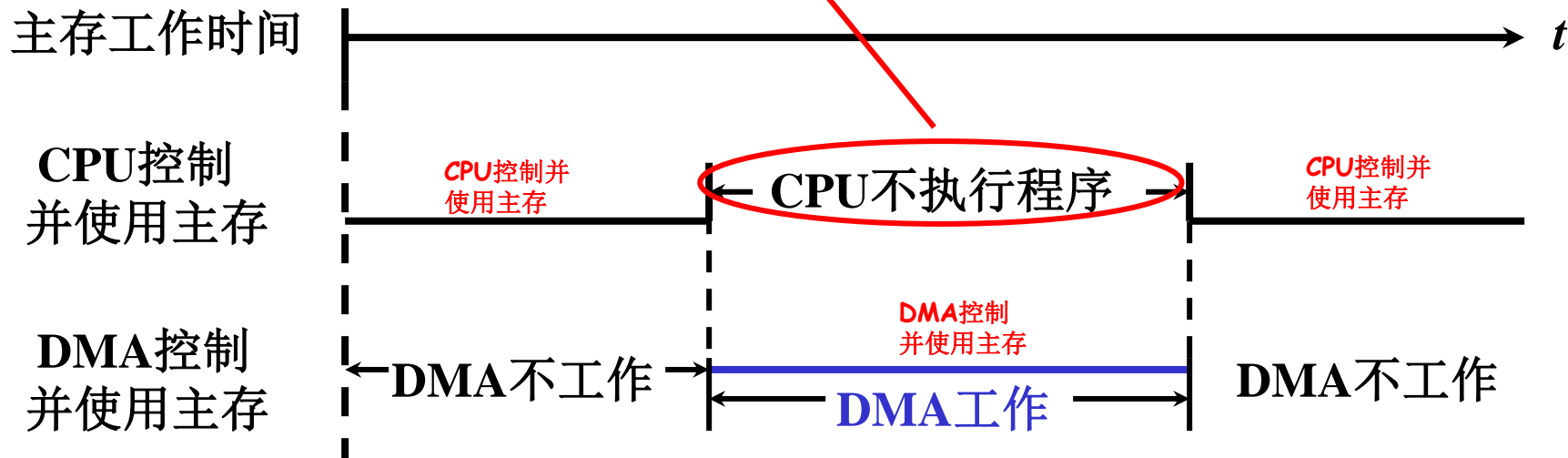
## 2. DMA 与主存交换数据的三种方式

### (1) 停止 CPU 访问主存

控制简单

CPU 处于不工作状态或保持状态

未充分发挥 CPU 对主存的利用率

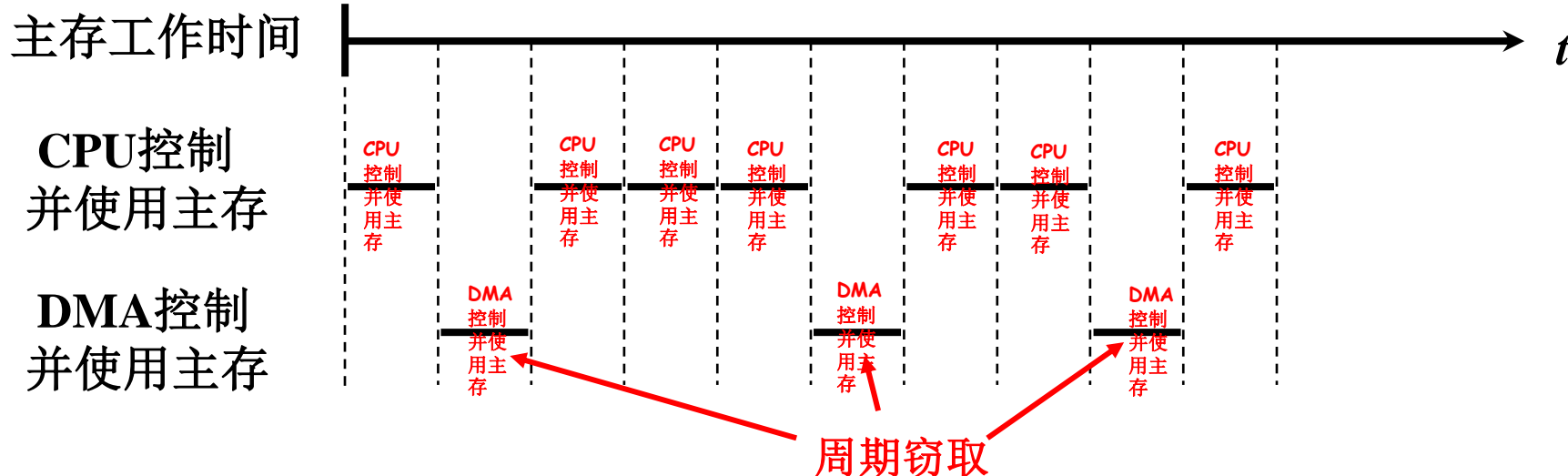


## (2) 周期挪用 (或周期窃取)

### DMA 访问主存有三种可能

- CPU 此时不访存
- CPU 正在访存：要等待存取周期结束，CPU让出总线占有权
- CPU 与 DMA 同时请求访存：DMA优先于CPU

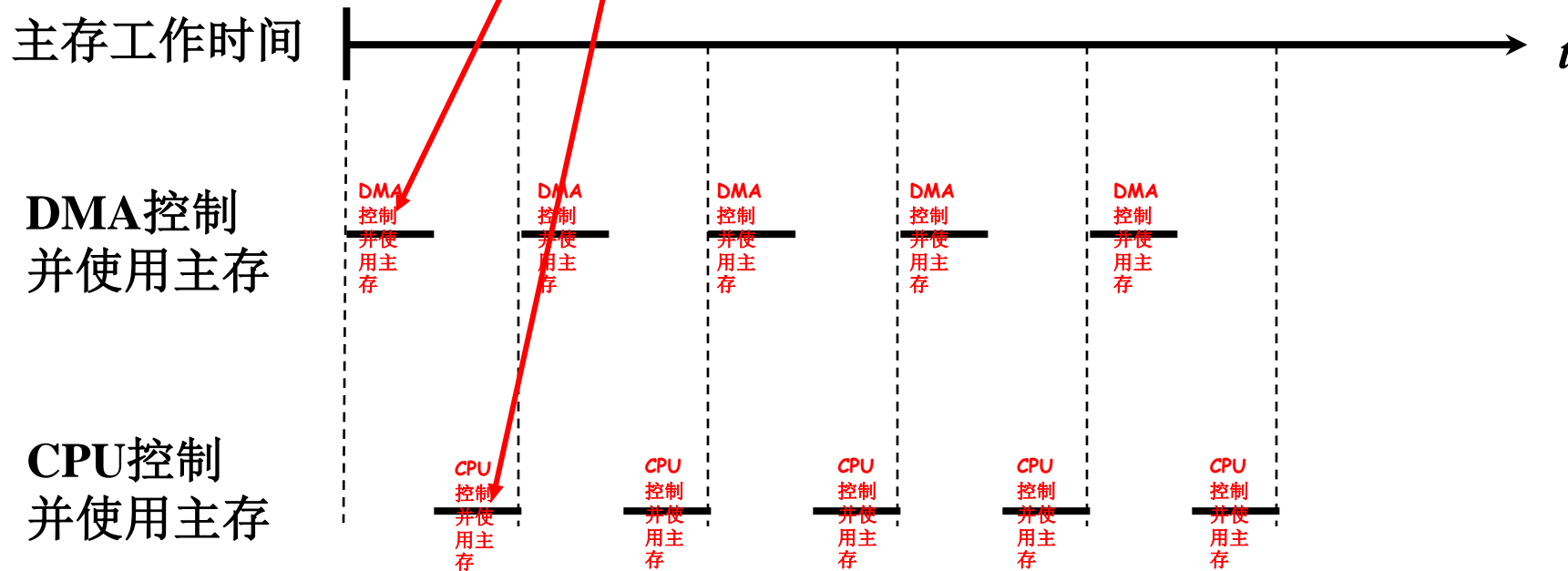
此时 CPU 将总线控制权让给 DMA



### (3) DMA 与 CPU 交替访问

CPU 工作周期 {  $C_1$  专供 DMA 访存  
 $C_2$  专供 CPU 访存

所有指令执行过程中的一个基准时间



不需要 申请建立和归还 总线的使用权



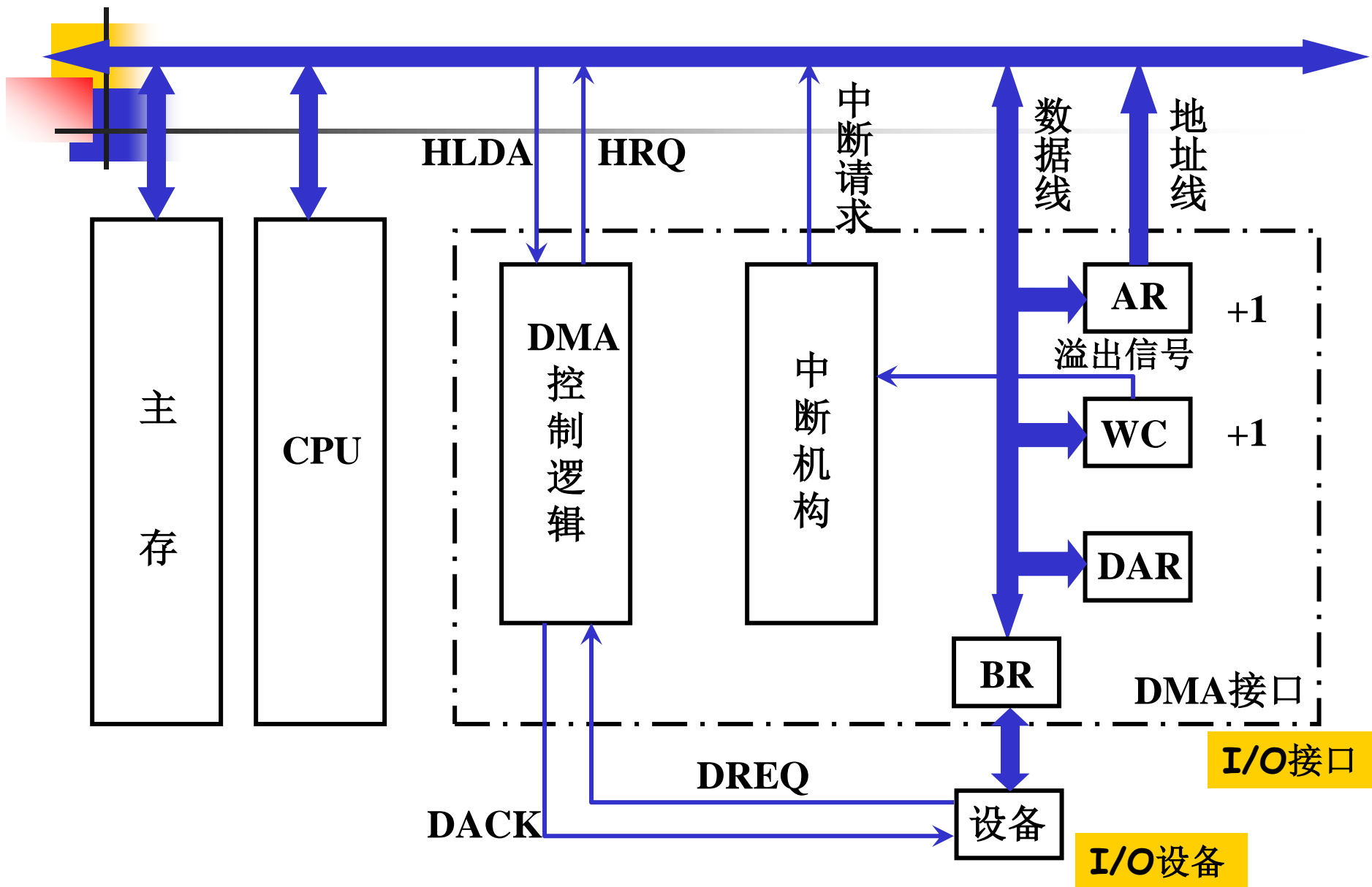
## 二、DMA 接口的功能和组成

### 1. DMA 接口功能（DMA控制器——DMAC）

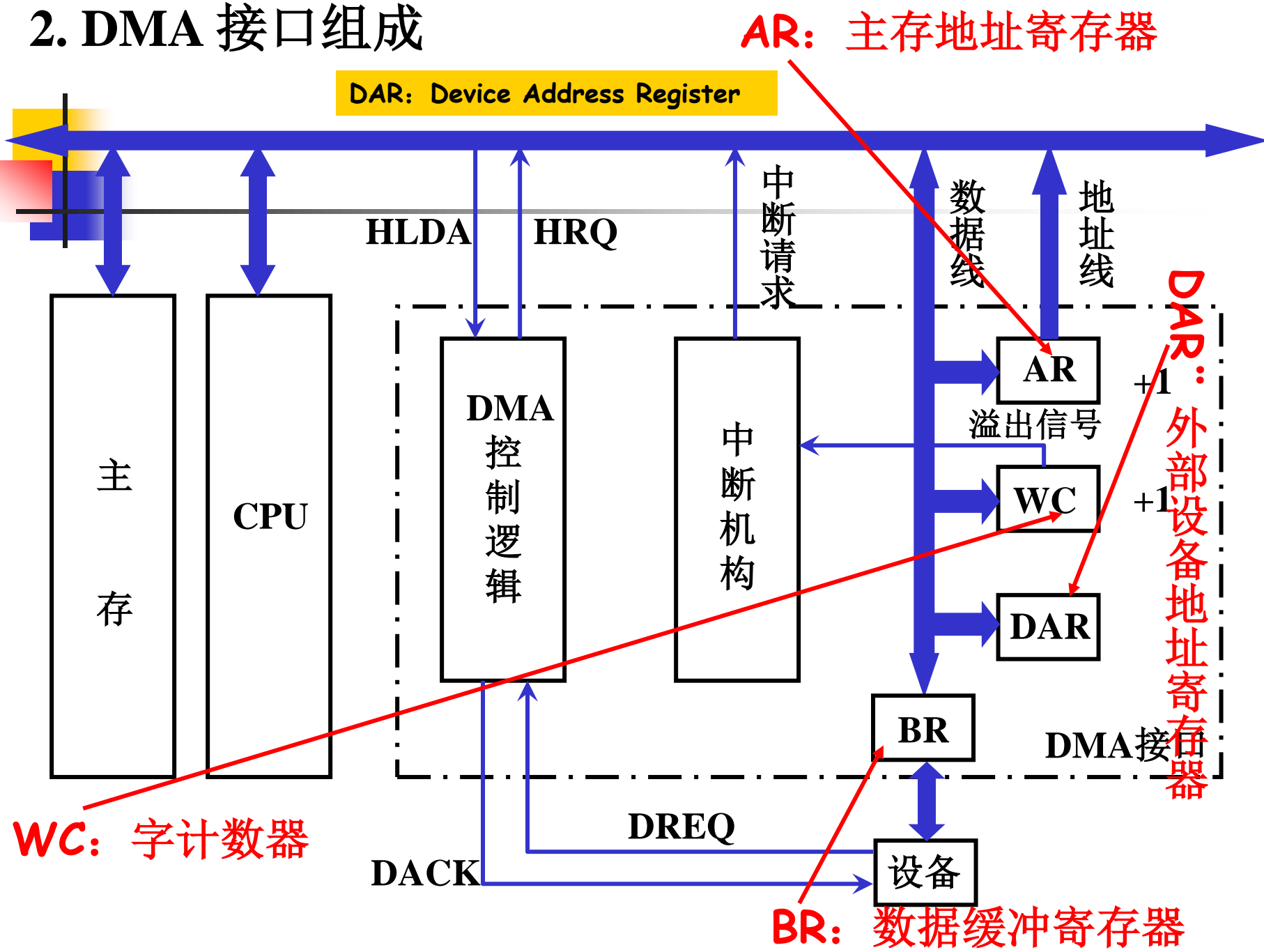
---

- (1) 向 CPU 申请 DMA 传送
- (2) 处理总线 控制权的转交
- (3) 管理 系统总线、控制 数据传送
- (4) 确定 数据传送的 首地址和长度  
修正 传送过程中的数据 地址 和 长度
- (5) DMA 传送结束时， 给出操作完成信号

## 2. DMA 接口组成

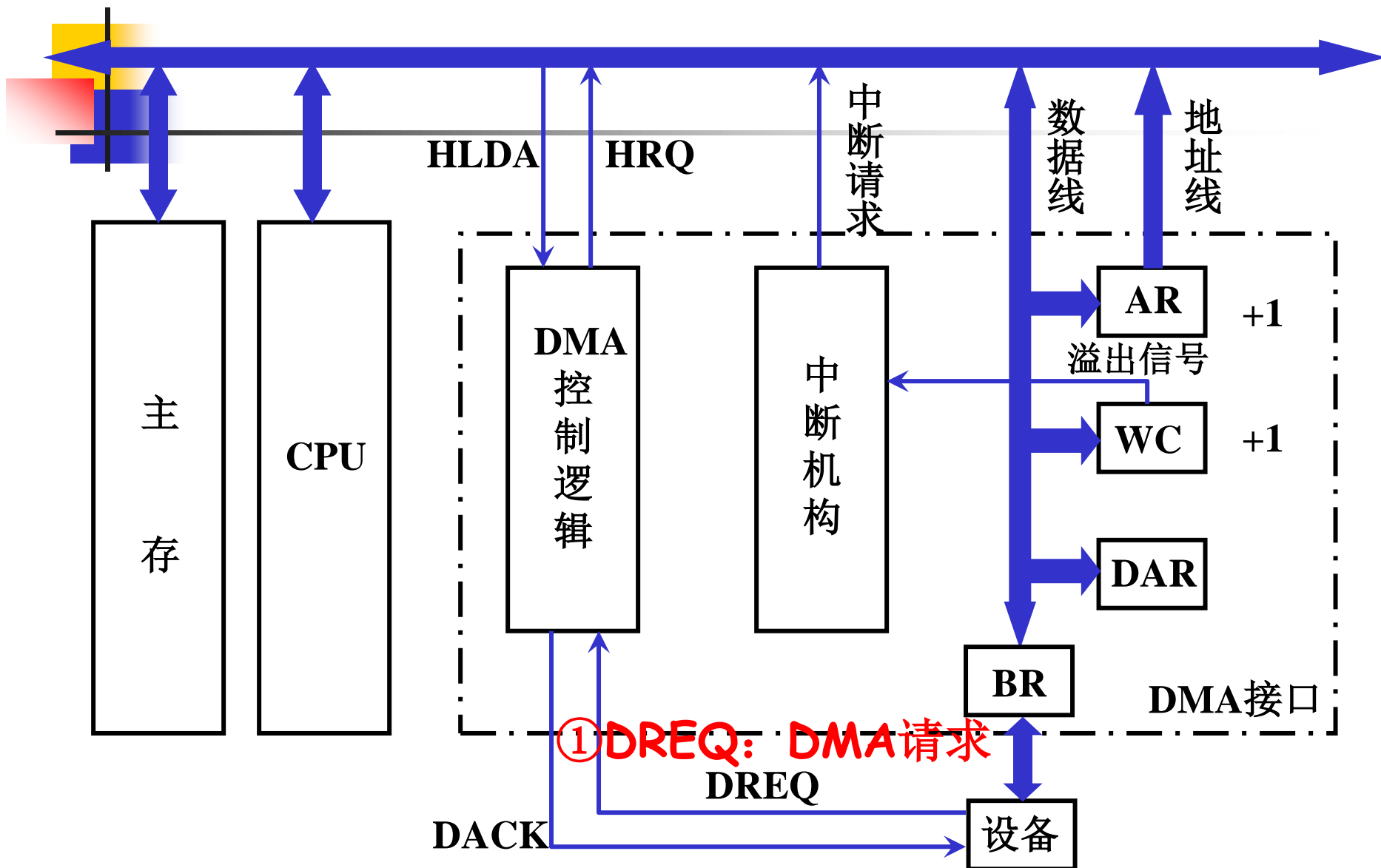


## 2. DMA 接口组成



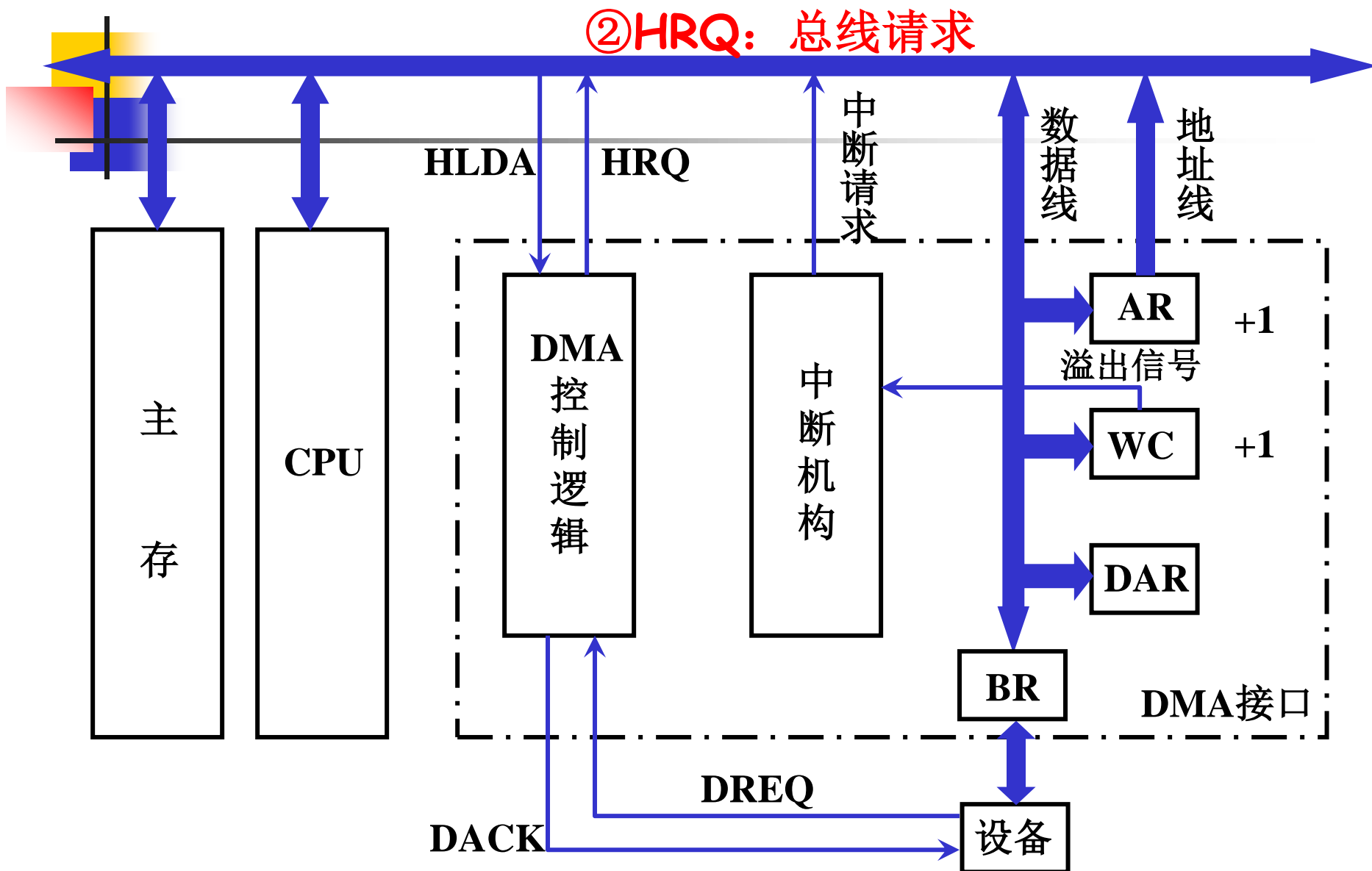
## 2. DMA 接口组成

DREQ: DMA REQuest



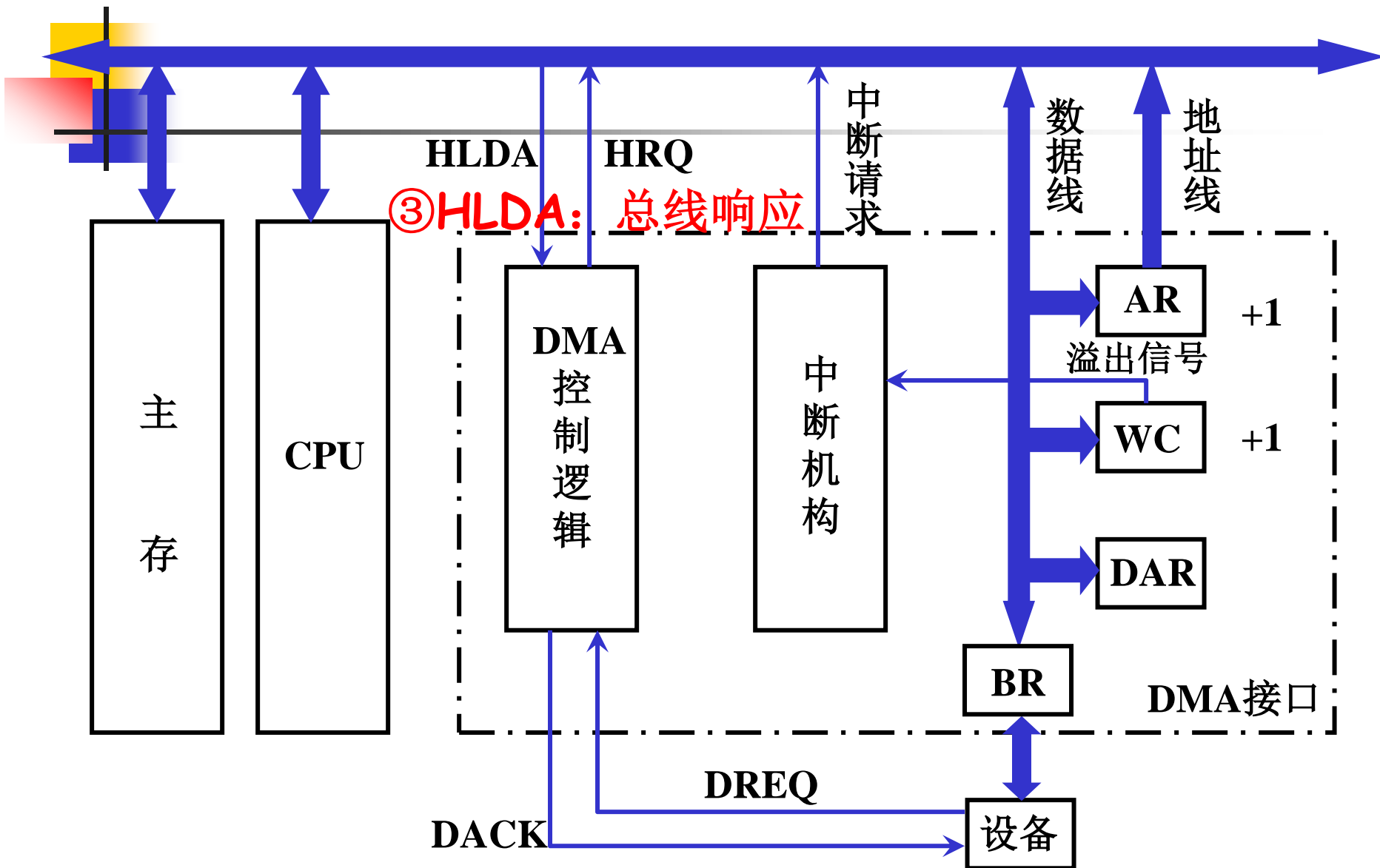
## 2. DMA 接口组成

HRQ: Hold ReQuest



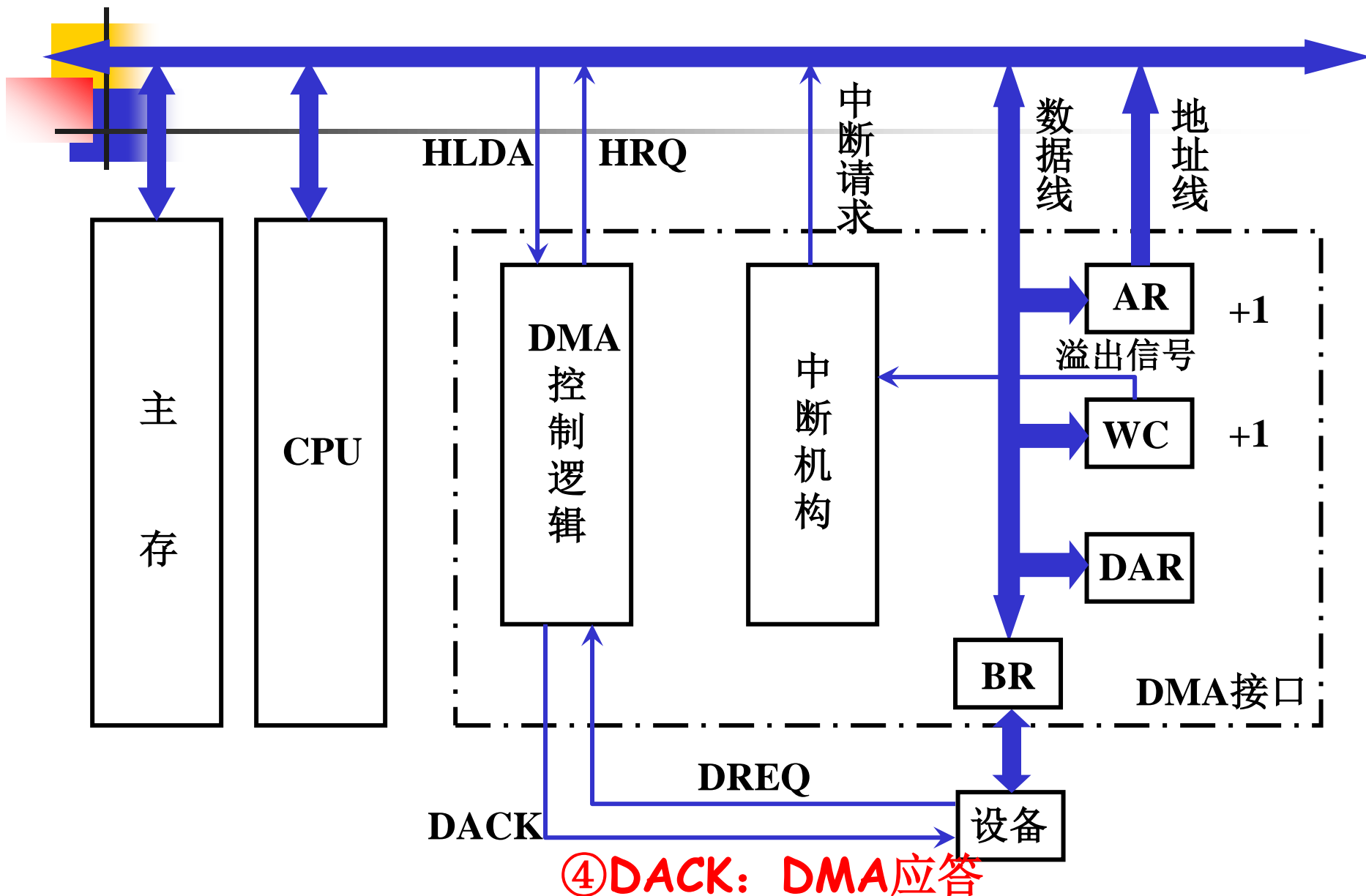
## 2. DMA 接口组成

HLDA: HoLD Acknowledge



## 2. DMA 接口组成

DAK: DMA ACKnowledge



# 三、DMA 的工作过程

## 1. DMA 传送过程

预处理、数据传送、后处理

### (1) 预处理

通过几条输入输出指令预置如下信息：

- 通知 DMA 控制逻辑传送方向（入/出）

DAR: Device Address Register

- 设备地址——DMA 的 DAR（I/O地址）

DAR: 外部设备地址寄存器

- 主存地址——DMA 的 AR

AR: 主存地址寄存器

- 传送字数——DMA 的 WC

WC: 字计数器



## (2) DMA 传送过程示意

CPU

预处理:

主存起始地址 → DMA  
设备地址 → DMA  
传送数据个数 → DMA  
启动设备

数据传送:

继续执行主程序  
同时完成一批数据传送

后处理:

中断服务程序  
做 DMA 结束处理

继续执行主程序

**DMA方式是以数据块为单位传送的,以周期挪用(周期窃取)方式交换数据**

数据传送

DMA请求

否

允许传送?

是

主存地址送总线  
数据送I/O设备 (或主存)  
修改 主存地址 AR  
修改 字计数器 WC

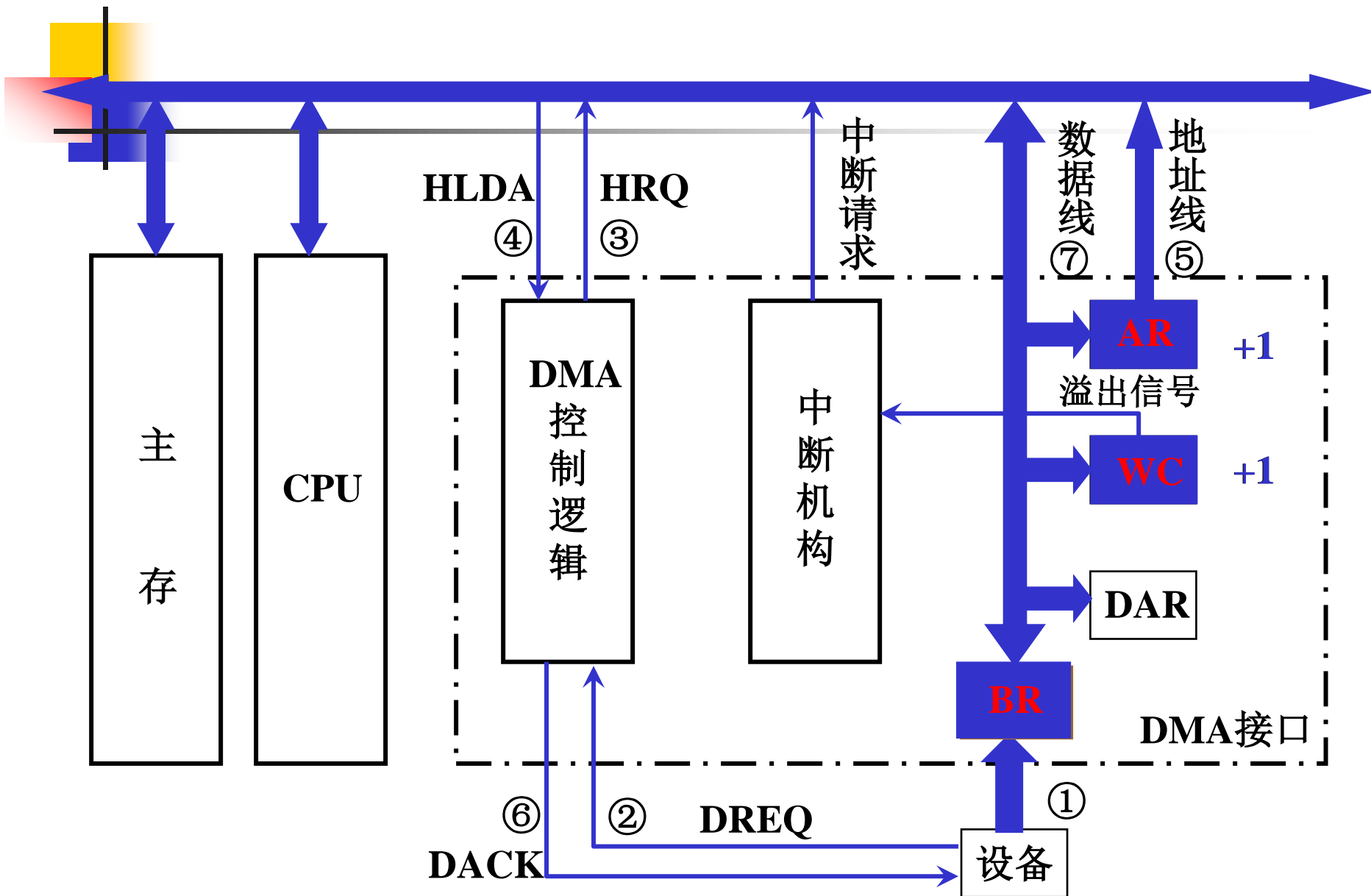
否

数据块  
传送结束?

是

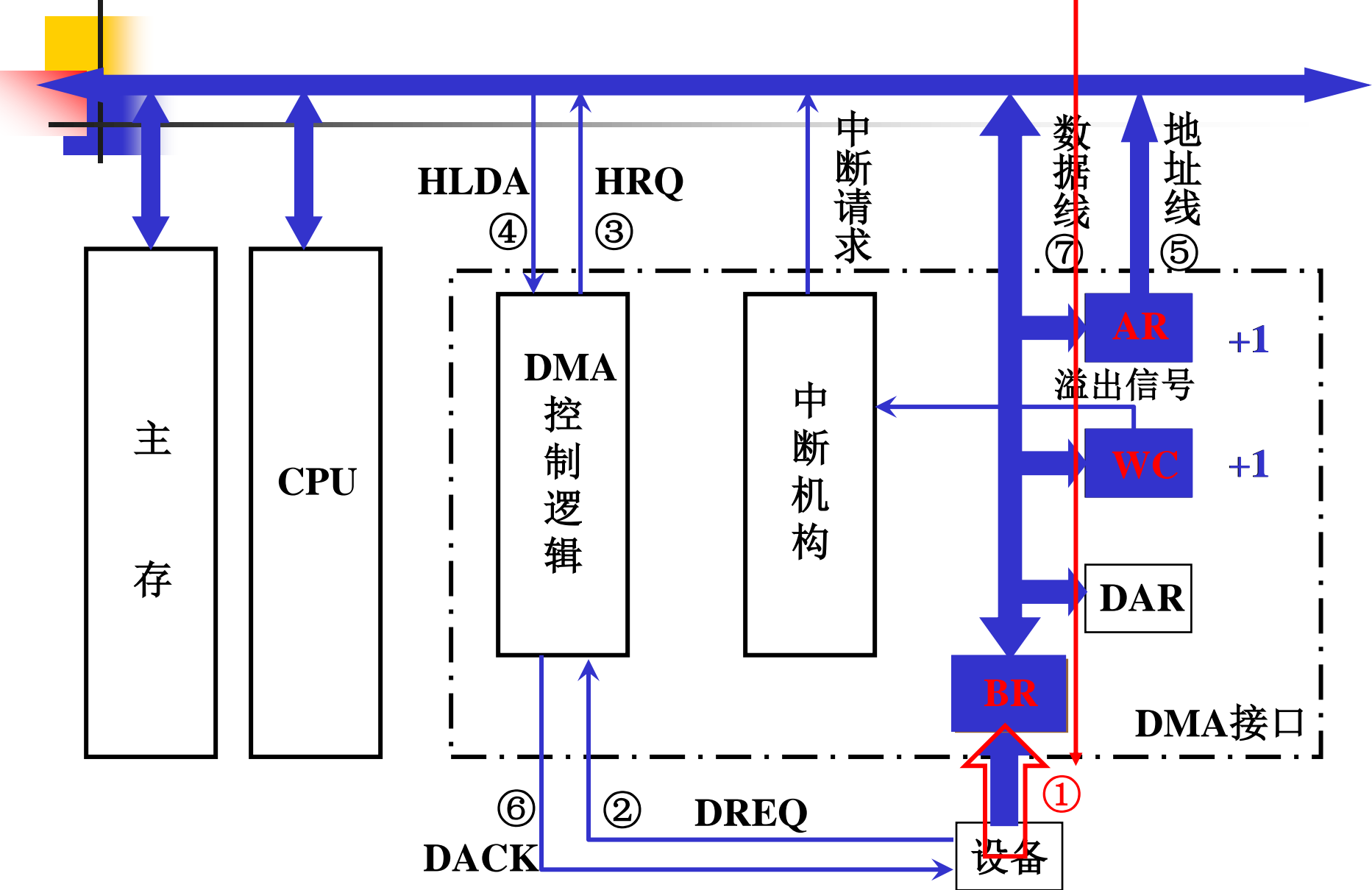
向CPU申请 程序中断

### (3) 数据传送过程（输入）



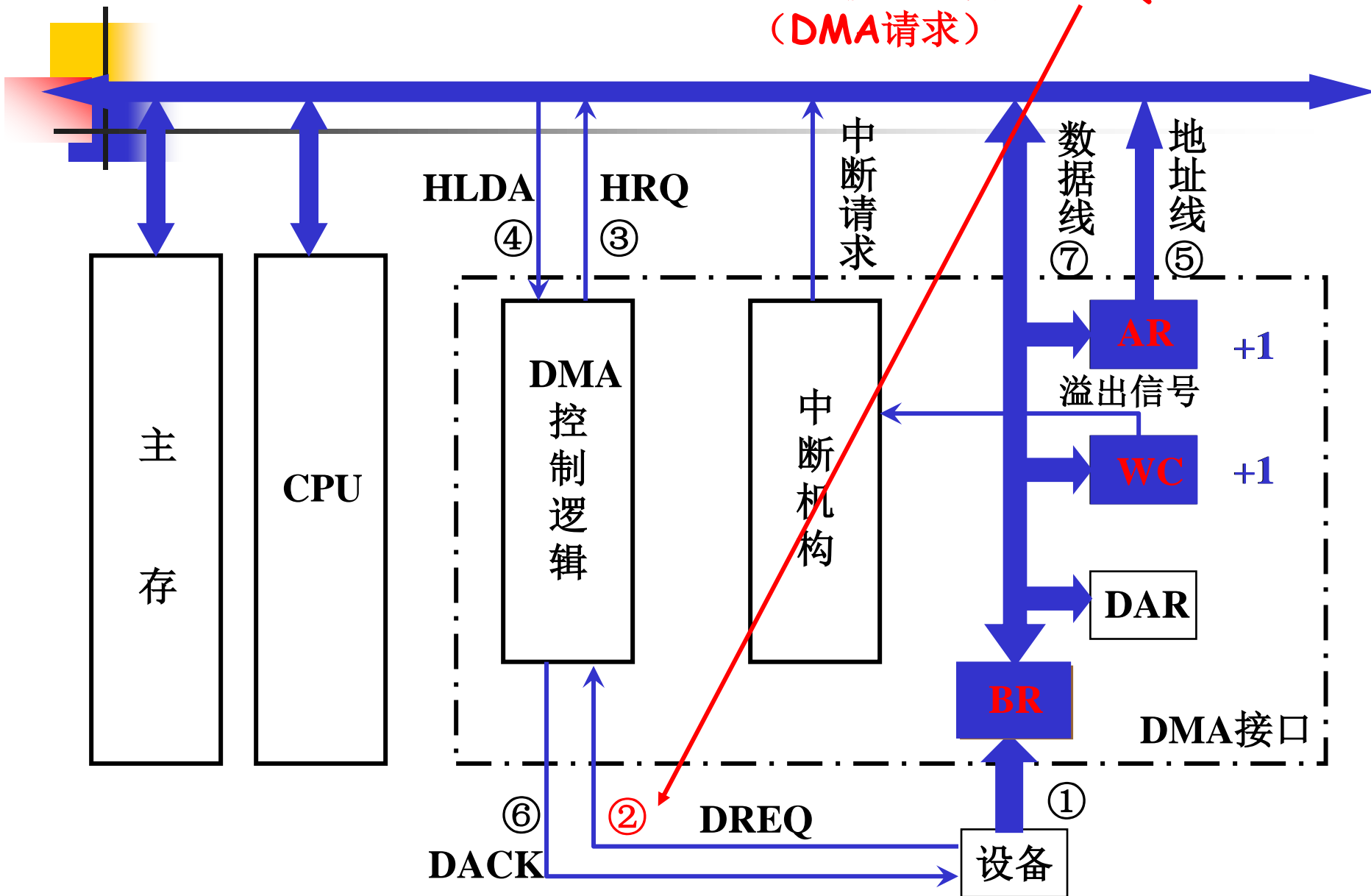
### (3) 数据传送过程（输入）

外设的数据送数据缓冲寄存器BR中（输入）



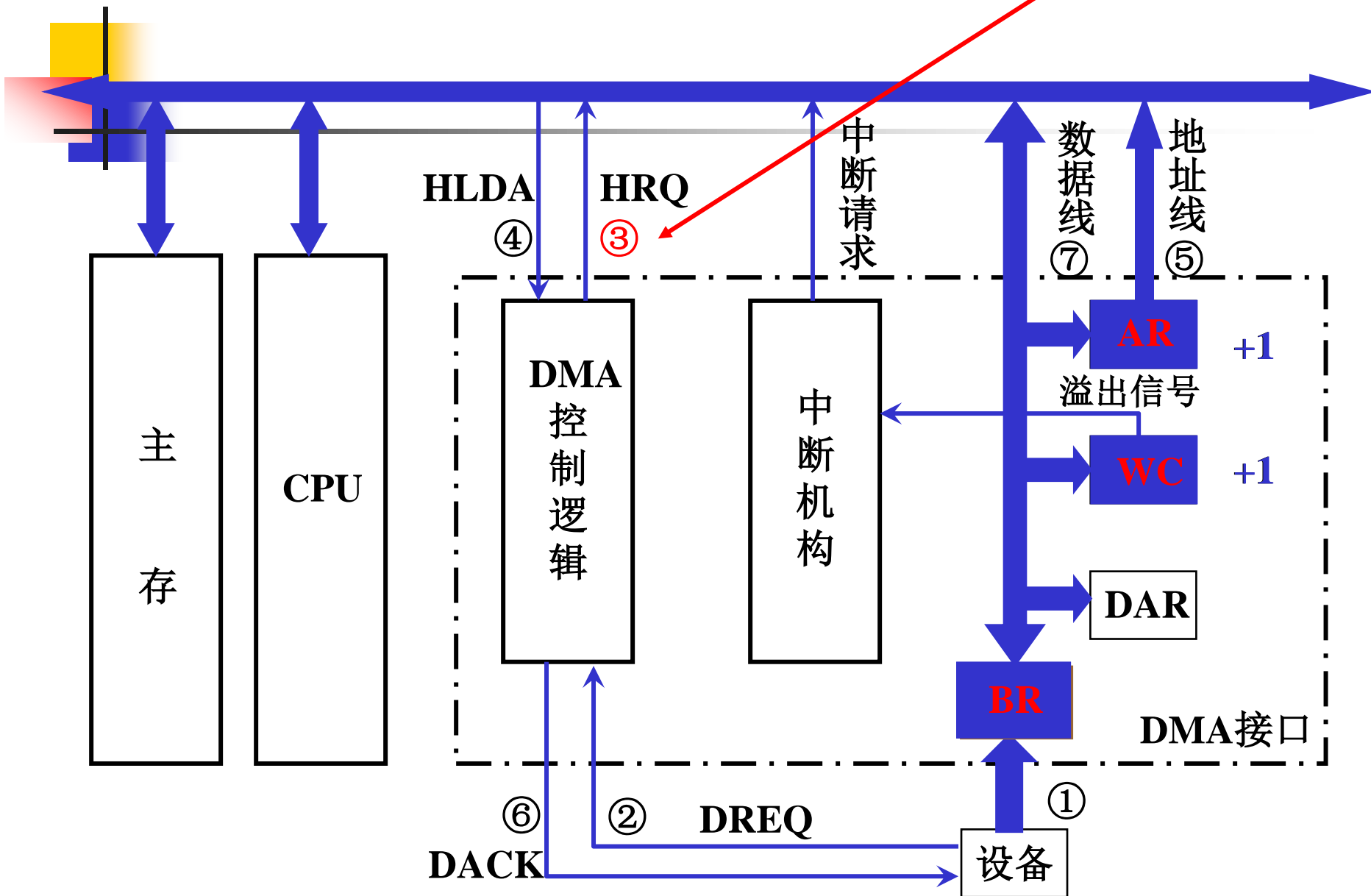
### (3) 数据传送过程（输入）

外设向**DMAC**（DMA控制器、  
DMA接口）发出**DREQ**  
（DMA请求）



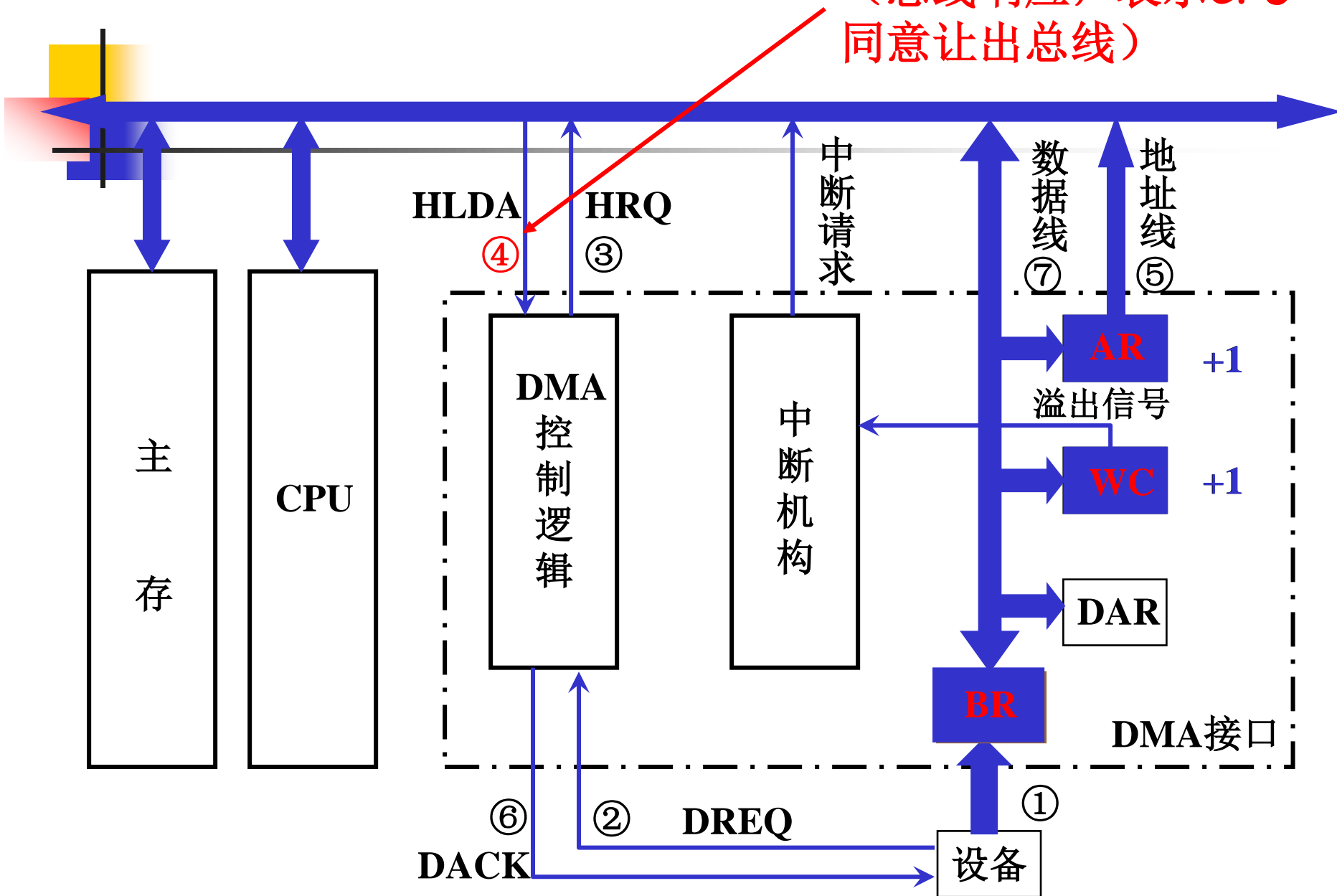
### (3) 数据传送过程（输入）

DMAC向CPU发  
HRQ（总线请求）



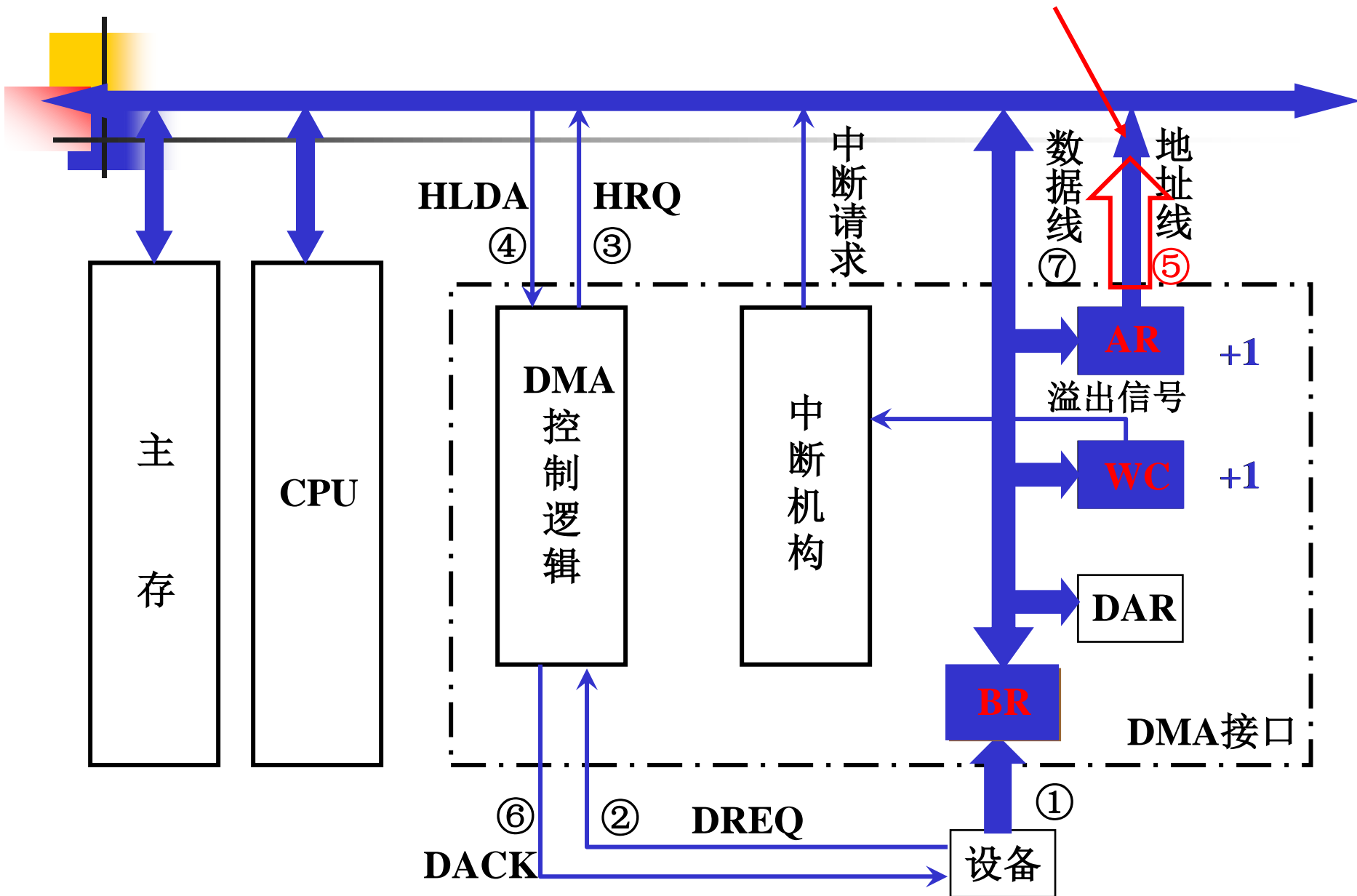
### (3) 数据传送过程（输入）

**CPU向DMAC发HLDA**  
(总线响应, 表示CPU  
同意让出总线)

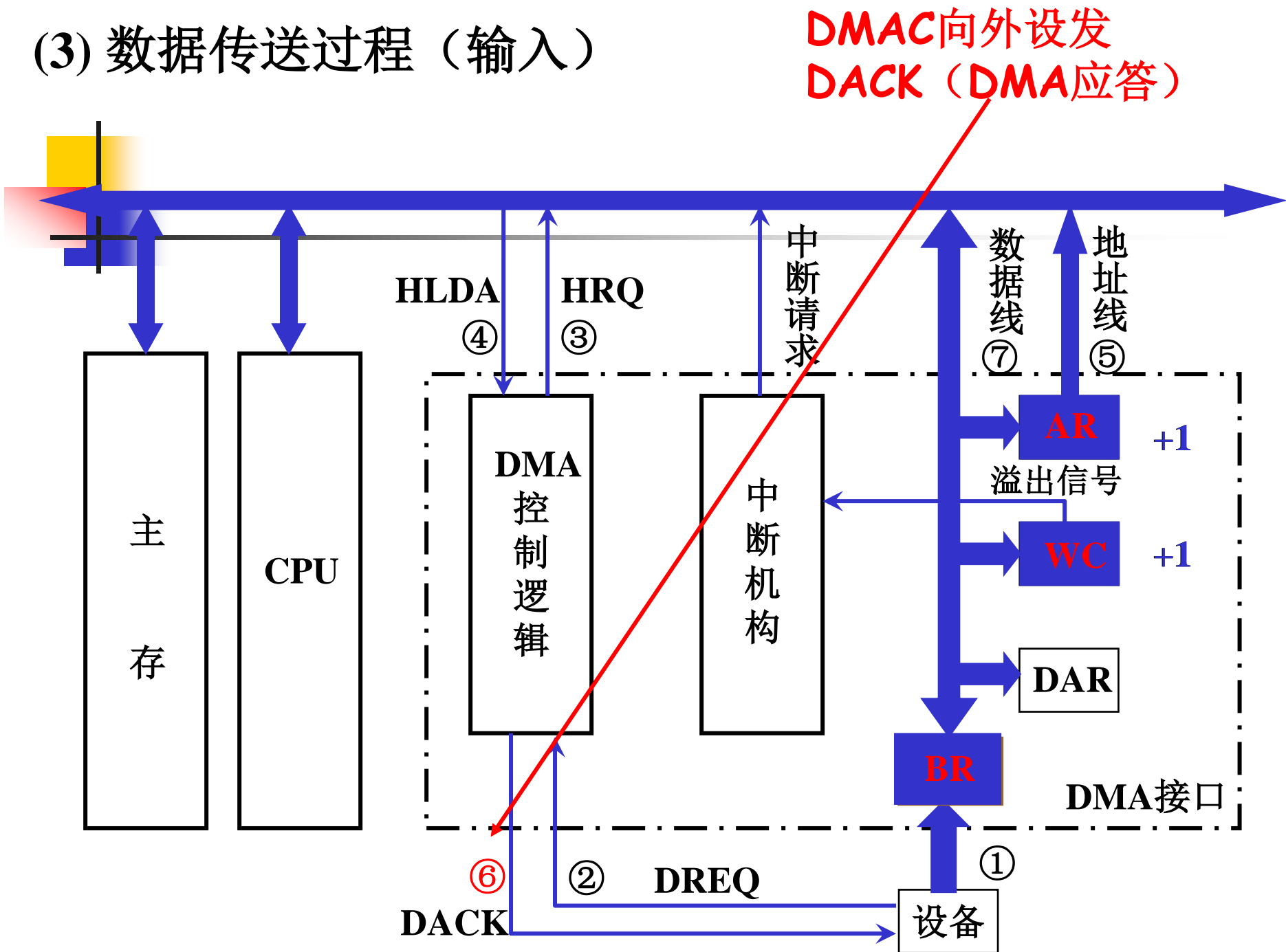


### (3) 数据传送过程（输入）

DMAC的主存地址  
AR送地址总线



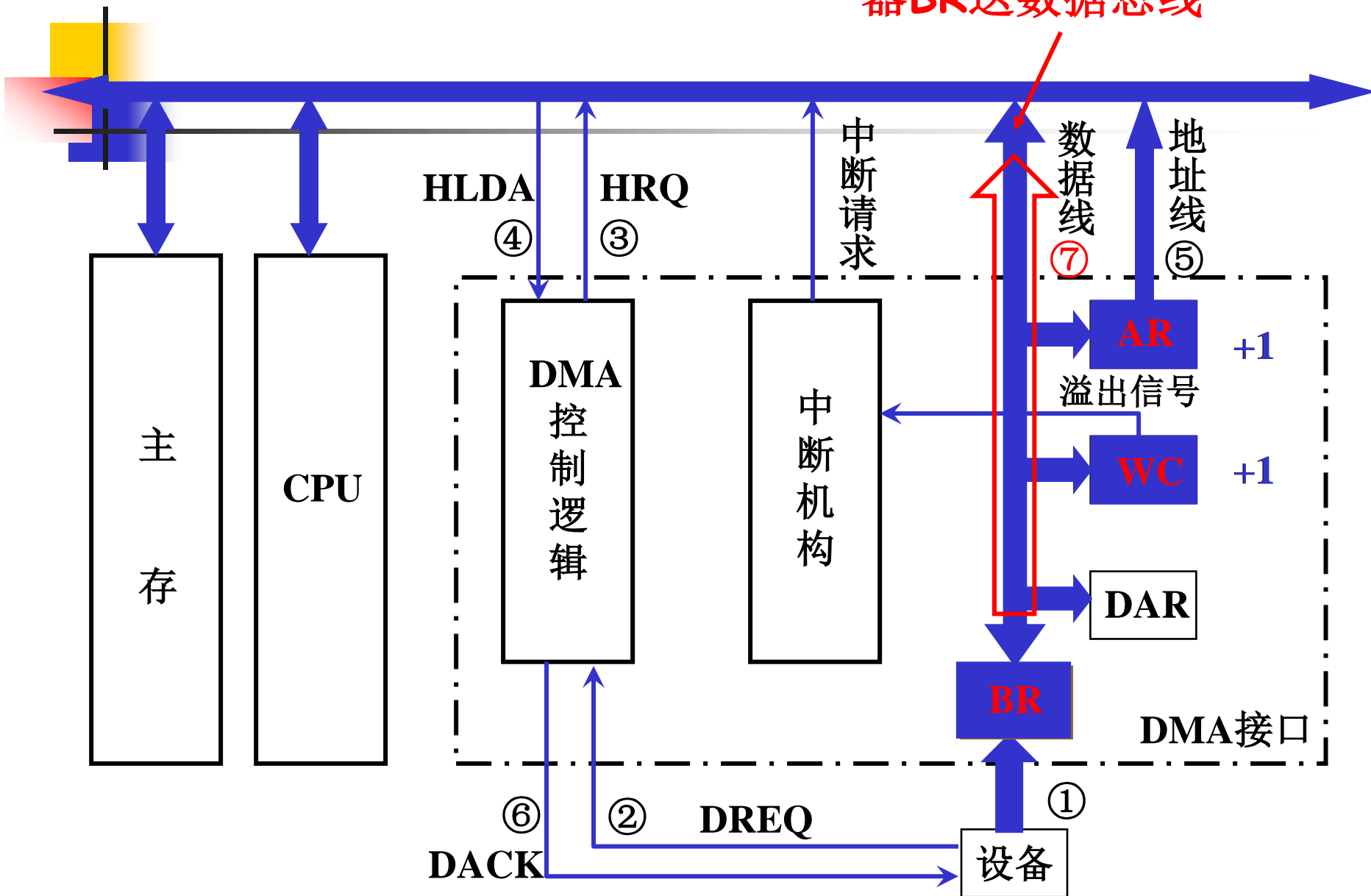
### (3) 数据传送过程（输入）





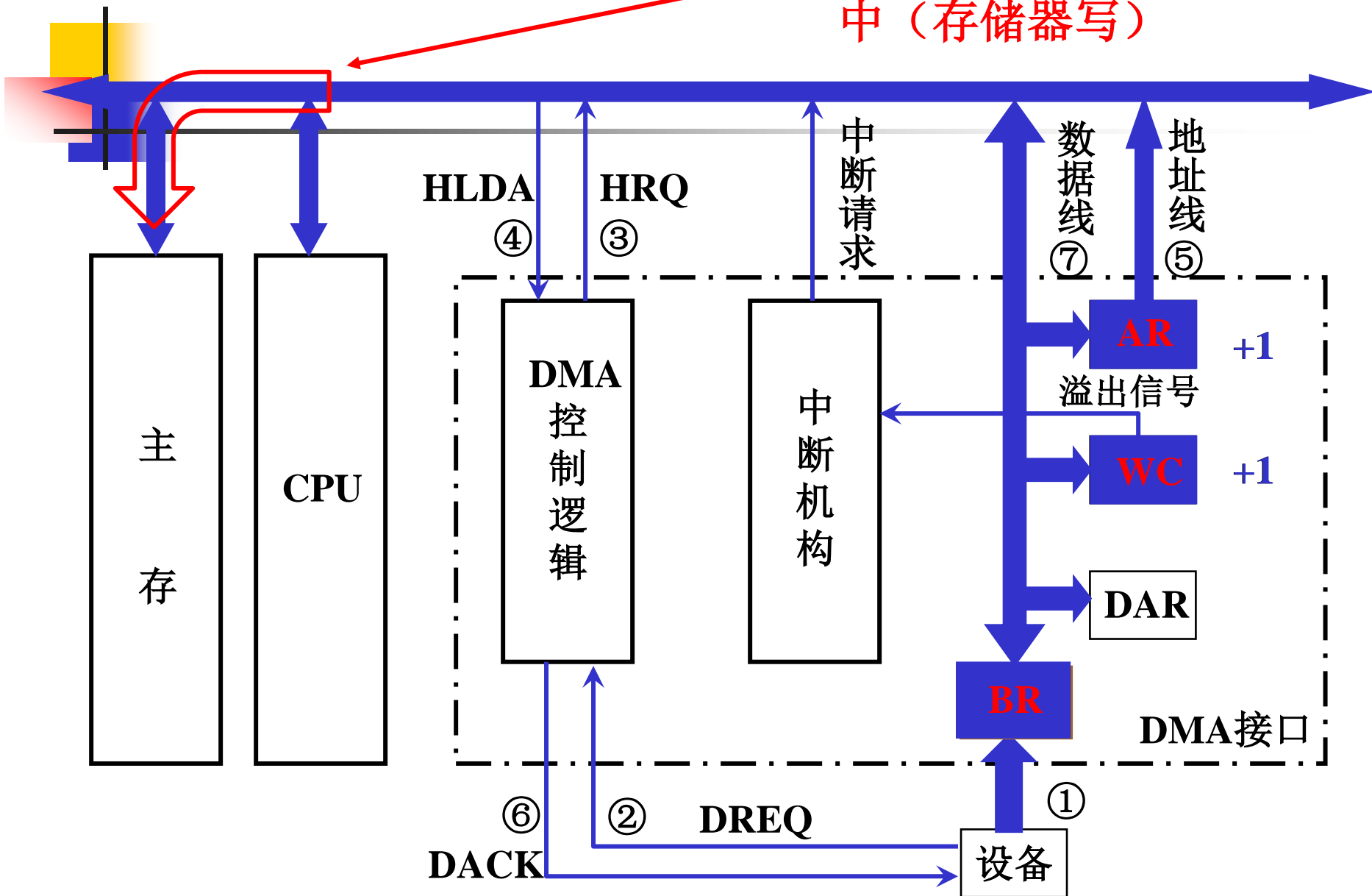
### (3) 数据传送过程（输入）

DMAC的数据缓存寄存器BR送数据总线



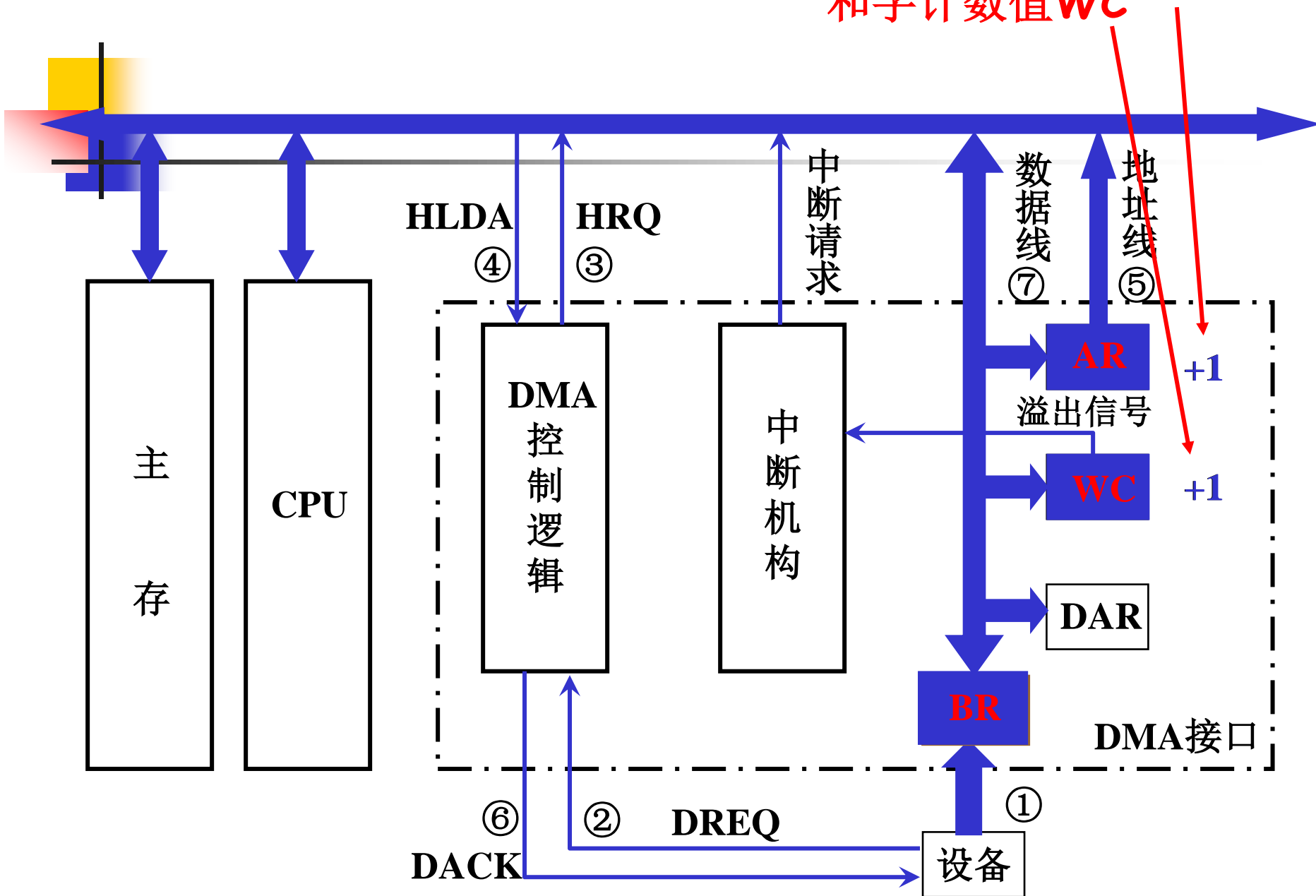
### (3) 数据传送过程（输入）

⑧将数据总线上的数据写到存储单元（地址为**AR**）中（存储器写）

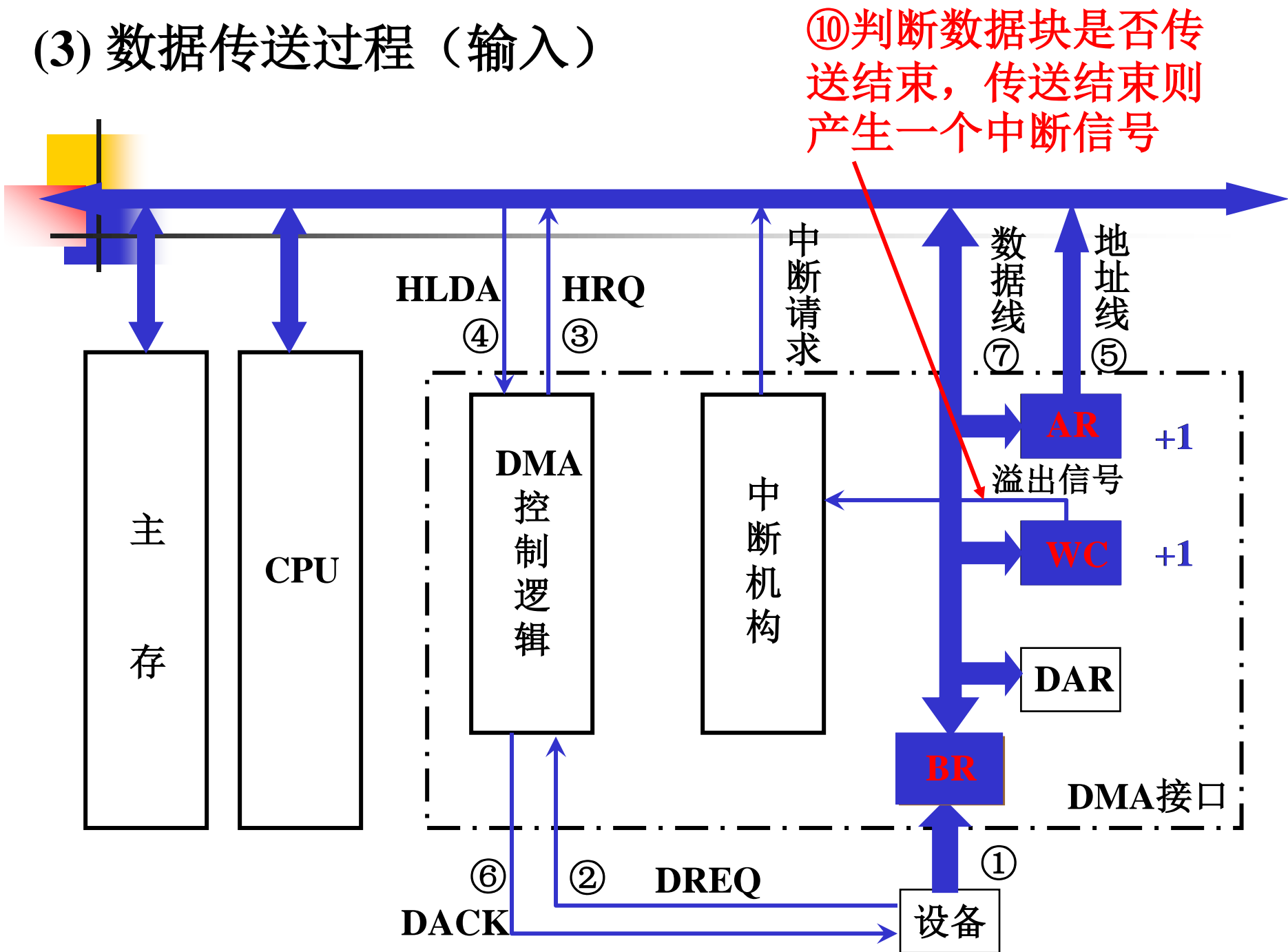


### (3) 数据传送过程（输入）

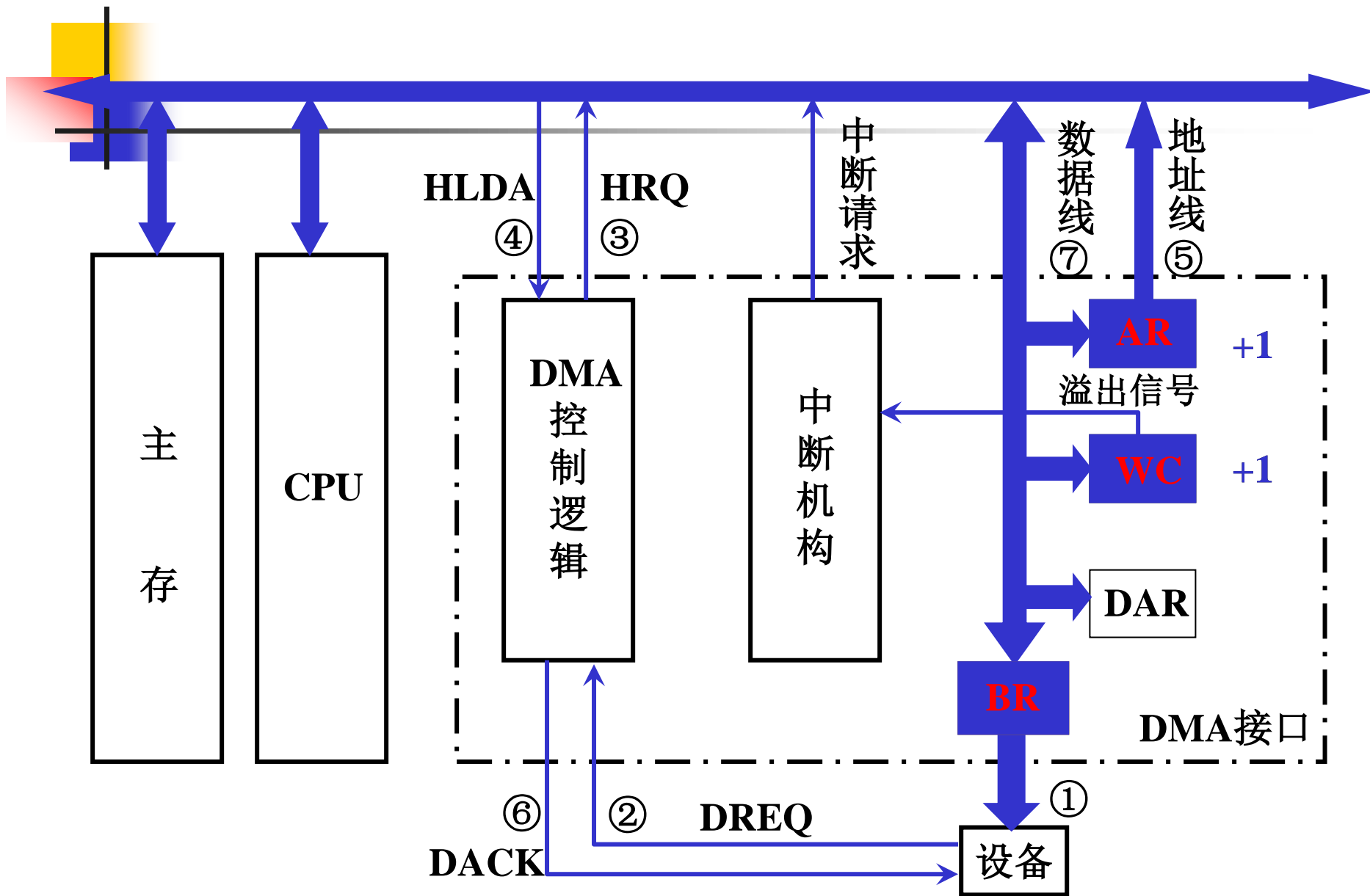
⑨修改主存地址AR  
和字计数值WC



### (3) 数据传送过程（输入）

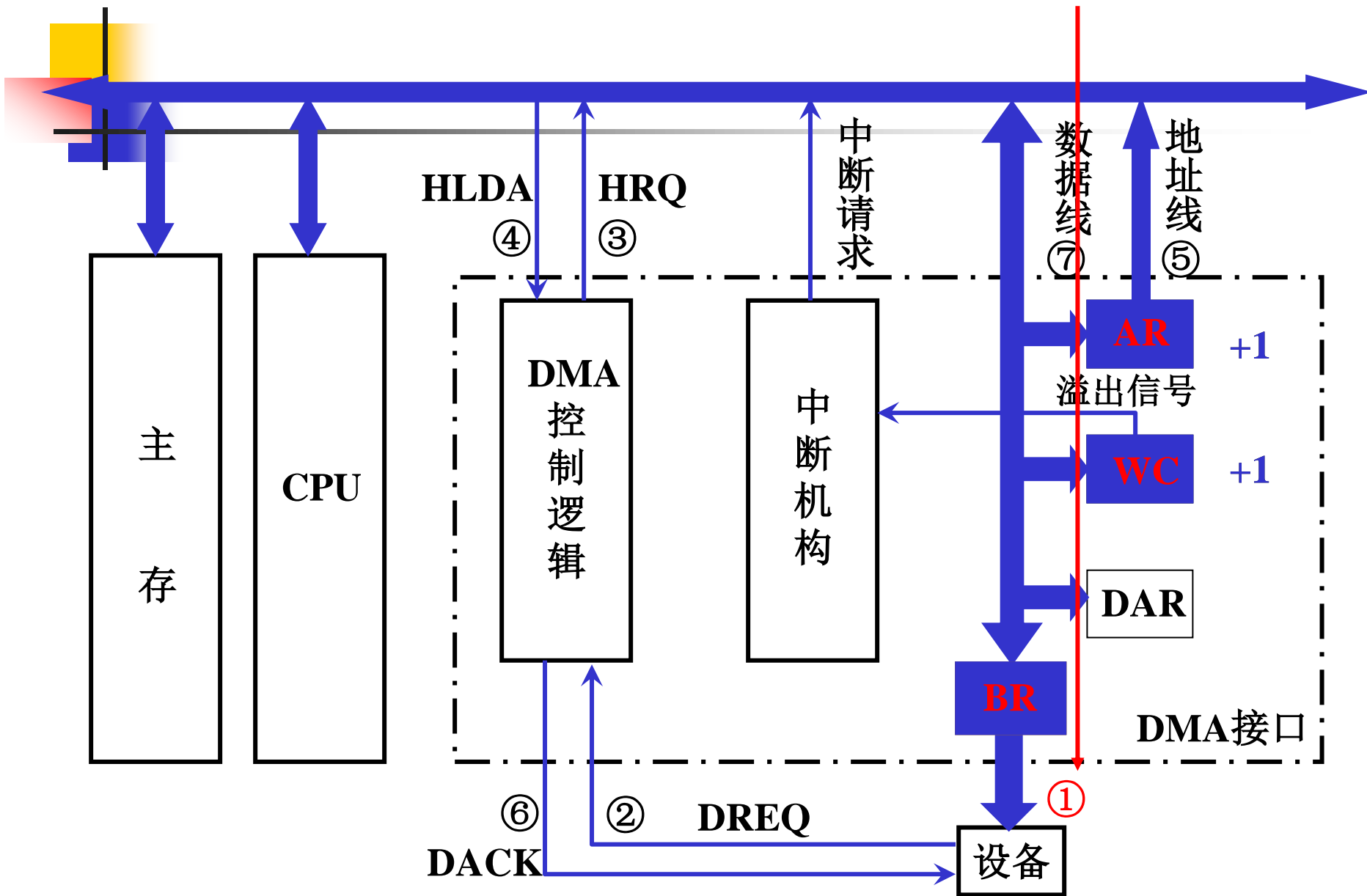


#### (4) 数据传送过程（输出）



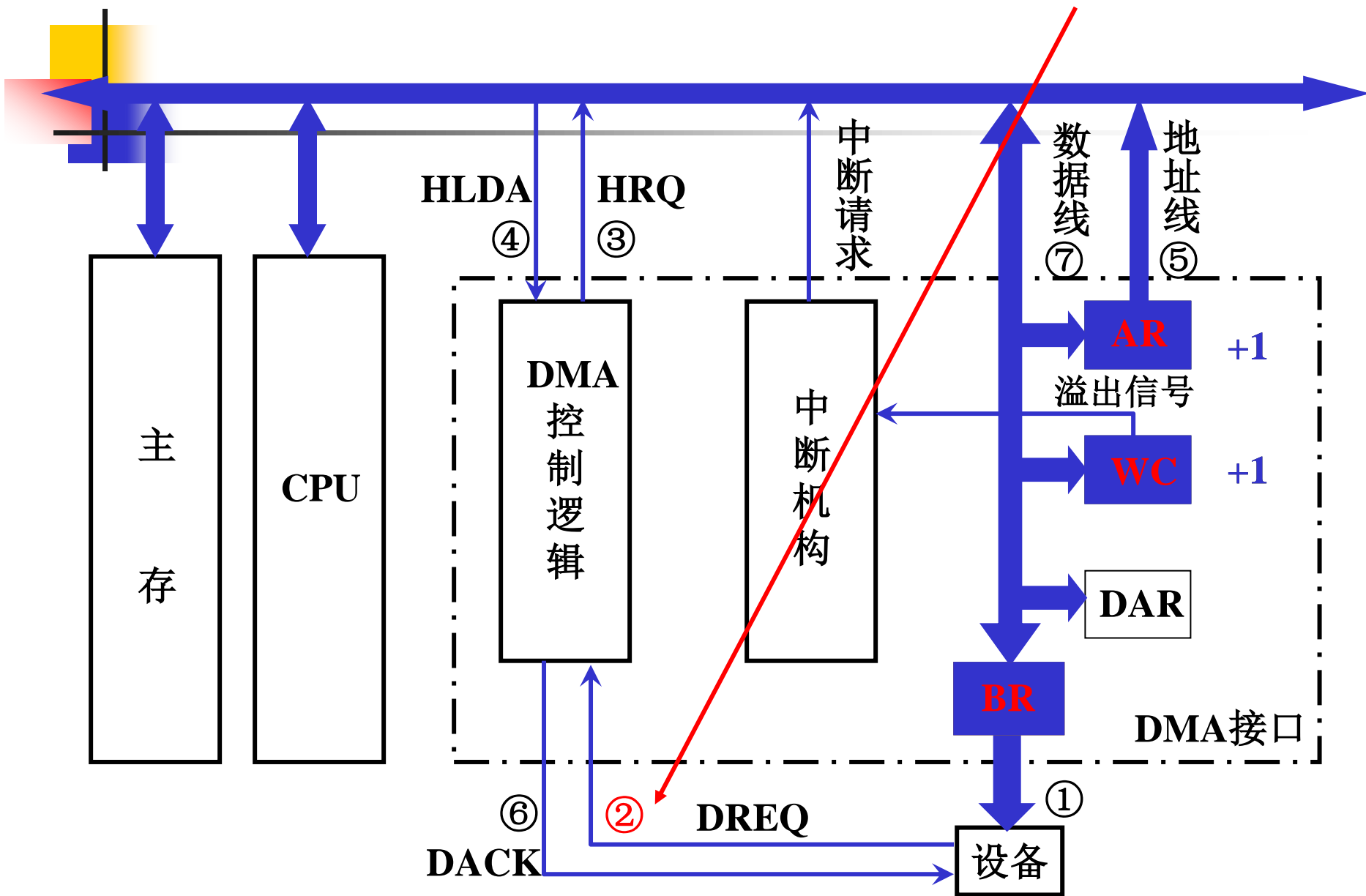
#### (4) 数据传送过程（输出）

当数据缓冲寄存器  
BR为满



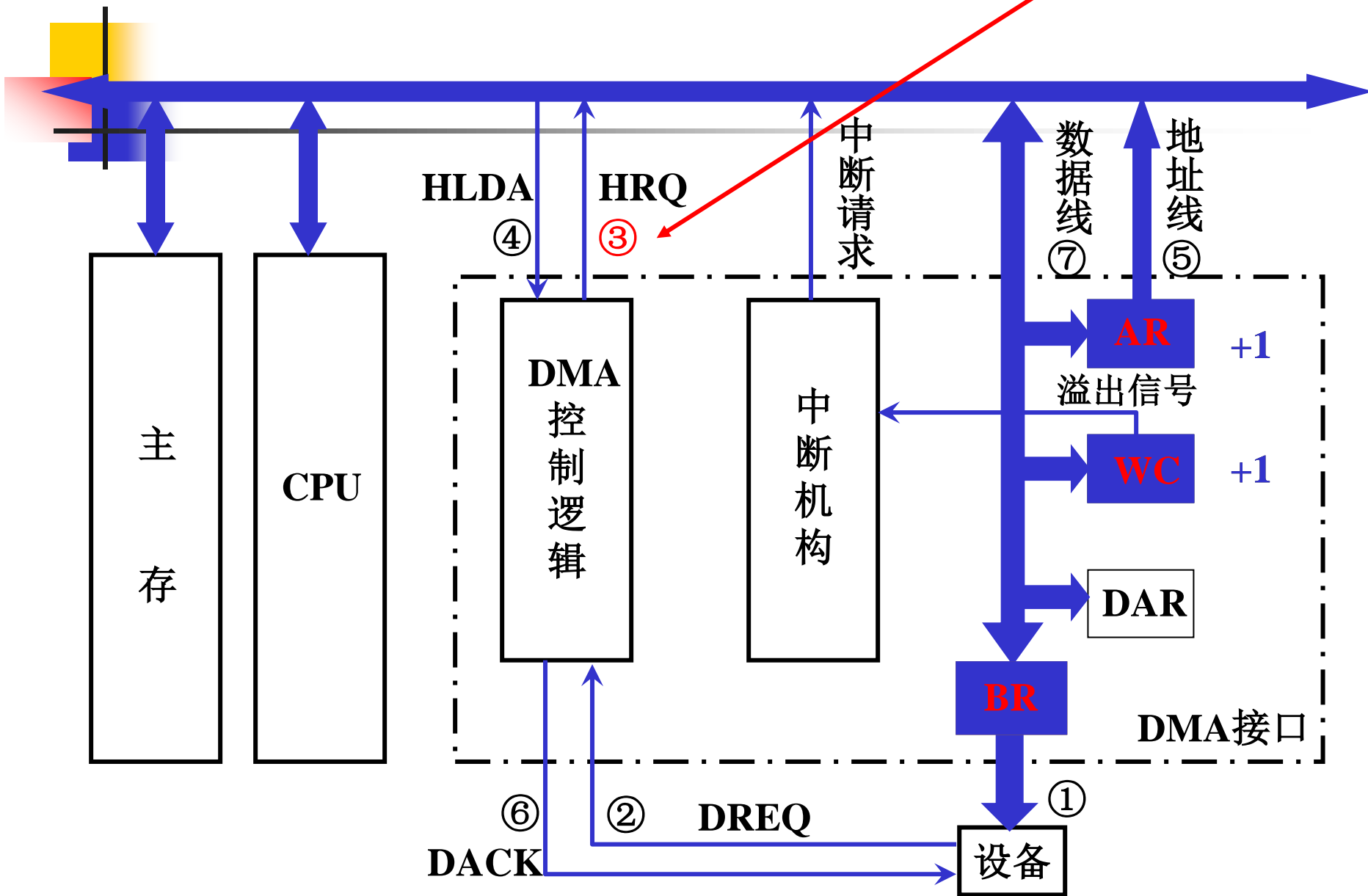
#### (4) 数据传送过程（输出）

外设向DMAC发出  
DREQ（DMA请求）



#### (4) 数据传送过程（输出）

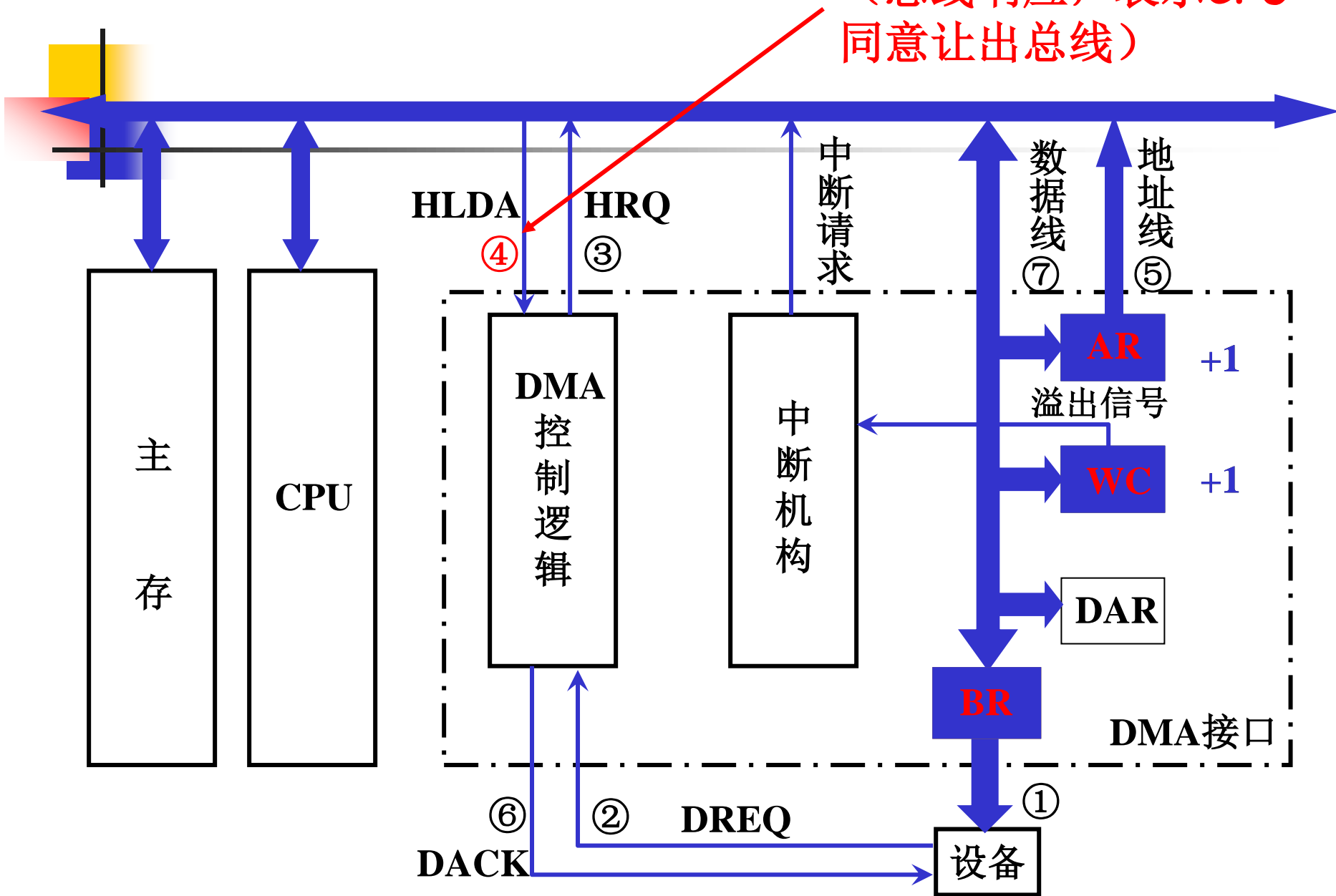
DMAC向CPU发  
HRQ（总线请求）





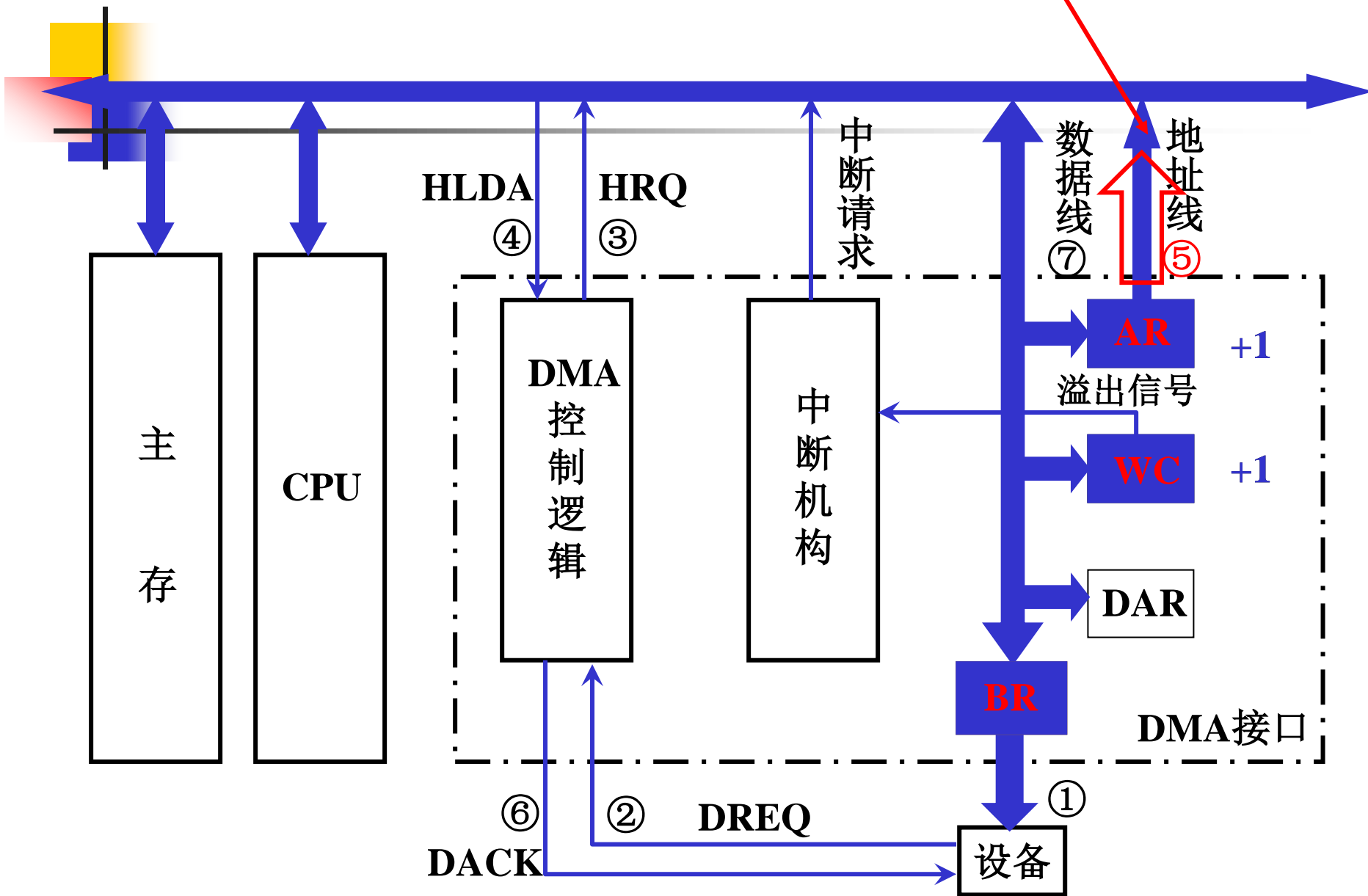
#### (4) 数据传送过程（输出）

**CPU向DMAC发HLDA**  
(总线响应, 表示CPU  
同意让出总线)

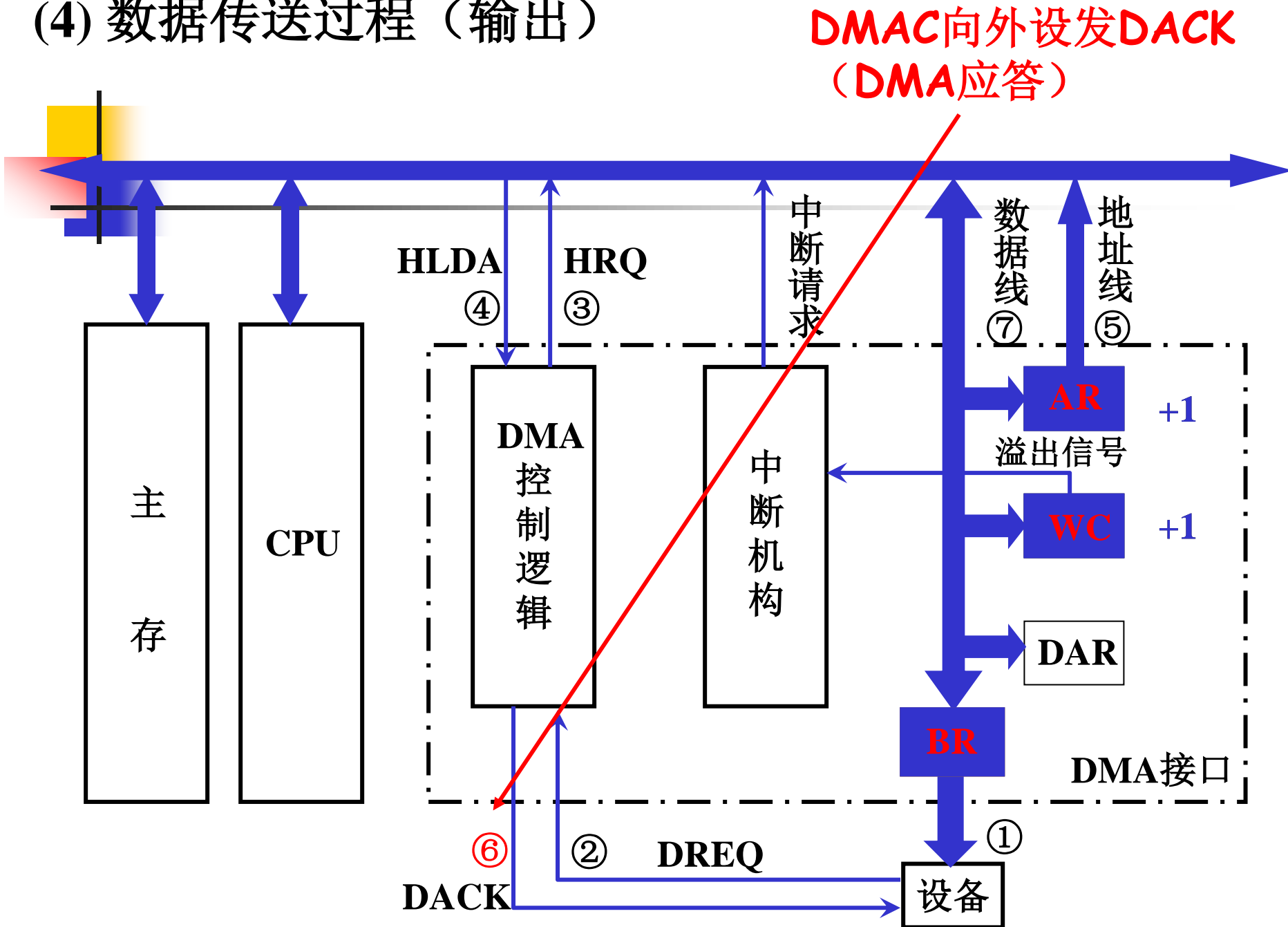


#### (4) 数据传送过程（输出）

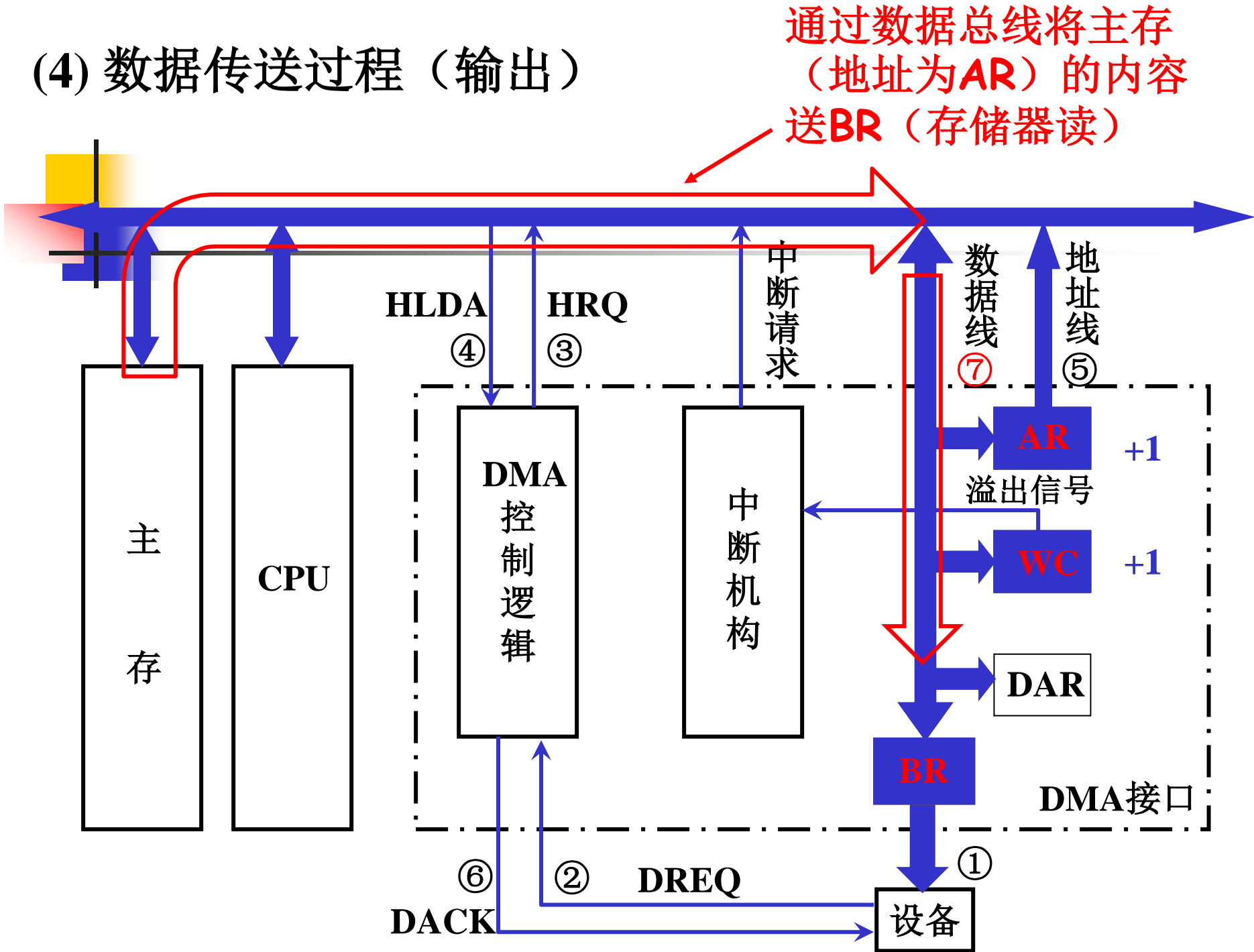
DMAC的主存地址  
AR送地址总线



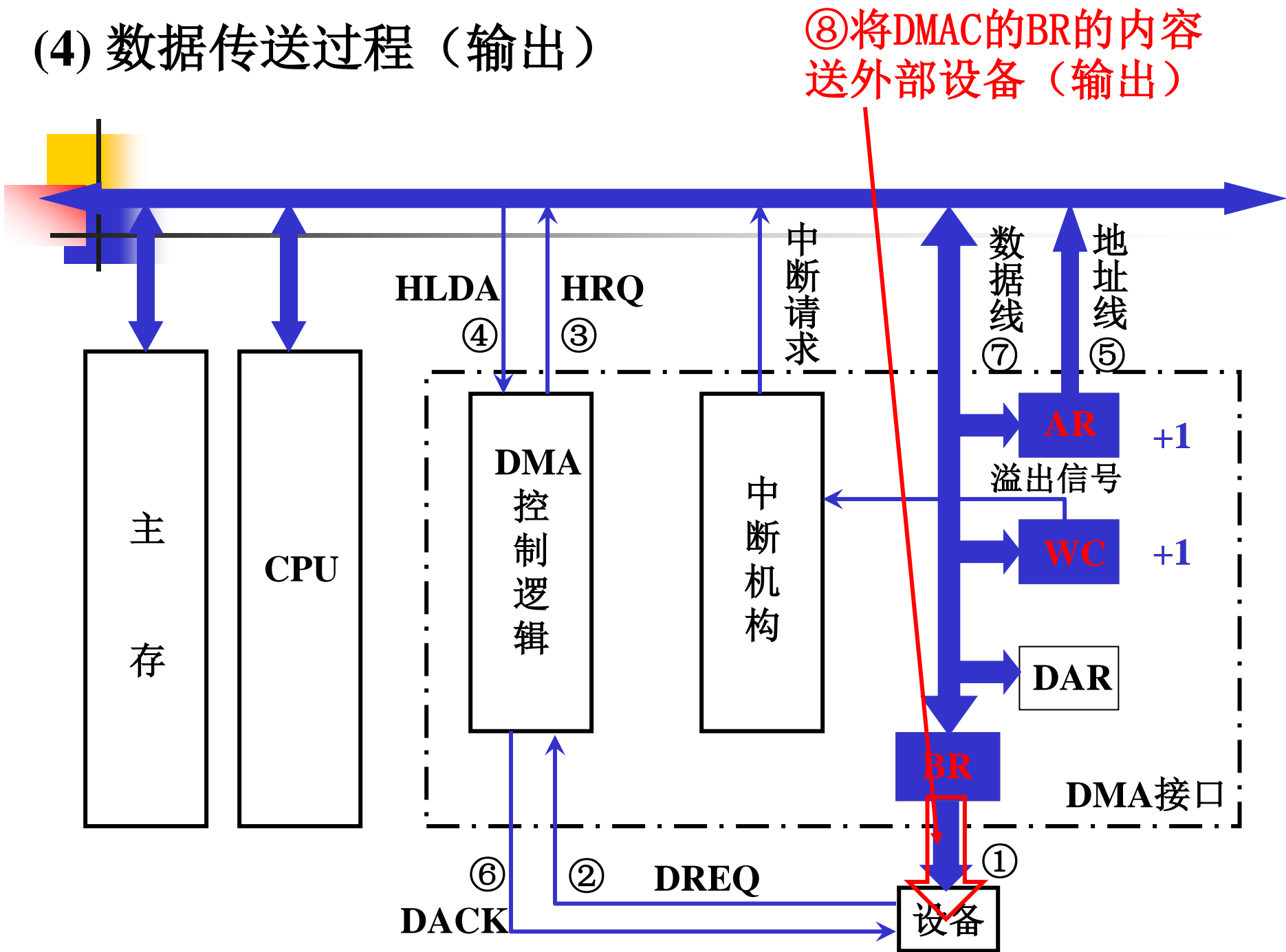
#### (4) 数据传送过程（输出）



#### (4) 数据传送过程（输出）

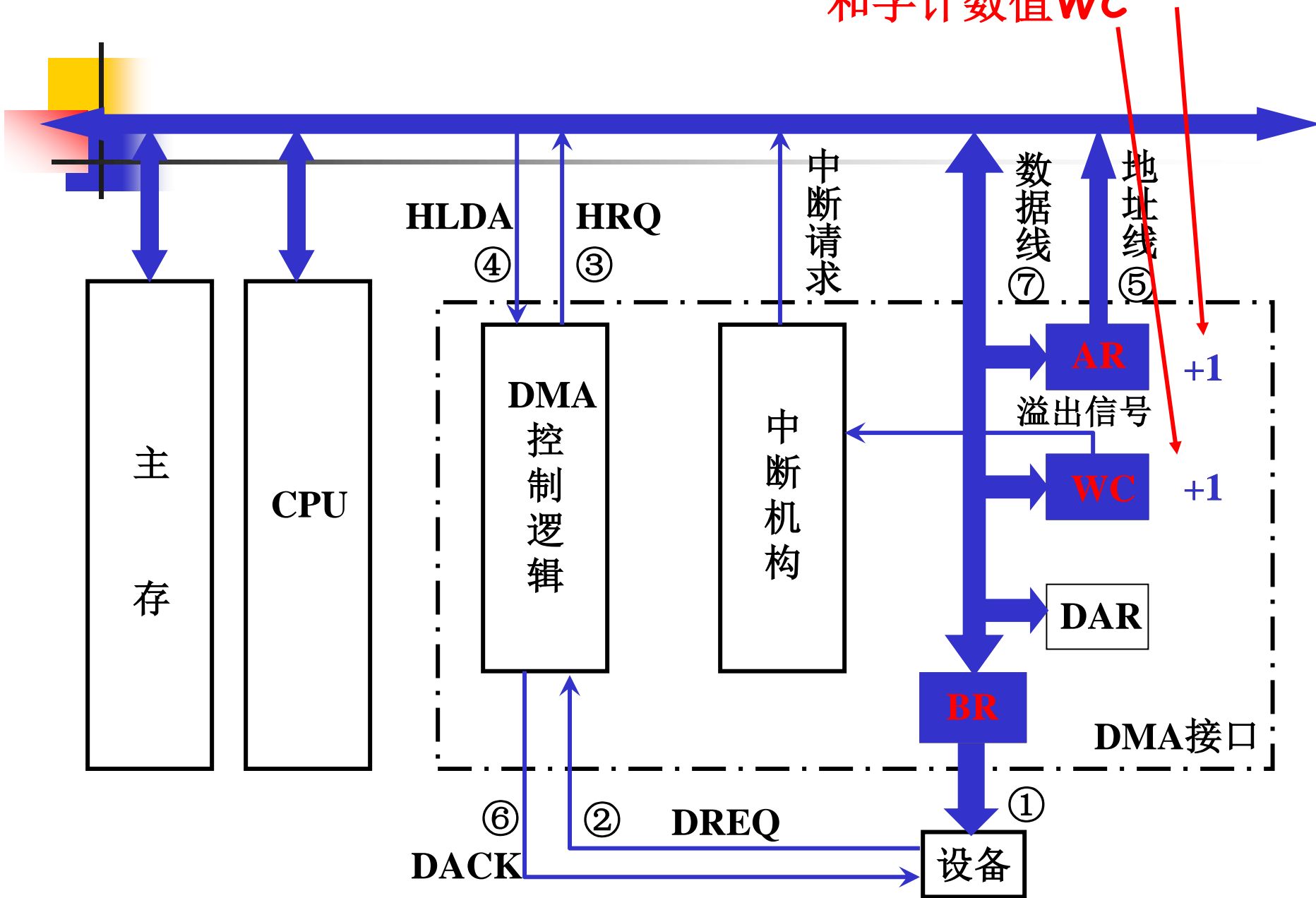


#### (4) 数据传送过程（输出）

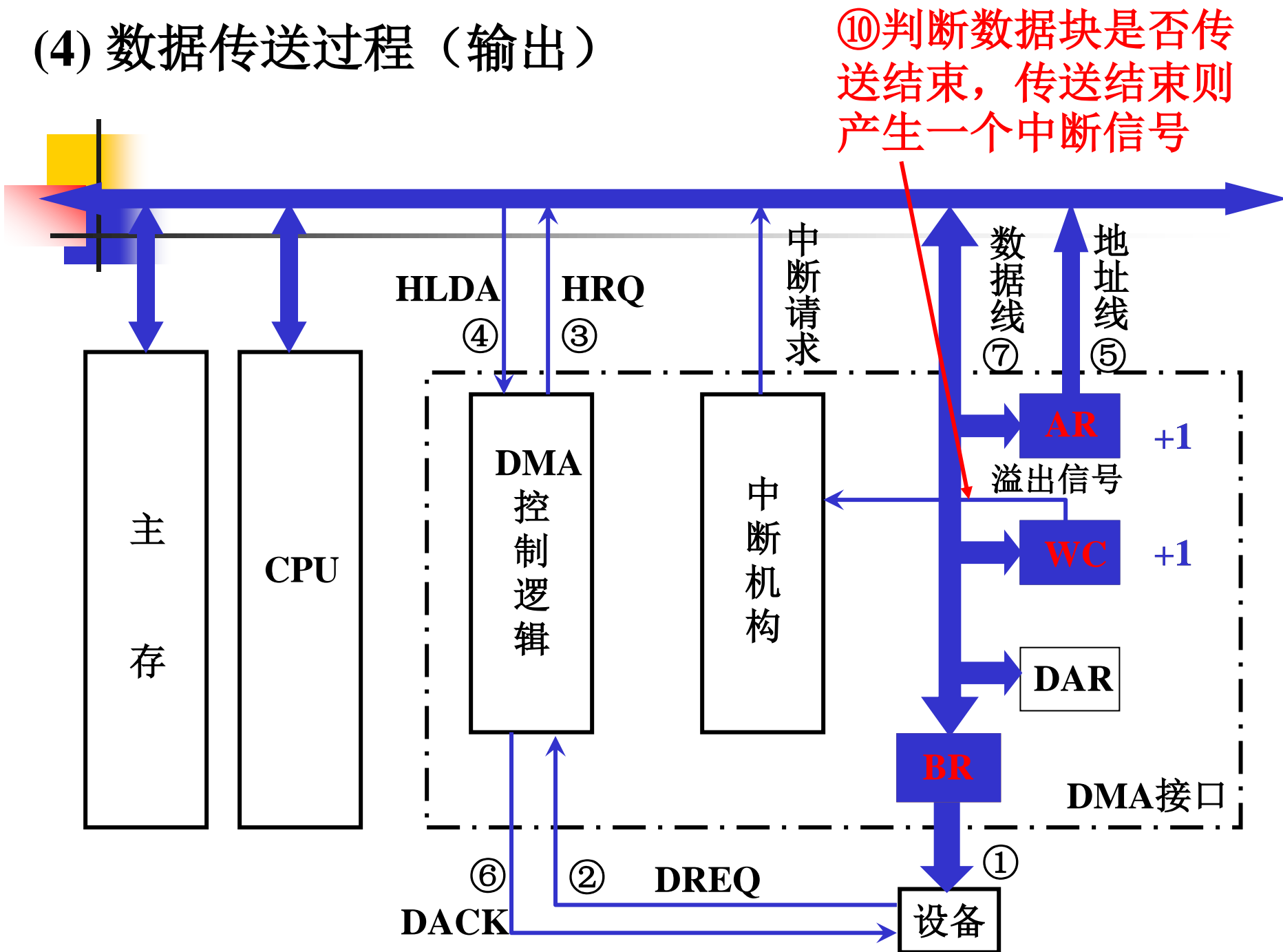


#### (4) 数据传送过程（输出）

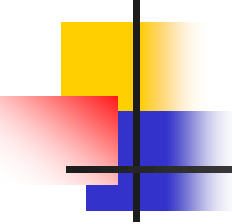
⑨修改主存地址AR  
和字计数值WC



#### (4) 数据传送过程（输出）



## (5) 后处理

- 
- 校验送入主存的数是否正确
  - 是否继续用 DMA
  - 测试传送过程是否正确，如有错则转诊断程序
- 

后处理操作由中断服务程序完成





**DMA 与主存交换数据的三种方式:**

(1) 停止 CPU 访问主存

(2) 周期挪用 (或周期窃取)

(3) DMA 与 CPU 交替访问

- **例5.3:** 一个**DMA**接口可采用**周期窃取方式**把字符送到存储器, 支持的最大批量为**400**个字节。若存取周期为**100ns**, 每处理一次**中断 (DMA的后处理)** 需**5 $\mu$ s**, 现有的字符设备的传输率为**9600bps**。假设字符之间的传输是无间隙的, 若不考虑**预处理**时间, 试问采用**DMA**方式每秒因数据传输需占用处理器多少时间? 如果完全采用中断方式, 又需占用处理器多少时间?

- 
- **解：**传输率为**9600bps**，则每秒传输 **$9600\text{bps}/8\text{bit}=1200$** 个字符（字节）
- 

- 采用**DMA**方式需要**1200**个存取周期，考虑到**400**个字符（字节）需中断处理（后处理）一次，**DMA**方式占用时间：

存取周期为100ns

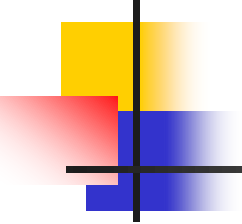
$$100\text{ns} \times 1200 + 5\mu\text{s} \times (1200/400) = 135\mu\text{s}$$

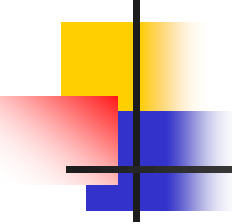
（**DMA**方式：需要**3**批次，每批次传输**400**个字节）

- 若采用中断方式的占用时间： **$1200 \times 5\mu\text{s} = 6000\mu\text{s}$**

每处理一次中断需5μs

- **$6000/135=44.44$** 倍（**DMA**方式的效率是中断方式的**44.44**倍）

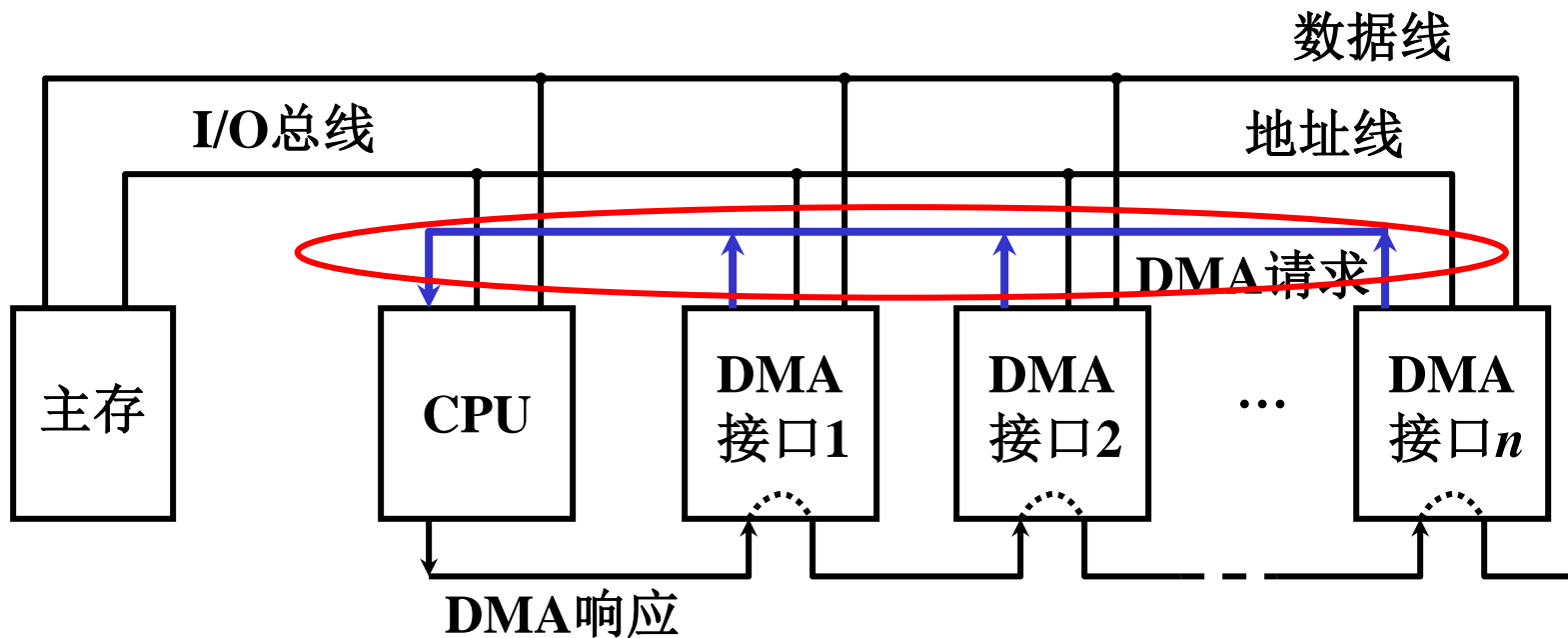
- 
- **例5.4：**假设磁盘采用**DMA**方式与主机交换信息，其传输速率为**2MBps**，而且**DMA**的预处理需**1000**个时钟周期，**DMA**完成传送后处理中断需**500**个时钟周期。如果平均传输的数据长度为**4KB**，试问在磁盘工作时，**50MHz**的处理器需用多少时间比率进行**DMA**辅助操作（预处理和后处理）

- 
- **解：**传输速率为**2MBps**，平均传输的数据长度为**4KB**，则每秒要执行**500次DMA操作**（ $2\text{MBps}/4\text{KB}=500$ 次）
  - **DMA的预处理需1000个时钟周期，DMA完成传送后处理中断需500个时钟周期，则每秒所需的DMA辅助操作为：** $500\text{次DMA操作} \times (1000\text{时钟周期} + 500\text{时钟周期}) = 750000\text{时钟周期}$
  - 主频为**50MHz**，则时钟周期为 **$50 \times 1000000$**
  - **DMA辅助操作占用的时间比率为：** $750000/(50 \times 1000000) = 1.5\%$

**查询方式（例5.1）的时间比率是105%**

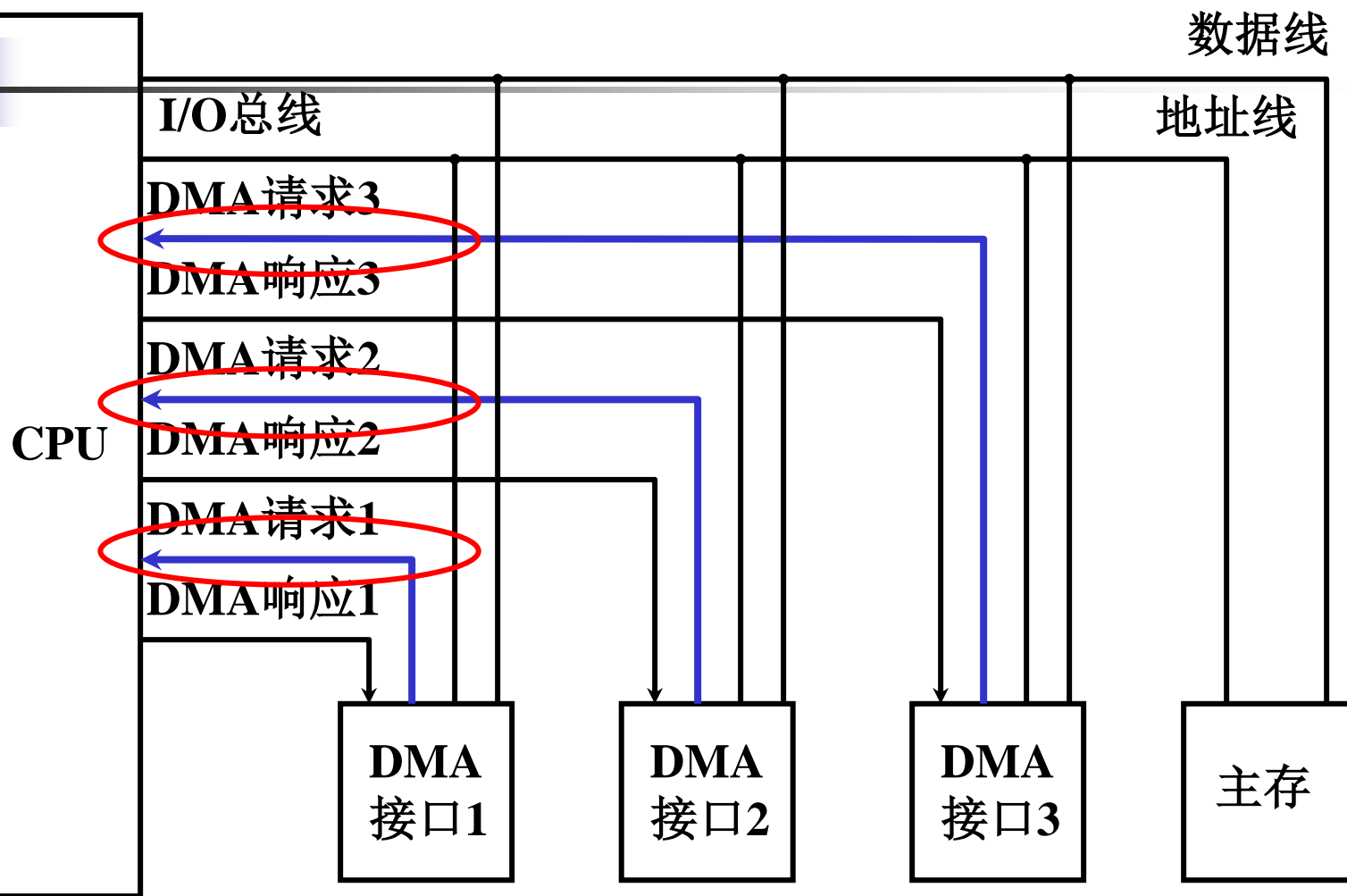
## 2. DMA 接口与系统的连接方式

### (1) 具有公共请求线的 DMA 请求



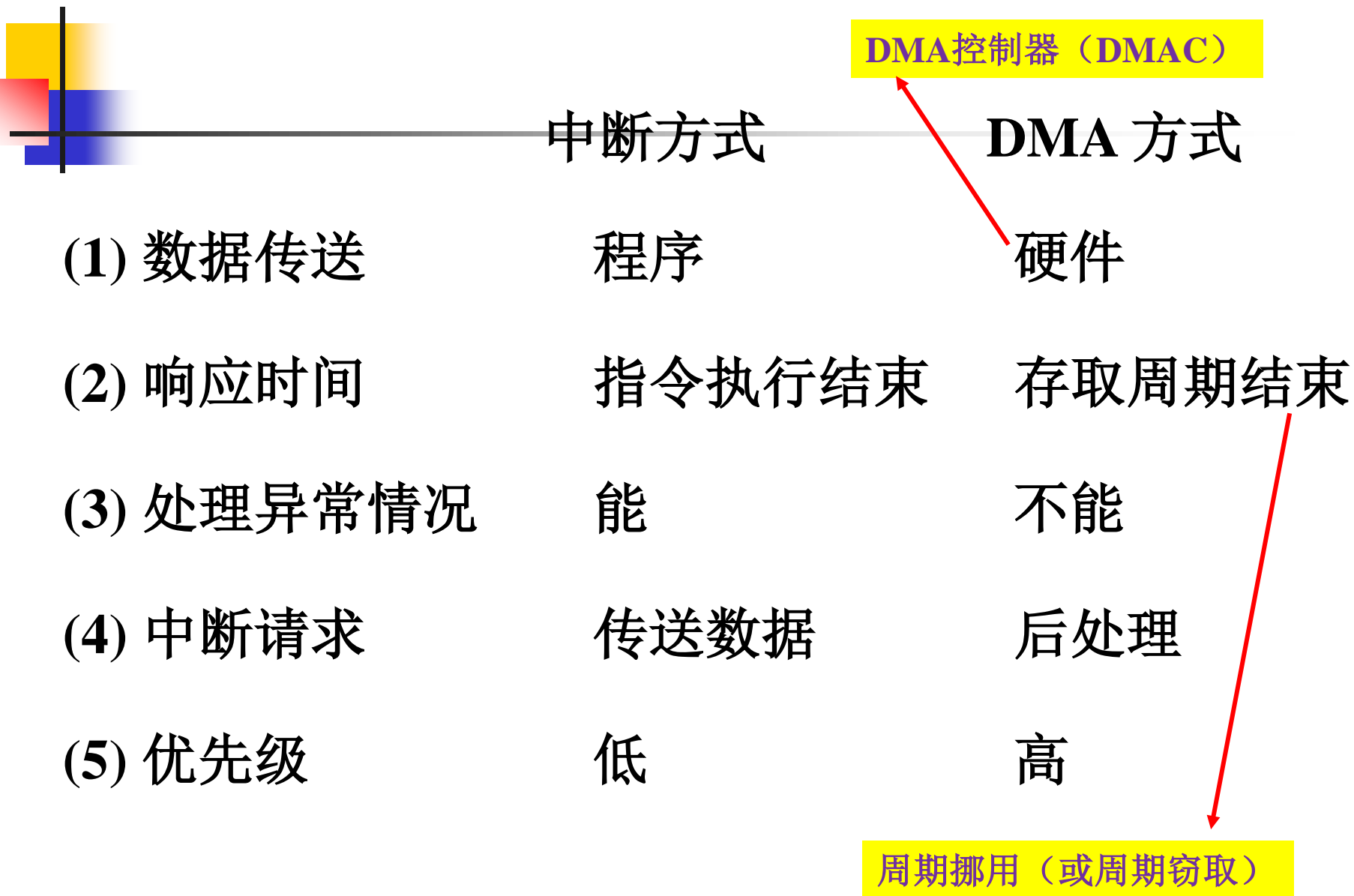
有点像第3章的“总线判优控制 → 集中式 → 链式查询方式”

## (2) 独立的 DMA 请求



有点像第3章的“总线判优控制 → 集中式 → 独立请求方式”

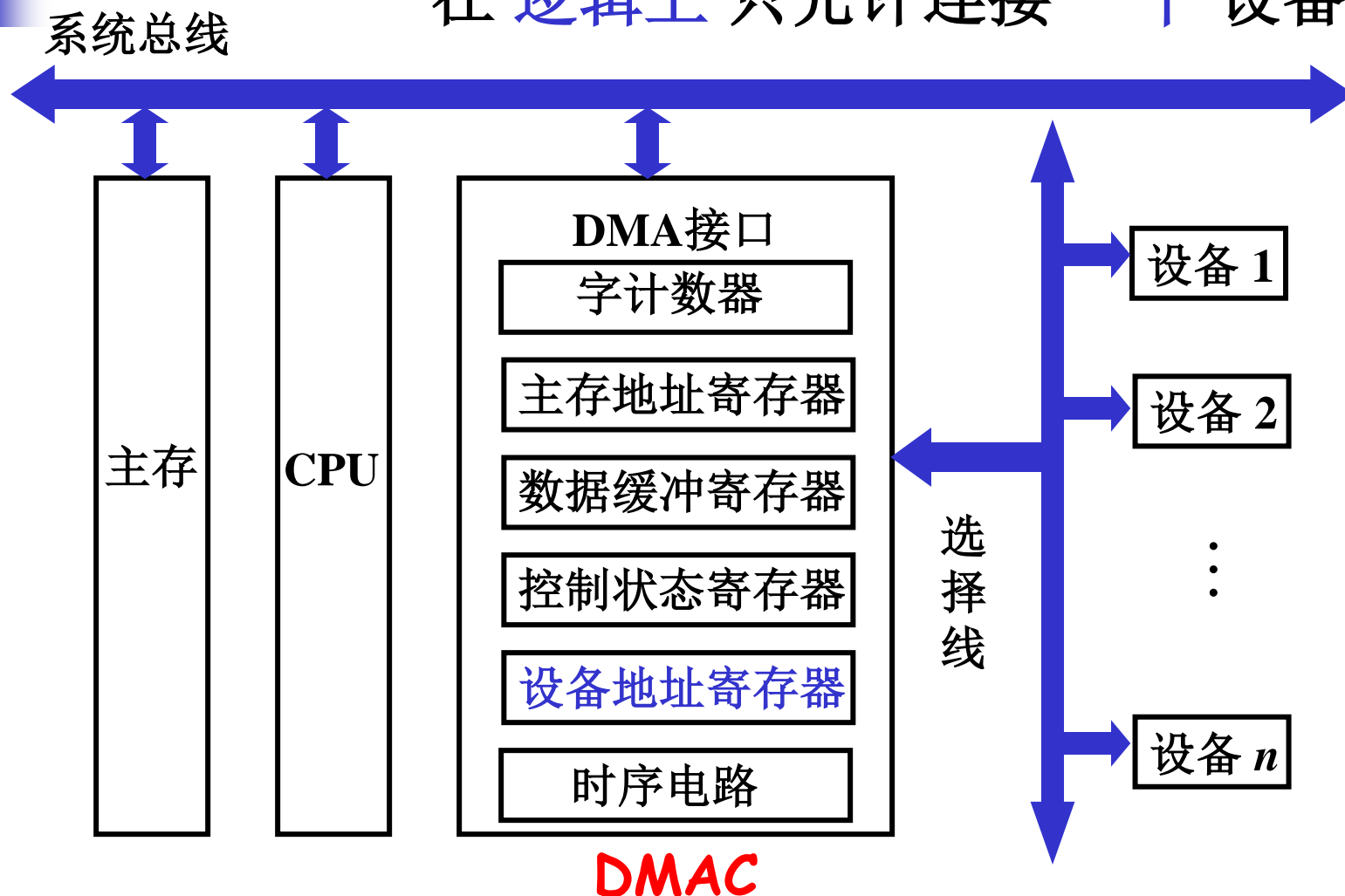
### 3. DMA 方式与程序中断方式的比较



## 四、DMA 接口的类型

### 1. 选择型

在物理上连接多个设备  
在逻辑上只允许连接一个设备



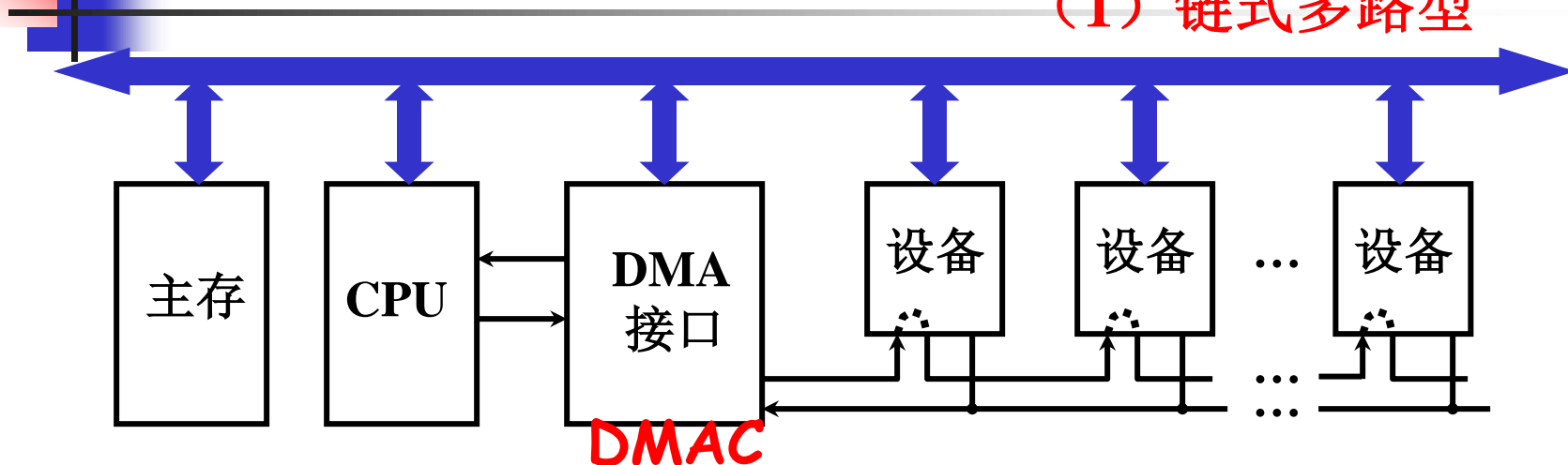


## 2. 多路型

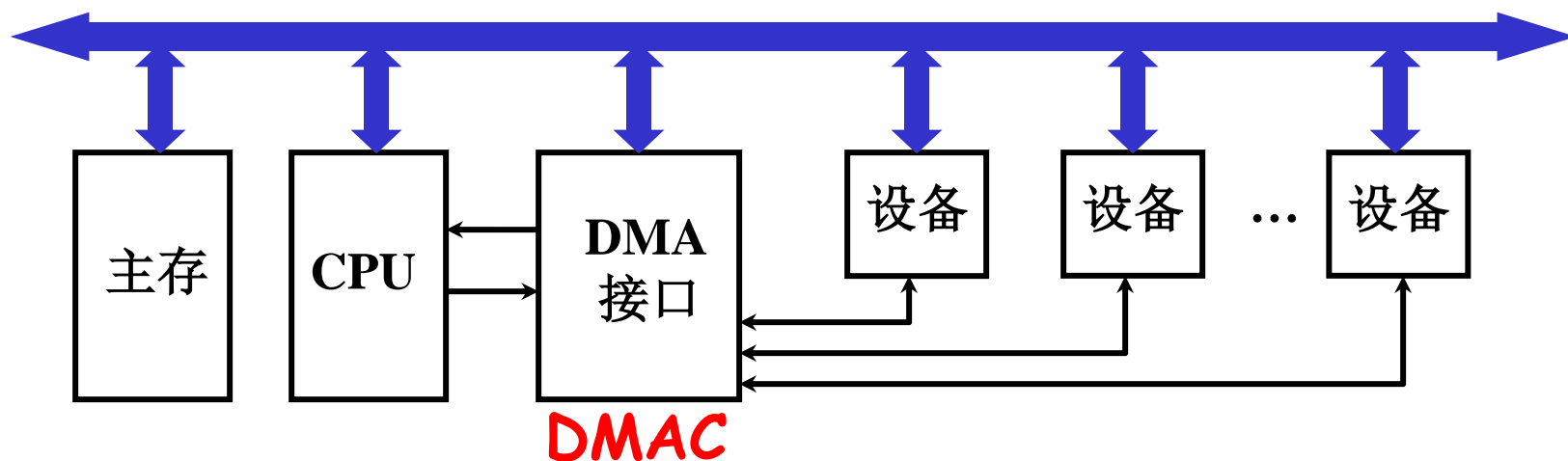
在物理上连接多个设备

在逻辑上允许连接多个设备同时工作

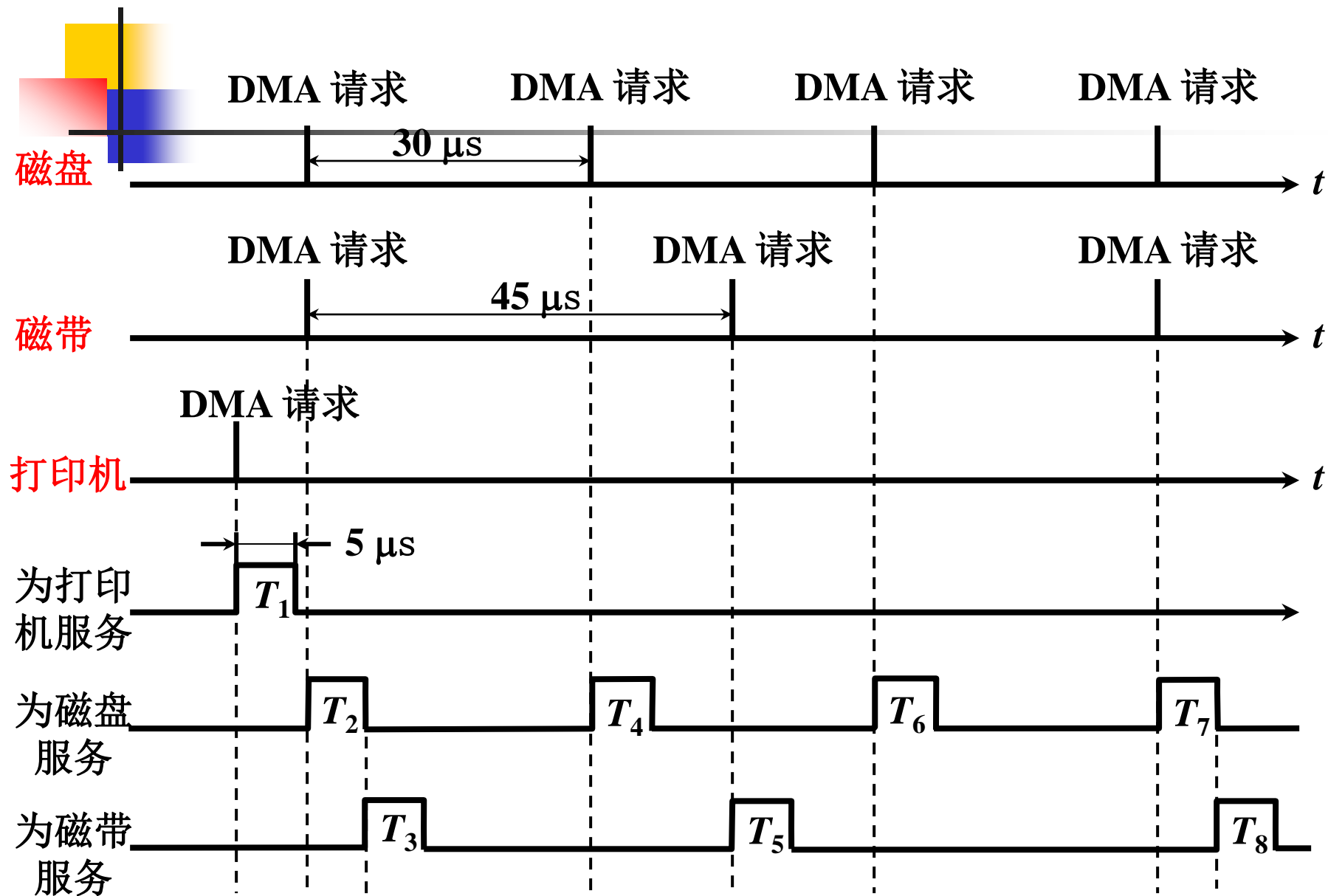
(1) 链式多路型



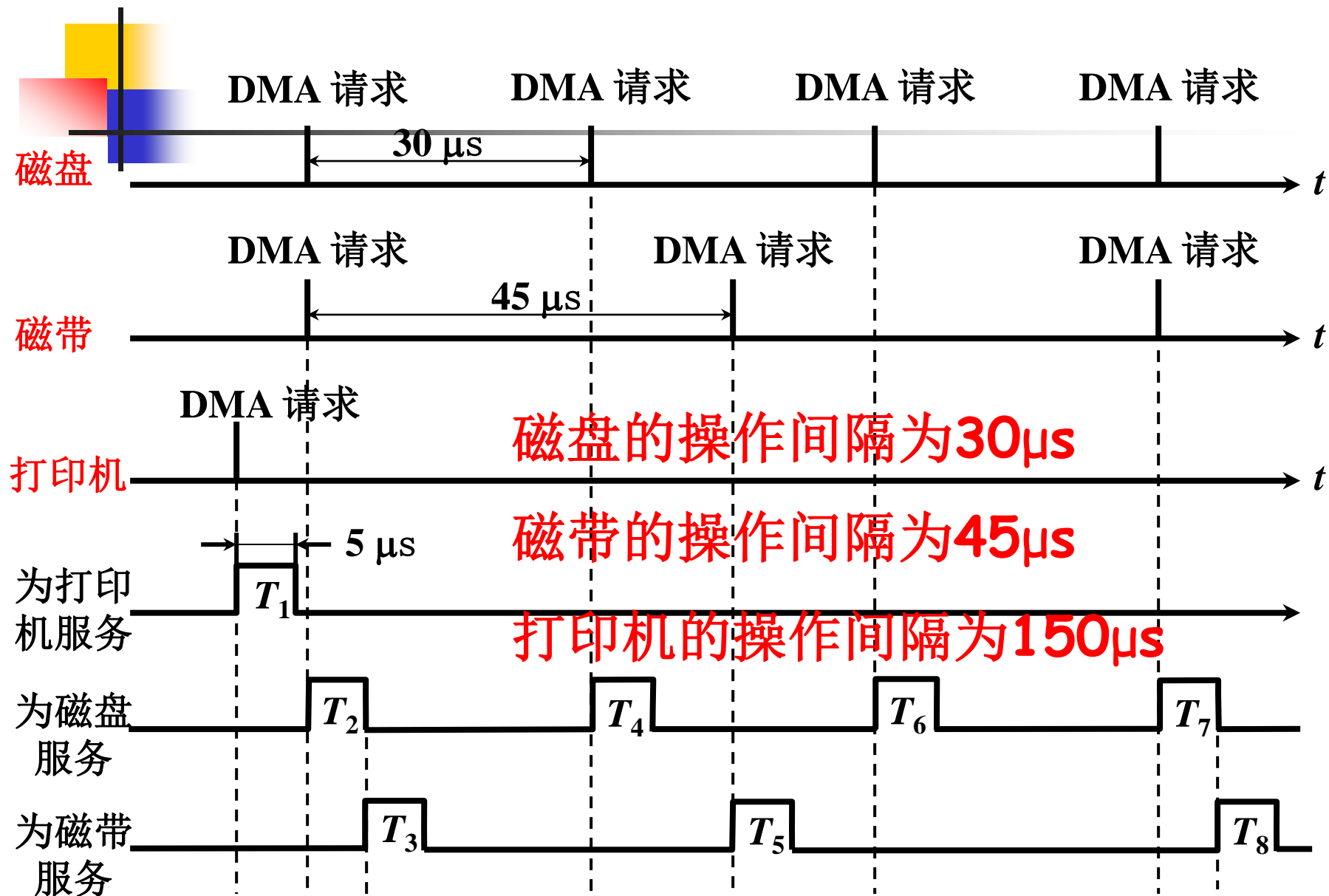
(2) 独立请求多路型



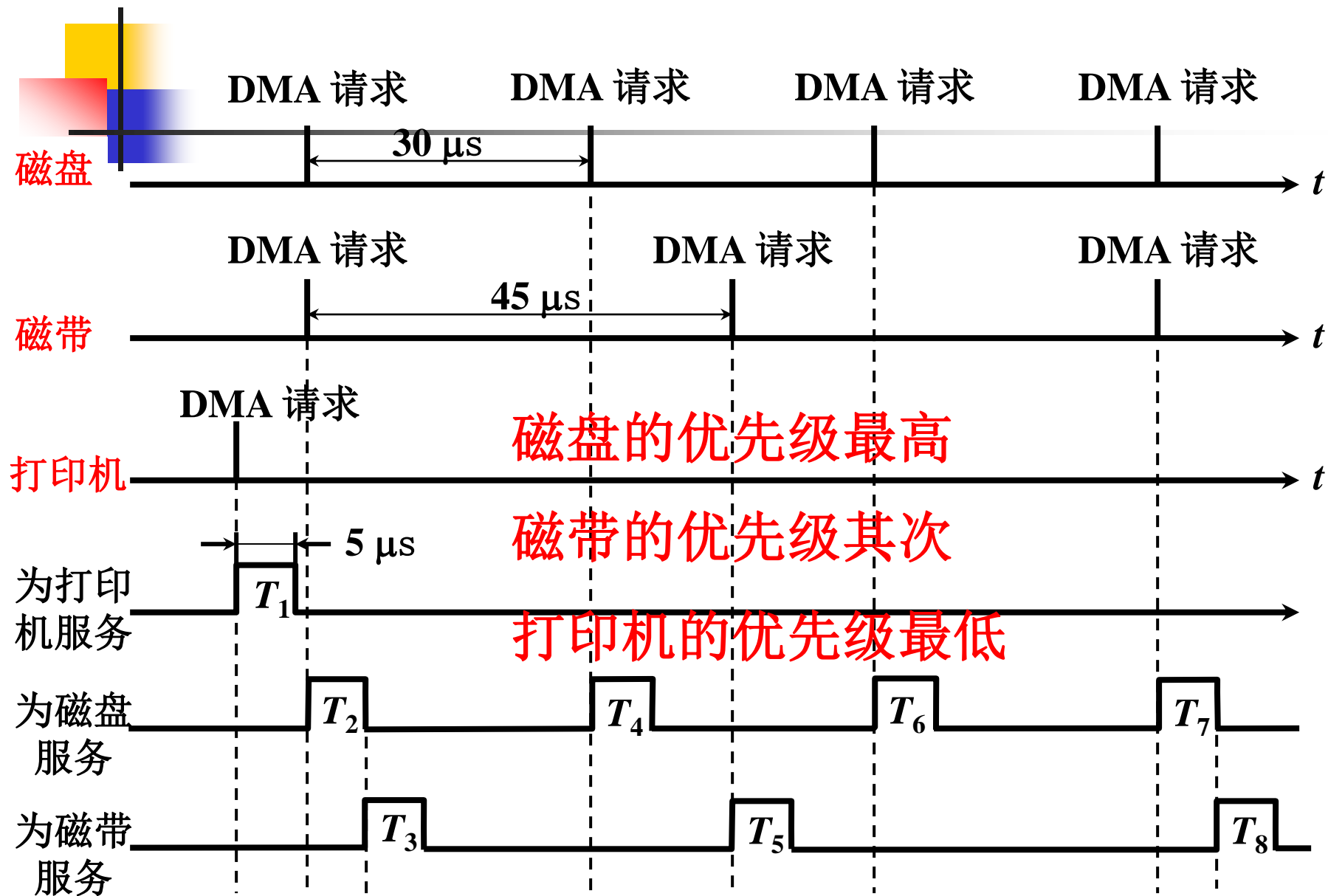
### 3. 多路型 DMA 接口的工作原理



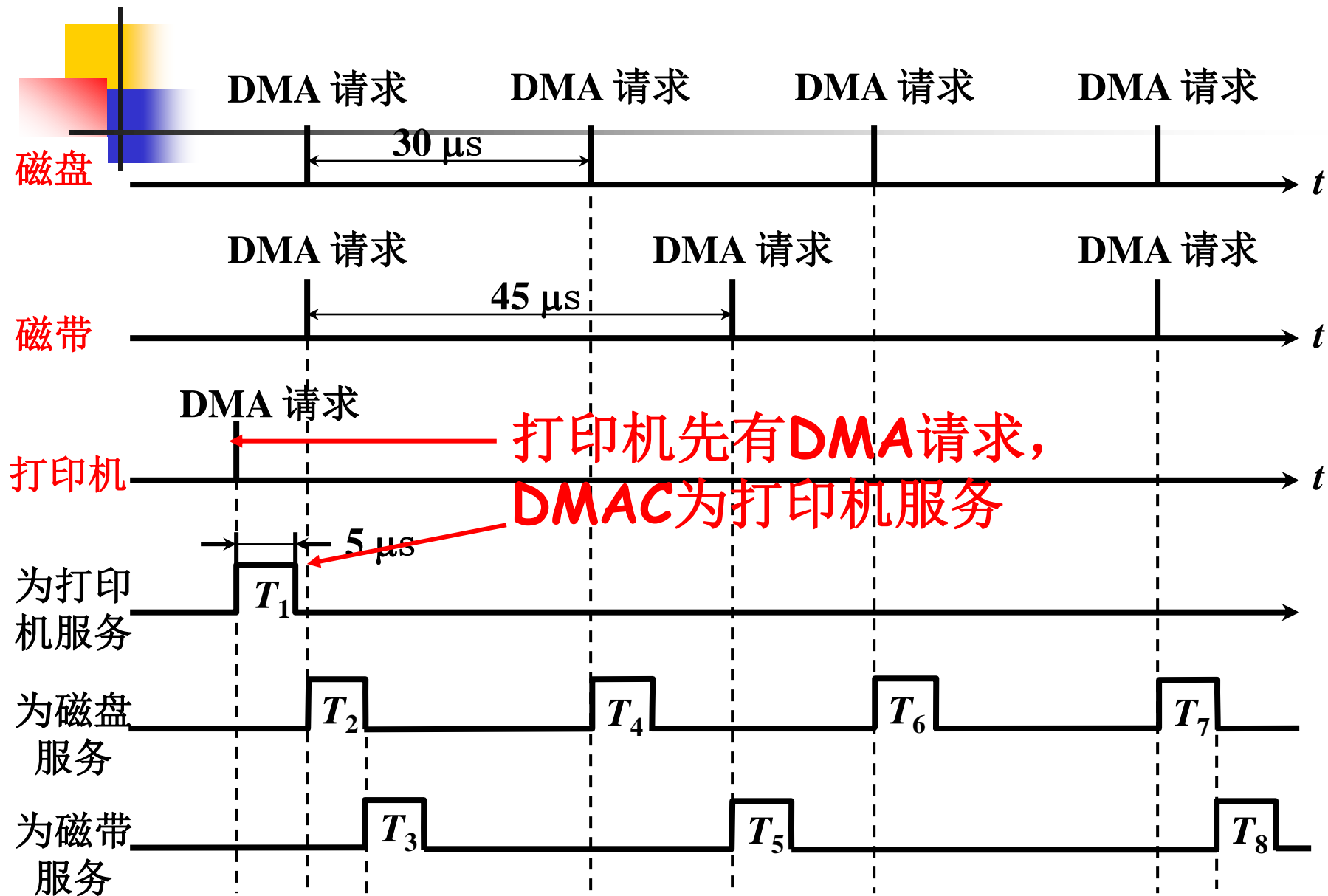
### 3. 多路型 DMA 接口的工作原理



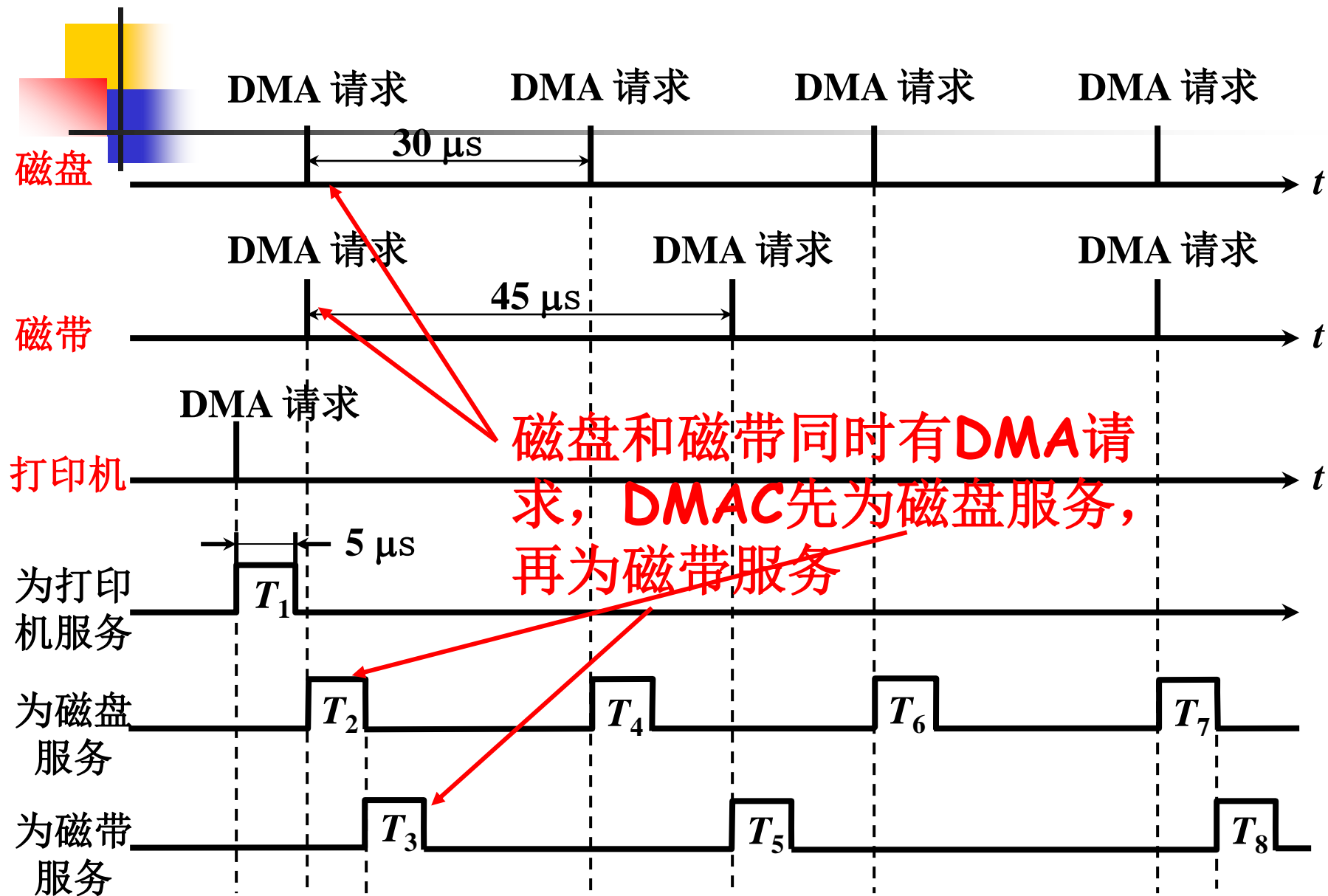
### 3. 多路型 DMA 接口的工作原理



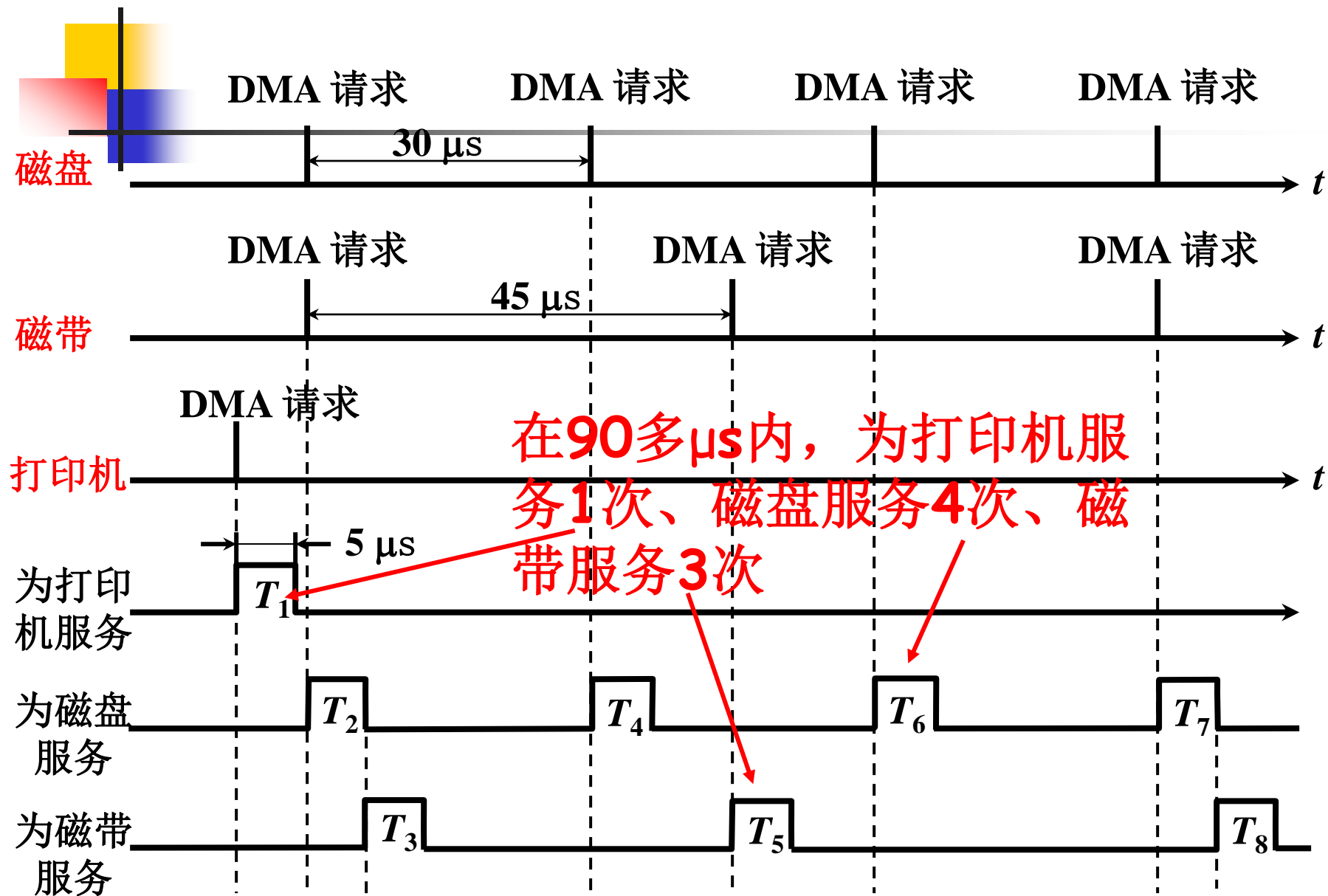
### 3. 多路型 DMA 接口的工作原理



### 3. 多路型 DMA 接口的工作原理



### 3. 多路型 DMA 接口的工作原理





# 附录5A: ASCII码

---

- **American Standard Code for Information Interchange:** 美国信息交换标准代码
- **7位、128个字符（表5-2）**
  - **32个通用控制字符**
  - **10个数字（0-9，对应的ASCII码为30H-39H）**
  - **52个英文大小写字母（A-Z，对应的ASCII码为41H-5AH，a-z对应的ASCII码为61H-7AH）**
  - **34个专用符号**



表 5.2 ASCII 码  $b_7b_6b_5b_4b_3b_2b_1$ 

$b_7b_6b_5$ $b_4b_3b_2b_1$	000	001	010	011	100	101	110	111
0 0 0 0	NUL	DLE	SP	0	@	P	`	~
0 0 0 1	SOH	DC1	!	1	A	Q	a	q
0 0 1 0	STX	DC2	"	2	B	R	b	r
0 0 1 1	ETX	DC3	#	3	C	S	c	s
0 1 0 0	EOT	DC4	\$	4	D	T	d	t
0 1 0 1	ENQ	NAK	%	5	E	U	e	u
0 1 1 0	ACK	SYN	&	6	F	V	f	v
0 1 1 1	BEL	ETB	'	7	G	W	g	w
1 0 0 0	BS	CAN	(	8	H	X	h	x
1 0 0 1	HT	EM	)	9	I	Y	i	y
1 0 1 0	LF	SUB	*	:	J	Z	j	z
1 0 1 1	VT	ESC	+	;	K	[	k	{
1 1 0 0	FF	FS	,	<	L	/	l	
1 1 0 1	CR	GS	-	=	M	]	m	~
1 1 1 0	SO	RS	.	>	N	↑	n	~
1 1 1 1	SI	VS	/	?	O	-	o	DEL

注:

NUL	空行	VT	纵向制表	SYN	同步空转
SOH	标题开始	FF	改换格式	ETB	信息组传送结束
STX	文件开始	CR	回车	CAN	作废
ETX	文件结束	SO	移出	EM	记录媒体结束
EOT	传送结束	SI	移入	SUB	代替
ENQ	询问	DEL	删除	ESC	脱离
ACK	回答	DC1	设备控制 1	FS	字段分隔
BEL	报警	DC2	设备控制 2	GS	字组分隔
LF	换行	NAK	否定回答		

## ASCII码扩展字符

ASCII码			ASCII码			ASCII码			ASCII码		
十进制	十六进制	字符	十进制	十六进制	字符	十进制	十六进制	字符	十进制	十六进制	字符
128	80	Š	160	A0	á	192	C0	Ł	224	E0	α
129	81	ü	161	A1	í	193	C1	ł	225	E1	β
130	82	é	162	A2	ó	194	C2	ŧ	226	E2	γ
131	83	â	163	A3	ú	195	C3	ţ	227	E3	π
132	84	ä	164	A4	ñ	196	C4	—	228	E4	Σ
133	85	à	165	A5	Ñ	197	C5	+	229	E5	σ
134	86	â	166	A6	ª	198	C6	ƒ	230	E6	μ
135	87	ç	167	A7	º	199	C7	ƒ	231	E7	ŧ
136	88	ê	168	A8	¿	200	C8	Ł	232	E8	φ
137	89	ë	169	A9	ƒ	201	C9	ŕ	233	E9	θ
138	8A	è	170	AA	¬	202	CA	Ł	234	EA	Ω
139	8B	ï	171	AB	½	203	CB	ŧ	235	EB	δ
140	8C	î	172	AC	¼	204	CC	ƒ	236	EC	∞
141	8D	ì	173	AD	¡	205	CD	=	237	ED	φ
142	8E	Ä	174	AE	«	206	CE	ƒ	238	EE	€
143	8F	Å	175	AF	»	207	CF	Ł	239	EF	∩
144	90	É	176	B0	⋮	208	D0	Ł	240	F0	≡
145	91	æ	177	B1	⋮	209	D1	ŧ	241	F1	±
146	92	Æ	178	B2	⋮	210	D2	ŧ	242	F2	≥
147	93	ô	179	B3		211	D3	ŧ	243	F3	≤
148	94	ö	180	B4	†	212	D4	Ł	244	F4	∫
149	95	ò	181	B5	‡	213	D5	ŕ	245	F5	∫
150	96	û	182	B6	‡	214	D6	ŕ	246	F6	÷
151	97	ù	183	B7	ŧ	215	D7	ƒ	247	F7	≈
152	98	ÿ	184	B8	ŧ	216	D8	ƒ	248	F8	°
153	99	Ö	185	B9	‡	217	D9	ŧ	249	F9	•
154	9A	Ü	186	BA		218	DA	ŕ	250	FA	·
155	9B	ƒ	187	BB	ŧ	219	DB	■	251	FB	√
156	9C	£	188	BC	ŧ	220	DC	■	252	FC	n
157	9D	¥	189	BD	ŧ	221	DD	■	253	FD	z
158	9E	₤	190	BE	ŧ	222	DE	■	254	FE	■
159	9F	ƒ	191	BF	ŧ	223	DF	■	255	FF	



## 附录5B: BCD 码

---

- **Binary Coded Decimal: 二-十进制编码**
- 也称: **8421码**
- **0000 (0)、0001 (1)、0010 (2)、0011 (3)、0100 (4)、0101 (5)、0110 (6)、0111 (7)、1000 (8)、1001 (9)**
- 十进制=25                      **BCD = 0010 0101**                      二进制 = **0001 1001**
- 二进制= **0010 0101**                      十进制 = **37**                      **BCD = 0011 0111**
- **BCD=0100 1001**                      十进制 = **49**                      二进制= **0011 0001**

**0100 1001**

如果认为是**BCD**码, 则是**49**; 如果认为是二进制数, 则是**73**

表 5.3 8421 码与十进制数对照表

十进制数	8421 码	8421 奇校验码	8421 偶校验码
0	0 0 0 0	1 0 0 0 0	0 0 0 0 0
1	0 0 0 1	0 0 0 0 1	1 0 0 0 1
2	0 0 1 0	0 0 0 1 0	1 0 0 1 0
3	0 0 1 1	1 0 0 1 1	0 0 0 1 1
4	0 1 0 0	0 0 1 0 0	1 0 1 0 0
5	0 1 0 1	1 0 1 0 1	0 0 1 0 1
6	0 1 1 0	1 0 1 1 0	0 0 1 1 0
7	0 1 1 1	0 0 1 1 1	1 0 1 1 1
8	1 0 0 0	0 1 0 0 0	1 1 0 0 0
9	1 0 0 1	1 1 0 0 1	0 1 0 0 1



## 附录5C：奇偶校验码

---

- 奇校验： **ASCII(7位)+校验位(1位)**
  - 39H: 0111001 -> **1** 0111001
  - 43H: 1000011 -> **0** 1000011
- 偶校验： **ASCII(7位)+校验位(1位)**
  - 39H: 0111001 -> **0** 0111001
  - 43H: 1000011 -> **1** 1000011



# 本章小结

■ **I/O系统（输入输出系统）= I/O接口 + I/O设备（输入输出设备）**

■ **I/O 设备编址方式：**

- (1) 统一编址
- (2) 不统一编址

■ **I/O设备与主机之间的联络方式：**

教材P160-161

- (1) 立即响应方式
- (2) 异步工作采用应答信号联络（异步并行，异步串行）
- (3) 同步工作采用同步时标联络

■ **I/O设备与主机信息传送的控制方式（常用的是前3种）：**

- |             |              |
|-------------|--------------|
| ■ 1. 程序查询方式 | ■ 4.I/O通道方式  |
| ■ 2. 程序中断方式 | ■ 5.I/O处理机方式 |
| ■ 3. DMA 方式 |              |

教材P161-165

# 本章小结

## ■ I/O接口的功能和组成

### I/O接口的功能

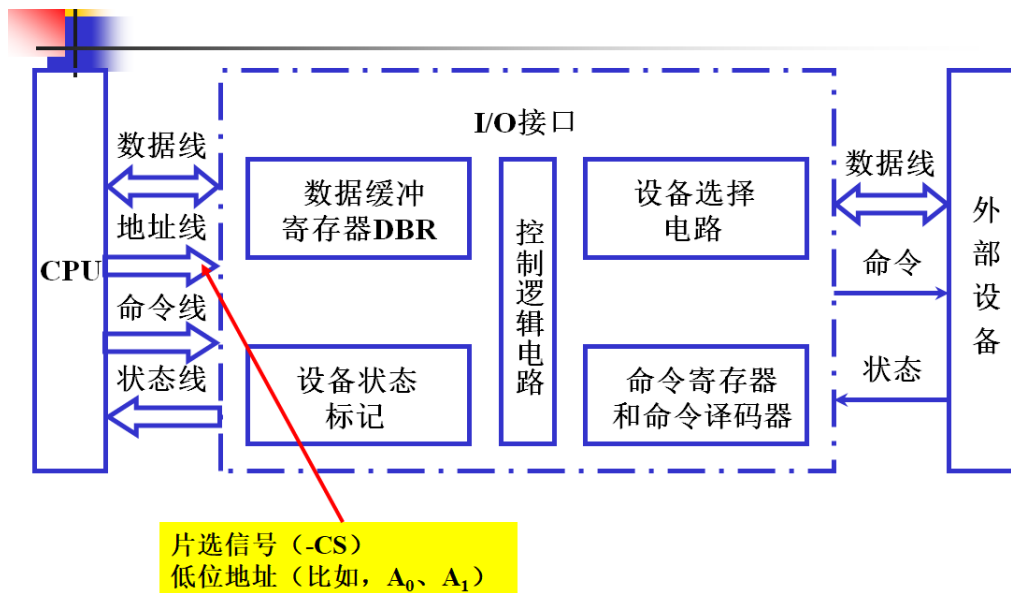
选址功能

传送命令的功能

传送数据的功能

反映设备状态的功能

### I/O 接口的基本组成



# 本章小结

## ■ I/O接口的类型

### 1. 按数据 传送方式 分类

并行接口 Intel 8255

串行接口 Intel 8251、8250

### 2. 按功能 选择的灵活性 分类

可编程接口 Intel 8255、Intel 8251

不可编程接口 Intel 8212

通用并行接口  
数据输入锁存器

### 3. 按 通用性 分类

通用接口 Intel 8255、Intel 8251

专用接口 Intel 8279、Intel 8275

可编程  
CRT控制  
器接口

### 4. 按数据传送的 控制方式 分类

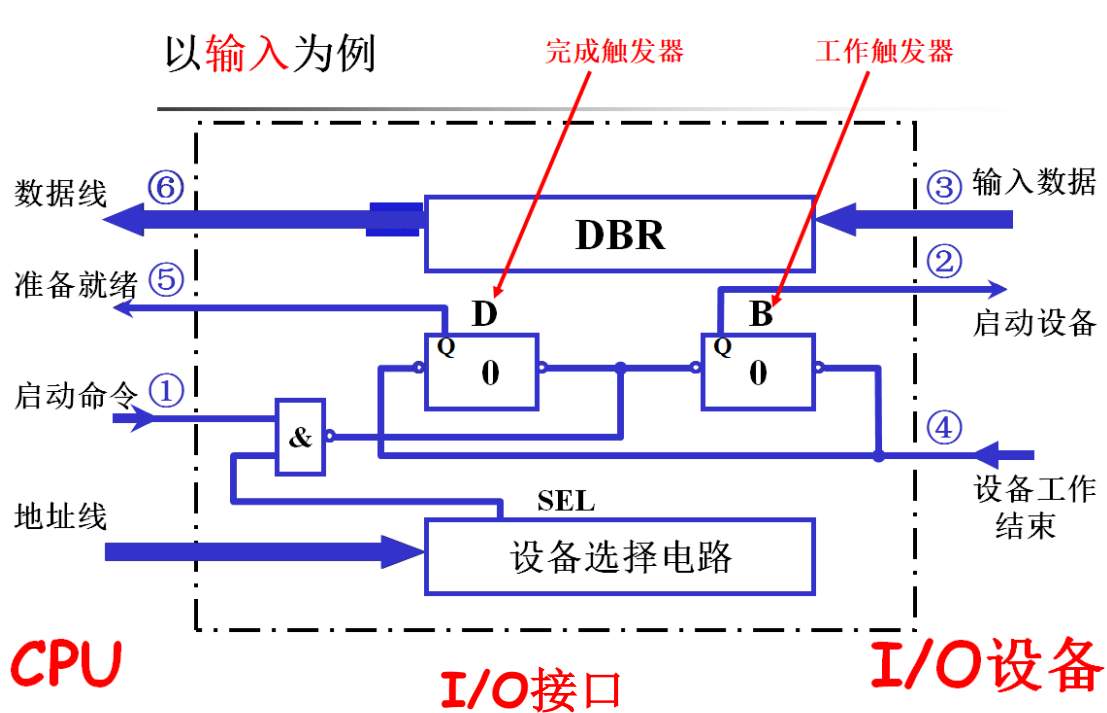
中断接口 Intel 8259

DMA 接口 Intel 8257、8237



# 本章小结

## ■ 程序查询方式的接口电路



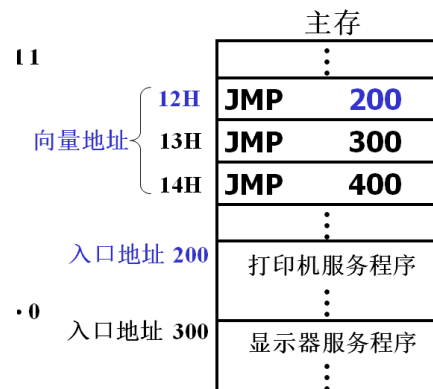
# 本章小结

## ■ 程序中断方式

- **INTR**: 中断请求信号 (I/O送给CPU的)
- **INTP**: 中断优先级信号 (排队器的输出)
- **INTA**: 中断响应信号 (CPU送给I/O的)
- **EINT**: 中断允许信号 (由中断指令控制, 开中断指令EI使EINT=1, 关中断指令DI使EINT=0)
- **MASK**: 中断屏蔽信号 (MASK=0, 表示没有屏蔽; MASK=1, 表示有屏蔽)

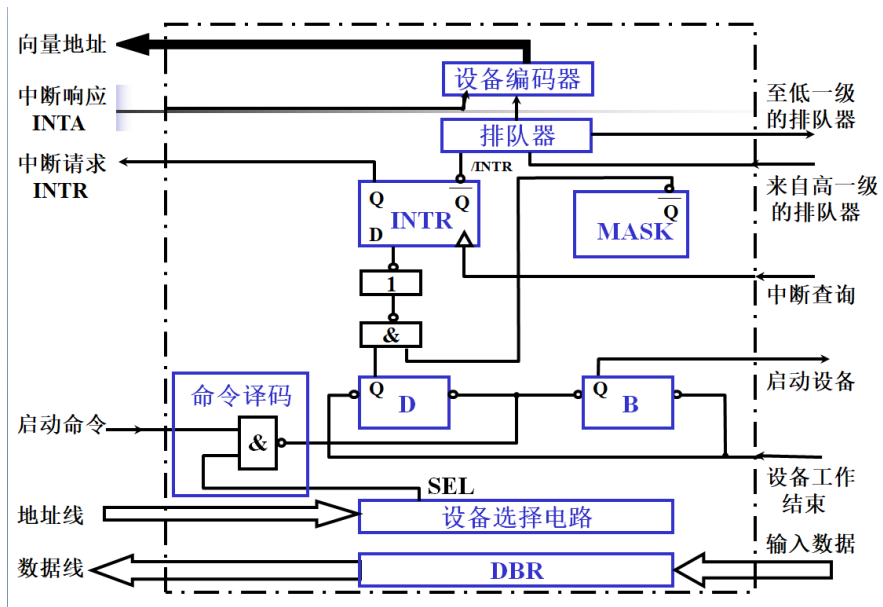
**D**: 完成触发器  
**B**: 工作触发器

- 向量地址 (中断向量地址, 中断向量)
- 入口地址 (中断服务程序入口地址, 中断服务程序首地址)



# 本章小结

## ■ 程序中断方式接口电路的基本组成



## ■ 中断处理过程

1. **中断请求**：INTR=1
2. **中断判优**：排队器的INTP=1
3. **中断响应**：CPU允许中断，则INTA=1，产生中断向量地址，形成中断服务地址
4. **中断服务**：如完成数据的输入
5. **中断返回**：通过IRET指令，返回到原程序的断点处

中断处理过程细分为10步  
(书上P198-199)



# 本章小结

---

- CPU响应中断的条件和时间：

- **条件**：CPU中的EINT（中断允许触发器）为“1”。注：EINT可以通过开中断指令（STI）置“1”，关中断指令（CLI）置“0”。
- **时间**：在每条指令执行阶段的结束时刻，CPU向I/O接口发中断查询信号，以获取I/O的中断请求（INTR）。

# 本章小结

## ■ 中断服务程序的流程

### (1) 保护现场

{ 程序断点的保护    中断隐指令完成  
  寄存器内容的保护    进栈指令PUSH

### (2) 中断服务

对不同的 I/O 设备具有不同内容的设备服务

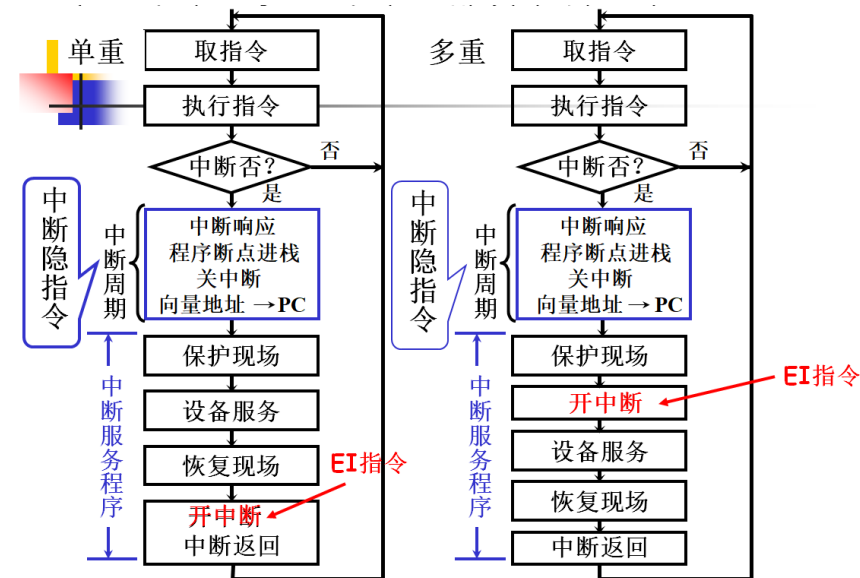
### (3) 恢复现场

出栈指令POP

### (4) 中断返回

中断返回指令IRET

## ■ 单重中断、多重中断 (中断嵌套)





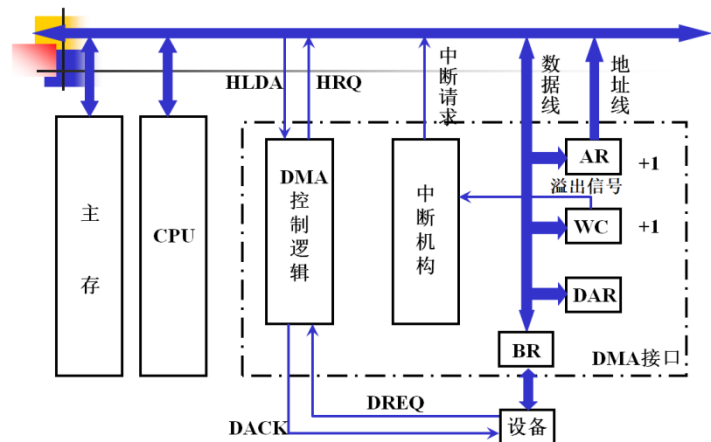
- (1) 停止 CPU 访问主存
- (2) 周期挪用（或周期窃取）
- (3) DMA 与 CPU 交替访问



- (1) 向 CPU 申请 DMA 传送
- (2) 处理总线控制权的转交
- (3) 管理系统总线、控制数据传送
- (4) 确定数据传送的首地址和长度

## 修正 传送过程中的数据地址 和 长度

- (5) DMA 传送结束时，给出操作完成信号



- **DREQ:** 外设向**DMAC**发出的**DMA**请求信号
- **HRQ:** **DMAC**向**CPU**发出的总线请求信号
- **HLDA:** **CPU**向**DMAC**发出的总线响应信号
- **DACK:** **DMAC**向外设发出的**DMA**应答信号

# 本章小结

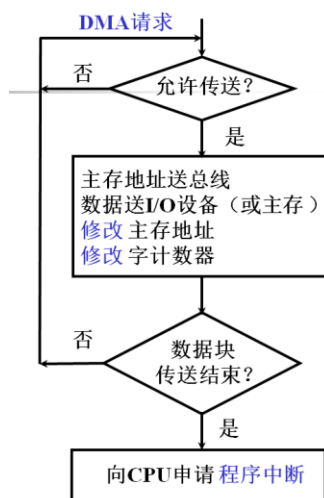
## ■ DMA 传送过程：预处理、数据传送、后处理

### (1) 预处理

通过几条输入输出指令预置如下信息

- 通知 **DMA** 控制逻辑传送方向（入/出）
- 设备地址——**DMA** 的 **DAR** (**I/O地址**)
- 主存地址——**DMA** 的 **AR**
- 传送字数——**DMA** 的 **WC**

### (2) 数据传送



### (3) 后处理

校验送入主存的数是否正确

是否继续用 **DMA**

测试传送过程是否正确，如有错则转诊断程序

由中断服务程序完成

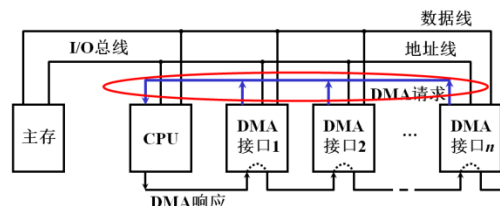
**DMA数据传送细分为10步**  
(书上P207-208)

# 本章小结

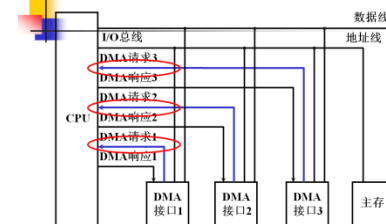
## ■ DMA 接口与系统的连接方式:

- (1) 具有公共请求线的 DMA 请求
- (2) 独立的 DMA 请求

(1) 具有公共请求线的 DMA 请求



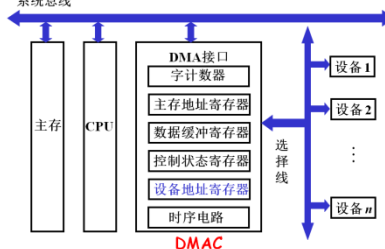
(2) 独立的 DMA 请求



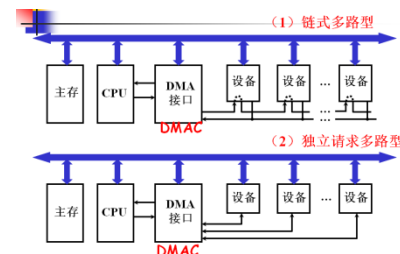
## ■ DMA 接口的类型:

- 1. 选择型
- 2. 多路型
  - (1) 链式多路型
  - (2) 独立请求多路型

1. 选择型 在物理上连接多个设备  
在逻辑上只允许连接一个设备



2. 多路型





# 本章小结

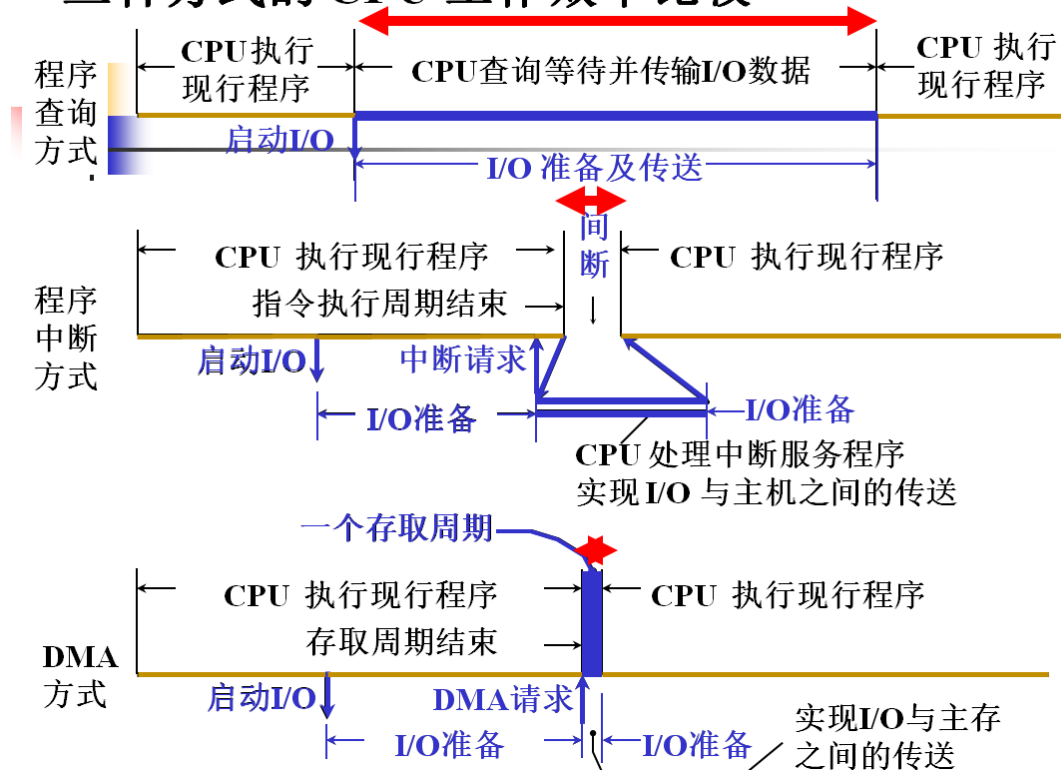
## ■ DMA方式与中断方式的比较:

	中断方式	DMA方式
		DMA控制器 (DMAC)
(1) 数据传送	程序	硬件
(2) 响应时间	指令执行结束	存取周期结束
(3) 处理异常情况	能	不能
(4) 中断请求	传送数据	后处理
(5) 优先级	低	高
		周期挪用 (或周期窃取)

# 本章小结

- 查询方式、中断方式、DMA方式的CPU工作效率比较：

## 三种方式的CPU工作效率比较





## 第9次作业——习题（P210-212）

---

- 5.27
- 5.28
- 5.31
- 5.33



# 关于作业的提交

- **1周内**必须提交（上传到学院的**FTP**服务器上），否则认为是迟交作业；如果期末仍然没有提交，则认为是未提交作业
  - 作业完成情况成绩=第**1**次作业提交情况\*第**1**次作业评分+第**2**次作业提交情况\*第**2**次作业评分+.....+第**N**次作业提交情况\*第**N**次作业评分
  - 作业评分：**A**（好）、**B**（中）、**C**（差）三挡
  - 作业提交情况：按时提交（**1.0**）、迟交（**0.5**）、未提交（**0.0**）
- 请采用电子版的格式（**Word**文档）上传到**FTP**服务器上，文件名取“学号+姓名+第**X**次作业.doc”
  - 例如：**11920192203642+袁佳哲+第8次作业.doc**
- 第**9**次作业提交的截止日期为：**2021年4月23日晚上24点**



**The End**

---

**Thanks**