

计算机组成原理 (样题讲解)



厦门大学软件学院 曾文华

2019年5月31日

2016级期末考卷A卷

一、**选择题**（请从**A、B、C、D**中选择唯一的一个正确答案，**15**小题，每小题**1**分，共**15**分；在答题纸填写答案时请写上每小题的对应编号）

1.在**CPU**中跟踪指令后续地址的寄存器是__**D**__。

- A. MAR** **B. IR**
- C. MDR** **D. PC**

2.有些计算机将一部分软件永恒地存于只读存储器中，称之为__**C**__。

- A. 硬件** **B. 软件**
- C. 固件** **D. 辅助存储器**

3.计算机中__**B**__ 负责指令译码。

- A. 算术逻辑单元** **B. 控制单元**
- C. 存储器译码电路** **D. 输入输出译码电路**

4.在三种集中式总线控制中，__**A**__方式对电路故障最敏感。

- A.** 链式查询
- B.** 计数器定时查询
- C.** 独立请求
- D.** 链式查询和独立请求

5.在三种异步通信方式中，__**C**__方式速度最快。

- A.** 全互锁
- B.** 半互锁
- C.** 不互锁
- D.** 全互锁和半互锁

6.在同步通信中，一个总线周期的传输过程是__**C**__。

- A.** 先传输数据，再传输地址
- B.** 只传输数据
- C.** 先传输地址，再传输数据
- D.** 只传输地址

7.所谓三总线结构的计算机是指__**B**__。

- A.** 地址总线、数据总线、控制总线
- B.** I/O总线、主存总线、DMA总线
- C.** I/O总线、主存总线、系统总线
- D.** 片内总线、系统总线、通信总线

8.存取周期是指__D__。

- A. 存储器的写入时间
- B. 存储器进行连续写操作允许的最短间隔时间
- C. 存储器的读入时间
- D. 存储器进行连续读或写操作允许的最短间隔时间

9.主机和I/O设备传送数据时，采用__A__，主机与I/O设备是串行工作的。

- A. 程序查询方式
- B. 中断方式
- C. DMA方式
- D. 以上三种都是

10.中断发生时，程序计数器（PC）内容的保护和更新，是由__A__完成的。

- A. 硬件自动
- B. 进栈指令
- C. 转移指令
- D. 访存指令

11.在小数定点机中，下述说法正确的是__A__。

- A. 补码能表示-1
- B. 反码能表示-1
- C. 原码能表示-1
- D. 原码、补码、反码都能表示-1

12.在程序的执行过程中，Cache与主存的地址映射是由__C__。

- A. 操作系统来管理的
- B. 程序员调度的
- C. 硬件自动完成的
- D. 编译器完成的

13. 设 $[x]_{\text{补}} = 1.x_1x_2x_3x_4$ ，当满足下列 **C** 时， $x > -1/2$ 成立。

A. x_1 必须为 0， $x_2 \sim x_4$ 至少有一个为 1

B. x_1 必须为 0， $x_2 \sim x_4$ 任意

C. x_1 必须为 1， $x_2 \sim x_4$ 至少有一个为 1

D. x_1 必须为 1， $x_2 \sim x_4$ 任意

14. 在浮点机中，判断补码规格化形式的原则是 **D**。

A. 尾数的最高有效位为 1，符号位任意

B. 尾数的最高有效位为 0，符号位任意

C. 尾数的符号位与最高有效位位相同

D. 尾数的符号位与最高有效位位不同

15. 为了缩短指令中地址码的位数，应采用 **D** 方式。

A. 立即数寻址 B. 间接寻址

C. 直接寻址 D. 寄存器寻址

二、**填空题**（**10**个空，每一空**1**分，共**10**分；在答题纸填写答案时请写上每个空格的对应编号）

1.基于___**存储程序**___原理的冯•诺依曼计算机工作方式的基本特点是按地址访问并顺序执行指令。

2.层次化存储器结构设计的依据是程序访问的___**局部性**___原理。

3.动态**RAM**依据电容存储电荷的原理存储信息，因此一般在___**2ms**___时间内必须刷新一次。

4.在**DMA**方式中，**CPU**与**DMA**控制器通常采用三种方法来分时使用主存，分别是停止 **CPU** 访问主存、___**周期挪用（或周期窃取）**___、**DMA** 与 **CPU** 交替访问主存。

5.虚拟存储器由主存和辅助存储器两级组成。

6.在**Cache**的写操作时，对**Cache**与主存单元同时修改的方法称为写直达（或存直达）法；若每次只暂时写入**Cache**，直到替换时才写入主存的方法称为写回（或拷回）法。

7.**I/O**的编址方式可以分为独立编址和统一编址两大类，前者需有独立的**I/O**指令，后者可通过访存指令和**I/O**设备交换信息。

8.**CPU**在指令执行周期结束时刻查询中断请求信号（在开中断情况下），而在存储器存取周期结束时刻查询**DMA**的总线请求信号。

三、**判断题**（下列表述正确的打√，错误的打×，**10**小题，每小题**1**分，共**10**分；在答题纸填写答案时请写上每小题的对应编号）

1.连接计算机与计算机之间的总线属于系统总线。（ × ）

2.三种集中式总线控制方式（链式查询、计数器定时查询、独立请求）中，独立请求方式响应时间最快。（ √ ）

3.DRAM的刷新是采用“读出”方式进行刷新。（ √ ）

4.采用流水线技术的机器一定是**RISC**计算机。（ × ）

5.采用微程序控制器的处理器称为微处理器。（ × ）

6.一个更高级别的中断请求一定可以中断另一个中断处理程序的执行。 (☒)

7.任何十进制小数都可以用二进制数精确表示。 (☒)

8.指令操作数所需的数据不可能来自控制存储器。 (☒)

9.寄存器间接寻址方式中，操作数在寄存器中。 (☒)

10.在微指令编码中，编码效率最低的是直接编码方式。 (☒)

四、**名词解释**（请写出下列英文缩写的中文全称，**10**小题，每**1**小题**1**分，共**10**分；在答题纸填写答案时请写上每小题的对应编号）

1、**PCI** 外围部件互连总线

2、**AGP** 加速图形端口总线

3、**MIPS** 每秒百万条指令

4、**FLOPS** 每秒浮点运算次数

5、**LRU** 近期最少使用算法

6、**CPI** 执行一条指令所需的时钟周期数

7、**DDR SDRAM** 双倍速率同步动态随机存储器

8、**SCSI** 小型计算机系统接口

9、**RAID** 独立磁盘冗余阵列或廉价磁盘冗余阵列

10、**VLIW** 超长指令字技术

五、**问答题**（**5**小题，每小题**3**分，共**15**分；在答题纸填写答案时请写上每小
题的对应编号）

1.冯·诺依曼计算机的主要特点是什么？

答：

- （1）计算机由五大部件组成；
- （2）指令和数据以同等地位存于存储器，可按地址寻访；
- （3）指令和数据用二进制表示；
- （4）指令由操作码和地址码组成；
- （5）存储程序；
- （6）以运算器为中心。

2.简要说明提高访问存储器速度的主要措施。

答：

（1）采用高速器件，如**SDRAM**（同步**Synchronous DRAM**），**RDRAM**（**Rambus DRAM**），带**Cache**的**DRAM**（**CDRAM**，也称增强型**DRAM**，**EDRAM**，**Enhanced DRAM**）。

（2）采用**Cache**-主存层次结构。

（3）调整主存结构，包括单体多字系统、多体并行系统（高位交叉多体存储器，低位交叉多体存储器）。

3.请比较**RISC**计算机和**CISC**计算机。

答：

- （1）**RISC**计算机是精简指令系统计算机，**CISC**是复杂指令系统计算机。
- （2）**RISC**更能充分利用**VLSI**芯片的面积，**RISC**更能提高计算机运算速度。主要原因是**RISC**计算机的指令数量少、指令格式简单、寻址方式少、通用寄存器多、采用组合逻辑实现控制器、便于实现指令流水。
- （3）**RISC**便于设计，可降低成本，提高可靠性。
- （4）**RISC**有利于编译程序代码优化。
- （5）**RISC**不易实现指令系统兼容。

4.请比较组合逻辑设计和微程序设计。

答：

(1) 组合逻辑设计是采用组合逻辑电路来实现控制器，把控制部件看成是产生专门固定时序控制信号的逻辑电路，这种逻辑电路是由门电路和触发器构成的复杂逻辑网络。

(2) 微程序设计是把一条机器指令看成一个微程序，每一个微程序包含若干条微指令，每一条微指令对应一个或几个微操作，然后把这些微程序存到一个存储器（控制存储器）中，逐条执行每一条微指令，就相应地完成了一条机器指令的全部操作。

(3) 组合逻辑设计的优点是控制器执行指令的速度快，缺点是设计与实现复杂。

(4) 微程序设计的优点是控制器的设计与实现简单，易于实现系列计算机产品的控制器，可实现动态微程序设计，缺点是控制器执行指令的速度要慢。

(5) 微程序控制器同组合逻辑控制器相比较，具有设计规整、调试、维修以及更改、扩充指令方便的优点，易于实现自动化设计；但是由于它使用了控制存储器，所以指令的执行速度比组合逻辑控制器慢。

5.请比较水平型微指令和垂直型微指令。

答：

- （1）水平型微指令比垂直型微指令**并行操作能力强、效率高、灵活性强。**
- （2）水平型微指令执行一条机器指令所要的微指令数目少，执行一条机器指令的速度要比垂直型微指令快。
- （3）**水平型微指令用较短的微程序结构换取较长的微指令结构；垂直型微指令正好相反，它以较长的微程序结构换取较短的微指令结构。**
- （4）水平型微指令与机器指令差别较大；垂直型微指令与机器指令相似。

六、**设计题**（4小题，共40分；在答题纸填写答案时请写上每小题的对应编号）

1、（8分）、设某计算机采用**8路组相联**映射的**Cache**，已知主存容量为**4MB**，**Cache**容量为**4KB**，字块长度为**4**个字，每个字**32**位。要求：

（1）画出**Cache地址各字段分配框图**，画出反映主存与**Cache**映射关系的**主存地址各字段分配框图**，并说明每个字段的名称及位数。

（2）设**Cache**初态为空，若**CPU**依次从主存第**0，1，...，99**号单元读出**100**个字（主存一次读出一个字），并重复按此次序读**10**次，问**Cache**的**命中率**是多少？

（3）如果**Cache**的存取时间是**20ns**，主存的存取时间是**200ns**，根据（2）求出的命中率，求**平均存取时间**。

（4）计算**Cache-主存系统**的**效率**。

注：因为考场不允许带计算器，在计算命中率、平均存取时间、效率时，可以只写出有数字的计算式子，不必算出具体的数值。

答：（1）主存位数=22位 Cache位数=12位 块内地址=2+2=4位

Cache地址格式 = Cache字块地址+块内地址 = 8位 + 4位

Cache块数=2⁸=256 Cache组数=256/8=32

主存地址格式 = 主存字块标志+Cache组地址+块内地址 = 13位 + 5位 + 4位

答对给4分

（2）因为Cache的初态为空，因此CPU读0号单元时为未命中，必须访问主存，同时将该字所在的主存块调入Cache第0组中的任一块内。接着CPU读1-3号单元时均命中。同理，读第4,8,...,96号单元时均未命中。CPU连续读100个字有25次未命中，而后9次循环则全部命中。

命中率h = (100*10-25)/(100*10) = 0.975

答对给2分

（3）平均存取时间=0.975*20ns+(1-0.975)*200ns = 24.5ns

答对给1分

（4）效率 = 20ns/24.5ns = 81.6%

答对给1分

2、（10分）已知某**CPU**共有**16**根地址线、**8**根数据线，并用**IO/-M**作为访问存储器与**I/O**的控制线（高电平访问**I/O**，低电平访问存储器），用**-WR**作为读/写控制信号（高电平为读，低电平为写）。要求设计一个容量为**32KB**的**RAM**，**RAM**的起始地址为**0000H**，**RAM**采用**低位交叉编址的四体并行结构**。现有**2KB**、**4KB**、**8KB**、**16KB**的**RAM**芯片若干（**RAM**芯片除了数据线、地址线外，还有输出允许**-OE**、写允许**-WE**控制信号，片选信号**-CS**，均为低电平有效），**3-8**译码器（**74LS138**）芯片、门电路芯片若干。

（1）请画出**CPU**与存储器芯片完整的**连接线路图**。

（2）写出图中每个存储器芯片的**地址范围**（用**16**进制表示）。

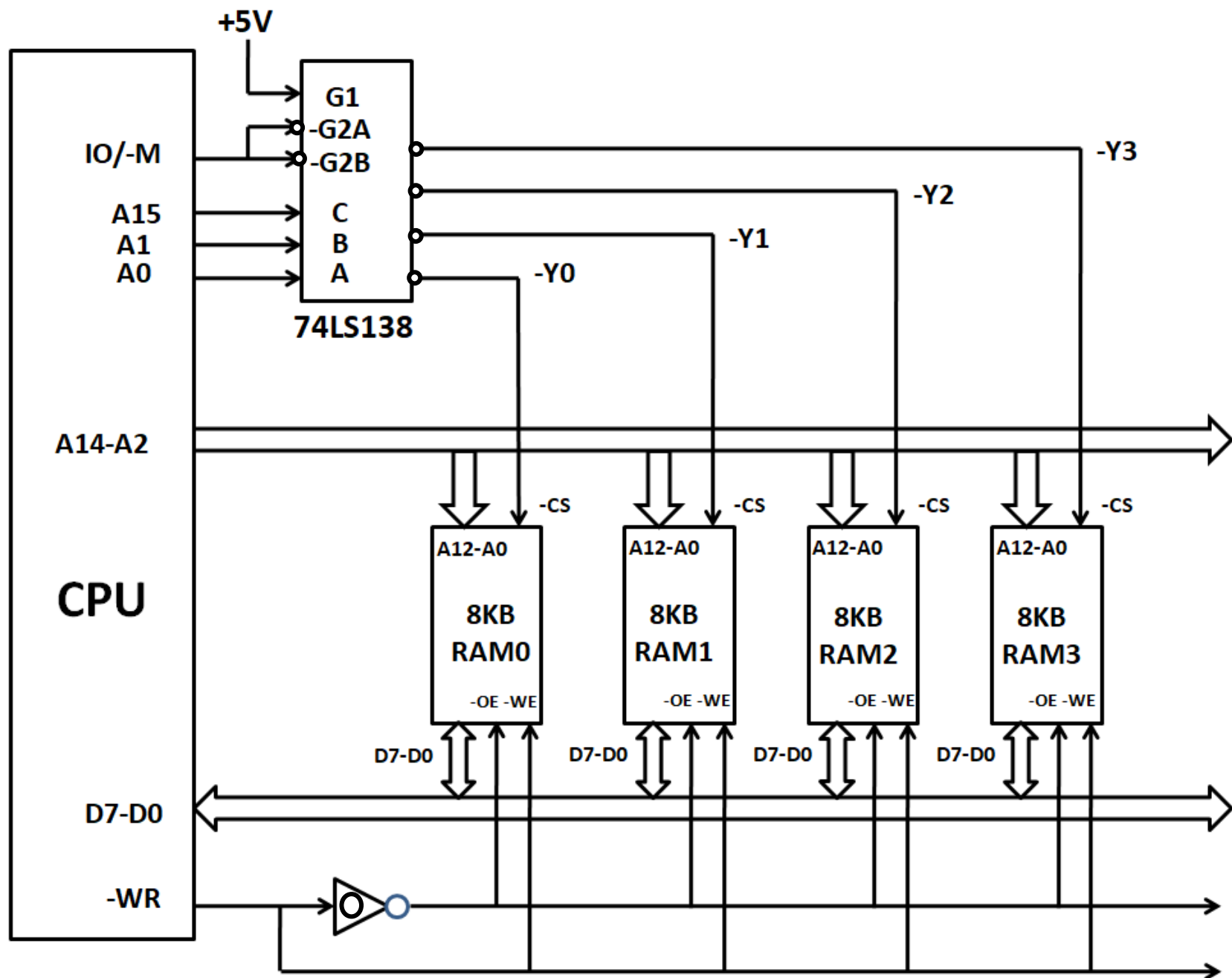
答：

（1）选用**4片8KB的RAM**，构成四体并行结构的**32KB**存储器（采用低位交叉编址）。

CPU的IO/-M同时连到74LS138的-G2A和-G2B，74LS138的G1接+5V。

四体并行结构的**32KB**存储器地址范围为：**0000H-7FFFH**，因此**A15=0**，将**A15、A1、A0**连到**74LS138**的**C、B、A**上，**A14-A2**连到**RAM**的**A12-A0**地址线上。**74LS138**的**-Y0、-Y1、-Y2、-Y3**分别连到**4个8KB的RAM**的**-CS**上。**CPU**的**-WR**直接连到每个**RAM**的**-WE**上，**CPU**的**-WR**通过反相器连到**RAM**的**-OE**上。

_____学生的答案中，上述文字部分可以不要_____



(2) 上图中各个**RAM**芯片的地址范围是:

RAM0: 0000H, 0004H, 0008H,, 7FFCH

RAM1: 0001H, 0005H, 0009H,, 7FFDH

RAM2: 0002H, 0006H, 000AH,, 7FFEh

RAM3: 0003H, 0007H, 000BH,, 7FFFH

答对给**2分**

- **3、（10分）**已知 $X = 14.75$ ， $Y = 26.4375$ ，请采用浮点加减法运算的方法，完成“ $X - Y = ?$ ”的运算。要求：先将 X 和 Y 用规格化的浮点数表示，再进行浮点数的加减法运算，运算结果也要用规格化浮点数表示。浮点数的格式为：阶码为5位（含1位符号位），尾数为11位（含1位符号位）；阶码采用移码表示，尾数采用补码表示。

答: $X = 14.75 = 1110.11 = 0.111011 * 2^{100}$

X 的浮点规格化表示 = **1,0100** (阶码, 移码) **0.11 1011 0000** (尾数, 补码)

$Y = 26.4375 = 1\ 1010.0111 = 0.110100111 * 2^{101}$

Y 的浮点规格化表示 = **1,0101** (阶码, 移码) **0.11 0100 1110** (尾数, 补码)

$-Y = -26.4375 = -1\ 1010.0111 = -0.110100111 * 2^{101}$

$-Y$ 的浮点规格化表示 = **1,0101** (阶码, 移码) **1.00 1011 0010** (尾数, 补码)

_____ X 、 Y 、 $-Y$ 的浮点规格化表示, 答对给**4**分_____

(1) 对阶:

小阶向大阶对齐, **X**向**Y**对齐 尾数右移**1**位, 阶码加**1**

X = 1,0101 (阶码, 移码) **0.01 1101 1000** (尾数, 补码)

答对给**2**分

(2) 尾数求和:

0.01 1101 1000 + 1.00 1011 0010 = 1.10 1000 1010

答对给**2**分

(3) 尾数规格化:

上述和的尾数不是规格化数 (绝对值<**0.5**的负数), 需要左移**1**次, 阶码减**1**

和的尾数= **1.01 0001 0100** 和的阶码=**1,0100**

最后的结果为: **X-Y = 1,0100** (阶码, 移码) **1.01 0001 0100** (尾数, 补码)

答对给**2**分

(4) 验证:

$$\mathbf{X-Y = 0,0100} \text{ (阶码, 原码)} \quad \mathbf{1.10\ 1110\ 1100} \text{ (尾数, 原码)}$$

$$= \mathbf{-0.10111011 * 2^4 = -(187/256) * 16}$$

$$= \mathbf{-11.6875 = 14.75 - 26.4375}$$

这一步不需要学生答

4、（12分）已知TD-CMA实验系统在简单模型机方式下的数据通路图如图1所示，ALU的逻辑功能表如表1所示。该简单模型机有5条指令，指令的助记符、机器码和说明如下：

助记符	指令机器码	说明
IN R0	0010 0000	IN -> R0
ADD R0,R0	0000 0000	R0 + R0 -> R0
OUT R0	0011 0000	R0 -> OUT
JMP addr	1110 0000 *****	addr -> PC
HLT	0101 0000	停机

该简单模型机的微指令格式如表2所示，5条指令的微程序流程图如图2所示，微指令的代码如表3所示。请问：

（1）该简单模型机的微指令采用什么编码方式（控制方式）？微指令的操作控制字段和顺序控制字段各有几位？

(2) 下面8条微指令，该简单模型机的控制器发出什么**控制信号**？（请分别列出）

① **PC -> AR** , **PC加1**

② **MEM -> IR** , **P<1>**

③ **R0 -> A**

④ **R0 -> B**

⑤ **A加B -> R0**

⑥ **IN -> R0**

⑦ **R0 -> OUT**

⑧ **MEM -> PC**

(3) 要求设计一条新的指令，代替原有5条指令中的“**HLT**”指令。该新指令完成“**R0加1**”的功能，即“**R0 + 1 -> R0**”，其助记符为“**INC R0**”。请对图2的微程序流程图进行修改，对表3的微指令代码表进行修改，使该简单模型机具有新指令“**R0加1**”的功能（代替原有的“**HLT**”指令）。注：只需给出图2的修改部分，表3的修改部分。

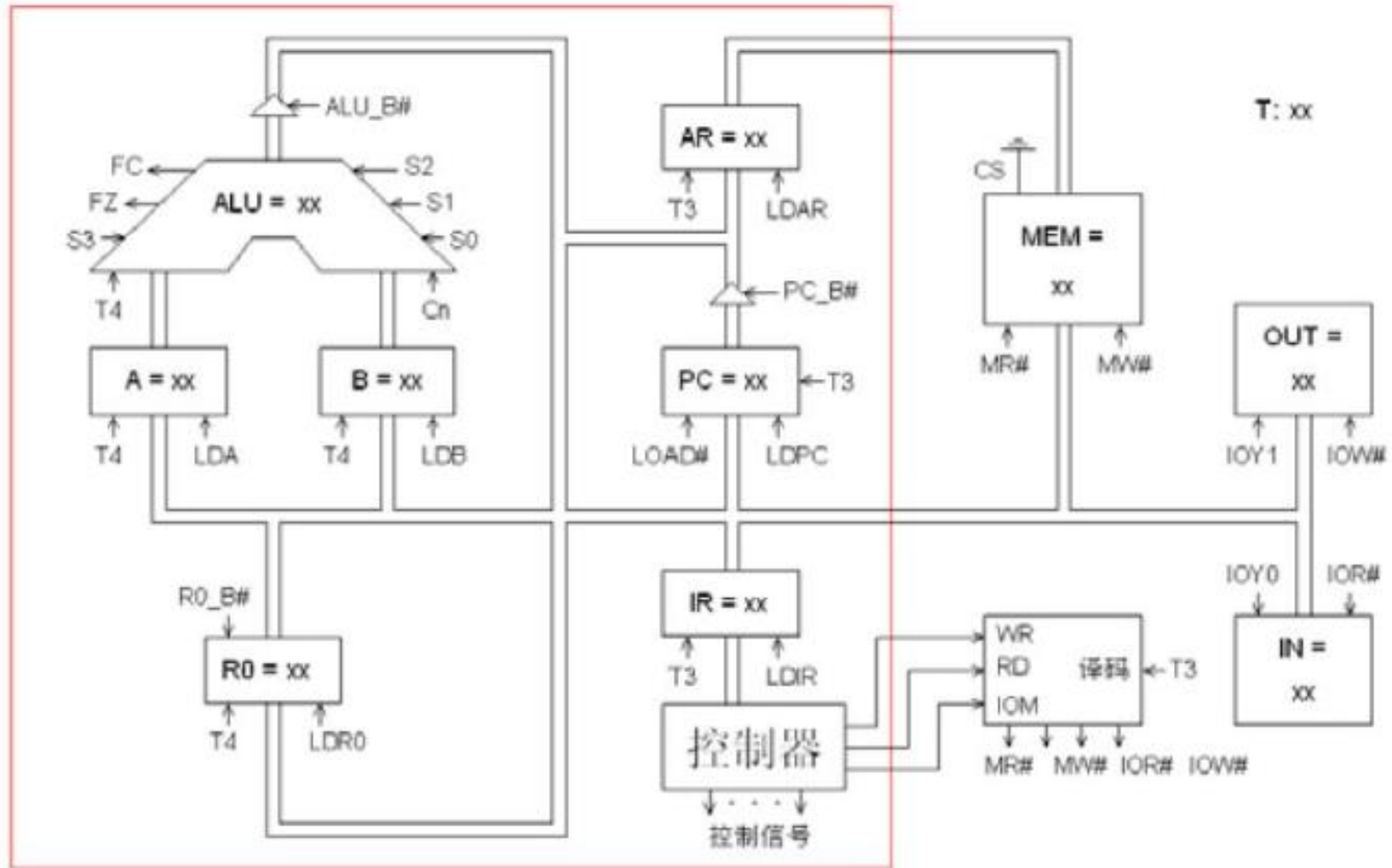


图 1 简单模型机的数据通路图

表 1 简单模型机 ALU 的逻辑功能表

运算类型	S3 S2 S1 S0	CN	功 能
逻辑运算	0000	X	F=A (直通)
	0001	X	F=B (直通)
	0010	X	F=AB (FZ)
	0011	X	F=A+B (FZ)
	0100	X	F=/A (FZ)
移位运算	0101	X	F=A 不带进位循环右移 B (取低 3 位) 位 (FZ)
	0110	0	F=A 逻辑右移一位 (FZ)
		1	F=A 带进位循环右移一位 (FC, FZ)
	0111	0	F=A 逻辑左移一位 (FZ)
		1	F=A 带进位循环左移一位 (FC, FZ)
算术运算	1000	X	置 FC=CN (FC)
	1001	X	F=A 加 B (FC, FZ)
	1010	X	F=A 加 B 加 FC (FC, FZ)
	1011	X	F=A 减 B (FC, FZ)
	1100	X	F=A 减 1 (FC, FZ)
	1101	X	F=A 加 1 (FC, FZ)
	1110	X	(保留)
	1111	X	(保留)

*表中“X”为任意态，下同

表 2 简单模型机微指令的格式

23	22	21	20	19	18-15	14-12	11-9	8-6	5-0
M23	M22	WR	RD	IOM	S3-S0	A字段	B字段	C字段	MA5-MA0

A字段

14	13	12	选择
0	0	0	NOP
0	0	1	LDA
0	1	0	LDB
0	1	1	LDR0
1	0	0	保留
1	0	1	LOAD
1	1	0	LDAR
1	1	1	LDIR

B字段

11	10	9	选择
0	0	0	NOP
0	0	1	ALU_B
0	1	0	R0_B
0	1	1	保留
1	0	0	保留
1	0	1	保留
1	1	0	PC_B
1	1	1	保留

C字段

8	7	6	选择
0	0	0	NOP
0	0	1	P<1>
0	1	0	保留
0	1	1	保留
1	0	0	保留
1	0	1	LDPC
1	1	0	保留
1	1	1	保留

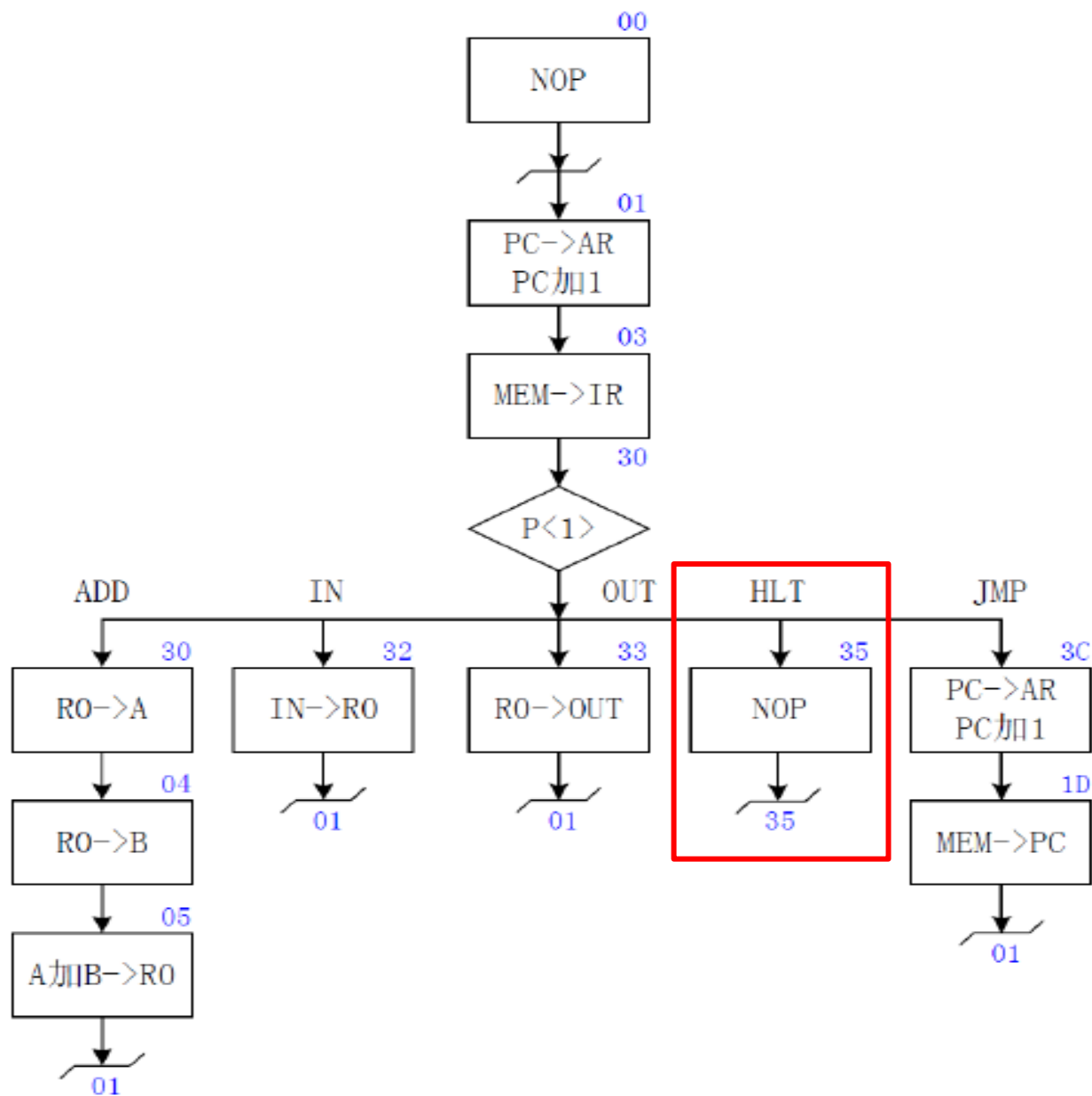


图 2 简单模型机微程序流程图

表 3 简单模型机微指令的代码

地址	十六进制	高五位	S3-S0	A 字段	B 字段	C 字段	MA5-MA0
00	00 00 01	00000	0000	000	000	000	000001
01	00 6D 43	00000	0000	110	110	101	000011
03	10 70 70	00010	0000	111	000	001	110000
04	00 24 05	00000	0000	010	010	000	000101
05	04 B2 01	00000	1001	011	001	000	000001
1D	10 51 41	00010	0000	101	000	101	000001
30	00 14 04	00000	0000	001	010	000	000100
32	18 30 01	00011	0000	011	000	000	000001
33	28 04 01	00101	0000	000	010	000	000001
35	00 00 35	00000	0000	000	000	000	110101
3C	00 6D 5D	00000	0000	110	110	101	011101

答：

(1) 该简单模型机的微指令采用**混合编码方式**。

微指令的操作控制字段=**18**位，顺序控制字段=**6**位。

答对给**2**分

(2) **8**条微指令，控制器发出的控制信号如下：

① **PC -> AR , PC加1**

控制信号：**LDAR=1 PC_B=1 LDPC=1**

② **MEM -> IR , P<1>**

控制信号：**RD=1 LDIR=1 P<1>**

③ **R0 -> A**

控制信号：**LDA=1 R0_B=1**

④ **R0 -> B**

控制信号: **LDB=1** **R0_B=1**

⑤ **A加B -> R0**

控制信号: **LDR0=1** **ALU_B=1** **S3-S0 = 1001**

⑥ **IN -> R0**

控制信号: **RD=1** **IOW=1** **LDR0=1**

⑦ **R0 -> OUT**

控制信号: **WR=1** **IOM=1** **R0_B=1**

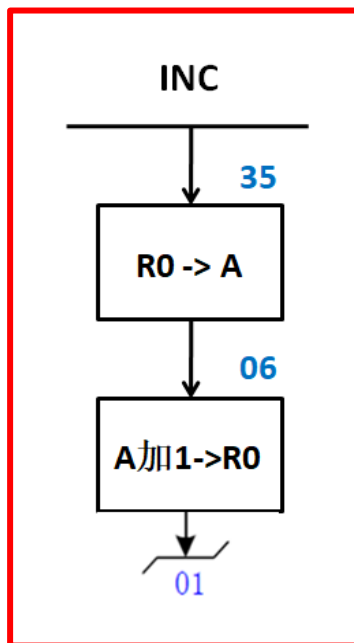
⑧ **MEM -> PC**

控制信号: **RD=1** **LOAD=1** **LDPC=1**

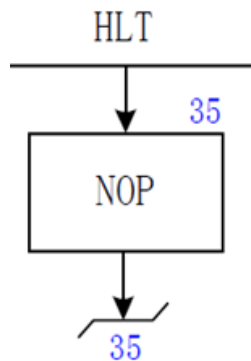
答对给4分

(3)

①修改后的微程序流程图（只画出修改部分）：
用下面的图：



取代：



②修改后的微指令代码表（只给出修改部分）：
将：

35	00 00 35	00000	0000	000	000	000	110101
----	----------	-------	------	-----	-----	-----	--------

修改为：

35↗	001406↗	00000↗	0000↗	001↗	010↗	000↗	000110↗↗
-----	---------	--------	-------	------	------	------	----------

并增加：

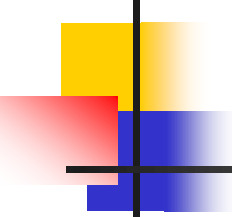
06↗	06B201↗	00000↗	1101↗	011↗	001↗	000↗	000001↗↗
-----	---------	--------	-------	------	------	------	----------

答对给**6**分

往年期末考卷

一、选择题

1. 冯·诺依曼计算机的基本特点是 **B**。
- A. 多指令流单数据流 **B. 按地址访问并顺序执行指令**
C. 堆栈操作 D. 存储器按内容选择地址
2. 有些计算机将一部分软件永恒地存于只读存储器中，称之为 **C**。
- A. 硬件 B. 软件
C. 固件 D. 辅助存储器
3. 在三种集中式总线控制中， **A** 方式对电路故障最敏感。
- A. 链式查询** B. 计数器定时查询
C. 独立请求 D. 以上三个都是



4.存取周期是指 **D**。

A. 存储器的写入时间

B. 存储器进行连续写操作允许的最短间隔时间

C. 存储器的读入时间

D. 存储器进行连续读或写操作允许的最短间隔时间

5.磁盘存储器的等待时间通常是指 **C**。

A. 磁盘旋转一周所需的时间

B. 最大寻道时间

C. 磁盘旋转半周所需的时间

D. 最小寻道时间

6.在程序的执行过程中，Cache与主存的地址映射是由 **D**。

A. 操作系统来管理的

B. 程序员调度完成的

C. CPU的控制器负责的

D. 硬件自动完成的



7.在虚拟存储器中，当程序正在执行时，由__**A**__完成地址映射。

A. 操作系统

B. 编译器

C. 硬件自动

D. 程序员调度

8.主机和设备传送数据时，采用__**A**__，主机与设备是串行工作的。

A. 程序查询方式

B. 中断方式

C. DMA方式

D. 以上三种都是

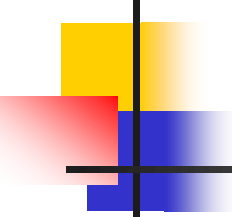
9.中断发生时，程序计数器（**PC**）内容的保护和更新，是由__**D**__完成的。

A. 访存指令

B. 进栈指令

C. 转移指令

D. 硬件自动



10.在小数定点机中，下述说法正确的是 **A**。

A. 补码能表示-1

B. 反码能表示-1

C. 原码能表示-1

D. 原码、补码、反码都能表示-1

11.设 $[x]_{\text{补}} = 1.x_1x_2x_3x_4$ ，当满足下列 **C** 时， $x > -1/2$ 成立。

A. x_1 必须为0， $x_2 \sim x_4$ 至少有一个为1

B. x_1 必须为0， $x_2 \sim x_4$ 任意

C. x_1 必须为1， $x_2 \sim x_4$ 至少有一个为1

D. x_1 必须为1， $x_2 \sim x_4$ 任意

12.在浮点机中，判断补码规格化形式的原则是 **D**。

A. 尾数的第一位为1，数符任意

B. 尾数的第一位为0，数符任意

C. 尾数的符号位与第一数位相同

D. 尾数的符号位与第一数位不同

小数定点机

原码		补码		反码	
机器数	十进制真值	机器数	十进制真值	机器数	十进制真值
0.000	0	0.000	0	0.000	0
0.001	1/8	0.001	1/8	0.001	1/8
0.010	2/8	0.010	2/8	0.010	2/8
0.011	3/8	0.011	3/8	0.011	3/8
0.100	4/8	0.100	4/8	0.100	4/8
0.101	5/8	0.101	5/8	0.101	5/8
0.110	6/8	0.110	6/8	0.110	6/8
0.111	7/8	0.111	7/8	0.111	7/8
1.000	-0	1.000	-1	1.000	-7/8
1.001	-1/8	1.001	-7/8	1.001	-6/8
1.010	-2/8	1.010	-6/8	1.010	-5/8
1.011	-3/8	1.011	-5/8	1.011	-4/8
1.100	-4/8	1.100	-4/8	1.100	-3/8
1.101	-5/8	1.101	-3/8	1.101	-2/8
1.110	-6/8	1.110	-2/8	1.110	-1/8
1.111	-7/8	1.111	-1/8	1.111	-0



13.在下列叙述中，**D**能反映**RISC**的特征。

- A. 丰富的寻址方式
- B. 难以用优化编译生成高效的目标代码
- C. 控制器采用微程序设计
- D. 指令长度固定**

14.为了缩短指令中地址码的位数，应采用**B**寻址。

- A. 立即数
- B. 寄存器**
- C. 直接
- D. 间接寻址

15.寄存器间接寻址方式中，操作数在**C**中。

- A. 通用寄存器
- B. 堆栈
- C. 主存单元**
- D. 指令本省



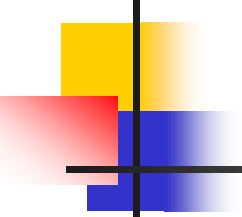
二、填空题

1. 基于 存储程序 原理的冯·诺依曼计算机工作方式的基本特点是按地址访问并顺序执行指令。

2. 计算机唯一能直接执行的语言是 机器 语言。

3. 总线的判优控制可分为集中式和分布式两种，集中式方式又分为：链式查询 方式 计数器定时查询 方式、独立请求 方式。

4. **USB** 总线具有很强的连接能力，使用 **USB HUB** 实现系统扩展，最多可链式连接 127 个外设到同一系统。**USB** 使用 4 条（芯）电缆分别用于传输信号和为外设提供电源。



5.动态**RAM**依据电容存储电荷的原理存储信息，因此一般在__**2ms**__时间内必须刷新一次。

6.主存和**Cache**的地址映射方式有三种，分别是：__**直接映像**__、__**全相联映像**__、__**组相联映像**__。

7.存储管理中常用的替换算法有__**近期最少使用（LRU）**__、__**先进先出（FIFO）**__、__**随机法**__。

8.在虚拟存储器系统中，**CPU**根据指令生成的地址是__**逻辑地址（虚拟地址）**__，经过转换后的地址是__**物理地址（实际地址）**__。



9.I/O的编址方式可以分为不统一编址和统一编址两大类，前者需有独立的**I/O**指令，后者可通过访存指令和设备交换信息。

10.CPU在指令执行周期结束时刻采样中断请求信号（在开中断情况下），而在存储周期结束时刻采样**DMA**的总线请求信号。

11.若采用硬件向量法形成中断服务程序的入口地址，则**CPU**在中断周期需完成保护程序断点、硬件关中断和向量地址送PC操作。

12.在**DMA**方式中，**CPU**与**DMA**控制器通常采用三种方法来分时使用主存，分别是停止CPU访问主存、周期挪用（周期窃取）、**DMA**和**CPU**交替访问主存。



13. 设机器代码为**FCH**，机器数为补码形式（采用**1**位符号），则对应的十进制真值为**-4**，其原码形式为**84H**，反码形式为**FBH**（均用十六进制表示）。

14. 设**x***为绝对值，等式 **$[-x]_{补} = [-x*]_{补}$** 成立的条件是**x为正数或0**。

15. 已知寄存器位数为**8**位，机器数取**1**位符号位，设其内容为**11110101**。当它代表无符号数时，逻辑左移一位后得**11101010**，逻辑右移一位后得**01111010**。当它代表有补码时，算术左移一位后得**11101010**，算术右移一位后得**11111010**。

16. **32**位长的浮点数，其中阶码**8**位（含**1**位阶符），用移码表示；尾数**24**位（含**1**为数符），用补码规格化表示，则它所能表示的最大正数的阶码是**1, 1111111**，尾数是**0.111111111111111111111111**；而绝对值最小的负数的阶码是**0, 0000000**，尾数是**1.011111111111111111111111**。



三、判断题

1. 半导体存储器RAM信息可读可写，且断点后仍能保持记忆。

×

2. EPROM是可改写的，因而也是随机存储器的一种。

×

3. 程序中断方式和DMA方式中都有中断请求，但目的不同。

✓

4. RISC计算机配置多个通用寄存器。 ✓

5. CISC计算机的控制器采用组合逻辑设计。 ×



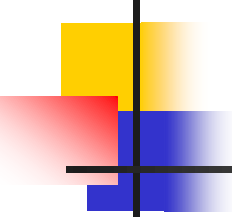
6.采用流水线技术的机器一定是**RISC**计算机。 ×

7.在指令长度相同的情况下，所有指令的取指操作都是相同的。 ✓

8.采用微程序控制器的处理器称为微处理器。 ×

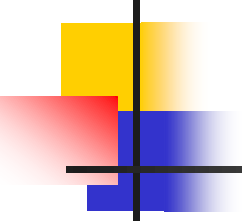
9.在微指令编码中，编码效率最低的是直接编码方式。 ✓

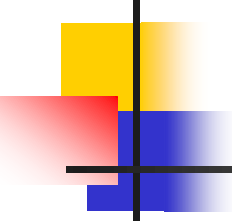
10. 控制存储器可采用掩模ROM、EPROM等实现。 ✓



四、名词解释（请写出下列英文缩写的中文全称）

- 1、**ISA**：工业标准体系结构总线
- 2、**EISA**：扩展的工业标准体系结构总线
- 3、**VESA (VL-BUS)**：视频电子标准协会总线（局部总线）
- 4、**PCI**：外围部件互连总线
- 5、**AGP**：加速图形端口总线
- 6、**RS-232C**：美国电子工业协会推荐的一种串行通信总线标准
- 7、**USB**：通用串行总线
- 8、**DTE**：数据终端设备
- 9、**DCE**：数据通信设备
- 10、**CRC**：循环冗余校验码

- 
-
- 11、MROM:** 掩模只读存储器
 - 12、PROM:** 一次性编程的只读存储器
 - 13、EPROM:** 可擦除可编程只读存储器
 - 14、EEPROM:** 电可擦除可编程只读存储器
 - 15、RAM:** 随机存储器
 - 16、SRAM:** 静态随机存储器
 - 17、DRAM:** 动态随机存储器
 - 18、SDRAM:** 同步动态随机存储器
 - 19、RDRAM:** **Rambus**动态随机存储器
 - 20、LRU:** 近期最少使用算法

- 
-
- 21、CPU：**中央处理器
 - 22、PC：**程序计数器
 - 23、IR：**指令寄存器
 - 24、ALU：**算术逻辑单元
 - 25、MAR：**存储器地址寄存器
 - 26、MDR：**存储器数据寄存器
 - 27、MIPS：**每秒百万条指令
 - 28、FLOPS：**每秒浮点运算次数
 - 29、CPI：**执行一条指令所需的时钟周期
 - 30、DMA：**直接存储器存取

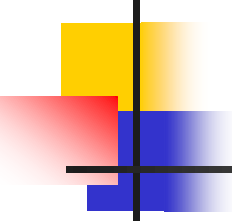


五、问答题

1、冯·诺依曼计算机的特点是什么？

答：

1. 计算机由运算器、存储器、控制器、输入设备、输出设备等五大部件组成
2. 指令和数据以同等地位存放于存储器内，并可按地址寻访
3. 指令和数据均用二进制表示
4. 指令有操作码和地址码组成，操作码表示操作的性质，地址码表示操作数在存储器中的位置
5. 指令在存储器内按顺序存放
6. 以运算器为中心，输入输出设备与存储器间的数据传送通过运算器完成



2、常见的集中式总线控制有几种？哪种方式响应时间最快？哪种方式对电路最敏感？

答：

- 1. 常见的集中式总线控制有三种，分别是：链式查询、计数器定时查询、独立请求。**
- 2. 独立请求方式响应时间最快。**
- 3. 链式查询方式对电路最敏感。**



3、DMA方式中的中断请求和程序中断方式的中断请求有何区别？

答：

1. **DMA**方式中的中断请求不是为了传送信息，而只是为了报告**CPU**一组数据传送结束，有待**CPU**做一些后处理工作，如测试传送过程中是否出错，决定是否继续使用**DMA**方式传送等。
2. 而程序中断方式中的中断请求时为了传送数据，**I/O**和主机交换信息完全靠**CPU**响应中断后，转至中断服务程序完成的。



4、RISC指令系统有哪些主要特点。

答：

1. 选用使用频度较高的简单指令
2. 指令长度固定，指令格式种类少，寻址方式种类少
3. 只有存数/取数指令访问存储器，其余指令的操作均在寄存器内完成
4. **CPU**中通用寄存器数量多
5. 采用流水线技术，大部分指令在一个时钟周期内完成
6. 控制器采用组合逻辑控制
7. 采用优化的编译程序



5、浮点计算机中如何判断原码、补码和反码的规格化形式？

答：

在浮点计算机中，机器数采用原码时，不论尾数的符号是**0**或**1**，只需第一数值位为**1**，即为规格化形式。

机器数采用补码或反码时，尾数的符号位与第一数值位不同即为规格化形式。



六、设计题

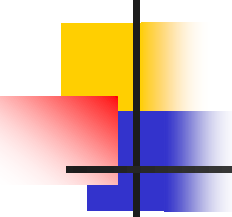
1(5分)、假设**CPU**执行某段程序时，共访问高速缓存（**Cache**）**3800**次，访问主存**200**次。已知**Cache**的存取周期为**50ns**，主存的存取周期为**250ns**。求**Cache-主存系统**的**命中率**、**效率**和**平均访问时间**。

解：

$$\text{命中率} = 3800 / (3800 + 200) = 95\%$$

$$\text{效率} = \text{访问Cache时间} / \text{平均访存时间} = 50\text{ns} / 60\text{ns} = 83.3\%$$

$$\text{平均访问时间} = 95\% \times 50\text{ns} + (1 - 95\%) \times 250\text{ns} = 60\text{ns}$$



2（10分）、设某计算机采用直接映射**Cache**，已知主存容量为**4MB**，**Cache**容量为**4096B**，字块长度为**8**个字，每个字**32**位。

（1）画出反映主存与**Cache**映射关系的**主存地址各字段分配框图**，并说明每个字段的名称及位数。

（2）设**Cache**初态为空，若**CPU**依次从主存第**0，1，. . .，99**号单元读出**100**个字（主存一次读出一个字），并重复按此次序读**10**次，问**命中率**是多少？

（3）如果**Cache**的存取时间是**50ns**，主存的存取时间是**500ns**，根据（2）求出的命中率，求**平均存取时间**。

（4）计算**Cache-主存系统**的**效率**。



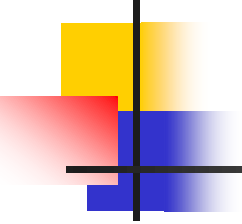
解:

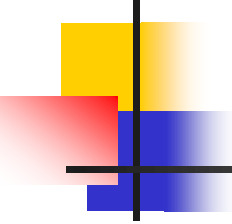
1. 根据字块长度为**8**个字、每个字**32**位，可确定主存字块内地址为**5**位（**3**位+**2**位）

根据**Cache**容量为**4096B**，确定**Cache**字块地址为**7**位（**12**位-**5**位）

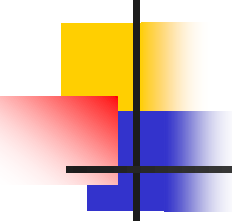
根据主存容量**4MB**，确定主存字块标记为**10**位（**22**位-**7**位-**5**位）

主存字块标记（ 10 位）	Cache 字块地址（ 7 位）	字块内地址（ 5 位）
----------------------	--------------------------------	--------------------

- 
-
2. 因为**Cache**初态为空，且块长为**8**，因此**CPU**每读**100**个字时，共有**13**次未命中（即读第**0**、**8**、**16**、...、**96**号单元时未命中），以后**9**次重复读这**100**个字时均命中，故命中率为
 $[(100 \times 10 - 13) / (100 \times 10) = 98.7\%]$
 3. 平均访问时间= **$98.7\% \times 50\text{ns} + (1 - 98.7\%) \times 500\text{ns} = 55.85\text{ns}$**
 4. **Cache-主存的效率 = $50\text{ns} / 55.85\text{ns} = 89.5\%$**



3(15分)、设**CPU**共用**16**根地址线，**8**根数据线，并用**/MREQ**作为访存控制信号（低电平有效），用**/WR**作为读/写控制信号（高电平为读，低电平为写）。现有**2KX8**位的**ROM**存储器、**8KX8**位的**RAM**存储器、**4KX4**位的**RAM**存储器若干片，**3-8**译码器（**74LS138**）、各种门电路芯片若干。要求存储芯片地址空间分配为：最大**4K**地址空间为系统程序区；相邻的**4K**地址空间为系统程序工作区；最小**16K**地址空间为用户程序区。请画出**CPU与存储芯片的连接图**。



解：

根据主存地址空间分配，最大**4K**地址空间为系统程序区，选用**2片2KX8**位的**ROM**存储器；相邻的**4K**地址空间为系统程序工作区，选用**2片4KX4**位的**RAM**存储器；最小**16K**地址空间为用户程序区，选用**2片8KX8**位的**RAM**存储器。



A15A14A13

111

111

111

111

A12A11

11

11

10

10

A10 ~ A0

000000000000

111111111111

000000000000

111111111111

2片2KX8位的ROM
F000H - F7FFH
F800H - FFFFH
4K

A15A14A13

111

111

A12

0

0

A11 ~ A0

111111111111

000000000000

2片4KX4位的RAM
E000H - EFFFH
4K

A15A14A13

000

000

001

001

A12 ~ A0

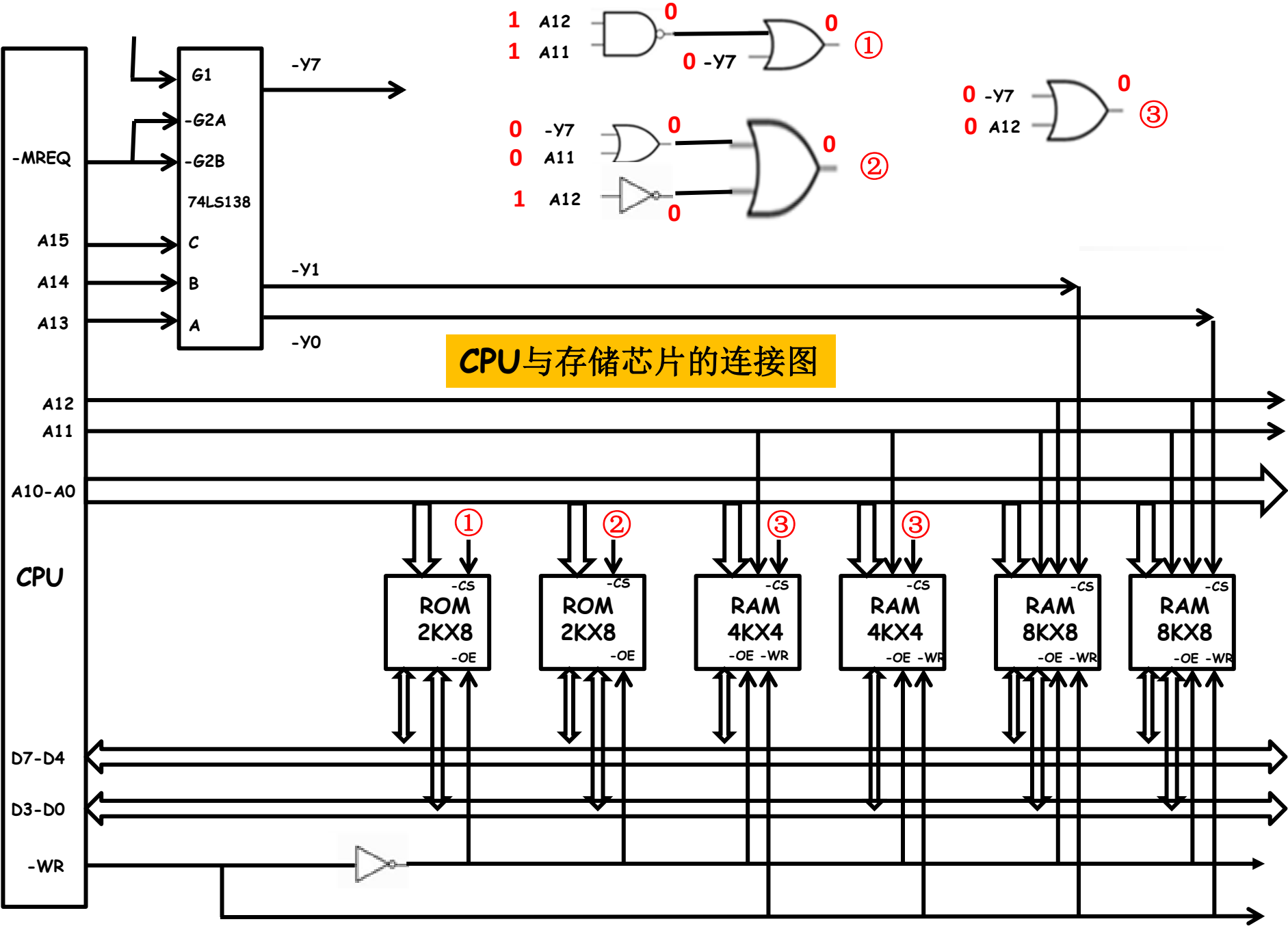
000000000000

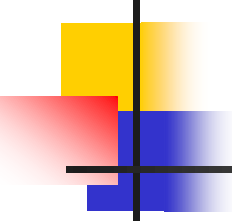
111111111111

000000000000

111111111111

2片8KX8位的RAM
0000H - 0FFFH
1000H - 1FFFH
2000H - 2FFFH
3000H - 3FFFH
16K



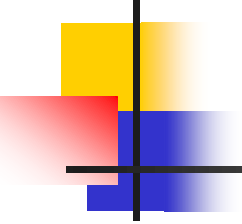


4（5分）、设**浮点数**字长为**32**位，其中阶码**8**位（含**1**位阶符），基值为**2**，尾数为**24**位（含**1**位数符），若阶码采用移码表示，尾数采用补码表示时，且尾数为规格化形式，分别写出它们所对应的最大正数、最小正数、最大负数、最小负数的机器数形式及十进制真值。


$$2^{+127}X(1-2^{-23})$$

2⁻¹²⁸X2⁻¹

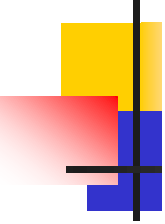
$$-2^{-128}X(2^{-1}+2^{-23})$$
$$2^{+127}X(-1)$$



5（10分）、已知 $x=2^{-101} \times (-0.101000)$,

$y=2^{-100} \times (+0.111011)$, 计算 $[x+y]_{\text{补}}$ 和 $[x-y]_{\text{补}}$ 。

解： (1) $[x+y]_{\text{补}}$


$$[x]_{\text{补}} = 11,011;11.011000$$

$$[y]_{\text{补}} = 11,100;00.111011$$

对阶：小阶向大阶看齐（**x**向**y**看齐，**x**的尾数右移**1**位、阶码加**1**）

$$[x]_{\text{补}} = 11,100;11.101100$$

求和： $[x]_{\text{补}} + [y]_{\text{补}} = 11,100;00.100111$

规格化：结果已经是规格化的数

验证：

$$x = -20/1024, y = 59/1024 \quad x+y = 39/1024$$

$$\begin{aligned} [x]_{\text{补}} + [y]_{\text{补}} &= 11,100;00.100111 = 2^{-100} * 0.100111 \\ &= 2^{-4} * (39/64) = 39/1024 \end{aligned}$$

(2) $[x-y]_{\text{补}}$

$$[x]_{\text{补}} = 11,011;11.011000$$

$$[y]_{\text{补}} = 11,100;00.111011$$

对阶：小阶向大阶看齐（**x**向**y**看齐，**x**的尾数右移**1**位、阶码加**1**）

$$[x]_{\text{补}} = 11,100;11.101100$$

求差： $[x]_{\text{补}} - [y]_{\text{补}} = [x]_{\text{补}} + [-y]_{\text{补}} =$
 $11,100;11.101100 + 11,100;11.000101 = 11,100;10.110001$

规格化：右规**1**位、阶码加**1**， $[x]_{\text{补}} - [y]_{\text{补}} = 11,101;11.0110001$

舍入处理：“**0**舍**1**入”法

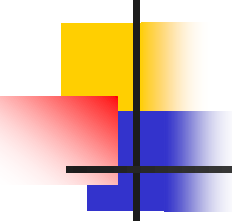
$$[x]_{\text{补}} - [y]_{\text{补}} = 11,101;11.011001$$

验证：

$$x = -20/1024, y = 59/1024 \quad x - y = -79/1024$$

$$\begin{aligned} [x]_{\text{补}} - [y]_{\text{补}} &= 11,101;11.0110001 = 2^{-011} * (-0.1001111) \\ &= 2^{-3} * (-79/128) = -79/1024 \end{aligned}$$

$$\begin{aligned} [x]_{\text{补}} - [y]_{\text{补}} &= 11,101;11.011001 = 2^{-011} * (-0.100111) = 2^{-3} * (-39/64) \\ &= -78/1024 \end{aligned}$$



6（10分）、设**CPU**内部结构如图所示，且**PC**有自动加**1**功能。此外，还有**B、C、D、E、H、L**六个寄存器（图中未画出），它们各自的输入端都与内部总线**Bus**相连，并分别受控制信号控制。要求写出完成下列指令组合逻辑控制单元所发出的微操作命令及节拍安排：

（1） SUB E,@H ;(E)-((H))->E

（2） STA @mem ;ACC->((mem))

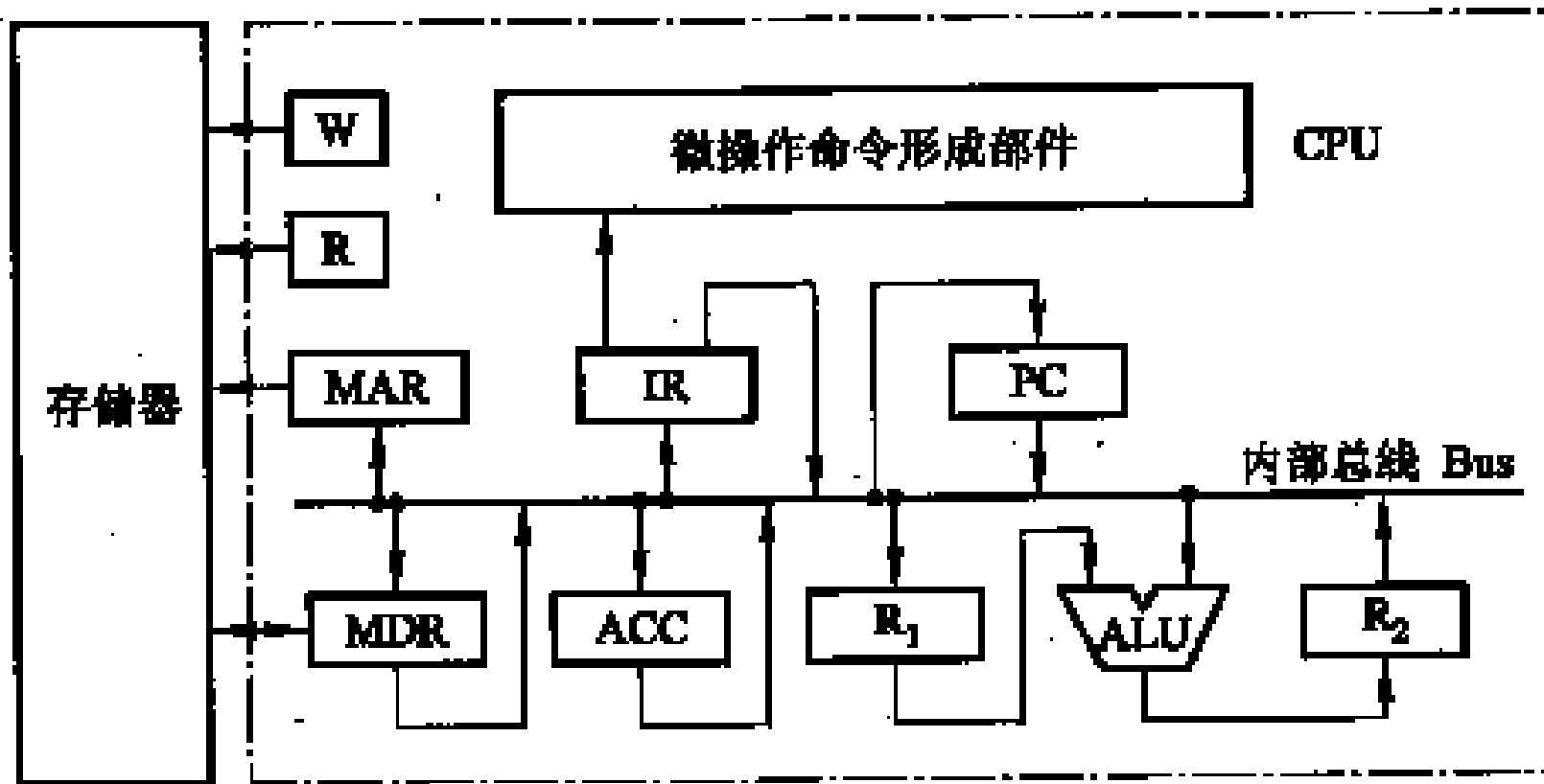


图 10.2 例 10.1 CPU 内部结构框图



解:

(1) 完成**SUB E,@H**指令所需的微操作命令和节拍如下:

取值周期:

T0: PC->Bus->MAR, 1-R

T1: M(MAR)-MDR, (PC)+1->PC

T2: MDR->Bus->IR, OP(IR)->微操作命令形成部件



间址周期:

T0: H->Bus->MAR, 1-R

T1: M(MAR)-MDR

执行周期:

T0: MDR->Bus->R1

T1: (E)-(R1) ->ALU->R2

T2: R2->Bus->E



(2) 完成**STA@men**指令所需的微操作命令和节拍如下：

取值周期：

T0: PC->Bus->MAR, 1-R

T1: M(MAR)-MDR, (PC)+1->PC

T2: MDR->Bus->IR, OP(IR)->微操作命令形成部件



间址周期:

T0: Ad(IR) -> Bus->MAR, 1-R

T1: M(MAR)-MDR

执行周期:

T0: MDR->Bus->MAR, 1->W

T1: ACC->Bus->MDR

T2: MDR->M(MAR)



考卷题型

- 一、选择题
- 二、填空题
- 三、判断题
- 四、名词解释
- 五、简答题
- 六、设计题



祝大家复习考试
成功！



The End

Thanks