8.2

1、答：

计算机所有功能的实现过程就是各种信息在计算机内各大功能部件之间进行交换的过程，因此，必须在部件之间构筑信息传输的公共通路，即总线。计算机系统通过总线将CPU、主存储器及输入输出设备连接起来，并在这个通路上传送地址信息、数据信息及控制信息。

2、答：在单总线结构的计算机中只有一条系统总线，因此构成计算机系统的各部件如CPU、 主存储器及输入输岀设备等，都只能连接在这一条也线上并构成一个完整的计算机系统。单总线结构具有如下优点：

总线结构简单，使用灵活。扩充容易。在总线上增加新的外设不涉及到总线的扩展和

已经连接到总线上其它设备的变化。

单总线结构的不足主要表现在：

（1）主存与外部设备采用统一编址，减少了主存的地址空间。

（2）高速设备和低速设备连接在同一组总线上，高速设备的高速特性得不到发挥。

（3）总线只能被分时使用。通信速度慢。

（4）任何两部件之间的信息传递都共享受一组总线，系统总线负载重，系统性能低。 双总线在单总线结构的基础上，通过在CPI'和主存储器之间增加一组高速的**存储总线**

（也称主存总线）而得到。这种类型的双也线结构具有如下特点：

（1）仍然保持了单总线系统扩展容易的优点。

（2）存总线的使用。大大降低了系统总线的负载。

在双总线的基础上，将主存从系统总线上分离出来。并将原来的系统总线分离成主存总线和I/O总线的三总线结构。

3、答：

（1）串行传送：特点是只需一条传输线，成本低。当远距离传输时，如几百米甚至几公里以上，采用这种方式比较经济。但是，串行传送速度慢。

（2）并行传送：优点是传送速度快。然而，这种方式要求线数多。成本高。因此。在距离不远时可以采用并行传输。

（3）并串行传送：将被传送信息分成若干组，组内采用并行传送，组间采用串行传送。它是对传送速度与传输线数进行折衷的一种传送方式。

（4）分时传送：一是采用总线复用。指的是在某个传输线上既传送地址信息，又传送数据信息。其目的是为了减少线数，为此必须划分时间片，以便在不同的时间间隔中完成传送

地址和传送数据的任务。二是指共享总线的部件分时使用总线。总线资源是系统的公共资源，挂在总线上的部件可以有很多，但在一个特定时间片内，总线通常只为一个源件和一个目的部件提供服务。所以多个部件要求使用总线时，只能由**总线控制器**按时间片分时提供服务。

4、答：（1）串行连接方式：链式査询方式，优点是结构简单、扩充容易。缺点主要表现在优先级固定，对单点故障敏感，当优先级高的部件频繁请求使用总线时，会使优先级较低的部件长期不能使用总线。釆用串行査询方式，响应速度慢，所以串行链接方式适合于小系统中使用。

（2）计数器定时査询方式：优点是优先级改变灵活，单点故障不再影响其他部件的正常工作，不足是系统扩展较复杂，计数地址线增加后涉及到与所有部件连接的改变，响应速度仍然较慢。

（3）独立请求方式：特点是响应时间快，不必逐个设备地查询。此外，独立请求方式对优先次序的控制相当灵活，既可釆用优先级固定法，也可通过程序改变优先次序，还可通过屏蔽（即禁止）某个请求，以禁止相应的部件使用总线。缺点是增加线数和控制器的复杂度。

5、答：由一个地址阶段和多个数据阶段组成。其中地址阶段发送的是连续数据单元的首地址，在数据阶段传送多个连续单元的数据，因此，突发传送模式也称为成组传送模式，在该传送模式中，每个总线周期仍传送一个字长的信息，但不释放总线，直到这批信息送完后，再释放总线。

优点：传输相同的数据量，采用突发传输方式，可减少地址的传输次数和总线的申请次数。

6、答：总线宽度。波特率，比特率，总线传输周期，总线带宽。

7、答：总线结构相对于交换结构简单，使用灵活。扩充容易。在总线上增加新的外设不涉及到总线的扩展和已经连接到总线上其它设备的变化。但可能受单点故障造成的影响较大。

8.3

（1）C

解析:握手应答信号为控制总线传输。指令、数据、中断类型号都可以当作数据在数据总线上传输。

（2）C

解析:突发传输是在一个总线周期中可以传输多个地址连续的数据，在一次地址阶段的数据可进行多次连续数据的传输;并行传输是在传输中有多个数据位同时在设备之间进行的传输;串行传输是指数据的二进制代码在一条物理信道上以位为单位，按时间顺序逐位传输的方式;同步传输是指传输过程由统一的时钟控制。

（3）B

解析:同步总线带宽=总线宽度\*总线时钟频率\*单时钟传输次数=4B\*10MHz\*0.5= 20MB/s

（4）C

解析:总线频率为100MHz，时钟周期T=10ns。总线位宽与存储字长都是32位，因此 每个时钟周期可传送一个32位存储字。突发传输可以连续传送地址连续的数据，因此总传送时间包括:传送地址1T，传送128位数据需要分128/32=4次传输，需要4T，共需5T=5\* 10ns=50ns。

（5） C

解析:总线带宽=总线宽度\*总线时钟频率\*单时钟传输次数=32/8\*66MHz\*2=528MB/s

（6）C

解析:在同步通信方式中，系统采用一个统一的时钟信号，而不由各设备提供，否则无法实现统一的时钟。

（7）A

解析:并行总线存在高频串扰问题，串行总线在高速传输下性能更优，目前主流的高速总线都是串行传输总线，A错误。总线复用是指一种信号线在不同的时间传输不同的信息，它可使用较少的线路传输更多的信息，从而节省空间和成本，B正确。突发传输是指 在一个总线周期中一次传输一个地址和一批地址连续的数据，可提升传输速率，C正确。分离事务通信可以在设备准备阶段为其他设备服务，可以提高总线的利用率，D正确。

（8） B

解析:总线带宽=总线宽度\*总线时钟频率\*单时钟传输次数，所以I和II会影响总线数据传输速率。采用突发传输可在一个总线周期内传输存储地址连续的多个数据字，因此能提高传输速率。采用地址/数据线复用只是减少了线的数量，节省了成本，并不能提高传输速率。

（9）B

解析:USB是一种连接外部设备的I/O总线标准，属于设备总线，是设备和设备控制器之间的接口。而PCI， AGP，PCI-E\*press是计算机系统的局部总线标准。

8.4

解:时钟周期T=1/100MHz=0.01us，数据传输速率=4B/0.01us=400MB/s。

采用以下3种方案可将总线的带宽提高一倍: (1)将总线数据位宽增加一倍; (2)将时钟频率增加一倍: (3)每个时钟周期传输两个数据位。

8.5

解:(1)字符传输速率为4800/10=480字符/秒。

(2)每个**数据位**的时间长度为1/(8\*480)=0.26ms。

(3)数据位的传输速率为8\*480=3840位/秒。

8.8

解:总线可寻址空间为2^16=64KB，数据传输速率=16/8/4\*8MHz=4MB/s。

8.9

解:读速率= 32/8/(1+3+8)\*50MHz= 16.7MB/s

写速率= 32/8/(1+2+8+2)\*50MHz=15.4MB/s。

8.10

解:设总线频率为f，周期为T。

（1）每个总线传输周期包括地址阶段（1T）和1个数据阶段（1T），一次总线传输需要2T，因此总线数据传输速率=32bit/2T=16fbit/s。

对于存储器，每个总线传输周期包括地址阶段（1T）和1个数据阶段（2T），一次总线传输需要3T，存储器数据传输速率=32bit/3T=10.67fbit/s。

（2）每个总线传输周期包括地址阶段(1T)和4个数据阶段(4T)，一次总线传输需要5T，因此总线数据传输速率=64bit\*4/5T=51.2fbit/s。

对于存储器，每个总线传输周期包括地址阶段(1T)和4个数据阶段(8T)，一次总线传输需要9T，存储器数据传输速率=64bit\*4/9T=28.4fbit/s。

6。2

1. B

可见寄存器是指该寄存器可以通过汇编指令进行访问。汇编程序员可以通过转移指令、子程序调用等指令来修改PC的值，所以PC是可见寄存器，通用寄存器，程序状态寄存器也是可见寄存器。而IR、MAR、MDR则不可被机器指令控制，是不可见寄存器。

1. B

源操作数采用了寄存器、寄存器简介寻址方式，因此在取数阶段需要用到通用寄存器组和存储器，在执行阶段两个源操作数相加需要用到算术逻辑单元。而指令译码器用于对操作码进行译码，产生指令译码信号，在取数及执行阶段用不到。

1. B

PC存放的是下一条指令字的主存地址，通常位宽与主存地址总线相同。主存4GB=2^32Byte，如果按字节编址，PC长度为32位，但题中指令按字边界（4Byte）对齐，所以PC可以按字编址，也就是只需要30位即可。注意在实际取指令时需要将PC中字地址左移两位变成字节地址才能访存。IR（指令寄存器）用于存放当前正在执行的指令，位宽和指令字长相同，这里指令字长为定长32位，所以IR应该是32位。

1. D

时钟脉冲信号的宽度称为时钟周期，时钟周期是CPU工作的最小时间单位，时钟周期的倒数为机器主频。时钟脉冲信号是由机器脉冲源发出的脉冲信号经整形和分频后形成的。时钟周期以相邻状态单元间组合逻辑电路的最大延迟为基准来确定。CPU从内存中取出并执行一条指令所需的全部时间称为指令周期，指令周期又由若干机器周期来表示，一个机器周期又包含若干时钟周期，故D错误。

1. A

单周期处理器CPI=1，时钟周期取决于执行速度最慢的指令，相对多周期处理器，其时钟频率较低。单周期处理器控制器为组合逻辑电路，控制信号在一个时钟周期保持不变。由于只能在一个时钟周期内完成取指执行过程，指令执行过程中数据通路的任何资源都不能被重复使用，所以是专用数据通路结构，而不能采用单总线结构数据通路。

1. B

主存在CPU外部，用于存储指令和数据，它由RAM（随机存取存储器）和ROM（只读存储器）构成。控制存储器在CPU内部，用来存放由微指令组成的微程序，按微指令地址进行访问，所以B是错的。在CPU运行时是只读存储器，现代CPU为了维护方便，采用了可改写控制存储器，方便对处理器升级打补丁。D不严谨。

1. D

微程序控制器采用了“存储技术”和“程序设计技术”，其是一种软件时序，可以使复杂的控制逻辑得到简化。一条机器指令会对应一段微程序的执行，而一段微程序包括多条微指令，需要反复访问控制存储器，所以微程序速度相对较慢。硬件布线控制器采用专门的逻辑电路实现，其速度主要取决于逻辑电路的延迟，因此速度快，但修改和扩展困难，灵活性差。

1. C

字段字节编码法中相容性微命令分在不同字段中，而互斥性微命令应分在同一字段，每个字段还要留出一个空状态，表示该字段不发出任何微命令。5个互斥类分别包含7、3、12、5和6个微命令，操作控制字段分别需要3、2、4、3、3位，共15位。

1. C

32条机器指令对应的微指令为32\*4=128条，而公共取指令微程序还包括两条微指令，控制存储器中微指令的条数共128+2=130条，所以下址字段至少需要8（2^8=256）位才能寻址到130条微命令。

1. C

不采用cache和指令预取技术，因此每次取指令都至少要访问内存一次（多字长指令可能需要多个存储周期）。指令周期至少包括取指周期和执行周期，所以指令周期一定大于或等于一个CPU时钟周期。空操作指令的执行会引起PC寄存器的修改。“开中断”模式下，CPU能接收到所有可屏蔽中断请求，所以每条指令执行结束都可能被外部中断打断。

6。3

1。答：CPU的五大基本功能如下：

（1）程序控制：控制程序中指令执行的顺序。

（2）操作控制：产生指令执行过程中需要的操作控制型号

（3）时序控制：指对每个操作控制型号进行定时。

（4）数据加工：对数据进行算数、逻辑运算。

（5）中断处理：及时响应内部异常和外部中断请求。

CPU主要由控制器和运算器两个部分构成。控制器的主要功能包括取指令、计算下一条指令的地址、对指令译码、产生相应的操作控制信号、控制指令执行所需的数据通路。运算器是执行部件，由算数逻辑单元和各种寄存器组成。

1. 答：CPU主要有以下寄存器：
2. 程序计数器PC：保存将要执行指令的字节地址。
3. 存储器地址寄存器AR：通常用来保存CPU访问主存的单元地址。
4. 存储器数据寄存器DR：用于存放从从主存中读出的数据或准备写入主存的数据。
5. 指令寄存器IR：用于保存当前正在执行的指令。
6. 通用寄存器组GR：运算器内部的若干寄存器，又称寄存器堆。
7. 程序状态字寄存器PSW：用于保存由运算指令创建的各种条件标志。

寄存器的设置与指令集及具体实现方式有较大关系，其中AR、DR、IR寄存器并不是必需的。另外运算器内部的通用寄存器组GR和程序状态字寄存器PSW属于用户可见存储器，在汇编编程时可以直接使用。

1. 答：取指周期就是从开始取指令到取指令完成所需要的时间。取指周期要完成两个方面的操作：首先是利用PC值作为地址访问主存中的指令，其次是形成后续指令地址。
2. 顺序寻址时，将PC内容加当前指令所占用的主存字节数。（2）跳跃寻址时，根据寻址方式、转移条件、转移目标地址等内容计算得到。
3. 答：指令执行过程中的所有操作必须遵守严格的顺序，对这些操作的开始时间、持续时间有严格的限制，因此在计算机系统中需要设置时序系统，对指令执行过程中的所有控制信号进行时间控制，以保证指令功能的正确实现。

通常将一条指令从取出到执行完成所需要的时间称为指令周期，该**指令周期包括取指 周期和执行周期**；机器周期是指从主存取出一条指令的最短时间(指令周期通常由若干机器周期组成，指令周期具体包含的机器周期数量随指令功能、寻址方式、数据通路的不同而不同；一个机器周期分成若干个时钟节拍，通常以CPU完成一次微操作所需要的时间来定义节拍电位的长度)；时钟周期是CPU工作的最小时间单位，也称节拍脉冲。

1. 答：传统三级时序采用状态周期、节拍电位和节拍脉冲来对操作控制信号进行定时控制。其中状态周期用电位来表示当前处于指令执行的哪个机器周期，节拍电位用电位表示当前处于机器周期的第几个节拍。采用三级时序的好处是可以简化控制器的设计。完成了时序发生器的设计后，所有控制信号都是状态周期电位、节拍电位、指令译码信号、状态反馈信号的组合逻辑。

现代时序系统的定时信号就是基本时钟，一个时钟周期就是一个节拍，指令需要多少时钟周期就分院多少个时钟周期。其采用有限状态机来描述指令的执行过程，将不同指执行的每个时钟周期均对应一个状态，每一个状态会对应特定的微操作控制信号。控制器的核心模块是有限状态机，由一个状态寄存器和有限状态机组合逻辑控制单元构成。有限状态机组合逻辑控制单元的输入包括现态(来自状态寄存器输出)、指令的译码信号和反馈信号，输出为次态，送入状态寄存器输人端，在时钟信号的作用下输入状态寄存器中，为下一时刻的现态；所有操作控制信号的输出只与现态有关。

1. 答：二者的差异主要是指令周期长度、数据通路的区别。单周期处理器中所有指令在一个时钟周期内完成，如指令的取出和执行操作，指令执行过程中数据通路的任何资源都不能被重复使用，都应该是专用数据通路，而需要被多次使用的资源都需要设置多个，为避免访存冲突，指令存储器和数据存储器要单独设置。

多周期处理器指令周期包括多个时钟周期，一条指令的执行过程细分为若干个更小的步骤，每个时钟周期执行其中一部分操作，并将操作结果暂存在相关寄存器中供下一个时钟周期进行处理，直至指令执行完毕。多周期数据通路中的功能部件可在一条指令执行过程的不同时钟周期中被多次使用，这种共享复用方式能提高硬件实现效率，所以多周期指令存储器和数据存储器不需要分开设置。

1. 答：硬布线控制器又称组合逻辑控制器，控制器由各种类型的逻辑门电路和触发器等构成。与微程序控制器相比，组合逻辑控制器具有结构复杂但速度快的特点，但其指令功能修改和扩展较为困难。

微程序控制器的设计采用了存储技术和程序设计技术，使复杂的控制逻辑得到简化。计算机通过读出存放在微程序控制器中微指令产生指令执行过程中所需要的控制信号，与硬布线控制器相比，微程序控制器的速度较慢。

1. 答：微程序是多条微指令的集合，用于实现指令的功能，属于机器指令级别，对用户透明，存放在CPU内的控制存储器中；程序则是为了完成某一应用功能所编写的指令(包括机器语言指令或高级语言指令)集合，运行时存放在计算机的主存中。

指令是指挥计算机执行某种功能的命令，是构成程序的基本单位，由操作码和地址字段构成；而微指令则用于微程序控制器中**产生指令执行过程中所需要的微命令**，是构成微程序的基本单位，由操作控制字段、判别测试字段和下地址字段等组成。

1. 答： 微命令编码方法有直接表示法、编码表示法及混合表示法3种。

（1）直接表示法将**微指令**操作控制字段的每个二进制位定义为一条微命令，一条微指令从 控制存储器中取出时，它所包含的微命令可直接用于控制数据通路中的执行部件。这种方法的优点是简单、微操作的并行能力强、操作速度快；缺点是微指令过长。

（2）编码表示法又称字段译码法，其将微指令格式中的互斥性微命令分成若干组，一个组对应一个字段，各组的微命令信号均是互斥的，各字段通过译码器生成微命令信号，经时间同步后再去控制相应数据通路中的部件。编码表示法的优点是能有效缩短微指令的字长。缺点是译码器略微降低了微指令的执行速度。

（3）混合表示法将直接表示法与编码表示法混合使用，以便在微指令字长、并行性及执行速度和灵活性等方面进行折中，发挥它们的共同优点。

1. 答：（1）微程序控制器设计方法如下。

①分析指令执行的数据通路，列出每条指令在所有寻址方式下的执行操作流程和每一步需要的控制信号。

②对指令的操作流程进行细化，将每条指令的每个微操作分配到具体机器周期的各个时间节拍信号上。

③以时钟周期为单位，构建指令执行状态图。

④设计微指令格式、微命令编码方法。

⑤ 根据指令执行状态图编制每条指令的微程序，按照状态机组织微程序开存放到控制存储器中。

⑥ 根据微程序组织方式构建微程序控制器中的地址转移逻辑、微地址寄存器、控制存储器之间的通路，实现微程序控制器。

（2）(三级时序)硬布线控制器设计方法如下。

①分析指令执行的数据通路，列出每条指令在所有寻址方式下的执行操作流程和每一步需要的控制信号。

②对指令的操作流程进行细化，将每条指令的每个微操作分配到具体机器周期的具体 时间节拍信号上，即对操作控制信号进行同步控制。

③根据控制信号同步控制方式构造合适的时序发生器。

④对每一个控制信号进行逻辑综合，得到每个控制信号的逻辑表达式。

⑤采用逻辑门、PLA或ROM实现逻辑表达式的功能。

1. 答：（1）内部异常是指CPU内部引起的异常事件，也称为内部中断或软件中断，它可进一步分为故障、自陷和终止3种。异常与指令或硬件有关，产生异常的指令可能需要重新执行，所以异常的断点是当前指令，而不是下一条指令。（2）外部中断是指由外部设备向CPU发出的中断请求(如鼠标单击、按键动作等)，要求CPU 暂停当前正在执行的程序，转去执行为某个外部设备事件服务的中断服务程序，处理完后再返回断点(下一条指令)继续执行。注意外部设备中断的时机是一条指令结束后，指令结束时需要查询是否有外部中断请求。外部中断来自CPU外部，与具体指令无关，是随机事件。
2. 答：异常与中断的处理方式基本一致，区别主要是断点的不同。以外部中断为例，其主要处理流程如下。CPU接收到中断请求，在指令执行结束时CPU要进入中断响应周期进行响应处理。中断响应周期的主要任务是关中断、保存断点和中断识别，中断响应周期内的操作都是由硬件实现的，整个响应周期是不可被打断的，通常这部分的功能称为中断隐指令。中断响应周期结束后CPU就开始从当前PC中取出中断服务程序的第一条指令执行中 断服务程序，直至中断返回;中断服务程序主要包括4个步骤:保护现场、中断服务、恢 复现场和中断返回。

整个中断处理过程是由较、硬件协同实现的，其中中断响应是由硬件实现，中断服务是由软件实现。

1. 答：硬件方而需要能够接收并缓存中断请求，可能需要中断请求寄存器缓存不同的中断请求信号，还需要中断优先编码器进行中断优先级的仲裁以及中断识别，CPU内部还需要设置中断使能寄存器IE用于开/关中断，外部中断请求会和IE逻辑与后送CPU，关中断 CPU无法接收外部中断请求。中断响应阶段需要保存断点、硬件关中断和中断识别。

软件方面需要增加开关中断相关、中断返回指令，另外需要设置保存现场的堆栈，对MIPS结构需要增加EPC寄存器，程序中需要设置好堆栈指针sp。

6。4

答：

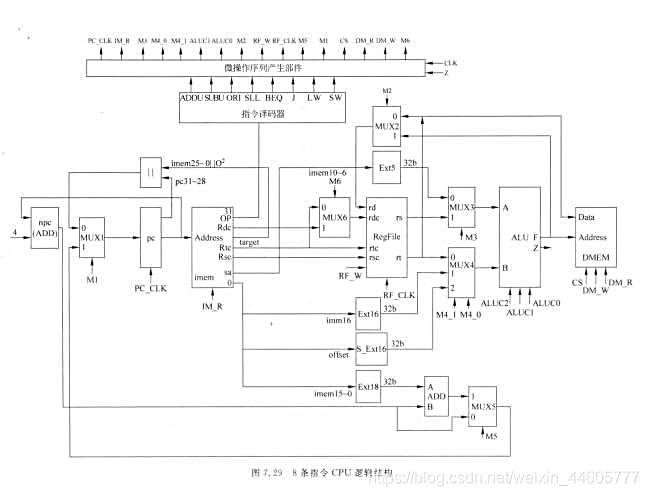
（1）a: DR；b: IR；c: AR；d: PC

（2） 取指阶段数据通路: PC→AR→主存M→DR→IR；PC→PC+1。

执行阶段数据通路: IR(A)→AR→主存M→DR→AC。

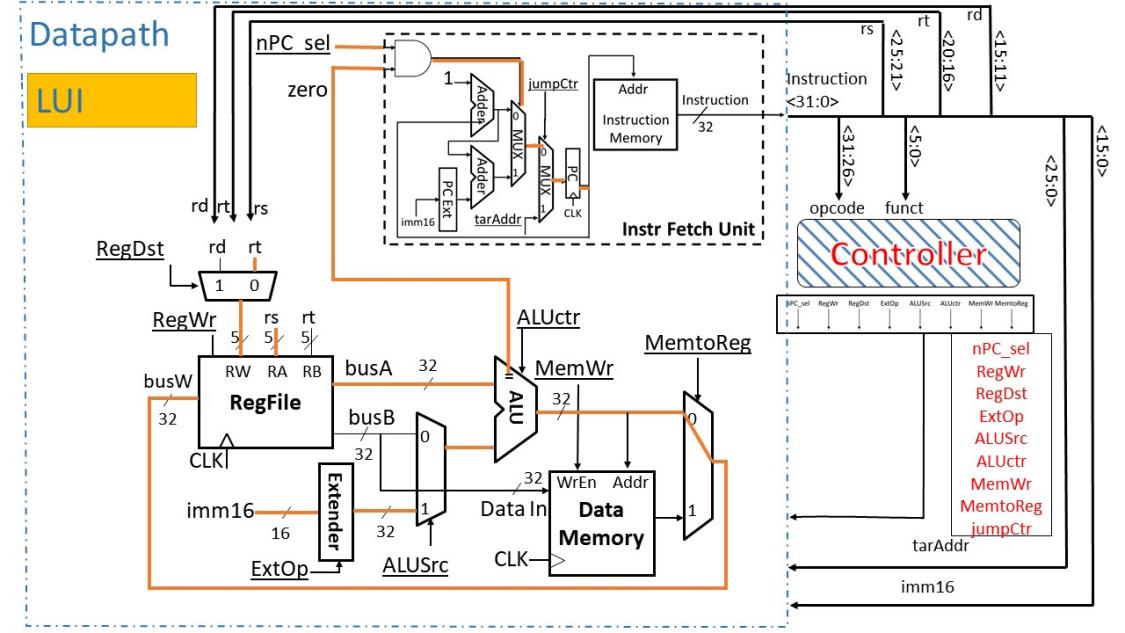
6。5

1. 答：sll（shift left logical）即左移指令，



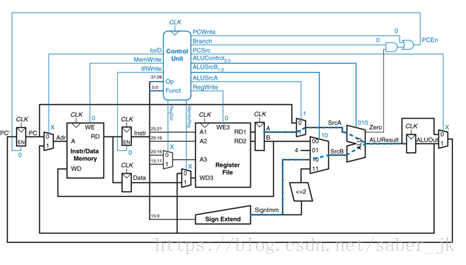
6。7

1. 答：lui指令。 指令用法为：lui rt，immediate。 LUI指令直接就是将立即数付给RT寄存器。



6。9

（3）答：bgtz:大于0转移



6。11

答：R 型运算指令中计算的结果需要先缓存在 C 寄存器中，再送寄存器堆写回，可以直接

将 ALU 运算结果送寄存器写回数据端，这样可以减少一个时钟。修改后lw、sw、beq、R型运算、I型运算指令的CPI分别为5、4、3、4、4，因此CPI=5\*0。1+4\*0。1+3\*0。1+3\*0。5+4\*0。2=3。5，Tcpu=1000\*10^8\*3。5\*200\*10^-12=70s。

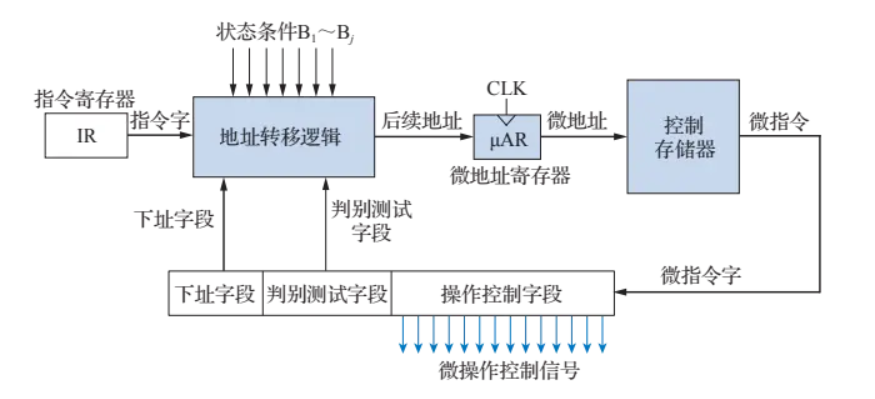
6。12

答：Tmin=Tclk\_to\_q+Tmu\*+ma\*(Talu+Tmu\*，Tmem)+Tsetup=20+20+ma\*(90+20，150)+10=200ps。存储器是瓶颈，减少存储器延迟可以提升性能，但当存储器延迟为 110ps 时，性能优化到达极限，此时成本最低。

6。20

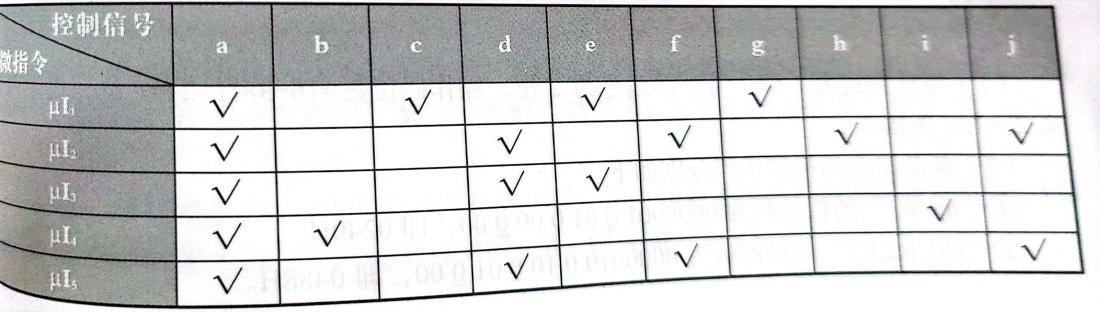
答：（1）控制器存储器容量为128\*32=2^7\*32位，因此下址字段为 7 位，判别测试条件3位，所以操作控制字段=32-7=22位。

（2）

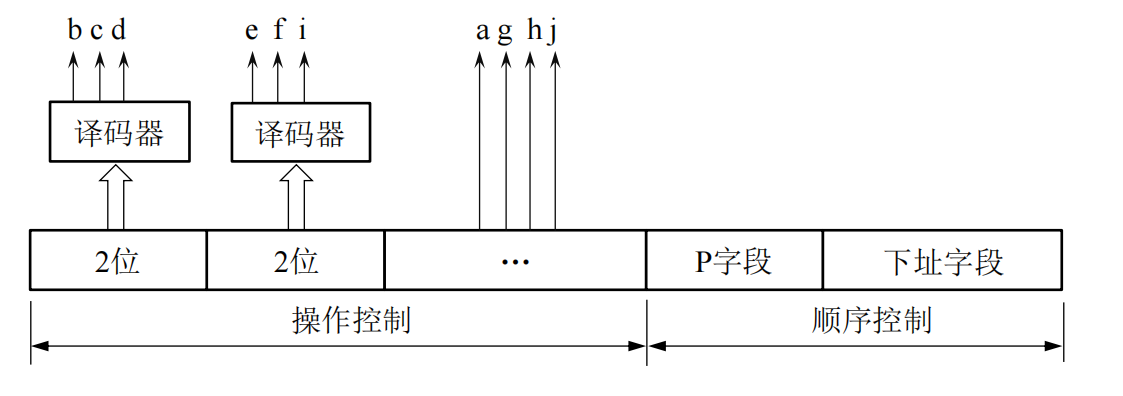


6。21

答：



可以发现两个互斥组（b，c，d），（e，f，i），可以将这两个互斥组采用码，其余的 a，g，h，j 等四个微命令采用直接表示法，具体如下图所示。



6。23

答：

