

计算机组成原理 实验简介

2021春季

zjx@ustc.edu.cn

实验简介

- 实验目标：设计实现一个真实（非虚拟或仿真，虽简单但较为完整）的计算机硬件系统
- 实验工具：Vivado 2016.2，Verilog HDL，Nexys4-DDR开发板或在线实验平台
- 时间地点：周二或周四晚 6:30~9:30，电三楼406
- 课程资源
 - VLAB实验中心：vlab.ustc.edu.cn
 - QQ群：2021组成原理实验，1039193953

实验内容安排

实验一	运算器及其应用	(1周)
实验二	寄存器堆与存储器及其应用	(1周)
实验三	汇编应用程序设计	(1周)
实验四	多周期CPU设计	(2周)
实验五	流水线CPU设计	(3周)
实验六	综合设计	(2周)

实验成绩评定

- 实验总成绩是各次实验成绩的加权求和，每次实验成绩包括检查成绩 (80%) 和报告成绩 (20%)
- 按时完成实验检查和实验报告提交
 - 延迟 ≤ 1 周，则最多只能得分80%；若延迟 ≤ 2 周，则最多只能得分60%。延迟超过2周不得分
 - 严禁实验代码和实验报告抄袭，否则作零分处理
- 按时且超额完成实验的，视超额部分的创意、检查和报告情况，奖励不超过10分（需教师审定）

实验检查

- 实验检查内容
 - 实验仿真结果
 - 实验下载后运行结果
 - 回答问题（例如设计思路、解释代码）
 -
- 实验检查截止时间
 - 规定时长后的周四晚上9：30

严禁抄袭，否则作零分处理！

实验报告

- 实验报告

- 内容包括但不限于逻辑设计（数据通路和状态图）、核心代码、仿真/下载结果、结果分析、实验总结、意见/建议等，设计和测试文件附实验报告后
- Word格式，文件名：Labn_学号_姓名_vi，其中n为第几次实验，vi表示版本号，例如，Lab1_PBxxxxxxxx_张三_v1

- 提交实验报告截止日期

- 对应实验检查截止时间延后一周的周四晚上12:00

严禁抄袭，否则作零分处理！

截止时间一览表

实验项目	开始时间	截止时间			
		检查100%	检查80% 报告100%	检查60% 报告80%	报告60%
1. 运算器及其应用	3月30日	4月8日	4月15日	4月22日	4月29日
2. 寄存器堆与存储器及其应用	4月6日	4月15日	4月22日	4月29日	5月6日
3. 汇编应用程序设计	4月13日	4月22日	4月29日	5月6日	5月13日
4. 多周期CPU设计	4月20日	5月6日	5月13日	5月20日	5月27日
5. 流水线CPU设计	5月4日	5月27日	6月3日	6月10日	6月17日
6. 综合设计	5月25日	6月10日	6月17日	6月24日	7月1日

The End