

实验六 综合设计

实验目标

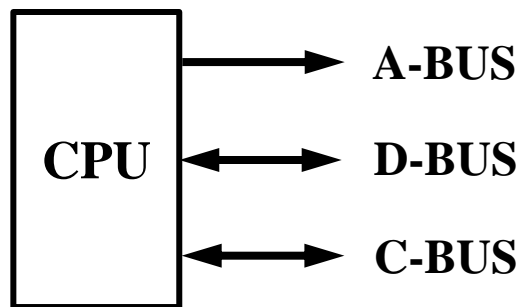
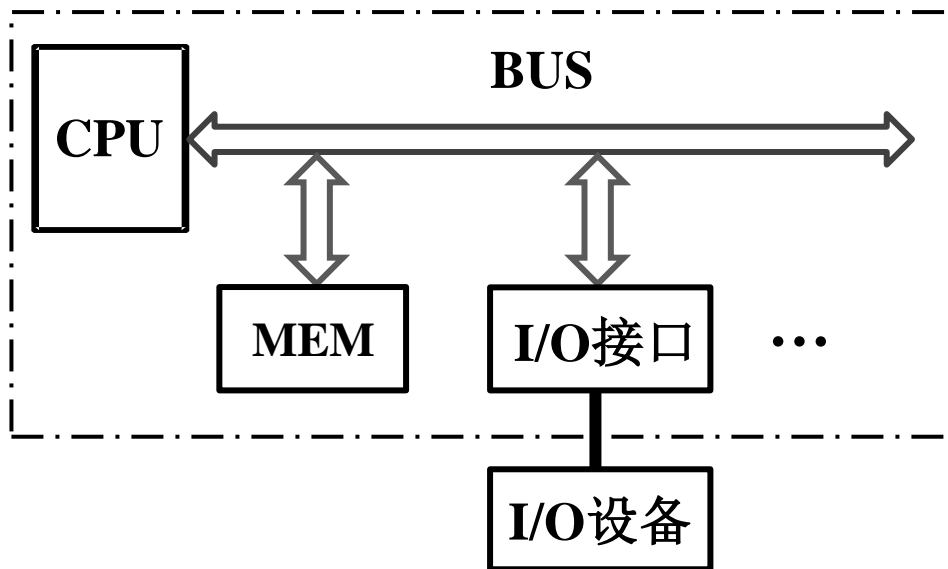
- 理解计算机系统的组成结构和工作原理
- 理解计算机总线和接口的结构和功能
- 掌握软硬件综合系统的设计和调试方法

实验内容

- 完成一个简单计算机硬件系统及其应用程序的设计
 - CPU：采用Lab4-5设计的，或者经过改进设计的（例如，增加指令、中断处理、转移预测等）
 - 存储器：指令/数据存储器均采用例化存储器
 - 外设：拨动/按钮开关、指示灯、数码管、串口通信、定时/计数器、键盘、鼠标、VGA显示等
 - 应用程序：求最大/小值、排序、流水灯、串口通信、画图、文本编辑等
- 侧重点可以在CPU的改进，也可以在外设和应用程序
 - 若改进CPU，需要设计相应的测试程序

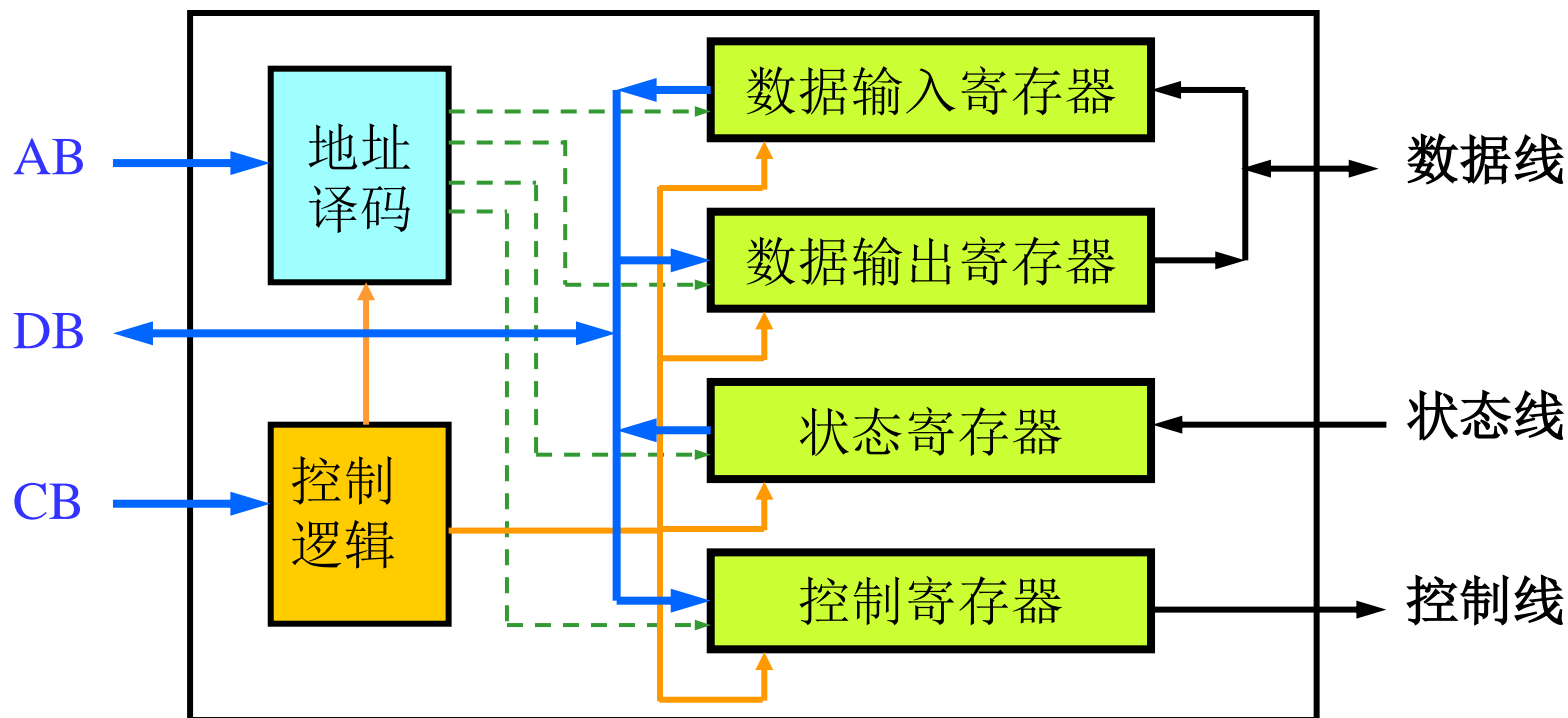
计算机硬件系统

- 单周期/多周期/流水线 CPU
- ROM和RAM
- 总线 BUS
 - 地址总线 A-BUS
 - 数据总线 D-BUS
 - 控制总线 C-BUS
- I/O接口
 - 并行开关和LED
 - 异步串行通信
 - 定时/计数器
 - VGA显示器
 -

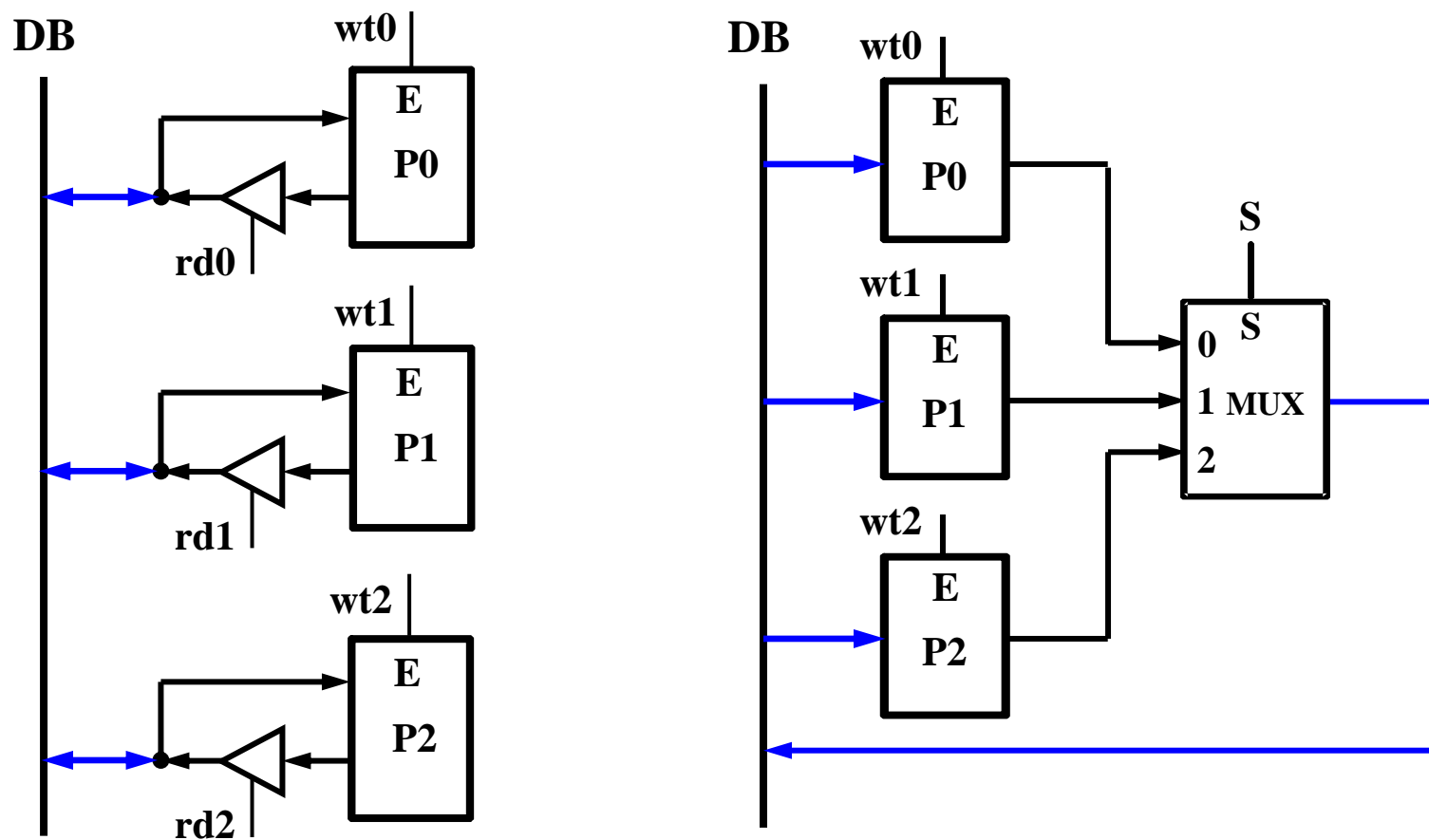


I/O接口

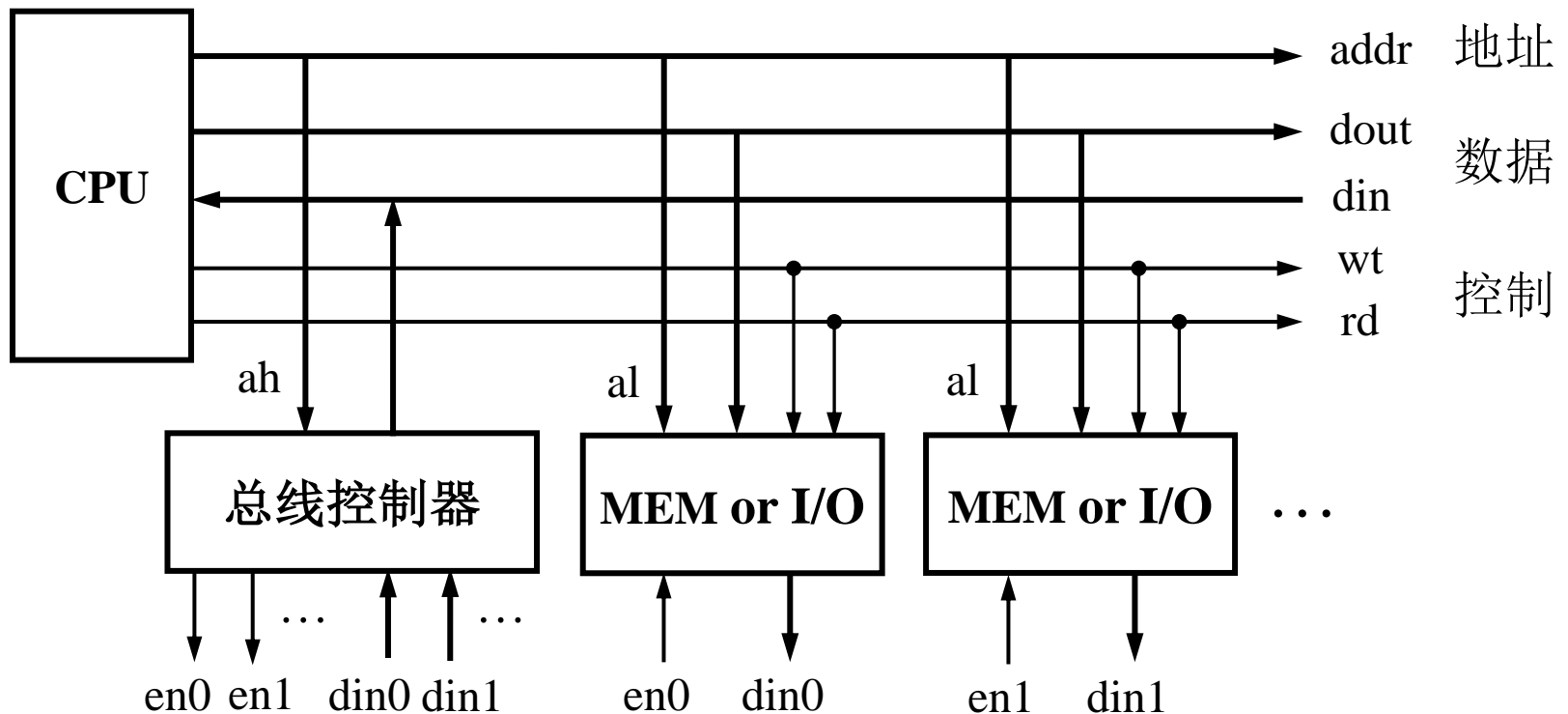
- I/O端口种类：数据输入/输出端口、控制/状态端口
- I/O端口编址方式：统一编址（存储器映像）、独立编址



双向数据总线



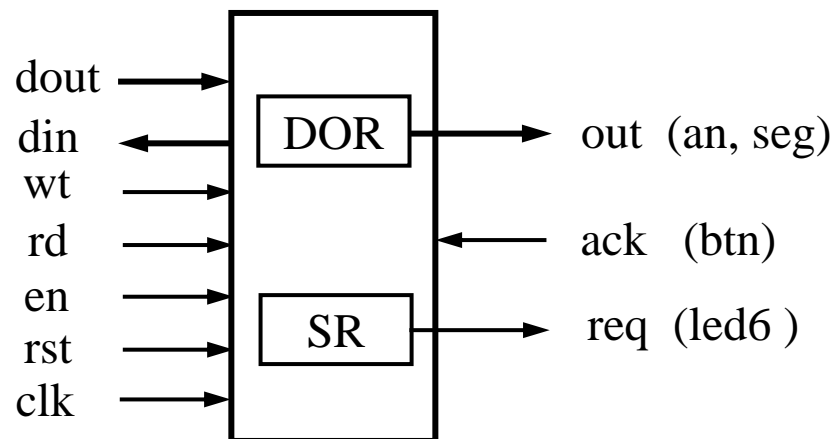
总线的一种简单实现



示例：排序和并行输出应用

- 待排序数据：静态数据（第1个数为数据个数，随后为待排序数据），例化时存入数据存储器
- 排序结束数据输出：数码管显示，每输出一个数据后，需要等待用户确认后，再输出下一个数据
 - DOR：数据输出寄存器，存放输出的数据
 - CR：状态寄存器，指示DOR数据有效

- 当en和wt有效时，将dout存入DOR，同时将CR置1
- 只有在CR=0时，才可更新DOR
- ack有效时将CR清零



实验步骤

- 根据自由选择的实验内容确定
 - 设计改进的CPU
 - 设计总线控制器和I/O接口
 - 设计应用汇编程序
 - 将完整系统下载至FPGA中测试

实验检查

- 检查完整系统下载至FPGA后的运行功能

The End