

情報科学実験 1

3.カウンタの設計

実験グループ: A 班

報告者: J2200071 齊藤 隆斗

共同実験者: J2200038 小淵 萌, J2200104 知久拓生, J2200158 矢島 琴恵

実験実施日: 2024 年 6 月 20 日

レポート提出日: 2024 年 6 月 日

提出期限: 2024 年 6 月 27 日

1. 実験の目的

基本的な同期式順序回路であるカウンタを実際に構成し,その原理を理解する.

2. 原理

2.1. カウンタ

2.1.1. カウンタ

カウンタとは、クロック CLK を入力として持ち、クロックを決められた順序でカウントする同期式順序回路である. カウンタの動作は、状態遷移表を使って書ける. 現在時刻 t での出力を Q_2, Q_1, Q_0 , 時刻 $t+1$ での出力を Q_2^+, Q_1^+, Q_0^+ とする. このとき、8進カウンタの状態遷移表は表1のようになる. ここで、時刻 $t+1$ とは、時刻 t の後にクロックパルスが1回入力されたときの時刻のことである.

表 1: 8進カウンタの状態遷移表

Q_2	Q_1	Q_0	Q_2^+	Q_1^+	Q_0^+
0	0	0	0	0	1
0	0	1	0	1	0
0	1	0	0	1	1
0	1	1	1	0	0
1	0	0	1	0	1
1	0	1	1	1	0
1	1	0	1	1	1
1	1	1	0	0	0

2.1.2. イネーブル付きカウンタ

イネーブル付きカウンタとは、クロックパルス以外に入力 EN を持つ. $EN = 1$ の時に入力されたクロックパルスのみをカウントするカウンタである.

2.1.3. アップダウンカウンタ

アップダウンカウンタの入力はクロックパルス CLK と 1bit の信号 UP の2つである. $UP = 1$ の時、CLK が入力されるたびに出力が増加する. 逆に、 $UP = 0$ の時、CLK が入力されるたびに出力が減少する.

3. 実験方法

ロジックトレーナを用いてそれぞれのカウンタの回路を設計し、カウンタの挙動をタイミングチャート及び状態遷移表によって確認した.

4. 実験結果

5. 検討課題

6. 考察

7. 参考文献

[1]情報科学実験 I テキスト 2024 年