

情報科学実験 1

3.カウンタの設計

実験グループ: A 班

報告者: J2200071 齊藤 隆斗

共同実験者: J2200038 小淵 萌, J2200104 知久拓生, J2200158 矢島 琴恵

実験実施日: 2024 年 6 月 20 日

レポート提出日: 2024 年 6 月 27 日

提出期限: 2024 年 6 月 27 日

1. 実験の目的

基本的な同期式順序回路であるカウンタを実際に構成し,その原理を理解する.

2. 原理

2.1. カウンタ

2.1.1. カウンタ

カウンタとは、クロック CLK を入力として持ち、クロックを決められた順序でカウントする同期式順序回路である. カウンタの動作は、状態遷移表を使って書ける. 現在時刻 t での出力を Q_2, Q_1, Q_0 , 時刻 $t+1$ での出力を Q_2^+, Q_1^+, Q_0^+ とする. このとき、8進カウンタの状態遷移表は表1のようになる. ここで、時刻 $t+1$ とは、時刻 t の後にクロックパルスが1回入力されたときの時刻のことである.

表 1: 8進カウンタの状態遷移表

Q_2	Q_1	Q_0	Q_2^+	Q_1^+	Q_0^+
0	0	0	0	0	1
0	0	1	0	1	0
0	1	0	0	1	1
0	1	1	1	0	0
1	0	0	1	0	1
1	0	1	1	1	0
1	1	0	1	1	1
1	1	1	0	0	0

2.1.2. イネーブル付きカウンタ

イネーブル付きカウンタとは、クロックパルス以外に入力 EN を持つ. $EN = 1$ の時に入力されたクロックパルスのみをカウントするカウンタである.

2.1.3. アップダウンカウンタ

アップダウンカウンタの入力はクロックパルス CLK と 1bit の信号 UP の2つである. $UP = 1$ の時、CLK が入力されるたびに出力が増加する. 逆に、 $UP = 0$ の時、CLK が入力されるたびに出力が減少する.

3. 実験方法

ロジックトレーナを用いてそれぞれのカウンタの回路を設計し、カウンタの挙動をタイミングチャート及び状態遷移表によって確認した.

4. 実験結果

4.1. 8 進カウンタの実装と確認

イネーブル付き 8 進カウンタの回路図と,作成したタイミングチャートを示すこと. タイミングチャートは

- クロックパルスに同期して,すべてのフリップフロップが正しく動作しているか?
- 0 から 7 まで正しくカウントしているか?
- EN が 1 のときのみカウントするようになっているか?
- 7 の次は 0 に戻るようにカウントしているか?

といった,カウンタとしての動作を正しく行っていることを確認できるチャートを作ること.

8 進カウンタの回路図は図 1 のようになった. また,この回路から得たタイミングチャートは図 2 のようになった.

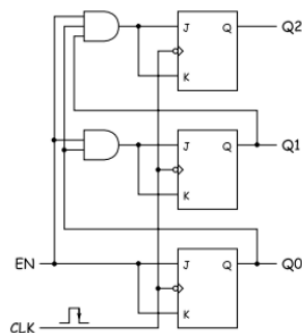


図 1: イネーブル付き 8 進カウンタの実装

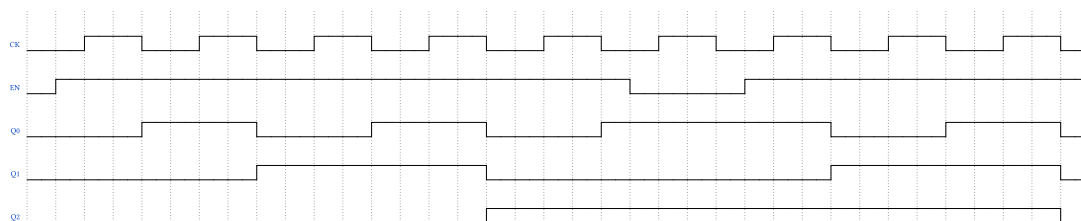


図 2: イネーブル付き 8 進カウンタのタイミングチャート

クロックパルスに同期してすべてのフリップフロップが正しく動作していること、0 から 7 まで正しくカウントされていること、EN が 1 のときのみカウントされ、EN が 0 のときはカウントされないこと、7 の次は 0 へ戻るようにカウントしていることをそれぞれ確認した.

4.2. 5 進カウンタの設計と実装

作成した手順を詳しく説明し,回路図と作成したタイミングチャートを示すこと.8 進カウンタのときと同じく,正しく動作することが確認できるチャートを作ること.

テキストのカルノー図から、 D_2 , D_1 , D_0 に対する論理式を求めると、次のようになった.

$$D_2 = \overline{EN}Q_2 + EN Q_1 Q_0$$

$$D_1 = \overline{EN}Q_1 + Q_1 \overline{Q_0} + EN \overline{Q_1} Q_0$$

$$D_0 = \overline{EN}Q_0 + EN \overline{Q_2} \cdot \overline{Q_0}$$

これらの論理式から回路を設計した.(図3)ここで、回路図について、JK フリップフロップについて $J = \overline{K} = D$ とするかわりに D フリップフロップを用いていることに注意する. また、タイミングチャートは図4のようになった. EN が 1 の時にクロックパルスが打たれた時に限り、カウンタの値が 1 だけ増加していて、100 の次の値も 000 になることが確認できた.

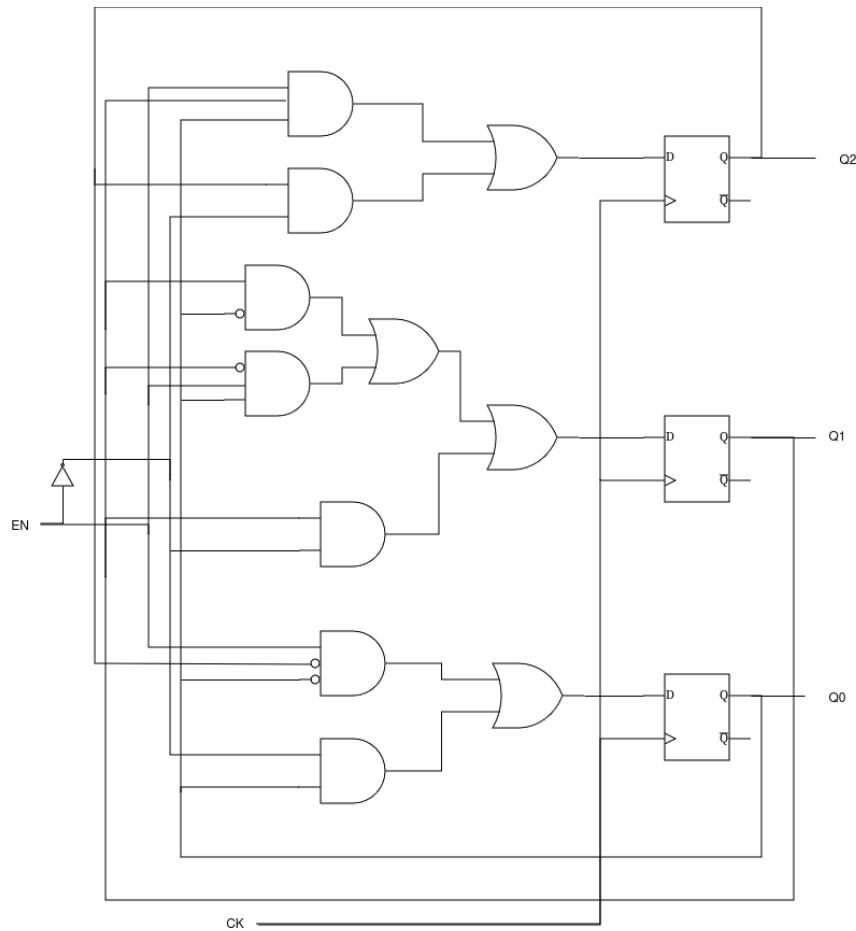


図 3: 5 進カウンタの回路図

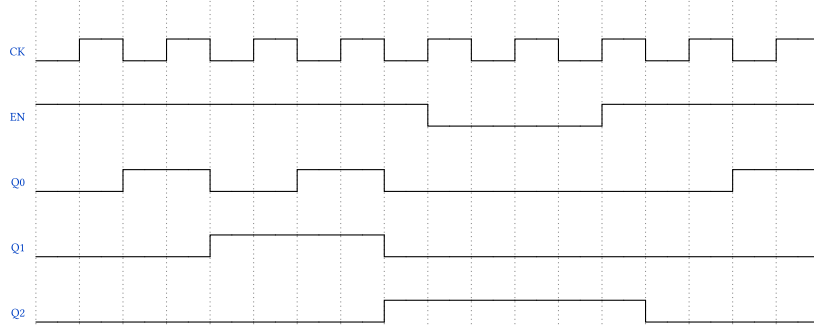


図 4: 5 進カウンタのタイミングチャート

4.3. 8 進アップダウンカウンタの設計と実装

作成した手順を詳しく説明し,回路図と作成したタイミングチャートを示すこと. 8 進カウンタのときと同じく,正しく動作することが確認できるチャートを作ること.

テキストの 8 進アップダウンカウンタの状態遷移表から JK フリップフロップの入力要求表は以下のようになる.

Q	Q ⁺	J	K
0	0	0	-
0	1	1	-
1	0	-	1
1	1	-	0

図 5: JK フリップフロップの入力要求表

8 進アップダウンカウンタの拡大入力要求表は図 6 のようになる.

現状態 $Q_2 Q_1 Q_0$	次状態 $Q_2^+ Q_1^+ Q_0^+$		$J_2 K_2$		$J_1 K_1$		$J_0 K_0$	
	UP=0	UP=1	UP=0	UP=1	UP=0	UP=1	UP=0	UP=1
000	111	001	1-	0-	1-	0-	1-	1-
001	000	010	0-	0-	0-	1-	-1	-1
010	001	011	0-	0-	-1	-0	1-	1-
011	010	100	0-	1-	-0	-1	-1	-1
100	011	101	-1	-0	1-	0-	1-	1-
101	100	110	-0	-0	0-	1-	-1	-1
110	101	111	-0	-0	-1	-0	1-	1-
111	110	000	-0	-1	-0	-1	-1	-1

図 6: 8 進アップダウンカウンタの拡大入力要求表

この表からカルノー図を用いて $J_0, K_0, J_1, K_1, J_2, K_2$ に対する論理式を求めた.

$$J_0 = K_0 = 1$$

$$J_1 = K_1 = \overline{\text{UP}} \cdot \overline{Q_0} + \text{UP} \cdot Q_0$$

$$J_2 = K_2 = \overline{\text{UP}} \cdot \overline{Q_1} \cdot \overline{Q_0} + \text{UP} \cdot Q_1 \cdot Q_0$$

導出した論理式から回路図を設計した.8進カウンタの回路図は図7のようになった.また、この回路から得たタイミングチャートは図8のようになった.UPが1のときはカウンタが1ずつ増えていき、UPが0のときはカウンタが1ずつ減っていくという動きが確認できた.

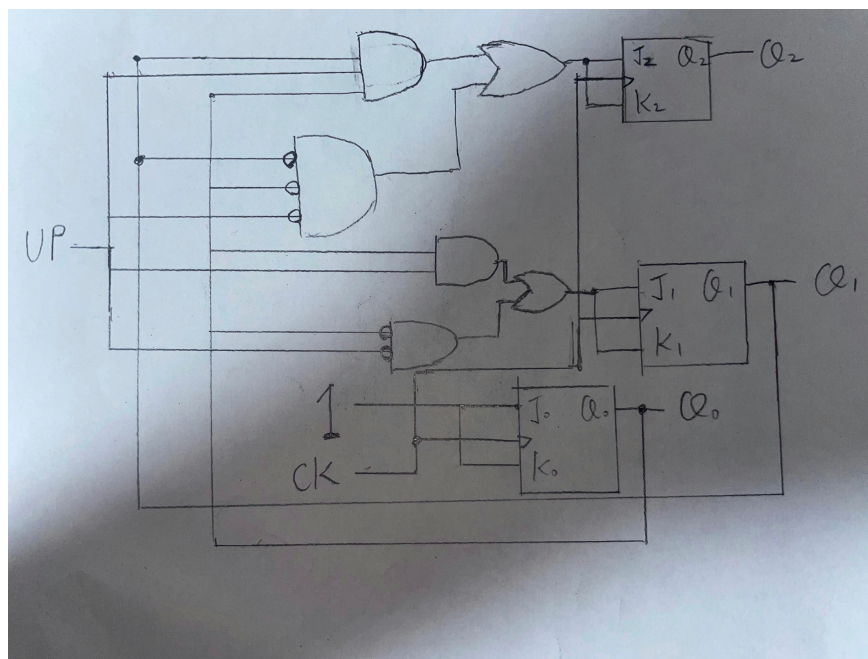


図7: 8進アップダウンカウンタの回路図

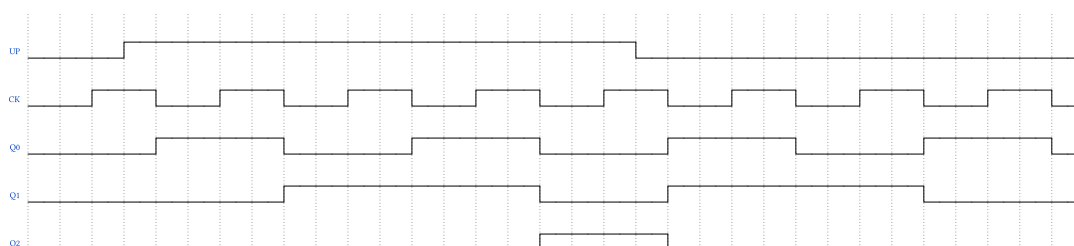


図8: 8進アップダウンカウンタのタイミングチャート

5. 考察

5.1. 課題(1)

実験で5進カウンタを作成した.この5進カウンタでは,出力として101,110,111は現れない.もし,Dフリップフロップの状態がこれらの値になったとしたら,自分たちが作成した回路では,その後どのように出力が変化するかを調べよ.(実際の回路では,電源投入直後などにフリップフロップの値が不定となるため,このような回路設計で想定しない状態になることがありうる.)

- 作成した論理式から、 $EN = 0$ のときは $101 \rightarrow 101$, $110 \rightarrow 110$, $111 \rightarrow 111$ $EN = 1$ のときは $101 \rightarrow 010$, $110 \rightarrow 010$, $111 \rightarrow 100$ となるから、 $EN = 0$ のときは状態を保持し、 $EN = 1$ のときはカウンタとして期待している動作が行われていないことがわかる. $EN = 1$ でクロックパルスが入力された後の変化はそれぞれ、010, 010, 100が状態遷移前の状態となるからこの後は通常のサイクルが繰り返される.

5.2. 課題(2)

ジョンソンカウンタ,リングカウンタについて調べてレポートにまとめること. それら以外にも, どのようなカウンタがあるだろうか?

- ジョンソンカウンタは、特にシフトレジスタを利用して特定のパターンで状態を変化させるカウンタである. このカウンタは、Nビットのシフトレジスタを用いて $2N$ の状態を生成し、2進数のカウンタとなる. 例として 4bit のジョンソンカウンタについて考える. クロックパルスが入力されるごとに、すべてのビットが一つずつ右にシフトし、最初のフリップフロップには反転された最終ビットが入る. これにより、状態は以下のように変化する. $0000 \rightarrow 1000 \rightarrow 1100 \rightarrow 1110 \rightarrow 1111 \rightarrow 0111 \rightarrow 0011 \rightarrow 0001 \rightarrow 0000$

このように $4 \text{ bit} \cdot 2 = 8 \text{ bit}$ の状態を持つことがわかる.

- リングカウンタは、シフトレジスタを用いて構成されるカウンタである. シフトレジスタの出力がリング状に循環するように接続されているため、リングカウンタと呼ばれる. 4bit の場合、このカウンタは4つの状態を生成し、4進数のカウンタとなる. 4bit の場合、このカウンタの動きについて見ていくと次のようになる. まず、リングカウンタを初期化する際には、1つのフリップフロップの出力を1、他のフリップフロップの出力を0に設定する. 例えば、4ビットのリングカウンタでは初期状態が 1000 になるように設定する. クロックパルスが入力されるごとに、各フリップフロップの出力が右隣のフリップフロップにシフトされる. 初期状態 1000 から1つのクロックパルスが入力されると、0100 となり、次に 0010、その次に 0001 と移っていく. 最後のフリップフロップの出力が最初のフリップフロップにフィードバックされることで、カウンタの状態が再び 1000 に戻り、この循環が繰り返される.

6. 参考文献

[1]情報科学実験 I テキスト 2024 年

[2]wikipedia: リングカウンタ <https://www.wikiwand.com/ja/%E3%83%AA%E3%83%B3%E3%82%B0%E3%82%AB%E3%82%A6%E3%83%B3%E3%82%BF>