

Микроархитектурная  
спецификация  
*General Purpose Timers*

# Table of Contents

1. Введение .....	1
1.1. Цель .....	1
1.2. Базовые функции .....	1
1.3. Особенности .....	1
1.4. Параметры конфигурации .....	1
2. Общее описание .....	2
2.1. Time-base unit .....	2
2.2. Slave Mode Controller .....	4
2.3. Синхронизация таймера с внешними сигналами .....	4
2.4. Master Mode Controller .....	5
2.5. Канал TIM .....	5
3. Сигналы ввода-вывода .....	8
4. Карта памяти .....	10
4.1. TIM_CR1 регистр .....	10
4.2. TIM_CR2 регистр .....	12
4.3. TIM_SMCR регистр .....	13
4.4. TIM_DIER регистр .....	17
4.5. TIM_SR регистр .....	19
4.6. TIMx_EGR регистр .....	21
4.7. TIM_CCMR1 регистр .....	23
4.8. TIM_CCMR2 регистр .....	25
4.9. TIM_CCER регистр .....	26
4.10. TIM_CNT регистр .....	28
4.11. TIM_PSC регистр .....	29
4.12. TIM_ARR регистр .....	29
4.13. TIM_CCR1 регистр .....	29
4.14. TIM_CCR1 регистр .....	29
4.15. TIM_CCR2 регистр .....	30
4.16. TIM_CCR3 регистр .....	30
4.17. TIM_CCR4 регистр .....	30
5. Программирование .....	31
5.1. Сценарии для счета .....	31
5.2. Сценарии для синхронизации таймеров с внешними сигналами .....	32
5.3. Сценарии для комбинации нескольких таймеров .....	33
5.4. Сценарии для работы в режиме захвата .....	35
5.5. Сценарии для работы в режиме сравнения .....	35

# Chapter 1. Введение

## 1.1. Цель

Разрабатываемый блок подходит для интеграции в микроконтроллеры общего назначения. В основном используется для генерации ШИМ сигнала и раного рода прерываний.

## 1.2. Базовые функции

Входной канал може работать в режимах:

- Измерения скважности ШИМ сигнала
- Работать в режиме энкодера
- Подсчета импульсов
- Измерения частоты сигнала

Выходной канал может работать в режимах:

- Генерации ШИМ-сигнала
- Генерации строба заданной длительности

Блок работает в одном тактовом домене - домене тактового сигнала AXI4-Lite. На входы внешних событий ставятся синхронизаторы.

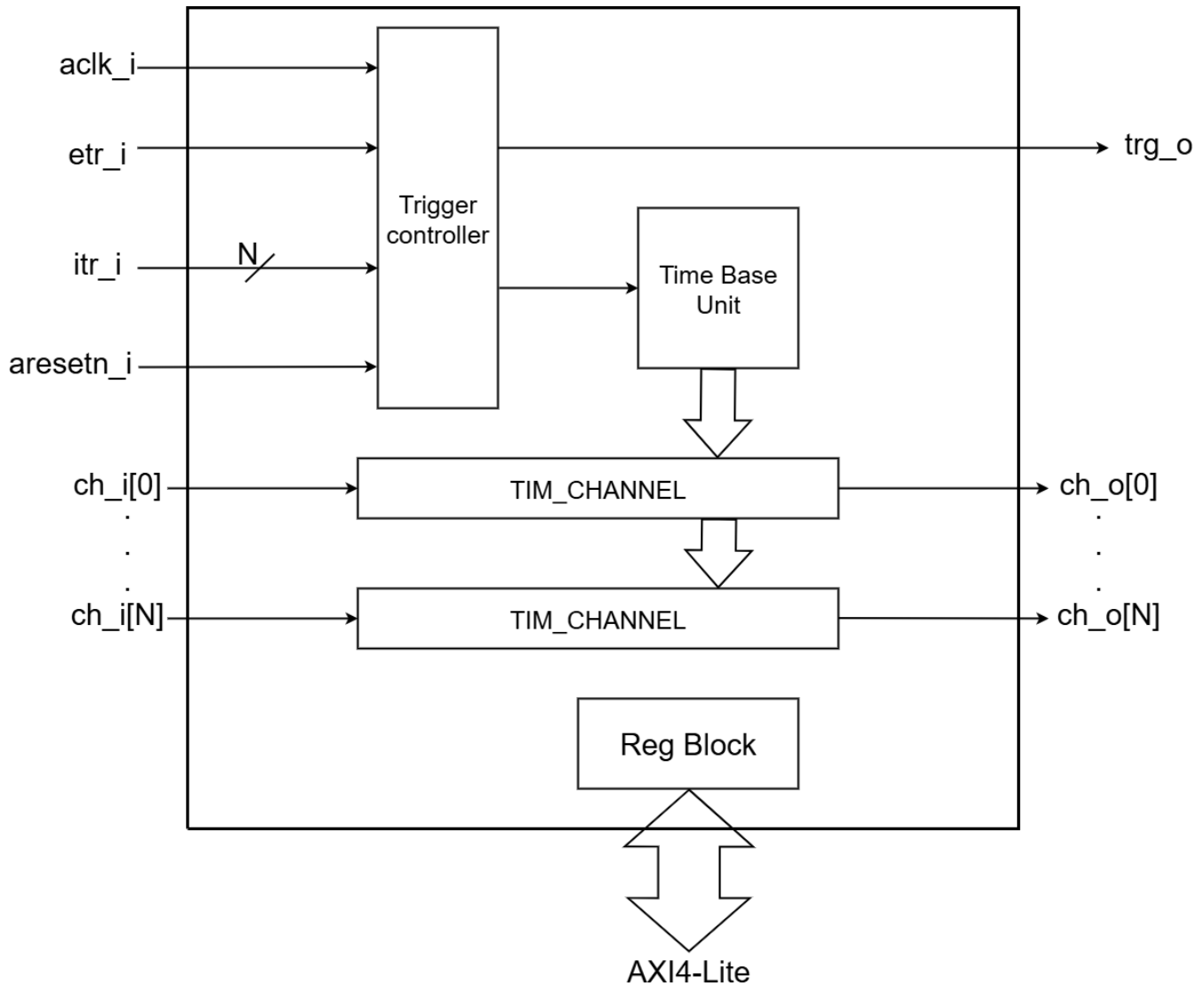
## 1.3. Особенности

- Расширяемая карта памяти в зависимости от количества **пар** каналов
- Возможность тактировать счетчик из разных источников
- Возможность строить каскады из таймеров, увеличивая основание счета

## 1.4. Параметры конфигурации

Параметр	Значение по умолчанию	Описание
CH_PAIRS_NUM	2	Количество пар каналов (минимум 1 пара)
CNT_WIDTH	32	Разрядность счетчика
PSC_WIDTH	32	Разрядность предделителя
CSR_WIDTH	32	Ширина memory mapped регистров
WSTRB_WIDTH	4	Ширина сигнала AXI WSTRB

## Chapter 2. Общее описание



В состав таймера входят 3 основных блока:

1. Time-base unit.
2. Master/Slave Mode Controller.
3. Канал TIM.

### 2.1. Time-base unit

Данный блок включает в себя:

- Основной счетчик таймера CNT
- Регистр автоматической перезагрузки (ARR) Данный регистр задает основание счета для счетчика CNT. Счетчик регулярно сравнивает свое значение со значением из ARR. Когда происходит overflow (при счете вверх) или underflow (при счете вниз), генерируется сигнал UEV (Update Event). ARR состоит из двух регистров:
  - **Preload Register** — регистр предварительной загрузки. Этот регистр можно настраивать через программный интерфейс. Когда формируется событие UEV,

значение из регистра предварительной загрузки помещается в теневой регистр.

- **Shadow Register** — теневой или активный регистр. Теневой регистр является *внутренним* и недоступен программисту. Именно с теневым регистром происходит сравнение значения счетчика.
- Prescaler (PSC) — программно настраиваемый делитель частоты. Служит для деления частоты, тактирующей основной счетчик CNT. Программный регистр делителя, который содержит коэффициент деления, также имеет теневой регистр. Принцип работы такой же, как и для ARR.

### 2.1.1. Режим счета вверх

В этом режиме счетчик считает вверх от 0 до значения в регистре автоматической перезагрузки (ARR). Этот режим включается путем установки бита DIR = 0 в программном регистре TIM\_CR1. При переполнении счетчика генерируется событие UEV (Update Event), также выставляется флаг прерывания UIF (Update Interrupting Flag). Событие обновления (UEV) может быть отключено путем программной установки значения UDIS в регистре TIMx\_CR1. Это позволяет не обновлять теневые регистры во время записи новых значений в регистры предварительной загрузки.

### 2.1.2. Режим счета вниз

В этом режиме счетчик считает от значения в регистре автоматической перезагрузки (ARR) до 0. Этот режим включается путем установки DIR = 1 в регистре TIM\_CR1. Когда счетчик досчитывает до 0, генерируется событие «анти переполнения» (underflow).

### 2.1.3. Режим счета вверх-вниз

В этом режиме счетчик считает от 0 до значения TIM\_ARR – 1, генерирует событие переполнения счетчика (overflow), затем начинает считать от значения TIM\_ARR до 1, после чего генерирует событие «анти переполнения» счетчика (underflow). В этом режиме управление направлением счета осуществляется другим способом (поле DIR недоступно для записи). Поле DIR будет перезаписываться аппаратно, когда счетчик изменит направление счета. Для управления счетчиком используются биты CMS регистра TIM\_CR1.

Событие обновление (UEV) может генерироваться:

- При каждом **overflow**
- При каждом **underflow**
- При установке бита UG в регистре TIM\_EGR (программно или с помощью **Slave Mode Controller**)

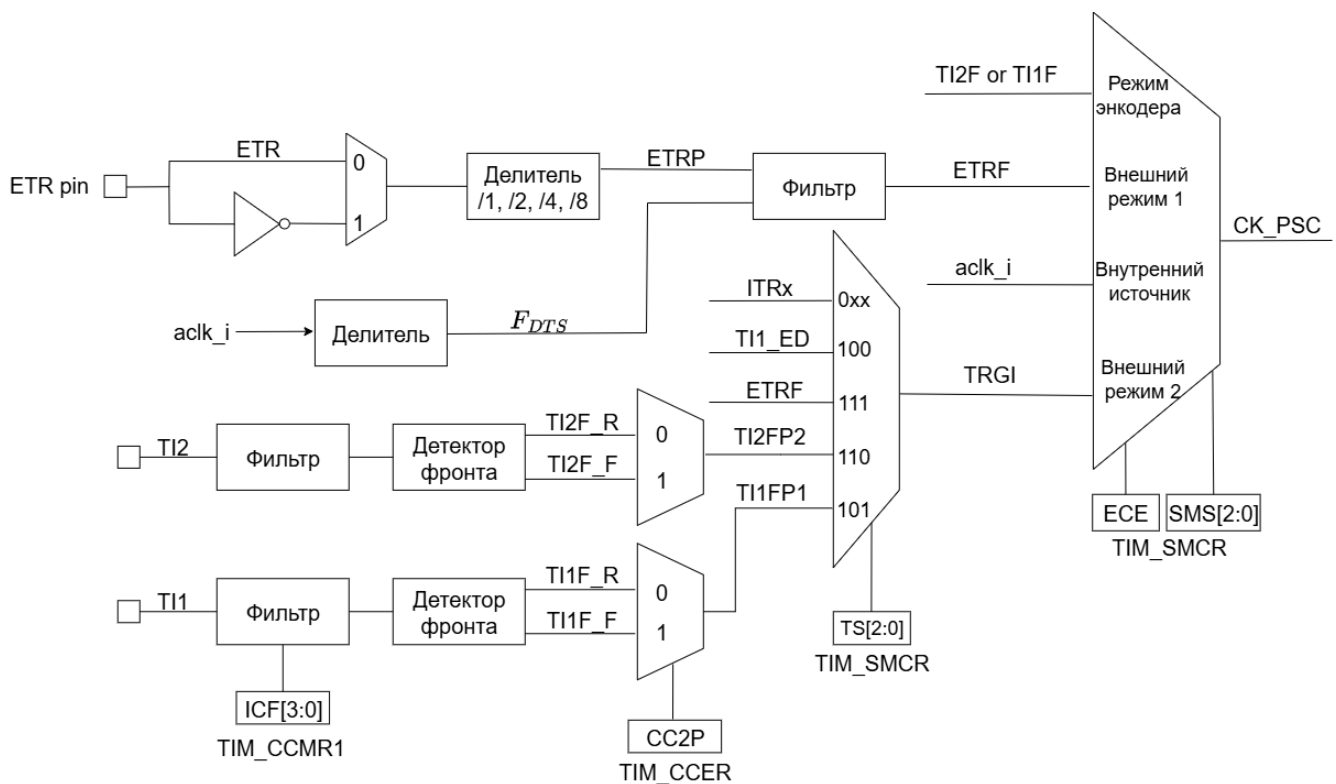
Генерацию события можно запретить установив бит UDIS в регистре TIM\_CR1. Обычно, когда генерируется событие UEV, то вместе с ним формируется флаг UIF (Update Interrupt Flag). Но если установить бит URS в регистре TIM\_CR1, то запрос на прерывание формироваться не будет.

Флаг UIF формируется в одноименном поле в статусном регистре таймера TIM\_SR1.

## 2.2. Slave Mode Controller

Этот блок формирует управляющие сигналы для блока Time-base unit. Также этот блок может обрабатывать внешние события (ETR) и генерировать события для других таймеров (TRGO). В этом блоке есть схема для выбора источника тактирования основного счетчика. Тактирование может осуществляться следующими источниками:

- Внутренний тактовый сигнал  $F_{CKINT}$
- Режим внешнего тактирования №1: тактовый сигнал берется с вывода канала таймера TIMx.
- Режим внешнего тактирования №2: внешний тактовый сигнал поступает на вход внешнего триггера (ETR).
- Внутренние триггеры от других таймеров TIMx.



## 2.3. Синхронизация таймера с внешними сигналами

Таймеры могут быть синхронизированы с внешними событиями в трех режимах:

- Режим сброса
- Режим стробирования
- Триггерный режим

## 2.4. Master Mode Controller

Таймер может не только принимать и реагировать на внешние события, также он может генерировать события TRGO для других таймеров. Таким образом, можно делать каскады из таймеров. **Master Mode Controller** может работать в следующих режимах:

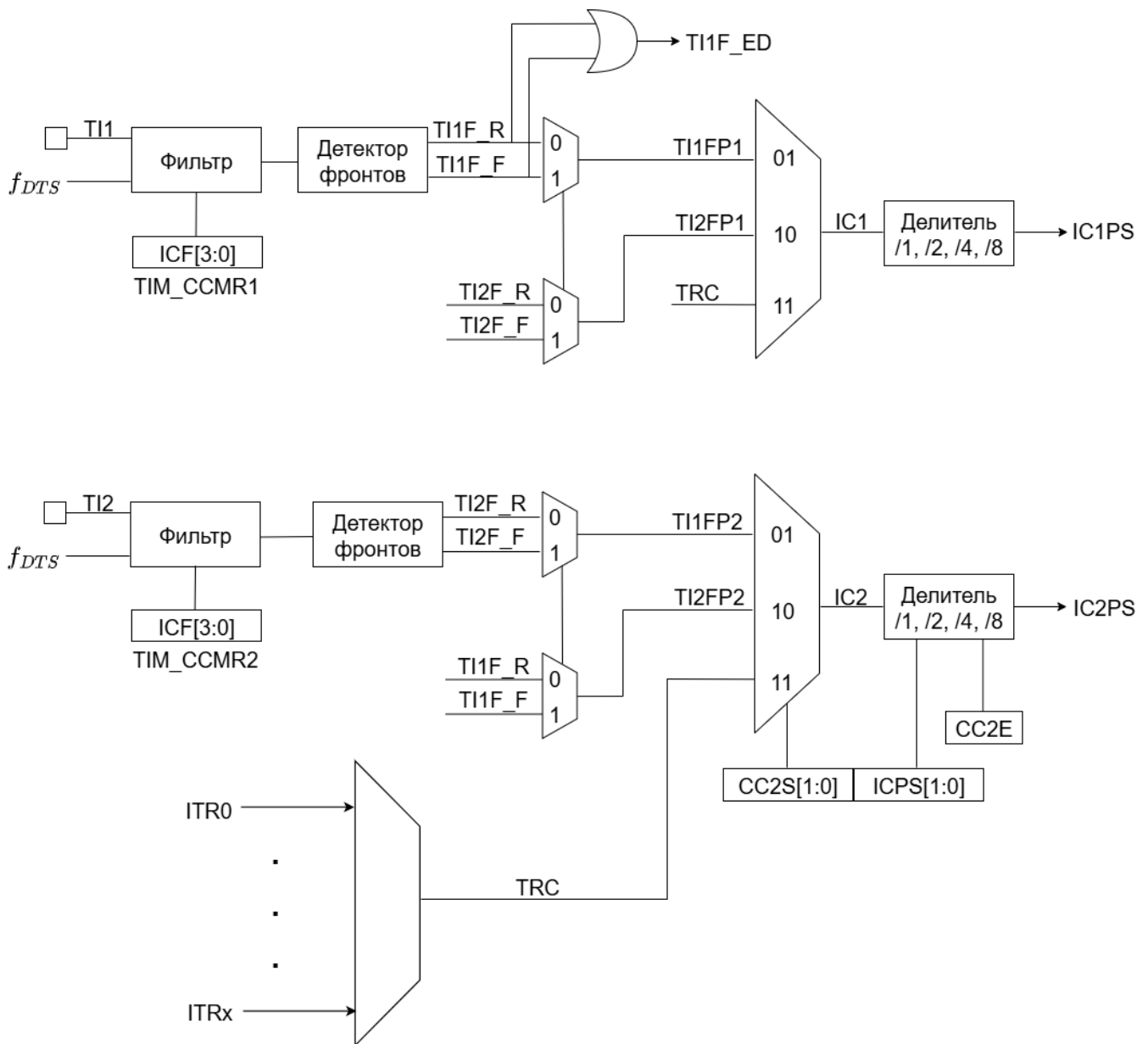
- Один таймер является предделителем для другого таймера (one timer prescaler for another)
- Один таймер генерирует сигнал **enable** для другого таймера (one timer enable for another)
- Один таймер запускает другой таймер (one timer to start for another timer)

## 2.5. Канал TIM

Канал таймера можно сконфигурировать на вход (режим захвата) и на выход (режим сравнения).

### 2.5.1. Режим захвата

На схеме ниже представлены 2 канала таймера, которые сконфигурированы в режиме входа (захвата). С вывода МК сигнал поступает на фильтр, где отбрасываются импульсы, длительность которых меньше заданной. Далее сигнал попадает на детектор фронтов. Далее идет мультиплексор, который выбирает необходимую полярность сигнала. То есть на этом этапе принимается решение, на какое событие будет реагировать регистр захвата/сравнения (CCRx) — передний фронт сигнала или задний. В результате мультиплексирования получается сигнал ICx, который попадает на делитель частоты. Делитель нужен для того, чтобы регистр захвата не перехватывал значение счетчика очень часто — это сильно снижает производительность всей системы. В конечном итоге формируется сигнал ICxPS. Сигнал **ICxPS** — сигнал, который управляет регистром захвата/сравнения. Когда **ICxPS** активен, происходит захват значения счетчика, и выставляется сигнал **CCx\_IF** в статусном регистре TIMx\_SR, если этот флаг установлен, то выставляется флаг повторного захвата **CCx\_OF** в том же статусном регистре.

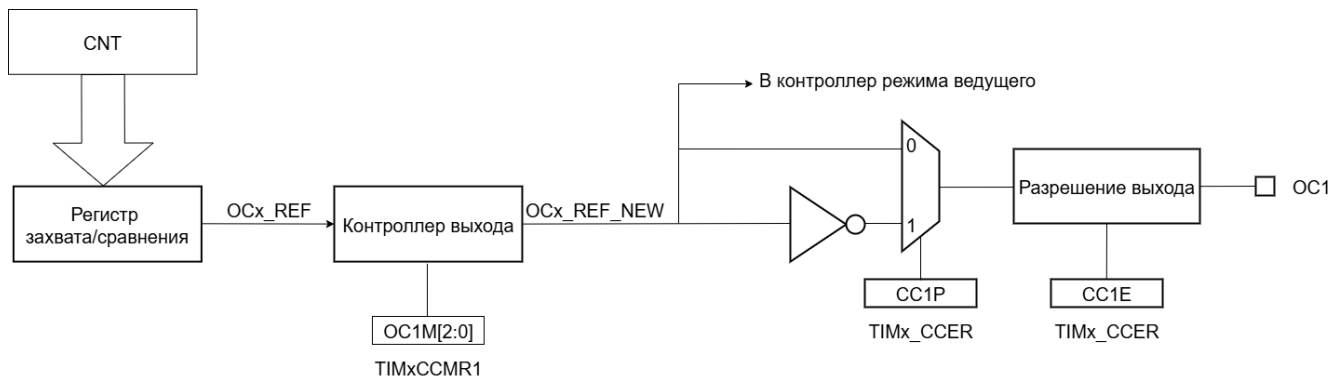


## 2.5.2. Input PWM Mode

Режим входного ШИМ-сигнала является частным случаем режима захвата. Для этого сигнала с одного канала (например, TI1) надо разветвить и направить на выход 1 и 2. Сигнал TI1FP1 будет управлять регистром CCR1, а сигнал TI1FP2 — CCR2. Таким образом для сигнала TI1FP1 можно настроить активный фронт — передний, а для сигнала TI1FP2 — задний. И в момент переднего фронта сигнала в регистр CCR1 будет сохраняться одно значение счетчика. В момент заднего фронта сигнала в регистр CCR2 будет сохраняться следующее значение счетчика. В итоге, мы сможем посчитать скважность входного сигнала по формуле: **Duty cycle** =  $CCR2 \setminus CCR1 * 100\%$

## 2.5.3. Режим сравнения





В режиме сравнения вывод таймера сконфигурирован как выход. Когда значение счетчика совпадает со значением регистра захвата/сравнения TIM\_CCR, то уровень выходного сигнала меняется в зависимости от поля OCxM в регистре TIM\_CCMR. Сигнал обновления UEV не влияет ни на счет, ни на выходной сигнал таймера. Можно генерировать прерывания и запрос к DMA.

#### 2.5.4. One Pulse Mode — Режим стробирования

В этом режиме таймер может генерировать сигнал с программируемой длительностью. Этот режим включается установкой бита OPM в регистре TIMx\_CR1. Это приводит к автоматической остановке счетчика при следующем событии обновления (UEV).

**Замечание:** Импульс будет корректно сгенерирован только в следующих случаях:

- При счете **верх**:  $CNT < TIMx\_CCR < TIMx\_ARR$
- При счете **вниз**:  $CNT > TIMx\_CCR$

Импульс может быть сгенерирован с определенной длительностью (определяется как  $TIMx\_ARR - TIMx\_CCR + 1$ ) и с конкретной задержкой (задается значением TIMx\_CCR) после прихода триггера на вход таймера.

## Chapter 3. Сигналы ввода-вывода

Название сигнала	Разрядность	Допустимые значения	Описание
aclk_i	1	0, 1	Тактовый сигнал AXI4-Lite
aresetn_i	1	0, 1	Сигнал асинхронного сброса
ch_i	[2 * CH_PAIRS_NUM - 1:0]	1 — inf	Входные каналы таймера
ch_o	[2 * CH_PAIRS_NUM - 1:0]	1 — inf	Выходные каналы таймера
etr_i	1	0, 1	Внешнее событие
trg_o	1	0, 1	Выходной триггер
AR			
arready_i	1	0, 1	Входной сигнал ready
arvalid_o	1	0, 1	Выходной сигнал valid
arradr_i		0, 1	Входной адрес чтения
R			
rready_i	1	0, 1	Входной сигнал ready
rvalid_o	1	0, 1	Выходной сигнал valid
rdata_i	16	0, 1	Входные данные
rresp_o	2	0 — 3	Сигнал ответа
AW			
awvalid_o	1	0, 1	Входной сигнал valid
awready_o	1	0, 1	Выходной сигнал ready
awaddr_i		0, 1	Входной адрес записи
W			
wvalid_o	1	0, 1	Выходной сигнал valid
wready_i	1	0, 1	Входной сигнал ready
wdata_i	16	0 — MAX	Записываемые данные
B			

bvalid_o	1	0, 1	Выходной сигнал valid
bready_i	1	0, 1	Входной сигнал ready
bresp_o	2	0 — 3	Выходной сигнал ответа

Таймер тактируется тем же тактовым сигналом, что и memory-mapped регистры, то есть тактовым сигналом интерфейса AXI4-Lite. Все внешние асинхронные сигналы пересинхронизируются с таковыми сигналом AXI4-Lite

# Chapter 4. Карта памяти

- Absolute Address: 0x0
- Base Offset: 0x0
- Size: 0x44

Offset	Identifier	Name
0x00	TIM_CR1	Регистр управления №1
0x04	TIM_CR2	Регистр управления №2
0x08	TIM_SMCR	Регистр управления Master/Slave контроллером
0x0C	TIM_DIER	Регистр разрешения DMA/прерываний
0x10	TIM_SR	Регистр статуса
0x14	TIM_EGR	Регистр генерации событий
0x18	TIM_CCMR1	Регистр режима захвата/сравнения
0x1C	TIM_CCMR2	Регистр режима захвата/сравнения
0x24	TIM_CCER	Регистр разрешения захвата/сравнения
0x28	TIM_CNT	Регистр основного счетчика
0x2C	TIM_PSC	Регистр предделителя
0x30	TIM_ARR	Регистр автоматической перезагрузки
0x34	TIM_CCR1	Регистр захвата/сравнения
0x38	TIM_CCR2	Регистр захвата/сравнения
0x3C	TIM_CCR3	Регистр захвата/сравнения
0x40	TIM_CCR4	Регистр захвата/сравнения

## 4.1. TIM\_CR1 регистр

- Absolute Address: 0x0
- Base Offset: 0x0
- Size: 0x4

Bits	Identifier	Access	Reset	Name
------	------------	--------	-------	------

1	CEN	rw	—	Активация счетчика
2	URS	rw	—	Запрет обновления
3	OPM	rw	—	Режим стробирования
4	DIR	rw	—	Направление счета
6:5	CMS	rw	—	Выбор режима центрального выравнивания
7	APRE	rw	—	Разрешение предзагрузки
9:8	CKD	rw	—	Коэффициент деления частоты цифрового фильтра

#### 4.1.1. CEN поле

**0:** Счетчик неактивен

**1:** Счетчик активен

#### 4.1.2. URS поле

**0:** Событие обновления (UEV) может быть сгенерировано любым из способов:

- Overflow/Underflow
- Установка бита UG
- Генерация обновления через контроллер ведомого режима

**1:** UEV может быть сгенерировано только при Overflow/Underflow

#### 4.1.3. OPM поле

**0:** Счетчик не останавливается при генерации события обновления UEV

**1:** При генерации события UEV бит CEN устанавливается в 0

#### 4.1.4. DIR поле

**0:** Счет вверх

**1:** Счет вниз

### 4.1.5. CMS поле

**00:** Счетчик считает вверх или вниз в зависимости от бита направления DIR

**01:** Счетчик считает по очереди вверх и вниз. Флаги прерывания сравнения счетчика CNT и CCR выставляются, когда счетчик считает вниз

**10:** Счетчик считает по очереди вверх и вниз. Флаги прерывания сравнения счетчика CNT и CCR выставляются, когда счетчик считает вверх

**11:** Счетчик считает по очереди вверх и вниз. Флаги прерывания сравнения счетчика CNT и CCR выставляются, когда счетчик считает вверх и вниз

### 4.1.6. APRE поле

**0:** Теневой регистр ARR отключен — значение берется напрямую из регистра предварительной загрузки

**1:** Теневой регистр активен

### 4.1.7. CKD поле

С помощью этого поля можно управлять формированием отфильтрованного сигнала с частотой  $F_{DTS}$ ,

**00:**  $F_{DTS} = F_{INT}$

**01:**  $F_{DTS} = F_{INT}/2$

**10:**  $F_{DTS} = F_{INT}/4$

**11:** не используется

## 4.2. TIM\_CR2 регистр

- Absolute Address: 0x4
- Base Offset: 0x4
- Size: 0x4

Bits	Identifier	Access	Reset	Name
2:0	RESERVED_2_0	r	0x0	—
3	CCDS	rw	—	Выбор DMA для захвата/сравнения
6:4	MMS	rw	—	Выбор режима ведущего таймера

7	TI1S	rw	—	Выбор T11
15:8	RESERVED_15_8	r	0x0	—

#### 4.2.1. CCDS поле

**0:** Запрос DMA CCx отправляется при событии CCx

**1:** Запросы DMA CCx отправляются при событии обновления

#### 4.2.2. MMS поле

Эти биты позволяют выбрать информацию, передаваемую в режиме ведущего таймера для синхронизации ведомых таймеров (TRGO). Комбинации:

**000:** Сброс - бит UG из регистра TIM\_EGR используется как выход триггера (TRGO). Если сброс генерируется входом триггера (контроллер ведомого режима настроен в режиме сброса), то сигнал на TRGO задерживается относительно фактического сброса.

**001:** Разрешение - сигнал разрешения счетчика CNT\_EN используется как выход триггера (TRGO). Полезно для одновременного запуска нескольких таймеров или управления окном, в котором разрешен ведомый таймер.

**010:** Обновление - Событие обновления выбрано как выход триггера (TRGO). Например, ведущий таймер может использоваться как предделитель для ведомого таймера.

**011:** Импульс сравнения - Выход триггера отправляет положительный импульс при установке флага CC11F (даже если он уже был высоким), как только происходит захват или совпадение сравнения.

**100:** Сравнение - Сигнал CC1REF используется как выход триггера (TRGO)

**101:** Сравнение - Сигнал CC2REF используется как выход триггера (TRGO)

**110:** Сравнение - Сигнал CC3REF используется как выход триггера (TRGO)

**111:** Сравнение - Сигнал CC4REF используется как выход триггера (TRGO)

#### 4.2.3. T11S поле

**0:** Вывод TIMx\_CH1 подключен ко входу TI1

**1:** Выводы TIMx\_CH1, CH2 и CH3 подключены ко входу TI1 (комбинация XOR)

### 4.3. TIM\_SMCR регистр

- Absolute Address: 0x8
- Base Offset: 0x8
- Size: 0x4

Bits	Identifier	Access	Reset	Name
2:0	SMS	rw	—	Выбор ведомого режима
3	RESERVED	r	0x0	—
6:4	TS	rw	—	Выбор триггера
7	MSM	rw	—	Режим Ведущий/Ведомый
11:8	ETF	rw	—	Фильтр внешнего триггера
13:12	ETPS	rw	—	Предделитель внешнего триггера
14	ECE	rw	—	Разрешение внешнего тактирования
15	ETP	rw	—	Полярность внешнего триггера

### 4.3.1. SMS поле

Когда выбраны внешние сигналы, активный фронт сигнала триггера (TRGI) связан с полярностью, выбранной на внешнем входе:

**000:** Ведомый режим отключен - если CEN = '1', то предделитель тактируется непосредственно от внутреннего тактового сигнала.

**001:** Режим энкодера 1 - Счетчик считает вверх/вниз по фронту T11FP1 в зависимости от уровня T12FP2.

**010:** Режим энкодера 2 - Счетчик считает вверх/вниз по фронту T12FP2 в зависимости от уровня T11FP1.

**011:** Режим энкодера 3 - Счетчик считает вверх/вниз по обоим фронтам T11FP1 и T12FP2 в зависимости от уровня другого входа.

**100:** Режим сброса - Фронт выбранного входа триггера (TRGI) переинициализирует счетчик и генерирует обновление регистров.

**101:** Режим стробирования - Тактирование счетчика разрешено, когда вход триггера (TRGI) находится на высоком уровне. Счетчик останавливается (но не сбрасывается), как только триггер переходит на низкий уровень. Контролируются как запуск, так и остановка счетчика.



**110:** Триггерный режим - Счетчик запускается по фронту триггера TRGI (но не сбрасывается). Контролируется только запуск счетчика.

**111:** Режим внешнего тактирования 1 - Фронты выбранного триггера (TRGI) тактируют счетчик.

*Примечание: Режим стробирования не должен использоваться, если выбран T11F\_ED в качестве входа триггера (TS=100). Действительно, T11F\_ED выдает 1 импульс для каждого перехода на T11F, тогда как режим стробирования проверяет уровень сигнала триггера.*

#### 4.3.2. TS поле

Эта битовая группа выбирает вход триггера для синхронизации счетчика:

**000:** Внутренний триггер 0 (ITR0).

**001:** Внутренний триггер 1 (ITR1).

**010:** Внутренний триггер 2 (ITR2).

**011:** Внутренний триггер 3 (ITR3).

**100:** Детектор фронтов T11 (T11F\_ED).

**101:** Фильтрованный вход таймера 1 (T11FP1).

**110:** Фильтрованный вход таймера 2 (T12FP2).

**111:** Внешний вход триггера (ETRF).

*Примечание: Эти биты должны изменяться только когда они не используются (например, когда SMS=000) чтобы избежать некорректного детектирования фронтов во время перехода.*

#### 4.3.3. MSM поле

**0:** Никакого действия.

**1:** Эффект события на входе триггера (TRGI) задерживается для обеспечения идеальной синхронизации между текущим таймером и его ведомыми (через TRGO). Полезно, если необходимо синхронизировать несколько таймеров по одному внешнему событию.

#### 4.3.4. ETF поле

Эта битовая группа определяет частоту дискретизации сигнала ETRP и длину цифрового фильтра, применяемого к ETRP. Цифровой фильтр состоит из счетчика событий, в котором N последовательных событий необходимо для подтверждения перехода на выходе:

**0000:** Без фильтра, дискретизация на  $f_{DTS}$

**0001:**  $f_{SAMPLING} = f_{CK\_INT}$ ,  $N=2$

**0010:**  $f_{\text{SAMPLING}} = f_{\text{CK\_INT}}, N=4$

**0011:**  $f_{\text{SAMPLING}} = f_{\text{CK\_INT}}, N=8$

**0100:**  $f_{\text{SAMPLING}} = f_{\text{DTS}}/2, N=6$

**0101:**  $f_{\text{SAMPLING}} = f_{\text{DTS}}/2, N=8$

**0110:**  $f_{\text{SAMPLING}} = f_{\text{DTS}}/4, N=6$

**0111:**  $f_{\text{SAMPLING}} = f_{\text{DTS}}/4, N=8$

**1000:**  $f_{\text{SAMPLING}} = f_{\text{DTS}}/8, N=6$

**1001:**  $f_{\text{SAMPLING}} = f_{\text{DTS}}/8, N=8$

**1010:**  $f_{\text{SAMPLING}} = f_{\text{DTS}}/16, N=5$

**1011:**  $f_{\text{SAMPLING}} = f_{\text{DTS}}/16, N=6$

**1100:**  $f_{\text{SAMPLING}} = f_{\text{DTS}}/16, N=8$

**1101:**  $f_{\text{SAMPLING}} = f_{\text{DTS}}/32, N=5$

**1110:**  $f_{\text{SAMPLING}} = f_{\text{DTS}}/32, N=6$

**1111:**  $f_{\text{SAMPLING}} = f_{\text{DTS}}/32, N=8$

#### 4.3.5. ETRP поле

Частота сигнала внешнего триггера ETRP должна быть не более 1/4 частоты CK\_INT. Предделитель может быть включен для уменьшения частоты ETRP. Это полезно при подаче быстрых внешних тактовых сигналов

**00:** Предделитель выключен

**01:** Частота ETRP делится на 2

**10:** Частота ETRP делится на 4

**11:** Частота ETRP делится на 8

#### 4.3.6. ESE поле

Этот бит разрешает режим внешнего тактирования 2

0: Режим внешнего тактирования 2 запрещен.

1: Режим внешнего тактирования 2 разрешен. Счетчик тактируется любым активным фронтом сигнала ETRF.

**Примечание 1:** Установка бита ESE имеет тот же эффект, что и выбор внешнего тактирования 1 с подключением TRGI к ETRF (SMS=111 и TS=111).

**Примечание 2:** Возможно одновременное использование внешнего тактирования 2 со следующими ведомыми режимами: режим сброса, режим стробирования и режим триггера. Однако в этом случае TRGI не должен быть подключен к ETRF (биты TS не должны быть 111).

**Примечание 3:** Если одновременно разрешены внешний режим тактирования 1 и внешний режим тактирования 2, входом внешнего тактирования является ETRF.

### 4.3.7. ETR поле

Этот бит выбирает полярность сигнала ETR для операций триггера

**0:** ETR неинвертированный, активен по высокому уровню или фронту

**1:** ETR инвертированный, активен по низкому уровню или спаду

## 4.4. TIM\_DIER регистр

- Absolute Address: 0xC
- Base Offset: 0xC
- Size: 0x2

Регистр разрешения DMA/прерываний TIMx

Bits	Identifier	Access	Reset	Name
0	UIE	rw	—	UIE
1	CC1IE	rw	—	CC1IE
2	CC2IE	rw	—	CC2IE
3	CC3IE	rw	—	CC3IE
4	CC4IE	rw	—	CC4IE
5	reserved_5	r	0x0	reserved_5
6	TIE	rw	—	TIE
7	reserved_7	r	0x0	reserved_7
8	UDE	rw	—	UDE
9	CC1DE	rw	—	CC1DE
10	CC2DE	rw	—	CC2DE
11	CC3DE	rw	—	CC3DE
12	CC4DE	rw	—	CC4DE
13	reserved_13	r	0x0	reserved_13
14	TDE	rw	—	TDE
15	reserved_15	r	0x0	reserved_15

#### **4.4.1. UIE поле**

Разрешение прерывания по обновлению

#### **4.4.2. CC1IE поле**

Разрешение прерывания захвата/сравнения 1

#### **4.4.3. CC2IE поле**

Разрешение прерывания захвата/сравнения 2

#### **4.4.4. CC3IE поле**

Разрешение прерывания захвата/сравнения 3

#### **4.4.5. CC4IE поле**

Разрешение прерывания захвата/сравнения 4

#### **4.4.6. reserved\_5 поле**

Зарезервирован, должен сохранять значение сброса

#### **4.4.7. TIE поле**

Разрешение прерывания по триггеру

#### **4.4.8. reserved\_7 поле**

Зарезервирован, должен сохранять значение сброса

#### **4.4.9. UDE поле**

Разрешение DMA запроса по обновлению

#### **4.4.10. CC1DE поле**

Разрешение DMA запроса захвата/сравнения 1

#### **4.4.11. CC2DE поле**

Разрешение DMA запроса захвата/сравнения 2

#### **4.4.12. CC3DE поле**

Разрешение DMA запроса захвата/сравнения 3

#### 4.4.13. CC4DE поле

Разрешение DMA запроса захвата/сравнения 4

#### 4.4.14. reserved\_13 поле

Зарезервирован, всегда читается как 0

#### 4.4.15. TDE поле

Разрешение DMA запроса по триггеру

#### 4.4.16. reserved\_15 поле

Зарезервирован, должен сохранять значение сброса

### 4.5. TIM\_SR регистр

- Absolute Address: 0x10
- Base Offset: 0x10
- Size: 0x2

Регистр состояния

Bits	Identifier	Access	Reset	Name
0	UIF	rw	—	UIF
1	CC1IF	rw	—	CC1IF
2	CC2IF	rw	—	CC2IF
3	CC3IF	rw	—	CC3IF
4	CC4IF	rw	—	CC4IF
5	reserved_5	r	0x0	reserved_5
6	TIF	rw	—	TIF
8:7	reserved_8_7	r	0x0	reserved_8_7
9	CC1OF	rw	—	CC1OF
10	CC2OF	rw	—	CC2OF
11	CC3OF	rw	—	CC3OF
12	CC4OF	rw	—	CC4OF
15:13	reserved_15_13	r	0x0	reserved_15_13

#### 4.5.1. UIF поле

Флаг прерывания по обновлению. Устанавливается аппаратно при событии обновления.

Сбрасывается программно.

**0:** Обновления не произошло.

**1:** Ожидает обработки прерывание по обновлению. Устанавливается при: переполнении/антипереполнении (TIM2-TIM5) если UDIS=0; переинициализации CNT программно (UG=1) если URS=0 и UDIS=0; переинициализации CNT событием триггера если URS=0 и UDIS=0.

#### 4.5.2. CC1IF поле

Флаг прерывания Capture/Compare 1.

**Выход:** устанавливается аппаратно при совпадении счетчика со значением сравнения. Сбрасывается программно.

**0:** Совпадения нет.

**1:** CNT совпадает с CCR1.

**Вход:** устанавливается аппаратно при захвате. Сбрасывается программно или чтением CCR1.

**0:** Захват не произошел.

**1:** Значение счетчика захвачено в CCR1.

#### 4.5.3. CC2IF поле

Флаг прерывания Capture/Compare 2 - см. описание CC1IF

#### 4.5.4. CC3IF поле

Флаг прерывания Capture/Compare 3 - см. описание CC1IF

#### 4.5.5. CC4IF поле

Флаг прерывания Capture/Compare 4 - см. описание CC1IF

#### 4.5.6. reserved\_5 поле

Зарезервирован, должен сохранять значение сброса

#### 4.5.7. TIF поле

Флаг прерывания по триггеру. Устанавливается аппаратно при событии триггера (обнаружен активный фронт на входе TRGI когда контроллер ведомого режима включен во всех режимах кроме стробирующего). Устанавливается когда счетчик запускается или останавливается в стробирующем режиме. Сбрасывается программно. 0: Событие триггера не произошло; 1: Ожидает обработки прерывание по триггеру

#### 4.5.8. reserved\_8\_7 поле

Зарезервирован, должен сохранять значение сброса

#### 4.5.9. CC1OF поле

Флаг перезахвата Capture/Compare 1. Устанавливается аппаратно только когда соответствующий канал настроен в режиме захвата по входу. Сбрасывается программно записью '0'. 0: Перезахват не обнаружен; 1: Значение счетчика захвачено в регистр TIMx\_CCR1 когда флаг CC1IF уже был установлен

#### 4.5.10. CC2OF поле

Флаг перезахвата Capture/Compare 2 - см. описание CC1OF

#### 4.5.11. CC3OF поле

Флаг перезахвата Capture/Compare 3 - см. описание CC1OF

#### 4.5.12. CC4OF поле

Флаг перезахвата Capture/Compare 4 - см. описание CC1OF

#### 4.5.13. reserved\_15\_13 поле

Зарезервирован, должен сохранять значение сброса

### 4.6. TIMx\_EGR регистр

- Absolute Address: 0x14
- Base Offset: 0x14
- Size: 0x2

Регистр генерации событий

Bits	Identifier	Access	Reset	Name
0	UG	rw	—	UG
1	CC1G	rw	—	CC1G
2	CC2G	rw	—	CC2G
3	CC3G	rw	—	CC3G
4	CC4G	rw	—	CC4G
5	reserved_5	r	0x0	reserved_5
6	TG	rw	—	TG
15:7	reserved_15_7	r	0x0	reserved_15_7

#### 4.6.1. UG поле

Генерация обновления. Устанавливается программно, автоматически сбрасывается аппаратно.

**0:** Действия нет;

**1:** Реинициализирует счетчик и генерирует обновление регистров. Счетчик предделителя также сбрасывается (коэффициент предделителя не меняется). Счетчик очищается если выбран режим центрального выравнивания или если DIR=0 (счет вверх), иначе принимает значение авто-перезагрузки (TIMx\_ARR) если DIR=1 (счет вниз)

#### 4.6.2. CC1G поле

Генерация Capture/Compare 1. Устанавливается программно для генерации события, автоматически сбрасывается аппаратно.

**0:** Действия нет.

**1:** Событие захвата/сравнения генерируется на канале 1.

**Выход:** флаг CC1IF устанавливается, отправляется соответствующее прерывание или запрос DMA если разрешены.

**Вход:** текущее значение счетчика захватывается в TIMx\_CCR1, устанавливается флаг CC1IF, отправляется соответствующее прерывание или запрос DMA если разрешены, флаг CC1OF устанавливается если флаг CC1IF уже был установлен

#### 4.6.3. CC2G поле

Генерация Capture/Compare 2 - см. описание CC1G

#### 4.6.4. CC3G поле

Генерация Capture/Compare 3 - см. описание CC1G

#### 4.6.5. CC4G поле

Генерация Capture/Compare 4 - см. описание CC1G

#### 4.6.6. reserved\_5 поле

Зарезервирован, должен сохранять значение сброса

#### 4.6.7. TG поле

Генерация триггера. Устанавливается программно для генерации события, автоматически сбрасывается аппаратно.

**0:** Действия нет.



**1:** Флаг TIF устанавливается в регистре TIM\_SR. Соответствующее прерывание или передача DMA может произойти если разрешены.

#### 4.6.8. reserved\_15\_7 поле

Зарезервирован, должен сохранять значение сброса

### 4.7. TIM\_CCMR1 регистр

- Absolute Address: 0x18
- Base Offset: 0x18
- Size: 0x4

Каналы могут использоваться в режиме входа (захват) или в режиме выхода (сравнение). Направление канала определяется настройкой соответствующих битов CCxS. Все остальные биты этого регистра имеют разную функцию в режиме входа и выхода. OCxх описывает функцию бита когда канал настроен как выход, ICxх описывает функцию когда канал настроен как вход.

Bits	Identifier	Access	Reset	Name
1:0	CC1S	rw	—	CC1S
2	OC1FE_IC1PSC0	rw	—	OC1FE/IC1PSC[0]
3	OC1PE_IC1PSC1	rw	—	OC1PE/IC1PSC[1]
6:4	OC1M_IC1F	rw	—	OC1M/IC1F[2:0]
7	OC1CE_IC1F3	rw	—	OC1CE/IC1F[3]
9:8	CC2S	rw	—	CC2S
10	OC2FE_IC2PSC0	rw	—	OC2FE/IC2PSC[0]
11	OC2PE_IC2PSC1	rw	—	OC2PE/IC2PSC[1]
14:12	OC2M_IC2F	rw	—	OC2M/IC2F[2:0]
15	OC2CE_IC2F3	rw	—	OC2CE/IC2F[3]

#### 4.7.1. CC1S поле

С помощью этого поля происходит настройка канала в режим входа или выхода.

**00:** Канал 1 настроен как выход.

**01:** Канал 1 настроен как вход. Вход привязан к выводу TI1.

**10:** Канал 1 настроен как вход. Вход привязан к выводу TI1.

**11:** Канал 1 настроен как вход. Вход привязан к TRC.

#### 4.7.2. OC1FE\_IC1PSC0 поле

Это поле может быть полем OC1FE, с помощью которого можно включить режим быстрого формирования на выходе CC1 — Обычно нужно дождаться совадения CNT и CCR1, но в этом режиме внешний триггер имеет такой же эффект, как и равенство CNT и CCR1, таким образом сигнал на выходе формируется намного быстрее. **В другом случае** это поле может быть младшим битом поля IC1PSC.

#### 4.7.3. OC1PE\_IC1PSC1 поле

Если это поле используется как OC1PE, то оно управляет включением или отключением предварительной загрузки регистра CCR1. Если канал работает в режиме входа, то это поле является старшим битом поля IC1PSC, которое настраивает коэффициент деления делителя.

#### 4.7.4. OC1M\_IC1F поле

Данное поле может являться полем для настройки выходного сигнала (OC1M), либо являться младшей частью поля IC1F для настройки фильтра

#### 4.7.5. OC1CE\_IC1F3 поле

В зависимости от режима, в котором работает канал таймера (вход/выход) данное поле может быть: **OC1CE** — Сигнал разрешение очистки выходного сигнала с помощью ETRF.

**IC1F[3]** — Старший бит поля, которое настраивает коэффициент фильтрации для цифрового фильтра на входе TI1.

#### 4.7.6. CC2S поле

С помощью этого поля происходит настройка канала в режим входа или выхода.

**00:** Канал 2 настроен как выход.

**01:** Канал 2 настроен как вход. Вход привязан к выводу TI2.

**10:** Канал 2 настроен как вход. Вход привязан к выводу TI1.

**11:** Канал 2 настроен как вход. Вход привязан к TRC.

#### 4.7.7. OC2FE\_IC2PSC0 поле

Это поле может быть полем OC2FE, с помощью которого можно включить режим быстрого формирования на выходе CC2 — Обычно нужно дождаться совадения CNT и CCR2, но в этом режиме внешний триггер имеет такой же эффект, как и равенство CNT и CCR2, таким образом сигнал на выходе формируется намного быстрее. **В другом случае** это поле может быть младшим битом поля IC2PSC.

#### 4.7.8. OC2PE\_IC2PSC1 поле

Если это поле используется как OC2PE, то оно управляет включением или отключением предварительной загрузки регистра CCR2. Если канал работает в режиме входа, то это поле является старшим битом поля IC2PSC, которое настраивает коэффициент деления предделителя.

#### 4.7.9. OC2M\_IC2F поле

Данное поле может являться полем для настройки выходного сигнала (OC2M), либо являться младшей частью поля IC2F для настройки фильтра

#### 4.7.10. OC2CE\_IC2F3 поле

В зависимости от режима, в котором работает канал таймера (вход/выход) данное поле может быть:

**OC2CE** — Сигнал разрешение очистки выходного сигнала с помощью ETRF.

**IC2F[3]** — Старший бит поля, которое настраивает коэффициент фильтрации для цифрового фильтра на входе TI2.

### 4.8. TIM\_CCMR2 регистр

- Absolute Address: 0x1C
- Base Offset: 0x1C
- Size: 0x4

Bits	Identifier	Access	Reset	Name
1:0	CC3S	rw	—	CC3S
2	OC3FE_IC3PSC0	rw	—	OC3FE/IC3PSC[0]
3	OC3PE_IC3PSC1	rw	—	OC3PE/IC3PSC[1]
6:4	OC3M_IC3F	rw	—	OC3M/IC3F[2:0]
7	OC3CE_IC3F3	rw	—	OC3CE/IC3F[3]
9:8	CC4S	rw	—	CC4S
10	OC4FE_IC4PSC0	rw	—	OC4FE/IC4PSC[0]
11	OC4PE_IC4PSC1	rw	—	OC4PE/IC4PSC[1]
14:12	OC4M_IC4F	rw	—	OC4M/IC4F[2:0]
15	OC4CE_IC4F3	rw	—	OC4CE/IC4F[3]

Описание полей аналогично регистру TIM\_CCMR1

## 4.9. TIM\_CCER регистр

- Absolute Address: 0x24
- Base Offset: 0x24
- Size: 0x4

Регистр разрешения захвата/сравнения

Bits	Identifier	Access	Reset	Name
0	CC1E	rw	—	CC1E
1	CC1P	rw	—	CC1P
2	reserved_2	r	0x0	reserved_2
3	CC1NP	rw	—	CC1NP
4	CC2E	rw	—	CC2E
5	CC2P	rw	—	CC2P
6	reserved_6	r	0x0	reserved_6
7	CC2NP	rw	—	CC2NP
8	CC3E	rw	—	CC3E
9	CC3P	rw	—	CC3P
10	reserved_10	r	0x0	reserved_10
11	CC3NP	rw	—	CC3NP
12	CC4E	rw	—	CC4E
13	CC4P	rw	—	CC4P
14	reserved_14	r	0x0	reserved_14
15	CC4NP	rw	—	CC4NP

### 4.9.1. CC1E поле

Разрешение выхода Capture/Compare 1.

**Выход:**

- **0:** Выключен - OC1 не активен.
- **1:** Включен - сигнал OC1 выводится на соответствующий вывод.

**Вход:** определяет возможен ли захват значения счетчика в регистр захвата/сравнения 1 (TIMx\_CCR1).

- **0:** Захват запрещен.
- **1:** Захват разрешен.

### 4.9.2. CC1P поле

Полярность выхода Capture/Compare 1.

**Выход:**

- **0:** OC1 активный высокий уровень.
- **1:** OC1 активный низкий уровень.

**Вход:** выбирает полярность TI1FP1 и TI2FP1 для операций триггера или захвата.

- **00:** неинвертированный/rising edge.
- **01:** инвертированный/falling edge.
- **10:** зарезервировано.
- **11:** неинвертированный/оба фронта.

### 4.9.3. reserved\_2 поле

Зарезервирован, должен сохранять значение сброса

### 4.9.4. CC1NP поле

Полярность выхода Capture/Compare 1.

**Выход:** должен оставаться сброшенным.

**Вход:** используется вместе с CC1P для определения полярности TI1FP1/TI2FP1.

- **00:** неинвертированный/фронт rising.
- **01:** инвертированный/фронт falling.
- **10:** зарезервировано.
- **11:** неинвертированный/оба фронта.

### 4.9.5. CC2E поле

Разрешение выхода Capture/Compare 2 - см. описание CC1E

### 4.9.6. CC2P поле

Полярность выхода Capture/Compare 2 - см. описание CC1P

### 4.9.7. reserved\_6 поле

Зарезервирован, должен сохранять значение сброса

#### 4.9.8. CC2NP поле

Полярность выхода Capture/Compare 2 - см. описание CC1NP

#### 4.9.9. CC3E поле

Разрешение выхода Capture/Compare 3 - см. описание CC1E

#### 4.9.10. CC3P поле

Полярность выхода Capture/Compare 3 - см. описание CC1P

#### 4.9.11. reserved\_10 поле

Зарезервирован, должен сохранять значение сброса

#### 4.9.12. CC3NP поле

Полярность выхода Capture/Compare 3 - см. описание CC1NP

#### 4.9.13. CC4E поле

Разрешение выхода Capture/Compare 4 - см. описание CC1E

#### 4.9.14. CC4P поле

Полярность выхода Capture/Compare 4 - см. описание CC1P

#### 4.9.15. reserved\_14 поле

Зарезервирован, должен сохранять значение сброса

#### 4.9.16. CC4NP поле

Полярность выхода Capture/Compare 4 - см. описание CC1NP

### 4.10. TIM\_CNT регистр

- Absolute Address: 0x28
- Base Offset: 0x28
- Size: 0x4

Счетчик разрядностью 32

Bits	Identifier	Access	Reset	Name
31:0	CNT	rw	—	CNT

## 4.11. TIM\_PSC регистр

- Absolute Address: 0x2C
- Base Offset: 0x2C
- Size: 0x4

Данный регистр является Preload регистром для предделителя. Значение из этого регистра записывается в активный (теневого) регистр, когда происходит событие обновления (UEV).

Bits	Identifier	Access	Reset	Name
31:0	PSC	rw	—	PSC

## 4.12. TIM\_ARR регистр

- Absolute Address: 0x30
- Base Offset: 0x30
- Size: 0x4

Данный регистр является Preload регистром для теневого регистра ARR.

Bits	Identifier	Access	Reset	Name
31:0	ARR	rw	—	ARR

## 4.13. TIM\_CCR1 регистр

- Absolute Address: 0x34
- Base Offset: 0x34
- Size: 0x4

Bits	Identifier	Access	Reset	Name
31:0	CCR1	rw	—	CCR1

## 4.14. TIM\_CCR1 регистр

- Absolute Address: 0x34
- Base Offset: 0x34
- Size: 0x4

Bits	Identifier	Access	Reset	Name
31:0	CCR1	rw	—	CCR1

## 4.15. TIM\_CCR2 регистр

- Absolute Address: 0x38
- Base Offset: 0x38
- Size: 0x4

Bits	Identifier	Access	Reset	Name
31:0	CCR1	rw	—	CCR1

## 4.16. TIM\_CCR3 регистр

- Absolute Address: 0x3C
- Base Offset: 0x3C
- Size: 0x4

Bits	Identifier	Access	Reset	Name
31:0	CCR1	rw	—	CCR1

## 4.17. TIM\_CCR4 регистр

- Absolute Address: 0x40
- Base Offset: 0x40
- Size: 0x4

Bits	Identifier	Access	Reset	Name
31:0	CCR1	rw	—	CCR1



# Chapter 5. Программирование

## 5.1. Сценарии для счета

### 5.1.1. Сценарий: Счет вверх

1. Установить поле **DIR** = 0. Это настроит режим счета **вверх**.
2. Установить *autoreload* значение. Для этого необходимо загрузить в регистр TIM\_ARR значение — основание счета.
3. Далее, если предварительная загрузка регистра TIM\_ARR включена (**APRE** = 1), то необходимо программно сгенерировать событие обновления UEV. Это нужно для переноса значения из *preload* регистра TIM\_ARR в теневой регистр — именно с ним работает основной счетчик. Для этого нужно установить бит **UG** в регистре TIM\_EGR. Если же **APRE** = 0, то значение ARR сразу попадет в теневой регистр.
4. Установить **CEN** = 1 в регистре TIM\_CR1. Это запустит основной счетчик CNT.

### 5.1.2. Сценарий: Счет вниз

1. Установить поле **DIR** = 1. Это настроит режим счета **вниз**.
2. Установить *autoreload* значение. Для этого необходимо загрузить в регистр TIM\_ARR значение — основание счета.
3. Далее, если предварительная загрузка регистра TIM\_ARR включена (**APRE** = 1), то необходимо программно сгенерировать событие обновления UEV. Это нужно для переноса значения из *preload* регистра TIM\_ARR в теневой регистр — именно с ним работает основной счетчик. Для этого нужно установить бит **UG** в регистре TIM\_EGR. Если же **APRE** = 0, то значение ARR сразу попадет в теневой регистр.
4. Установить **CEN** = 1 в регистре TIM\_CR1. Это запустит основной счетчик CNT.

### 5.1.3. Сценарий: Счет вверх-вниз

1. Настроить поле **CMS**. Это настроит необходимый режим счета.
2. Установить *autoreload* значение. Для этого необходимо загрузить в регистр TIM\_ARR значение — основание счета.
3. Далее, если предварительная загрузка регистра TIM\_ARR включена (**APRE** = 1), то необходимо программно сгенерировать событие обновления UEV. Это нужно для переноса значения из *preload* регистра TIM\_ARR в теневой регистр — именно с ним работает основной счетчик. Для этого нужно установить бит **UG** в регистре TIM\_EGR. Если же **APRE** = 0, то значение ARR сразу попадет в теневой регистр.
4. Установить **CEN** = 1 в регистре TIM\_CR1. Это запустит основной счетчик CNT.

### 5.1.4. Сценарий: Счет вверх по фронту на канале TI2

1. Сперва необходимо сконфигурировать вывод TI2 как **вход**. Для этого нужно установить

поле **CC2S** = 01 в регистре TIMx\_CCMR1.

2. Нужно задать коэффициент фильтра для генерации сигнала TI2F без ненужных помех. Это можно сделать, установив поле **IC2F** регистра TIMx\_CCMR1 в необходимое значение.
3. Теперь необходимо выбрать полярность сигнала. То есть на какой фронт будет реагировать счетчик. Это можно сделать с помощью полей CC2P и CCN2P в регистре TIMx\_CCER.
4. Необходимо настроить таймер на выбор сигнала тактирования с вывода TI2, записав **TS=110** в регистр TIMx\_SMCR.
5. Необходимо настроить таймер на режим внешнего тактирования №1, установив поле **SMS** = 111 в регистр TIMx\_SMCR.
6. Включить счетчик, установив поле **CEN** = 1 в регистре TIMx\_CR1. Когда на входе TI2 происходит фронт, счётчик отсчитывает один раз, и устанавливается флаг TIF.

## 5.2. Сценарии для синхронизации таймеров с внешними сигналами

### 5.2.1. Сценарий: Режим сброса

1. Настроить фильтр входного сигнала в канале TI1, задав необходимую длительность сигнала с помощью поля IC1F в регистре TIM\_CCMR1.
2. Выбрать фронт, по которому будет происходить сброс таймера (передний или задний). Это делается с помощью настройки поля CC1P в регистре TIM\_CCER.
3. Далее нужно выбрать событие для сигнала TRGI. В данном примере нужно мультиплексировать значение сигнала TI1 на провод TRGI. Для этого необходимо настроить поле **TS** = 101 в регистре TIM\_SMCR.
4. Далее нужно выбрать режим внешнего тактирования. Необходимо выбрать тактирование сигналом TRGI и установить режим сброса. Для этого нужно установить поле ECE регистра TIM\_SMCR в 0, а поле **SMS** = 100.
5. Теперь по заданному фронту сигнала на канале TI1 будет происходить сброс основного счетчика CNT и обновление теневых регистров TIM\_ARR и TIM\_CCRx, если буферизация этих регистров включена.

### 5.2.2. Сценарий: Режим стробирования

В этом режиме запуск/остановка счетчика зависит от уровня внешнего сигнала. Например, можно контролировать работу основного счетчика CNT с помощью сигнала с канала TI1. Для этого необходимо:

1. Настроить фильтр входного сигнала в канале TI1, задав необходимую длительность сигнала с помощью поля IC1F в регистре TIM\_CCMR1.
2. Выбрать фронт, по которому будет происходить запуск или остановка таймера (передний или задний). Это делается с помощью настройки поля CC1P в регистре

TIM\_CCER.

3. Далее нужно выбрать событие для сигнала TRGI. В данном примере нужно мультиплексировать значение сигнала TI1 на провод TRGI. Для этого необходимо настроить поле **TS = 101** в регистре TIM\_SMCR.
4. Далее нужно выбрать режим внешнего тактирования. Необходимо выбрать тактирование сигналом TRGI и установить режим стробирования. Для этого нужно установить поле ECE регистра TIM\_SMCR в 0, а поле **SMS = 101**.
5. Теперь работа счетчика регулируется уровнем сигнала на канале TI1. При запуске или остановке счетчика устанавливается флаг TIF в регистре TIM\_SR1. Если разрешены генерация прерывания или запросы к DMA, то они также будут сгенерированы.

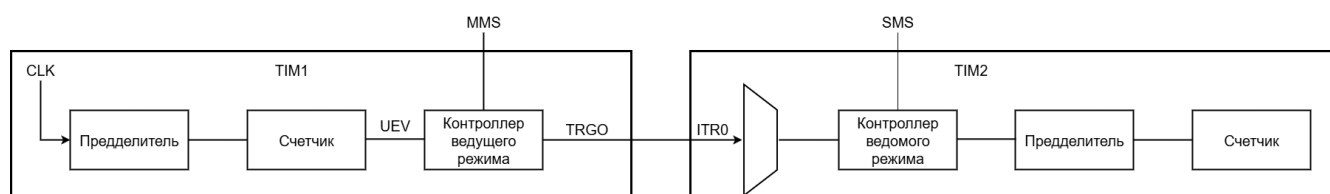
### 5.2.3. Сценарий: Режим триггера

В этом режиме счетчик может быть запущен по внешнему событию на входе.

1. Настроить фильтр входного сигнала в канале TI1, задав необходимую длительность сигнала с помощью поля IC1F в регистре TIM\_CCMR1.
2. Выбрать фронт, по которому будет происходить запуск таймера (передний или задний). Это делается с помощью настройки поля CC1P в регистре TIM\_CCER.
3. Далее нужно выбрать событие для сигнала TRGI. В данном примере нужно мультиплексировать значение сигнала TI1 на провод TRGI. Для этого необходимо настроить поле **TS = 101** в регистре TIM\_SMCR.
4. Далее нужно выбрать режим внешнего тактирования. Необходимо выбрать тактирование сигналом TRGI и установить режим стробирования. Для этого нужно установить поле ECE регистра TIM\_SMCR в 0, а поле **SMS = 110**.
5. Теперь можно запускать основной счетчик CNT по заданному фронту сигнала на канале TI1.

## 5.3. Сценарии для комбинации нескольких таймеров

### 5.3.1. Сценарий: Один таймер является предделителем для другого таймера



В этом режиме сигнал разрешения для таймера №2 генерируется с помощью сравнения основного счетчика CNT таймера №1 с его регистром захвата/сравнения. То есть, активирующим сигналом таймера №2 является сигнал OCREF1, который формируется в результате сравнения значения основного счетчика и значения в регистре CCR.

1. Сконфигурируем Таймер №1 для работы в режиме ведущего устройства.
2. Таймер №2 должен быть сконфигурирован в режиме ведомого устройства.
3. Затем контроллер ведомого режима должен быть переведен в режим внешнего тактирования 1 (записью SMS=111 в регистр TIM2\_SMCR). Это приводит к тому, что Таймер 2 начинает тактироваться по переднему фронту периодического триггерного сигнала от Таймера 1.
4. Оба таймера должны быть включены, путем установки битов CEN в регистры TIM1\_CR1 и TIM2\_CR1.

### 5.3.2. Сценарий: Один таймер запускает другой таймер

В этом режиме Таймер №2 начинает счет, когда Таймер №1 генерирует событие обновление UEV (update Event). UEV генерируется когда значение основного счетчика CNT таймера №1 совпадает со значением TIM1\_ARR.

1. Необходимо сконфигурировать Таймер №1 в режиме ведущего (Master Mode). Для того чтобы сигнал TRGO формировался в зависимости от сигнала UEV нужно установить значение **MMS = 010** в регистре TIM1\_CR2.
2. Теперь нужно задать основание счета, то есть загрузить значение в регистр автоперезагрузки TIM1\_ARR.
3. Необходимо настроить Таймер №2 в режим ведомого, а именно в режим триггера, для чего нужно установить SMS = 110 в регистре TIM2\_SMCR. Для того, чтобы Таймер №2 был чувствителен к сигналу UEV от Таймера №1, необходимо установить **TS = 000** в регистре TIM2\_SMCR.
4. Наконец, необходимо запустить Таймер №1 с помощью установки **CEN = 1** в регистре TIM1\_CR1.

### 5.3.3. Сценарий: Активация двух таймеров от внешнего события

В этом режиме Таймер №1 может работать как в режиме ведомого (входа внешнего события TI1), так и в режиме ведущего (относительно Таймера №2). Таким образом, сначала активируется Таймером №1, затем Таймер №2.

1. Необходимо сконфигурировать Таймер №1 в режиме ведущего, для этого необходимо установить **MMS = 001** в регистре TIM1\_CR2.
2. Необходимо сконфигурировать Таймер №1 в режиме ведомого для получения сигнала внешнего события с вывода TI1. Для этого необходимо установить **TS = 100** в регистр TIM1\_SMCR.
3. Таймер №1 должен работать в конкретном режиме ведомого, а именно в режиме триггера, для этого необходимо установить **SMS = 110** в регистре TIM1\_SMCR.
4. Таймер №1 должен быть в режиме Ведущий/Ведомый, установив **MSM=1** (регистр TIM1\_SMCR).
5. Необходимо настроить Таймер №2 в режиме ведомого для получения сигнала с Таймера №1. Для этого нужно установить **TS = 000** в регистре TIM2\_SMCR.

6. Также необходимо настроить Таймер №2 в триггерном режиме. Для этого нужно установить **SMS = 110** в регистре TIM2\_SMCR.

## 5.4. Сценарии для работы в режиме захвата

### 5.4.1. Сценарий: Захват значения счетчика в регистр TIMx\_CCR1 по фронту сигнала TI1

1. Выбрать активный вход, в данном примере — TI1. Для этого необходимо установить поле **CC1S = 01** в регистре TIMx\_CCMR1.
2. Необходимо задать коэффициент фильтра.
3. Необходимо выбрать полярность сигнала с вывода TI1.
4. Настроить предделитель с помощью битов IC1PS в регистре TIMx\_CCMR1.
5. Разрешить захват значения счетчика, установив бит **CC1E** в регистре TIMx\_CCER.
6. Разрешить установку запроса прерывания или запрос к DMA с помощью установки полей **CC1IE** и **CC1DE** в регистре TIMx\_DIER.

## 5.5. Сценарии для работы в режиме сравнения

### 5.5.1. Сценарий: Работа в режиме ШИМ

Данный режим позволяет генерировать сигнал с частотой, определяемой значением регистра автоперезагрузки TIM\_ARR, и скважностью, определяемой значением регистра TIM\_CCR.

1. Необходимо выбрать режим ШИМ. Это делается путем записи 110 (Режим №1) или 111 (Режим №2) в поле **OCxM** регистра TIM\_CCMR.
2. Далее включить предзагрузку регистров **TIM\_ARR** и **TIM\_CCR**. Это необходимо для того, чтобы в момент изменения одного из регистров не исказился сигнал ШИМ. Для включения предзагрузки регистра **TIM\_ARR** необходимо установить **APRE = 1** в регистре TIM\_CR1. Для включения предзагрузки регистра TIM\_CCRx необходимо установить **OCxPE = 1** в регистре TIM\_CCMRx.
3. Теперь нужно загрузить значения из preload регистров в теньевые регистры. Для этого можно программно сгенерировать сигнал обновления UEV (Update Event). Для этого необходимо установить бит **UG** в регистре TIMx\_EGR.
4. Необходимо настроить полярность выхода с помощью бита **CCxP** в регистре TIMx\_CCER. Также нужно активировать выход с помощью установки бита **CCxE** в регистре TIM\_CCERx.