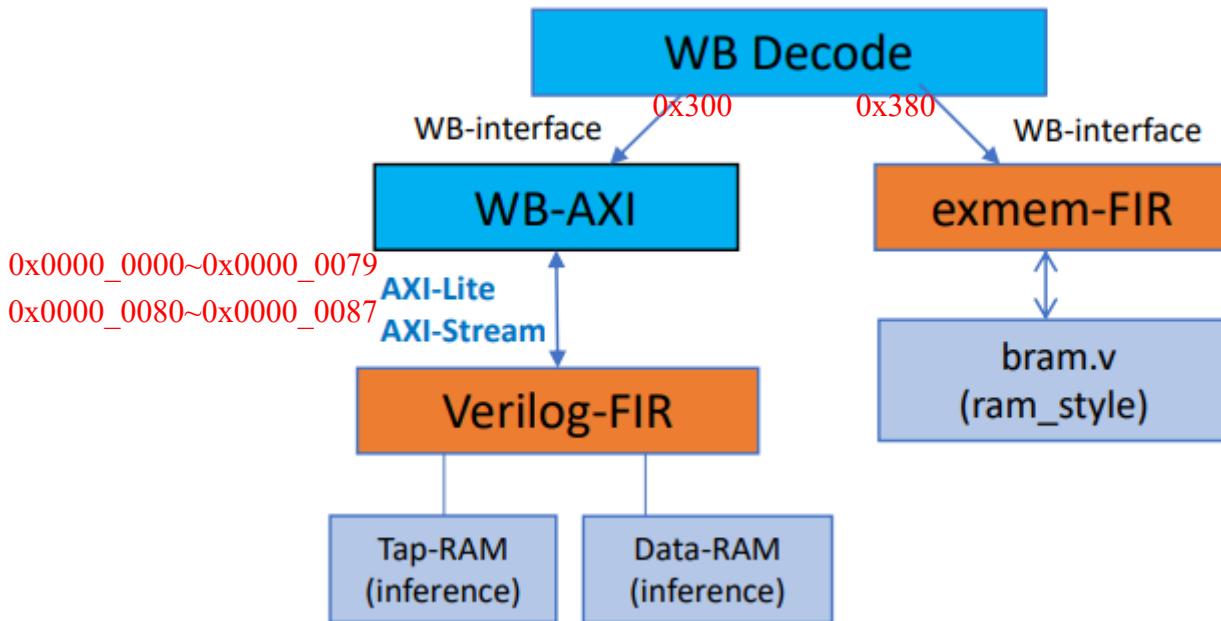


Lab4-2 Report

Student: 311511010 蘇泰齊、311505023 傅冠融

- Design block diagram



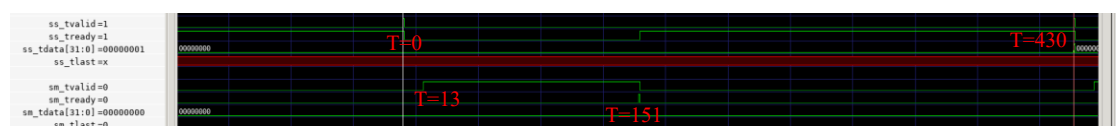
- The interface protocol between firmware, user project and testbench
主要透過 WB interface 進行傳輸，並透過 GPIO pin 將 16 個 checkbits 傳至 testbench。
- Waveform and analysis of the hardware/software behavior
第一區塊的地址為 3800 開頭，應是將 data 寫入 mprijram，後方三區塊分別為三次 FIR engine 之運算過程，可見先 program tap 後，在 program data 時同步將 y 從 sm_tdata 輸出，最後透過 checkbits 在 testbench 檢查答案。





- What is the FIR engine theoretical throughput, i.e. data rate? Actually measured throughput?

根據使用之 Lab3 設計，一個 y 之計算時間為 13T。實際量測從開始 program data 到 end mark 共需要 23552T，扣除後方檢查答案的時間，單看一個 y 的計算時間的話平均為 430T，由下圖可見從 ss_tvalid 到 sm_tvalid 僅需 13T，但後方還要等 138T 才會有 sm_tready 將值取走，並且再過 279T 下一筆 data 才會由 ss_tvalid 輸入。



- What is latency for firmware to feed data?
參考上圖，latency=430-151=279T。
- What techniques used to improve the throughput?

參考其他組別使用之 firmware 編譯優化，這邊選用-O1 後，三次模擬的總 latency 從 176640T 降至 66000T，從下圖可見計算時間相比確認答案時間明顯減少，一個 y 僅需 55T 即可計算完畢。

