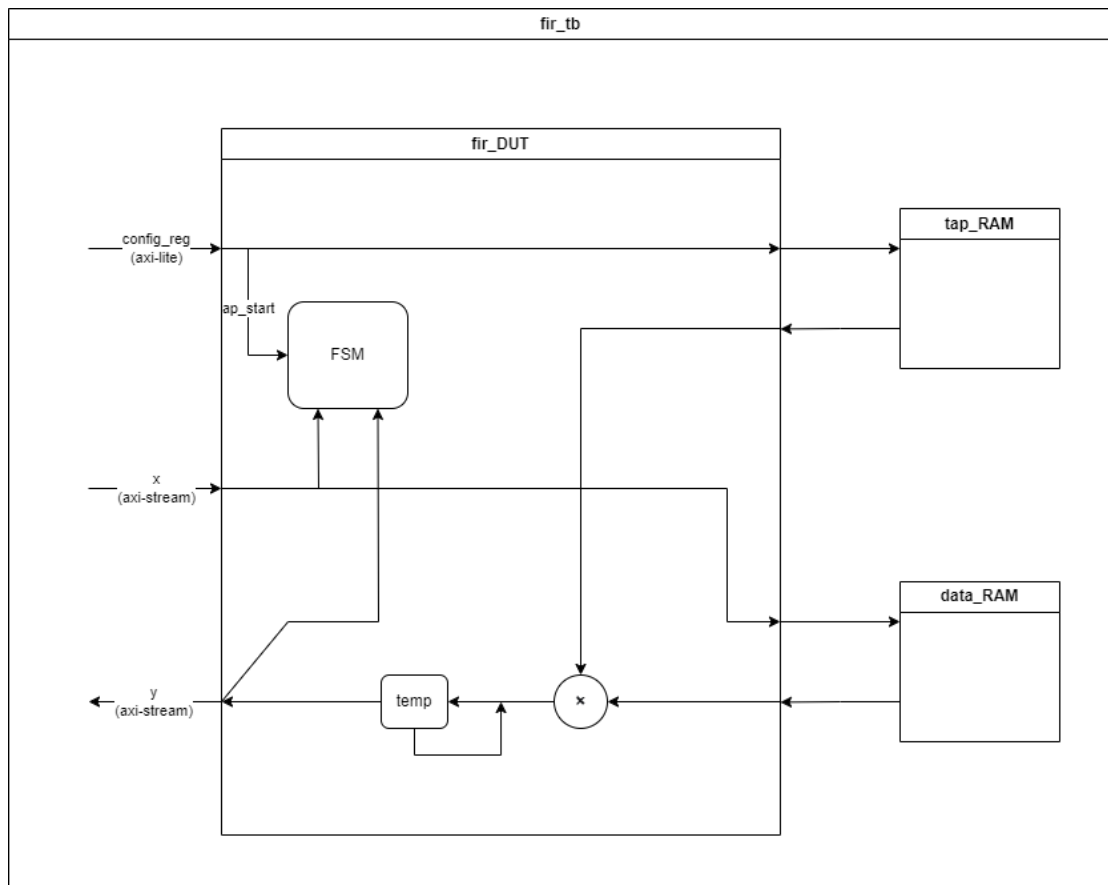


Lab3 Report

- Block Diagram



- Describe operation

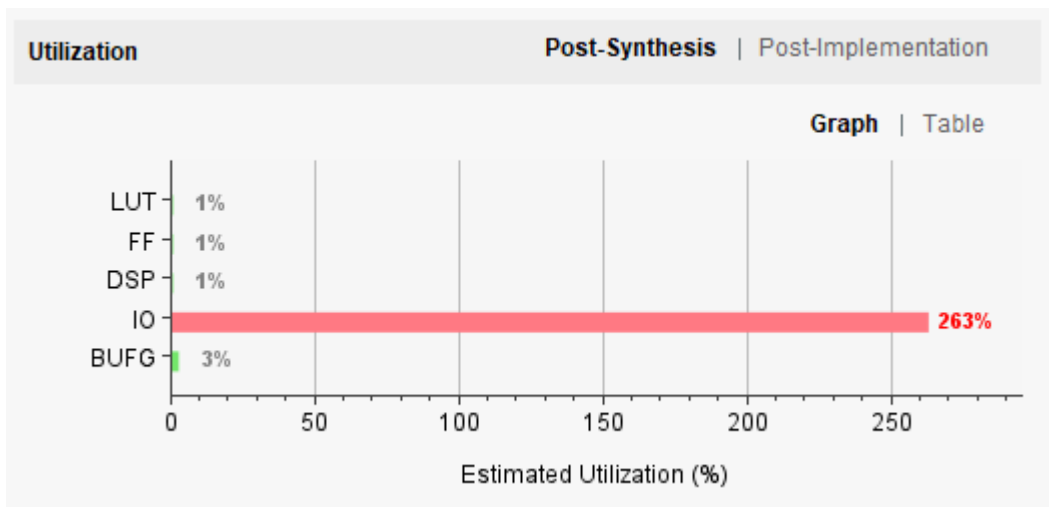
設計之 fir 主要由 FSM 的 4 個 state 控制訊號，包含 S_IDLE、S_TAP、S_DATA 和 S_SUM。Fir 起初經過 reset 後便會進入 S_IDLE，待 axi-lite 傳出寫入訊號即進入 S_TAP。

S_TAP 主要進行接收 data_length、ap_start 和 tap_coefficient 之行為，針對 axi-lite 之寫入，fir 會等到 awvalid 和 wvalid 皆為 1 時同時接收 waddr 和 wdata，利用 waddr 判斷傳入訊號。若是 tap_coefficient，便將 waddr 和 wdata 分別作為 tap_A 和 tap_Di 寫入 tap_RAM，另外，當寫入 tap_RAM 時，會對 data_RAM 的相同地址寫入 0，以便後續運算。而如果是 data_length、ap_start，直接存入 register 即可，此 state 在收到 ap_start 後進入 S_DATA。

S_DATA 階段為接收 x，x 存入的 data_RAM 位置每次會 shift 1，即 0、1、2、...、10、0、...，詳細作法可參考以下說明之 t_mod11。最後，當 ss_tvalid 和 ss_tready 皆為 1 時，進入 S_SUM。

S_SUM 進行 $y[t] = \sum (h[i] * x[t - i])$ 之運算，因僅使用乘法器和加法器各一，此 state 會花費超過 11 個 cycle 對 y 做累加。具體作法使用 2 個 counter，第一個是 i，每次皆會從 0 數到 10，第二個是 t_mod11，其在每次算完一個 y[t] 後累加 1，若超過 10 即歸 0，如此當 i 從 0 數到 10，便可得 tap_RAM 和 coefficient_RAM 各自對應之 addr。計算完畢後，從 sm_tdata 送出 y，並檢查 t 是否等於 data_length。若否，進入 S_DATA 接收下一筆 x，若是，進入 S_IDLE，並讓 ap_done = 1、ap_idle = 1。

- Resource usage



LUT	FF	BRAM	URAM	DSP
313	125	0	0	3

- Timing Report

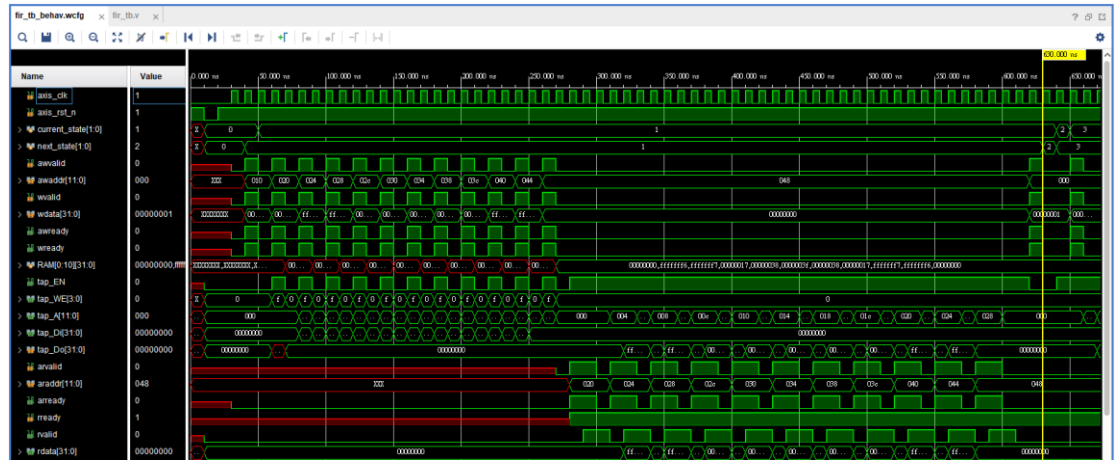
Name	Waveform	Period (ns)	Frequency (MHz)
axis_clk	{0.000 3.000}	6.000	166.667

Setup				Hold				Pulse Width					
Worst Negative Slack (WNS): 0.168 ns				Worst Hold Slack (WHS): 0.140 ns				Worst Pulse Width Slack (WPWS): 2.500 ns					
Total Negative Slack (TNS): 0.000 ns				Total Hold Slack (THS): 0.000 ns				Total Pulse Width Negative Slack (TPWS): 0.000 ns					
Number of Failing Endpoints: 0				Number of Failing Endpoints: 0				Number of Failing Endpoints: 0					
Total Number of Endpoints: 185				Total Number of Endpoints: 185				Total Number of Endpoints: 126					
Name	Slack	Levels	High Fanout	From	To	Total Delay	Logic Delay	Net Delay	Requirement	Source Clock	Destination Clock	Exception	Clock Uncertainty
Path 1	0.168	11	3	data_length_reg[4]C	ap_done_regID	5.696	3.195	2.501	6.000	axis_clk	axis_clk		0.035
Path 2	0.168	11	3	data_length_reg[4]C	current_state_reg[1]D	5.696	3.195	2.501	6.000	axis_clk	axis_clk		0.035
Path 3	0.168	11	3	data_length_reg[4]C	ss_tready_regID	5.696	3.195	2.501	6.000	axis_clk	axis_clk		0.035
Path 4	0.752	10	3	data_length_reg[4]C	ap_idle_regID	5.112	3.071	2.041	6.000	axis_clk	axis_clk		0.035
Path 5	1.679	11	168	current_state_reg[1]C	temp_reg[29]D	4.217	2.628	1.589	6.000	axis_clk	axis_clk		0.035
Path 6	1.685	11	168	current_state_reg[1]C	temp_reg[31]D	4.211	2.622	1.589	6.000	axis_clk	axis_clk		0.035
Path 7	1.760	11	168	current_state_reg[1]C	temp_reg[30]D	4.136	2.547	1.589	6.000	axis_clk	axis_clk		0.035
Path 8	1.784	11	168	current_state_reg[1]C	temp_reg[28]D	4.112	2.523	1.589	6.000	axis_clk	axis_clk		0.035
Path 9	1.796	10	168	current_state_reg[1]C	temp_reg[25]D	4.100	2.511	1.589	6.000	axis_clk	axis_clk		0.035

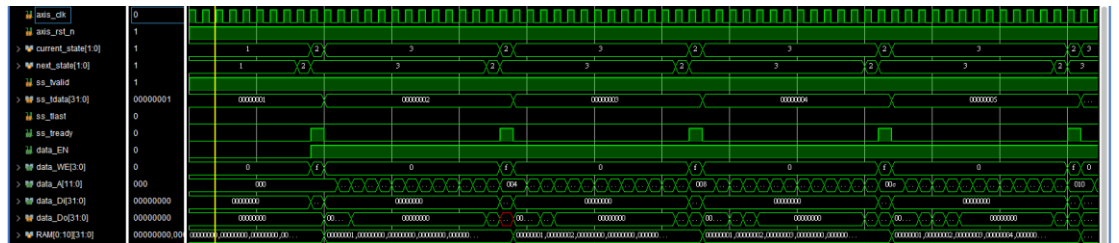
Critical path 在 data_length 到 ap_done，其應為判斷是否已計算到第 data_length 筆資料，以便結束 fir。

- Simulation Waveform

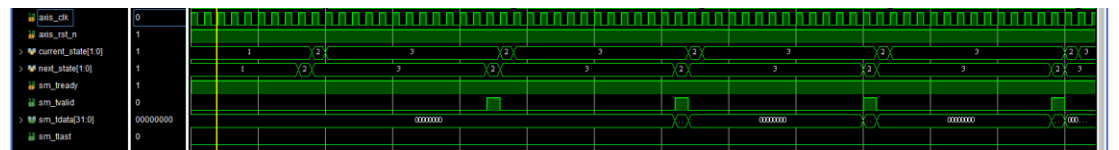
■ Coefficient program, and read back



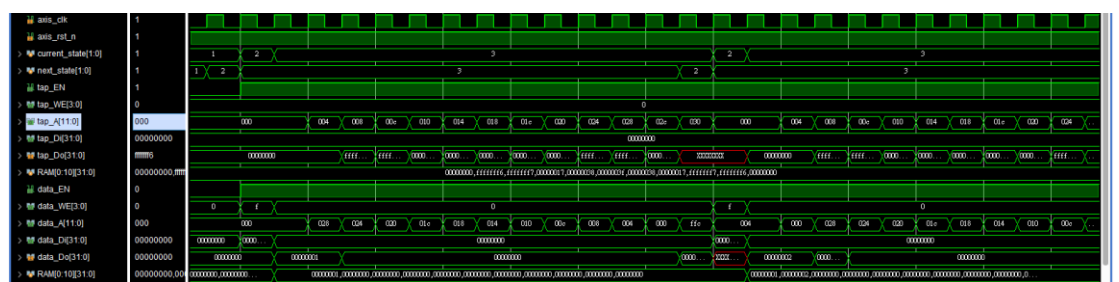
■ Data-in stream-in



■ Data-out stream-out



■ Bram access control



■ FSM

