



Министерство науки и высшего образования Российской Федерации
Федеральное государственное бюджетное образовательное учреждение
высшего образования
«Московский государственный технический университет
имени Н.Э. Баумана
(национальный исследовательский университет)»
(МГТУ им. Н.Э. Баумана)

ФАКУЛЬТЕТ «ИНФОРМАТИКА И СИСТЕМЫ УПРАВЛЕНИЯ»
КАФЕДРА «КОМПЬЮТЕРНЫЕ СИСТЕМЫ И СЕТИ (ИУ6)»
НАПРАВЛЕНИЕ ПОДГОТОВКИ «09.03.04 ПРОГРАММНАЯ ИНЖЕНЕРИЯ»

О т ч е т
по лабораторной работе № 4

Название: Исследование мультиплексоров

Дисциплина: Архитектура ЭВМ

Вариант: 17

Студент ИУ7-45Б
(Группа)

(Подпись, дата)

М. А. Семенчук
(И. О. Фамилия)

Преподаватель

(Подпись, дата)

А. Ю. Попов
(И. О. Фамилия)

2024 год

Оглавление

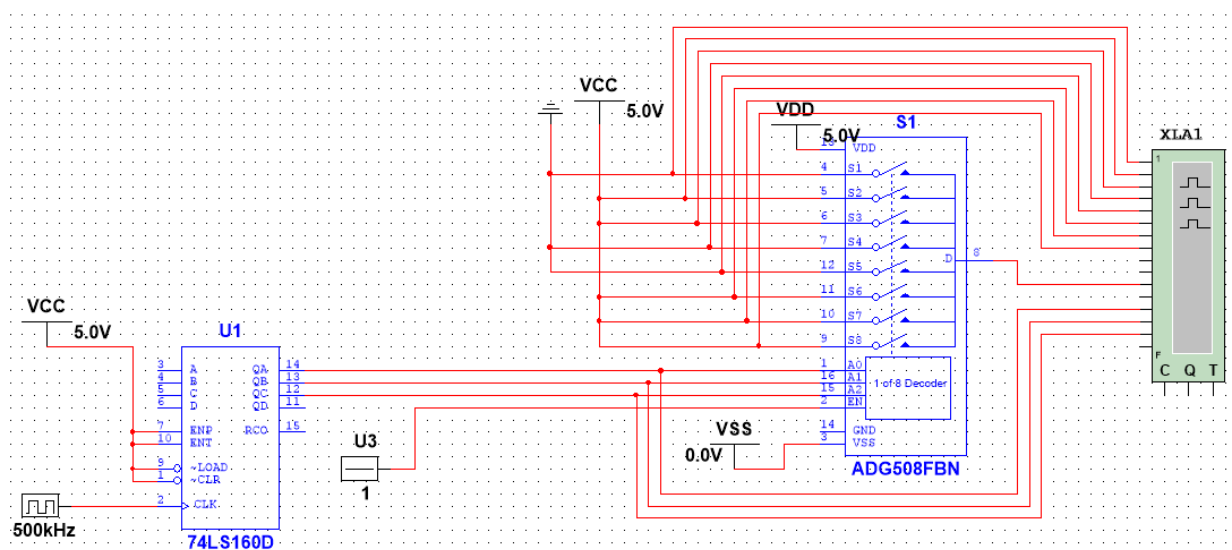
Цель работы	3
Исследование ИС ADG508 в качестве коммутатора MUX 8-1 цифровых сигналов	3
Исследование ИС ADG508 в качестве коммутатора MUX 8-1 аналоговых сигналов	4
Исследование ИС ADG508 как коммутатора MUX 8 – 1 цифровых сигналов в качестве формирователя ФАЛ 4-х переменных.....	9
Построение схемы мультиплексора MUX 16 – 1 на основе простого мультиплексора MUX 8 – 1 и дешифратора DC 2 – 4	11
Контрольные вопросы	12

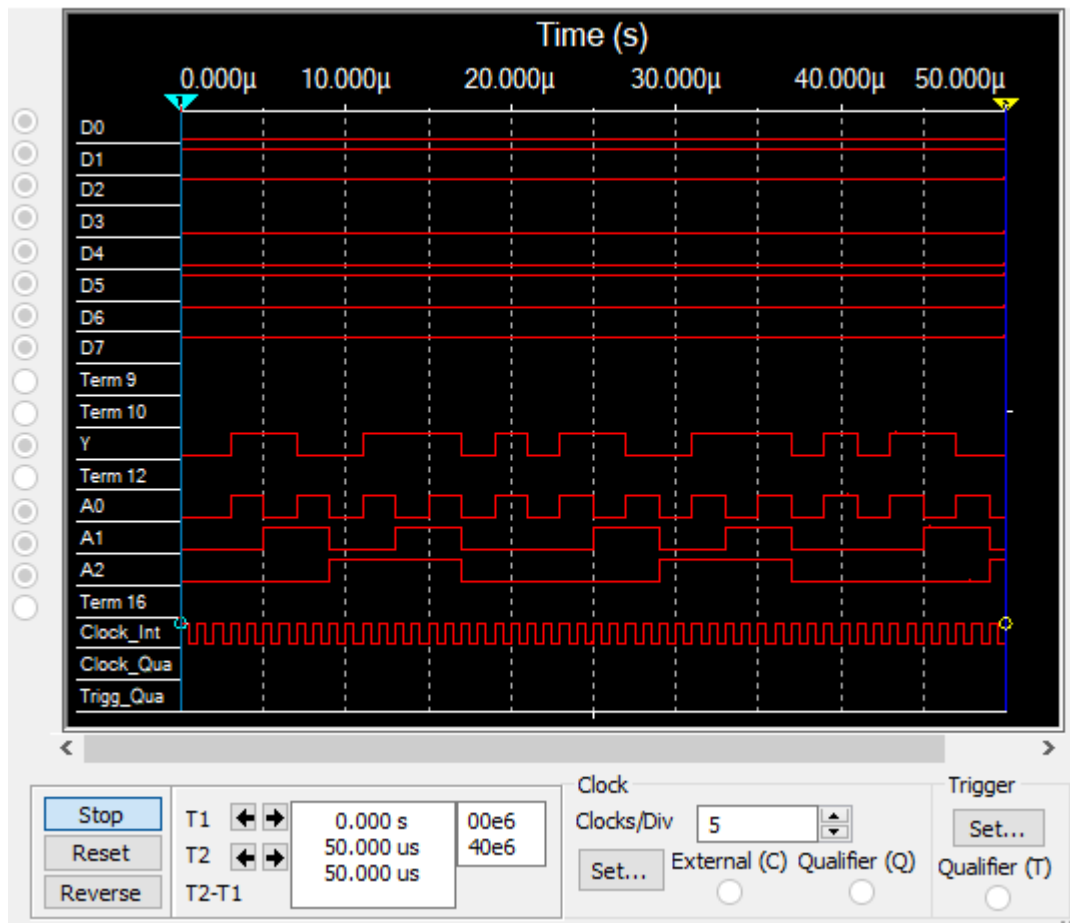
Цель работы

Изучение принципов построения, практического применения и экспериментального исследования мультиплексоров.

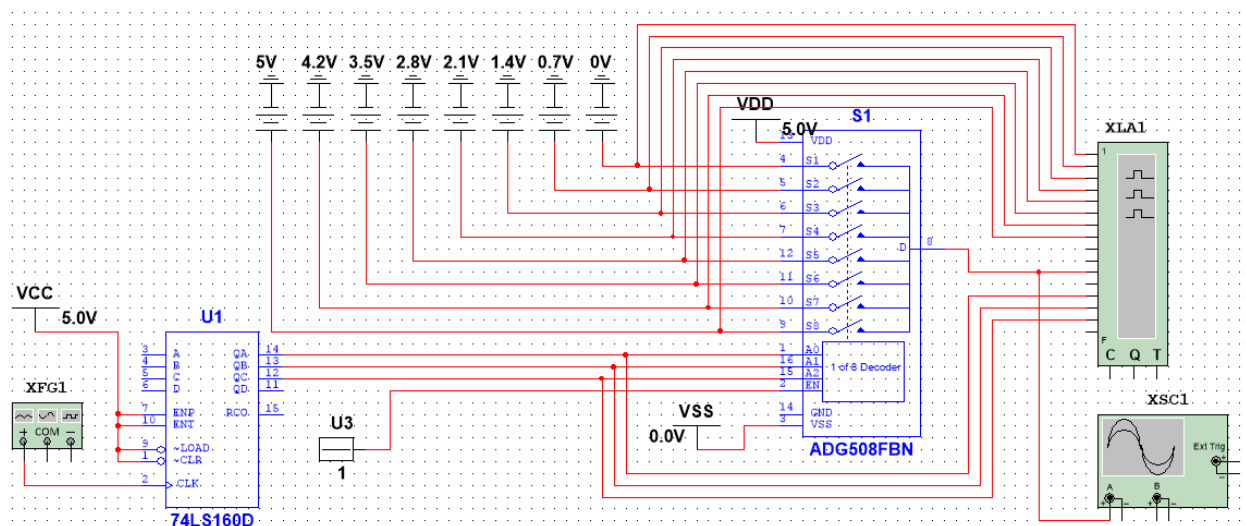
Исследование ИС ADG508 в качестве коммутатора MUX 8-1 цифровых сигналов

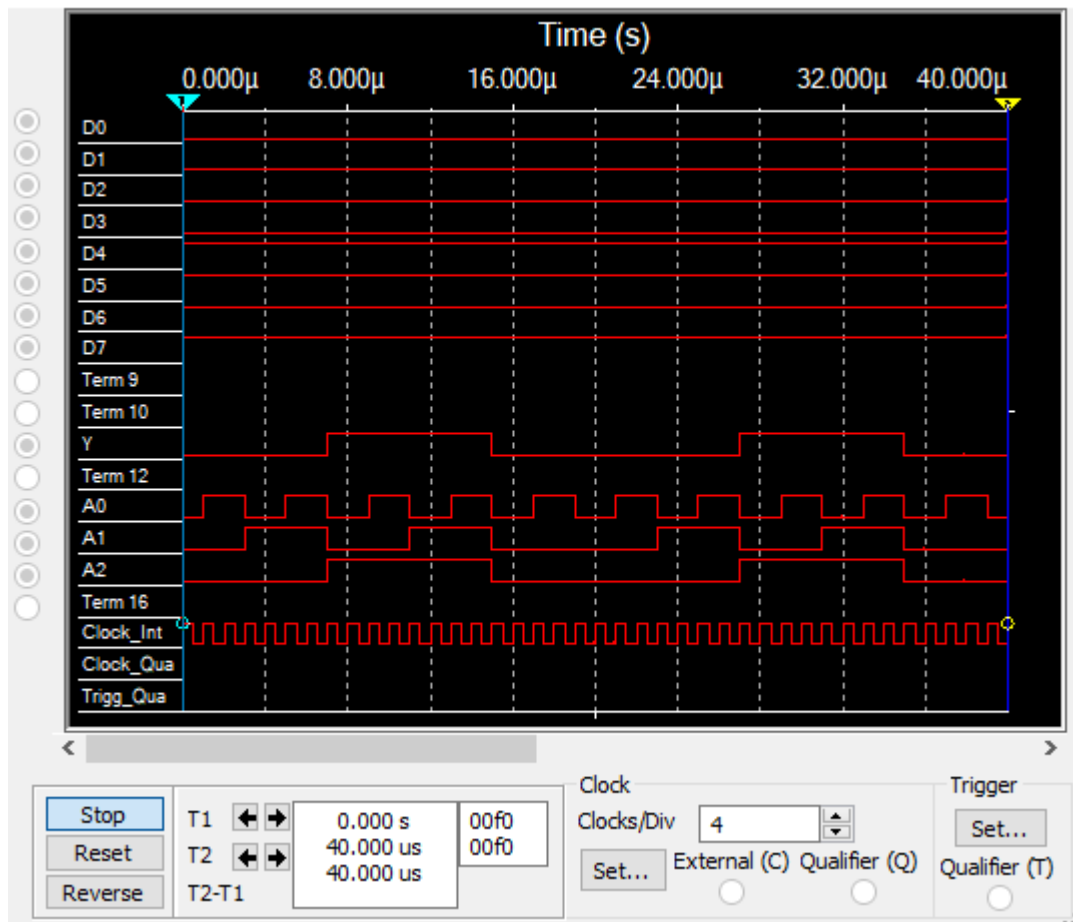
№ варианта	Входы D ₀ , ..., D ₇
17	01100111

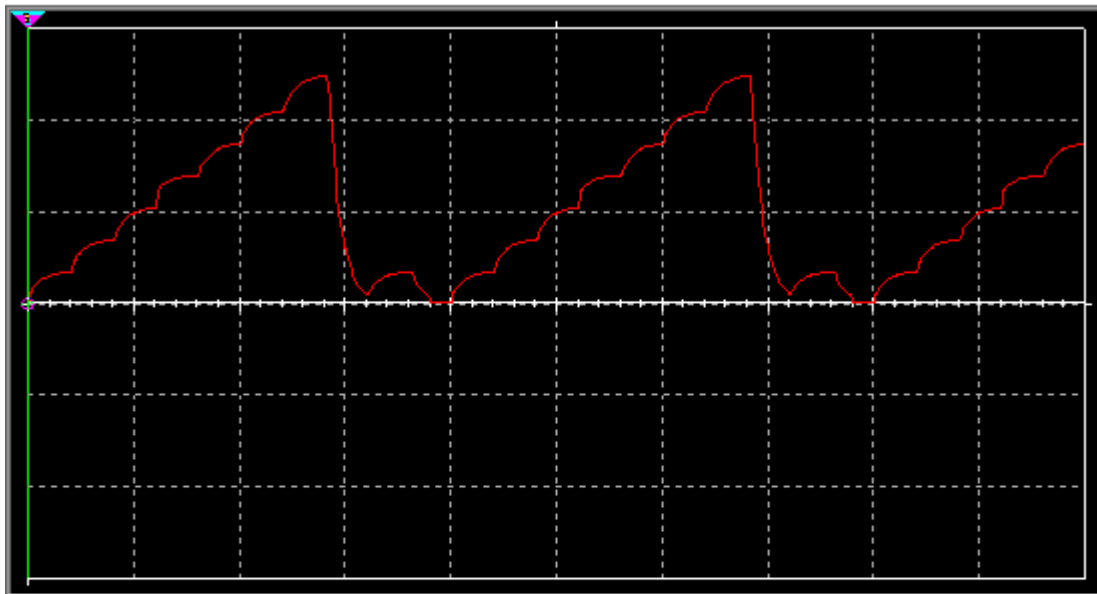




Исследование ИС ADG508 в качестве коммутатора MUX 8-1 аналоговых сигналов







	Time	Channel_A	Channel_B
T1	0.000 s	11.900 pV	
T2	0.000 s	11.900 pV	
T2-T1	0.000 s	0.000 V	

Reverse Save Ext. trigger ☐

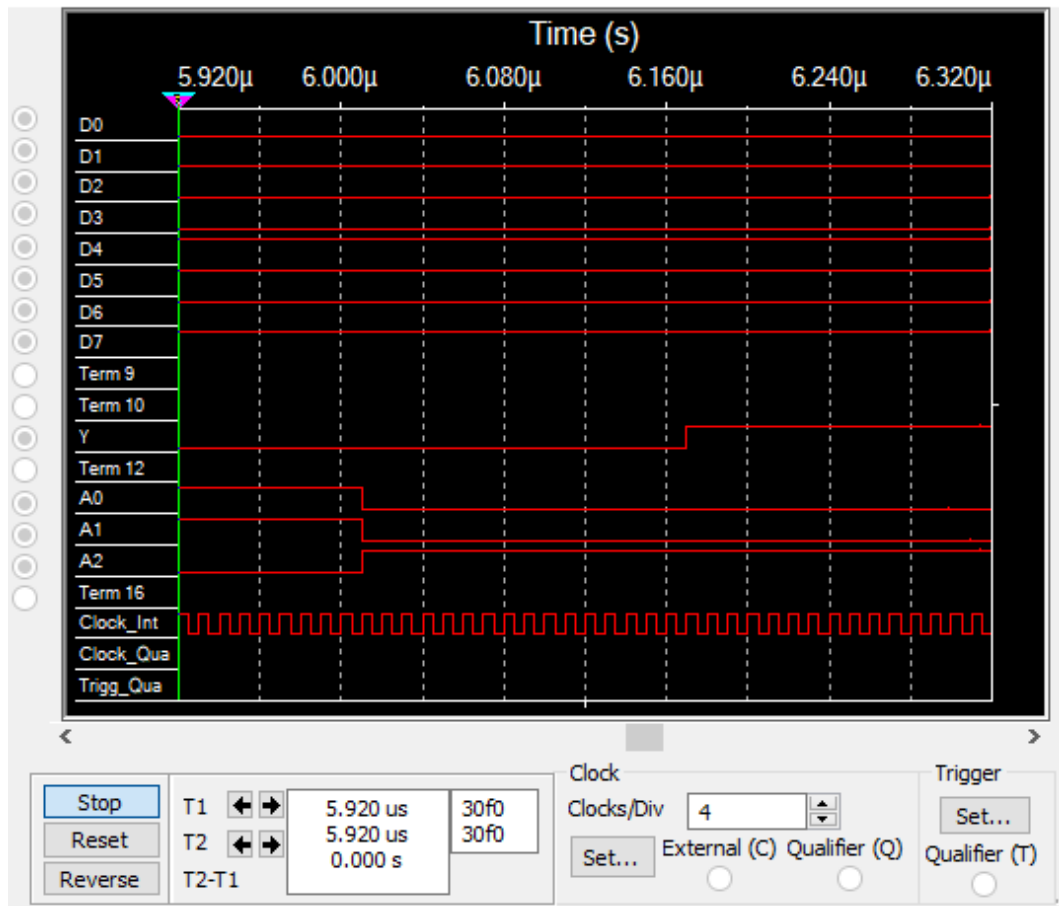
Timebase Channel A Channel B Trigger

Scale: 5 us/Div Scale: 2 V/Div Scale: 5 V/Div Edge: ☒ f ☐ r ☒ A ☐ B ☐ Ext

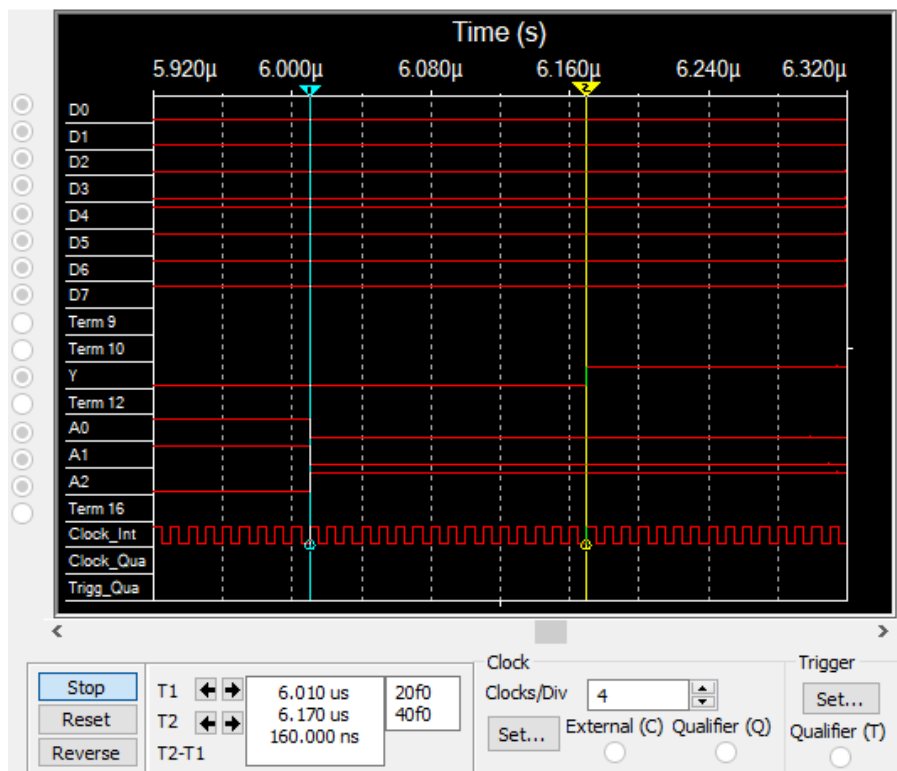
X pos.(Div): 0 Y pos.(Div): 0 Y pos.(Div): 0 Level: 0 V

☒ Y/T ☐ Add ☐ B/A ☐ A/B ☐ AC ☐ 0 ☒ DC ☐ ☐ AC ☐ 0 ☒ DC ☐ - ☐ Single ☐ Normal ☐ Auto ☒ None

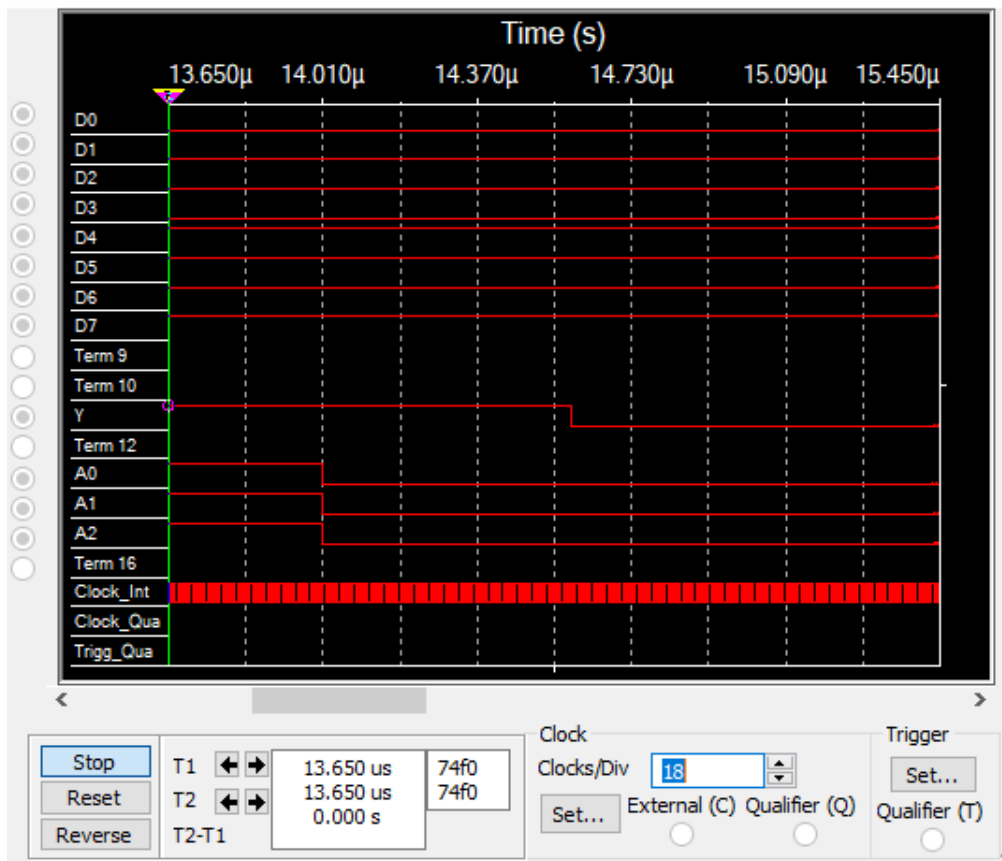
Logic Analyzer-XLA1



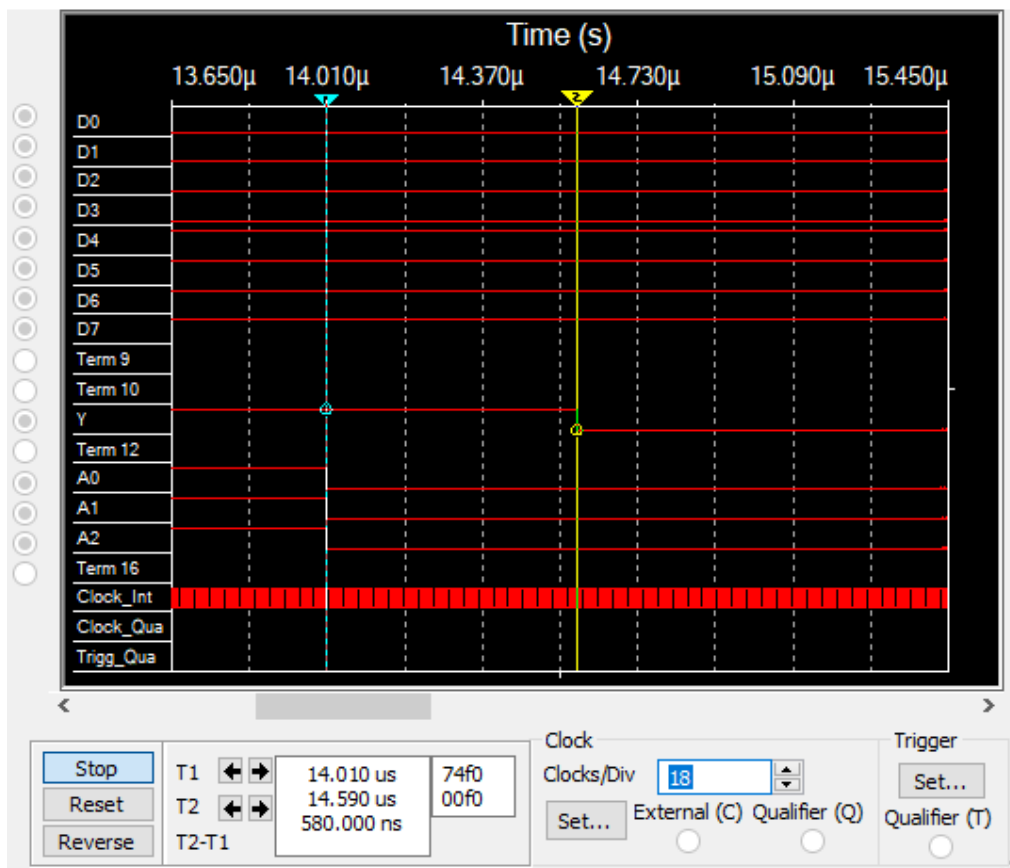
Logic Analyzer-XLA1



Logic Analyzer-XLA1



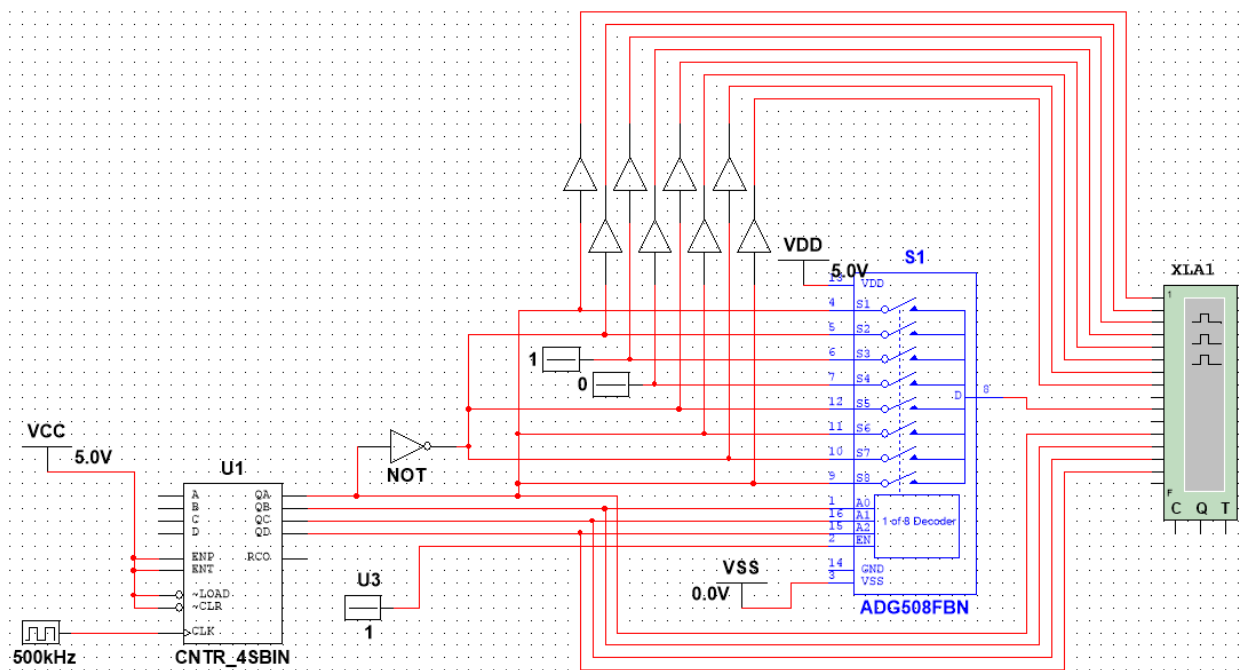
Logic Analyzer-XLA1



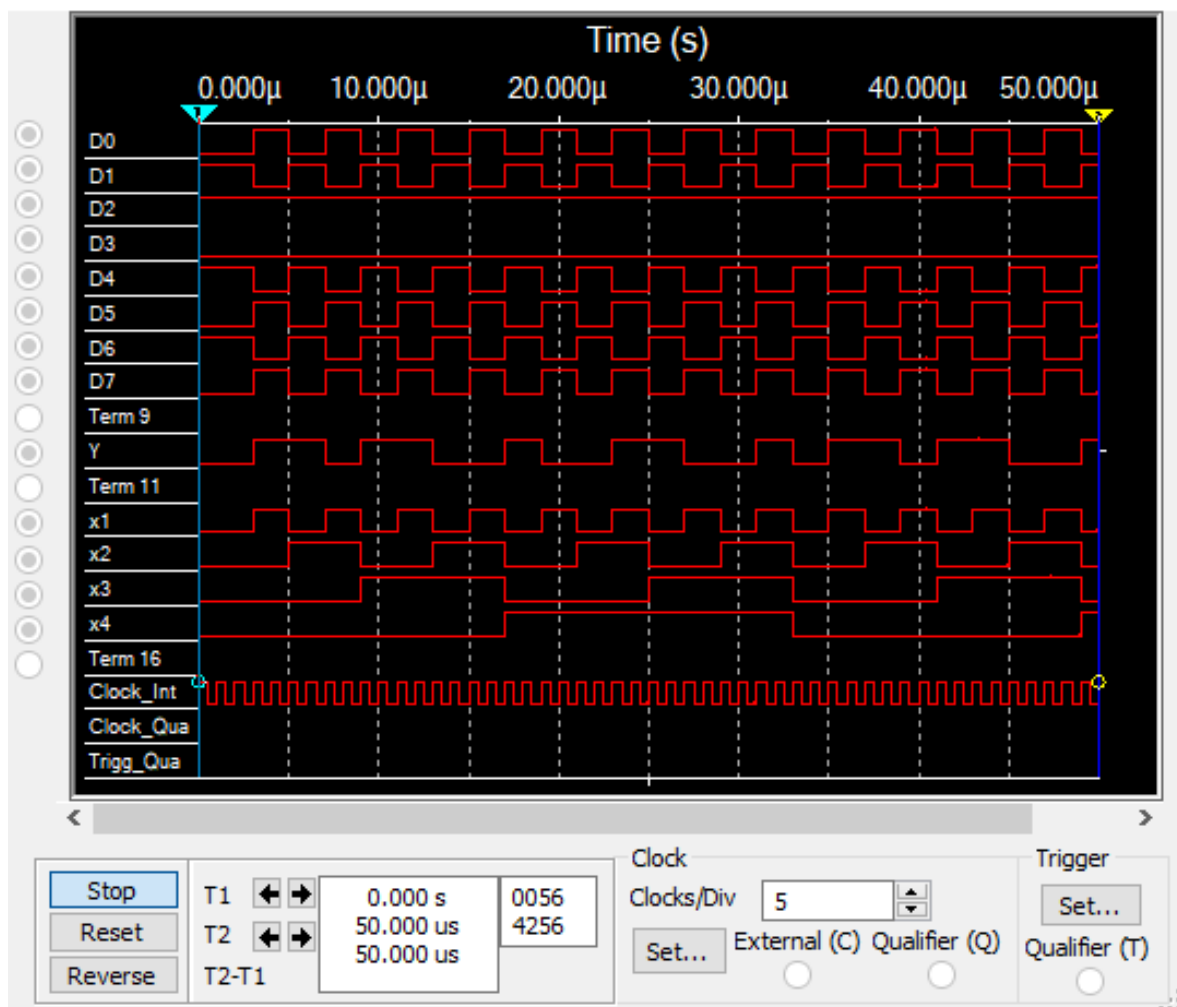
Исследование ИС ADG508 как коммутатора MUX 8 – 1 цифровых сигналов в качестве формирователя ФАЛ 4-х переменных

№ варианта	Логическая функция
17	1, 2, 4, 5, 8, 11, 12, 15

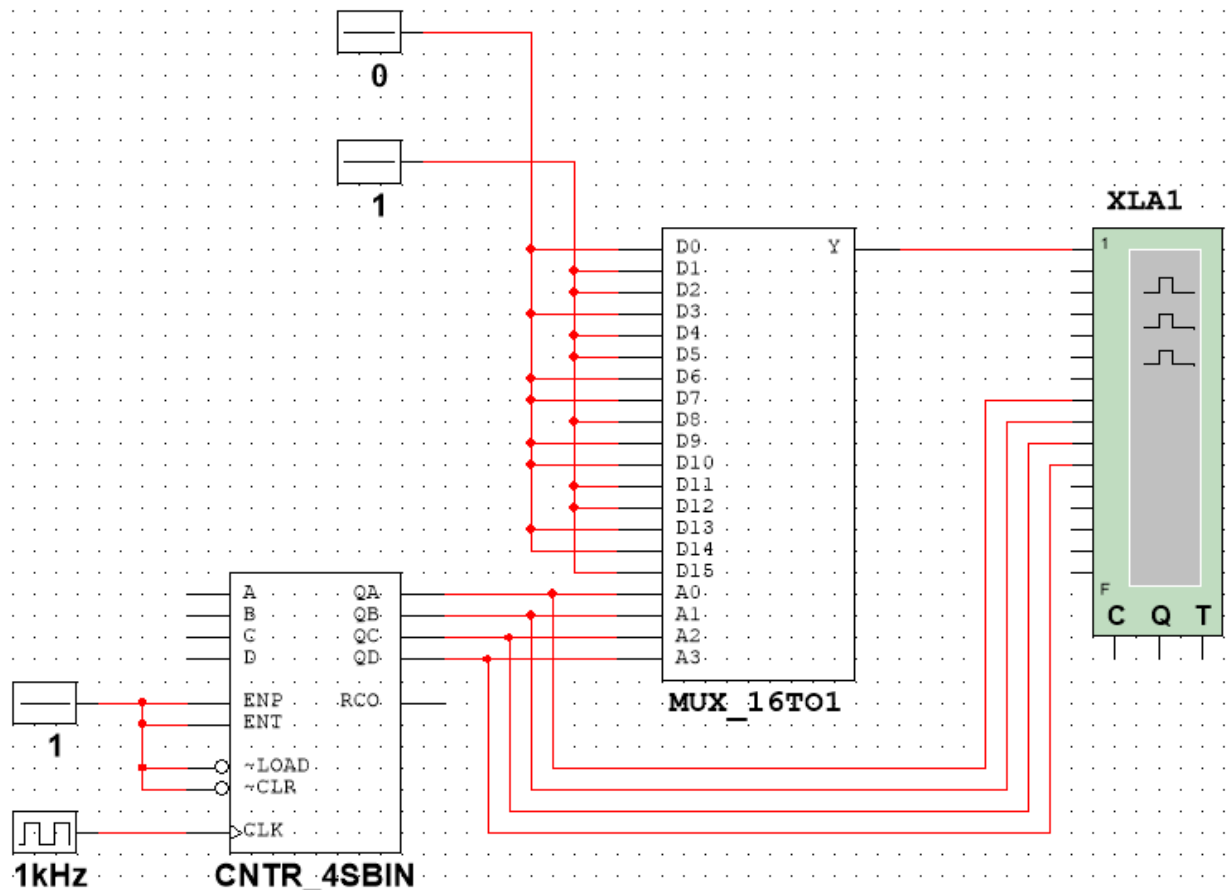
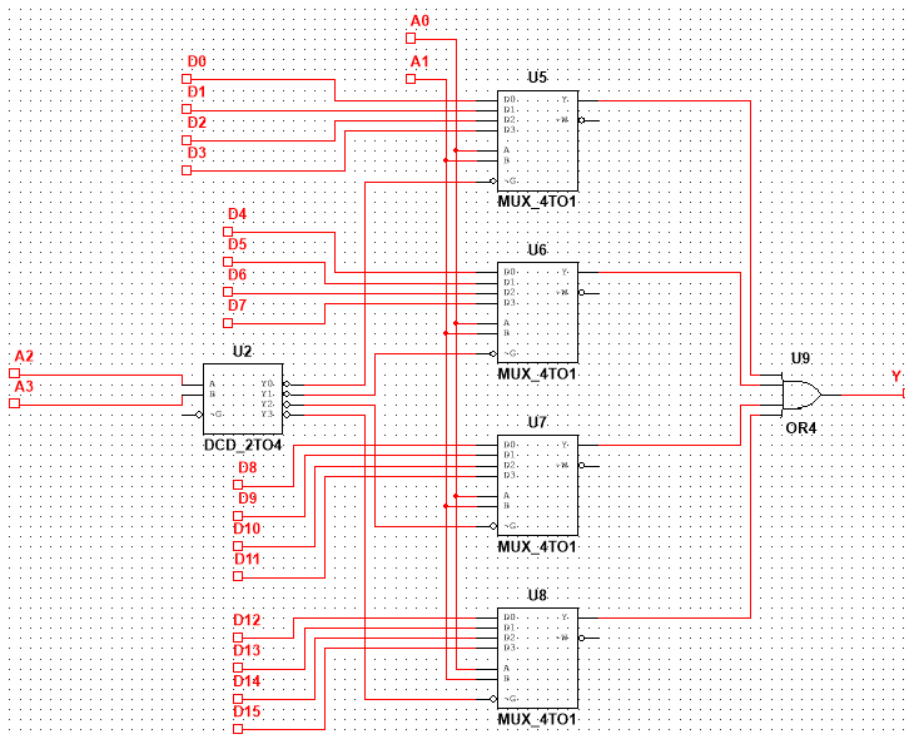
№ набора	x ₄	x ₃	x ₂	x ₁	f	Примечание
0	0	0	0	0	0	D ₀ = x ₁
1	0	0	0	1	1	
2	0	0	1	0	1	
3	0	0	1	1	0	D ₁ = \bar{x}_1
4	0	1	0	0	1	
5	0	1	0	1	1	
6	0	1	1	0	0	D ₂ = 1
7	0	1	1	1	0	
8	1	0	0	0	1	
9	1	0	0	1	0	D ₃ = 0
10	1	0	1	0	0	
11	1	0	1	1	1	
12	1	1	0	0	1	D ₄ = \bar{x}_1
13	1	1	0	1	0	
14	1	1	1	0	0	
15	1	1	1	1	1	D ₅ = x ₁

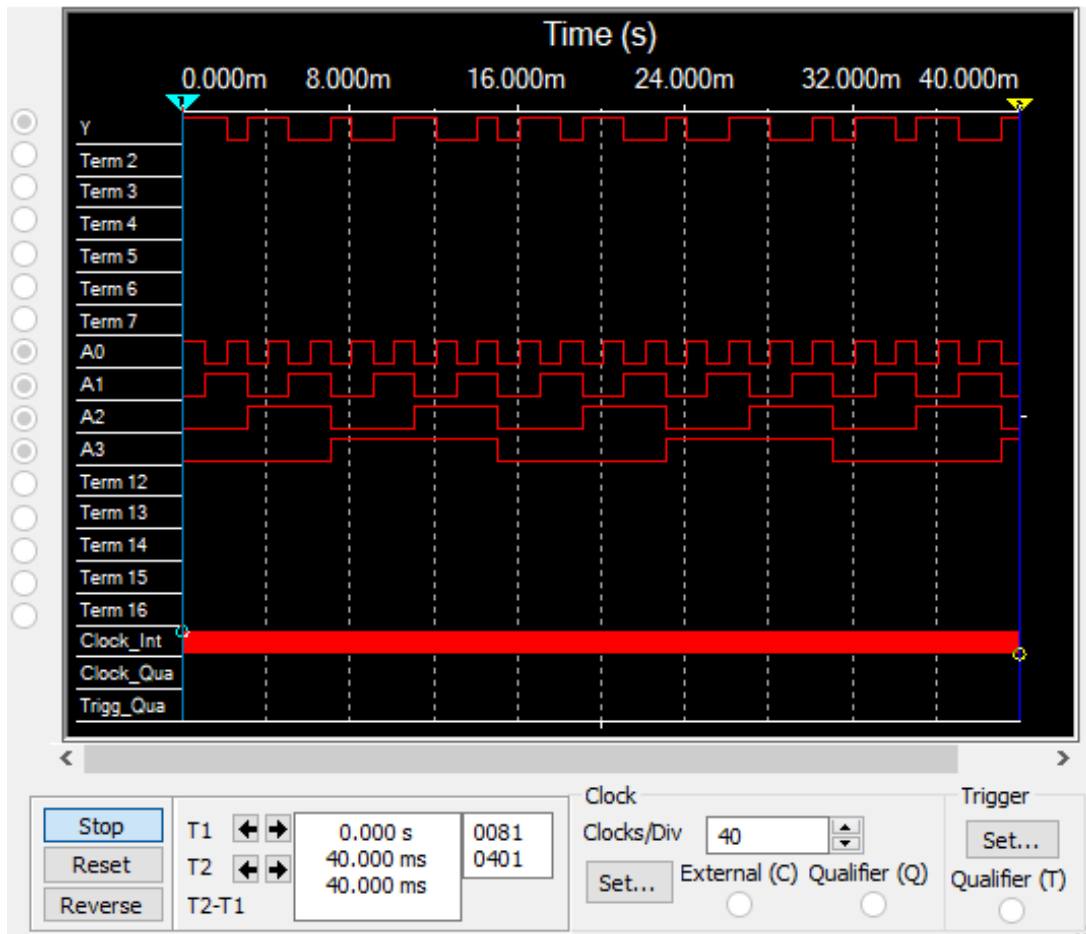


Logic Analyzer-XLA1



Построение схемы мультиплексора MUX 16 – 1 на основе простого мультиплексора MUX 8 – 1 и дешифратора DC 2 – 4





Контрольные вопросы

1. Что такое мультиплексор?

Мультиплексор – это функциональный узел, имеющий n адресных входов и 2^n информационных входов и выполняющий коммутацию того информационного сигнала, адрес (т.е. номер) которого установлен на адресных входах.

2. Какую логическую функцию выполняет мультиплексор?

Мультиплексор реализует логическую функцию:

$$Y = EN \times \bigcup_{j=0}^{2^n-1} D_j \times m_j(A_{n-1}, A_{n-2}, \dots, A_i, \dots, A_1, A_0), \text{ где}$$

A_i – адресные входы и сигналы;

D_j – информационные входы и сигналы;

m_j – конstituента единицы (конъюнкция всех переменных A_i), номер которого равен числу, образованному двоичным кодом сигналов на адресных входах;

EN – вход и сигнал разрешения (стробирования).

3. Какого назначение и использование входа разрешения?

Вход разрешения **EN** используется для:

- собственно, для разрешения работы мультиплексора;
- стробирования;
- наращивания числа информационных входов.

При $EN=1$ разрешается работа мультиплексора и выполнения им своей функции, при $EN=0$ работа мультиплексора запрещена и на его выходных устанавливаются неактивные уровни сигналов.

4. Какие функции может выполнять мультиплексор?

- Мультиплексоры широко применяются для построения:
- коммутаторов-селекторов;
- постоянных запоминающих устройств емкостью 2^n бит;
- комбинационных схем, реализующих функции алгебры логики;
- преобразователей кодов (например, параллельного кода в последовательный) и других узлов.