

Ejercicio 1:

Un detector de paridad impar de 4 entradas y una salida funciona de la siguiente manera: si la cantidad de entradas con valor '1' es impar la salida se pone en '1', en el resto de los casos la salida toma valor '0'.

- Construir la tabla de verdad para dicho sistema.
- Obtener la ecuación lógica como suma de minitérminos y producto de maxitérminos (funciones canónicas).
- Implementar el sistema con compuertas NAND de la cantidad de entradas requeridas.
- Implementar el sistema con una PLA.

n	n Ox	E0	E1	E2	E3	F
0	0	0	0	0	0	0
1	1	0	0	0	1	1
2	2	0	0	1	0	1
3	3	0	0	1	1	0
4	4	0	1	0	0	1
5	5	0	1	0	1	0
6	6	0	1	1	0	0
7	7	0	1	1	1	1
8	8	1	0	0	0	1
9	9	1	0	0	1	0
10	A	1	0	1	0	0
11	B	1	0	1	1	1
12	C	1	1	0	0	0
13	D	1	1	0	1	1
14	E	1	1	1	0	1
15	F	1	1	1	1	0

$$F = m_1 + m_2 + m_4 + m_7 + m_8 + m_{11} + m_{13} + m_{14}$$

$$F = M_0 \cdot M_3 \cdot M_5 \cdot M_6 \cdot M_9 \cdot M_{10} \cdot M_{12} \cdot M_{15}$$

c) De la suma de minitérminos

$$F = \left(\sum (1, 2, 4, 7, 8, 11, 13, 14) \right)''$$

⊛ P2 → los 2 primeros términos

$$F = \left(\underbrace{(E_0' \cdot E_1' \cdot E_2' \cdot E_3)'}_{m_1} \cdot \underbrace{(E_0' \cdot E_1' \cdot E_2 \cdot E_3')'}_{m_2} \cdot \dots \cdot \underbrace{(E_0 \cdot E_1 \cdot E_2 \cdot E_3')'}_{m_{14}} \right)'$$

- Aplicando doble negación y De Morgan.

Ejercicio 3:

Verificar los resultados obtenidos de cada función lógica en la Guía 2 - Ejercicio 1, mediante la utilización de mapas de Karnaugh, el cual garantiza la obtención de la mínima expresión.

- a. $x.y + x.y'$
- b. $(x + y).(x + y')$
- c. $x.y.z + x'.y + xyz'$
- d. $z.x + z.x'.y$
- e. $(A + B).(A' + B')$
- f. $y.(w.z' + w.z) + x.y$

d) $\bar{F} = X.y + X.y'$ - Representando los minterminos
- La función está expresada como suma de productos

X \ y	0	1
0		
1	1	1

Grupo 1
 $n = 2 \quad 2^1 = 2 \checkmark$

y cambio de 0 a 1 se simplifica

$$F = X$$

$$F = m_2 + m_3$$

$$F = X.y' + X.y$$

$$F = X(y' + y)$$

$$F = X.1$$

$$= X$$

b) $F = (x + y)(x + y')$ → Se puede usar el mapa para
para el caso producto de suma
se usan los Maxterminos que hacen
0 a la función

Mapa

X \ y	0	1
0	0	0
1		

$$\bar{F} = X$$

Derivación

$$\bar{F} = (x + y)x + (x + y).y'$$

$$\frac{x.x + y.x}{// x} + \frac{x.y' + y.y'}{// 0}$$

$$x + x(y + y')$$

// 1

$$x + x = x$$

c. $x.y.z + x'.y + xyz'$

* Suma de productos

* Uno de los términos no tiene todos los variables - no importa

X	yz	00	01	11	10
0				1	1
1				1	1

$\rightarrow x' y z'$
 $\rightarrow x' y z$
 $\rightarrow x y z'$
 $\rightarrow x y z$

G

$n=4 \quad 2^2 \quad \checkmark$

no se cubren 1 sin 2 grupos

4 términos, se simplifican
2 variables

$F = y$

d. $z.x + z.x'.y$

$\bar{F} = z.y + z.x$

z	xy	00	01	11	10
0					
1			1	1	1

$x + yz = (x + y)(x + z)$

$x + x' y = x + y$

$= (x + x') (x + y)$
 $= 1 \cdot (x + y)$

$= x + y$

e. $(A + B)' \cdot (A' + B)'$

f. $y.(w.z' + w.z) + x.y$

\rightarrow No están en forma estandarizada
hay que simplificar.

- a. Encontrar las expresiones canónicas de cada F_x como suma de minterminos y como producto de maxiterminos.
- b. Encontrar la expresión minimizada de cada F_x utilizando mapas de Karnaugh.

(f_1)

x3	x2	x1	x0	F(x3,x2,x1,x0)
0	0	0	0	1
0	0	0	1	1
0	0	1	0	1
0	0	1	1	0
0	1	0	0	0
0	1	0	1	0
0	1	1	0	1
0	1	1	1	0
1	0	0	0	1
1	0	0	1	1
1	0	1	0	1
1	0	1	1	0
1	1	0	0	0
1	1	0	1	0
1	1	1	0	0
1	1	1	1	0

SOP (Sum of products)

$$F = \sum (0, 1, 2, 6, 8, 9, 10)$$

$$F = (x_3' \cdot x_2' \cdot x_1' \cdot x_0') + (x_3' x_2' x_1' x_0) + (x_3' x_2' x_1 x_0') + (x_3' x_2 x_1 x_0') + (x_3' x_2 x_1 x_0) + (x_3 x_2' x_1' x_0') + (x_3 x_2' x_1' x_0) + (x_3 x_2' x_1 x_0') + (x_3 x_2' x_1 x_0)$$

POC (Product of sums)

$$F = \prod (3, 4, 5, 7, 11, 12, 13, 14, 15)$$

$$F = (x_3 + x_2 + x_1' + x_0') \cdot (x_3 + x_2' + x_1 + x_0) \cdot (x_3 + x_2' + x_1 + x_0') \cdot (x_3 + x_2' + x_1' + x_0') \cdot (x_3' + x_2' + x_1 + x_0) \cdot (x_3' + x_2' + x_1 + x_0') \cdot (x_3' + x_2' + x_1' + x_0) \cdot (x_3' + x_2' + x_1' + x_0')$$

Mapa de karnaugh

4 variables 16 casados ✓

$x_3 x_2$		$x_1 x_0$			
		00	01	11	10
00	1	1		1	
01					1
11					
10	1	1			1

(f₁)

x3	x2	x1	x0	F(x3,x2,x1,x0)
0	0	0	0	1
0	0	0	1	1
0	0	1	0	1
0	0	1	1	0
0	1	0	0	0
0	1	0	1	0
0	1	1	0	1
0	1	1	1	0
1	0	0	0	1
1	0	0	1	1
1	0	1	0	1
1	0	1	1	0
1	1	0	0	0
1	1	0	1	0
1	1	1	0	0
1	1	1	1	0

G1

$$x_0' \cdot x_2'$$

G2

$$x_1' \cdot x_2'$$

G3

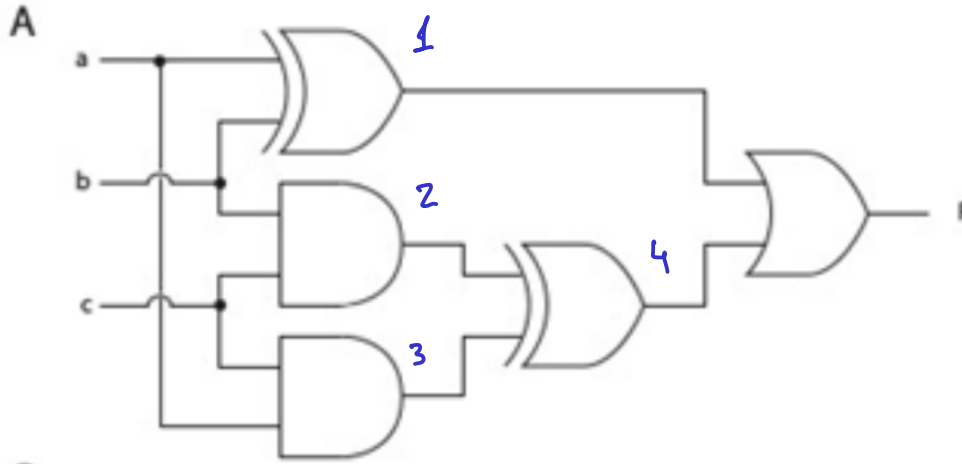
$$x_1 x_0' \cdot x_3'$$

$$F = x_0' x_2' + x_1' x_2' + x_0' x_1 x_3'$$

Ejercicio 6:

Analizar los circuitos de lógica combinacional de la figura. Para cada uno:

- Escribir la función booleana correspondiente.
- Encontrar la tabla de verdad para la función obtenida.
- Obtener la función minimizada como suma de productos a partir del mapa de Karnaugh.
- Dibujar el circuito de lógica combinacional resultante del punto (c).



$$\begin{array}{r} 1 \\ 2 \oplus b \\ \hline 2 \\ b \cdot c \\ \hline 3 \\ c \cdot a \end{array} \quad \begin{array}{r} 4 \\ 2 \oplus 3 \\ \hline \bar{F} \\ 1 + 4 \end{array}$$

⊗ XOR con
NAND ???

$$F = 1 + 4$$

$$= (2 \oplus b) + (2 \oplus 3)$$

$$F = (2 \oplus b) + ((b \cdot c) \oplus (c \cdot a))$$

a	b	c	1 // a XOR b	2 // b AND c	3 // c AND a	4 // 2 XOR 3	F // 1 OR 4
0	0	0	0	0	0	0	0
0	0	1	0	0	0	0	0
0	1	0	1	0	0	0	1
0	1	1	1	1	0	1	1
1	0	0	1	0	0	0	1
1	0	1	1	0	1	1	1
1	1	0	0	0	0	0	0
1	1	1	0	1	1	0	0

a/bc

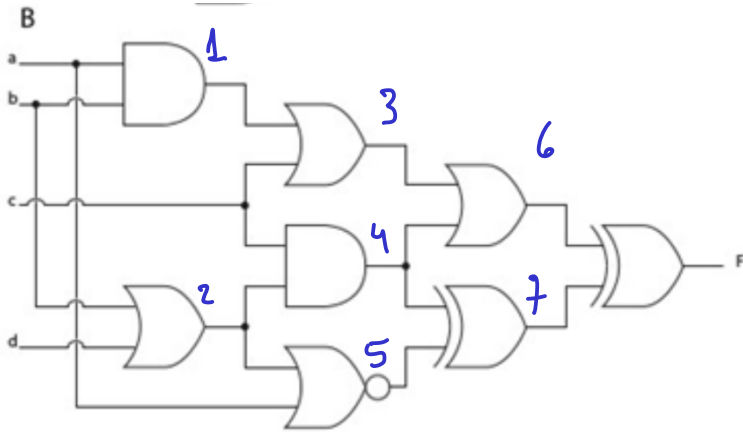
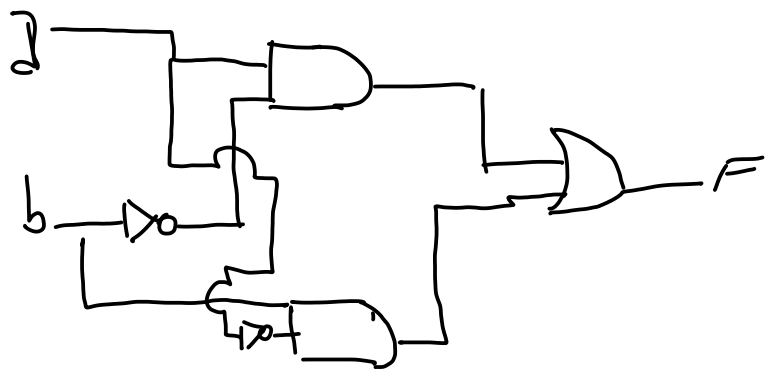
	00	01	11	10
0			1	1
1	1	1		

$$\begin{array}{r} 61 \\ 2b' \end{array}$$

$$\begin{array}{r} 62 \\ 2'b \end{array}$$

$$F = 2b' + 2'b$$

$$F = ab' + a'b$$



a	b	c	d	1	2	3	4	5	6	7	F	
0	0	0	0	0	0	0	0	1	0	1	1	m_0
0	0	0	1	0	1	0	0	0	0	0	0	
0	0	1	0	0	0	1	0	1	1	1	0	
0	0	1	1	0	1	1	1	0	1	1	0	
0	1	0	0	0	1	0	0	0	0	0	0	
0	1	0	1	0	1	0	0	0	0	0	0	
0	1	1	0	0	1	1	1	0	1	1	0	
0	1	1	1	0	1	1	1	0	1	1	0	
1	0	0	0	0	0	0	0	0	0	0	0	
1	0	0	1	0	1	0	0	0	0	0	0	
1	0	1	0	0	0	1	0	0	1	0	1	m_{10}
1	0	1	1	0	1	1	1	0	1	1	0	m_{12}
1	1	0	0	1	1	1	0	0	1	0	1	m_{13}
1	1	0	1	1	1	1	1	0	1	0	1	
1	1	1	0	1	1	1	1	0	1	1	0	
1	1	1	1	1	1	1	1	0	1	1	0	

$$\frac{1}{a \cdot b}$$

$$\frac{2}{b + d}$$

$$\frac{3}{1 + c}$$

$$\frac{4}{c \cdot 2}$$

$$\frac{5}{(2 + 2)'}.$$

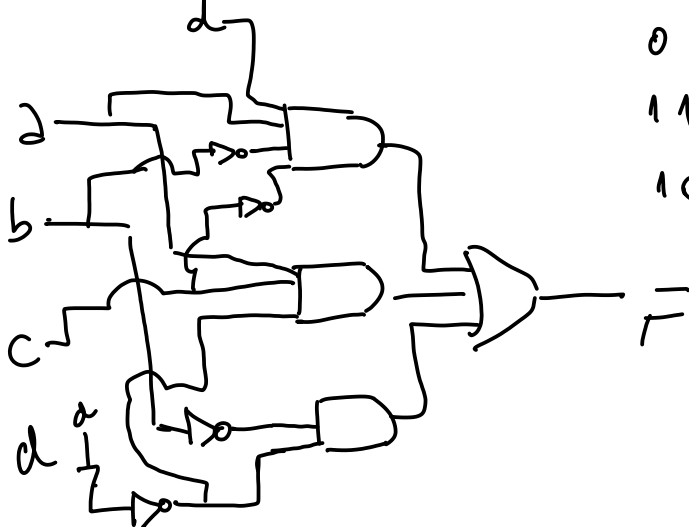
$$\frac{6}{3 + 4}$$

$$\frac{7}{4 \oplus 5}$$

$$\frac{F}{6 \oplus 7}$$

		cd			
ab		00	01	11	10
		1			
01					
11					1
10			1		1

$$F = b'd' + cd'a + ab'c'd$$



Ejercicio 7:

Un DECODIFICADOR es un circuito combinacional que convierte información binaria de 'N' entradas codificadas (**A**), a '2^N' salidas únicas (**X**). Esto quiere decir que sólo una salida **X** está activa y representa el valor de las señales de entrada **A**.

Considere un decodificador activo por bajo (salida activa = '0') con N=2 y 2^N=4 (deco 2 x 4).

- Expresar las tablas de verdad de las cuatro salidas X₀, X₁, X₂ y X₃.
- Encontrar las expresiones de X₀, X₁, X₂ y X₃ como suma de minitérminos y como producto de maxitérminos.
- Encontrar expresiones minimizadas de X₀, X₁, X₂ y X₃ utilizando el método de Karnaugh o un método algebraico.
- Implementar las expresiones anteriores a través del uso de compuertas lógicas.
- Repetir el punto (d) agregando una entrada de HABILITACIÓN (**E**) activa por bajo, de tal forma que cuando E='1' ninguna señal de salida permanezca habilitada.

A1	A0	X0	X1	X2	X3
0	0	0	1	1	1
0	1	1	0	1	1
1	0	1	1	0	1
1	1	1	1	1	0

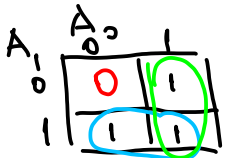
b) X₀
 $F = \sum (1, 2, 3) \quad F' = \prod (0)$

X₁
 $F = \sum (0, 2, 3) \quad F' = \prod (1)$

X₂
 $F = \sum (0, 1, 3) \quad F' = \prod (2)$

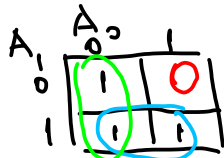
X₃
 $F = \sum (0, 1, 2) \quad F' = \prod (3)$

c) X₀

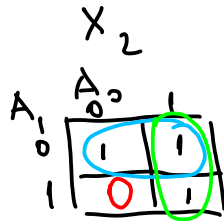


$$F = A_1 + A_0$$

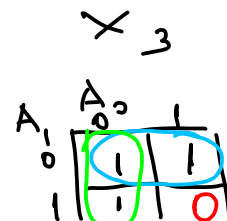
X₁



$$F = A_1 + A_0'$$

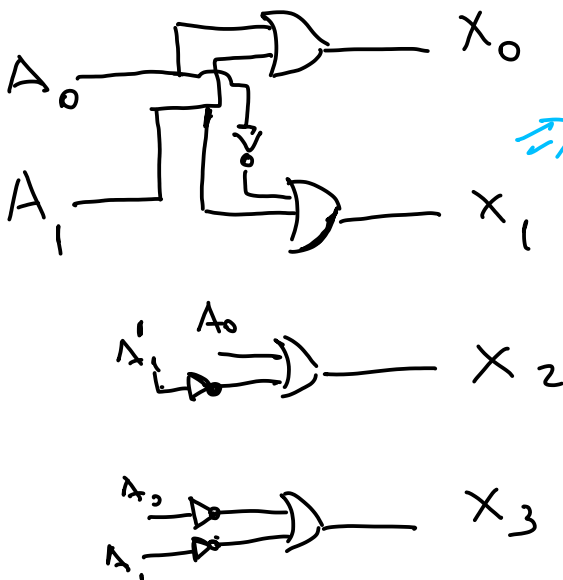


$$F = A_1' + A_0$$

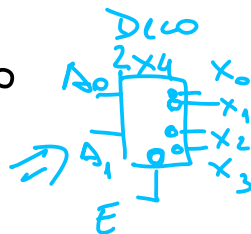


$$F = A_0' + A_1'$$

d)

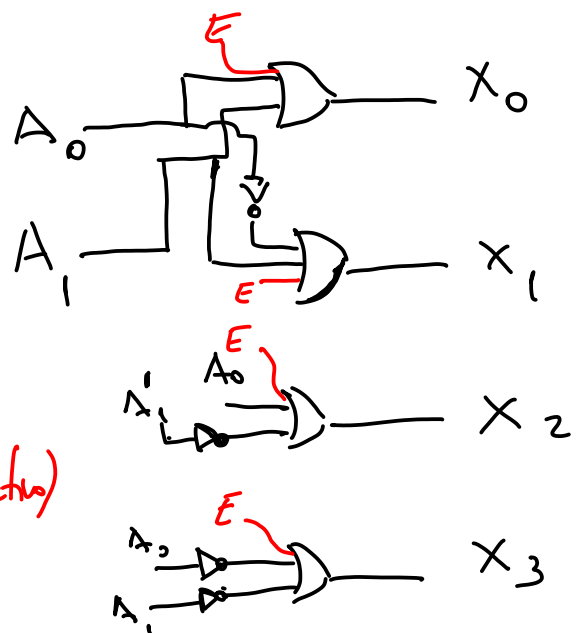


e)



Si E = 0
 el deco
 funciona (Activo)

Si E = 1
 + OR = 1
 deshabilita E



Ejercicio 8:

Implementar un decodificador de 3 x 8 y otro de 4 x 16 a partir de decodificadores 2 x 4 activos por bajo, con entrada de habilitación (E) activa por bajo y compuertas lógicas.

tabla entrada 2 x 4

I_1	I_0
0	0
0	1
1	0
1	1

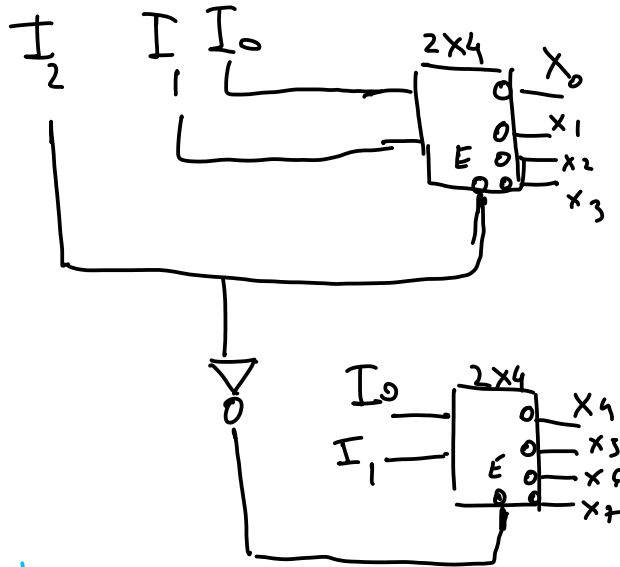
* Se niega una de las entradas + 2 decos

tabla entrada 3 x 8

I_2	I_1	I_0
0	0	0
0	0	1
0	1	0
0	1	1
1	0	0
1	0	1
1	1	0
1	1	1

2 x 4

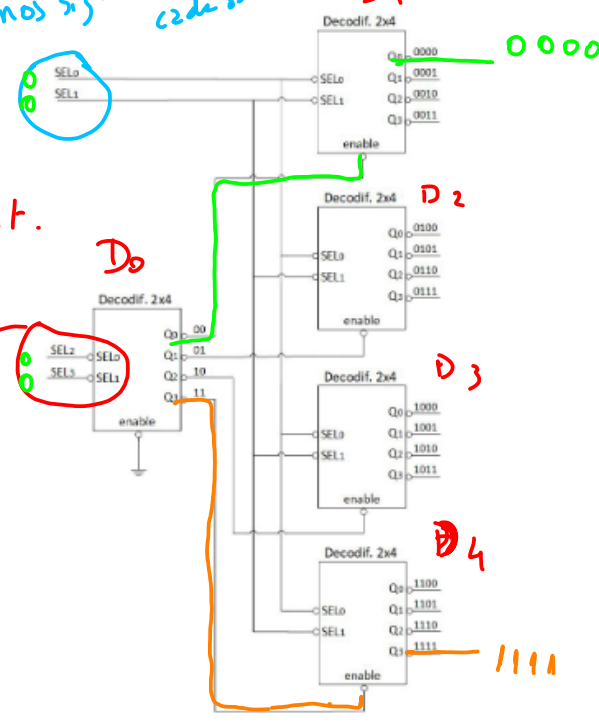
2 x 4



4 x 16

los bits menos sig. Activan cada 4 bits

los bits más sig. controlan D0



Entrada

0000 → Q0

1111 → Q3
(15) D4

Nota:

Cuando la entrada es 1111 una de las 16 salidas está a cero la codificadora con 1111

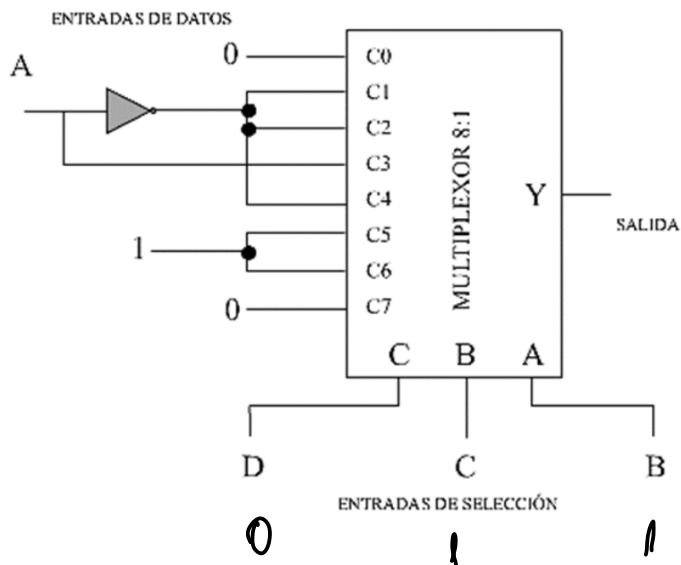
Ejercicio 9:

- a. Diseñar un circuito SUMADOR COMPLETO (3 entradas: X , Y , C_{in} ; 2 salidas: S , C_{out}) mediante el uso de un Decodificador de salida activa por alto y compuertas OR. Tip: La salida que vale 1 representa el minitérmino equivalente al número binario que está a la entrada.
- b. Diseñar un sumador completo usando dos semisumadores y una compuerta.

X	Y	C_{in}	S	C_{out}
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

Ejercicio 11:

Dado el siguiente circuito con entradas (DCBA):



- a. Elabore la tabla de verdad de "SALIDA" y responda: ¿Para cuantas combinaciones posibles de entradas la salida es igual a 1?

A	B	C	D	Salida
0	0	0	0	0
0	0	0	1	1
0	0	1	0	1
0	0	1	1	1
0	1	0	0	1
0	1	0	1	1
0	1	1	0	0
0	1	1	1	0
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	0
1	1	0	0	0
1	1	0	1	1
1	1	1	0	1
1	1	1	1	0