

교육

Cadence® Full-Custom IC Flow/Design

| 과 목 명 | Cadence® Full Custom IC Flow/Design | 교육번호 | |
|----------------|---|--|----------------|
| 교육일정 | 10 days 수업(60시간) (나인플러스아카데미 실습실/각 대학교 실습실) | 교육비 | |
| 강 사 명 | 나인플러스IT(주): Team Teaching | 대상 | 전기, 전자, 반도체 학부 |
| 교육목표 | <ul style="list-style-type: none"> - 반도체 기본 이론(소자/공정) 및 산업기술 동향 - IC Design Environment in Linux OS System - Full Custom IC Design Flow - GPKD090(90nm)를 이용한 CMOS 회로설계 Simulation/Schematic/Layout/DRC/LVS | | |
| 교육내용 | <ol style="list-style-type: none"> 1. 물성, 소자, 공정에 대한 기본적 이해를 통해 반도체 설계의 기반 이론을 습득. 2. 설계 환경의 기본이 되는 Linux 시스템에 대해 실무적인 기술을 습득 3. Full Custom IC 설계의 Flow와 해당 Process Node별 Tool(solution)을 파악 4. CMOS Cell을 중심으로 한 기초 디지털 논리게이트 및 회로를 설계한다. 5. GPKD090 레퍼런스 문서를 바탕으로 Backend Layout을 수행하며, 레이아웃 검증 | | |
| 활용분야 | 전기, 전자, 반도체 학부/석사/박사 및 유사 분야 엔지니어 | | |
| 활용Tool | <ul style="list-style-type: none"> · Cadence® Virtuoso_IC618(Schematic Editor, ADE(spectre), Layout Suite_L, Assura(DRC/LVS)) · Redhat Enterprise Linux 7.x / X-Terminal | | |
| 날짜 | 시 간 | 내용 | |
| 1일차 (이론/실습) | 10:00 ~ 17:00 | <ul style="list-style-type: none"> - Inverter cross section/Inverter mask set - CMOS schematic/CMOS stick diagram - logic gate simulation의 이해(Transistor level) - IC-Chip Design Flow & IC Design Environment - Virtuoso 기본 기능 이해와 Setup - 새로운 프로젝트 생성 및 계층도면의 이해 - Inverter Schematic, Symbol, Simulation | |
| 2일차 (이론/실습) | 10:00 ~ 17:00 | <p>Cadence Schematic, Spectre Editor 실습</p> <ul style="list-style-type: none"> - Digital logic gate library 구성 - Logic gate 회로 설계 - 2NAND, 3NAND, 2NOR, 3NOR schematic & simulation (Simulation option의 설정, Transient 해석/ Bias Point 해석, DC 해석) | |
| 3일차 (실습) | 10:00~17:00 | <p>Cadence Virtuoso Layout Editor 설정 및 실습</p> <ul style="list-style-type: none"> - nMOS, pMOS layout - Inverter layout, DRC, LVS - CMOS Inverter Layout & Assura DRC / LVS 검증 - GPKD090(DRM file)을 통한 Design Rule의 이해와 적용 VSE 단축키 및 사용방법 & Symbol 생성 ADE 환경설정 및 사용방법/VLD 단축키 및 사용방법 DRC, LVS 검증 방법/Inverter 회로를 기반으로 한 Flow 실습 | |
| 4일차 (실습) | 10:00~17:00 | <p>Cadence Virtuoso Layout Editor 설정 및 실습</p> <ul style="list-style-type: none"> - Digital logic gate library 구성 2NAND, 3NAND, 2NOR, 3NOR Layout - Switch Layout - Assura DRC / LVS 검증 - 논리게이트 최소 사이즈 설계 | |
| 5일차 (실습) | 10:00~17:00 | <p>Cadence Schematic, Spectre Editor 실습</p> <p>Cadence Virtuoso Layout Editor 실습</p> <ul style="list-style-type: none"> - 4NAND, 4NOR Schematic, Simulation, Layout, DRC, LVS - 2x1 Multiplexer 설계 1(Logic gate) Logic gate와 Switch 설계 비교 | |
| 5일차 (실습) | 10:00~17:00 | <p>Cadence Schematic, Spectre Editor 실습</p> <p>Cadence Virtuoso Layout Editor 실습</p> <ul style="list-style-type: none"> - 2x1 Multiplexer 설계 2(Switch) Logic gate와 Switch 설계 비교 - 2x1 Multiplexer Schematic, Simulation, Layout, DRC, LVS 검증 | |
| 6일차 | 10:00~17:00 | Cadence Schematic, Spectre Editor 실습 | |

| | | |
|--------------|-------------|---|
| (실습) | | Cadence Virtuoso Layout Editor 실습 - 4x1 Multiplexer 설계 2 Logic gate와 Switch 설계 비교 - 4x1 Multiplexer Schematic, Simulation, Layout, DRC, LVS 검증 - Term project 1 |
| 7일차 (실습) | 10:00~17:00 | Cadence Schematic, Spectre Editor 실습 Cadence Virtuoso Layout Editor 실습 - Half Adder 설계 1 Schematic, Simulation, Layout, DRC, LVS 검증 |
| 8일차 (실습) | 10:00~17:00 | Cadence Schematic, Spectre Editor 실습 Cadence Virtuoso Layout Editor 실습 - XOR gate 설계 Schematic, Simulation, Layout, DRC, LVS 검증 - Full Adder 설계 Schematic, Simulation, Layout, DRC, LVS 검증 |
| 9일차 (실습) | 10:00~17:00 | Cadence Schematic, Spectre Editor 실습 Cadence Virtuoso Layout Editor 실습 - 4bit Adder 설계 Schematic, Simulation, Layout, DRC, LVS 검증 - 4bit Adder/Substracter 설계 1 Schematic, Simulation, Layout, DRC, LVS 검증 |
| 10일차 (실습) | 10:00~17:00 | - 4bit Adder/Substracter 설계 2 Schematic, Simulation, Layout, DRC, LVS 검증 - Term project 2 - Presentation |
| 비 고 (예 시) | | - Cadence Virtuoso 기본 사용 능력 필요 학생(대학생, 대학원생) 1) 이병진, Full Custom IC Design, 21세기사 2) Neil H. E. Weste, CMOS VLSI 설계 원리, 한티에듀 3) Behzard Razavi, Design of Analog CMOS Integrated Circuits, McGRAW-HILL |

(위 강의 내용은 통보 없이 일부 변경할 수 있습니다)