



Trabalho Prático 3

Memória e Portos

ARQUITETURA DE COMPUTADORES
DEPARTAMENTO DE ENGENHARIA ELETRÓNICA E DE
TELECOMUNICAÇÕES E COMPUTADORES

29 de Março de 2023


```

ldr    r0, sym
strb   r2, [r1, r4]
push   r1
push   r2
mov    r0, r15
ldr    r5, [r0, #0]
pop    r3
sym:
.word val
val:
.word 0x4321

```

Listagem 1: Código objeto de estudo.

Instrução	Controlo			Endereço		Dados ¹	
	nRD	nWRH	nWRL	A15 ... A0	D15 ... D0		

Tabela 1: Tabela exemplo para o registo da atividade nos barramentos do processador. Genericamente, no barramento de dados pode ocorrer um valor concreto, alta impedância (**z**) ou conflito (**conf**).

2.3 Evolução da arquitetura

Pretende-se redesenhar o sistema apresentado para que passe a ser completamente funcional, cumprindo os seguintes critérios:

- Utilizar todos os módulos de memória já existentes;
 - Garantir que a dimensão do espaço atribuído a cada módulo de memória é coincidente com a sua capacidade;
 - Acrescentar um porto paralelo de entrada a 8 bits, acessível na gama de endereços 0xF000 a 0xF7FF;
 - Impedir a existência de zonas interditas;
 - Assegurar a execução do programa imediatamente após a ligação da energia elétrica.
- a) Apresente o mapa de endereçamento do novo conjunto, de acordo com os requisitos enunciados, explicitando as funcionalidades, as capacidades e os endereços de início e de fim do espaço atribuído a cada dispositivo/ conjunto de dispositivos e, se for o caso, inscrevendo também a localização de zonas de *fold-back*.
- b) Indique as expressões lógicas dos sinais *chip select* de todos os dispositivos envolvidos, conforme a solução apresentada na alínea **a**).
- c) Apresente o logigrama relativo ao novo porto, conforme a solução apresentada na alínea **b**) e recorrendo aos circuitos que considerar mais adequados, de entre os seguintes: registos do tipo *edge-triggered* ou *latch*, com 8 bits e 16 bits, e *tri-state buffers*, também com 8 bits e 16 bits.

2.4 Teste do sistema

Considerando a solução apresentada na pergunta 2.3 para a nova configuração do sistema, implemente, em linguagem *assembly* do P16, um programa que, continuamente, testa o bit zero do porto de entrada e sempre que este apresentar o valor lógico um estende a 16 bits o valor presente nos bits um a sete do porto de entrada, que definem um número inteiro com sinal codificado com sete bits, e afixa esse valor no porto de saída.

3 Avaliação

O trabalho deve ser realizado em grupo e conta para o processo de avaliação da unidade curricular.

Na entrega do trabalho, cada grupo deverá submeter na plataforma Moodle um relatório do trabalho realizado com as respostas às perguntas formuladas no enunciado, descrevendo, sucintamente, os raciocínios e os cálculos efetuados.

A data limite para a entrega dos trabalhos é oito de maio de 2023.

Após esta entrega, o docente responsável pela lecionação das aulas teórico-práticas combinará com cada grupo de alunos uma data e hora para a realização da apresentação do trabalho.