



ISEL

Departamento de Engenharia
Eletrónica e Telecomunicações
e de Computadores

Licenciatura em Engenharia Informática e de Computadores
e
Licenciatura em Engenharia Informática, Redes e Telecomunicações

Divisor de números inteiros (3^o *Trabalho de Laboratório*)

Lógica e Sistemas Digitais
2022 / 2023 inverno

01 de outubro de 2022

1 Objetivo

O objetivo do trabalho é implementar um circuito que realize a divisão entre dois números naturais de 4 bits na placa de desenvolvimento *DE10-Lite*. Os circuitos são descritos em *VHDL* estrutural e implementados com a placa de desenvolvimento *DE10-Lite* da *Intel*. Este trabalho é obrigatório e contabilizado para a classificação prática.

2 Divisão por Subtrações Sucessivas

Pretende-se projetar e implementar um circuito de divisão com operandos a 4 bits sem sinal (entre 0 e 15), através do algoritmo de subtrações sucessivas, onde o Dividendo e o divisor são representados por ***D*** e ***d***, e o resultado através do Quociente e do Resto, representados por ***Q*** e ***R***, respetivamente:

$$Q = 0$$

$$\text{while } (D \geq d)\{$$

$$D = D - d$$

$$Q = Q + 1$$

$$\}$$

$$R = D$$

Os operandos de entrada são introduzidos através dos interruptores da placa e os resultados de saída (Quociente e Resto) com 4 bits cada deverão ser apresentados nos displays de 7-segmentos. Para a implementação do circuito considere o diagrama de blocos apresentado na Figura 1.

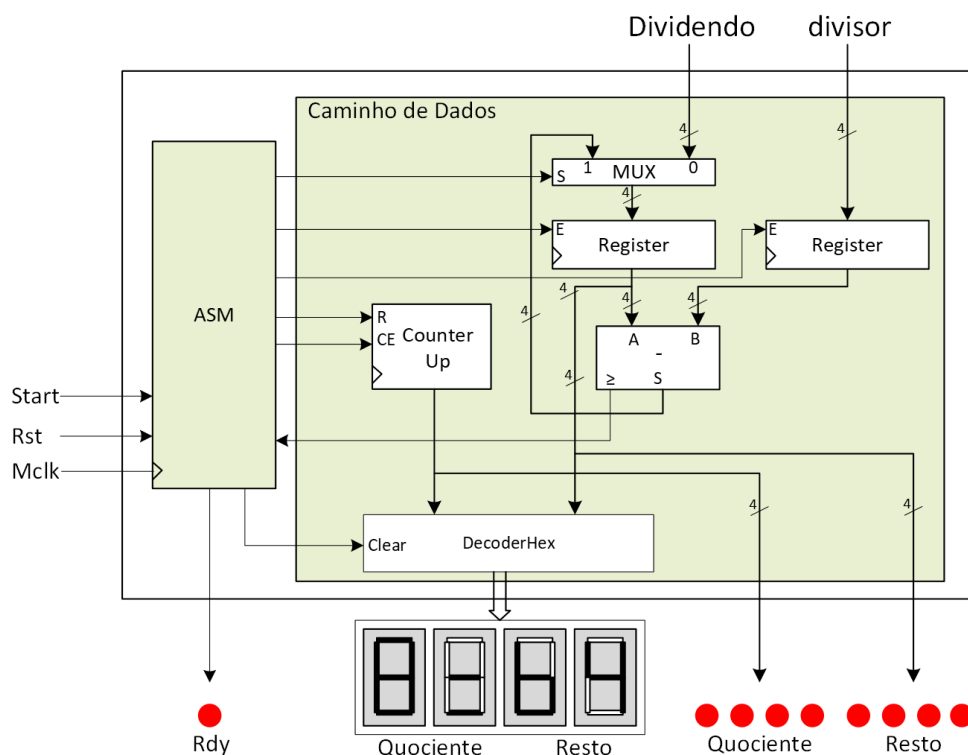


Figura 1 – Diagrama de blocos do divisor por subtrações sucessivas

O funcionamento do circuito deverá ser o seguinte:

- a) O utilizador introduz os valores do ***D*** e ***d***;
- b) Ativa a entrada *Start* para carregar os operandos e iniciar a divisão, só iniciando novo cálculo após nova ativação do sinal *Start*.

3 Projeto do Circuito

Para a implementação do circuito deve considerar os seguintes passos:

1. Elabore o módulo Caminho de Dados;
2. Elabore o *ASM* da máquina de estados do Controlador;
3. Projete e implemente o controlador com funções lógicas, na primeira fase e numa segunda fase com controlo microprogramado;
4. Descreva o controlador em *VHDL*;
5. Descreve o sistema completo em *VHDL*, com a integração dos módulos Caminho de Dados e Controlador;
6. Simule o sistema;
7. Valide o sistema na placa *DE10-Lite*.

4 Relatório

Deverá apresentar um relatório do trabalho desenvolvido com a seguinte estrutura:

1. Introdução: breve descrição do trabalho a desenvolver e quais os objetivos;
2. Análise e Projeto: descrição de todas as funções lógicas e diagramas lógicos;
3. Montagem laboratorial: Resultados experimentais e confirmação dos resultados teóricos;
4. Conclusão: comentário sobre o trabalho desenvolvido e sobre os resultados obtidos;
5. Anexo: Código *VHDL*.