

AMBA 介紹

目錄

1. APB
2. AHB
3. AXI

Chapter 1

APB

APB 訊號

- PCLK : clock
- PADDR : address
- PWRITE : 讀寫控制訊號
寫為 1, 讀為 0
- PSEL : SELECT
- PENABLE : master 就緒
(必須比 PSEL 晚一個週期)
- PWDATA : write時的BUS
- PRDATA : read時的 BUS
- PREADY : slave就緒

□ Write Trans Without Wait State

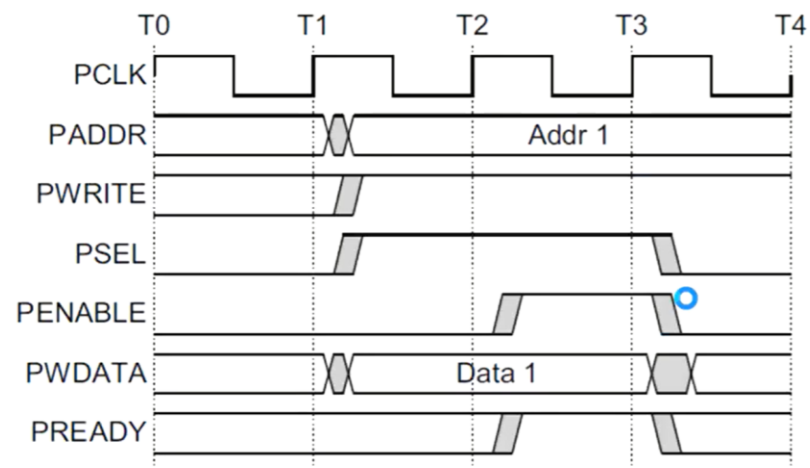
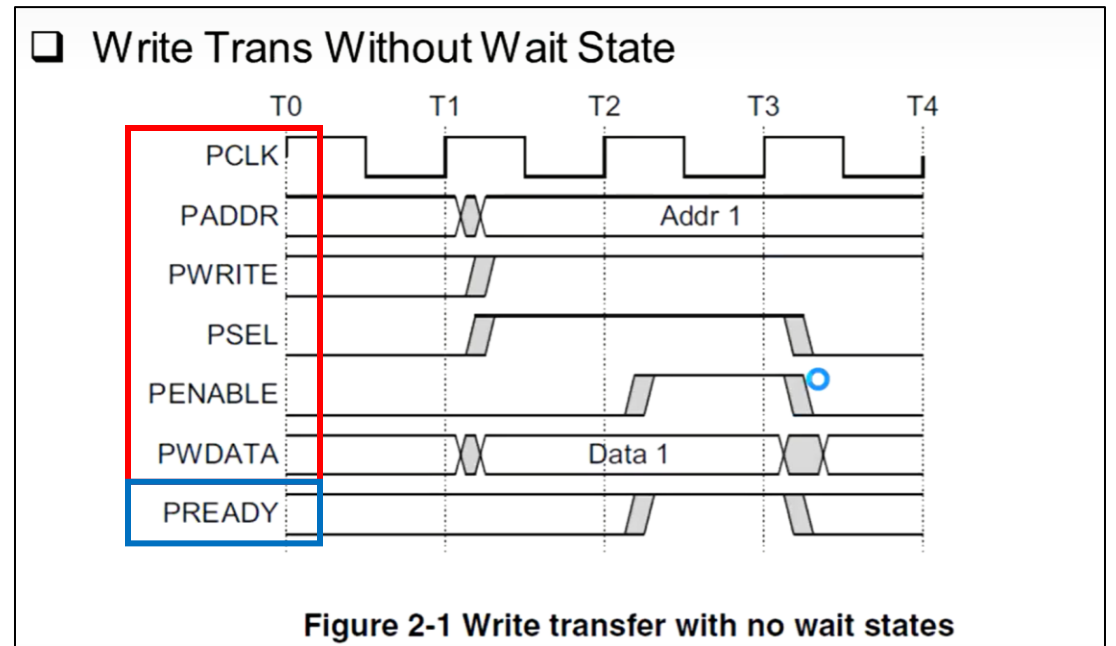


Figure 2-1 Write transfer with no wait states

Write trans without wait state

- 當write時，
紅色框為 master 控制訊號
藍色框為 slave 控制訊號
- 當 PSEL, PENABLE, PREADY
三者同時為 1 時
開始進行寫入 操作



Write trans with wait state

- 當write時，
紅色框為slave還未就緒
(wait state)
- 等到 PREADY 為 1 時，
才開始寫入

□ Write Trans With Wait State

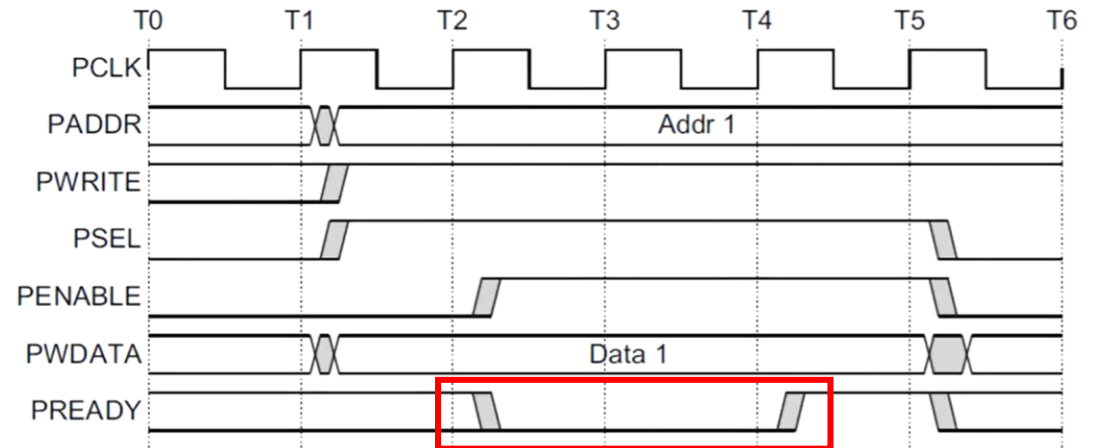


Figure 2-2 Write transfer with wait states

Write trans with wait state

- 當write時，
紅色框為slave還未就緒
(wait state)
- 等到 PREADY 為 1 時，
才開始寫入

□ Write Trans With Wait State

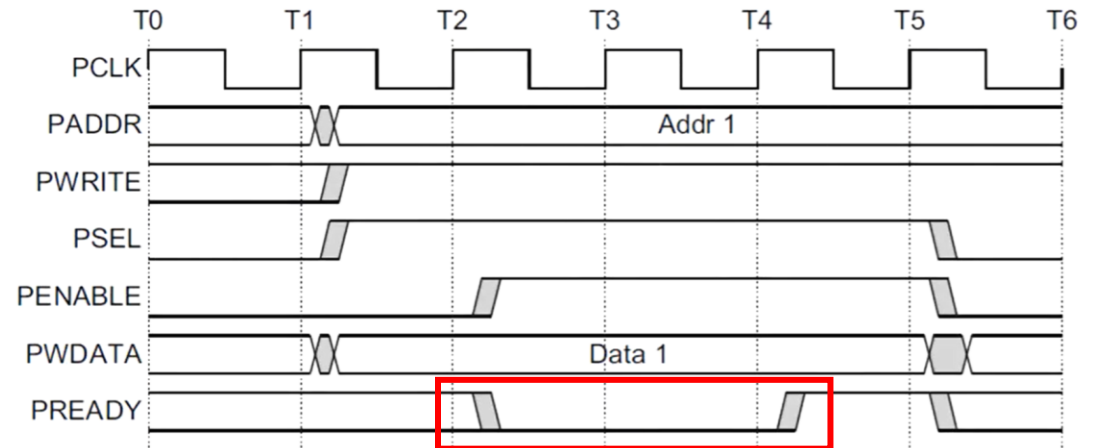


Figure 2-2 Write transfer with wait states

Read trans with wait state

- 當Read時，
紅色框為 master 控制訊號
藍色框為 slave 控制訊號
- 綠色框為slave還未就緒
(wait state)
- 當 PSEL, PENABLE, PREADY
三者同時為 1 時
開始進行讀取操作

□ Read Trans With Wait State

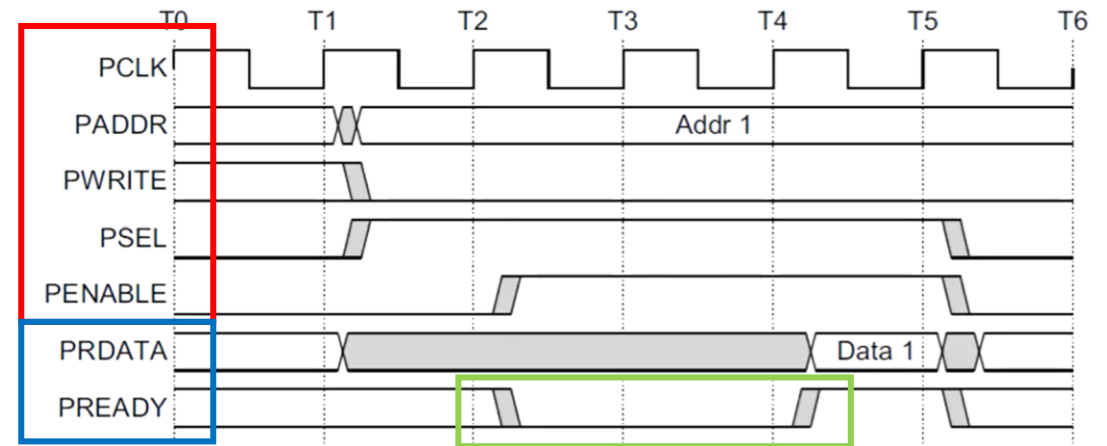


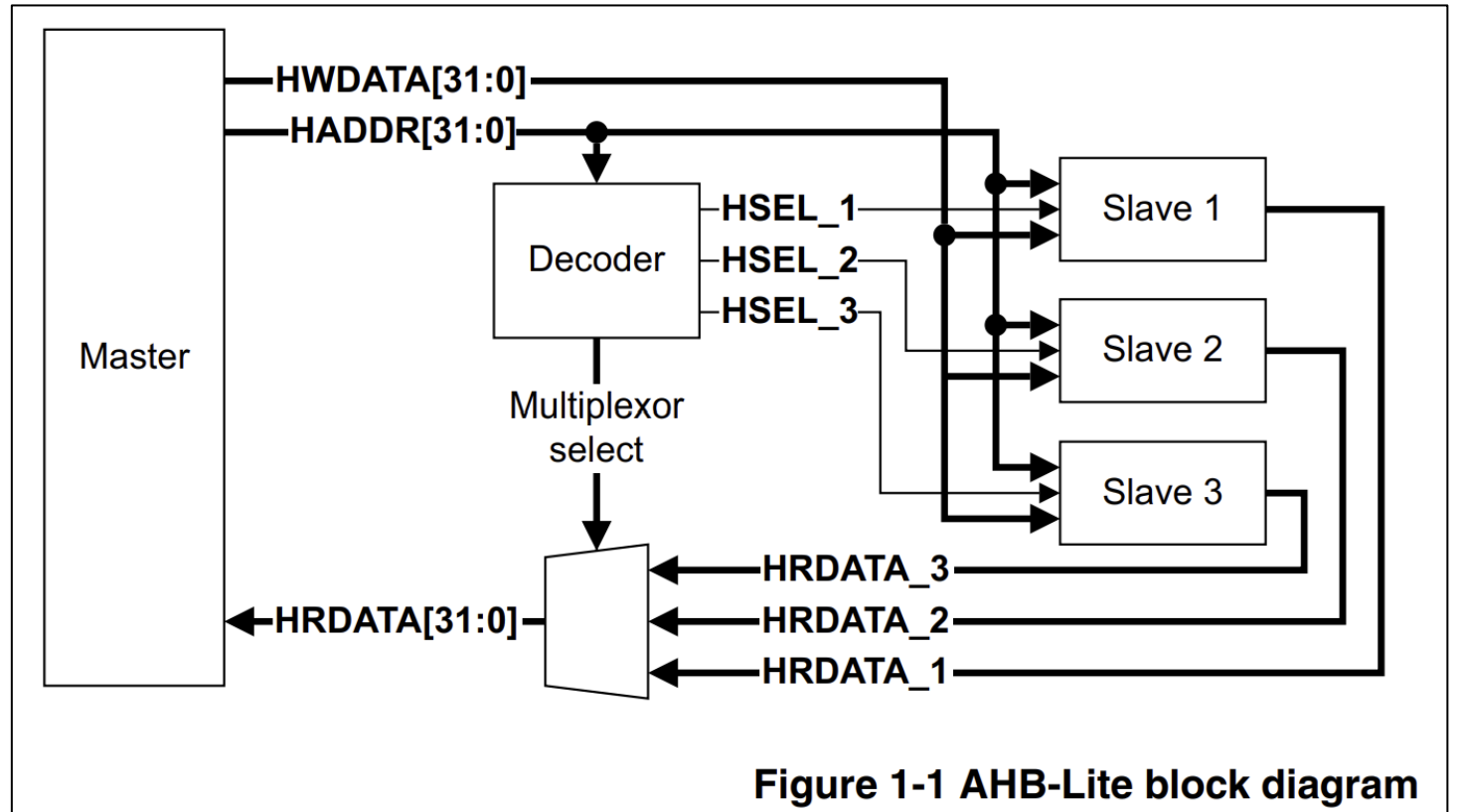
Figure 2-4 Read transfer with wait states

Chapter 2

AHB

AHB introduction (1/)

- AHB-lite block diagram
 1. AHB-Lite master
 2. AHB-Lite slave
 3. Decoder
 4. Multiplexor

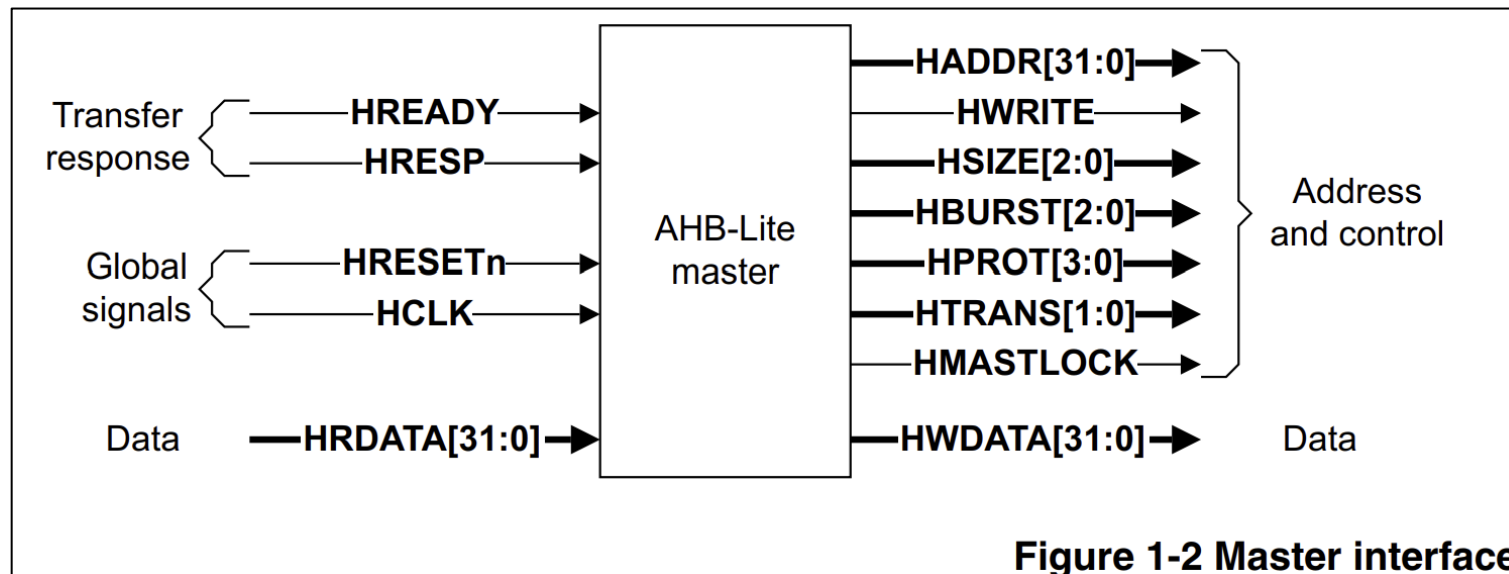


AHB introduction (2/)

1. AHB-Lite master

- 分成

- 1) Global: clk & reset
- 2) Address phase: 由 address & control 組成
- 3) Data phase: 由 data & transfer response 組成

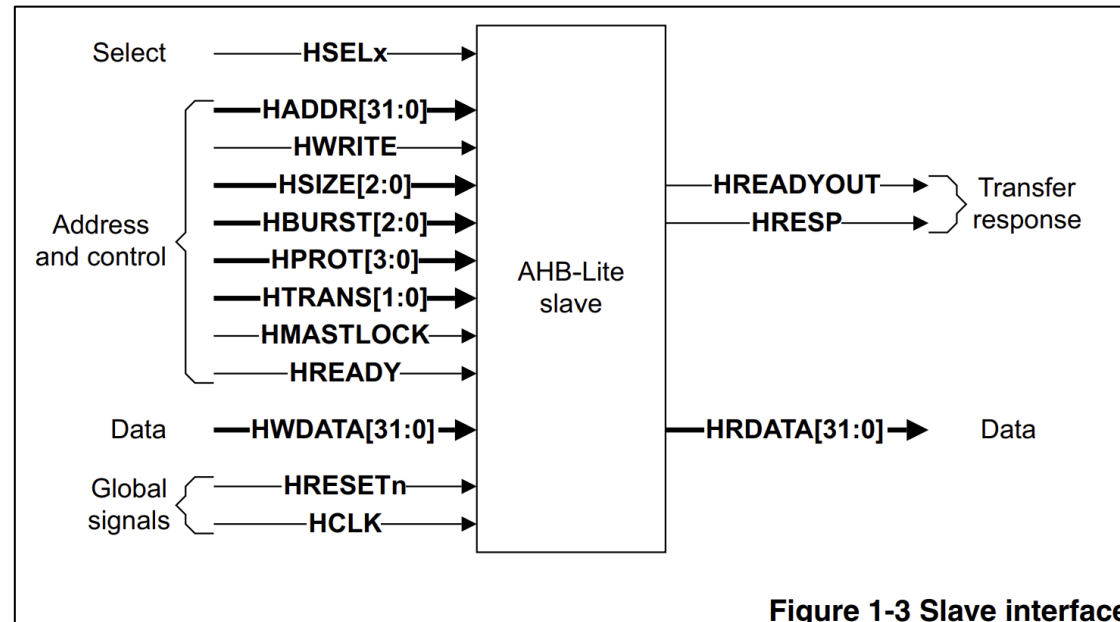


AHB introduction (3/)

2. AHB-Lite slave

- 分成

- 1) Global: clk & reset
- 2) Address phase: 由 address & control 組成
- 3) Data phase: 由 data & transfer response 組成



AHB introduction (4/)

3. Decoder

- 將 HADDR 解碼，產生各 slave 的 HSEL 信號

4. Multiplexor (MUX)

1) 單 master 多 slave

- MUX 把各 slave 的 HRDATA, HRESP 選擇後輸出到 master
- MUX 把各 slave 的 HREADY_OUT 選擇後輸出到 master / slave

2) 多 master 多 slave

- ① 單層（Single-Layer，匯流排仲裁器 bus arbiter）
 - MUX 將每個 master 的 address/control 訊號輸出到 slave
 - MUX 將每個 slave 的 hrdata、hresp 選擇後輸出到 master
 - MUX 將每個 slave 的 hready_out 選擇後輸出到 master/slave
- ② 多層（Multi-Layer，匯流排矩陣 bus matrix）

AHB Signal Descriptions (1/)

1. Global signal
2. Master signal
3. Slave signal
4. Decoder signal
5. Multiplexor signal