

# AMBA 介紹

# 目錄

1. APB
2. AHB
3. AXI

# Chapter 1

APB

# APB 訊號

- PCLK : clock
- PADDR : address
- PWRITE : 讀寫控制訊號  
寫為 1, 讀為 0
- PSEL : SELECT
- PENABLE : master 就緒  
(必須比 PSEL 晚一個週期)
- PWDATA : write時的BUS
- PRDATA : read時的 BUS
- PREADY : slave就緒

□ Write Trans Without Wait State

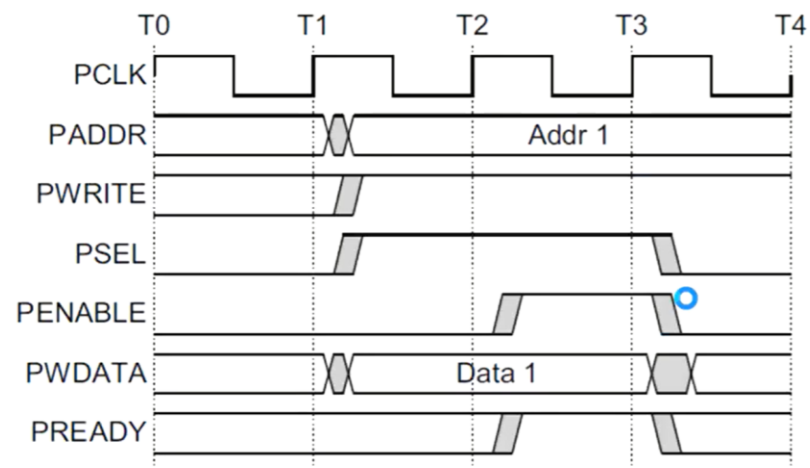
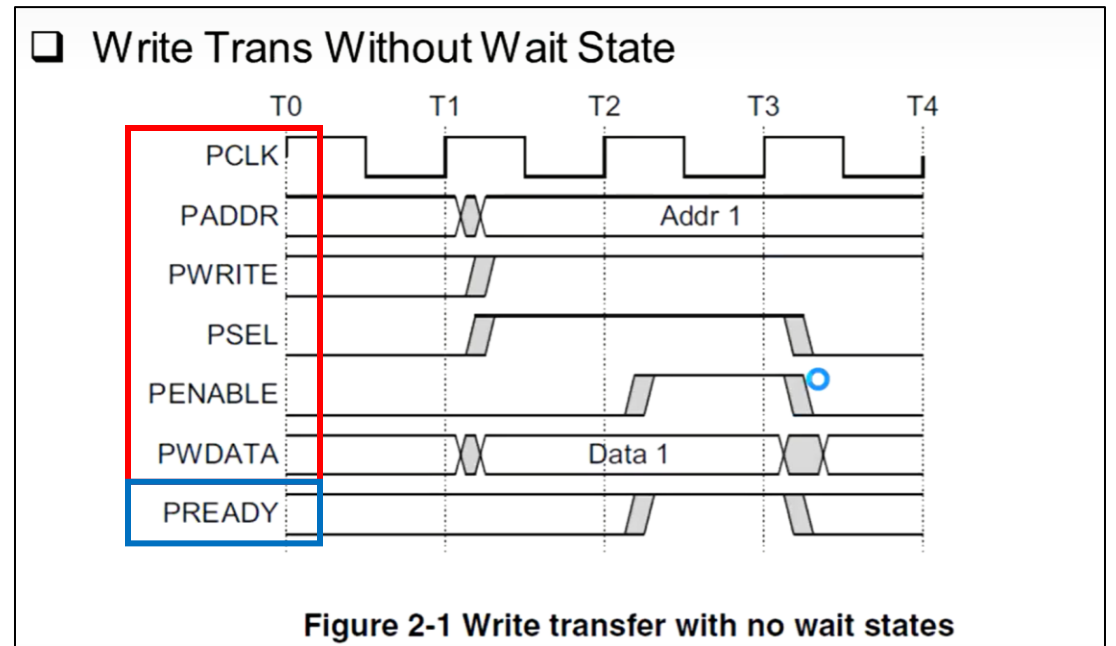


Figure 2-1 Write transfer with no wait states

# Write trans without wait state

- 當write時，  
紅色框為 master 控制訊號  
藍色框為 slave 控制訊號
- 當 PSEL, PENABLE, PREADY  
三者同時為 1 時  
開始進行寫入 操作



# Write trans with wait state

- 當write時，  
紅色框為slave還未就緒  
(wait state)
- 等到 PREADY 為 1 時，  
才開始寫入

□ Write Trans With Wait State

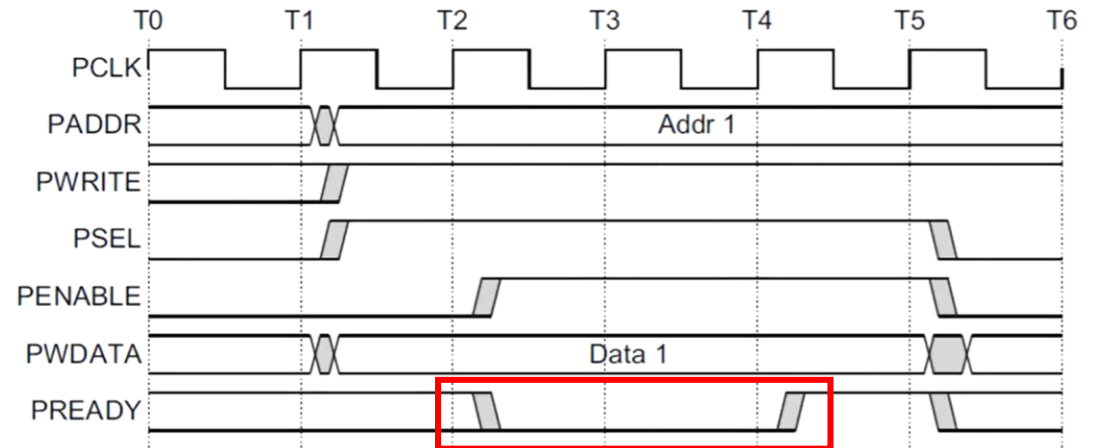


Figure 2-2 Write transfer with wait states

# Write trans with wait state

- 當write時，  
紅色框為slave還未就緒  
(wait state)
- 等到 PREADY 為 1 時，  
才開始寫入

□ Write Trans With Wait State

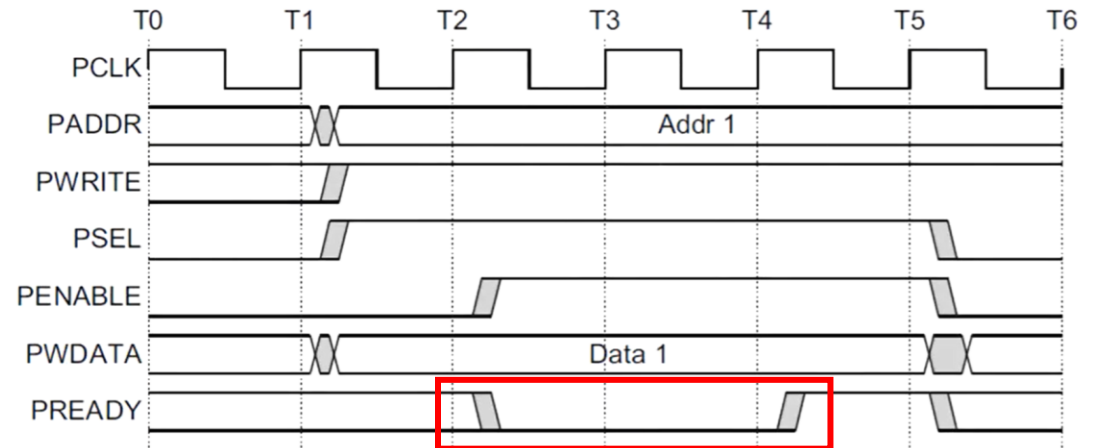


Figure 2-2 Write transfer with wait states

# Read trans with wait state

- 當Read時，  
紅色框為 master 控制訊號  
藍色框為 slave 控制訊號
- 綠色框為slave還未就緒  
(wait state)
- 當 PSEL, PENABLE, PREADY  
三者同時為 1 時  
開始進行讀取操作

□ Read Trans With Wait State

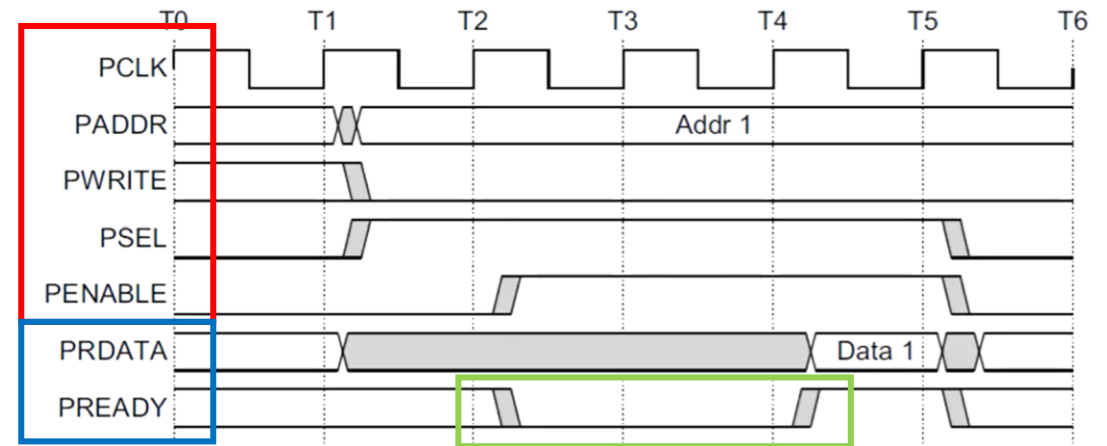


Figure 2-4 Read transfer with wait states

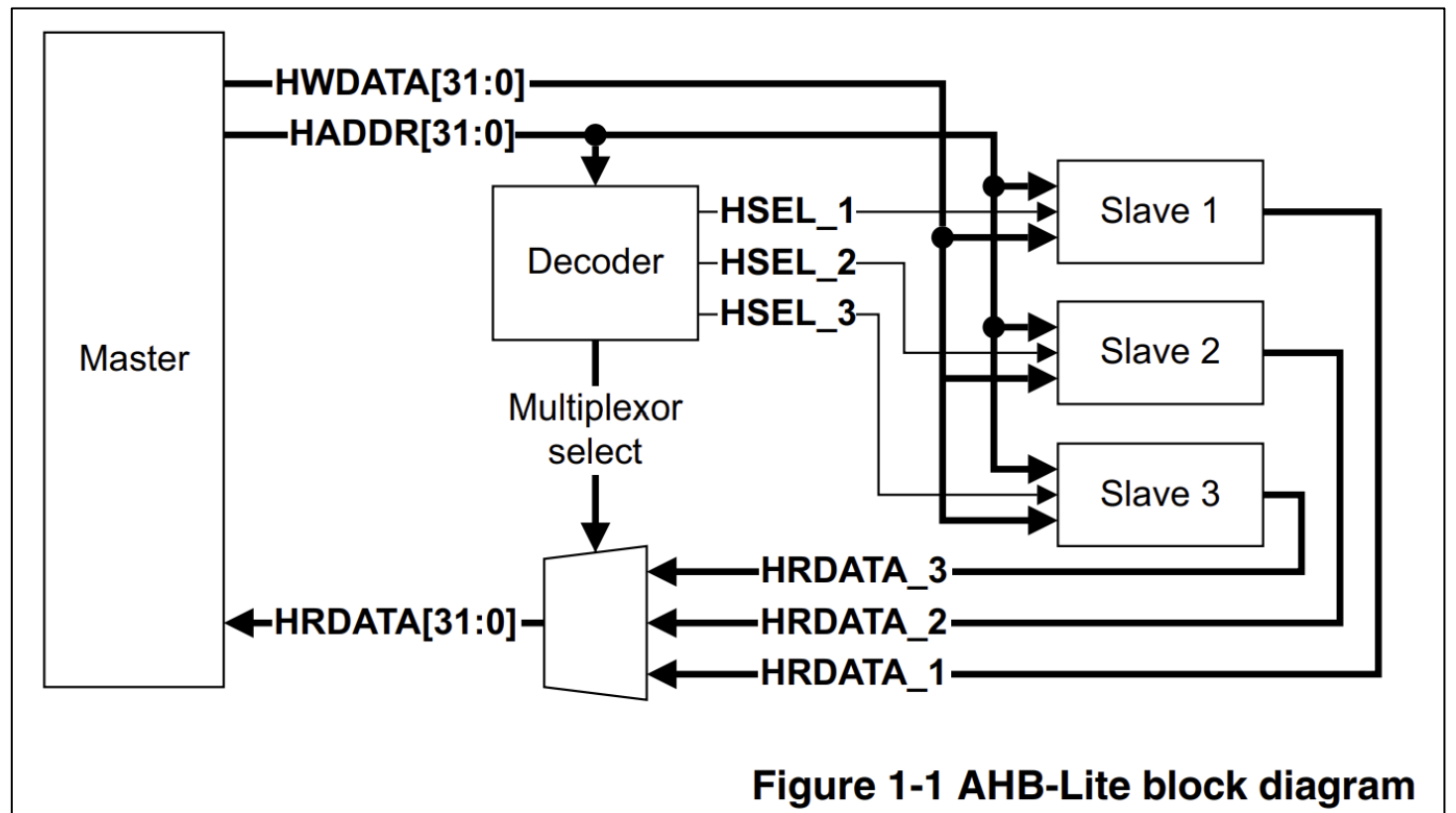


# Chapter 2

AHB

# AHB introduction (1/4)

- AHB-lite block diagram
  1. AHB-Lite master
  2. AHB-Lite slave
  3. Decoder
  4. Multiplexor

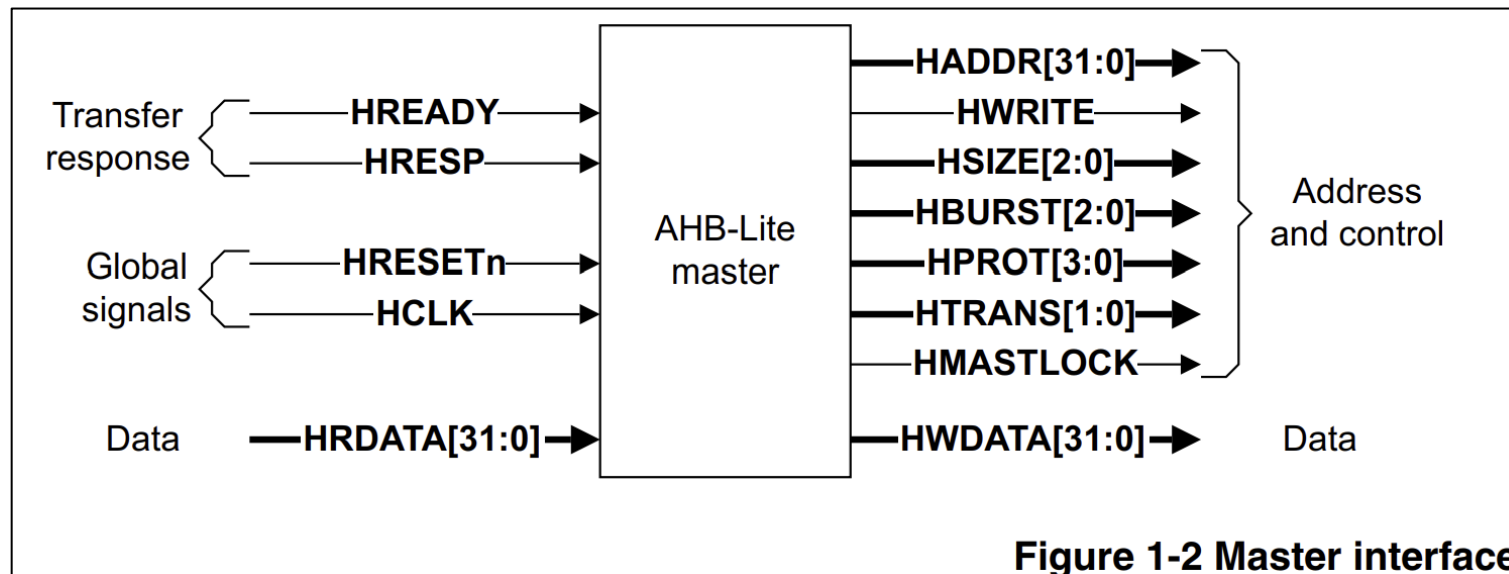


# AHB introduction (2/4)

## 1. AHB-Lite master

- 分成

- 1) Global: clk & reset
- 2) Address phase: 由 address & control 組成
- 3) Data phase: 由 data & transfer response 組成

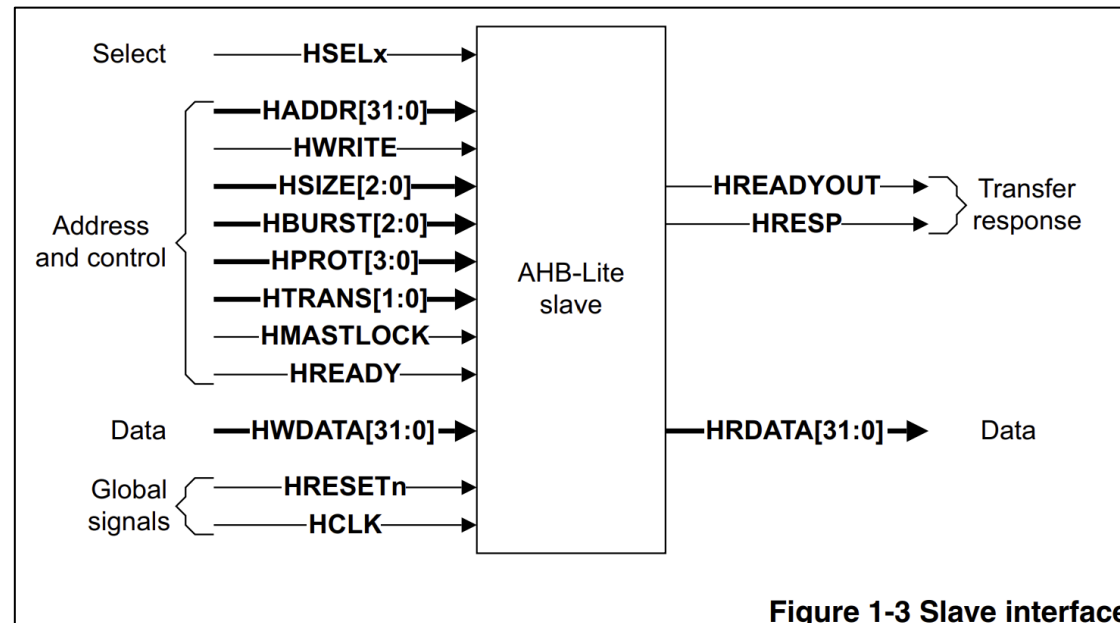


# AHB introduction (3/4)

## 2. AHB-Lite slave

- 分成

- 1) Global: clk & reset
- 2) Address phase: 由 address & control 組成
- 3) Data phase: 由 data & transfer response 組成



# AHB introduction (4/4)

## 3. Decoder

- 將 HADDR 解碼，產生各 slave 的 HSEL 信號

## 4. Multiplexor (MUX)

### 1) 單 master 多 slave

- MUX 把各 slave 的 HRDATA, HRESP 選擇後輸出到 master
- MUX 把各 slave 的 HREADY\_OUT 選擇後輸出到 master / slave

### 2) 多 master 多 slave

- ① 單層（Single-Layer，匯流排仲裁器 bus arbiter）
  - MUX 將每個 master 的 address/control 訊號輸出到 slave
  - MUX 將每個 slave 的 hrdata、hresp 選擇後輸出到 master
  - MUX 將每個 slave 的 hready\_out 選擇後輸出到 master/slave
- ② 多層（Multi-Layer，匯流排矩陣 bus matrix）

# AHB Signal Descriptions (1/7)

1. Global signal
2. Master signal
3. Slave signal
4. Decoder signal
5. Multiplexor signal

# AHB Signal Descriptions (2/7)

## 1. Global signal

Name	Source	Description
HCLK	Clock source	整個系統的 Clock
HRESETn	Reset controller	重置訊號

# AHB Signal Descriptions (3/7)

## 2. Master signal

Name	Destination	Description
HADDR[31:0]	Slave and decoder	32 bit 的 system address bus
HBURST[2:0]	Slave	burst type 表示此次傳輸是單次傳輸還是屬於burst傳輸。 系統支援固定長度的突發傳輸，包含 4、8 和 16 個 beats。 burst傳輸可以是遞增（incr）或循環（wrap）方式。 也支援長度不定的遞增式burst傳輸。
HMASTLOCK	Slave	當此訊號為高電位（HIGH）時， 表示目前的傳輸是屬於一個 locked sequence 的一部分。 不能讓其他master來存取此slave。 表示目前的傳輸序列是不可分割的， 因此必須在處理其他傳輸之前優先完成。
HPROT[3:0]	Slave	
HSIZE[2:0]	Slave	



# AHB Signal Descriptions (4/7)

## 2. Master signal

Name	Destination	Description
HTRANS[1:0]	Slave	表示目前傳輸的類型（transfer type），可能的類型包括： <ul style="list-style-type: none"><li>• IDLE（閒置）</li><li>• BUSY（忙碌）</li><li>• NONSEQUENTIAL（非連續傳輸）</li><li>• SEQUENTIAL（連續傳輸）</li></ul>
HWDATA[31:0]	Slave	寫入的data
HWRITE	Slave	此訊號表示傳輸的類別。 當為高電位（HIGH）時，表示為寫入傳輸 當為低電位（LOW）時，則表示為讀取傳輸

# AHB Signal Descriptions (5/7)

## 3. Slave signal

Name	Destination	Description
HRDATA[31:0]	Multiplexor	在讀取操作期間，讀取資料匯流排（read data bus）將資料從選定的slave傳送到多工器（multiplexor）。多工器接著再將該資料傳送給master
HREADYOUT	Multiplexor	當 HREADYOUT 訊號為高電位（HIGH）時，表示匯流排上的一筆傳輸已經完成。 此訊號也可以被拉低（LOW）以延長傳輸的時間。
HRESP	Multiplexor	傳輸回應訊號（transfer response）在經過多工器後，會提供master關於傳輸狀態的額外資訊。 當 HRESP 訊號為低電位（LOW）時，表示傳輸狀態為 OKAY（正常）。 當 HRESP 訊號為高電位（HIGH）時，表示傳輸狀態為 ERROR（錯誤）。

# AHB Signal Descriptions (6/7)

## 4. Decoder signal

Name	Destination	Description
HSELx	Slave	每個 AHB-Lite slave 都有自己的slave選擇訊號 HSELx，此訊號用來表示當前的傳輸是針對該被選取的slave。 當slave初次被選中時，它也必須監控 <b>HREADY</b> 的狀態，以確保前一筆匯流排傳輸已經完成，才能對當前傳輸作出回應。 HSELx 訊號是由位址匯流排進行組合邏輯解碼（combinatorial decode）後產生的。

# AHB Signal Descriptions (7/7)

## 5. Multiplexor signal

Name	Destination	Description
HRDATA[31:0]	Master	Read data bus, selected by the decoder.
HREADY	Master and slave	當 HREADY 訊號為高電位時，表示先前的傳輸已完成 這個訊號會通知master和所有slave。
HRESP	Master	Transfer response, selected by the decoder.

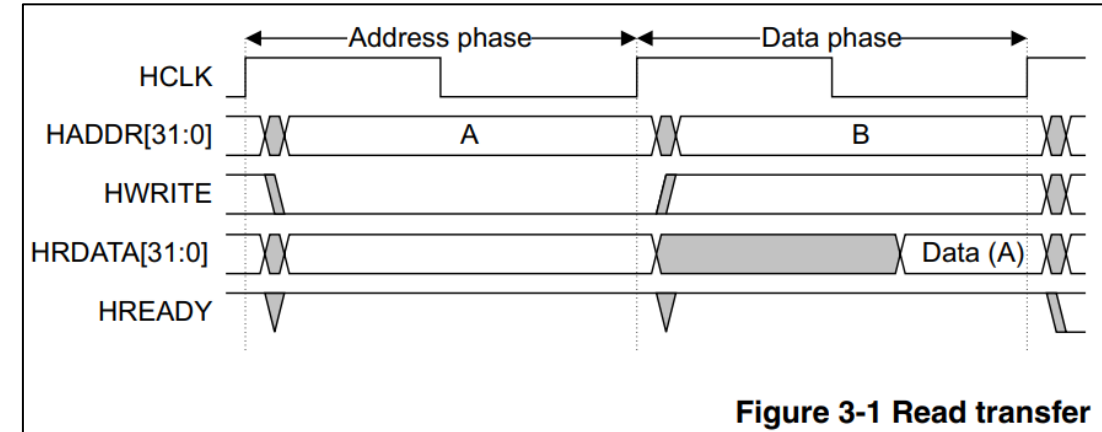
# AHB Transfers (1/)

1. Basic transfers
2. Transfer types
3. Locked transfers
4. Transfer size
5. Burst operation
6. Waited transfers
7. Protection control

# AHB Transfers (2/)

## 1. Basic transfers – Read

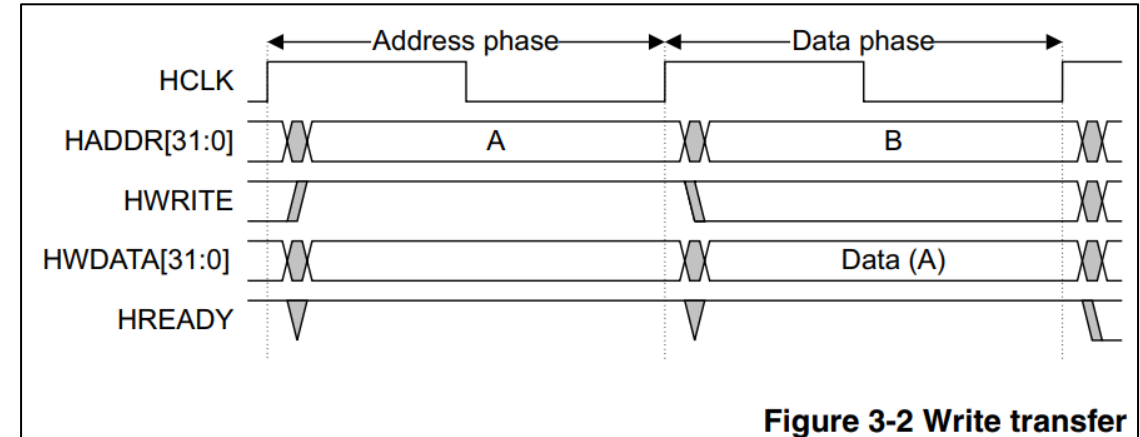
- Master 發 Read CMD 給 slave (Master 對 Slave 做讀取)
- HWRITE = LOW
- Address Phase
  - 當 HREADY = 1 時，HADDR (A) 被接收
- Data Phase
  - 當下一個週期 HREADY = 1 時，
  - A 的 Data 放上 HRDATA 回傳給 master



# AHB Transfers (3/)

## 1. Basic transfers – Write

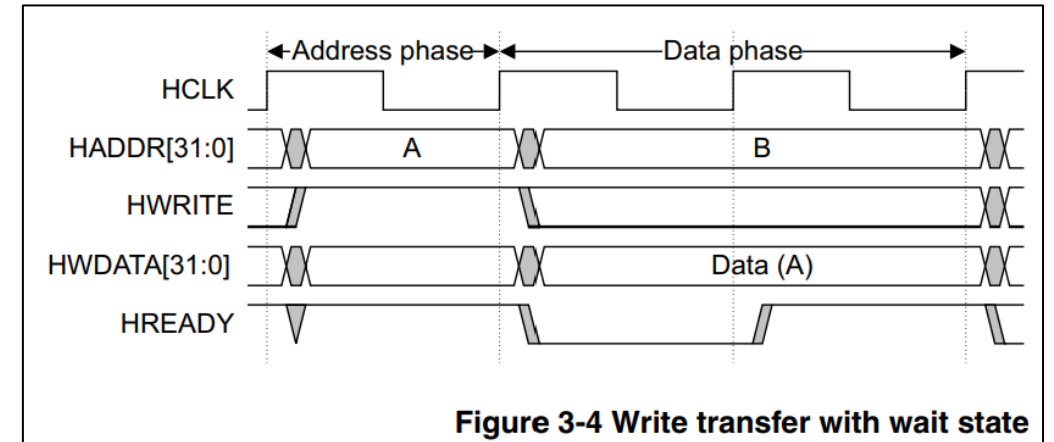
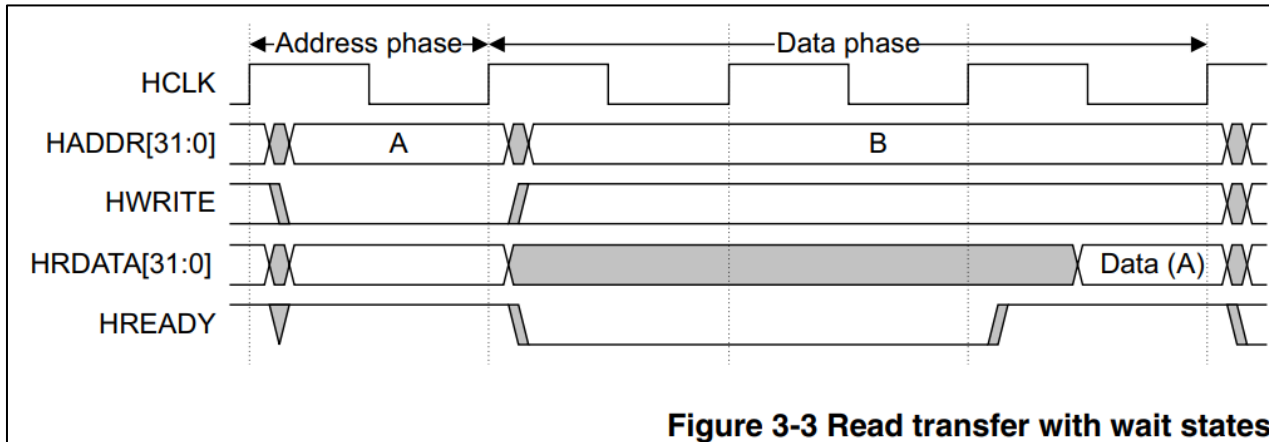
- Master 發 Write CMD 給 slave (Master 對 slave 做寫入)
- HWRITE = HIGH
- Address Phase
  - 當 HREADY = 1 時，HADDR (A) 被接收
- Data Phase
  - 當下一個週期 HREADY = 1 時，
  - A 的 Data 放上 HWDATA 傳給 slave



# AHB Transfers (4/)

## 1. Basic transfers – wait state

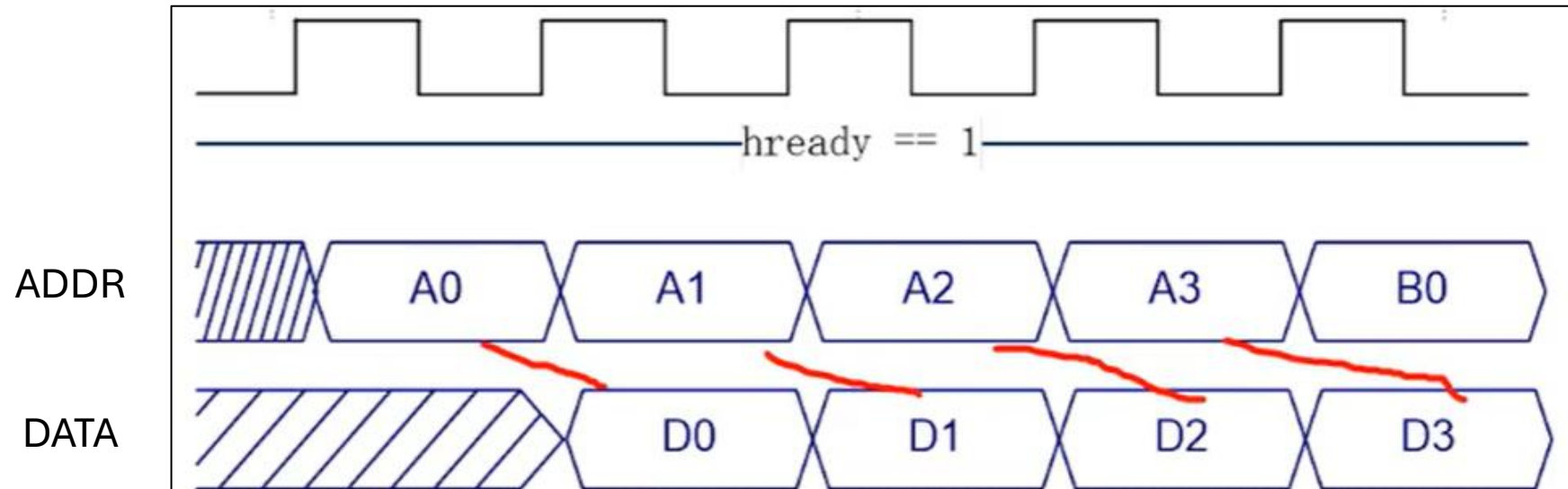
- Slave 如果還沒準備好  
可以使用 **HREADY\_OUT** 拉 **LOW**，來達成 wait 效果





# AHB Transfers (5/)

## 1. Basic transfers – seq transfer



# AHB Transfers (6/)

## 2. Transfer types

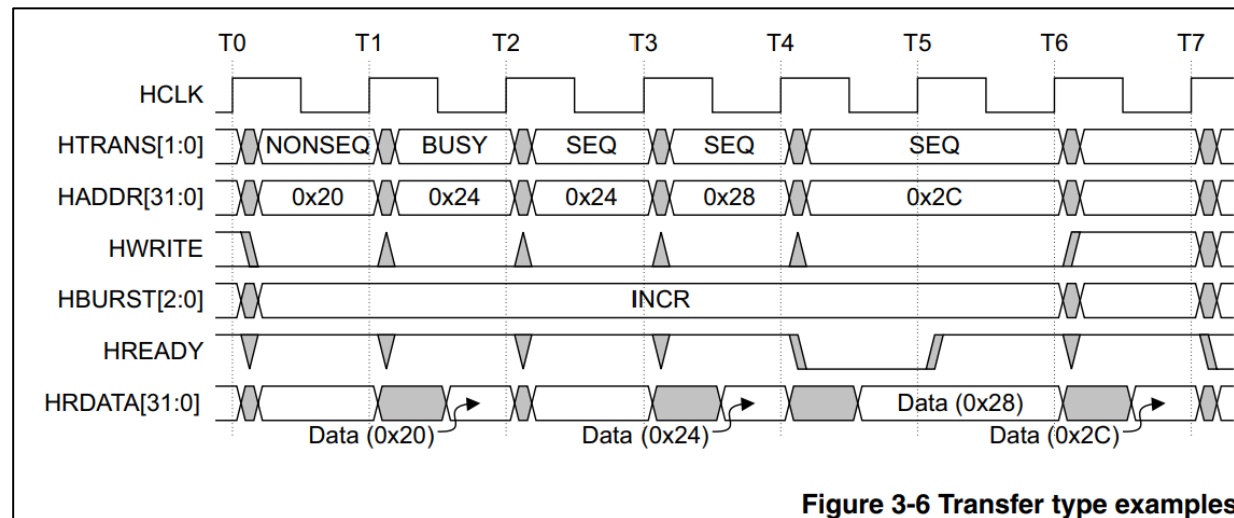
- 傳輸類型可根據 HTRANS 訊號的控制，分為四種類型

HTRANS[1:0]	Type	Description
b00	IDLE	表示不需要進行資料傳輸。 當master不想執行資料傳輸時，會使用 IDLE 傳輸。 建議主裝置在結束一個 locked 傳輸時，以 IDLE 傳輸作為終止。slave在接收到 IDLE 傳輸時，必須提供 0 wait state 的 OKAY 回應，並且忽略該次傳輸。
b01	BUSY	BUSY 傳輸類型允許master在burst過程中插入idle cycles。 這種傳輸表示master將繼續進行突發傳輸，但下一次的傳輸無法立即開始。 當主裝置使用 BUSY 傳輸類型時，位址和控制訊號必須反映突發中下一筆傳輸的內容。 只有長度未定義（ex: INCR）的burst才允許以 BUSY 傳輸作為突發的最後一個週期。 slave在接收到 BUSY 傳輸時，必須始終提供 0 wait state 的 OKAY 回應，並且忽略該次傳輸。
B10	NONSEQ	表示單筆傳輸或是burst的第一筆資料傳輸。 此時的位址與控制訊號與前一次傳輸無關。 在匯流排（bus）上的單筆傳輸會被視為長度為 1 的burst，因此其傳輸類型為 NONSEQUENTIAL。
b11	SEQ	burst中其餘的傳輸為 SEQUENTIAL 類型，這些傳輸的位址與前一次傳輸有關聯。

# AHB Transfers (7/)

## 2. Transfer types – example waveform

- T0 – T1: 一個 burst 的第一個 CMD 的 HTRANS 一定是 NONSEQ
- T4 – T5: 由於 slave 還沒準備好，所以 HREADY 拉 LOW，來做 wait state
- 如果 master 還沒準備好的話，  
在 NONSEQ – SEQ 與 SEQ – SEQ 之間可以加入任意個 BUSY



# AHB Transfers (8/)

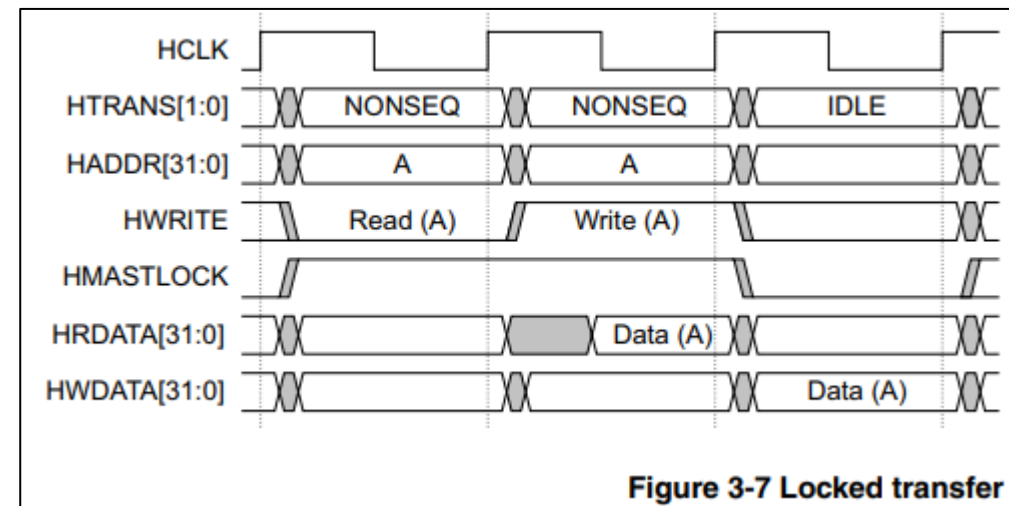
## 2. Transfer types - 整理

- 一個 beat RW 操作，分為 address phase & data phase
- HREADY 驅動總線週期推進
- Slave 靠拉低 HREADY\_OUT 在 data phase 插入 wait state
- Master 靠 HTRANS = BUSY 來插入 wait cycle

# AHB Transfers (9/)

## 3. Locked transfers

- 如果master 需要進行 locked 存取，則必須同時拉高 **HMASTERLOCK** 訊號。  
此訊號告知所有slave，目前的**傳輸序列是不可分割**的，因此必須在處理任何指令之前優先完成。
- Lock 開始:
  1. master: HMASTERLOCK = 1 && HREADY = 1
  2. Slave: HMASTERLOCK = 0 && HSEL = 1 && HREADY = 1
- Lock 結束:
  1. HMASTERLOCK = 0 && HREADY = 1
  2. locked transfer 結束時，建議在最後插入一個 IDLE



# AHB Transfers (10/)

## 4. Transfer size

- HSIZE[2:0] 表示資料傳輸的大小
- 代表每一 **beat** 傳輸的數據量為多少 **bit**  
(ex: 當 HSIZE[2:0] = 1，代表此次傳輸，一次傳 16 bits  
換句話說 DATA bus (32bits) 上的資料有 16 bits 是有效的)

Table 3-2 Transfer size encoding

HSIZE[2]	HSIZE[1]	HSIZE[0]	Size (bits)	Description
0	0	0	8	Byte
0	0	1	16	Halfword
0	1	0	32	Word
0	1	1	64	Doubleword
1	0	0	128	4-word line
1	0	1	256	8-word line
1	1	0	512	-
1	1	1	1024	-

# AHB Transfers (11/)

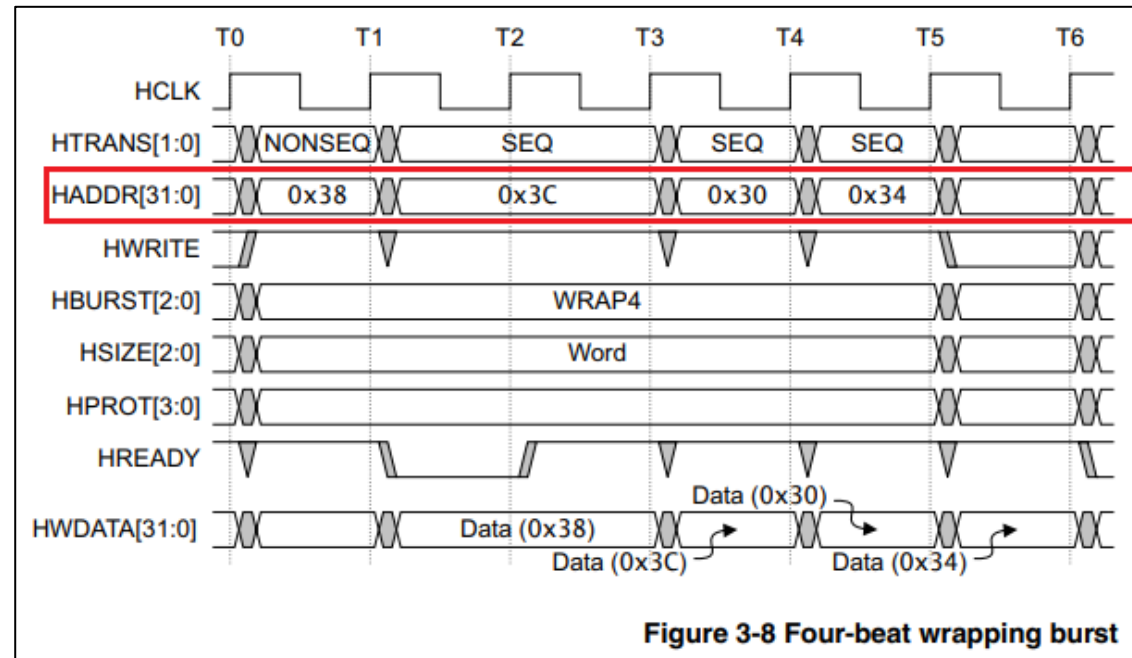
## 5. Burst operation

- Burst 筆數由 HBURST 控制，傳輸大小由 HSIZE 控制
- 支援以下Burst類型
  - 1) 單筆 (SINGLE)
  - 2) 遞增不定長Burst (INCR):
    1. 存取的是連續的位址位置，突發中每次傳輸的位址會比前一次遞增。
  - 3) 遞增定長 Burst (INCR 4, 8, 16)
  - 4) 包裝式Burst (WRAP 4, 8, 16):
    1. 當跨越某個位址邊界時，位址會自動回繞（wrap around）。
    2. 位址邊界的計算方式為： $\text{beats} * \text{HSIZE}$

# AHB Transfers (12/)

## 5. Burst operation – example

- WRAP4
  - 因為是 HBURST = 4 beat 且 HSIZE = 4 bytes (WORD) ，  
位址邊界為  $4 * 4 = 16$  bytes ，所以 HADDR 在 0x3C 之後會繞回 0x30

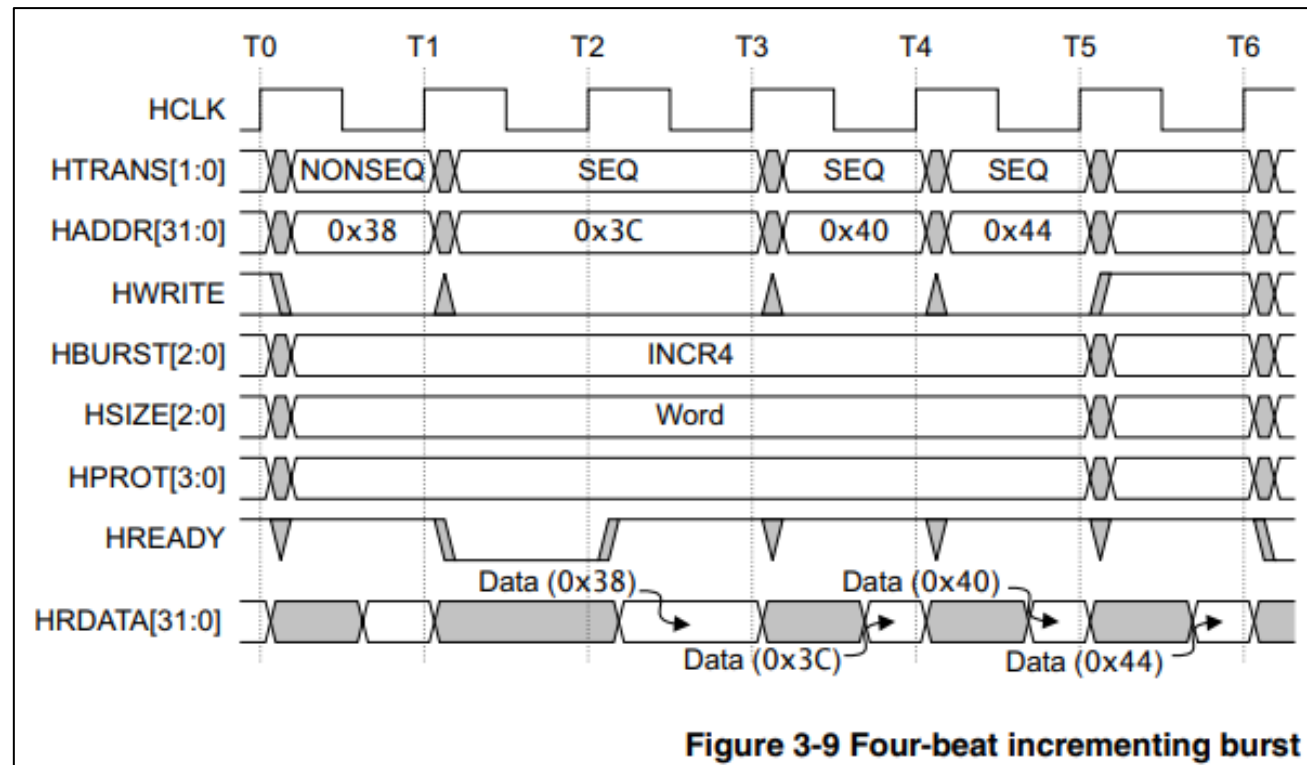




# AHB Transfers (13/)

## 5. Burst operation – example

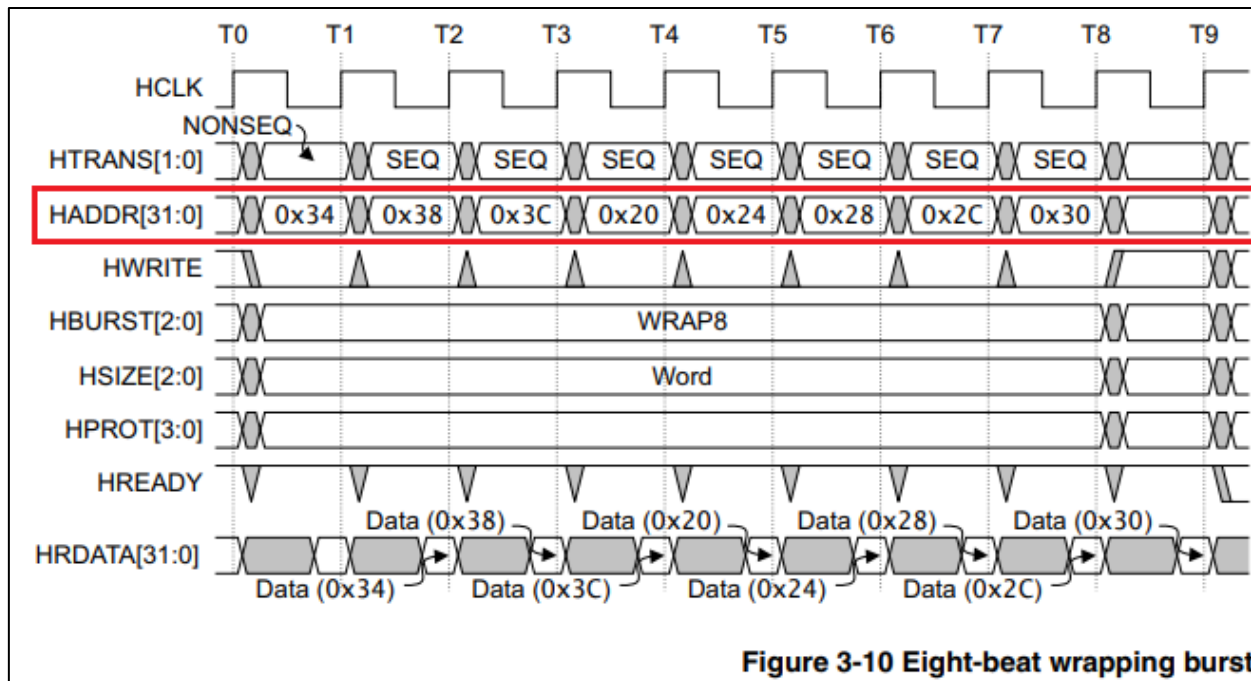
- INCR4



# AHB Transfers (14/)

## 5. Burst operation – example

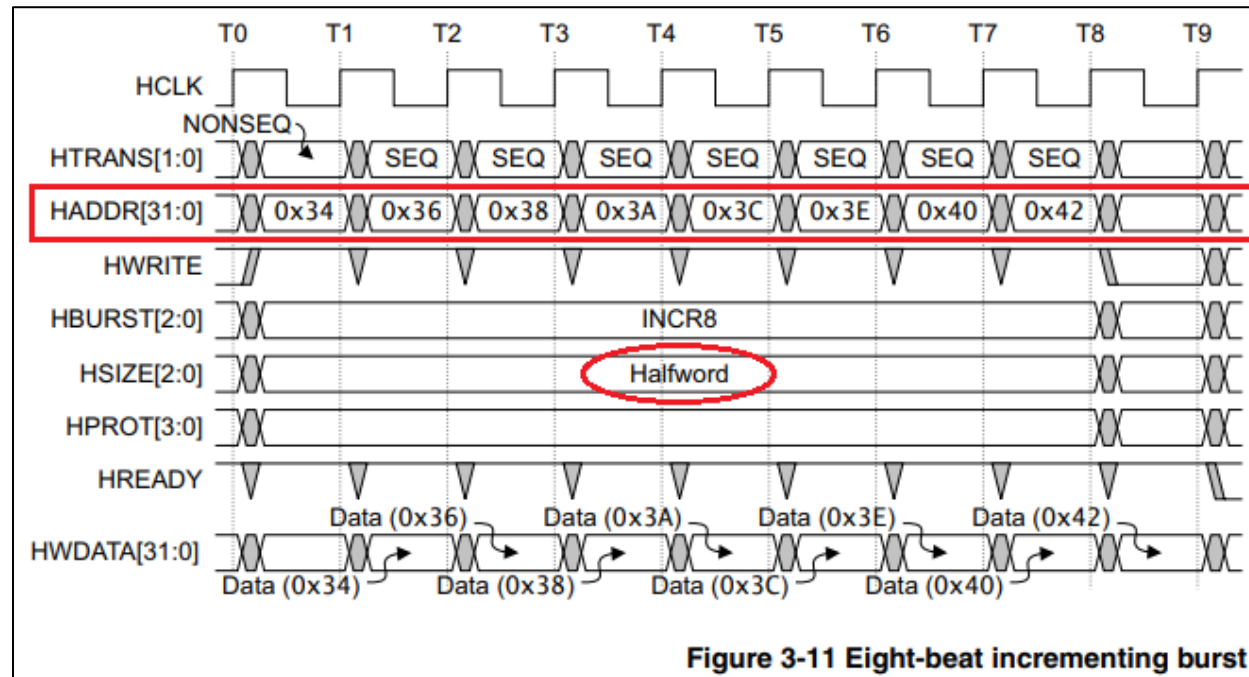
- WRAP8
  - 因為是 HBURST = 8 beat 且 HSIZE = 4 bytes (WORD) ，  
位址邊界為  $8 * 4 = 32$  bytes ，所以 HADDR 在 0x3C 之後會繞回 0x20



# AHB Transfers (15/)

## 5. Burst operation – example

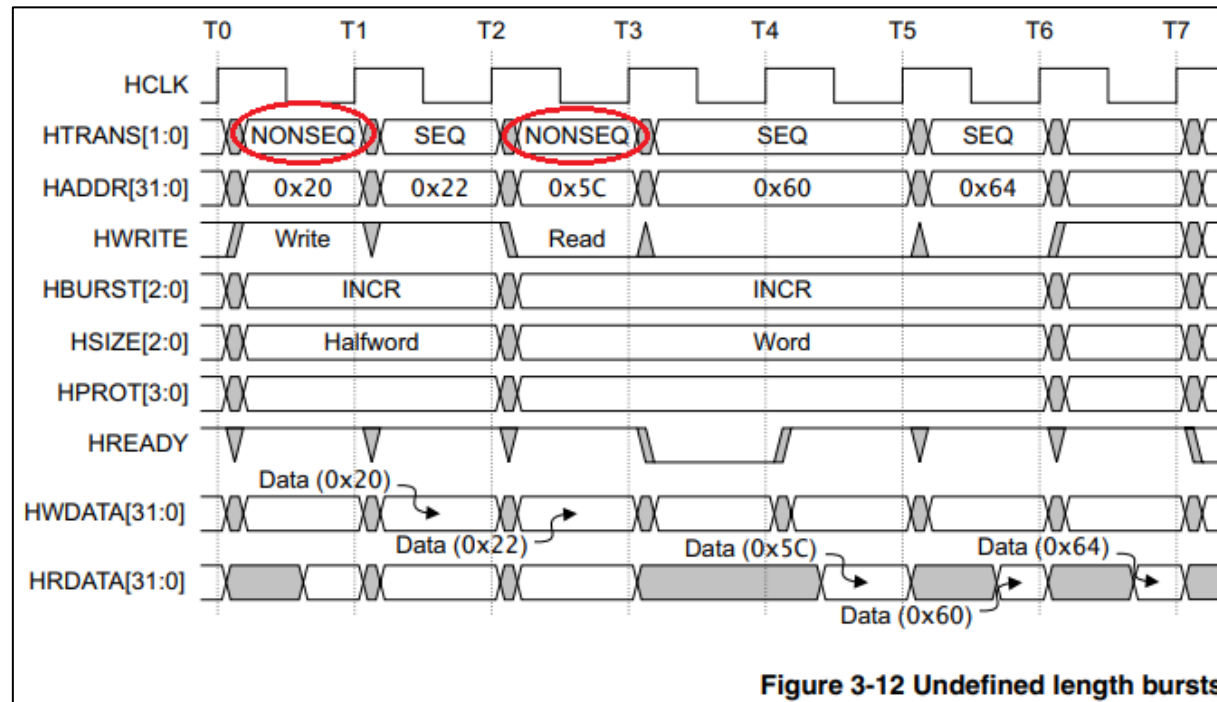
- INCR8
  - 因為 HSIZE = 2 bytes (Half WORD)，所以 HADDR 每筆加 2



# AHB Transfers (16/)

## 5. Burst operation – example

- INCR
  - 在每筆新的 Burst 開頭，HTRANS 需要下 NONSEQ 來區分不同筆 BURST



# AHB Transfers (17/)

## 5. Burst operation

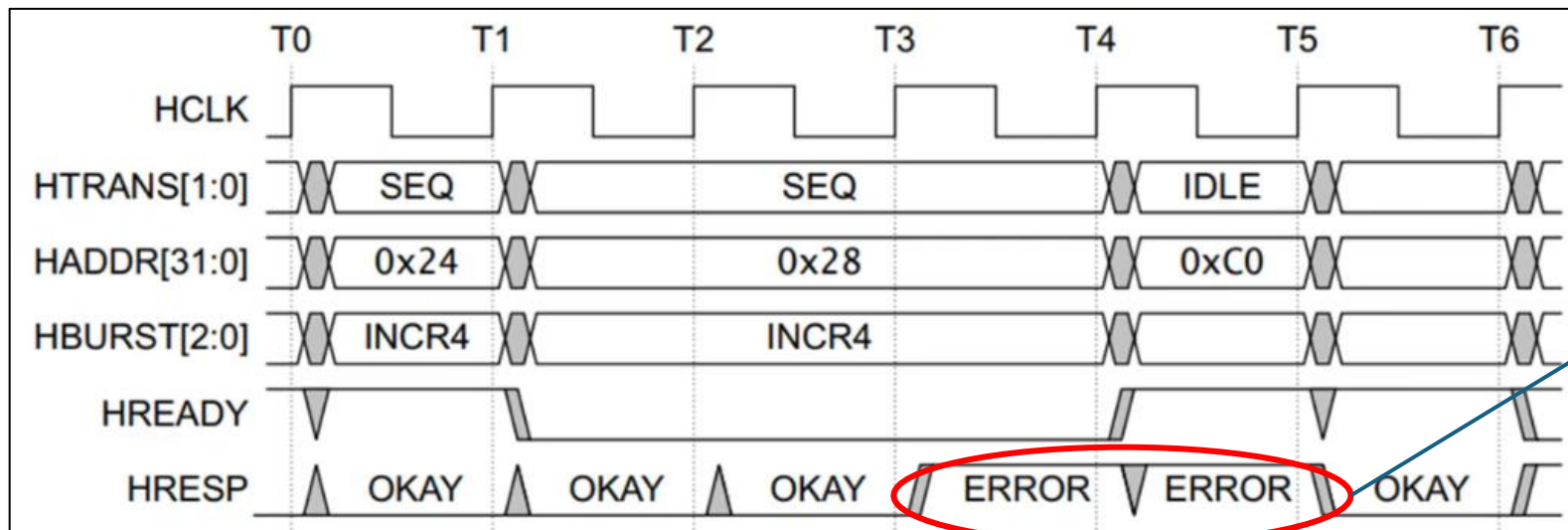
- Burst termination after a BUSY transfer
  - 當Burst開始後，若master繼續下一筆傳輸前需要更多時間，則可以插入 BUSY 傳輸。
  - 在 不定長度Burst (INCR)中，master可能插入 BUSY 傳輸，然後決定不再進行後續資料傳輸。  
在這種情況下，主裝置可以接著發出 NONSEQ 或 IDLE 傳輸，藉此有效地終止該不定長度突發傳輸。
  - 禁止master在下列固定長度突發傳輸結尾時使用 BUSY 傳輸
    - 遞增式：INCR4、INCR8、INCR16
    - 包裝式：WRAP4、WRAP8、WRAP16
    - 這些固定長度的Burst必須以 SEQ 傳輸作為結束
    - 此外，在 SINGLE Burst之後，master不得立即發出 BUSY 傳輸，而應該接著發出 IDLE 或 NONSEQ 傳輸

# AHB Transfers (18/)

## 5. Burst operation

- Early burst termination

- 如果slave回傳 ERROR 回應，master可以選擇取消該Burst中剩下的傳輸筆數。
- 但這不是強制要求，master也可以選擇繼續執行剩下的傳輸。
- 若master未完成該次Burst，也不需要在下一次存取該slave時重新建立或補齊該Burst。  
(ex: 如果master只完成了一個 8 筆Burst中的前三筆，那麼在下一次對該slave進行存取時，不需要補完剩下的五筆傳輸)



Slave 發 Error 必須為兩個周期

# AHB Transfers (19/)

## 6. Waited transfers

- 當Slave需要更多時間來提供資料或取樣資料時，會利用 HREADY 訊號 插入等待狀態 (wait states)
- Transfer type (HTRANS) changes during wait states
  - 當slave正在要求插入等待狀態 (wait states) 時，master不得改變傳輸類型 (HTRANS)，除非符合以下情況
    1. IDLE transfer
    2. BUSY transfer (固定長度burst)
    3. BUSY transfer (不固定長度burst)
- Address (HADDR) changes during wait states
  - 當slave正在要求插入等待狀態 (wait states) 時，master只能變更位址一次，除非符合以下情況的說明
    1. During an IDLE transfer
    2. After an ERROR response