

AMBA 介紹

目錄

1. APB
2. AHB
3. AXI

Chapter 1

APB

APB 訊號

- PCLK : clock
- PADDR : address
- PWRITE : 讀寫控制訊號
寫為 1, 讀為 0
- PSEL : SELECT
- PENABLE : master 就緒
(必須比 PSEL 晚一個週期)
- PWDATA : write時的BUS
- PRDATA : read時的 BUS
- PREADY : slave就緒

□ Write Trans Without Wait State

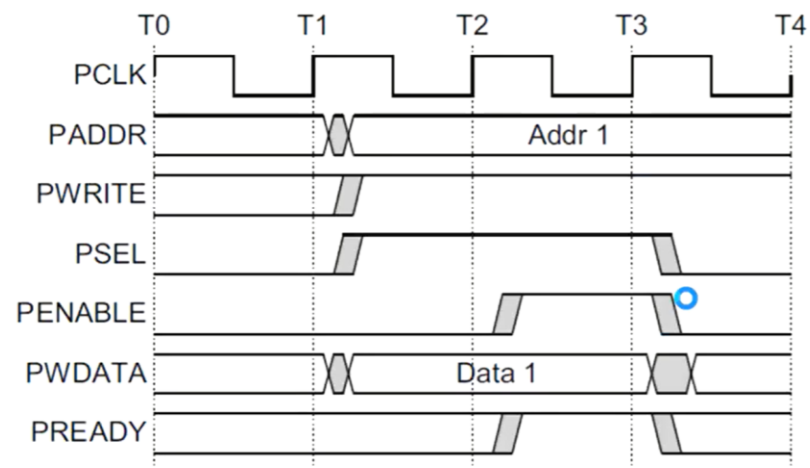
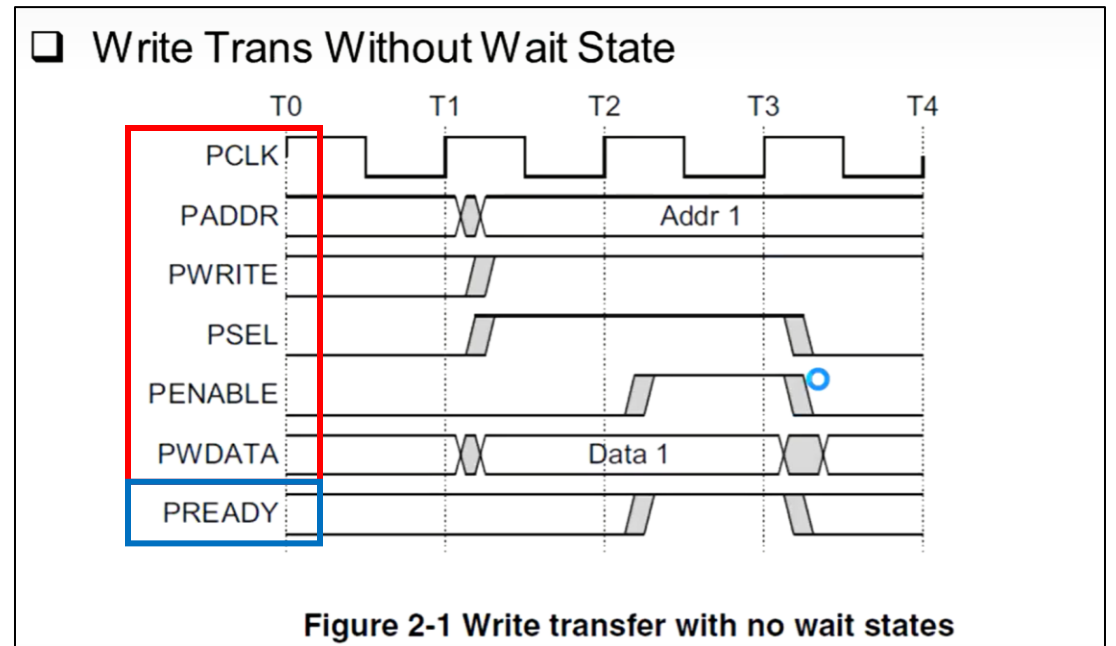


Figure 2-1 Write transfer with no wait states

Write trans without wait state

- 當write時，
紅色框為 master 控制訊號
藍色框為 slave 控制訊號
- 當 PSEL, PENABLE, PREADY
三者同時為 1 時
開始進行寫入 操作



Write trans with wait state

- 當write時，
紅色框為slave還未就緒
(wait state)
- 等到 PREADY 為 1 時，
才開始寫入

□ Write Trans With Wait State

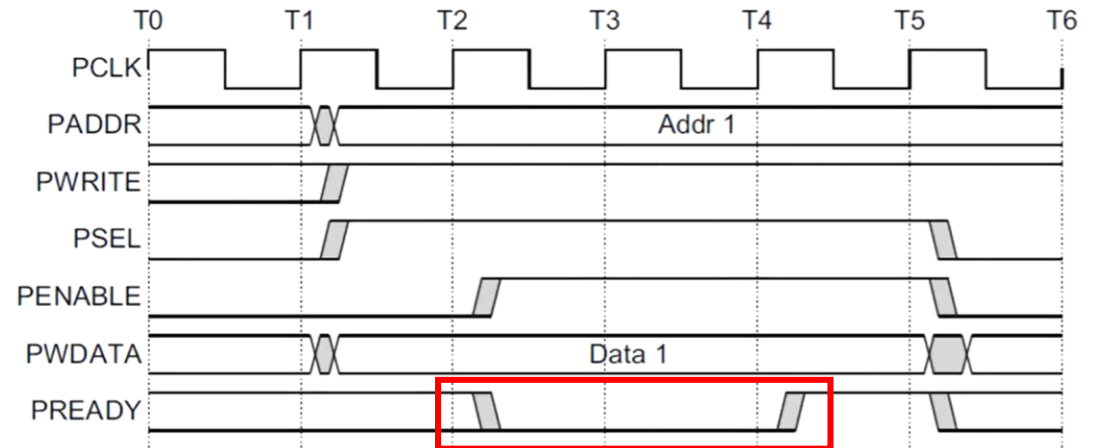


Figure 2-2 Write transfer with wait states

Write trans with wait state

- 當write時，
紅色框為slave還未就緒
(wait state)
- 等到 PREADY 為 1 時，
才開始寫入

□ Write Trans With Wait State

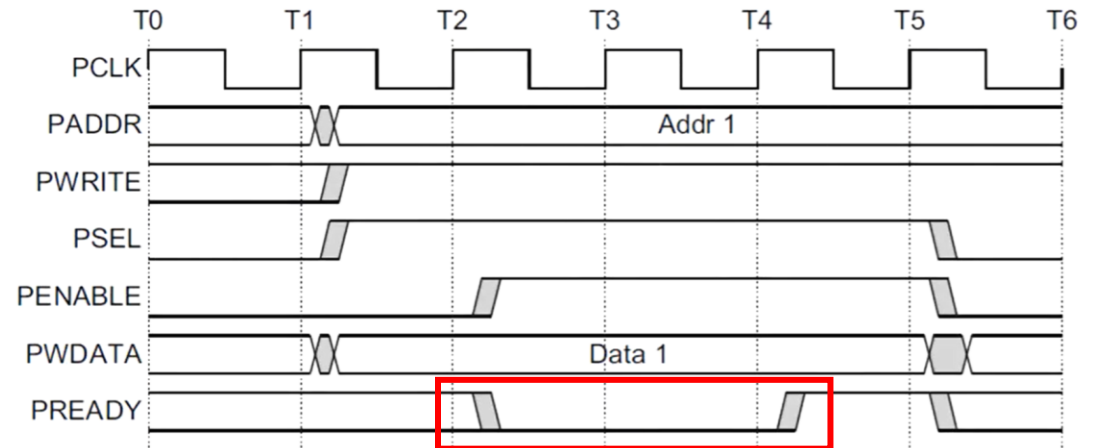


Figure 2-2 Write transfer with wait states

Read trans with wait state

- 當Read時，
紅色框為 master 控制訊號
藍色框為 slave 控制訊號
- 綠色框為slave還未就緒
(wait state)
- 當 PSEL, PENABLE, PREADY
三者同時為 1 時
開始進行讀取操作

□ Read Trans With Wait State

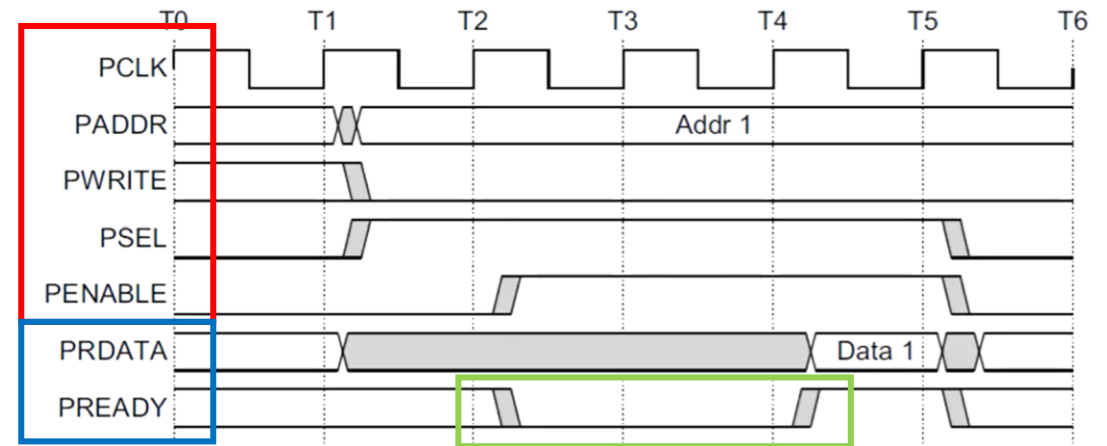


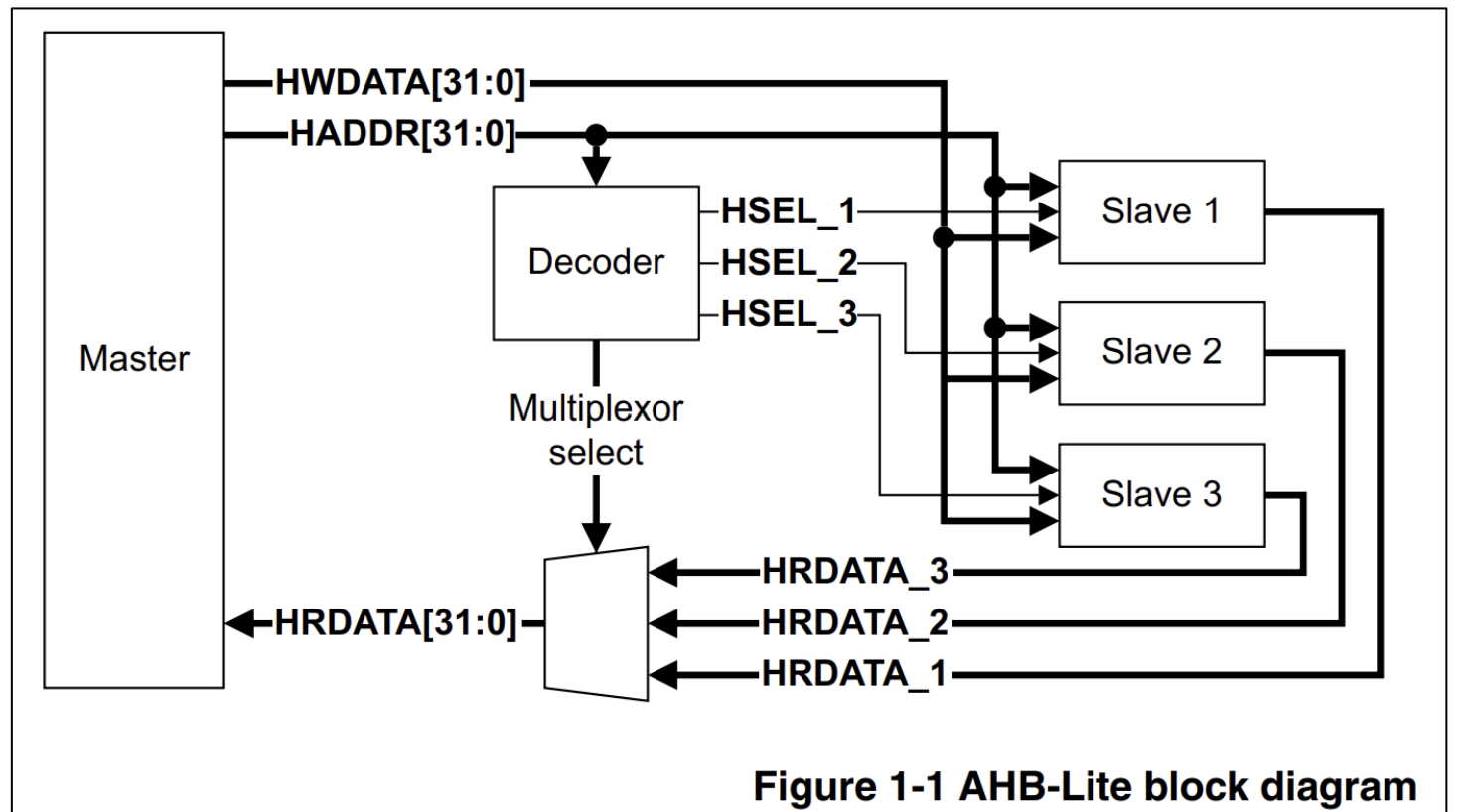
Figure 2-4 Read transfer with wait states

Chapter 2

AHB

AHB introduction (1/4)

- AHB-lite block diagram
 1. AHB-Lite master
 2. AHB-Lite slave
 3. Decoder
 4. Multiplexor

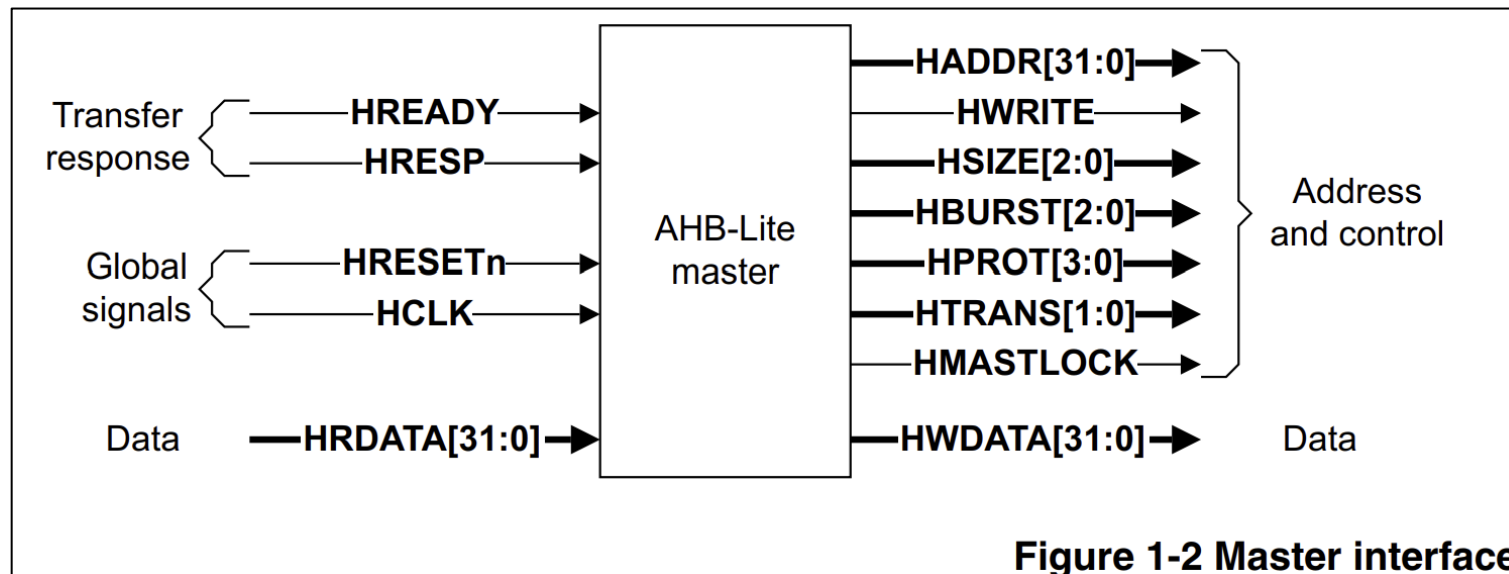


AHB introduction (2/4)

1. AHB-Lite master

- 分成

- 1) Global: clk & reset
- 2) Address phase: 由 address & control 組成
- 3) Data phase: 由 data & transfer response 組成

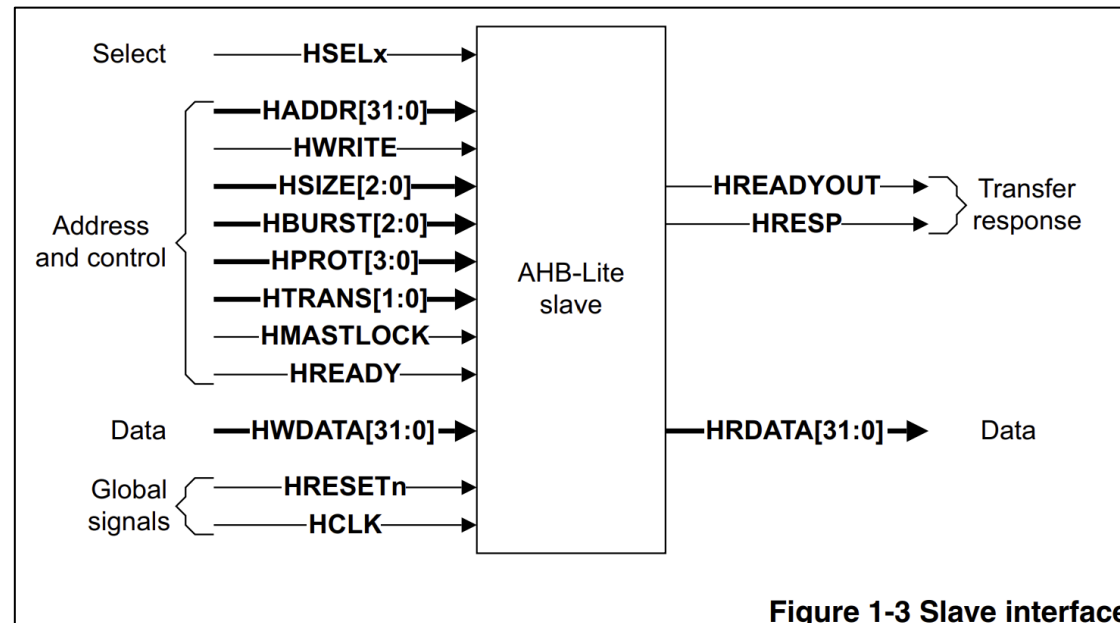


AHB introduction (3/4)

2. AHB-Lite slave

- 分成

- 1) Global: clk & reset
- 2) Address phase: 由 address & control 組成
- 3) Data phase: 由 data & transfer response 組成



AHB introduction (4/4)

3. Decoder

- 將 HADDR 解碼，產生各 slave 的 HSEL 信號

4. Multiplexor (MUX)

1) 單 master 多 slave

- MUX 把各 slave 的 HRDATA, HRESP 選擇後輸出到 master
- MUX 把各 slave 的 HREADY_OUT 選擇後輸出到 master / slave

2) 多 master 多 slave

- ① 單層（Single-Layer，匯流排仲裁器 bus arbiter）
 - MUX 將每個 master 的 address/control 訊號輸出到 slave
 - MUX 將每個 slave 的 hrdata、hresp 選擇後輸出到 master
 - MUX 將每個 slave 的 hready_out 選擇後輸出到 master/slave
- ② 多層（Multi-Layer，匯流排矩陣 bus matrix）

AHB Signal Descriptions (1/7)

1. Global signal
2. Master signal
3. Slave signal
4. Decoder signal
5. Multiplexor signal

AHB Signal Descriptions (2/7)

1. Global signal

Name	Source	Description
HCLK	Clock source	整個系統的 Clock
HRESETn	Reset controller	重置訊號

AHB Signal Descriptions (3/7)

2. Master signal

Name	Destination	Description
HADDR[31:0]	Slave and decoder	32 bit 的 system address bus
HBURST[2:0]	Slave	burst type 表示此次傳輸是單次傳輸還是屬於burst傳輸。 系統支援固定長度的突發傳輸，包含 4、8 和 16 個 beats。 burst傳輸可以是遞增（incr）或循環（wrap）方式。 也支援長度不定的遞增式burst傳輸。
HMASTLOCK	Slave	當此訊號為高電位（HIGH）時， 表示目前的傳輸是屬於一個 locked sequence 的一部分。 不能讓其他master來存取此slave。 表示目前的傳輸序列是不可分割的， 因此必須在處理其他傳輸之前優先完成。
HPROT[3:0]	Slave	
HSIZE[2:0]	Slave	

AHB Signal Descriptions (4/7)

2. Master signal

Name	Destination	Description
HTRANS[1:0]	Slave	表示目前傳輸的類型（transfer type），可能的類型包括： <ul style="list-style-type: none">• IDLE（閒置）• BUSY（忙碌）• NONSEQUENTIAL（非連續傳輸）• SEQUENTIAL（連續傳輸）
HWDATA[31:0]	Slave	寫入的data
HWRITE	Slave	此訊號表示傳輸的類別。 當為高電位（HIGH）時，表示為寫入傳輸 當為低電位（LOW）時，則表示為讀取傳輸

AHB Signal Descriptions (5/7)

3. Slave signal

Name	Destination	Description
HRDATA[31:0]	Multiplexor	在讀取操作期間，讀取資料匯流排（read data bus）將資料從選定的slave傳送到多工器（multiplexor）。多工器接著再將該資料傳送給master
HREADYOUT	Multiplexor	當 HREADYOUT 訊號為高電位（HIGH）時，表示匯流排上的一筆傳輸已經完成。 此訊號也可以被拉低（LOW）以延長傳輸的時間。
HRESP	Multiplexor	傳輸回應訊號（transfer response）在經過多工器後，會提供master關於傳輸狀態的額外資訊。 當 HRESP 訊號為低電位（LOW）時，表示傳輸狀態為 OKAY（正常）。 當 HRESP 訊號為高電位（HIGH）時，表示傳輸狀態為 ERROR（錯誤）。

AHB Signal Descriptions (6/7)

4. Decoder signal

Name	Destination	Description
HSELx	Slave	每個 AHB-Lite slave 都有自己的slave選擇訊號 HSELx，此訊號用來表示當前的傳輸是針對該被選取的slave。 當slave初次被選中時，它也必須監控 HREADY 的狀態，以確保前一筆匯流排傳輸已經完成，才能對當前傳輸作出回應。 HSELx 訊號是由位址匯流排進行組合邏輯解碼（combinatorial decode）後產生的。

AHB Signal Descriptions (7/7)

5. Multiplexor signal

Name	Destination	Description
HRDATA[31:0]	Master	Read data bus, selected by the decoder.
HREADY	Master and slave	當 HREADY 訊號為高電位時，表示先前的傳輸已完成 這個訊號會通知master和所有slave。
HRESP	Master	Transfer response, selected by the decoder.