

معماری کامپیوتر مدرس: اسدی	دانشگاه صنعتی شریف دانشکده مهندسی کامپیوتر	کوئیز اصلی اول نیم‌سال دوم ۱۴۰۰-۱۳۹۹
-------------------------------	---	---

نام و نام خانوادگی:
شماره دانشجویی:

کل نمره: ۱۰۰
مدت امتحان: ۴۵ دقیقه

۱. (متوسط: ۱۰ نمره) برای کاهش تأخیر یک جمع کننده ۲۰ بیتی Ripple Carry، از روش Carry Select Adder استفاده می‌کنیم ولی مجاز هستیم که هزینه طراحی که برابر با مجموع هزینه‌ی FA ها و Mux ها است، بیش از دو برابر هزینه‌ی حالت Ripple Carry نشود. با فرض اینکه $Cost_{FA} = Cost_{Mux} = C$ و $Delay_{FA} = Delay_{Mux} = D$ ، کمترین تأخیری که می‌توان به دست آورد، چقدر است؟
۲. یک معماری ۳۲ بیتی از یک ISA مشابه MIPS استفاده میکند تنها با این تفاوت که این ISA فقط حاوی ۳ دستور است و opcode مربوط به این ۳ دستور در جدول زیر نشان داده شده است. فرض کنید در این معماری میخواهید یک دستور از حافظه بخوانید و اجرا کنید. RTL مربوطه برای خواندن یک دستور از حافظه، تشخیص نوع آن و اجرای آن را بنویسید. (فرض کنید ۳ گذرگاه RS1 و RS2 و RS3 برای آدرس دهی به بانک ثبات در این معماری وجود دارد. همچنین علاوه بر ثبات‌های معمول (مثل PC و AR و IR)، یک ثبات cnt نیز در این معماری وجود دارد که هرگاه $cnt=i$ باشد، سیگنال T_i توسط واحد کنترل فعال می‌شود).

Operation	OP[0]	OP[1]	OP[2]	OP[3]	OP[4]	OP[5]
Jump	1	0	0	0	0	0
Add	0	1	0	0	0	0
Sub	0	0	1	0	0	0

۳. یک ضرب کننده ۳۲ بیتی add and shift را در نظر بگیرید. برای عملیات جمع از یک جمع کننده adderselect carry استفاده شده که هر مرحله‌ی آن هشت بیتی است. در صورتی که تأخیر یک adder full برابر ۵ واحد و تأخیر یک مالتی پلکسر برابر ۴ واحد باشد و تأخیر واحد کنترل برابر ۸ واحد باشد، حداکثر فرکانسی که این مدار میتواند با آن کار کند چقدر است؟ از تأخیر شیفت دادن صرف نظر کرده و حاصلضرب را ۶۴ بیتی در نظر بگیرید.
۴. یک محک از ۳ برنامه‌ی A, B, C تشکیل شده است. جدول ۱ نشان‌دهنده‌ی درصد دستورات مختلف برنامه‌های A, B, C است. CPI سه پردازنده‌ی مختلف در جدول ۲ داده شده است. می‌دانیم که فرکانس پردازنده‌ها به صورت زیر هستند. این محک به برنامه‌ای که بتواند در سریع‌ترین زمان میانگین حساب کند نمره‌ی ۱۰۰ و به بقیه‌ی پردازنده‌ها با توجه به عملکردشان نسبت به سریع‌ترین نمره می‌دهد. نمره‌ی سه پردازنده را بدست آورید.

$$CPU1 = 1.2 \text{ GHz}, CPU2 = 1.4 \text{ GHz}, CPU3 = 1.3 \text{ GHz}$$

	CPU1	CPU2	CPU3
R-type	4	3	5
I-type	4	5	5
Branch	2	3	1
Load & Store	5	4	3

جدول ۲

	A	B	C
R-type	0.12	0.4	0.33
I-type	0.35	0.43	0.22
Branch	0.08	0.04	0.2
Load & Store	0.45	0.13	0.25

جدول ۱

معماری کامپیوتر مدرس: اسدی	دانشگاه صنعتی شریف دانشکده مهندسی کامپیوتر	کوئیز اصلی اول نیم‌سال دوم ۱۳۹۹-۱۴۰۰
-------------------------------	---	---

۵. با استفاده از حداقل میزان گذرگاه و مالتی‌پلکسر مسیر انتقالی برای چهار ثبات $R1, R2, R3, R4$ طراحی کنید که قابلیت انجام دستورات زیر را داشته باشند.

$$\begin{aligned}
 R1 &\leftarrow R2, R2 \leftarrow R3, R3 \leftarrow R1 \\
 R4 &\leftarrow R1, R2 \leftarrow R3, R1 \leftarrow R3 \\
 R2 &\leftarrow R4, R1 \leftarrow R4
 \end{aligned}$$