

معماری کامپیوتر مدرس: اسدی	دانشگاه صنعتی شریف دانشکده مهندسی کامپیوتر	کوئیز اصلی دوم نیم‌سال دوم ۱۳۹۹-۱۴۰۰
-------------------------------	---	---

نام و نام خانوادگی:
شماره دانشجویی:

کل نمره: ۱۰۰
مدت امتحان: ۶۰ دقیقه

۱. برای پردازنده چند چرخه‌ای MIPS، نحوه تنظیم سیگنال‌های کنترل را روی چرخه‌های زمانی داده شده، برای دنباله دستورالعمل زیر نشان دهید:

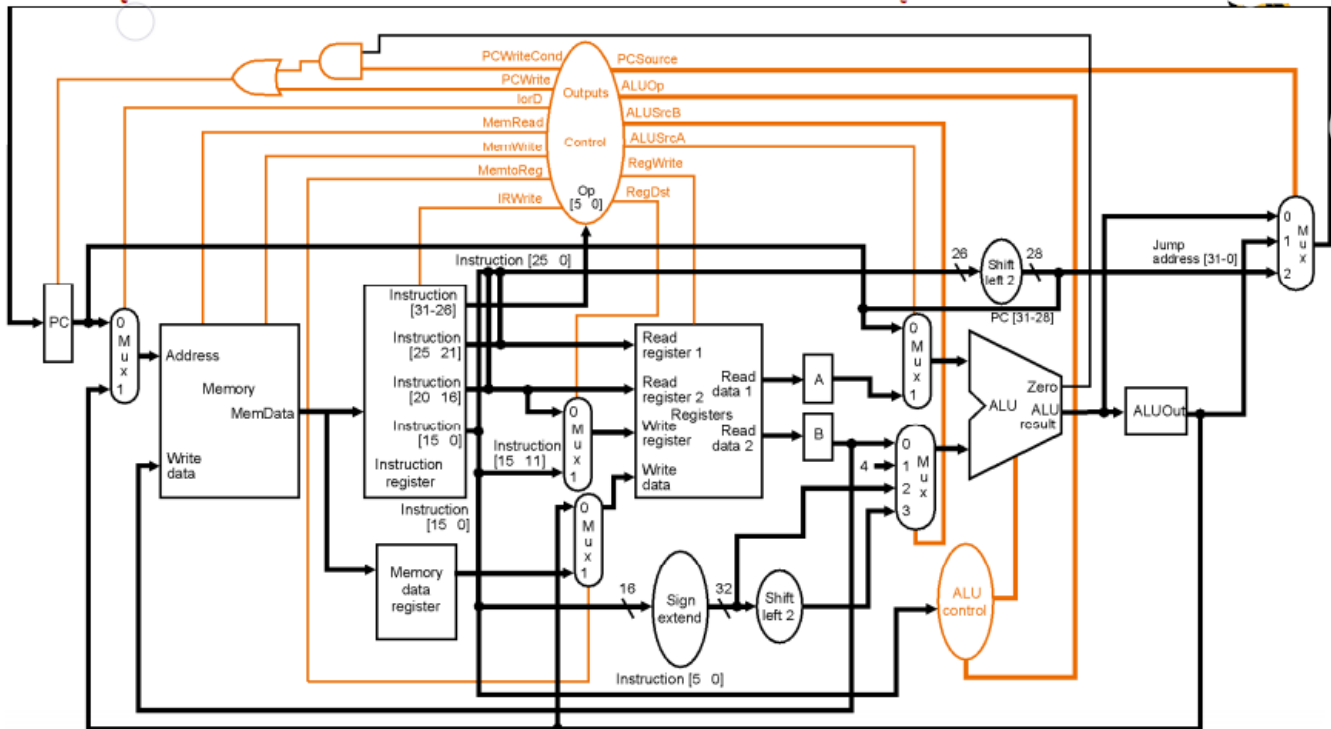
I1 add \$1,\$2,\$3
I2 lw \$1, 0(\$10)
I3 beq \$5,\$6,16

فرض کنید شمارنده برنامه در ابتدا روی دستور شماره ۱ تنظیم شده و دستورالعمل شماره ۱ در چرخه صفر واکنشی می‌شود. نشان دهید که چگونه سیگنال‌های کنترل در چرخه‌های ۰ تا ۱۱ تنظیم می‌شوند.

Cycle	IorD	RegDst	MemToReg	RegWrite	ALUSrcA	ALUSrcB
0						
1						
2						
3						
4						
5						
6						
7						
8						
9						
10						
11						

معماری کامپیوتر مدرس: اسدی	دانشگاه صنعتی شریف دانشکده مهندسی کامپیوتر	کوئیز اصلی دوم نیم‌سال دوم ۱۳۹۹-۱۴۰۰
-------------------------------	---	---

۲. مسیر داده و واحد کنترلی پردازنده‌ی Multi-Cycle زیر را به گونه‌ای تغییر دهید تا این پردازنده قابلیت اجرای دستور bgt (که عملیات branch on greater than انجام می‌دهد) را داشته باشد و در نهایت FSM مربوط به اجرای این دستور را بکشید.



معماری کامپیوتر مدرس: اسدی	دانشگاه صنعتی شریف دانشکده مهندسی کامپیوتر	کوئیز اصلی دوم نیم‌سال دوم ۱۳۹۹-۱۴۰۰
-------------------------------	---	---

۳. یک پردازنده با مسیر داده چند چرخه‌ای و خط لوله‌ای داریم که از ۵ مرحله تشکیل شده است و تاخیر بخش‌های آن مطابق جدول زیر است:

Fetch	Decode	Execute	Memory	Write back
305 ps	275 ps	280 ps	305 ps	250 ps

الف) با توجه به جدول بالا فرکانس این پردازنده چقدر است؟

ب) در صورتیکه N دستور در این پردازنده اجرا شوند و همه دستورات ADD باشند، تسریع پیاده‌سازی خط لوله‌ای نسبت به پیاده‌سازی چند چرخه‌ای چقدر است؟

ج) فرض کنید بخواهیم برای افزایش گذردهی مسیر داده خط لوله‌ای، مرحله حافظه را به دو مرحله تبدیل کنیم. نشان دهید در اجرای دستورات زیر در هر کلاک هر دستور در چه مرحله‌ای قرار خواهد داشت؟ (سخت افزار لازم برای forwarding نیز موجود است.)

lw \$5, 0(\$4)

add \$7, \$5, \$5

sub \$8, \$5, \$9

معماری کامپیوتر مدرس: اسدی	دانشگاه صنعتی شریف دانشکده مهندسی کامپیوتر	کوئیز اصلی دوم نیم‌سال دوم ۱۳۹۹-۱۴۰۰
-------------------------------	---	---

۴. به فرض داشتن یک خط لوله ۴ سطحی برای اجرای دستورات در یک پردازنده، اگر در یک برنامه به طور متوسط در هر ۱۰ دستور یک پرش وجود داشته باشد و به احتمال ۵۰ درصد پرش انجام شود. حداکثر تسریع بدست آمده برای اجرای این برنامه نسبت به زمانی که پردازنده خط لوله‌ای نیست، در مدت طولانی اجرای برنامه، چقدر خواهد بود؟

Fetch	Decode	Operand Fetch	Execute
20ns	8ns	20ns	12ns

معماری کامپیوتر مدرس: اسدی	دانشگاه صنعتی شریف دانشکده مهندسی کامپیوتر	کوئیز اصلی دوم نیم‌سال دوم ۱۳۹۹-۱۴۰۰
-------------------------------	---	---

۵. با توجه به برنامه‌ی زیر، به سوالات زیر پاسخ دهید. (مقدار اولیه ثبات‌ها را صفر در نظر بگیرید.)

الف) زمان اجرای برنامه‌ی زیر را برای یک پردازنده‌ی چند سیکلی با فرض اینکه زمان اجرای هر کلاک این پردازنده $2ns$ است، بدست آورید.

ب) زمان اجرای برنامه‌ی زیر را برای یک پردازنده خط لوله‌ای با فرض اینکه زمان اجرای هر کلاک این پردازنده $2.5ns$ است بدست آورید. (تعداد حباب‌ها برای مخاطرات کنترلی ۱ و برای مخاطرات داده‌ای ۲ در نظر بگیرید، فرض کنید پردازنده از حالت `always-taken` برای پیش‌بینی `branch`ها استفاده می‌کند.)

ج) میزان تسریع (`speedup`) حالت ب نسبت به حالت الف را بدست آورید.

```
addi $t0,$t0, 54
L1: beq $t2, $t0, L2
    addi $t2, $t2, 1
    lw $t1, 0($t2)
    sub $t3, $t3, $t1
    j L1
L2:
```

۶. الف) جدول ذیل را برای خط لوله‌ای که Forwarding ندارد، پر کنید.

I1: add \$r2, \$r1, \$r3
 I2: sub \$r4, \$r2, \$r1
 I3: and \$r5, \$r1, \$r2
 I4: sub \$r6, \$r2, \$r4
 I5: add \$r7, \$r2, \$r3

	T1	T2	T3	T4	T5	T6	T7	T8	T9	T10	T11	T12	T13	T14
I1														
I2														
I3														
I4														
I5														

ب) جدول را برای خط لوله‌ای که فقط Forwarding از مرحله EX / MEM را دارد، پر کنید.

	T1	T2	T3	T4	T5	T6	T7	T8	T9	T10	T11	T12	T13	T14
I1														
I2														
I3														
I4														
I5														

معماری کامپیوتر مدرس: اسدی	دانشگاه صنعتی شریف دانشکده مهندسی کامپیوتر	کوئیز اصلی دوم نیمسال دوم ۱۳۹۹-۱۴۰۰
-------------------------------	---	--

۷. دستورات کد ذیل را طوری تغییر بدهید که بدترین یا بهترین کارایی ممکن را در یک پردازنده Pipeline کسب کنید. منظور از به دست آوردن بهترین و بدترین کارایی، تغییر دستورات کد به شکلی است که به کمترین یا بیشترین میزان Stall برای اجرای Pipeline نیاز داشته باشند.

الف) دستورات زیر را طوری بازنویسی کنید که بدترین کارایی ممکن را داشته باشند (نیازی به جا به جایی Loop نیست)

```
Loop:
lw $2 , 100($6)
lw $3 , 200($7)
add $4 , $2 , $3
add $6 , $3 , $5
sub $8 , $4 , $6
lw $7 , 300($8)
beq $7 , $8 , Loop
```

ب) دستورات زیر را طوری بازنویسی کنید که بهترین کارایی ممکن را داشته باشند:

```
lw $t1 , 0($t0)
lw $t2 , 4($t0)
add $t3 , $t1 , $t2
sw $t3 , 12($t0)
lw $t4 , 8($t0)
add $t5 , $t1 , $t4
sw $t5 , 16($t0)
```

معماری کامپیوتر مدرس: اسدی	دانشگاه صنعتی شریف دانشکده مهندسی کامپیوتر	کوئیز اصلی دوم نیم‌سال دوم ۱۳۹۹-۱۴۰۰
-------------------------------	---	---

۸. برنامه زیر را در نظر بگیرید. بدون تغییر در خروجی نهایی، برنامه را بگونه‌ای تغییر دهید تا زمان اجرای آن در یک پردازنده خط لوله کمینه شود. (مجاز به اضافه کردن دستورات `jump` و `label` و تغییر دستورات `bne` هستید، برای سایر دستورات تنها می‌توانید ترتیب آنها را عوض کنید).

```

li $t0, 1000
li $t1, 0
L1:
addi $t1, $t1, 1
add $t3, $t4, $t1
add $t5, $t4, $t3
sub $t7, $t7, $t4
subi $t6, $t7, 5
addi $t7, $t7, 1
li $t2, 0
L2:
sll $s0, $t1, 4
addi $t2, $t2, 1
addi $t4, $t2, 4
add $t7, $t4, $t1
subi $t6, $t3, 2
sub $t5, $t6, $t1
addi $t3, $t1, 1
bne $t2, $t0, L2
bne $t1, $t0, L1
L3:

```


معماری کامپیوتر مدرس: اسدی	دانشگاه صنعتی شریف دانشکده مهندسی کامپیوتر	کوئیز اصلی دوم نیم‌سال دوم ۱۳۹۹-۱۴۰۰
-------------------------------	---	---

۹. برنامه زیر را در نظر بگیرید.

الف) در پردازنده‌ای که از خط-لوله استفاده می‌کند با فرض ایجاد ۲ حباب برای مخاطره کنترلی و ۱ حباب برای مخاطره ی داده، تعداد کلاک مورد نیاز برای اجرای برنامه را حساب کنید.

ب) با فرض setup time (۰,۱ نانو ثانیه، hold time (۰,۲ نانو ثانیه و اجرا شدن هر slot خط لوله در ۳ نانو ثانیه مدت زمان اجرای برنامه را حساب کنید.

sub \$4,\$5,\$5

li \$5, 100

L1: add \$3,\$3,\$2

add \$2,\$1,\$5

subi \$5,\$5, 1

bne \$5,\$4,L1

معماری کامپیوتر مدرس: اسدی	دانشگاه صنعتی شریف دانشکده مهندسی کامپیوتر	کوئیز اصلی دوم نیم‌سال دوم ۱۳۹۹-۱۴۰۰
-------------------------------	---	---

۱۰. برنامه زیر را در نظر بگیرید.

الف) در پردازنده ای که از خط-لوله استفاده می کند با فرض ایجاد ۲ حباب برای مخاطره کنترلی و ۱ حباب برای مخاطره داده، تعداد کلاک مورد نیاز برای اجرای برنامه را حساب کنید.

ب) اگر در پردازنده سیاست branch always taken اجرا شود، تعداد کلاک مورد نیاز برای اجرا را حساب کنید.

```

sub $4,$5,$5
li $5, 100
L1: add $3,$3,$2
    li $7,100
L2: subi $7,$7,1
    slti $6,$7,60
    bne $6,$4,L2
    subi $5,$5,1
    bne $5,$4,L1

```

معماری کامپیوتر مدرس: اسدی	دانشگاه صنعتی شریف دانشکده مهندسی کامپیوتر	کوئیز اصلی دوم نیم‌سال دوم ۱۳۹۹-۱۴۰۰
-------------------------------	---	---

۱۱. مشخص کنید که تغییرات زیر، باعث افزایش، کاهش هر یک از دسته‌ها موجود در جدول می‌شود یا اینکه هیچ تأثیری روی دسته نخواهد داشت. می‌توانید حافظه نهان پایه را **set associative** فرض کنید. استدلال خود را توضیح دهید.

	Hit Time	Miss Rate	Miss Penalty
دو برابر کردن associativity (capacity و line size ثابت)			
نصف کردن اندازه خط associativity و تعداد set (ثابت)			
دو برابر کردن تعداد set (capacity و line size ثابت)			

معماری کامپیوتر مدرس: اسدی	دانشگاه صنعتی شریف دانشکده مهندسی کامپیوتر	کوئیز اصلی دوم نیمسال دوم ۱۳۹۹-۱۴۰۰
-------------------------------	---	--

۱۲. یک برنامه برای اجرای خود نیاز به بایتهایی که آدرس آنها به ترتیب از چپ به راست در زیر آمده‌اند، دارد. در صورتی پردازنده حافظه‌ی نهان یک سطحی داشته باشد و آدرس خانه‌های حافظه‌ی اصلی ۱۲ بیتی باشند، برای این پردازنده در هر یک حالت‌های زیر hit/miss شدن بایتهای زیر را مشخص و hit-rate حافظه‌ی نهان را محاسبه کنید.

12, 85, 342, 340, 15, 17, 141, 13, 270, 14, 268, 142, 144, 341, 15

الف) حافظه‌ی نهان به صورت direct mapped باشد و اندازه‌ی این حافظه ۲۵۶ بایت بوده و اندازه‌ی هر بلوک آن ۸ بایت باشد.

ب) حافظه‌ی نهان به صورت 2-way associative باشد و اندازه‌ی این حافظه ۲۵۶ بایت بوده و اندازه هر بلوک آن ۴ بایت و سیاست جایگذاری LRU باشد.

معماری کامپیوتر مدرس: اسدی	دانشگاه صنعتی شریف دانشکده مهندسی کامپیوتر	کوئیز اصلی دوم نیم‌سال دوم ۱۳۹۹-۱۴۰۰
-------------------------------	---	---

۱۳. یک برنامه داریم که از جریان داده زیر هنگام اجرای خود استفاده می‌کند. (از چپ به راست)

A, B, A, H, B, G, H, H, A, E, H, D, H, G, C, C, G, C, A, B, H, D, E, C, C, B, A, D, E, F

این داده‌ها در نقاط مختلفی از حافظه قرار گرفته‌اند و لزماً پشت سر هم نیستند.

(الف)

یک پردازنده داریم که از یک حافظه نهان direct mapped با سیاست LRU استفاده می‌کند. اندازه حافظه نهان ۱۲۸ بایت است و اندازه بلوک حافظه نهان ۳۲ بایت است.

برای این پردازنده فرض کنید که متوجه شده‌ایم که missهای زیر به ترتیب در حافظه نهان رخ داده‌است.

A, B, A, H, B, G, A, E, D, H, C, G, C, B, D, A, F

مشخص کنید که کدام حروف در یک مجموعه از قرار دارند.

(ب)

حال فرض کنید که همان پردازنده از یک حافظه نهان 2-way-associative با سیاست LRU استفاده می‌کند. اندازه حافظه نهان ۱۲۸ بایت است و اندازه بلوک حافظه نهان ۳۲ بایت است. فرض کنید که متوجه missهای زیر در حافظه نهان شده‌اید:

A, B, H, G, E

اما وسط برنامه پردازنده از کار می‌افتد قبل از اینکه بتوانید تمام missها را متوجه شوید. با توجه به اطلاعات بدست آمده، کدام یک از حروف در یک مجموعه از حافظه نهان قرار می‌گیرند؟ همچنین جدول روند اجرای برنامه را تا نقطه‌ای از کار افتادن بکشید، که در وضعیت هر خانه از حافظه نهان در هر مرحله از اجرای برنامه مشخص شده است.

معماری کامپیوتر مدرس: اسدی	دانشگاه صنعتی شریف دانشکده مهندسی کامپیوتر	کوئیز اصلی دوم نیم‌سال دوم ۱۳۹۹-۱۴۰۰
-------------------------------	---	---

۱۴. در جدول زیر، ۴ سری آدرس متفاوت که توسط یک برنامه‌ای که روی یک پردازنده به همراه حافظه نهان اجرا می‌شوند داده شده است. فرض کنید که حافظه نهان در ابتدای هر سری خالی است. پارامترهای زیر از حافظه نهان را تعیین کنید:

- Associativity (1, 2 or 4 ways)
- Block size (1, 2, 4, 8, 16, or 32 bytes)
- Total cache size (256B, or 512B)
- سیاست جایگزینی (LRU or FIFO)

توجه کنید تمامی دسترسی‌های به حافظه ۱ بایتی است. همه آدرس‌ها نیز آدرس بایت‌ها می‌باشند.

شماره سری	سری آدرس‌ها	Hit ratio
1	0, 4096, 8192, 12288, 16384, 4096, 0	$\frac{1}{7}$
2	0, 1024, 2048, 3072, 4096, 5120, 6144, 3072, 0	$\frac{1}{9}$
3	0, 4, 8, 16, 32, 64, 128, 256, 512	$\frac{4}{9}$
4	0, 128, 1152, 2176, 3200, 128, 4224, 1152	$\frac{2}{7}$