

به نام خدا

معماری کامپیوتر

نیم سال دوم ۱۳۹۹-۱۴۰۰

استاد: دکتر اسدی



دانشکده مهندسی کامپیوتر

تمرین سری چهارم

- پاسخ تمرین های تئوری را به صورت فایل تایپ شده در فرمت PDF در قسمت مربوطه در سامانه CW بارگزاری نمایید.
- پرسش های خود را می توانید در فروم ایجاد شده در سایت درس مطرح کنید.
- هر دانشجو می تواند حداکثر دو تمرین را با دو روز تاخیر بدون کاهش نمره ارسال نماید.

سوال ۱ - کد اسمبلی زیر را در نظر بگیرید.

```
loop:
add $t0, $t1, $t2
lw $t3, 10($t0)
lw $t4, 14($t0)
sub $t5, $t4, $t3
sw $t5, 18($t0)
addi $t2, $t2, 4
slti $t6, $t2, 200
bne $t6, $zero, loop
```

حال با فرض آن که هریک از حالات^۱ زیر به اندازه زمان داده شده طول می کشند، به سوالات پاسخ دهید:

- **Instruction Fetch (IF):** 30 ns
- **Instruction Decode (ID):** 20 ns
- **Execute / Address Calculation (EX):** 25 ns
- **Memory access (MEM):** 30 ns
- **Register write back (WB):** 20 ns

الف - هر تکرار^۲ این حلقه در یک مسیر داده^۳ تک سیکلی^۴ چند نانو ثانیه طول می کشد؟

ب - در صورتی که خط لوله^۵ ایده آل باشد (بدون مخاطره^۶ و stall)، هر تکرار این حلقه در این مسیرهادهی دارای خط لوله چقدر طول می کشد؟

سوال ۲ - دستور add \$20, \$9, \$10 در یک پردازنده تک سیکلی در حال اجرا شدن می باشد. در صورتی که در ثباتهای^۷ \$9 و \$10 به ترتیب مقادیر ۱ و ۲ ذخیره شده باشند، و مقدار PC برابر با 0x0012 باشد، مسیر حرکت این دستور در مسیر داده را با نشان دادن مقادیر سیم ها و گذرگاههای^۸ پردازنده نمایش دهید.

¹ Stages

² Iteration

³ Data Path

⁴ Single-Cycle

⁵ Pipeline

⁶ Hazard

⁷ Register

⁸ Bus

سوال ۳ - زمان سخت‌افزار واحدهای اصلی را در یک مسیره داده به شکل زیر در نظر بگیرید (از سایر زمان‌ها چشم‌پوشی کنید):

Memory Access (Read or Write) 25ps

ALU 20ps

Register File (Read or Write) 15ps

در صورتی که برنامه‌ای به شکل زیر به این مسیره داده شود، مقادیر CPI میانگین^۹ و میانگین زمان اجرای هر دستور^{۱۰} را در حالات تک سیکلی و چند سیکلی^{۱۱} به دست آورید.

(تعداد کلاک سایکل‌های هر یک از دستورات زیر در حالت چند سیکلی برابر است با: lw=5 , sw=4 , r-type=4 , branch=3 , jump=3)
برنامه مورد نظر:

10% lw

10% sw

20% branch

20% jump

40% register-type

سوال ۴ - دستور addmem rd, rs, rt را در نظر بگیرید. این دستور به صورت مقابل خواهد بود:

این دستور دو مقدار را از حافظه می‌خواند، این دو مقدار را با هم جمع می‌کند و در ثبات rd ذخیره می‌کند.

الف - یک پیاده‌سازی این دستور با RTL را بنویسید که کمینه حالت ممکن کلاک سایکل را داشته باشد.

ب - با اضافه کردن قطعه‌های مناسب و همچنین سیگنال‌های مربوطه آن را به مسیره داده اضافه کنید.

برای این سوال شما باید با استفاده از گیت‌های منطقی و مولتی پلکسر، ALU را طوری تغییر بدهید که دستور XOR را هم بتواند انجام بدهد. همچنین بگویید که بعد از اضافه کردن این دستور کلاک سایکل افزایش می‌یابد یا نه؟ با دلیل توضیح دهید.

سوال ۵ - در یک مسیره داده نسبت دستورات به صورت زیر است.

R-type	I-type	Load	Store	Branch	Jump
۲۴٪	۲۸٪	۲۵٪	۱۰٪	۱۱٪	۲٪

^۹ Average CPI

^{۱۰} Average Instruction Execution Time

^{۱۱} Multi Cycle

الف - چه کسری از دستورات از Data Memory استفاده می کنند؟

ب - چه کسری از دستورات از Instruction Memory استفاده می کنند؟

پ - چه کسری از دستورات از Sign Extend استفاده می کنند؟

ت - خروجی Sign Extend در چه مواقعی تولید و در چه مواقعی استفاده می شود؟

سوال ۶ - تاخیر اجزای یک مسیر در جدول زیر داده شده است.

I-Mem / D-Mem	Register File	Mux	ALU	Adder	Single Gate	Register Read	Register Setup	Sign Extend	Control
۲۵۰ ps	۱۵۰ ps	۲۵ ps	۲۰۰ ps	۱۵۰ ps	۵ ps	۳۰ ps	۲۵ ps	۵۰ ps	۵۰ ps

الف - تاخیر دستورات R-type را محاسبه کنید.

ب - تاخیر دستورات Ld را محاسبه کنید.

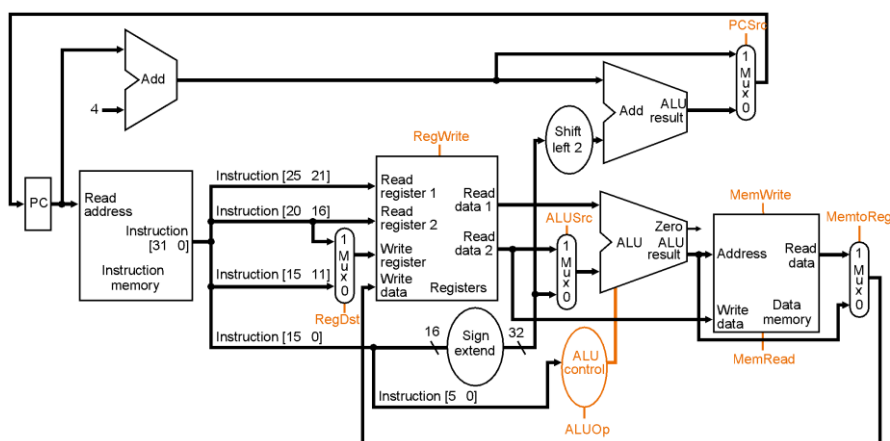
پ - تاخیر دستورات Sd را محاسبه کنید.

ت - تاخیر دستورات Beq را محاسبه کنید.

ث - تاخیر دستورات I-type را محاسبه کنید.

ج - کمینه دوره ۱۲ ساعت را برای این پردازنده محاسبه کنید.

سوال ۷ - مسیر داده زیر را در نظر بگیرید. این مسیر داده را طوری تغییر دهید که قابلیت پشتیبانی از دستورات Jz را داشته باشد.



سوال ۸ - در یک پردازنده MIPS دستور 0xAC820014 در حالی اجرا می شود که مقدار Data Memory و مقادیر ثباتها، بجز ثبات های زیر صفر هستند. به سوالات زیر پاسخ دهید.

R0	R1	R2	R3	R4	R5	R6	R8	R12	R31
0	-1	2	-3	-4	10	6	8	2	-16

الف - خروجی بلوک های Sign Extend و Shift Left 2 چه مقداری خواهد بود؟

ب - خروجی هریک از MUX ها را مشخص کنید.

پ - مقدار جدید PC چه خواهد شد؟

ت - ورودی ALU و دو جمع کننده دیگر را مشخص کنید.

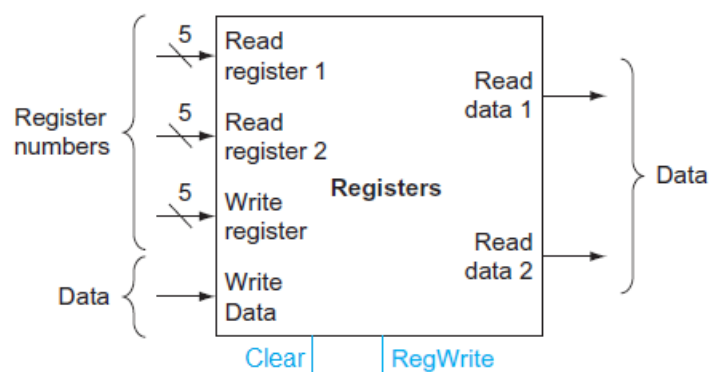
ث - ورودی های Register File را مشخص کنید.

سوال عملی:

در نرم افزار Quartus II ، با استفاده از گیت های اولیه، FF ها و مالتی پلکسرها، یک بانک ثبات^{۱۳} طبق نمودار بلوکی^{۱۴} شکل زیر بسازید. این بانک ثبات حاوی ۳۲ ثبات ۳۲ بیتی است و قابلیت خواندن همزمان دو ثبات و نوشتن روی یک ثبات را دارد.

ورودی کنترلی RegWrite محتویات Write_Data را روی ثبات مشخص شده توسط Write_register می نویسد و ورودی کنترلی Clear محتویات همه ثبات ها را به طور همزمان صفر می کند. در صورتی که هر دو ورودی کنترلی فعال (یک) باشند، اولویت با ورودی clear است.

پس از ساخت طرح شماتیک نهایی یک فایل waveform درست کنید که صحت عملکرد مدار را بررسی کند.



^{۱۳} Register File

^{۱۴} Block Diagram