

به نام خدا

معماری کامپیوتر

نیم سال دوم ۹۹-۰۰

استاد: دکتر اسدی



دانشکده مهندسی کامپیوتر

تمرین سری هشتم

- پاسخ تمرین های تئوری را به صورت فایل تایپ شده در فرمت PDF در قسمت مربوطه در سامانه CW بارگزاری نمایید.
- پرسش های خود را می توانید در فروم ایجاد شده در سایت درس مطرح کنید.
- هر دانشجو می تواند حداکثر دو تمرین را با دو روز تاخیر بدون کاهش نمره ارسال نماید.

سوال ۱ - فرض کنید یک حافظه نهان^۱ 2-way set associative داریم که کلمات^۲ آن ۴ بیتی هستند. آدرس‌دهی به بایت‌ها صورت می‌گیرد. هر بلاک داده ۵۱۲ بایت است و در کل ۱۰۲۴ بلاک در حافظه نهان خود داریم. اگر آدرس‌های فیزیکی ۳۲ بیتی باشند، با استفاده از دستور 0xfab12389 بیت‌های tag و index و offset مربوطه را پیدا کند و بگوید به کدام مجموعه^۳ اشاره می‌کند؟

سوال ۲ - بعضی از نسخه‌های ریزپردازنده Pentium 4 دو حافظه نهان 8 KB، یکی برای داده و یک برای دستور دارند. یک تیم می‌خواهد از یک حافظه نهان 16 KB ای بجای این دو حافظه نهان استفاده کند که مشخصات آن به شرح زیر است:

- هر بلاک داده ۳۲ بیتی است.
- حافظه نهان 2-way set associative است.
- آدرس‌های فیزیکی ۳۲ بیتی‌اند.
- داده‌ها با کلمه آدرس می‌شوند و کلمات ۳۲ بیتی هستند.

با توجه به موارد بالا به سوالات زیر پاسخ دهید:

الف) تعداد بلاک‌ها در این حافظه نهان چقدر است؟

ب) برای هر بلاک داده تعداد بیت‌های برجسته^۴ چقدر است؟

سوال ۳ - یک پردازنده حافظه‌ی نهان سه لایه‌ای دارد در صورتی که میزان نرخ برخورد^۵ لایه‌ها به ترتیب از اول به سوم، ۸۰٪، ۸۷٪ و ۹۵٪ باشند و زمان لازم برای ارسال داده از لایه‌ی یک حافظه‌ی نهان به پردازنده ۲ سیکل، زمان لازم برای ارسال داده‌ها از لایه دوم حافظه‌ی نهان به لایه‌ی اول ۱۵ سیکل و زمان لازم برای ارسال داده از لایه‌ی سوم حافظه‌ی نهان به لایه‌ی دوم ۷۵ سیکل و زمان لازم برای ارسال داده از حافظه‌ی اصلی به لایه‌ی سوم حافظه‌ی نهان ۲۰۰۰ سیکل باشند. با توجه به این پردازنده به سوالات زیر پاسخ دهید.

الف) میزان میانگین زمان دسترسی به حافظه (AMAT) را برای این پردازنده بدست آورید.

ب) در صورتی که با افزایش اندازه‌ی لایه‌های حافظه‌ی نهان میزان hit rate لایه‌ها به ترتیب از اول به سوم به ۸۵٪، ۹۲٪ و ۹۸٪ افزایش یابند میزان AMAT را برای پردازنده با حافظه‌ی نهان جدید را بدست آورید.

ج) در صورتی که بخواهیم میزان AMAT پردازنده در حالت الف را به اندازه ۱ سیکل کاهش دهیم، میزان نرخ برخورد لایه‌ی سوم چه مقدار باید افزایش یابد.

^۱ Cache Memory

^۲ Words

^۳ Set

^۴ Tag

^۵ Hit Rate

سوال ۴ - یک پردازنده به هنگام اجرای برنامه‌ای نیاز به داده‌هایی که آدرس آن‌ها به ترتیب از چپ به راست در زیر آمده‌اند، دارد. در صورتی که بدانیم داده‌ها یک بیتی و آدرس داده‌ها ۱۰ بیتی هستند و همین طور بدانیم که این پردازنده یک لایه حافظه‌ی نهان ۱۲۸ بیتی با اندازه‌ی بلاک ۴ بایت دارد، در هر یک از حالت‌های حافظه‌ی نهان زیر hit یا miss شدن داده‌ها و میزان hit-rate حافظه‌ی نهان را بدست آورید.

235, 521, 232, 519, 523, 736, 739, 747, 648, 744, 651, 522, 520, 840, 839, 843, 521

الف) حافظه‌ی نهان به صورت direct mapped باشد.

ب) حافظه‌ی نهان به صورت 2-way associative باشد. (سیاست جایگزینی LRU)

سوال ۵ - یک سیستم byte-addressable که آدرس‌هایی ۱۶ بیتی دارد، در کنار یک حافظه‌ی نهان two-way set associative, writeback با سیاست جایگذاری LRU قرار گرفته است. اطلاعات تگ و دیگر meta-data ها به ۴۳۵۲ بیت برای ذخیره‌سازی نیاز دارند. اندازه بلاک حافظه نهان چقدر است؟ فرض کنید که اطلاعات LRU به ازای هر مجموعه در یک بیت نگه‌داری می‌شوند. (راهنمایی: $2^8 + 2^{12} = 4352$)

سوال ۶ - یک برنامه داریم که از جریان داده زیر هنگام اجرای خود استفاده می‌کند. (از چپ به راست)

A, B, A, H, B, G, H, H, A, E, H, D, H, G, C, C, G, C, A, B, H, D, E, C, C, B, A, D, E, F

این داده‌ها در نقاط مختلفی از حافظه قرار گرفته‌اند و لزوما پشت سر هم نیستند.

الف) یک پردازنده داریم که از یک حافظه‌ی نهان fully-associative با سیاست LRU استفاده می‌کند. اندازه حافظه نهان ۱۲۸ بایت است و اندازه بلوک حافظه نهان ۳۲ بایت است. وضعیت miss/hit شدن حافظه نهان به ازای جریان داده بالا را مشخص کنید. همچنین مشخص کنید در هر لحظه ترتیب داده‌ها در حافظه نهان بر حسب آخرین زمان استفاده از آن‌ها چگونه است؟

ب) قسمت قبل را در حالتی حل کنید که حافظه نهان 2-way associative باشد.

سوال ۷ - یک پردازنده فضای آدرس فیزیکی ۵ بیتی دارد به همراه حافظه نهان. حافظه byte addressable است و حافظه نهان از سیاست جای گذاری

LRU استفاده می‌کند. فرض کنید در ابتدا هیچ داده معتبری در حافظه نهان وجود ندارد.

فرض کنید یک برنامه جریان داده تولید کرده است و وضعیت حافظه نهان در این جریان به صورت زیر است:

نتیجه	Address
Miss	5
Miss	2
Miss	0
Hit	4
Miss	25
Miss	9
Hit	1
Hit	25
Miss	16

9	Miss
1	Miss

الف) Associativity حافظه نهان چگونه است؟

ب) اندازه حافظه نهان چند بایت است؟

سوال ۸- دو پردازنده P1 و P2 در اختیار داریم که از دو L1 Cache متفاوت استفاده کرده و قصد بررسی عملکرد آن‌ها را داریم. برای تمامی قسمت‌های این سوال فرض کنید که ۳۶ درصد کل دستورات ما دسترسی به حافظه هستند و دسترسی مستقیم به حافظه نیاز به ۷۰ns زمان دارد.

	L1 Size	L1 Miss Rate	L1 Hit Time
P1	1 KB	۱۱.۴٪	۰.۶۲ns
P2	2 KB	۸.۰٪	۰.۶۶ns

با توجه به جدول به سوالات پاسخ دهید:

الف) با فرض این که Hit-Time حافظه نهان L1 تعیین کننده زمان کلاک پردازنده‌ها باشند. بر این اساس فرکانس این دو پردازنده را مشخص کنید.

ب) مقدار AMAT را برای هر دو پردازنده بدست آورید.

ج) فرض کنید بدون در نظر گرفتن Memory Stall میزبان CPI پردازنده دقیقاً ۱٫۰ باشد. با در نظر گرفتن زمانی که برای بدست آوردن داده‌ها مجدداً از روی حافظه لازم است، CPI واقعی هر دو پردازنده را بدست آورید.

فرض کنید یک حافظه نهان L2 هم به پردازنده ۱ اضافه می‌کنیم. مشخصات این حافظه نهان به صورت زیر است:

L2 Size	L2 Miss Rate	L2 Hit Time
۵۱۲KiB	۹۸٪	۳.۲۲ns

به دو سوال زیر براساس وجود این حافظه نهان پاسخ دهید.

د) میزان AMAT را برای P1 بدست آورید.

ه) فرض کنید بدون در نظر گرفتن Memory Stall میزبان CPI پردازنده دقیقاً ۱٫۰ باشد. با در نظر گرفتن زمانی که برای به دست آوردن داده‌ها مجدداً از روی مموری لازم است، CPI واقعی P1 را بدست آورید.

سوال ۹- فرض کنید که سه حافظه نهان با ۴ بلاک تک کلمه‌ای (۴ بایتی) در اختیار داریم. یکی از آن‌ها Direct Map، دیگری Two-Way Set Associative و آخری Fully Associative است.

فرض کنید دنباله آدرس‌های بلاک زیر برای خوانده شدن به آن داده می‌شوند:

0,8,0,6,8

برای هر یک از این حافظه‌های نهان وضعیت درونی حافظه نهان و اطلاعات قرار گرفته در آن بعد از هر کدام از درخواست‌ها را مشخص کرده و معین کنید که هر کدام چه تعداد Miss دارد.

(در مواردی که لازم است نحوه جایگزینی را LRU در نظر بگیرید.)

سوال عملی:

در تمرین قبل شما یک پردازنده تک-سیکلی^۶ طراحی کردید که از یک سری دستورات خاص پشتیبانی می‌کرد. در این تمرین هدف این است که پردازنده‌ای که طراحی کردید را به گونه‌ای تغییر دهید که به صورت چند-سیکلی^۷ و خط لوله^۸ کار کند. بدیهی است که برای اینکار می‌بایست واحد کنترل‌کننده^۹ به نحو مناسبی تغییر کند و ثبات‌های^{۱۰} میانی را به طراحی خود اضافه کنید.

باید طراحی شما مطابق صفحه ۲۸ اسلاید ۸ باشد، به گونه‌ای که برای دستورات branch تنها از دو حباب در خط لوله استفاده شود.

توجه کنید که می‌توانید حافظه دستور و داده را یکی کنید اما این تصمیم به طراحی شما بازمی‌گردد.

در نهایت، برنامه‌ای که در تمرین قبل نوشتید که تا جمله ۱۲۰ام فیبوناچی را محاسبه کند، را می‌بایست روی پردازنده جدیدتان اجرا کنید.

در گزارشی شیوه‌ی پیاده‌سازی قسمت‌های مختلف پردازنده‌ی خود را توضیح دهید علاوه بر توضیحات بخش‌های مختلف پردازنده با تهیه‌ی waveform از صحت اجرای تمامی دستورات اطمینان حاصل کنید.

تصاویر waveform مربوط به اجرای آن را در انتهای گزارشتان پیوست کنید.

^۶ Single-Cycle

^۷ Multi-Cycle

^۸ Pipeline

^۹ Controller

^{۱۰} Register