

به نام خدا

معماری کامپیوتر

نیم سال دوم ۹۹-۰۰

استاد: دکتر اسدی



دانشکده مهندسی کامپیوتر

تمرین سری سوم

- پاسخ تمرین های تئوری را به صورت فایل تایپ شده در فرمت PDF در قسمت مربوطه در سامانه CW بارگزاری نمایید.
- پرسش های خود را می توانید در فروم ایجاد شده در سایت درس مطرح کنید.
- هر دانشجو می تواند حداکثر دو تمرین را با دو روز تاخیر بدون کاهش نمره ارسال نماید.

سوال ۱ - فرض کنید برای ساخت یک جمع کننده ۶۴ بیتی با دو لایه carry look-ahead بین ماژول‌ها، از ماژول‌های جمع کننده ۴ بیتی carry look-ahead استفاده کرده‌ایم. اگر تاخیر گیت‌های پایه (and, or, not) ۲ نانو ثانیه باشد، بیشترین تاخیر ممکن برای این جمع کننده ۶۴ بیتی چند نانو ثانیه است؟

سوال ۲ - اگر دو عدد m و $m+2$ بیتی در شیوه مکمل دو را با استفاده از الگوریتم ضرب بوث^۱ بخواهیم در هم ضرب کنیم، حداکثر تعداد جمع و تفریق‌های مورد نیاز چقدر خواهد شد؟

سوال ۳ - پنج رقم انتهایی شماره دانشجویی خود را بعد از تبدیل به مبنای دو، در عدد ۱۰۰۱۰ با استفاده از روش بوث ضرب کنید و مراحل کار را نشان و توضیح دهید.

سوال ۴ - یکی از انواع جمع کننده‌ها، carry skip adder نام دارد. در مورد این جمع کننده تحقیق کنید. با توجه به جدول زیر که در آن تاخیر گیت‌های استفاده شده در carry skip adder داده شده است به سوالات زیر پاسخ دهید.

TNAND2	TNAND3	TNAND4
2	3	4

الف) با فرض این که مدار FA به صورت دو سطحی NAND-NAND پیاد سازی شده است، تاخیر تولید بیت‌های حاصل جمع و بیت نقلی خروجی یک FA را به دست آورید.

ب) تاخیر یک جمع کننده ۲۰ بیتی carry skip adder را در حالتی که اندازه گروه‌ها ثابت و برابر ۴ باشد را به دست آورید.

سوال ۵ - روند مرحله به مرحله ضرب اعداد زیر را طبق الگوریتم بوث نشان دهید. اعداد در رجیسترهای ۵ بیتی قرار دارند. در هر دو حالت عدد ۱۵ را مضروب^۲ در نظر بگیرید.

الف) 15×13

ب) $15 \times (-13)$

سوال ۶ - به ازای چه k ای، حاصل $\text{Cost} * \text{Delay}$ برای یک جمع کننده Carry Select Adder ۸ بیتی با ثبات‌های زیر کمینه می‌شود؟

$$\text{DFA}=3, \text{CFA} = 3, \text{DMUX}=3, \text{CMUX}=6$$

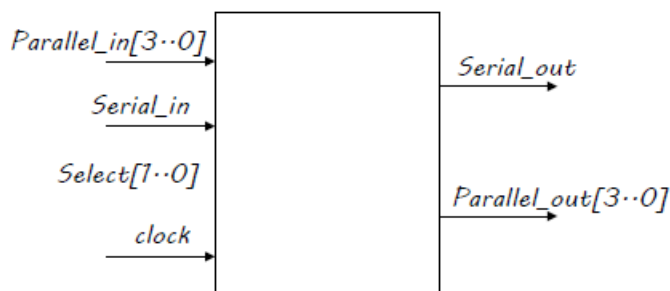
^۱ booth

^۲ multiplicand

سوال ۷ - تعداد AND و Half Adder مورد استفاده در یک Combinational Multiplexer برای ضرب کننده دو عدد n بیتی را به دست آورید.

سوال عملی:

با استفاده از گیت های اولیه، FF ها و مالتی پلکسرها یک شیفت رجیستر ۴ بیتی با قابلیت بارگذاری موازی بسازید. ورودی ها و خروجی های شیفت رجیستر باید مطابق با شکل زیر باشند



دو بیت انتخاب^۳ طبق جدول زیر مشخص می کند که با رسیدن کلاک چه عملی باید انجام شود:

S1S0	Operation
00	NOP
01	Parallel Load
10	Shift Right
11	Shift Left

ب) با استفاده از شیفت رجیستر مرحله قبل یک ضرب کننده ی ۴ بیت در ۴ بیت بسازید که بر مبنای الگوریتم بوث کار کند.

پس از ساخت طرح شماتیک نهایی هر بخش یک فایل waveform درست کنید که صحت عملکرد مدار را بررسی کند.

تمرین عملی باید با ابزار کوارتوس انجام شود.

^۳ Select