



دانشکده مهندسی کامپیوتر

آزمایشگاه معماری کامپیوتر

گزارش آزمایش سوم

عنوان آزمایش : جمع/تفریق کننده ممیز شناور

دکتر حمید سربازی آزاد

سارا آذرنوش — ۹۸۱۷۰۶۶۸

کسری امانی — ۹۸۱۰۱۱۷۱

پارسا محمدیان — ۹۸۱۰۲۲۸۴

۲۷ مرداد ۱۴۰۰

فهرست مطالب

۱	مقدمه	۲
۲	هدف آزمایش	۲
۳	شرح آزمایش	۲
۴	نتیجه آزمایش	۲

۱ مقدمه

در کامپیوتر برای ذخیره اعداد اعشاری از استاندارد IEEE 754 استفاده می‌شود. این استاندارد عدد را به نماد علمی تبدیل می‌کند سپس مانتیس و نما و علامت عدد را ذخیره می‌کند. البته تمام این‌ها در مبنای دو اتفاق می‌افتد.

۲ هدف آزمایش

در این آزمایش قصد داریم یک جمع/تفریق کننده ممیز شناور ۱۲ بیتی شبیه به استاندارد IEEE 754 طراحی کنیم.

۳ شرح آزمایش

همانطور که در مقدمه گفته شد این استاندارد از نمایش نماد علمی استفاده می‌کند. برای جمع و تفریق اعداد در این نمایش ابتدا باید نما را یکسان کنیم. در مبنای دو این کار را با افزایش نماد کوچکتر و متناظرًا شیف دادن مانتیس آن به راست انجام می‌دهیم. پس از آن عملیات جمع یا تفریق را بر روی مانتیس انجام می‌دهیم. البته در استاندارد IEEE 754 برای صرفه‌جویی در بیت‌ها، تک رقم سمت چپ ممیز یک فرض می‌شود. پس برای تولید خروجی باید حاصل جمع یا تفریق را به فرم نرمال دریاوریم. در ابتدا مراحل را در ASM طراحی میکنیم و سپس با توجه به استیت‌ها پیش می‌رویم. شکل نمودار ASM در تصویر ۱ قابل مشاهده است.

با توجه به گفته دستورکار از شمارنده استفاده میکنیم و اکسپوننت‌های دو عدد را مقایسه میکنیم هر کدام که کوچک تر بود آن را شیف داده و به مانتیس آن اضافه میکنیم تا زمانی که برابر شوند و وارد یک ماکس ۸ بیتی میشوند که ترتیب ورودی جمع/تفریق کننده ۸ بیتی باینری را برای تفریق مشخص میکنند (عدد با مانتیس کوچکتر از عدد با مانتیس بزرگتر کم میشود).

نمودار حالت در شکل ۲ آمده است.

استیت‌ها به شکل زیر تغییر میکنند

چک کردن اکسپوننت و افزودن به آن با مقایسه کننده و شمارنده

شیف مانتیس‌ها و ماکس برای ترتیب تفریق کننده و شونده

جمع و تفریق مانتیس و لود آن

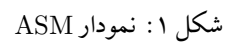
مقایسه مانتیس‌ها برای انتخاب در ماکس

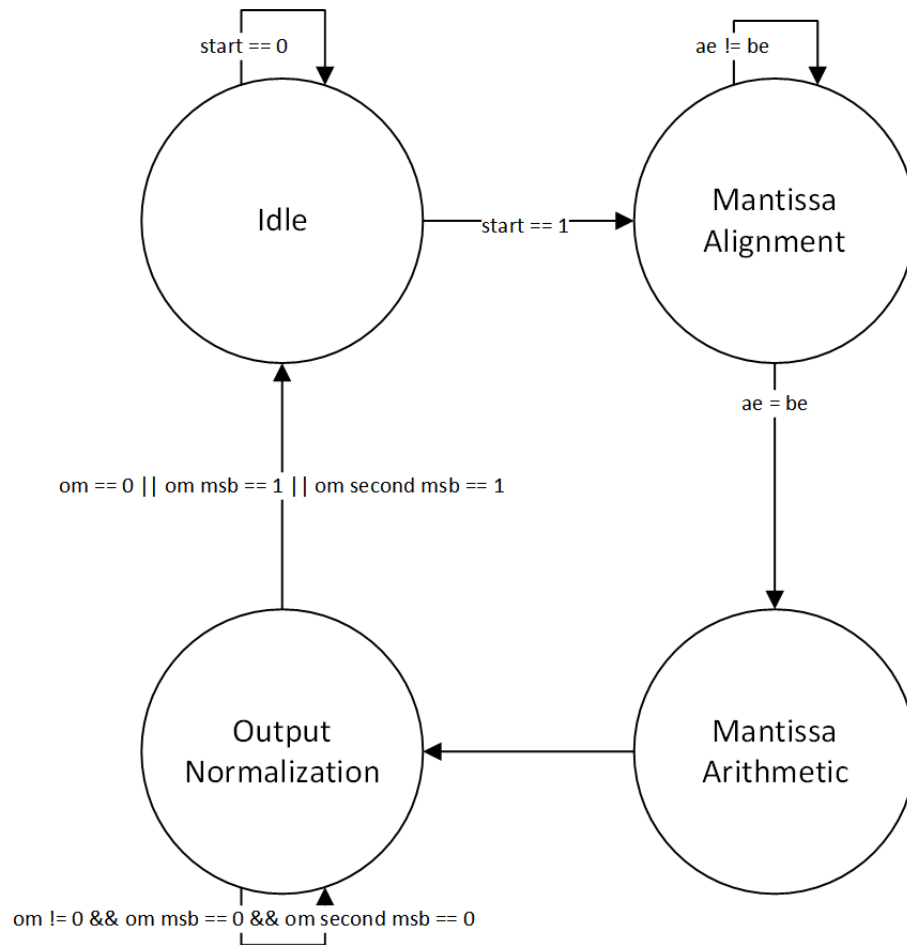
در آخر با پیاده‌سازی واحد کنترل و مسیر داده مدار را پیاده سازی می‌کنیم.

۴ نتیجه آزمایش

یک جمع/تفریق کننده ممیز شناور داریم که با سیگنال start شروع به کار می‌کند و دو عدد داده شده را جمع می‌کند. پس از پایان عملیات سیگنال end که نشانگر پایان عملیات است ۱ می‌شود. آگه هنگام انجام عملیات سرریز رخ داده باشد نیز سیگنال ov فعال می‌شود.

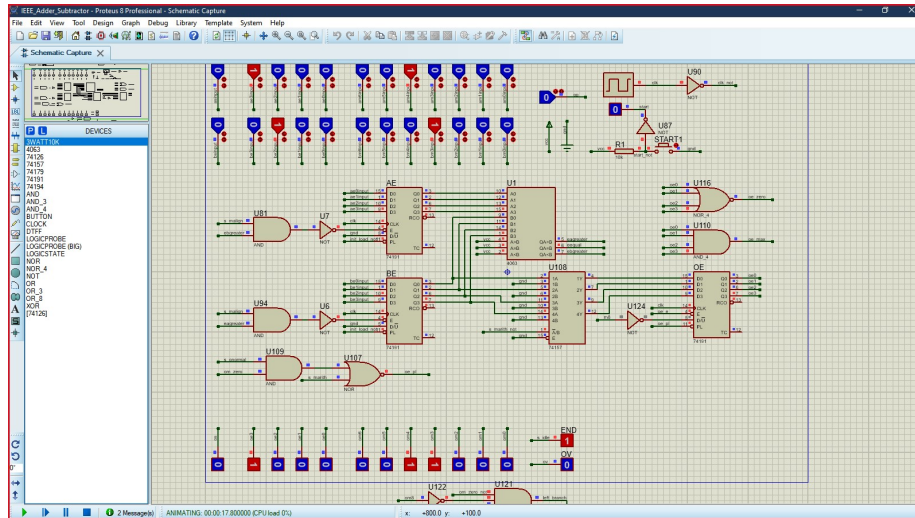
در آخر برای تست مدار مقادیر مختلف را جمع/تفریق می‌کنیم. نمونه‌های از خروجی در اشکال ۳ ۴ ۵ ۶ ۷ آمده است.



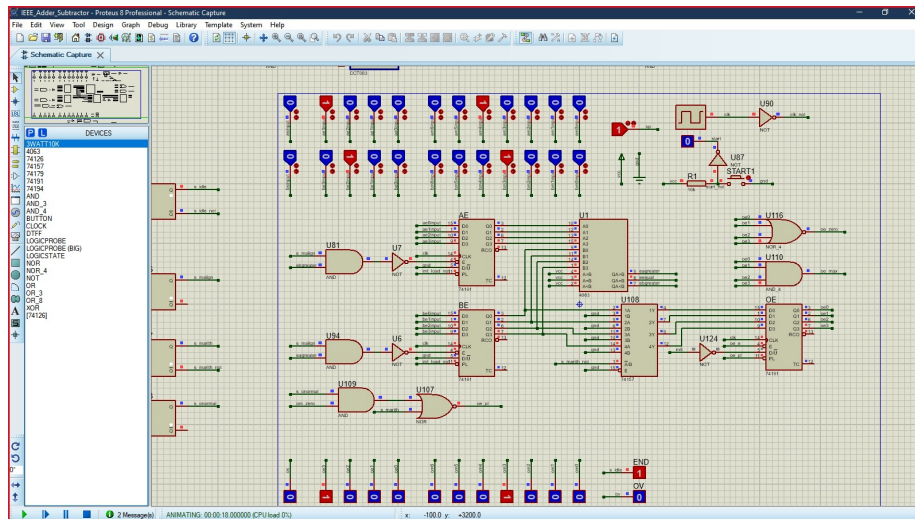


شکل ۲: نمودار حالت

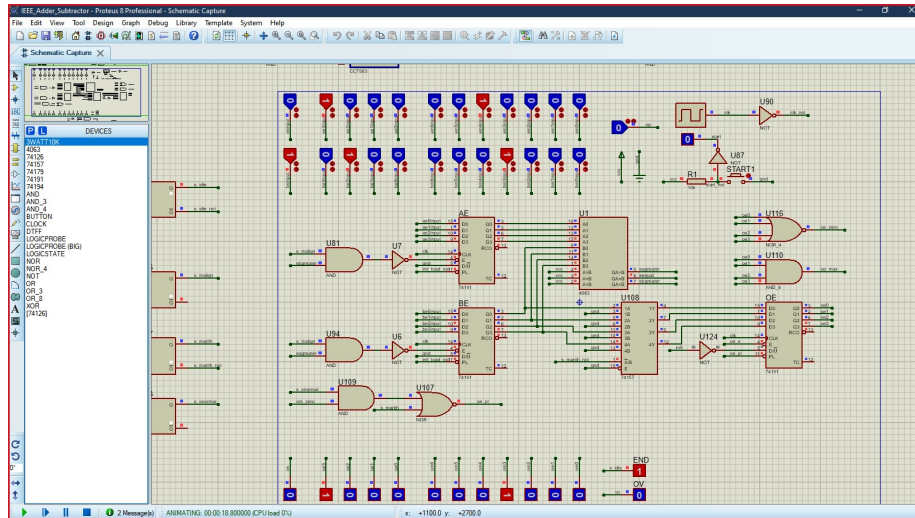
دقت شود که کلید استارت باید انقد نگه داشته شود تا مقدار عدد در رجیسترها لود شود. (حد اقل یک کلاک)



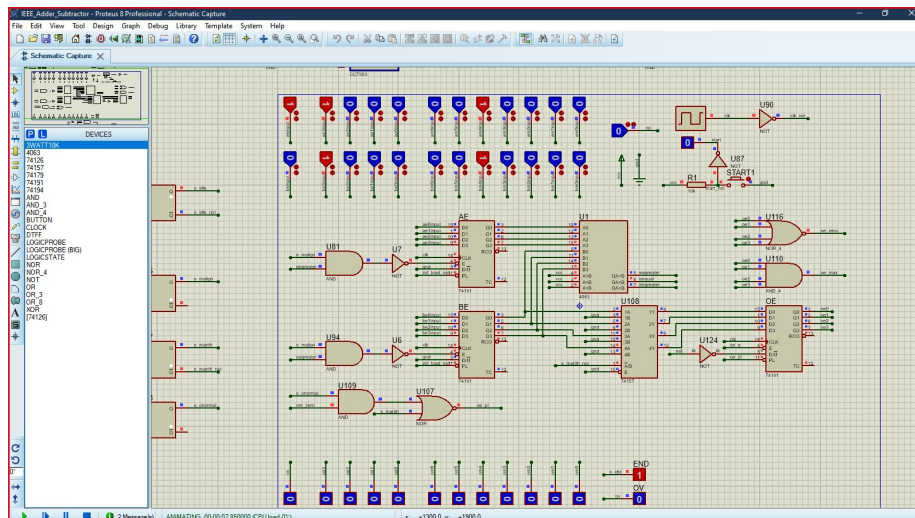
شکل ۳: تست اول - جمع ساده



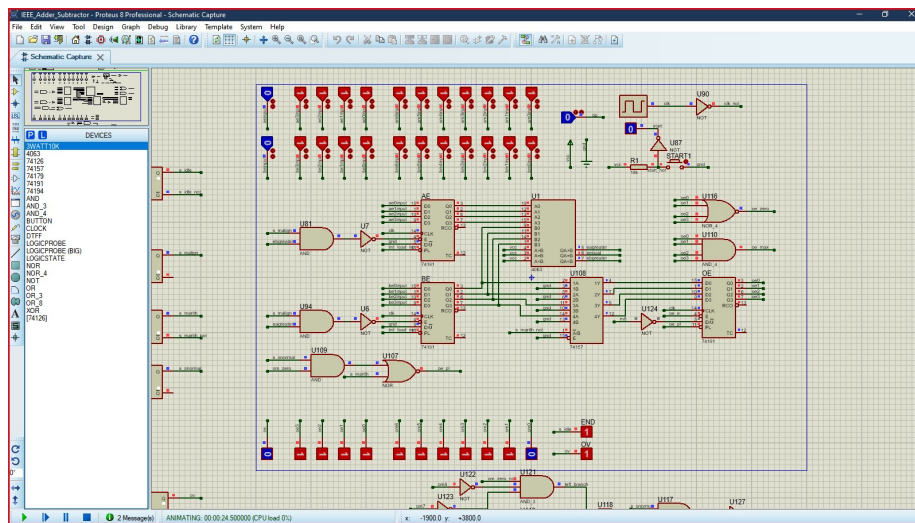
شکل ۴: تست ۲ - تفریق ساده



شکل ۵: تست ۳ - جمع با عدد منفی



شکل ۶: تست ۴ - یک عدد منهای خودش (حاصل صفر که باید نرمال شود)



شکل ۷: تست ۵ - سرریز