|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **به نام خدا**  **درس: طراحی سیستم های دیجیتال**  **نیم‌سال تحصیلی دوم 9900**  **مدرس: بهاروند** | | | | |
| تمرین شماره: ۲ | | | موعد تحویل: 23/01/1400 ساعت ۲۳:55 | |
| نام و نام خانوادگی: | |  | شماره دانشجویی: |  |
| گزارش در همین فایل ارائه شود.  فایل به PDF‌ تبدیل و در سایت بارگذاری شود. | | | | |
| **عنوان تمرین** | به روش سلسله مراتبی، یک جمع کننده 8 بیتی باینری با Verilog‌ طراحی کنید.   1. Half Adder مورد نیاز را با توصیف رفتاری (Behavioral) بنویسید که در آن Delay (S)=2 و Delay(C)=1 باشد. 2. بقیه اجزای مدار به صورت Structural طراحی شود. 3. برای طرح خود یک Test Bench‌ کامل بنویسید. 4. تأخیر حداکثری این جمع کننده باینری برای تولید خروجی چه اندازه است. 5. درخت طرح را (همانند مثالی که برای Ripple Carry Counter دیده اید،) در این گزارش نشان دهید.   توجه: از ModelSim‌ برای شبیه سازی استفاده کنید. شکل موجها در این گزارش درج شود (راهنمایی های جلسه درس مدنظر قرار گیرد)   1. برای Delay (S)=5 و Delay(C)=3 نیز شبیه سازی را تکرار کنید و رخداد Hazard را مشاهده و روی شکل موجو نشان دهید. | | | |
|  | | | | |