|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **به نام خدا**  **درس: طراحی سیستم های دیجیتال**  **نیم‌سال تحصیلی دوم 9900**  **مدرس: بهاروند** | | | | |
| تمرین شماره: 3 | | | موعد تحویل: 13/02/1400 ساعت ۲۳:55 | |
| نام و نام خانوادگی: | |  | شماره دانشجویی: |  |
| راه حل در همین فایل ارائه شود.  فایل به PDF‌ تبدیل و در سایت بارگذاری شود. | | | | |
| **عنوان تمرین** | شبیه سازی و تحلیل رفتاری   1. کد رفتاری Verilog که در اختیارتان گذاشته شده را شبیه سازی کنید. برای این کار یک پروژه با همان نام فایل درست کنید و سپس این کد را به آن اضافه کنید. با استفاده از اسکریپتی (run.do) که در اختیارتان قرار گرفته میتوانید شبیه سازی و خروجی را به صورت متنی و همچنین شکل موج مشاهده کنید. 2. رفتار هریک از بلوک های Procedural Assignment (ترکیبی و ترتیبی) را به دقت تحلیل کنید و در این گزارش بنویسید. بررسی کنید که خروجی های ترکیبی و رجیسترها و متغیرهای موقتی کدام ها هستند، چگونه رفتار میکنند و دلایل آن را بر اساس آموخته های خود شرح دهید.   توجه1: از این نمونه اسکریپت (و تکمیل آن توسط خودتان) میتوانید برای شبیه‌سازی های بعدی خود در ModelSim استفاده کنید. برای اجرای اسکریپت در پنجره Transcript این دستور را اجرا کنید. source [*path\_to\_the\_script*]/run.do  توجه 2: مسیر های داخل run.do بر اساس محل قرار گرفتن پروژه شما، ممکن است نیاز به اصلاح داشته باشد. | | | |
|  | | | | |