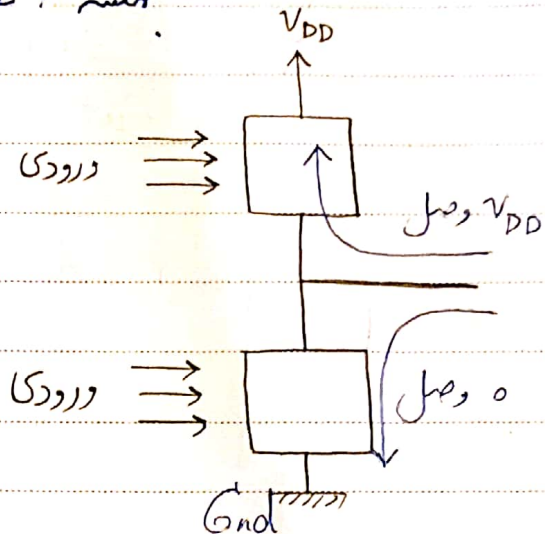
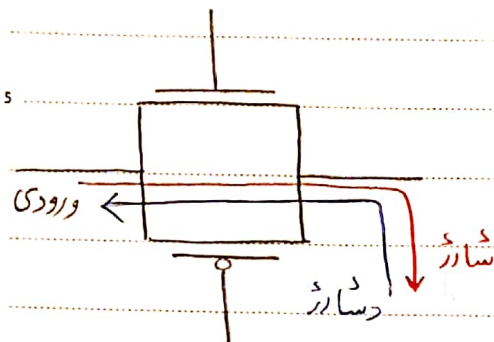
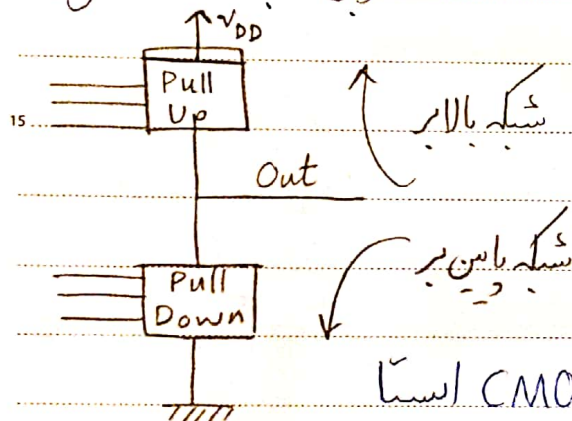


مبانی مدارهای الکترونیکی و الکترونیک

جلسه 24 ام



pull up : ساختاری که خروجی را به V_{DD} متصل می کند.
pull down : ساختاری که خروجی را به Gnd متصل می کند.



NAND

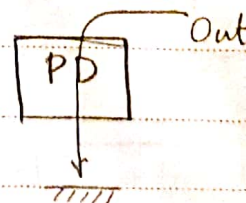
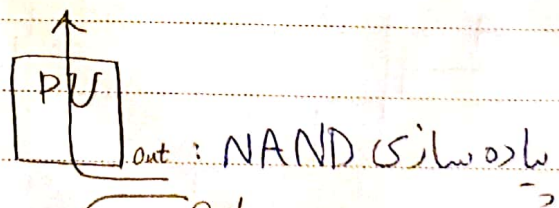
A	B	F
0	0	1
0	1	1
1	0	1
1	1	0

V_{DD}

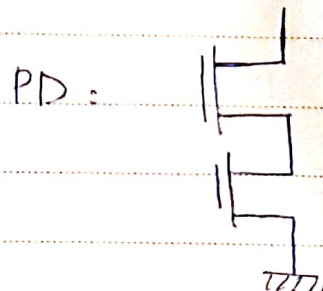
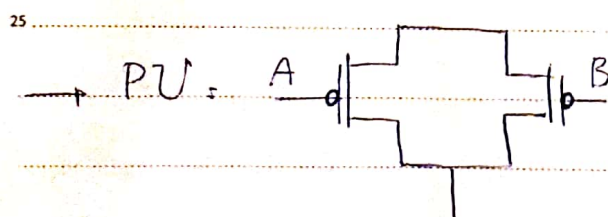
Gnd

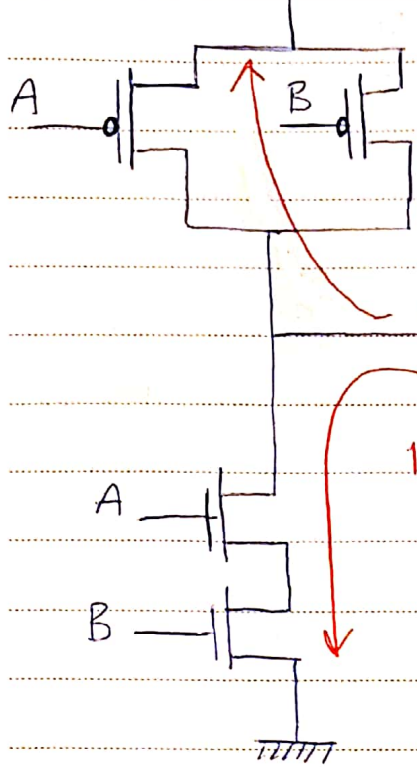
منطق CMOS ایستا

هر دو تا یک $A=1, B=1$ ← استفاده از 2 تا PMOS موازی



← استفاده از 2 تا NMOS





← پیاده سازی NAND با PU, PD

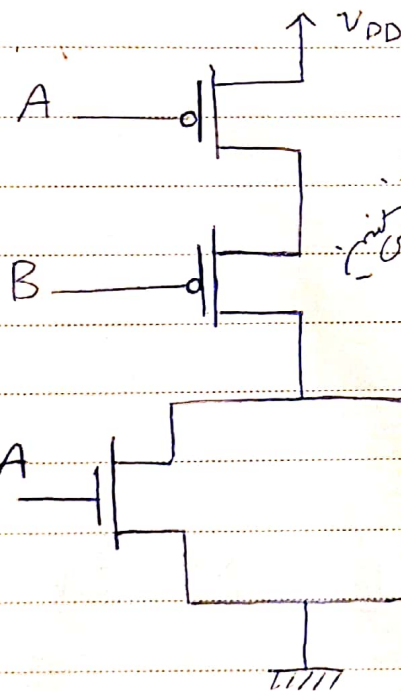
مثال: NOR

A	B	F
0	0	1 → PU
0	1	0
1	0	0
1	1	0

علاقه یکی صفر
Out

هر دو 1

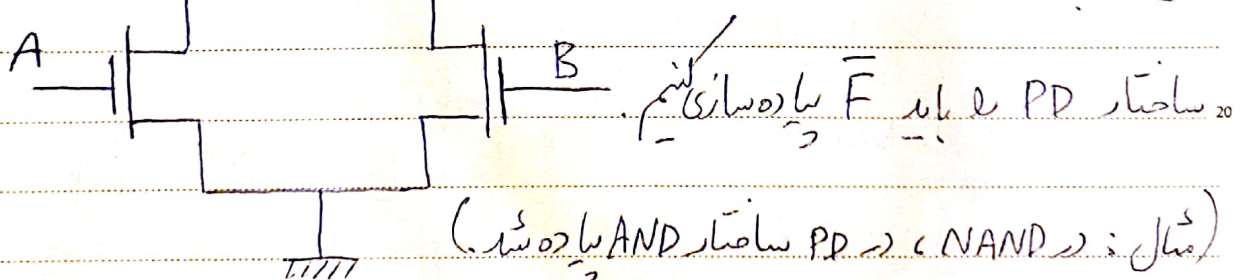
PU₁₀: هر دو صفر
PD: حداقل یکی 1



پیاده سازی NOR:

PD چون 0 را عبور می دهد، از nMOS تشکیل می شود.
در PU چون 1 را می خواهیم عبور دهیم، از pMOS استفاده می کنیم.

مثال: تابع F داده شده است



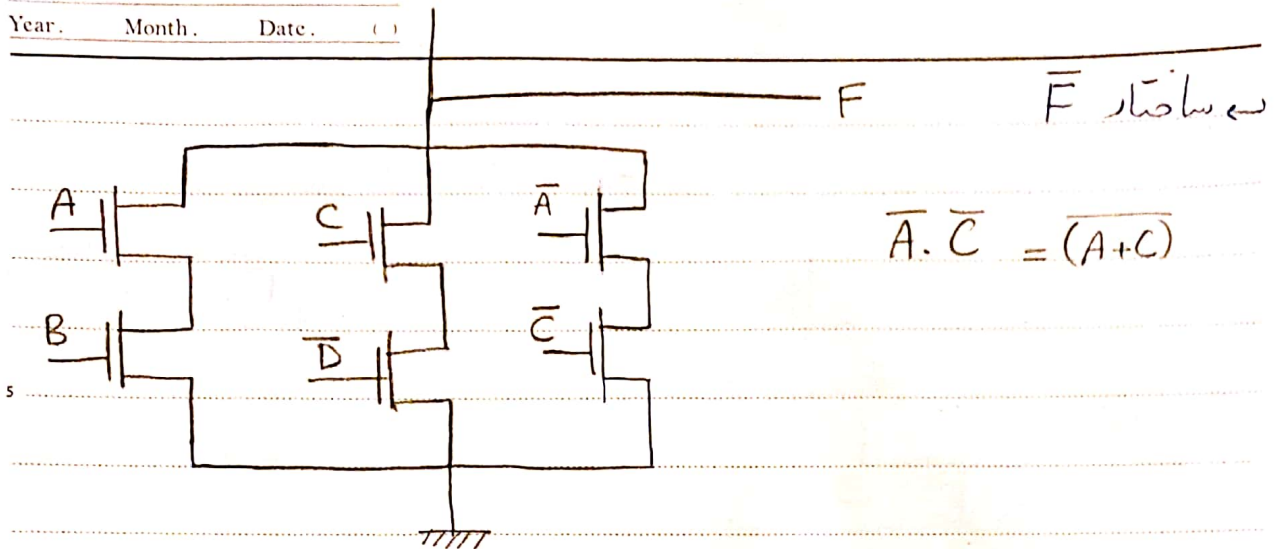
20 ساختار PD با F پیاده سازی کنیم

(مثال: NAND, PD ساختار AND پیاده شد)

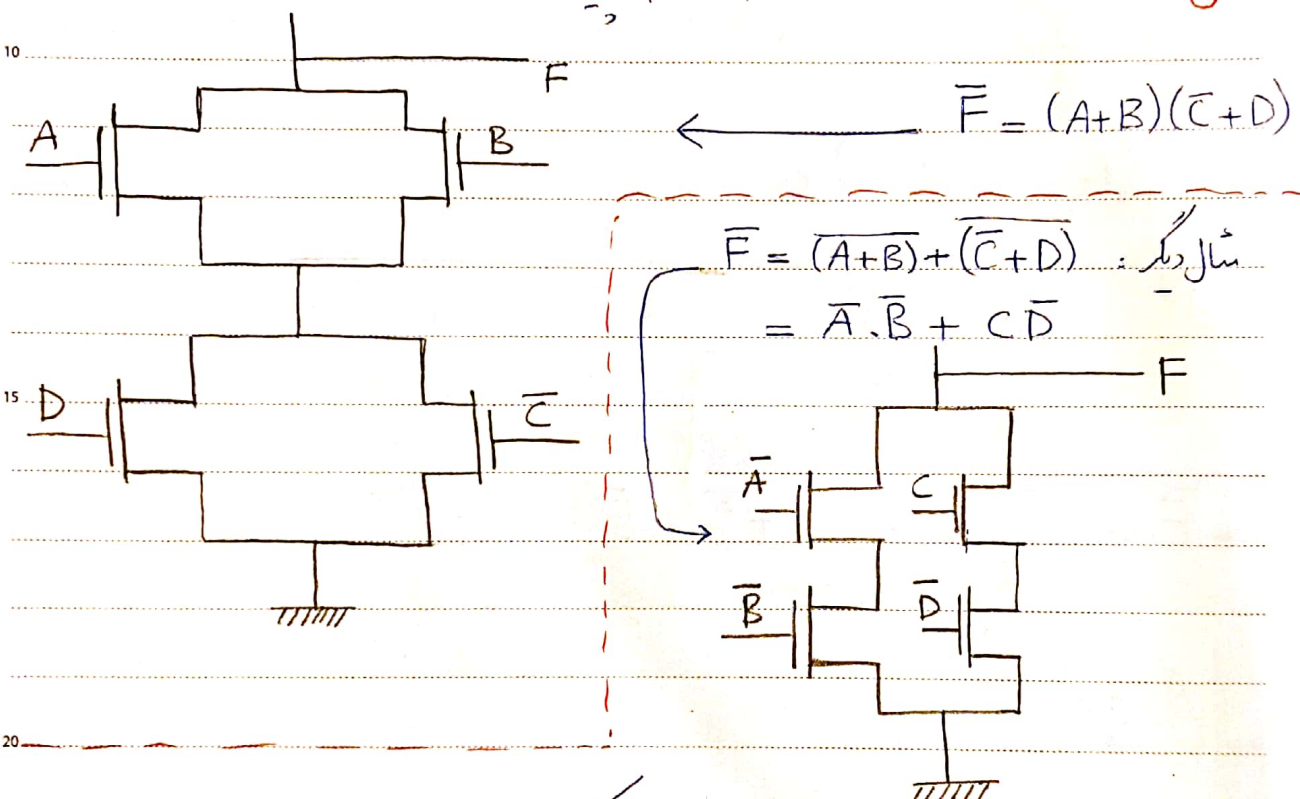
مثال: $F = AB + CD + (A+C)$ → $F = AB + CD + (A+C)$

ساختار PD با F پیاده سازی
الته با nMOS

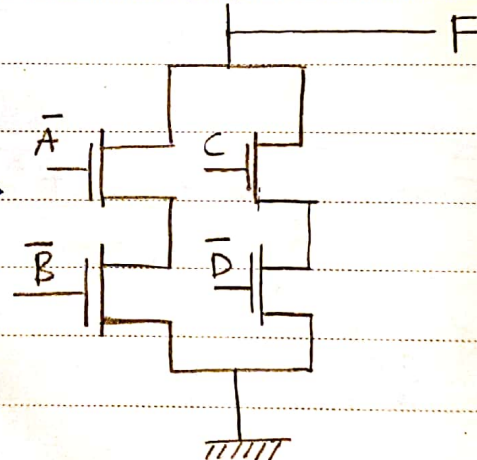
AND ≡ سری
OR ≡ موازی



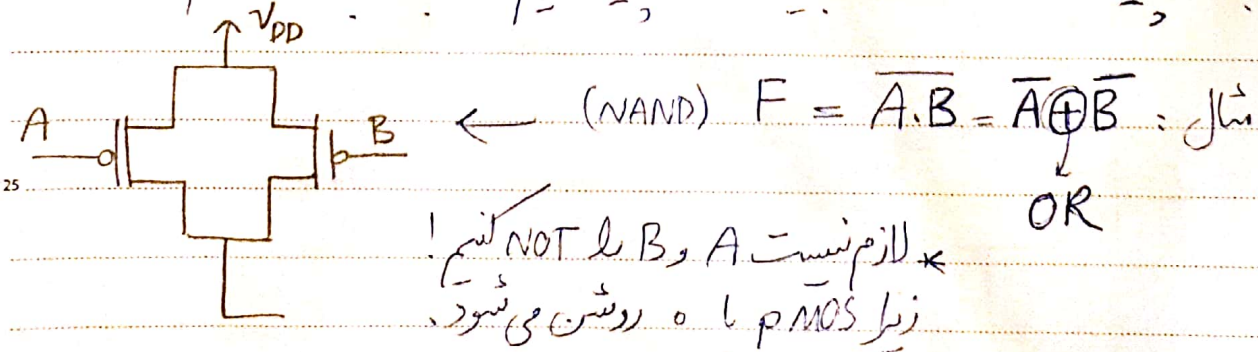
شال: $F = (A+B)(\bar{C}+D)$ ← با دو سیاهی PD (\bar{F})



شال دیگر: $\bar{F} = \overline{(A+B)} + \overline{(\bar{C}+D)}$
 $= \bar{A}.\bar{B} + C\bar{D}$



با دو سیاهی PU، با F و با دو سیاهی PMOS الی

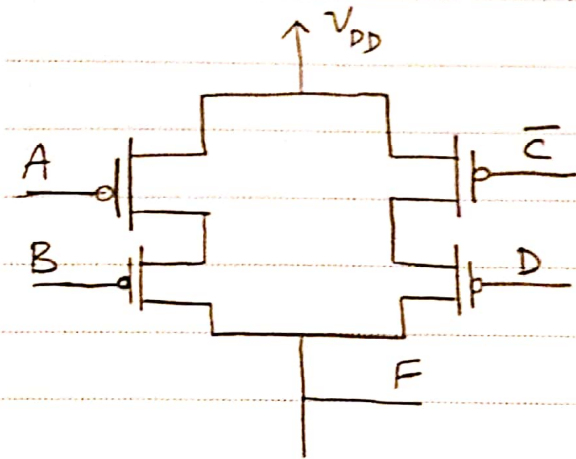


شال: $F = \bar{A}.\bar{B} = \bar{A} \oplus \bar{B}$
 لازم نیست A و B را NOT کنیم!
 زیرا PMOS با روشن می شود.

OR

$$F = (A+B)(\bar{C}+D) \quad \text{سؤال}$$

$$= \bar{A} \cdot \bar{B} + C \cdot \bar{D}$$



← طراحی PU ←

ترجمه بندی:

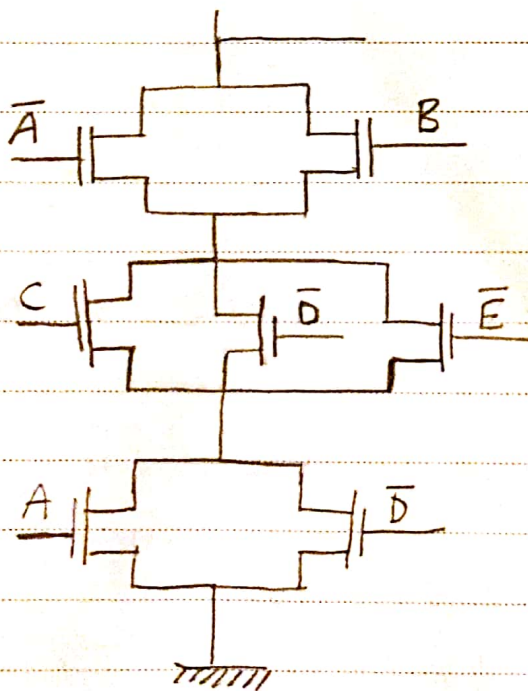
1- طراحی PD: پیاده سازی \bar{F} با NMOS

2- طراحی PU: پیاده سازی F با PMOS (NOT سگنال)

$$F = \bar{A}\bar{B} + \bar{C}DE + \bar{A}D \quad \text{سؤال}$$

$$\bar{F} = (\overline{\bar{A}\bar{B}}) \cdot (\overline{\bar{C}DE}) \cdot (\overline{\bar{A}D})$$

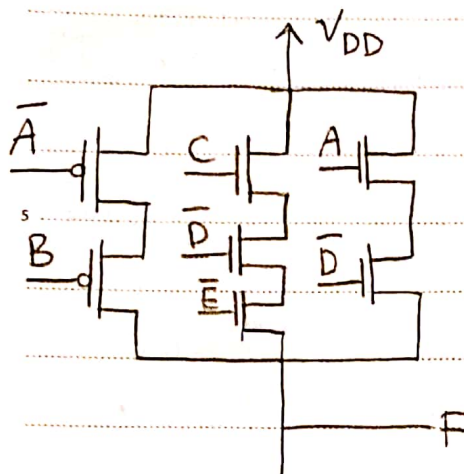
$$\rightarrow \bar{F} = (\bar{A} + B) \cdot (C + \bar{D} + \bar{E}) \cdot (A + \bar{D})$$



← طراحی PD: پیاده سازی \bar{F}

$$F = \overline{A}B + \overline{C}DE + \overline{A}D$$

بیاده سازی F :



طراحی PU :

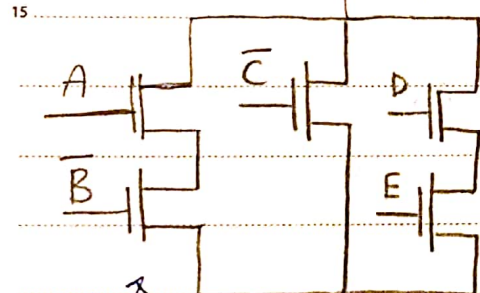
NOT کردن سیگنال ها اتفاق خوبی است زیرا در

هر دو ساختار PU و PD سیگنال های

یکسانی استفاده شده اند.

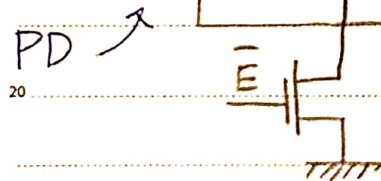
* با عوض کردن AND, OR در ساختار PD می توانیم به PU برسیم و برعکس
(یعنی عوض کردن سری ها با موازی و عوض کردن موازی ها با سری)

مثال : تابع F که PD آن به صورت زیر است، را بدست آورید.

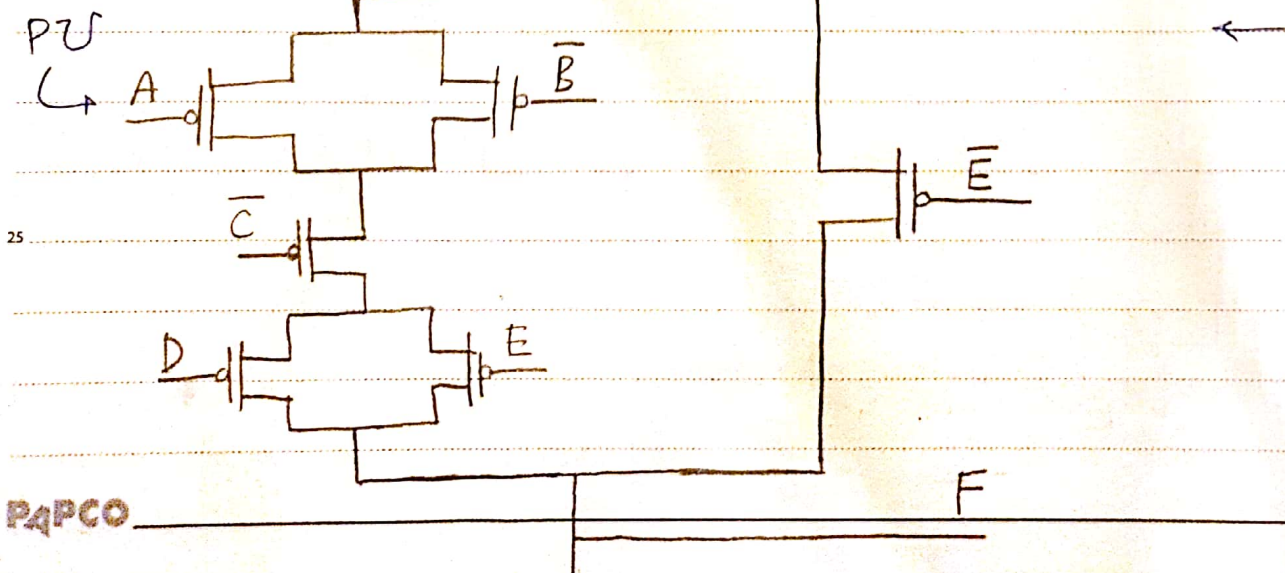


$$\overline{F} = E(\overline{A}B + \overline{C} + DE)$$

$$F = \overline{E}(\overline{A}B + \overline{C} + DE)$$

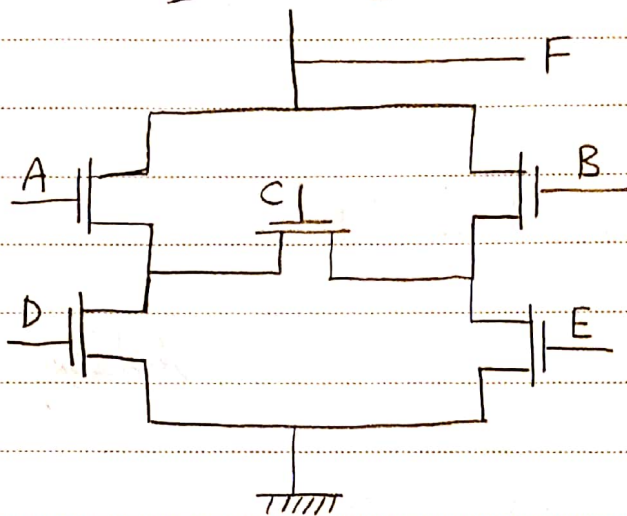


* طراحی PU ؟ ← جایگزینی AND, OR در PD



با منطق CMOS ایستاد، توابع به صورت SOP و POS را می توان طراحی کرد.

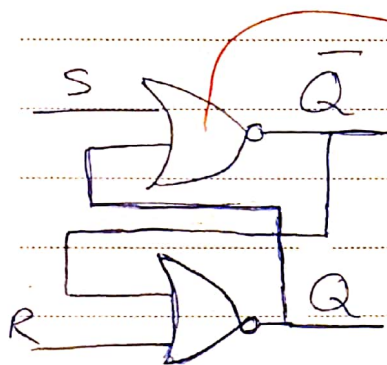
آیا برای هر ساختار PD می توان F را تعیین کرد؟ خیر!



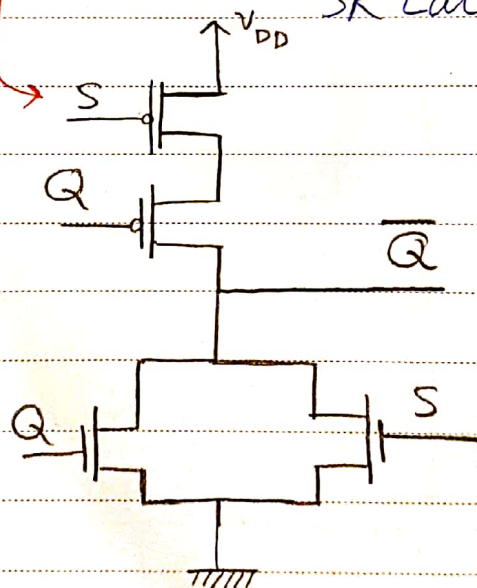
مثال ←

همچ دو تایی سری یا موازی
- نیستند!

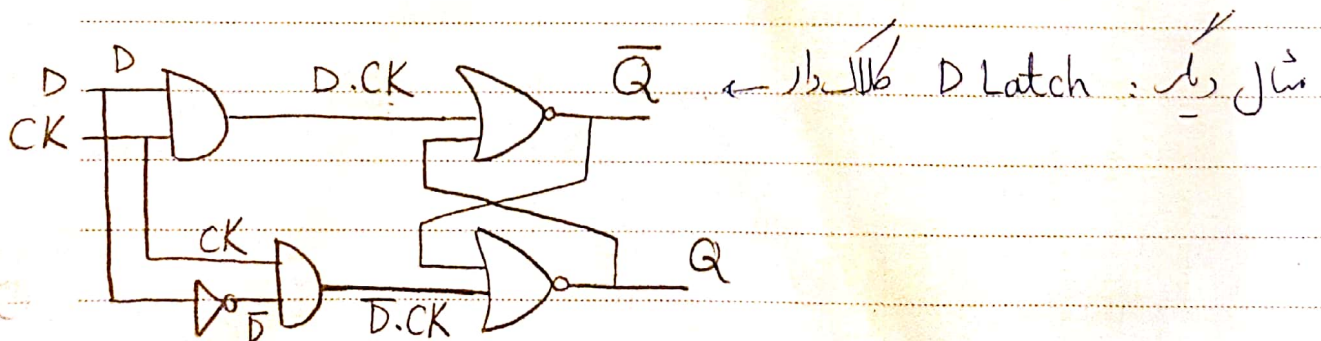
برای مدارهای ترتیبی چگونه؟



مثال: SR Latch ←



4 ترانزیستور برای یک NOR!



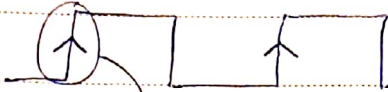
مثال دیگر: D Latch کلکدار ←

تفاوت Latch با Flip Flop : در این زمان خروجی از ورودی تأثیر می‌گیرد

Latch حساس به سطح (یا لبه کاری ندارد!) CK

در زمان 1 بودن کلاک، خروجی نسبت به مقدار ورودی، مقدار می‌گیرد.

اما Flip Flop به لبه حساس است



در این زمان

خروجی از ورودی تأثیر می‌گیرد.

15

20

25