

# In the name of God

HOMEWORK #2

CAD

Dr.Khodadadi

Spring 1402

Designer:

Mohammad Hossein Mirzaei

Afshin Zangene

Deadline:

1402/02/29

Notes:

1. Do the homework's with your own information
2. Any similarity between solutions reduces 1 point from overall point of your assignments.
3. 25 percent of your score will be decreased per day after the announced deadline.

سوالات زیر را با زبان VHDL پیاده سازی کنید. در پایان برای هر سوال تمامی فایل های vhdل تون رو اعم از کد و تست بنج تو یک فایل مرج کنید(همه ی کد ها پشت سر هم باشند) و بفرستید(در صورت عدم تطابق با کد اصلیتون و یا در صورت عدم ارسال نمره اون سوال رو از دست میدید)

و در بخش همه ی پاسخ ها تمامی فولدر های پروژه هاتون رو با داک و عکس ویو فرم ها رو زیپ کنید و ارسال کنید.

۱- مرتب گر (میرزایی)

برنامه ای بنویسید که ۱۰ عدد ۸ بیتی را به عنوان ورودی بگیرد و اعداد را که به صورت صعودی مرتب شده اند به عنوان خروجی بدهد.

۲- جذرگیر (میرزایی)

برنامه ای بنویسید که یک عدد ۱۰ بیتی std\_logic\_vector را به عنوان ورودی بگیرد و سقف جذر عدد گرفته شده را به صورت عبارتی ۶ بیتی برگرداند.

نمونه ورودی : "۰۰۰۱۱۱۰۰۰۰"

نمونه خروجی : عبارت بالا بیان گر عدد ۱۱۲ می باشد که اگر از آن جذر بگیریم عدد حدودی به دست آمده ۱۰.۵۸ می باشد که سقف آن عدد ۱۱ می شود که به صورت "۰۰۱۰۱۱" قابل نمایش است.

۳- یکی در میون (میرزایی)

برنامه ای بنویسید که عبارت ۱۶ بیتی را به عنوان ورودی بگیرد و عبارتی متشکل از ۲ بیت خروجی بدهد. این ۲ بیت متشکل هستند از:

اگر مجموع index های زوج عبارت ۱۶ بیتی بر ۳ بخش پذیر باشند، بیت پر ارزش خروجی ۱ و در غیر این صورت ۰ می شود.

اگر مجموع index های فرد عبارت ۱۶ بیتی بر ۵ بخش پذیر باشند، بیت کم ارزش خروجی ۱ و در غیر این صورت ۰ می شود.

index \* دهی از ۱ شروع می شود.

نمونه ورودی :

"1100110000111111"

مجموع ایندکس های فرد :

$$5 = 1+0+1+0+0+1+1+1$$

مجموع ایندکس های زوج :

$$5 = 1+0+1+0+0+1+1+1$$

نمونه خروجی : "۰۱" (مجموع index های زوج بر ۳ بخش پذیر نیست و مجموع index های فرد بر ۵ بخش پذیر است.)

#### ۴- ساعت زنگ‌دار (زنگنه)

در این سوال باید شما باید مداری برای یک ساعت زنگ‌دار طراحی کنید.

این مدار دارای یک سیگنال clk است که گذر ثانیه را مشخص می‌کند. برای نشان دادن ساعت توسط این مدار ۸ بیت برای دقیقه خواهیم داشت که ۴ بیت آن برای رقم کم‌ارزش و ۴ بیت دیگر برای رقم پرارزش خواهد بود و برای ساعت نیز ۴ بیت برای رقم کم‌ارزش و ۲ بیت برای رقم پرارزش آن نیاز خواهیم داشت. سیگنال reset تمام مقادیر دقیقه و ساعت را صفر خواهد کرد. اگر سیگنال clock\_set برابر ۱ باشد می‌توانیم ساعت دلخواه خود را ورودی داده و تنظیم کنیم. همچنین اگر alarm\_set برابر ۱ باشد با ورودی دادن زمان دلخواه خود، زنگ ساعت را تنظیم می‌کنیم. هر زمان در طول کار ساعت اگر به زمان مشخص شده برسیم، سیگنال on\_alarm برابر ۱ خواهد شد و تا زمانی که alarm\_stop تنظیم نشود این هشدار همچنان روشن خواهد بود. مدار این سوال را با استفاده از زبان VHDL پیاده‌سازی کنید.