



Proyecto final (fase1)

Equipo 3

Alumno: Angel Gabriel Mercado Hernandez codigo: 221350141

Alumno:Gerardo GabriEL Mercado Guerra codigo: 221350559

Alumno:Jesús Gael Pérez Zúñiga codigo: 220790849

Alumno:

Materia: Seminario de Arquitectura de computadoras

Profesor: López Arce Delgado Jorge Ernesto

Seccion: D14 vier: 7:00-11:00am

Codigo:

- En la elaboracion del codigo primero nos centramos en hacer los modulos nuevos que se tenian que hacer , los multiplexores , la memoria de instrucciones, el pc , despues se modificaron losmodulos queya teniamos previamente hechos .
- Ya que tenemos todos lo modulos hechos y modificados comenzamos a hacer un analisis de como llevarian las conexiones y a crear los cables

```
// Banco de registro
wire [31:0]c_datolec1;
wire [31:0]c_datolec2;

//ALU
wire [31:0]c_result;
wire c_zflag;

//ALU CONTROL
wire [2:0]c_so;

//UNIDAD DE CONTROL
wire [2:0]c_alop;
wire c_alusrc;
wire c_memwrite;
wire c_memreads;
wire c_branch;
wire c_select;
wire c_enesc;
wire c_regdst;
```

```
//MEMORIA
wire [31:0]c_dataout;

//MEMORIA DE INSTRUCCION
wire [31:0]c_instruc;

//SUMADOR
wire [31:0]c_sum;

//MUX 1
wire [31:0]c_mux1;

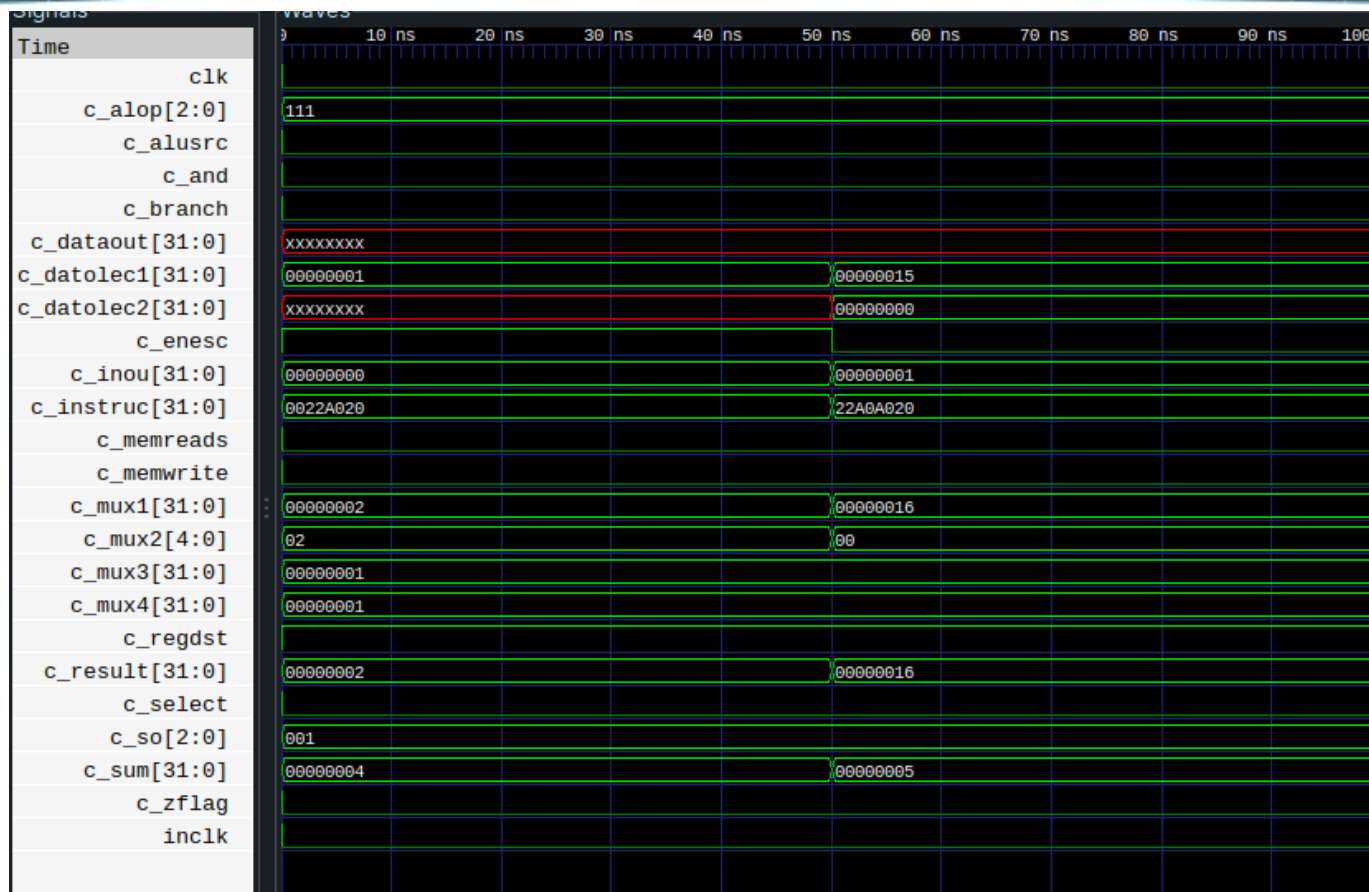
//MUX 2
wire [4:0]c_mux2;

//MUX 3
wire [31:0]c_mux3;

//MUX 4
wire [31:0]c_mux4;

//PC
wire [31:0]c_inou;
```

```
//COMPUERTA AND
wire c_and;
```



Nota:

Tuvimos problemas con el seguimiento de las instrucciones pues no pudimos hacer la suma para que avance a la siguiente instrucción.

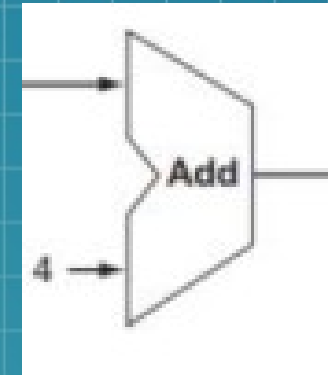
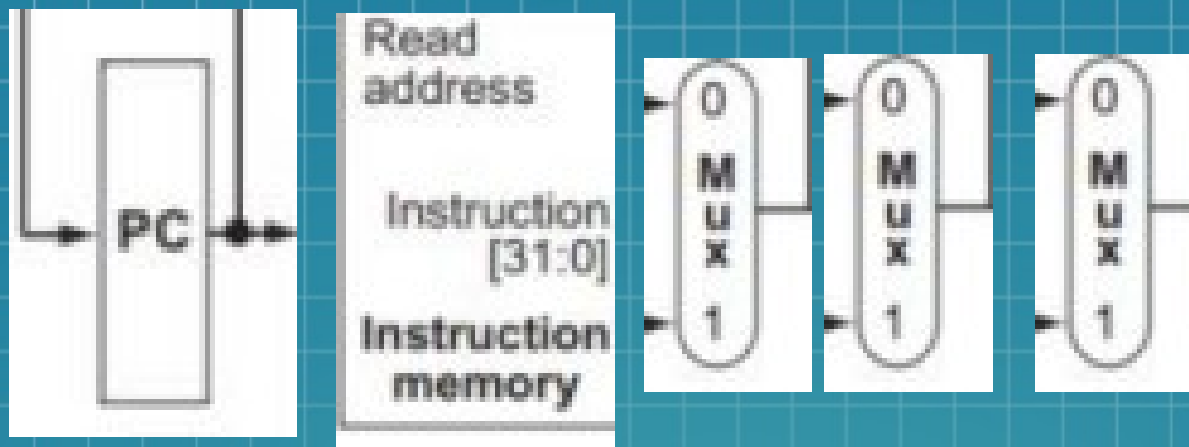
CORRECCIONES:

```
000000 00001 00010 10100 00000 000000
000000 00101 00100 10101 00000 100010
000000 01000 00100 11000 00000 100100
000000 01010 01010 11001 00000 100101
000000 00101 01010 11010 00000 100101
000000 00000 00000 00000 00000 000000
```

Aquí podemos ver
como en la primera
línea en los últimos
6 bits la
instrucción
"ADD" no se
encuentra

Además la
instrucción "OR"
está repetida y no
se encuentra la
instrucción SLT

```
000000 00001 00010 10100 00000 100000
000000 00101 00100 10101 00000 100010
000000 01000 00100 11000 00000 100100
000000 01010 01010 11001 00000 100101
000000 00101 01010 11010 00000 101010
000000 00000 00000 00000 00000 000000
```

Desarrollo de modulos nuevos:

Mux 1

Mux 2

Mux 3

Memoria de instruccines

Sumador (4)

PC

Modificaciones de modulos:

Unidad de control

Memoria