

بررسی و طراحی فلیپ فلاپ تحریک شونده با پالس با توان مصرفی و تاخیر کم

رامین رزم دیده^۱ و محسن صانعی^۲

^۱دانشگاه تحصیلات تکمیلی صنعتی کرمان، r.razmdideh@student.kgut.ac.ir

^۲دانشگاه شهید باهنر کرمان، msaneei@uk.ac.ir

چکیده - در این مقاله فلیپ فلاپ تحریک شونده با پالس جدیدی معرفی شده است که از تکنیک پیش دشارژ برای کاهش توان مصرفی و تاخیر و از تکنیک *Conditional Data Mapping* برای کاهش توان مصرفی استفاده شده است. طراحی این فلیپ فلاپ به گونه‌ای صورت گرفته است تا گره‌های شناور موجود در سایر فلیپ فلاپ‌ها را حذف کند. شبیه‌سازی‌ها با استفاده از نرم افزار *HSPICE* در تکنولوژی 65 nm انجام شده است. نتایج حاصل از مقایسه فلیپ فلاپ پیشنهادی با سایر فلیپ فلاپ‌های معرفی شده نشان می‌دهد که مدار پیشنهادی نزدیک به ۳۳٪ بهبود *PDP* داشته است.

کلید واژه فلیپ فلاپ تحریک شونده با پالس، توان مصرفی، تاخیر

در ادامه این مقاله در بخش ۲ عوامل موثر در توان مصرفی و روش‌های کاهش آن را بررسی می‌کنیم. در بخش ۳ مدارات ارائه شده در گذشته و اشکالات مربوط به آن‌ها بررسی می‌شوند. مدار پیشنهادی ما در بخش ۴ این مقاله معرفی شده است و نتایج حاصل از شبیه‌سازی و مقایسه فلیپ فلاپ‌ها در بخش ۵ آورده شده است. در نهایت در بخش ۶ نتیجه‌گیری از بحث آورده شده است.

۲- توان مصرفی فلیپ فلاپ و روش‌های کاهش آن

توان مصرفی فلیپ فلاپ از سه بخش توان سوئیچینگ، توان اتصال کوتاه و توان نشتی تشکیل شده است [۸]. بر اساس رابطه (۱) عواملی مانند فرکانس، فعالیت کلید زنی، خازن و ولتاژ در توان مصرفی سوئیچینگ موثر است [۸]، [۹]. توان نشتی براساس رابطه (۲) تعیین می‌شود و عوامل زیادی باعث به وجود آمدن جریان نشتی می‌شود اما دو عامل اصلی در جریان نشتی، جریان نشتی زیر آستانه و تونل زدن گیت به زیر لایه می‌باشد [۱۰]. توان اتصال کوتاه که بر اساس رابطه (۳) بدست می‌آید [۸] زمانی اتفاق می‌افتد که شبکه بالاکش (Pull Up) و شبکه پایین کش (Pull Down) به طور همزمان روشن شوند.

$$P_{\text{switching}} = \alpha \times C \times V^2 \times f \quad (1)$$

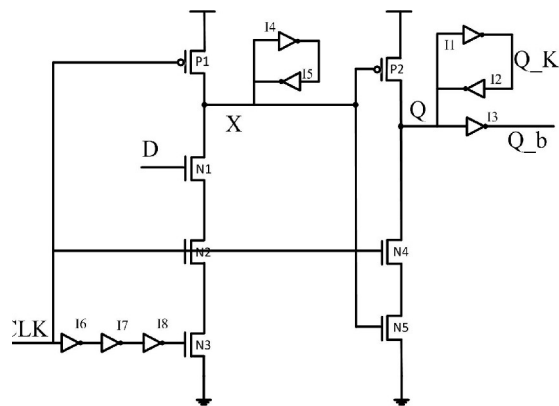
$$P_{\text{leakage}} = I_{\text{leakage}} \times V_{\text{dd}} \quad (2)$$

$$P_{\text{shortcircuit}} = I_{\text{shortcircuit}} \times V_{\text{dd}} \quad (3)$$

۱- مقدمه

فلیپ فلاپ یک المان پرکاربرد در طراحی مدارات VLSI است و به صورت گسترده در شبکه‌های کلاک استفاده می‌شوند [۱]، [۲]. شبکه‌های کلاک یکی از بخش‌های پر مصرف سیستم‌های VLSI می‌باشد و حدود ۲۵ تا ۴۰ درصد کل توان مصرفی سیستم را مصرف می‌کند [۳]، [۴]. در نتیجه می‌توان با کاهش توان مصرفی و تاخیر فلیپ فلاپ‌ها، تاخیر و توان مصرفی کل سیستم را کاهش داد.

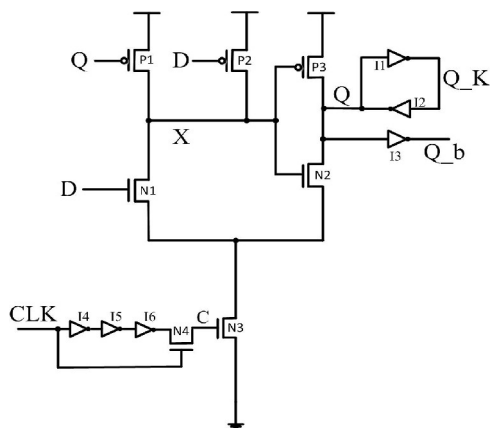
فلیپ فلاپ‌ها به دو دسته، فلیپ فلاپ‌های پایه و پیرو و فلیپ فلاپ‌های تحریک شونده با پالس تقسیم می‌شوند. فلیپ فلاپ‌های پایه-پیرو از دو طبقه و فلیپ فلاپ‌های تحریک شونده با پالس از یک طبقه تشکیل شده‌اند [۵]، [۶]. این کاهش طبقات سبب می‌گردد فلیپ فلاپ‌های تحریک شونده با پالس حساسیت کمتری نسبت به لبه کلاک داشته باشند. این فلیپ فلاپ‌ها ساختار ساده‌تر و سرعت بالاتری نسبت به فلیپ فلاپ‌های پایه-پیرو دارند و به همین دلایل می‌توانند توان مصرفی کمتری نیز داشته باشند [۲]. مزیت دیگر فلیپ فلاپ‌های تحریک شونده با پالس زمان آمادگی (Setup Time) منفی آنهاست که سبب می‌شود تاخیر ورودی تا خروجی کاهش یابد. علاوه بر این فلیپ فلاپ‌های تحریک شونده با پالس حساسیت کمتری نیز نسبت به جیتر کلاک دارند [۷].



شکل ۱: مدار IP-DCO [۱۹]

های زیادی که به گره X متصل شده است باعث می‌شود خازن این گره افزایش یابد در نتیجه در هنگام شارژ و دشارژ خازن بزرگتری باید شارژ و دشارژ شود که باعث افزایش توان مصرفی می‌شود. تعداد ترانزیستورهایی که سیگنال کلاک دریافت می‌کنند زیاد است و با توجه به اینکه ترانزیستورهای که سیگنال کلاک را دریافت می‌کنند فعالیت کلیدزنی بالای دارند، سبب می‌شود توان مصرفی این فلیپ فلاپ افزایش یابد.

شکل ۲ فلیپ فلاپ MHLFF را نشان می‌دهد [۲۰]. ترانزیستور P1 که توسط خروجی کنترل می‌شود برای کاهش فعالیت کلید زنی گره X استفاده شده است. اما گره X زمانی که مقدار ورودی و خروجی برابر یک باشد برای مدت طولانی شناور می‌شود. همچنین گره C زمانی که مقدار کلاک صفر است برای مدت طولانی شناور می‌شود و نمی‌تواند ترانزیستور N2 را به صورت کامل خاموش گرداند در نتیجه جریان نشتی افزایش می‌یابد. شناور شدن گره های X و C نویزپذیری مدار را به شدت افزایش می‌دهد. ترانزیستورهای P2 و N2 با سایز بزرگ توسط



شکل ۲: مدار MHLFF [۲۰].

براساس عوامل موثر در توان مصرفی روش‌های متفاوتی برای کاهش توان مصرفی وجود دارد که در ادامه روش‌های که تاثیر بیشتری دارند را توضیح می‌دهیم. کاهش ولتاژ: همانطور که در رابطه یک مشاهده می‌کنید توان مصرفی با توان دوم ولتاژ نسبت دارد بنابراین کاهش ولتاژ تاثیر زیادی برای کاهش توان مصرفی دارد اما از طرف دیگر کاهش ولتاژ در مسیرهای بحرانی باعث افزایش تاخیر می‌گردد در نتیجه تکنیک چند منبع ولتاژ برای کاهش توان مصرفی استفاده می‌شود [۹]، [۱۱].

افزایش ولتاژ آستانه: افزایش ولتاژ آستانه باعث کاهش توان مصرفی می‌گردد اما استفاده از ترانزیستورهای با ولتاژ آستانه بالا در مسیرهای بحرانی باعث افزایش تاخیر می‌گردد [۱۲]-[۱۳]. کاهش فرکانس: با استفاده از فلیپ فلاپ‌های تحریک شونده با دو لبه کلاک می‌توان فرکانس کلاک را کاهش داد با این روش توان مصرفی در شبکه کلاک را کاهش داد. [۱۴]. کاهش دادن خازن کلاک: با توجه به این که ترانزیستورهای که سیگنال کلاک دریافت می‌کنند فعالیت کلید زنی زیادی دارند، بنابراین کاهش خازن ورودی کلاک فلیپ فلاپ‌ها تاثیر زیادی در کاهش توان مصرفی خواهد داشت [۱۵].

کاهش میزان فعالیت کلید زنی: روش‌های زیادی برای کاهش میزان فعالیت کلید زنی وجود دارد اما دو روش قطع دوره‌ای کلاک و Conditional Data Mapping بیشتر از بقیه مورد استفاده قرار می‌گیرد. در روش قطع دوره‌ای کلاک خروجی قبلی فلیپ فلاپ با ورودی مقایسه می‌شود اگر تغییر در ورودی باعث تغییر در خروجی گردد کلاک به مدار اعمال می‌شود در غیر اینصورت کلاک به مدار اعمال نمی‌شود واز به وجود آمدن شارژ و دشارژ اضافی جلوگیری می‌شود [۱۶]. اما در روش Conditional Data Mapping ورودی داده زمانی به مدار اعمال می‌گردد که باعث تغییر در خروجی مدار شود در غیر اینصورت ورودی دیتا به مدار اعمال نمی‌شود [۱۷]، [۱۸].

۳ - بررسی کارهای قبلی

در این بخش تعدادی از فلیپ فلاپ‌های تحریک شونده با پالس که در ادامه با مدار پیشنهادی مقایسه خواهیم کرد را توضیح می‌دهیم. شکل ۱ فلیپ فلاپ IP-DCO را نشان می‌دهد [۱۹]. معکوس کننده‌های I1 و I2 برای نگهداری داده خروجی و معکوس کننده‌های I3 و I4 برای نگهداری حالت گره X به کار رفته‌اند. در این مدار تعداد ترانزیستور -

روشن P1 برای برطرف کردن شناور بودن گره X و کاهش توان مصرفی و تاخیر (روش پیش دشارژ) استفاده شده است.

همانطور که در فلیپ فلاپ های MHLFF و CDMFF مشاهده کردید خازن گره X به خاطر تعداد ترانزیستورهای زیادی که به این گره متصل شده است زیاد است و این باعث افزایش توان مصرفی این فلیپ فلاپها می‌شود. اما در مدار پیشنهادی گره X توسط ترانزیستور همیشه روشن و ضعیف P1 کنترل می‌شود این باعث می‌شود خازن این گره کاهش پیدا کند و از طرفی دیگر فعالیت کلید زنی این گره به خاطر همیشه روشن بودن ترانزیستور X بسیار کاهش میابد که سبب کاهش توان مصرفی فلیپ فلاپ پیشنهادی می‌شود همچنین باعث افزایش پایداری فلیپ فلاپ پیشنهادی در برابر نویز می‌شود.

۴ - مدار پیشنهادی

فلیپ فلاپ پیشنهادی از تکنیک Conditional Data Mapping برای کاهش توان مصرفی استفاده کرده است. در این روش اگر ورودی یک و خروجی صفر باشد ترانزیستور P3 روشن می‌شود و حال اگر لبه بالا رونده کلاک موجود باشد مقدار گره COMP یک شده و باعث می‌شود ترانزیستور N1 روشن گردد. در غیر اینصورت مقدار گره COMP صفر باقی خواهد ماند. برتری این روش نسبت به Conditional Data Mapping که در فلیپ فلاپ CDMFF بکار رفته است این است که در این مدار فقط زمانی که لبه کلاک موجود باشد و تغییر در ورودی باعث

[illegible]

شکل ۳: مدار CDMFF [۱۸].

تغییر در خروجی گردد، ورودی به مدار اعمال می‌شود. در غیر اینصورت مقدار گره COMP صفر باقی خواهد ماند. در حالی که در CDMFF زمانی که ورودی باعث تغییر در خروجی می‌شود ورودی به مدار اعمال می‌شود حتی اگر لبه کلاک موجود نباشد بنابراین فعالیت کلید زنی افزایش می‌یابد.

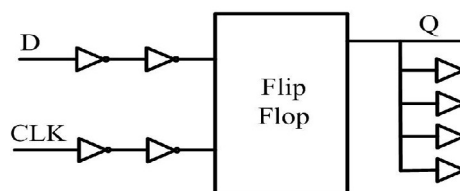
۵ نتایج شبیه‌سازی

برای بررسی عملکرد فلیپ فلاپ پیشنهادی این فلیپ فلاپ را با فلیپ فلاپ‌های IP-DCO، MHLFF و CDMFF مقایسه کرده‌ایم. شبیه‌سازی‌ها در تکنولوژی ۶۵nm و با استفاده از نرم افزار HSPICE صورت گرفته است. مشخصات کاملی که برای شبیه‌سازی استفاده شده است در جدول ۱ آورده شده است. همانطور که در شکل ۵ مشاهده می‌کنید برای بدست آوردن نتایج واقعی‌تر سیگنال‌های داده ورودی و کلاک ابتدا از یک بافر عبور داده شده‌اند و سپس به مدار اعمال شده‌اند. در خروجی نیز ۴ عدد معکوس کننده جهت مدل کردن بار خروجی قرار داده شده است.

اندازه ترانزیستورها به گونه‌ای تعیین شده است که حاصلضرب توان در تاخیر (PDP) در فعالیت کلیدزنی ۵۰٪ حداقل گردد. منظور از تاخیر در این حالت تاخیر ورودی تا خروجی (TdQ) می‌باشد. شکل ۶ توان مصرفی را برحسب فعالیت

جدول ۱: پارامترهای شبیه‌سازی

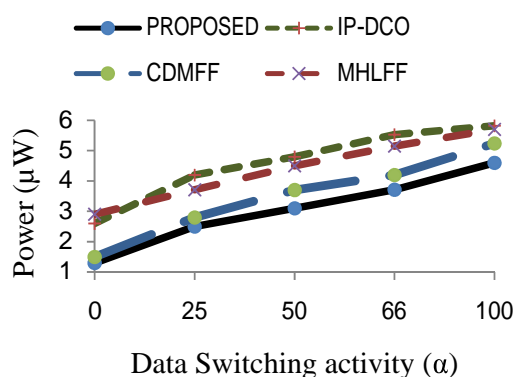
تکنولوژی	
Lmin	60nm
Wmin	120nm
محیط	
Supply Voltage	1V
Temperature	27°C
سیگنال ارزیابی	
Data/Clock slope for source	10ps
Clock duty cycle	50%
Clock frequency	500MHZ
Data frequency($\alpha=50\%$)	125MHZ
Data frequency($\alpha=0$)	0MHZ



شکل ۵: تنظیمات مورد استفاده برای شبیه‌سازی

کلید زنی داده نشان می‌دهد. فلیپ فلاپ پیشنهادی در همه میزان فعالیت کلید زنی داده کمترین توان مصرفی را دارا می‌باشد. برای مثال در فعالیت کلید زنی داده ۱۰۰٪ فلیپ فلاپ پیشنهادی ۱۴٪ بهبود توان نسبت به فلیپ فلاپ CDMFF که بهترین عملکرد را در بین سایر فلیپ فلاپ‌ها را دارا است، دارد. همچنین در فعالیت کلید زنی داده ۵۰٪ فلیپ فلاپ پیشنهادی ۱۶٪ بهبود توان نسبت به فلیپ فلاپ CDMFF را داشته است. برای اینکه یک مقایسه خوب بین فلیپ فلاپ‌ها داشته باشیم باید حاصلضرب تاخیر (TdQ) در توان (P) فلیپ فلاپ‌ها را مقایسه کنیم. به همین منظور شکل ۷، PDP فلیپ فلاپ‌ها را در فعالیت کلید زنی متفاوت نشان می‌دهد. مدار پیشنهادی در همه حالت‌ها کمترین مقدار را دارا می‌باشد. جدول ۲ مقایسه بین همه پارامترهای فلیپ فلاپ را نشان می‌دهد. پارامتر اول زمان برپای (Setup Time) می‌باشد. زمان برپای فلیپ فلاپ‌ها بر اساس تعریفی که در مرجع [۲۱] شده است محاسبه گردیده است. همانطور که مشاهده می‌فرماید فلیپ فلاپ پیشنهادی دارای زمان برپای منفی می‌باشد. پارامتر بعدی زمان نگهداری (Hold Time) می‌باشد که براساس تعریفی که در مرجع [۲۱] شده است محاسبه گردیده است. پارامتر دیگر حداقل تاخیر بین ورودی داده تا خروجی است. فلیپ فلاپ پیشنهادی حدود ۲۰٪ تاخیر را نسبت به CDMFF که سریعتر از بقیه فلیپ فلاپ‌ها است بهبود داده است. پارامتر آخری که مشاهده می‌کنید PDP می‌باشد. فلیپ فلاپ پیشنهادی ۳۳٪ بهبود نسبت به فلیپ فلاپ CDMFF را نشان می‌دهد.

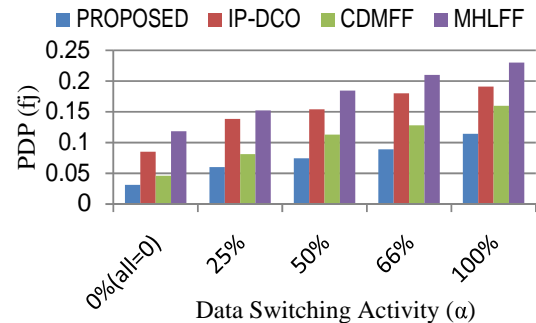
شکل ۸ PDP را بر اساس گوشه‌های پروسس در فعالیت کلید زنی ۵۰٪ نشان می‌دهد که فلیپ فلاپ پیشنهادی در همه گوشه‌های پروسس عملکرد بهتری نسبت به سایر فلیپ فلاپ‌ها دار می‌باشد.



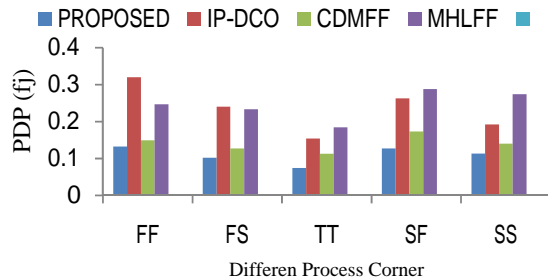
شکل ۶: توان مصرفی بر حسب فعالیت کلیدزنی

جدول ۲: مقایسه بین پارامترهای فلیپ فلاپ ها

Flip Flops	IP-DCO	MHLFF	CDM FF	proposed
Setu Time(ps)	0	+5	-2	-4
Hold Time(ps)	54	60	44	48
Min TDQ(ps)	33	41	30.6	24
Power ($\alpha=50\%$)(μW)	4.8	4.5	3.7	3.1
PDP ($\alpha=50\%$) (fj)	0.154	0.184	0.113	0.0745



شکل ۷: PDP در فعالیت کلیدزنی متفاوت



شکل ۸: PDP در گوشه های پروسس

۶- نتیجه گیری

در این مقاله یک فلیپ فلاپ تحریک شونده با پالس جدید معرفی شده است در این فلیپ فلاپ از تکنیک Conditional Data mapping برای کاهش توان مصرفی و از تکنیک پیش دشارژ برای کاهش توان مصرفی و تاخیر استفاده شده است. شبیه سازی ها در تکنولوژی ۶۵nm انجام شده و مدار پیشنهادی ۳۳٪ بهبود PDP نسبت به بهترین فلیپ فلاپ را دارا می باشد.

مراجع

- [1] M. W. Phyu and W. L. GOH, "A Low Power Static Dual Edge-Triggered Flip-Flop using an Output-Controlled Discharge Configuration", *International Symposium on Circuits and Systems*, 2005. *ISCAS 2005. IEEE*. Pp 2429-2432.
- [2] Aliakbar Ghadiri and Hamid Mahmoodi "Pre-Capturing Static Pulsed Flip-Flops", *International Symposium on Circuits and Systems*, 2005. *ISCAS 2005. IEEE*.pp. 2421-2424.
- [3] Seongmoo Heo and Ronny Krashinsky, "Activity-Sensitive Flip-Flop and Latch Selection for reduced Energy", *Transactions on Very Large Scale Integration (VLSI) Systems*, *IEEE*, Vol.15.No. 9, pp. 1060-1064, 2007.
- [4] Y. T. Liu, L. Y. Chiou, and S. J. Chang, "Energy-efficient adaptive clocking dual edge sense-amplifier flip-flop," in *Proc. IEEE Int. Symp. Circuits Systems (ISCAS 2006)*, May 2006, pp. 4329-4332.
- [5] Yu Chien-Cheng: "Low-Power Double Edge-Triggered Flip-Flop Circuit Design," *The 3rd International Conference on Innovative Computing Information and Control (ICICIC'08)*, Dalian, Aug 2008, pp.566.
- [6] Martin Hansson and Atila Alvandpour: "Comparative Analysis of Process Variation Impact on Flip-Flop Power-Performance," *IEEE International Symposium on Circuits and Systems*, New Orleans, May 2007, pp.3744-3747.
- [7] F. Klass, C. Amir, A. Das, K. Aingaran, C. Truong, R. Wang, A. Mehta, R. Heald, and G. Yee, "A new family of semi-dynamic and dynamic flip flops with embedded logic for high-performance processors," *IEEE J. Solid-State Circuits*, vol. 34, no. 5, pp. 712-716, May 1999.
- [8] Peiyi Zhao and Zhongfeng, "Low Power Design of VLSI Circuits and Systems", *8th International Conference on ASIC*, 2009. *ASICON '09. IEEE*.pp. 17-20.
- [9] H. Karimiyan, S. M. Sayedi and H. Saidi, "Low power dual-edge triggered state-retention scan flip-flop", *Computers & Digital Techniques, IET*, pp.410-419.
- [10] A. Sanyal, A. Rastogi, Wei Chen, and S. Kundu, "An Efficient Technique for Leakage Current Estimation in Nanoscaled CMOS Circuits Incorporating Self-Loading Effects," *proceedings of IEEE transaction on Computers*, vol. 59, no. 7, pp. 922-932, July 2010.
- [11] Azam-Sadat Seyedi and Ali Afzali-Kusha "Double-edge Triggered Level Converter Flip-Flop With Feedback", *International Conference on Microelectronics, ICM '06*. 2006 .p 44-47.
- [12] Yingbo hu, Zhaolin Li and Runde Zhou, "A New Type of High-Performance Low-Power Low Clock-Swing TSPC Flip-Flop", *7th International Conference on ASIC*, 2007. *ASICON '07*.pp. 130-133.
- [13] Linfeng Li and Jianping Hu, "A Transmission Gate Flip-Flop Based on Dual-Threshold CMOS Techniques", *International Midwest Symposium on Circuits and Systems*, 2009. *MWSCAS '09. 52nd IEEE*. Pp 539-542.
- [14] P. Zhao, J. McNeely, P. Golconda, M. A. Bayoumi, R. A. Barcenas, and W. Kuang, "Low-Power Clock Branch Sharing Double-Edge Triggered Flip-Flop," *IEEE Trans. Very Large Scale Integr. (VLSI) Syst.* Vol. 15, No. 3, pp.338-344, March 2007.
- [15] M. Hamada, T. Terazawa, T. Higashi, S. Kitabayashi, S. Mita, Y. Watanabe, M. Ashino, H. Hara, T. Kuroda, "flip-flop Selection Technique for Power-Delay Trade-Off," *IEEE International Solid-State Circuits Conference*, pp 270-271, 1999.
- [16] Hossein Karimiyan Alidash, and Sayed Masoud Sayedi "Activity Aware Clock Gated Storage Element Design", *19th Iranian Conference on Electrical Engineering (ICEE)*, 2011. pp 1.
- [17] Yeo Kiat Seng, Goh Wang Ling, Lim Hoe Gee and Zhang Wenle "New Conditional Sampling Sense-Amplifier-Based Flip-Flop for High-Performance and Low-Power Application", *International Symposium on Integrated Circuits*, 2007. *ISIC '07*. pp. 204-207.
- [18] C. K. Teh, M. Hamada, T. Fujita, H. Hara, N. Ikumi, and Y. Oowaki, "Conditional Data Mapping Flip-Flops for Low-Power and High-Performance Systems," *IEEE Trans. Very Large Scale Integr. (VLSI) Syst.*, Vol. 14, No. 12, pp.1379-1383, December 2006.
- [19] J. Tschanz, S. Narendra, Z. Chen, S. Borkar, M. Sachdev, and V. De, "Comparative delay and energy of single edge-triggered and dual edge-triggered pulsed flip-flops for high-performance microprocessors," in *Proc. ISPLED*, 2001, pp. 207-212.
- [20] Fatemeh Aezinia, Sara Najafzadeh, and Ali Afzali-Kusha: "Novel High Speed and Low Power Single and Double Edge-Triggered Flip-Flops," *IEEE Asia Pacific Conference on Circuits and Systems*, Singapore, Jun 2006, pp.1383-1386.
- [21] M. Alioto, E. Consoli, and G. Palumbo, "Analysis and comparison in the energy-delay-area domain of nanometer CMOS flip-flops: Part I—Methodologies and design strategies," *IEEE Trans. Very Large Scale Integr. (VLSI) Syst.*, vol. 19, no. 5, pp. 725-736, May 2011.

This document was created with Win2PDF available at <http://www.daneprairie.com>.
The unregistered version of Win2PDF is for evaluation or non-commercial use only.