БГУИР

Кафедра ЭВМ

Отчет по лабораторной работе № 2

Тема: «Исследование работы коммутационных логических элементов»

Выполнил:

студент группы 150501 Ткаченко И.Д.

Проверил:

к.т.н., доцент Селезнёв И.Л.

Минск

2023

**1 ЦЕЛЬ РАБОТЫ**

Изучить работу коммутационных логических элементов.

**2 ИСХОДНЫЕ ДАННЫЕ К РАБОТЕ**

Лабораторная работа выполняется на лабораторных модулях dLab2, dLab3, dLab4, dLab5, dLab6, макетной плате лабораторной станции NI ELVIS.

В ходе выполнения работы будут выполнены следующие задачи:

1. Исследование работы шифратора, дешифратора, мультиплексора, сумматора, цифрового компаратора;

2. Построение таблиц истинности и диаграмм состояний для данных логических элементов.

Также будут решены следующие задачи:

1. Определение активного логического сигнала на входе управления «Е» для шифратора, дешифратора и мультиплексора;

2. Выявление условий, при которых на выходах шифратора G и E0 (групповой сигнал и разрешение от выхода соответственно) будут появляться активные низкие уровни;

3. Определение, является ли шифратор приоритетным;

4. Проверка полученных сумматором результатов сложения чисел;

5. Выявление способов использования входов для сравнения пятираз-рядных двоичных слов для цифрового компаратора К555СП1.

**3 ТЕОРЕТИЧЕСКИЕ СВЕДЕНИЯ**

**3.1 Шифратор**

**3.1.1 Определение**

Шифратором (Coder - CD) MxN называют комбинационное устройство с М входами и N выходами, преобразующее М-разрядный унитарный код в N-разрядный двоичный код.

**3.1.2 Классификация**

Шифраторы классифицируют по ряду признаков.

a) По числу входов различают:

1) Полные шифраторы, число входов которых М = 2N;

2) Неполные шифраторы, имеющих число входов М < 2N.

b) По уровням входных и выходных сигналов выделяют:

1) Шифраторы высокого уровня, активные сигналы на входах и выходах которых имеют уровень логической единицы;

2) Шифраторы низкого уровня, активные входные и выходные сигналы которых соответствуют уровню логического нуля.

c) По функциональной значимости входов шифраторы разделяют на:

1) Шифраторы с равнозначными функциями входов, в которых все входы равноценны и при подаче на любой из них активного уровня сигнала на выходе формируется двоичный код. В таких шифраторах нельзя подавать несколько входных сигналов одновременно от разных источников, т. е. должна соблюдаться очередность подачи сигналов от разных источников. Если на один из входов шифратора подан сигнал, остальные входы шифратора должны быть заблокированы;

2) Приоритетные шифраторы, в которых возможна одновремен-ная подача на входы сигналов от разных источников, однако только один из них, имеющий больший приоритет, выполнит функцию формирования выходного кода. Как правило, наивысший приоритет назначается входу с самым высоким порядковым номером.

**3.1.3 Входные и выходные данные**

На рисунке 3.1 приведено условное графическое обозначение приоритетного шифратора низкого уровня К555ИВ1.

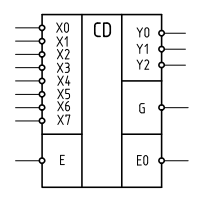


Рисунок 3.1 - Условное графическое обозначение шифратора К555ИВ1

Шифратор К555ИВ1 имеет следующий набор входных и выходных сигналов:

1. Восемь информационных входов ХО, Х1, ..., Х7;
2. Три информационных выхода Y0, Y1, Y2;
3. Вход разрешения работы данного шифратора E;
4. Выход разрешения работы шифраторов при каскадировании Е0;
5. Выходной сигнал группового переноса G.

**3.1.4 Принцип работы**

Работа шифратора разрешена при подаче нуля на вход разрешения E(EI) - enable input. При этом на выходах кода Y0, Y1, Y2 формируется инверсный двоичный код номера активной входной линии. При одновременном поступлении нескольких входных сигналов формируется выходной код, соответствующий входу с наибольшим номером. То есть старшие входы имеют приоритет перед младшими. Поэтому такой шифратор называется приоритетным. При отсутствии входных сигналов формируется выходной код 111. Единичный сигнал на входе Е запрещает работу шифратора (все выходные сигналы устанавливаются в единицу).

На выходе G вырабатывается нуль при приходе любого активного входного сигнала. Это позволяет отличить ситуацию поступления сигнала на вход Х0 от ситуации отсутствия сигналов на всех входах.

Выход ЕO (enable output) становится нулевым при отсутствии входных сигналов, если при этом разрешена работа шифратора нулевым сигналом на входе Е.

Работа устройства иллюстрируется в таблице 3.1.

Таблица 3.1 – Таблица состояний шифратора

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Входы | | | | | | | | Выходы | | | | | | |
| EI | Х7 | Х6 | Х5 | Х4 | ХЗ | Х2 | XI | ХО | Y2 | Y1 | Y0 | G | ЕО |
| 1 | × | × | × | × | × | × | × | × | 1 | 1 | 1 | 1 | 1 |
| 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 |
| 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 0 | 1 |
| 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | × | 1 | 1 | 0 | 0 | 1 |
| 0 | 1 | 1 | 1 | 1 | 1 | 0 | × | × | 1 | 0 | 1 | 0 | 1 |
| 0 | 1 | 1 | 1 | 1 | 0 | × | × | × | 1 | 0 | 0 | 0 | 1 |
| 0 | 1 | 1 | 1 | 0 | × | × | × | × | 0 | 1 | 1 | 0 | 1 |
| 0 | 1 | 1 | 0 | × | × | × | × | × | 0 | 1 | 0 | 0 | 1 |
| 0 | 1 | 0 | × | × | × | × | × | × | 0 | 0 | 1 | 0 | 1 |
| 0 | 0 | × | × | × | × | × | × | × | 0 | 0 | 0 | 0 | 1 |
| Примечание: символ × указывает на то, что состояние соответствующего сигнала не имеет значение, т.е. не влияет на состояние выходного кода. | | | | | | | | | | | | | |

Состояние выходных сигналов G и ЕO шифратора описывается уравнениями (3.1) и (3.2):

, (3.1)

. (3.2)

**3.1.5 Применение**

Стандартное применение шифраторов состоит в сокращении количества сигналов. Например, в случае шифратора К555ИВ1 информация о восьми входных сигналах сворачивается в три выходных сигнала. Это очень удобно, например, при передаче данных по информационным каналам.

Шифраторы также могут быть использованы при организации клавиа­туры для формирования кода нажатой клавиши. При этом каждому входу шифратора соответствует отдельная клавиша. Если ни одна из них не на­жата, об этом свидетельствует единичное значение сигнала G. При нажатии на какую-либо клавишу выход G переходит в нулевое состояние, а на информационных выходах формируется код нажатой клавиши. При использовании приоритетного шифратора в случае одновременном нажатии нескольких клавиш формируется код клавиши с наибольшим приоритетом.

**3.2 Дешифратор**

**3.2.1 Определение**

Дешифратором (Decoder — DC) M\*N называют комбинационное устройство с М входами и N выходами, преобразующее M-разрядный двоичный код в N-разрядный унитарный код. В дешифраторах высокого уровня унитарный код содержит единственную 1, в дешифраторах низкого уровня - единственный 0.

Максимальное число выходов N = соответствует всем возможным наборам сигналов на входе дешифратора или М-разрядным двоичным кодам. Дешифратор с максимальным числом N = выходов называется полным (М\*), а с числом выходов N < - неполным. Так, например, дешифратор, имеющий 4 входа и 10 выходов, будет неполным, а дешифратор, имеющий 2 входа и 4 выхода, будет полным.

На рисунке 3.2 приведено условное обозначение дешифратора 2x4 типа К531ИД14.

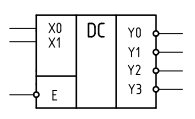


Рисунок 3.2 - Условное обозначение дешифратора 2x4

**3.2.2 Входные и выходные данные**

На входы Х0, X1, можно подать 4 комбинации логических уровней: 00, 01, 10, 11. Схема имеет 4 выхода, на одном из которых формируется нулевой сигнал, а на остальных единичный. Номер этого единственного выхода, на котором формируется нулевой уровень, соответствует числу M, определяемому состоянием входов Х0, X1, по формуле (3.3):

(3.3)

**3.2.3 Принцип работы**

Выходные сигналы дешифратора описываются соотношениями, представленными в формулах (3.4) – (3.7):

(3.4)

(3.5)

(3.6)

(3.7)

Помимо информационных входов Х0, XI дешифратор имеет дополнительные входы управления Е. Сигналы на этих входах, разрешают функционирование дешифратора или переводят его в пассивное состояние, при котором, независимо от сигналов на информационных входах, на всех выходах установится единичный сигнал. Можно сказать, что существует некоторая функция разрешения, значение которой определяется состояниями управляющих входов.

Разрешающий вход дешифратора может быть прямым или инверсным. У дешифраторов с прямым разрешающим входом активным уровнем является уровень логической единицы, у дешифраторов с инверсным входом - уровень логического нуля. Дешифратор, представленный на рисунке 3.3, имеет один инверсный вход управления.

Формирование выходных сигналов в этом дешифраторе с учетом сигнала управления описывается формулами (3.7) – (3.10):

(3.7)

(3.8)

(3.9)

(3.10)

Существуют дешифраторы с несколькими входами управления. Для таких дешифраторов функция разрешения, как правило, представляет собой конъюнкцию всех разрешающих сигналов управления. Например, для дешифратора КР555ИД7 с одним прямым входом управления E1 и двумя инверсными Е2 и ЕЗ функция Е рассчитывается по формуле (3.11):

(3.11)

Работа дешифратора описывается с помощью таблицы 3.2:

Таблица 3.2 – Таблица состояний дешифратора

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| Входы | | | Выходы | | | |
| Е | XI | Х0 | Y3 | Y2 | Y1 | Y0 |
| 1 | × | × | 1 | 1 | 1 | 1 |
| 0 | 0 | 0 | 1 | 1 | 1 | 0 |
| 0 | 0 | 1 | 1 | 1 | 0 | 1 |
| 0 | 1 | 0 | 1 | 0 | 1 | 1 |
| 0 | 1 | 1 | 0 | 1 | 1 | 1 |

**3.2.4 Применение**

Дешифраторы находят широкое применение в вычислительной технике. В составе компьютеров, например, дешифраторы позволяют адресоваться к определённому устройству, с которым в данный момент осуществляется обмен информацией. Для этого достаточно подключить вход разрешения работы этого устройства к соответствующему выходу дешифратора, а входы дешифратора использовать для задания адреса устройства.

**3.3 Мультиплексор**

**3.3.1 Определение**

Мультиплексором (Multiplexer - MUX) M×1 называют комбинационное устройство с M информационными (Х0, Х1, …, ХМ-1), К адресными (А0, А1, …, АК-1) входами и одним выходом (Y), которое осуществляет передачу сигнала с заданного адресным кодом информационного входа на его выход.

На рисунке 3.3 представлен мультиплексор 4×1 с инверсным входом разрешения Е и прямым выходом Y, представляющий собой половину микросхемы мультиплексора КР555КП2.

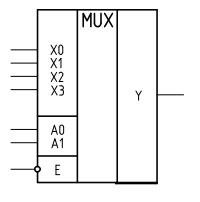


Рисунок 3.3 – Условное обозначение мультиплексора 4×1

**3.3.2 Входные и выходные данные**

Кроме информационных и адресных входов, мультиплексор содержит вход разрешения, при подаче на который активного уровня мультиплексор переходит в активное состояние. Если на вход разрешения подан пассивный уровень, мультиплексор перейдет в пассивное состояние, при котором сигнал на выходе сохраняет постоянное значение независимо от значений информационных и адресных сигналов.

В зависимости от соотношения числа информационных входов М и числа адресных входов К мультиплексоры делятся на полные и неполные. Если выполняется условие М = 2К, то мультиплексор будет полным. Если это условие не выполняется, т.е. М < 2К, то мультиплексор будет неполным.

**3.3.3 Принцип работы**

Выражение для выходной функции такого мультиплексора можно записать в виде выражения (3.12):

). (3.12)

Работа мультиплексора описывается таблицей 3.3.

Таблица 3.3 – Таблица истинности мультиплексора

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| Е | А1 | А0 | Х3 | Х2 | Х1 | Х0 | Y |
| 1 | × | × | × | × | × | × | 0 |
| 0 | 0 | 0 | × | × | × | 0 | 0 |
| 0 | 0 | 0 | × | × | × | 1 | 1 |
| 0 | 0 | 1 | × | × | 0 | × | 0 |
| 0 | 0 | 1 | × | × | 1 | × | 1 |
| 0 | 1 | 0 | × | 0 | × | × | 0 |
| 0 | 1 | 0 | × | 1 | × | × | 1 |
| 0 | 1 | 1 | 0 | × | × | × | 0 |
| 0 | 1 | 1 | 1 | × | × | × | 1 |
| Примечание: символ × указывает на то, что состояние соответствующего сигнала не имеет значение, т.е. не влияет на состояние входа. | | | | | | | |

**3.3.4 Применение**

Мультиплексоры нашли широкое применение в вычислительной технике в качестве коммутаторов цифровых сигналов. Они используются в компьютерах и микропроцессорных контроллерах для коммутации адресных входов динамических оперативных запоминающих устройств, в узлах объединения или разветвления шин и т.д.

На базе мультиплексоров можно построить различные комбинационные устройства с минимальным числом дополнительных элементов логики. Такой подход используется, например, в микросхемах в программируемой логикой – программируемых логических матрицах.

**3.4 Сумматор**

**3.4.1 Классификация**

Сумматоры предназначены для выполнения арифметических операций сложения и вычитания как двоичных, так и десятичных чисел. Ниже приведены основные классификационные признаки сумматора.

1. По виду выполняемой операции сумматоры делятся на:
2. Сумматоры, выполняющие сложение положительных чисел

(без учета знака числа);

2. Cумматоры, выполняющие операцию сложения положительных и отрицательных чисел. Такие устройства называют сумматорами- вычитателями. Они могут работать в режиме алгебраического (с учетом знака) суммирования и вычитания чисел.

1. По используемой системе счисления сумматоры подразделяются на:

1. Двоичные сумматоры, выполняющие операции над двоичными числами;

2. Десятичные сумматоры, выполняющие операции над десятичными числами.

1. По последовательности выполнения операции во времени выделяют:

1. параллельные сумматоры, в которых все разряды складываемых чисел подаются на входы сумматора одновременно. Такие сумматоры строятся на комбинационных устройствах и рассматриваются в дальнейшем;

2. последовательные сумматоры, на входы которых разряды складываемых чисел подаются последовательно во времени (разряд за разрядом). В них используются элементы памяти.

Среди двоичных сумматоров различают одноразрядные и многоразрядные сумматоры. Одноразрядные сумматоры служат основой для построения многоразрядных. Многоразрядные сумматоры подразделяются на сумматоры с последовательным и параллельным переносом.

**3.4.2 Определение**

Полным одноразрядным сумматором называют комбинационное устройство с тремя входами и двумя выходами, выполняющее сложение трех одноразрядных чисел по правилам двоичной арифметики.

Обозначение полного одноразрядного сумматора представлено на рисунке 3.4:

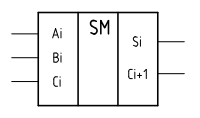


Рисунок 3.4 – Условное графическое обозначение полного одноразрядного сумматора

**3.4.3 Принцип работы**

На входы сумматора поступают сигналы Ai, Bi i-го разряда и сигнал Ci перенос из предыдущего разряда, с выхода снимается сигналы текущего разряда суммы S и переноса Ci+1 в следующий разряд. Работа одноразрядного полного сумматора описывается таблицей состояний (таблица 3.4).

Таблица 3.4 – Таблица состояний одноразрядного полного сумматора

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Входы | | | Выходы | |
| Ci | Bi | Ai | Ci+1 | Si |
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 | 1 |
| 0 | 1 | 0 | 0 | 1 |
| 0 | 1 | 1 | 1 | 0 |
| 1 | 0 | 0 | 0 | 1 |
| 1 | 0 | 1 | 1 | 0 |
| 1 | 1 | 0 | 1 | 0 |
| 1 | 1 | 1 | 1 | 1 |

Выходной сигнал переноса формируется в соответствии с выражением (3.13):

Для увеличения быстродействия многоразрядного сумматора применяется схема ускоренного переноса, которая в соответствии с состоянием сигналов на информационных входах и входного переноса формирует выходной сигнал переноса. Такой сумматор называется сумматором с параллельным переносом. На этом принципе построен четырехразрядный сумматор K155ИМ3 (рисунок 3.5).

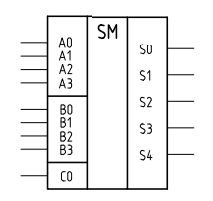


Рисунок 3.5 – Условное обозначение четырехразрядного сумматора

Путем соединения выводов переноса C0, C4 четырехразрядного сумматоров в последовательную цепь можно построить сумматоры с разрядностью 8, 12, 16 и т.д. Такой многоразрядный сумматор называется сумматором с последовательным групповым переносом.

**3.5 Компаратор**

**3.5.1 Определение**

Цифровым компаратором (comparator) называется комбинационное устройство, предназначенное для сравнения кодов двух двоичных чисел и формирования результата сравнения в виде цифровых сигналов. Условное графическое изображение компаратора приведено на рисунке 3.6.

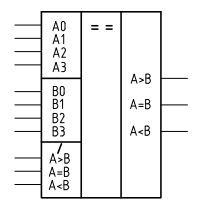


Рисунок 3.6 – Условно графическое изображение компаратора

**3.5.2 Классификация**

Компараторы делятся на две группы:

1. Схемы проверки равнозначности кодов;
2. Схемы сравнения кодов.

**3.5.3 Принцип работы**

Схемы проверки равнозначности кодов имеют на входе имеют на выходе две переменные A и B, каждая из которых содержит M двоичных разрядов, и один выход Y. При сравнении на равенство осуществляется поразрядное сравнение двух чисел, что позволяет затем сформировать на выходе всей схемы активный сигнал Y=1 при равенстве входных чисел. В этой таблице и являются i-тыми разрядами многоразрядных двоичных чисел A и B, а – результатом сравнения разрядов с номером i. Функционирование схемы по каждому разряду подчиняется таблице истинности (таблица 3.5).

Таблица 3.5 – Таблица истинности поразрядного сравнения

|  |  |  |
| --- | --- | --- |
|  |  |  |
| 0 | 0 | 1 |
| 0 | 1 | 0 |
| 1 | 0 | 0 |
| 1 | 1 | 1 |

Многоразрядные двоичные числа будут равны, если выполняется равенство в каждом разряде, то есть =1 для каждого разряда. Чтобы сформировать окончательный результат сравнения многоразрядных чисел достаточно вычислить конъюнкцию по формуле (3.14):

. (3.14)

Только при поразрядном равенстве выходной сигнал Y равен «1».

На рисунке 3.7 показана схема проверки на равенство, построенная на элементах «исключающее ИЛИ».

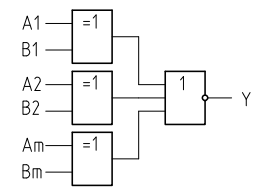


Рисунок 3.7 – Схема сравнения на равенство

Схемы сравнения выполняют более сложный логический анализ входных кодов и на выходе формируют три выходных сигнала, соответствующие результатам сравнения: A>B, A=B или A<B. Примером служит интегральная микросхема цифрового компаратора К555СП1.

Помимо восьми входов для сравниваемых кодов (два четырехразрядных слова, обозначаемых A0…A3 и B0…B3) компаратор К555СП1 имеет три управляющих входа для наращивания разрядности I(A<B), I(A<B), I(A=B) и три выхода результирующих сигналов (A>B), (A<B), (A=B). Работа четырехразрядного компаратора описывается таблицей истинности (таблица 3.6).

Таблица 3.6 – Таблица истинности четырехразрядного компаратора

|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Входы сравниваемых кодов | | | | Входы наращивания | | | Выходы | | |
| A3, B3 | A2, B2 | A1, B1 | A0, B0 | I(A>B) | I(A<B) | I(A=B) | A>B | A<B | A=B |
| A3>B3 | × | × | × | × | × | × | 1 | 0 | 0 |
| A3<B3 | × | × | × | × | × | × | 0 | 1 | 0 |
| A3=B3 | A2>B2 | × | × | × | × | × | 1 | 0 | 0 |
| A3=B3 | A2<B2 | × | × | × | × | × | 0 | 1 | 0 |
| A3=B3 | A2=B2 | A1>B1 | × | × | × | × | 1 | 0 | 0 |
| A3=B3 | A2=B2 | A1<B1 | × | × | × | × | 0 | 1 | 0 |
| A3=B3 | A2=B2 | A1=B1 | A0>B0 | × | × | × | 1 | 0 | 0 |
| A3=B3 | A2=B2 | A1=B1 | A0<B0 | × | × | × | 0 | 1 | 0 |
| A3=B3 | A2=B2 | A1=B1 | A0=B0 | 1 | 0 | 0 | 1 | 0 | 0 |
| A3=B3 | A2=B2 | A1=B1 | A0=B0 | 0 | 1 | 0 | 0 | 1 | 0 |
| A3=B3 | A2=B2 | A1=B1 | A0=B0 | × | × | 1 | 0 | 0 | 1 |
| A3=B3 | A2=B2 | A1=B1 | A0=B0 | 1 | 1 | 0 | 0 | 0 | 0 |
| A3=B3 | A2=B2 | A1=B1 | A0=B0 | 0 | 0 | 0 | 1 | 1 | 0 |

**3.5.4 Каскадирование компараторов**

В том случае, когда используется одиночная микросхема (разрядность входных кодов не более четырех), для ее правильной работы на вход I(A=B) следует подавать сигнал «1», а на выходы I(A>B) и I(A<B) – сигнал «0». Если сравниваются коды с разрядностью более четырех, то выходы компаратора младших разрядов подключаются к одноименным входам компаратора старших разрядов сравниваемых чисел. Выходами всего многоразрядного компаратора кодов являются выходы компаратора самых старших сравниваемых разрядов.

На рисунке 3.12 показана схема построения 12-разрядного компаратора на основе четырехразрядных компараторов.

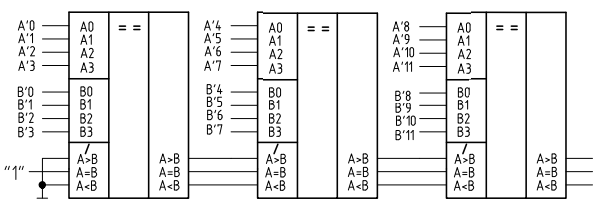


Рисунок 3.12 – Каскадирование цифровых компараторов

**3.5.5 Применение**

Основным применением цифровых компараторов в вычислительной технике является селектирование адреса, то есть сравнение цифрового кода на шине адреса с заданным базовым адресом. При их совпадении на выходе компаратора появляется сигнал, разрешающий работу адресуемого устройства.

**4 ВЫПОЛНЕНИЕ РАБОТЫ**

**4.1 Исследование работы шифратора**

**4.1.1** Установив на входе «Е» шифратора логический сигнал «0», а затем последовательно подавая на каждый информационный вход сигналы логической «1» и «0» получим таблицу истинности и диаграмму состояний.

Таблица истинности данного логического элемента представлена на рисунке 4.1.

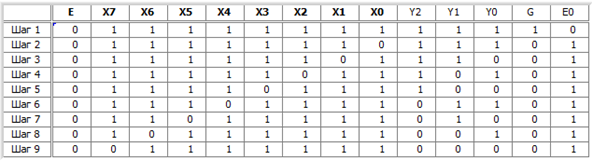


Рисунок 4.1 – Таблица истинности шифратора при Е = 0

Диаграмма состояний логического элемента изображена на рисунке 4.2.

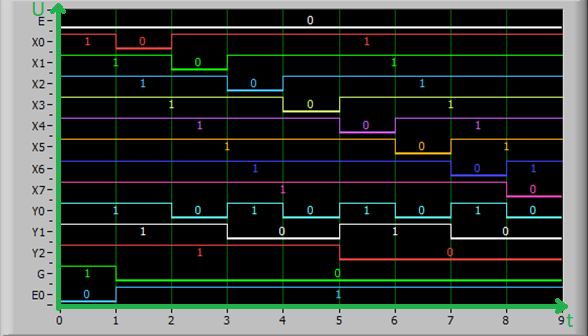


Рисунок 4.2 – Диаграмма состояний шифратора при Е=0

**4.1.2** Заменив значение «0» на значение «1» на входе «Е» шифратора, а затем последовательно подавая на каждый информационный вход сигналы «1» и «0» получим таблицу истинности и диаграмму состояний. Таблица истинности элемента представлена на рисунке 4.3.

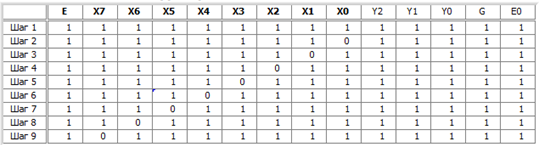


Рисунок 4.3 – Таблица истинности шифратора при Е = 1

Диаграмма состояний логического элемента изображена на рисунке 4.4.

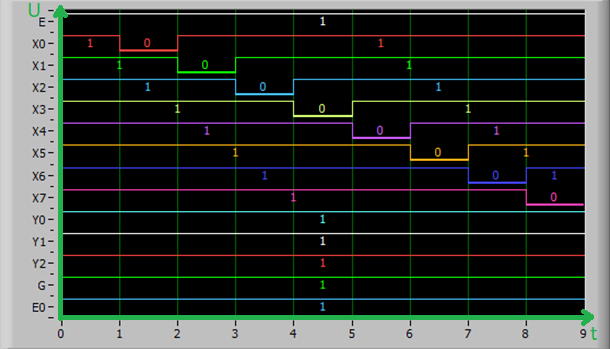


Рисунок 4.4 – Диаграмма состояний шифратора при Е=1

**4.1.3** По данным таблицам истинности и диаграммам состояний можно сделать вывод, что сигнал «0» является активным для данного шифратора.

**4.1.4** При подаче на вход «Е» и на входы «X0» и «X7» шифратора «0», видно, что шифратор приоритетный, наибольший приоритет имеет вход с большим индексом. Таблица истинности для представлена на рисунке 4.5.

****

Рисунок 4.5 – Таблица истинности для нахождения приоритетности шифратора

Диаграмма состояний изображена на рисунке 4.6

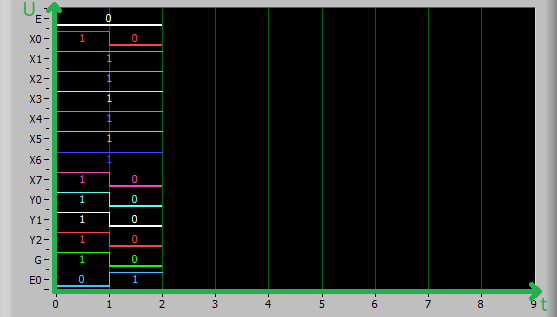


Рисунок 4.6 – Диаграмма состояний для нахождения приоритетности шифратора

**4.2 Исследование работы дешифратора**

**4.2.1** Последовательно изменяя входные значения на дешифраторе получим таблицу истинности и диаграмму состояний. Таблица истинности данного логического элемента представлена на рисунке 4.7.

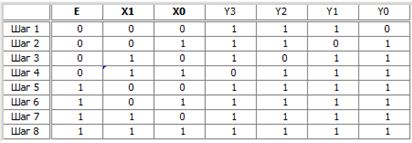


Рисунок 4.7 – Таблица истинности дешифратора

Диаграмма состояний изображена на рисунке 4.8.

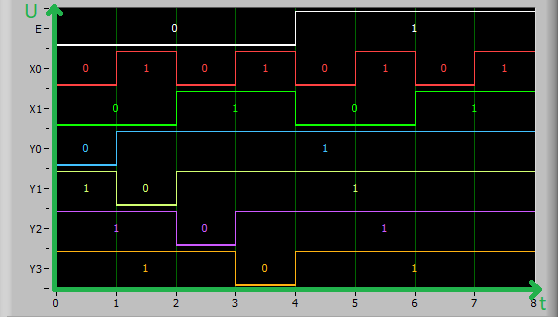


Рисунок 4.8 – Диаграмма состояний дешифратора

**4.2.2** По данным таблицам истинности и диаграммам состояний можно сделать вывод, что сигнал логического «0» является активным для данного шифратора.

**4.3 Исследование работы мультиплексора**

**4.3.1** Для каждого значения адресного и управляющего входа выбираем единственный информационный вход, с которого приходит активный сигнал на выход мультиплексора. Таким образом получаем таблицы истинности и диаграмму состояний мультиплексора.

Таблица истинности данного логического элемента представлена на рисунке 4.9.

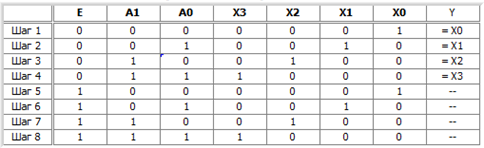
****

Рисунок 4.9 – Таблица истинности мультиплексора

Диаграмма состояний изображена на рисунке 4.10.

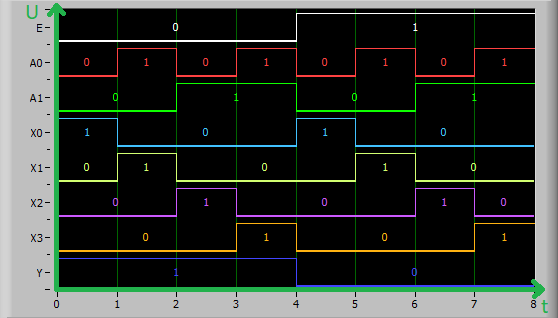
****

Рисунок 4.10 – Диаграмма состояний мультиплексора

**4.3.2** По таблицам истинности и диаграммам состояний можно сделать вывод, что сигнал «0» на входе Е является активным для мультиплексора.

**4.4 Исследование работы сумматора**

**4.4.1** Последовательно изменяя входные значения на сумматоре получим таблицу истинности и диаграмму состояний.

Таблица истинности данного элемента представлена на рисунке 4.11.

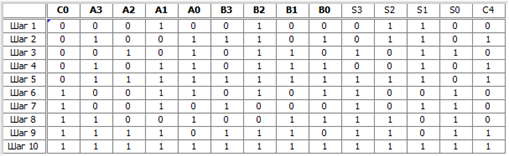


Рисунок 4.11 – Таблица истинности сумматора

Диаграмма состояний изображена на рисунке 4.10.

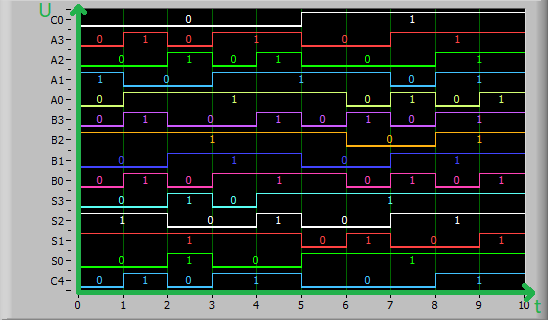


Рисунок 4.12 – Диаграмма состояний сумматора

**4.4.2** Полученные данные были проверены с помощью уравнения (4.1).

(4.1)

Результаты проверки представлены в формулах (4.2) – (4.11):

(4.2)

(4.3)

(4.4)

(4.5)

(4.6)

(4.7)

(4.8)

(4.9)

(4.10)

(4.11)

**4.5 Исследование работы цифрового компаратора**

**4.5.1** Последовательно изменяя входные значения на цифровом компараторе получим таблицу истинности и диаграмму состояний. Таблица истинности данного логического элемента представлена на рисунке 4.13.

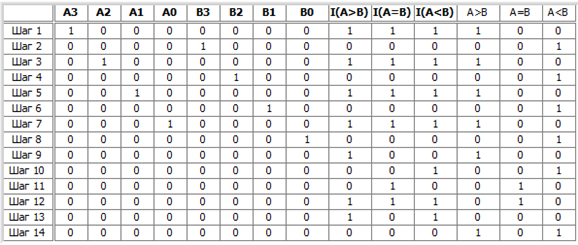


Рисунок 4.13 – Таблица истинности цифрового компаратора

Диаграмма состояний изображена на рисунке 4.14.

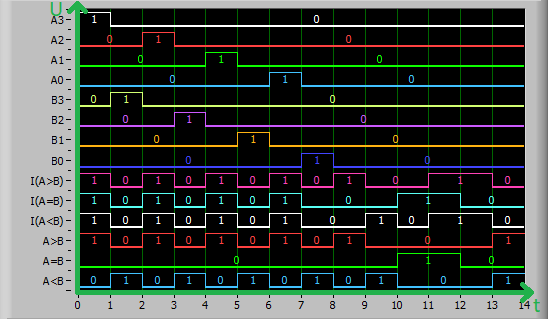


Рисунок 4.14 – Диаграмма состояний цифрового компаратора

**4.5.2** По данным таблицам истинности и диаграммам состояний можно сделать вывод, что для сравнения пятиразрядных двоичных чисел нужно использовать два логических элемента. Первый компаратор будет сравнивать младшие четыре разряда и передавать результат второму компаратору на одноименные входы. Второй компаратор будет анализировать результат сравнения первых четырех разрядов, а также пятый разряд двоичного числа. Таким образом результат сравнения будет сформирован на выходах второго компаратора.

**5 ВЫВОД**

Были получены знания о работе с учебными модулями dLab2, dLab3, dLab4, dLab5, dLab6. Были исследованы основные коммутационные узлы, построены их таблицы истинности и диаграммы состояний.

Для шифратора, дешифратора и мультиплексора были определены активные логические сигналы на входах управления «Е».

Были выявлены условия, при которых на выходах шифратора G и E0 (групповой сигнал и разрешение от выхода соответственно) будут появляться активные низкие уровни. Также было доказано, что данный шифратор является приоритетным.

При исследовании сумматора была проведена успешная проверка сложения двоичных чисел.

При изучении цифрового компаратора были выявлены способы использования входов для сравнения пятиразрядных двоичных слов компаратора К555СП1.