БГУИР

Кафедра ЭВМ

Отчет по лабораторной работе № 3

Тема: «Исследование работы триггеров»

Выполнил:

студент группы 150501 Ткаченко И.Д.

Проверил:

к.т.н., доцент Селезнёв И.Л.

Минск

2023

**1 ЦЕЛЬ РАБОТЫ**

Изучить работу RS-триггера, JK-триггера, D-триггера.

1. **ИСХОДНЫЕ ДАННЫЕ К РАБОТЕ**

Лабораторная работа выполняется на лабораторных модулях dLab7, dLab8, dLab9, макетной плате лабораторной станции NI ELVIS.

В ходе выполнения работы будут выполнены следующие задачи:

1. Изучение работы RS-триггера, изучение работы JK-триггера и D-триггера в статическом и динамическом режимах.

2. Построение таблиц истинности и диаграмм состояний для каждого триггера;

3. По результатам таблицы истинности и диаграммы состояний заполнение таблицы переходов для каждого триггера.

Также будут решены следующие задачи:

1. Выявление, при каких переключениях входных сигналов состояние RS триггера изменяется, а при каких – нет.

2. Определение, какие комбинации входных сигналов «J» и «K» для JK-триггера и входного сигнала «C» для D-триггера соответствуют режимам работы, и заполнение соответствующей таблицы для данных триггеров.

3. Для JK- и RS- триггеров определение активного уровня сигналов асинхронного управления триггером.

4. Определение, какие из входов «J», «K» и «C» JK-триггера и входов «D» и «C» D-триггера влияют на работу соответствующего триггера, если на вход «S» и «R» подан активный уровень сигнала асинхронного управления.

5. Сопоставление наблюдаемых временных диаграмм при установлении входов «S» и «R» в состояние 1 с таблицей истинности и таблицей переходов триггера.

6. Определение по временной диаграмме, по какому перепаду тактового импульса на входе «C» происходят переключения триггера.

**3 ТЕОРЕТИЧЕСКИЕ СВЕДЕНИЯ**

**3.1 RS-триггер**

**3.1.1 Определение**

Триггером называется простейшее устройство, имеющее два устойчивых состояния, переход между которыми происходит в результате процессов, обусловленных наличием в электрической цепи триггера цепей положительной обратной связи.

Два устойчивых состояния триггера обозначается: Q=1 и Q=0. В каком из этих состояний окажется триггер, зависит от состояния сигналов на входах триггера и от его предыдущего состояния, иными словами триггер имеет память. Можно сказать, что триггер является элементарной ячейкой памяти.

**3.1.2 Типы триггера**

Тип триггера определяется алгоритмом его работы. В зависимости от алгоритма работы, триггер может иметь установочные, информационные и управляющие входы. Установочные входы устанавливают состояние триггера независимо от состояния других входов. Входы управления разрешают запись данных, подающихся на информационные входы.

Если триггер не имеет входов синхронизации, то его называют асинхронным. В этом случае его поведение однозначно определяется в момент прихода активного сигнала на информационный вход. В зависимости от устройства входных цепей триггер будет изменять своё состояние или под действием уровня входного сигнала, или под действием фронта этого сигнала.

Если триггер имеет хотя бы один вход синхронизации, то он считается синхронным. У такого триггера имеются информационные входы, приём информации по которым происходит в момент активного состояния синхросигнала. При этом триггер может иметь и другие информационные входы, которые асинхронно определяют его поведение.

**3.1.3 Асинхронный RS-триггер**

На рисунке 3.1 приведена схема асинхронного RS-триггера, построенного на логических элементах И-НЕ.

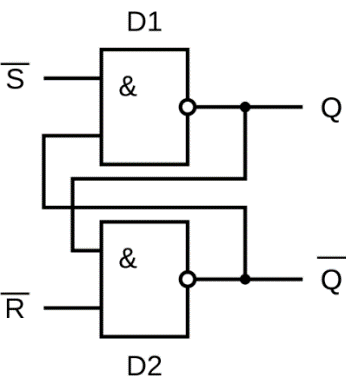


Рисунок 3.1 – Схема RS-триггера на логических элементах И-НЕ

Асинхронный RS-триггер является базовым при создании более сложных триггеров. В простейшем случае асинхронный RS-триггер имеет два входа: S (Set) – вход установки триггера в единичное состояние, R (Reset) – вход установки триггера в нулевое состояние. Активный сигнал по входу S в момент появления заставляет триггер перейти в единичное состояние. Активный сигнал по входу R в момент появления заставляет триггер перейти в нулевое состояние.

**3.1.4 Активный и пассивный уровни сигналов**

Будем считать выход элемента D1 прямым выходом триггера Q. По заданному положению прямого выхода определим положение входов установки триггера в нуль (R) и в единицу (S). Если предположить, что сигнал логической единицы присутствует на верхнем входе, то состояние выходного сигнала элемента D1 будет зависеть от сигнала на выходе элемента D2. Следовательно, единица на верхнем входе не заставляет схему непременно менять своё состояние. Это пассивный уровень сигнала на верхнем входе.

Если выход элемента D1 имеет нулевое состояние и на верхний вход поступит нулевой логический сигнал, то на выходе элемента D1 спустя время задержки одного элемента tзд появится логическая единица независимо от состояния сигнала на нижнем входе схемы. Сформированная на выходе D1 единица, поступая на верхний вход элемента D2 (при наличии единицы на нижнем его входе) приведёт к появлению нуля на выходе D2 спустя время задержки tзд. То есть через время 2tзд триггер перейдет в состояние «1».

Таким образом, активным сигналом на верхнем входе является «0», этот вход является входом установки S, поскольку приводит к появлению логической единицы на прямом выходе – Q. Поскольку схема симметрична, можно предположить, что нижний вход схемы является входом сброса триггера в нуль – R, причём активным сигналом для этого входа также является логический нуль. Временная диаграмма работы RS-триггера с учётом задержки сигнала в элементах показана на рисунке 3.2.

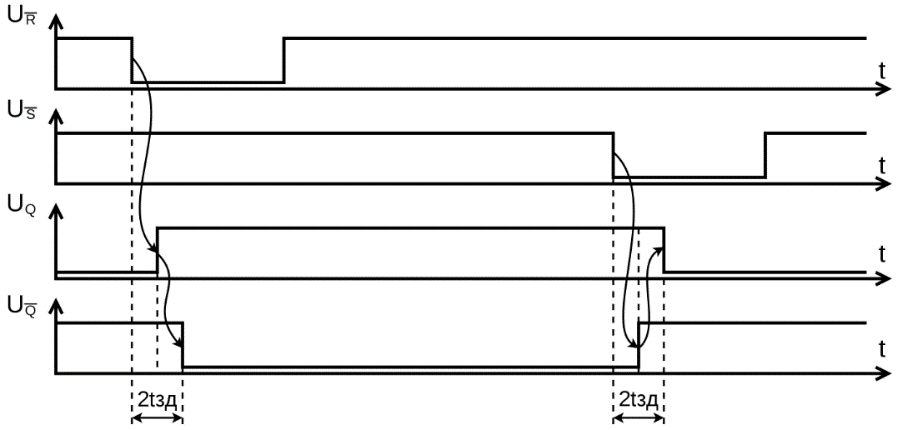


Рисунок 3.2 – Временная диаграмма работы RS-триггера

**3.1.5 Неопределенное состояние**

Для RS-триггера комбинация S=0 и R=0 является запрещенной. После такой комбинации информационных сигналов состояние триггера будет неопределенным: на его выходе Q может быть 0 или 1. Существуют разновидности RS-триггеров, называемые E-, R- и S-триггера, для которых сочетание S=R=1 не является запрещенным. Е-триггер при S=R=1 не изменяет своего состояния (Qn+1=Qn). S-триггер при S=R=1 устанавливается в состояние Q=1, а R-триггер устанавливается в состояние Q=0.

**3.1.6 Условное графическое обозначение**

На рисунке 3.3приведено условное графическое изображение RS-триггера, где символами инверсии показано, что активным сигналом для входов S и R является нулевой логический уровень.

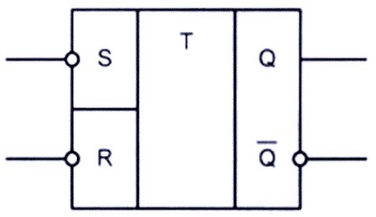


Рисунок 3.3 – Условное графическое обозначение асинхронного RS-триггера

Функционирование RS-триггера определяется уравнением (3.1), где Qn и Qn+1 – соответственно предыдущее и новое состояния триггера:

, (3.1)

**3.1.7 Описание поведения триггера**

Поведение триггера можно определить сокращённой таблицей истинности (смотреть таблицу 3.1), в которой на входах R и S определены для момента времени n, а состояние триггера определяется для следующего момента времени, который определяют как n+1.

Таблица 3.1 – Таблица истинности RS-триггера

|  |  |  |  |
| --- | --- | --- | --- |
| Sn | Rn | Qn+1 | Примечание |
| 0 | 0 | - | запрещено |
| 0 | 1 | 1 | запись единицы |
| 1 | 0 | 0 | запись нуля |
| 1 | 1 | Qn | хранение |

Поведение триггера также можно описать таблицей переходов (таблица 3.2). Эта таблица определяет значения сигналов на входах, при которых происходит переход триггера из исходного состояния Qn в состояние Qn+1. Исходное и конечное состояние триггера записаны, соответственно в столбцах Qn и Qn+1, а значения сигналов в момент времени «n» на его входах – в столбцах Sn и Rn.

Таблица 3.2 – Таблица переходов RS-триггера

|  |  |  |  |
| --- | --- | --- | --- |
| Qn | Sn | Rn | Qn+1 |
| 0 | 1 | × | 0 |
| 0 | 0 | 1 | 1 |
| 1 | 1 | 0 | 0 |
| 1 | × | 1 | 1 |
| Примечание: произвольное состояние сигнала помечено в таблице символом ×. | | | |

Рассмотрим принцип построения матрицы переходов для первой строки таблицы. Чтобы из нулевого исходного состояния триггер перешёл в нулевое, необходимо, чтобы состояние сигнала Sn на входе S было пассивным, а состояние сигнала на входе R не имеет значения. Это объясняется тем, что при пассивном сигнале на входе R триггер просто сохранит своё исходное состояние, а при активном сигнале на этом входе происходит запись нуля в триггер. Но при этом в любом случае конечное состояние триггера будет равным нулю, то есть будет равно требуемому значению.

**3.2 JK-триггер**

**3.2.1 Определение**

JK-триггер имеет два информационных входа J и K, предназначенные для установки его выхода в логическое состояние 1 или 0. В интегральной схемотехнике JK-триггеры обычно выполняются синхронными, поэтому сигналы на информационных входах влияют на состояние JK-триггера только при поступлении тактового сигнала на его вход синхронизации С.

**3.2.2 Схема триггера**

Схема состоит из основного RS-триггера на логических элементах D3, D4 и дополнительного – на логических элементах D7, D8. Логические элементы D1 и D2 обеспечивают синхронизацию основного триггера, а элементы D5 и D6 – синхронизацию дополнительного триггера. Основной триггер тактируется потенциалом логической 1, поступающим на вход С. Логический элемент D9 инвертирует тактовый сигнал, поэтому дополнительный триггер тактируется потенциалом логического 0. На рисунке 3.4 приведен один из вариантов построения синхронного двухступенчатого JK-триггера.

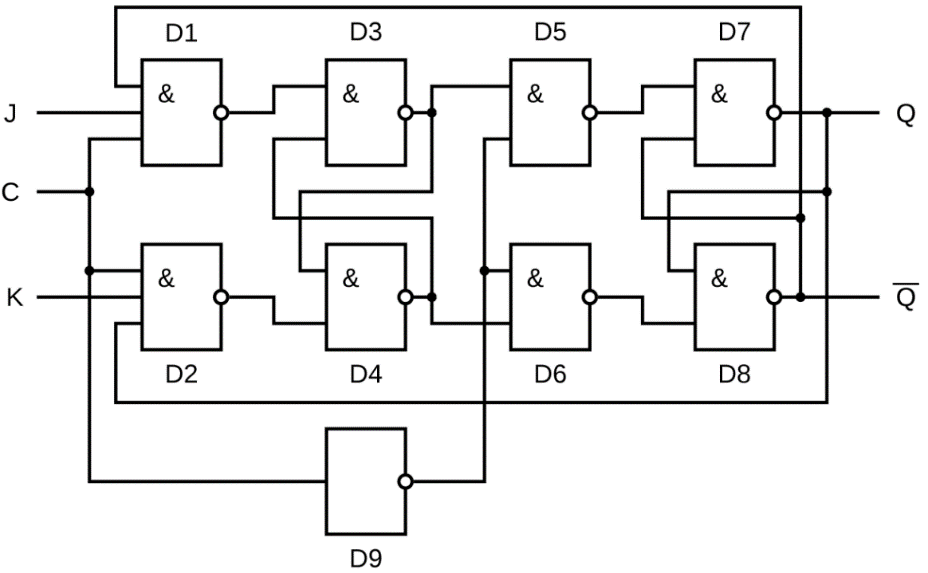


Рисунок 3.4 – Схема синхронного двухступенчатого JK-триггера

**3.2.3 Принцип работы**

Рассмотрим работу триггера при разных комбинациях входного сигнала. Пусть в исходном положении триггер находится в нулевом состоянии (Q=0). Тогда на одном из входов элементов D1 и D2 будут, соответственно, логическая 1 () и логический 0 (Q=0). При отсутствии входного тактового импульса, то есть при С=0, элементы D1 и D2 закрыты независимо от того, какие сигналы будут на остальных их входах.

Пусть на вход J подан сигнал логической 1 (J=1), а на входе K присутствует логический 0 (K=0). Тогда с приходом импульса синхронизации С=1 элемент D1 откроется, а элемент D2 останется закрытым. Одновременно с этим закроются оба элемента D5 и D6 сигналом логического 0, снимаемым с выхода инвертора D9. Сигнал логического нуля с выхода открытого элемента D1 установит основной триггер в состояние 1. Тогда на одном из входов элемента D5 будет сигнал логической 1, а на входе элемента D6 – сигнал логического 0. Эти сигналы никак не повлияют на состояние дополнительного триггера, так как во время действия импульса синхронизации С=1 элементы D5 и D6 закрыты нулевым потенциалом с выхода инвертора D9. По окончании импульса синхронизации элементы D1 и D2 закроются, а на выходе элемента D9 и, следовательно, входах элементов D5 и D6 появится логическая 1. Так как основной триггер находится в состоянии 1, то откроется элемент D5 и установит дополнительный триггер в состояние 1 (Q=1).

Аналогично можно показать, что при J=0 и K=1 с приходом импульса синхронизации, триггер установится в состояние логического нуля: Q=0. Таким образом, в триггере данного типа изменение выходного сигнала происходит только в моменты, когда потенциал на входе синхронизации С переходит из 1 в 0. Поэтому говорят, что эти триггеры тактируются срезом тактового импульса в отличие от триггеров, тактируемых потенциалом.

Временная диаграмма работы JK-триггера показана на рисунке 3.5.

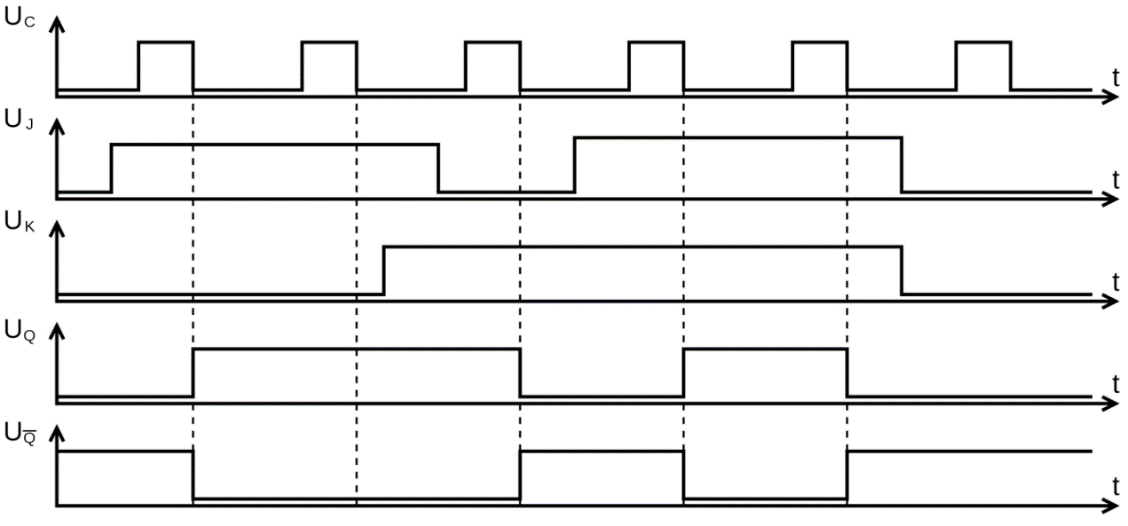


Рисунок 3.5 – Временная диаграмма работы JK-триггера

Функционирование JK-триггера определяется уравнением (3.2):

. (3.2)

**3.2.4 Описание поведения триггера**

Работа JK-триггеров описывается таблицей истинности (смотреть таблицу 3.3) и таблицей переходов (смотреть таблицу 3.4). Произвольное состояние сигнала помечено в таблице 3.4 символом ×.

Таблица 3.3 – Таблица истинности JK-триггера

|  |  |  |  |
| --- | --- | --- | --- |
| Jn | Kn | Qn+1 | Примечание |
| 0 | 0 | Qn | Хранение |
| 0 | 1 | 0 | запись нуля |
| 1 | 0 | 1 | запись единицы |
| 1 | 1 |  | счетный режим |

Таблица 3.4 – Таблица переходов JK-триггера

|  |  |  |  |
| --- | --- | --- | --- |
| Qn | Jn | Kn | Qn+1 |
| 0 | 0 | × | 0 |
| 0 | 1 | × | 1 |
| 1 | × | 1 | 0 |
| 1 | × | 0 | 1 |

В отличие от RS-триггера, в JK-триггере наличие J=K=1 приводит к переходу выхода Q триггера в противоположное состояние. Эта особенность JK-триггера используется на практике – при объединении входов J и K получается так называемый T-триггер, или счетный триггер, который изменяет состояние выхода по фронту импульса на входе С. Т-триггер может иметь подготовительный вход Т (точка объединения входов J и K). Сигнал на этом входе разрешает (при Т=1) или запрещает (при Т=0) срабатывание триггера от фронтов импульсов на входе С. Функционирование Т-триггера определяется уравнением (3.3):

. (3.3)

Из этого уравнения следует, что при Т=1 соответствующий фронт сигнала на входе С переводит триггер в противоположное состояние. Частота изменения потенциала на выходе Т-триггера в два раза меньше частоты импульсов на входе С. Это свойство Т-триггера позволяет строить на их основе двоичные счетчики. Поэтому эти триггеры и называют счетными. Счетный триггер без входа Т ведет себя так же, как и Т-триггер при Т=1.

**3.2.5 Условное графическое обозначение**

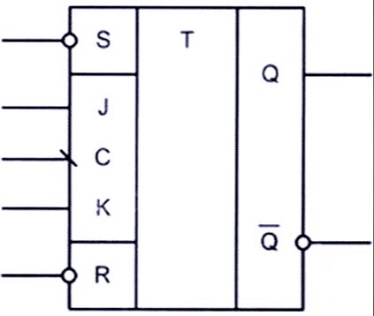


Рисунок 3.6 – Условное графическое обозначение JK-триггера

Чтобы расширить функциональные возможности JK-триггера, его снабжают асинхронными входами R и S, которые имеют приоритет по отношению к другим входам. На рисунке 3.6 представлен JK-триггер К555ТВ9. При подаче логического нуля на вход S триггер асинхронно устанавливается в единичное состояние, а при подаче логического нуля на вход R – в нулевое состояние.

**3.3 D-триггер**

**3.3.1 Определение**

D-триггер или триггер задержки (delay) относится к синхронным триггерам. При поступлении синхросигнала на вход С устанавливается в состояние, соответствующее потенциалу на входе D. Уравнение функционирования D-триггера определяется уравнением (3.4):

. (3.4)

Это уравнение показывает, что выходной сигнал Qn+1 изменяется не сразу после изменения входного сигнала D, а только с приходом синхросигнала, то есть с задержкой на один период импульсов синхронизации.

**3.3.2 Схема триггера**

Схема D-триггера с потенциальным управлением показана на   
рисунке 3.7. Основой D-триггера является асинхронный RS-триггер, выполненный на элементах D3 и D4.

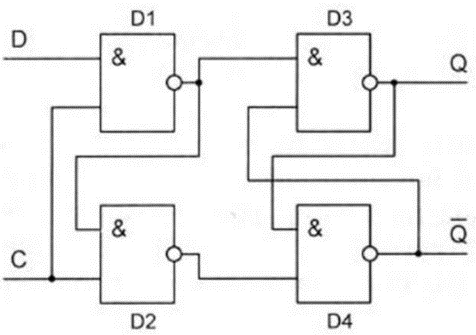


Рисунок 3.7 – Схема D-триггера с потенциальным управлением

**3.3.3 Принцип работы**

При С=0 триггер хранит информацию, поскольку на выходах D1, D2 присутствуют единицы, что соответствует пассивным сигналам асинхронного триггера D3, D4. При С=1 в триггер записывается состояние сигнала D. Если D=0, то на выходе D1 формируется единица, а на выходе D2 формируется нуль, что приводит к записи в триггер нуля.

**3.3.4 Описание поведения триггера**

Изменение состояния D-триггера при воздействии входных сигналов показано на временной диаграмме (смотреть рисунок 3.8).

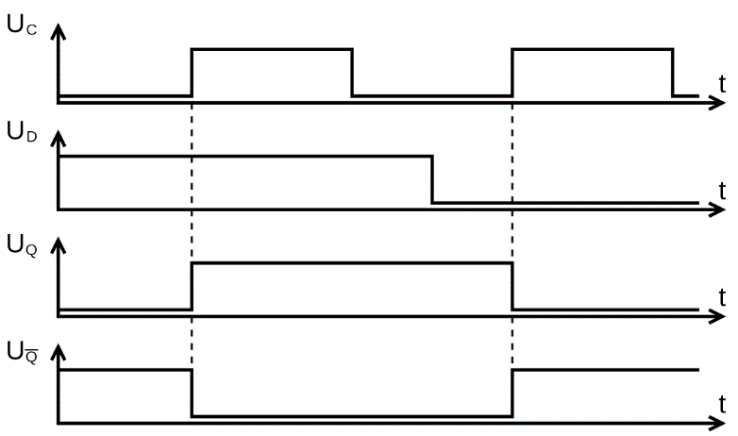


Рисунок 3.8 – Временная диаграмма работы D-триггера с потенциальным управлением

При активном синхросигнале нежелательно менять состояние сигнала на информационном входе D. В момент окончания действия активного синхросигнала происходит переход триггера из режима записи в режим хранения принятой информации. Триггера как бы защёлкивается в новом состоянии. Поэтому подобные триггеры иногда называют триггерами-защёлками.

При активном синхросигнале изменение состояния сигнала на входе D повторяется на выходе. То есть триггера превращается в повторитель входного сигнала. Этим фактом иногда пользуются, например, для повышения нагрузочной способности схемы.

Наряду с приведенным выше уравнением (3.4) поведение такого триггера можно описать таблицей истинности (смотреть таблицу 3.5) и таблицей переходов (смотреть таблицу 3.6).

Таблица 3.5 – Таблица истинности D-триггера

|  |  |
| --- | --- |
| Dn | Qn+1 |
| 0 | 0 |
| 1 | 1 |

Таблица 3.6 – Таблица переходов D-триггера

|  |  |  |
| --- | --- | --- |
| Qn | Dn | Qn+1 |
| 0 | 0 | 0 |
| 0 | 1 | 1 |
| 1 | 0 | 0 |
| 1 | 1 | 1 |

Из приведенных таблиц видно, что для D-триггера нет запрещённой комбинации сигналов на входах D и C.

**3.3.4 Особенность триггеров с динамическим управлением**

Особенностью триггеров с динамическим управлением является то, что они принимают информацию в течение короткого интервала времени вблизи активного фронта синхросигнала.

Пусть в исходном состоянии С=0 и D=0 (входы асинхронной установки S и R находятся в пассивном единичном состоянии и при анализе работы схемы не рассматриваются). Триггер сохраняет свое состояние. При этом на выходе элемента D2 присутствует логический нуль, в результате чего выход элемента D1 находится в единичном состоянии.

С приходом нарастающего фронта синхросигнала все входы элемента D3 имеют единичное состояние, что приводит, спустя время задержки элемента, к появлению логического нуля на его выходе. Этот нуль поступает на входы элементов D1 и D4, блокируя информационный вход триггера D, то есть спустя время задержки всего одного элемента после прихода фронта синхросигнала изменение сигнала D не вызывает изменение состояния триггера. При этом ноль на выходе D3 переводит выходной сигнал D5 в единицу, а D6 – в нуль.

Таким образом, после прихода синхросигнала произойдет переключение выходного сигнала триггера через интервал времени, равный утроенному времени задержки логического элемента.

Аналогично триггер ведёт себя при D=0, только в этом случае блокирование информационного сигнала происходит нулём с выхода элемента D4 на вход элемента D2.

Предложенный анализ работы входной логики триггера, выполненной на элементах D1, D2 показывает, что с появлением нарастающего фронта на входе синхронизации спустя время задержки всего одного элемента происходит блокирование информационного входа так, что изменение состояния сигнала после этого не приводит к изменению состояния триггера. Только с приходом следующего нарастающего фронта синхросигнала возможна запись в триггер нового состояния информационного сигнала.

На рисунке 3.9 показана схема D-триггера с динамическим управлением, которая реализована в составе микросхемы ТТЛ типа К555ТМ2.

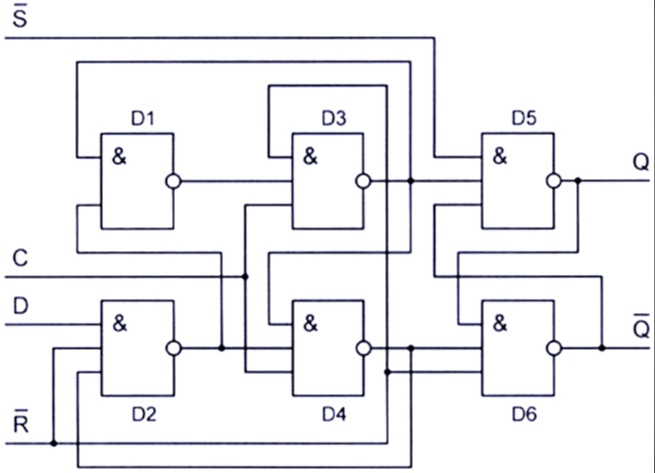


Рисунок 3.9 – Схема D-триггера с динамическим управлением

**3.3.5 Условное графическое изображение**

Наличие асинхронных входов расширяет функциональные возможности триггера. При подаче активного (в данном случае нулевого) сигнала на любой из асинхронных входов блокируется запись в триггер состояния информационного входа D.

Условное обозначение рассмотренного триггера с учётом асинхронных входов S и R представлено на рисунке 3.10.

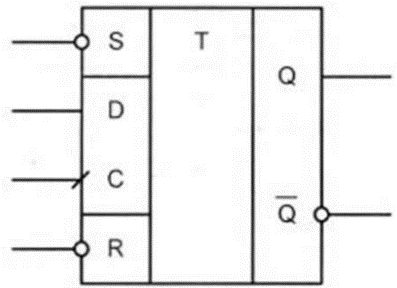


Рисунок 3.10 – Условное графическое обозначение D-триггера

**4 ВЫПОЛНЕНИЕ РАБОТЫ**

**4.1 Исследование работы RS-триггера**

**4.1.1** Главное окно программы для исследования работы RS-триггера представлено на рисунке 4.1, а в левом верхнем углу данного рисунка расположено условное графическое изображение электронного устройства.

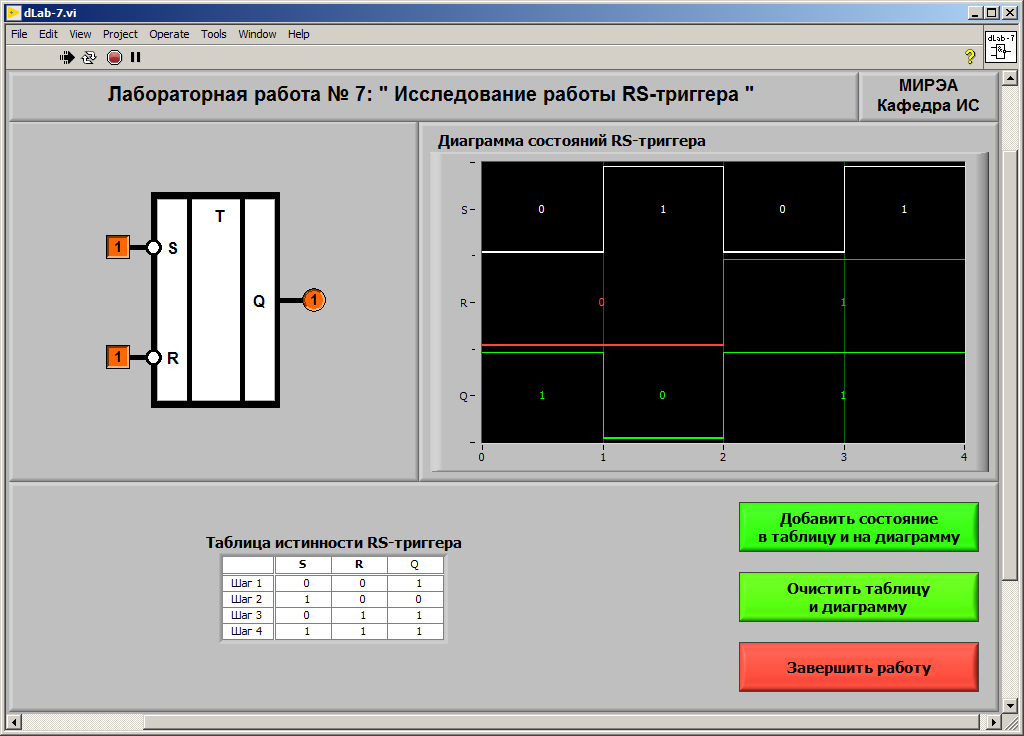


Рисунок 4.1 – Главная панель приложения

**4.1.2** Подавая на входы R(Reset) и S(Set) триггера всевозможные комбинации сигналов логических «0» и «1», получим таблицу истинности, представленную на рисунке 4.2, а также диаграмму состояний электронного устройства, изображенную на рисунке 4.3.

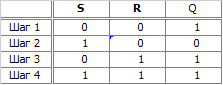


Рисунок 4.2 – Таблица истинности RS-триггера

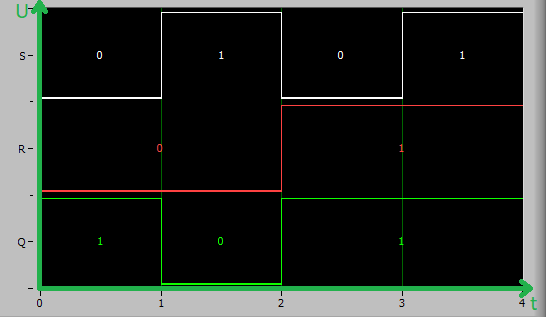


Рисунок 4.3 – Временная диаграмма состояний RS-триггера

**4.1.3** Построенная таблица переходов состояний RS-триггера изображена на рисунке 4.4.

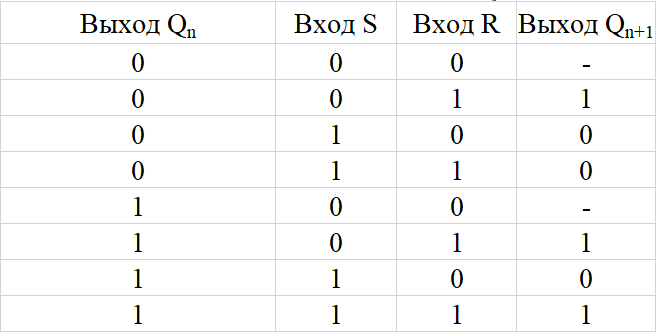
****

Рисунок 4.4 - Таблица переходов состояний RS-триггера

Рассмотрим принцип построения матрицы переходов для первой строки таблицы. Чтобы из нулевого исходного состояния триггер перешёл в нулевое, необходимо, чтобы состояние сигнала Sn на входе S было пассивным, а состояние сигнала на входе R не имеет значения. Это объясняется тем, что при пассивном сигнале на входе R триггер просто сохранит своё исходное состояние, а при активном сигнале на этом входе происходит запись нуля в триггер. Но при этом в любом случае конечное состояние триггера будет равным нулю, то есть будет равно требуемому значению.

**4.2 Исследование работы JK-триггера**

**4.2.1** Главное окно программы для исследования работы JK-триггера представлено на рисунке 4.5, а в левом верхнем углу рисунка находится

расположено условное графическое изображение электронного устройства.

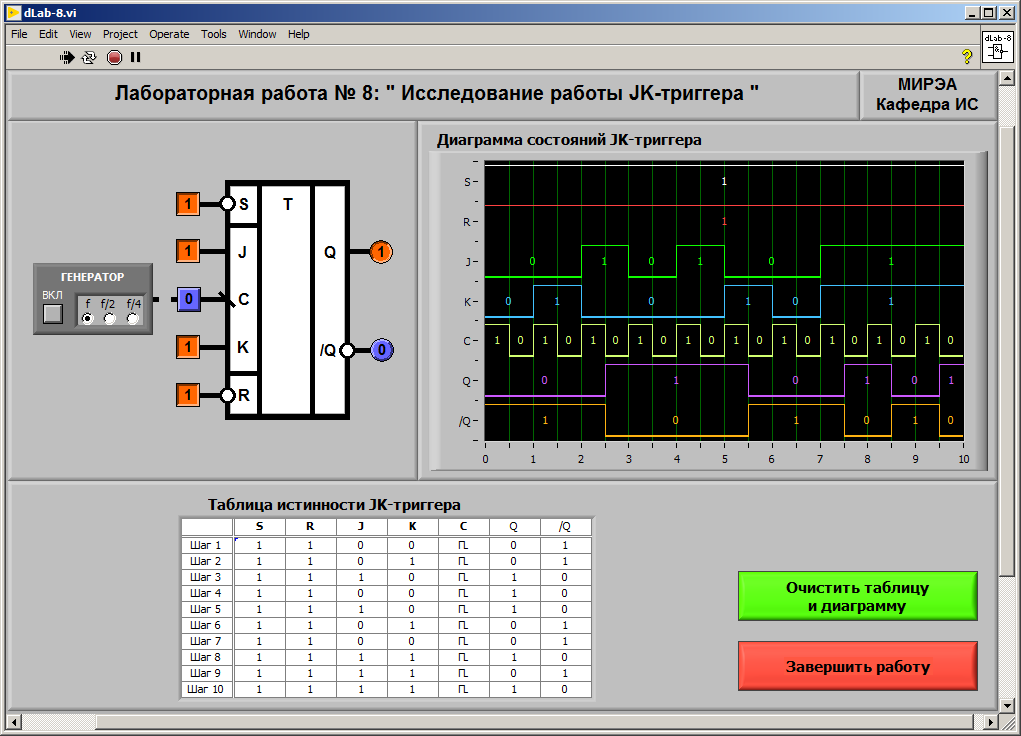


Рисунок 4.5 – Главная панель приложения

**4.2.2** Установив значения логической «1» на входах R и S JK-триггера, а также последовательно перебирая подаваемые значения на входы J и K электронного устройства получается таблица истинности и диаграмма состояний триггера, представленные на рисунках 4.6 и 4.7 соответственно.

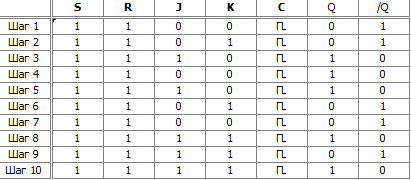


Рисунок 4.6 – Таблица истинности JK-триггера

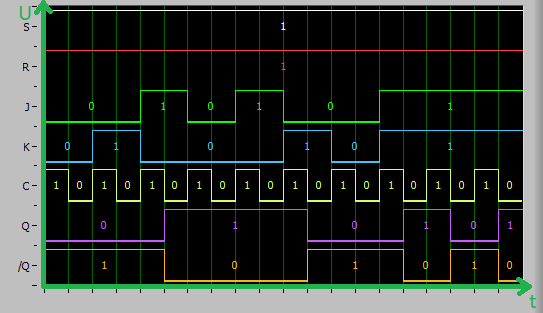
****

Рисунок 4.7 – Временная диаграмма состояний JK-триггера

**4.2.3** После анализа таблицы истинности и временной диаграммы состояний была построена таблица переходов, представленная на рисунке 4.8.

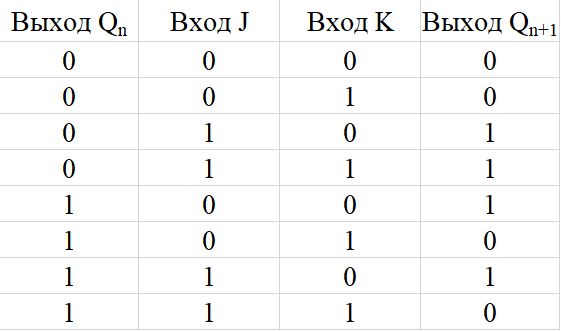


Рисунок 4.8 – Таблица переходов JK-триггера

**4.2.4** Проанализировав таблицу истинности и таблицу переходов электронного устройства можно сформировать таблицу режимов работы JK-триггера. Таблица представлена на рисунке 4.9.

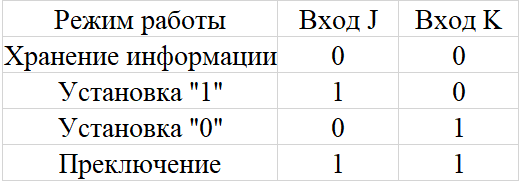


Рисунок 4.9 – Таблица режимов работы JK-триггера

**4.2.5** Изменяя логические состояния входов S и R триггера в динамическом режиме, можно определить активный уровень сигнала асинхронного управления триггером. Далее на рисунках 4.10, 4.11, 4.12, 4.13 представлены временные диаграммы с различными значениями S и R.

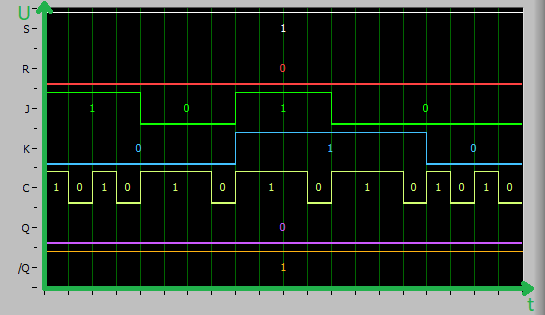
****

Рисунок 4.10 – Временная диаграмма JK-триггера в динамическом режиме при R = 0, S = 1

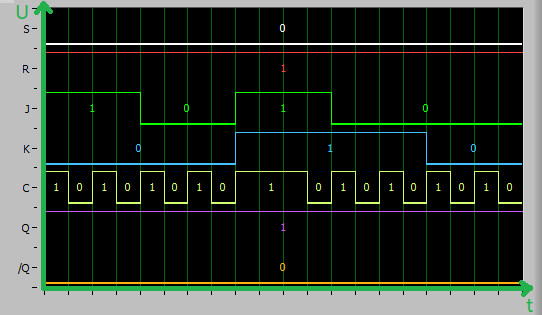


Рисунок 4.11 – Временная диаграмма JK-триггера в динамическом режиме при R = 1, S = 0

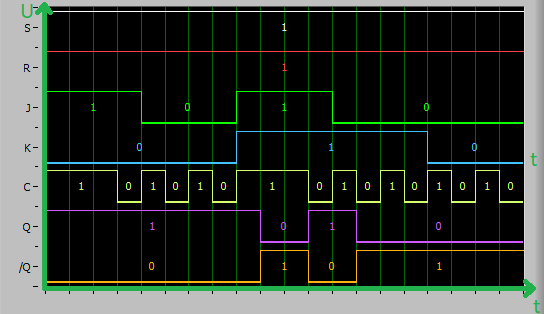


Рисунок 4.12 – Временная диаграмма JK-триггера в динамическом режиме при R = 1, S = 1

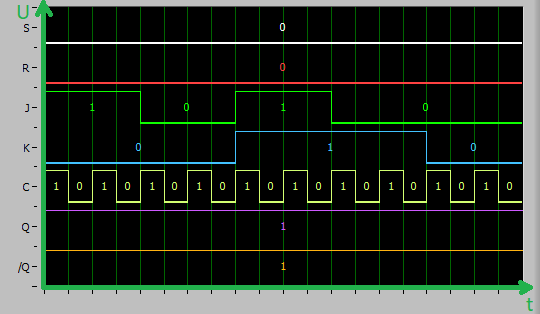


Рисунок 4.13 – Временная диаграмма JK-триггера в динамическом режиме при R = 0, S = 0

Проанализировав данные диаграммы, можно сделать вывод, что активным уровнем асинхронного управления для данного триггера является уровень логического «0».

**4.2.6**Проанализировав временные диаграммы, приведенные в предыдущем пункте, можно сказать, что при подаче активного уровня асинхронного управления на входы R и S, входы J, C и K не оказывают влияния на работу триггера

**4.2.7** Переключение JK-триггера происходит по перепаду тактового импульса C из единицы в ноль.

**4.3 Исследование работы D-триггера**

**4.3.1** Главное окно программы для исследования работы D -триггера представлено на рисунке 4.14, а в левом верхнем углу данного рисунка расположено условное графическое изображение электронного устройства.

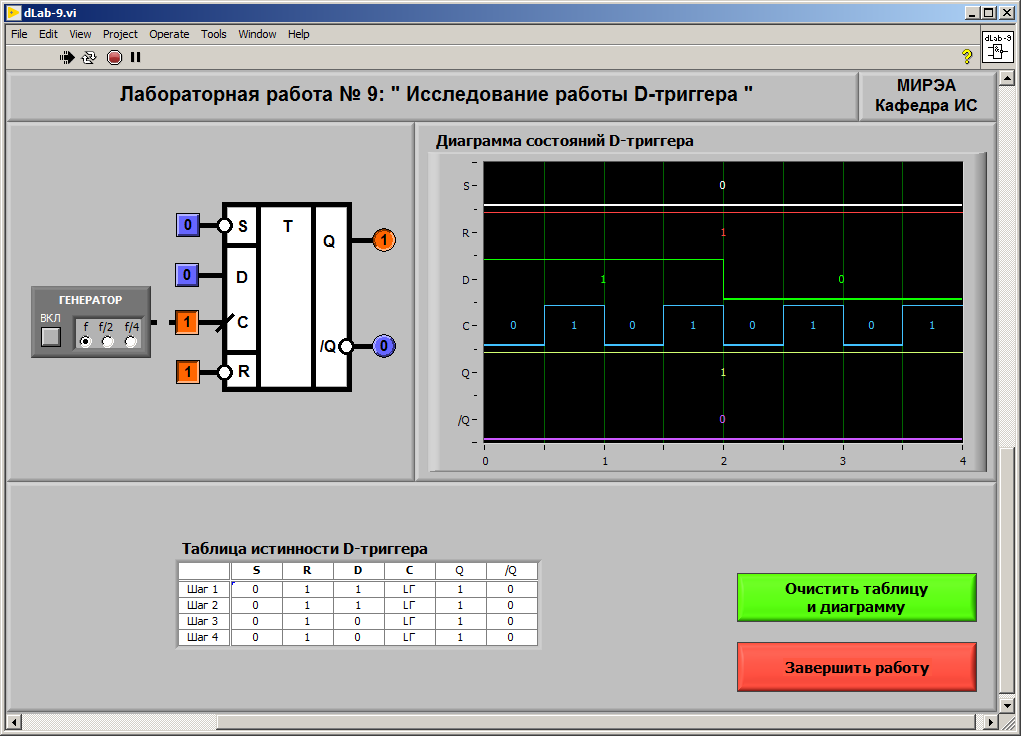


Рисунок 4.14 – Главная панель приложения

**4.3.2** Устанавливая на входах R и S сигналы «1» и последовательно изменяя сигнал D, получим таблицу и диаграмму состояний. Таблица истинности и диаграмма состояний представлены на рисунках 4.15 и 4.16.

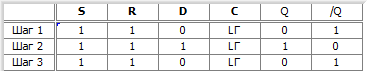


Рисунок 4.15 - Таблица истинности D-триггера

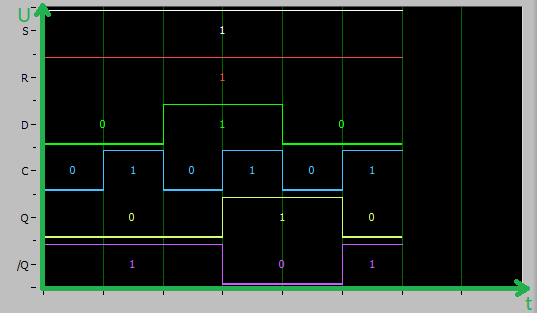


Рисунок 4.16 - Временная диаграмма состояний D-триггера

**4.3.3** После анализа таблицы истинности и временной диаграммы состояний триггера была построена таблица переходов, представленная на рисунке 4.17.

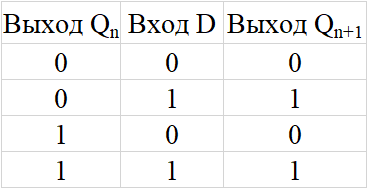
****

Рисунок 4.17 - Таблица переходов D-триггера

**4.3.4** Проанализировав таблицу истинности и таблицу переходов электронного устройства можно сформировать таблицу режимов работы D-триггера. Таблица представлена на рисунке 4.18.

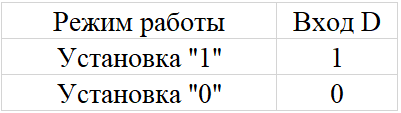


Рисунок 4.18 - Таблица режимов работы D-триггера

**4.3.5** Изменяя логические состояния входов S и R триггера в динамическом режиме, можно определить активный уровень сигнала асинхронного управления триггером.

Далее на рисунках 4.19, 4.20, 4.21, 4.22 представлены временные диаграммы электронного устройства с различными значениями S и R.

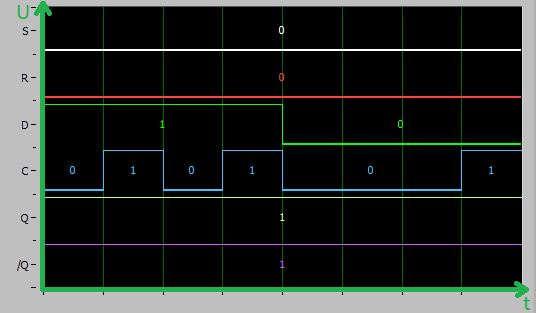


Рисунок 4.19 – Временная диаграмма D-триггера в динамическом режиме при R = 0, S = 0

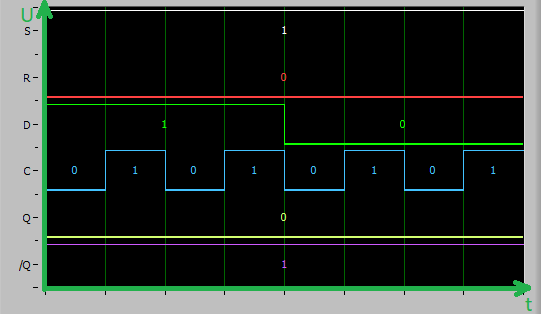


Рисунок 4.20 – Временная диаграмма D-триггера в динамическом режиме при R = 0, S = 1

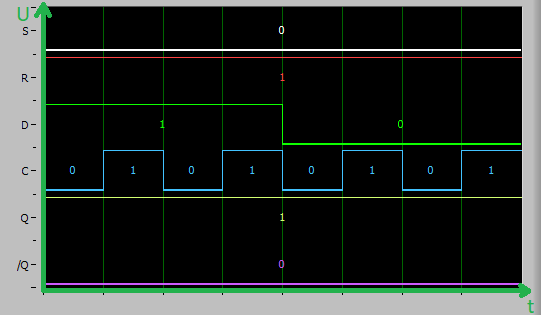


Рисунок 4.21 – Временная диаграмма D-триггера в динамическом режиме при R = 1, S = 0

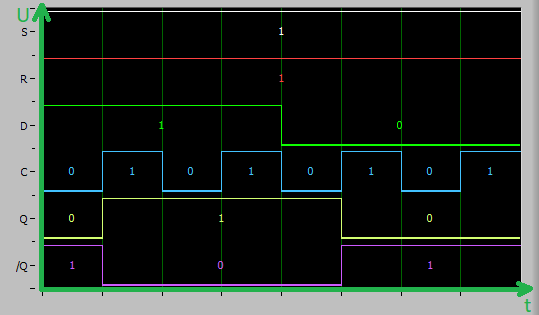


Рисунок 4.22 – Временная диаграмма D-триггера в динамическом режиме при R = 1, S = 1

**4.3.6**Проанализировав временные диаграммы, приведенные в прошлом пункте, можно сказать, что входы Cи D не влияют на работу триггера при подаче активного уровня сигнала асинхронного управления S и R.

**4.3.7** Переключение D-триггера происходит по перепаду тактового сигнала C из нуля в единицу.

**5 ВЫВОД**

Были получены знания о работе с учебными модулями dLab7, dLab8, dLab9. Были исследованы RS-триггер, JK-триггер и D-триггер, построены их таблицы истинности и диаграммы состояний.

Для RS-триггера было выяснено, при каких переключениях входных сигналов состояние триггера изменяется, а при каких - нет.

Для JK-триггера в статическом режиме по таблице истинности и таблицу переходов было определено, какие комбинации входных сигналов "J" и "K" соответствуют режимам работы JK-триггера.

Для JK-триггера в динамическом режиме был определен активный уровень сигналов для асинхронного управления, а также была исследована работа данного триггера в режиме асинхронного управления.

Для D-триггера в статическом режиме были определены значения входного сигнала "D", при которых происходит установка триггера в состояния "1" и "0", а в динамическом режиме был определен активный уровень сигналов асинхронного управления триггером, а также по какому фронту (переднему или заднему) происходят переключения триггера.