Министерство образования Республики Беларусь  
Учреждение образования Белорусский государственный университет  
информатики и радиоэлектроники

Кафедра ЭВМ

Отчет по лабораторной работе № 4

Тема: «Исследование работы регистров»

Выполнил:

студент группы 150501 Ткаченко И.Д.

Проверил:

к.т.н., доцент Селезнёв И.Л.

Минск

2023

1 ЦЕЛЬ РАБОТЫ

Изучить работу параллельного регистра и регистра сдвига.

**2 ИСХОДНЫЕ ДАННЫЕ К РАБОТЕ**

Лабораторная работа выполняется на лабораторных модулях dLab10, dLab11, макетной плате лабораторной станции NI ELVIS.

В ходе выполнения работы будут выполнены следующие задачи:

1. Изучение работы параллельного регистра и регистра сдвига в статическом и динамическом режимах.

2. Построение таблиц истинности и диаграмм состояний для каждого регистра в данных режимах.

3. Определение по диаграммам состояний, по какому перепаду на тактовом входе «С» происходят изменения состояний регистров в динамическом режиме.

Также будут решены следующие задачи:

1. Для параллельного регистра в режиме параллельной загрузки и хранения определение, при каких значениях сигналов «P1» и «P2» происходит параллельная загрузка регистра, а при каких состояние выхода регистра не изменяется.

2. Для параллельного регистра в режиме управления выходом регистра нахождение значений сигналов «E1» и «E2», при которых разрешено считывания состояния регистров с его выходов.

3. Для регистра сдвига в режимах сдвига влево и вправо, определение, в каких направлениях смещается логическая единица, записанная в регистр при первом такте.

4. Для регистра сдвига в режиме параллельной загрузки проверка соответствия, входных сигналов регистра Q0, Q1, Q2, Q3 сигналам на входах параллельной загрузки D0, D1, D2, D3.

5. Для регистра сдвига в режиме хранения подтверждение, что при значениях сигналов S0=0 и S1=0 и подаче импульса «С» регистр сохранит на выходе первоначальный код.

6. Составление сводной таблицы истинности регистра сдвига по результатам его исследования в статическом режиме.

3 ТЕОРЕТИЧЕСКИЕ СВЕДЕНИЯ

3.1 Параллельный регистр

Параллельные регистры — это устройства, предназначенныедля записи, хранения и выдачи информации, представленной в виде двоичных кодов. Для хранения каждого двоичного разряда в регистре используется одна триггерная ячейка.

Для запоминания многоразрядных слов необходимое число триггеров объединяют вместе и рассматривают как единый функциональный узел-регистр. Типовыми внешними связями регистра являются информационные входы D; вход сигнала записи С, вход гашения R*,* прямые и инверсные выходы триггеров Q. На рисунке 3.1 показана схема четырехразрядного регистра, выполненного на интегральных схемах К155ТМ5 и К155ЛИ1.

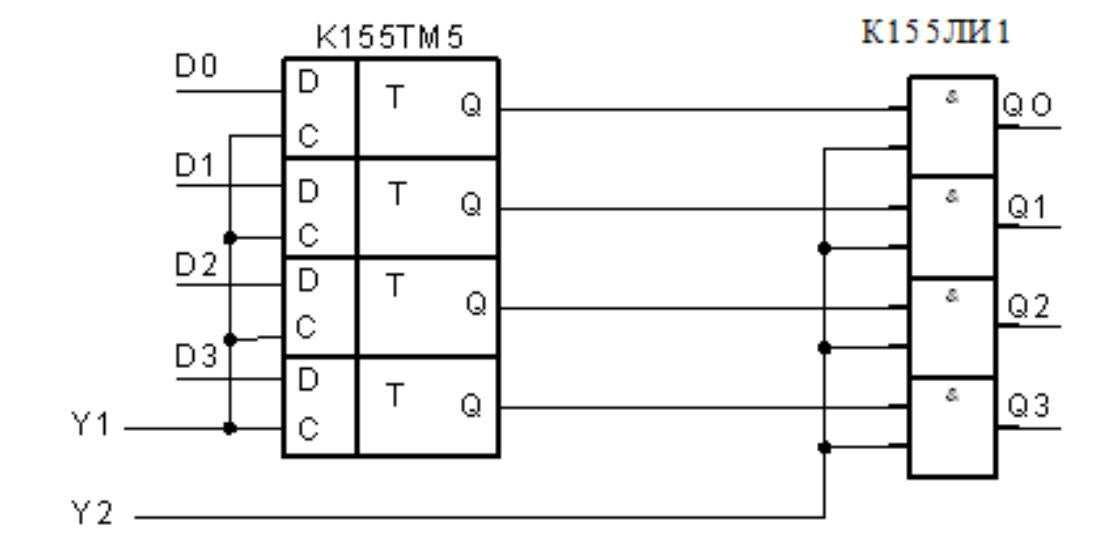


Рисунок 3.1 - Схема четырехразрядного регистра, выполненного на ИМС К155ТМ5 и К155ЛИ1

Условное изображение параллельного регистра представлено на рисунке 3.2.

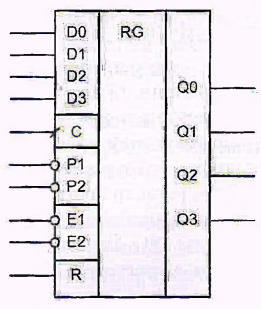


Рисунок 3.2 – Условное изображение параллельного регистра

Устройство имеет следующие входы: тактовый С, информационные D0-D3, управления загрузкой Р1 и Р2, сброса R и считывания выходных данных Е1 и Е2. Операция загрузки происходит синхронно с фронтом тактового импульса на входе С, если на входах Р1 и Р2 одновременно присутствует сигнал логического 0.

Хранящийся в регистре цифровой код может быть считан с выходов Q0-Q3, если на входы управления считыванием Е1 и Е2 одновременно подан сигнал логического 0. Выходными каскадами данной микросхемы являются буферные логические элементы с тремя логическими состояниями. Если хотя бы на одном из входов присутствует сигнал логической 1, выходы находятся в высокоимпедансном состоянии (Z-состояние) и считывание информации запрещено. Это позволяет подключать выходы регистра непосредственно к шине данных микропроцессорных устройств.

Режимы работы регистра К155ИР15 при различных значениях входных сигналов приведены в таблице 3.1. Символом × обозначено произвольное состояние сигнала. Символ ↑ обозначает фронт тактового сигнала.

Таблица 3.1 – Режимы работы параллельного регистра

|  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **Режим работы** | **Вход** | | | | | | | | **Выход** | |
| **E1** | **E2** | **R** | **C** | **P1** | **P2** | **Dn** | **Qn** | |
| Сброс | 0 | 0 | 1 | × | × | × | × | 0 | |
| Параллельная загрузка | 0 | 0 | 0 | ↑ | 0 | 0 | 0 | 0 | |
| 0 | 0 | 0 | ↑ | 0 | 0 | 1 | 0 | |
| Хранение | 0 | 0 | 0 | × | 1 | 0 | × | qn | |
| 0 | 0 | 0 | × | 0 | 1 | × | qn | |
| Запрет считывания | 1 | 0 | × | × | × | × | × | Z | |
| 0 | 1 | × | × | × | × | × | Z | |

3.2 Регистр сдвига

Регистр сдвига — это регистр, содержимое которого при подаче управляющего сигнала на тактовый вход С может сдвигаться в сторону старших или младших разрядов.

Условное графическое обозначение регистра сдвига из цепочки непрозрачных триггеров показана на рисунке 3.3.

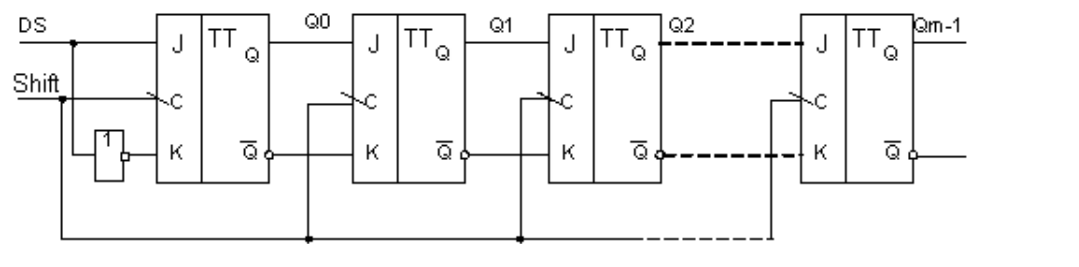


Рисунок 3.3 – Регистр сдвига из цепочки непрозрачных триггеров

Пусть на рисунке триггер Q0 – младший, Qm-1 – старший; вход каждого триггера (кроме Q0) подключен к выходу соседнего младшего триггера. Когда на все входы C триггеров поступает активный спад сигнала Shift, выход каждого триггера принимает состояние своего младшего соседа и, таким образом, информация, содержащаяся в регистре, сдвигается на один разряд в сторону старших разрядов, влево. Триггер Q0 принимает при этом состояние последовательного входа DS. Информация, поступившая на вход DS во время какого-либо такта, появится на выходе Qm-1 через m тактов.

Часто требуются более сложные регистры: с параллельной синхронной записью информации, реверсивные, с параллельно-последовательной записью. Такие регистры называются универсальными. Примером универсального регистра служит интегральная микросхема К555ИР11, условное графическое обозначение которой показано на рисунке 3.4.

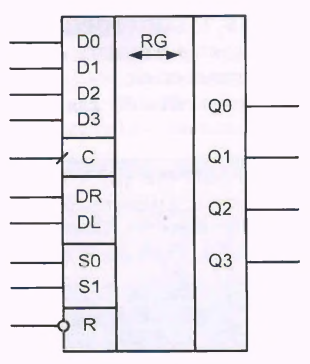


Рисунок 3.4 – Условное графическое обозначение регистра сдвига

Регистр К555ИР11 может работать в следующих режимах: сброс, хранение данных, сдвиг влево, сдвиг вправо, и параллельная загрузка. Микросхема имеет входы: тактовый (С), параллельной загрузки (DO – D3), выбора режима работы (S0 и S1), асинхронного сброса (R). Данные также могут поступать в регистр в последовательном коде на входы DL (при сдвиге влево) и DR (при сдвиге вправо). Все операции кроме сброса выполняются в регистре синхронно по фронту тактовых импульсов. Внутренний код регистра может быть прочитан на выходах Q0 – Q3. Указанные режимы представлены в таблице 3.2.

Таблица 3.2 – Режимы работы регистра сдвигов

|  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **Режим работы** | **Вход** | | | | | | | **Выход** | | | |
| **R** | **C** | **S1** | **S0** | **DR** | **DL** | **Dn** | **Q0** | **Q1** | **Q2** | **Q3** |
| Сброс | 0 | × | × | × | × | × | × | 0 | 0 | 0 | 0 |
| Хранение | 1 | × | 0 | 0 | × | × | × | q0 | q1 | q2 | q3 |
| Сдвиг влево | 1 | ↑ | 1 | 0 | × | 0 | × | q1 | q2 | q3 | 0 |
| 1 | ↑ | 1 | 0 | × | 1 | × | q1 | q2 | q3 | 1 |
| Сдвиг вправо | 1 | ↑ | 0 | 1 | 0 | × | × | 0 | q0 | q1 | q2 |
| 1 | ↑ | 0 | 1 | 1 | × | × | 1 | q0 | q1 | q2 |
| Параллельная загрузка | 1 | ↑ | 1 | 1 | × | × | dn | d0 | d1 | d2 | d3 |

Символом × обозначено произвольное состояние сигнала. Символ ↑ обозначает фронт тактового сигнала.

Области применения сдвиговых регистров весьма разнообразны. В двоичной арифметике сдвиг числа на один разряд влево соответствует умножению его на 2, а сдвиг на один разряд вправо – делению пополам. В аппаратуре передачи данных универсальные регистры преобразуют параллельный код в последовательный и обратно. Передача данных последовательным кодом по сравнению с параллельной передачей существенно экономит число линий связи, однако при этом увеличивается время обмена.

4 ВЫПОЛНЕНИЕ РАБОТЫ

4.1 Изучение работы параллельного регистра в статическом режиме

После установки лабораторного модуля dLab10 на макетную плату NI  
ELVIS и загрузки файла dLab10.vi на экране появляется изображение ВП,  
необходимого для выполнения работы, изображенное на рисунке 4.1.

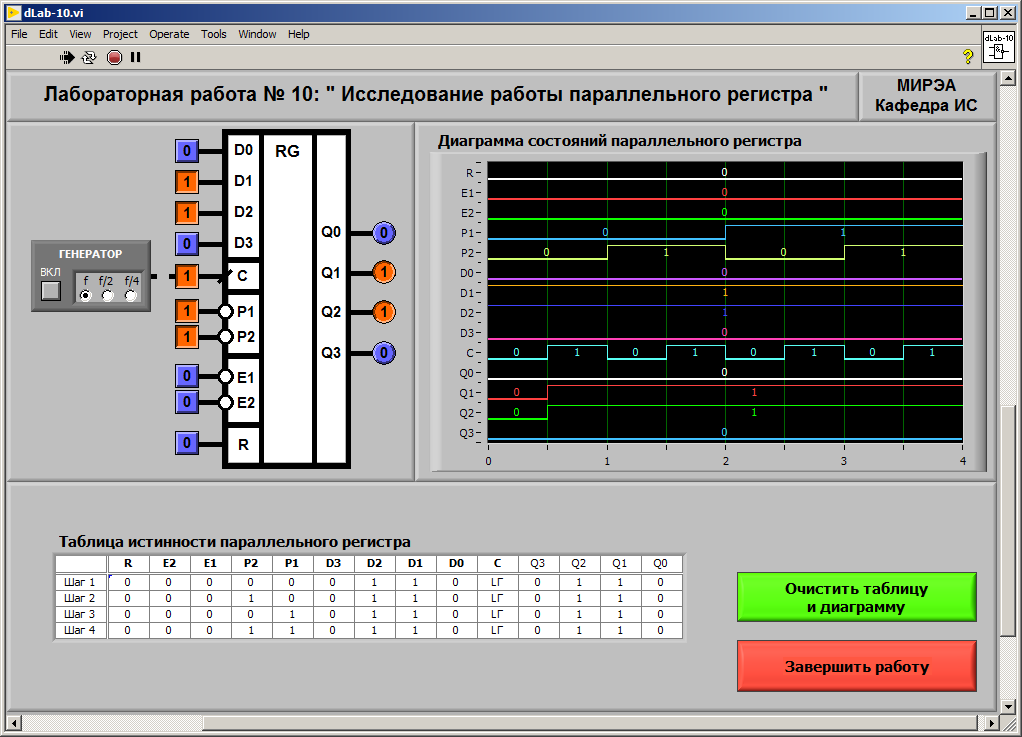


Рисунок 4.1 – Результат работы с параллельным регистром

Установив на входах параллельной загрузки и разрешения считывания выходного кода значения D0 = 0, D1 = 1, D2 = 1, D3 = 0, E1 = 0, E2 = 0 и подавая на входы управления загрузкой P1 и P2 различные комбинации сигналов, необходимо построить таблицу истинности и временную диаграмму для режима параллельной загрузки, и хранения. Таблица истинности представлена в таблице 4.1

Таблица 4.1 – Таблица истинности параллельного регистра



Временная диаграмма изображена на рисунке 4.2.

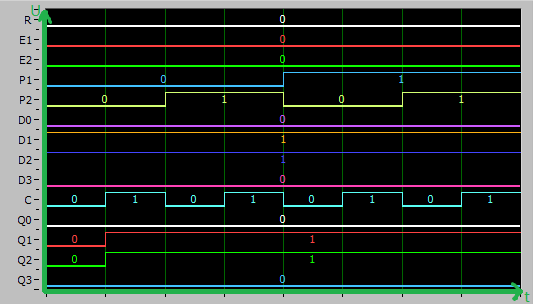
****

Рисунок 4.2 – Временная диаграмма параллельного регистра в режиме

параллельной загрузки и хранения

Исходя из полученных данных можно сделать вывод, что параллельная загрузка регистра происходит, если на входы P1 и P2 подан активный уровень сигнала равный нулю. Параллельный регистр работает в режиме хранения информации, если хотя бы на один из входов (P1или P2) подан неактивный уровень сигнала.

Теперь, установив на входах параллельной загрузки и управления загрузкой выходного кода значения D0 = 0, D1 = 1, D2 = 1, D3 = 0, P1 = 0, P2 = 0 и подавая на входы разрешения считывания E1 и E2 различные комбинации сигналов, необходимо построить таблицу истинности и временную диаграмму для режима управления выходом регистра. Таблица истинности представлена в таблице 4.2.

Таблица 4.2 – Таблица истинности параллельного регистра

****

Временная диаграмма изображена на рисунке 4.3.

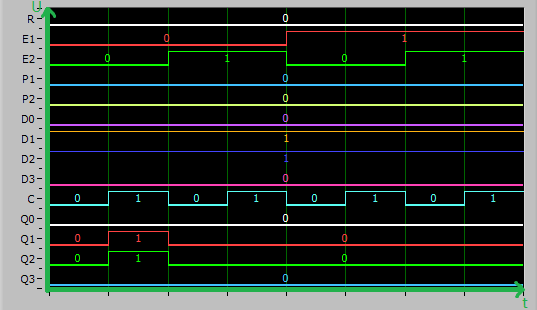


Рисунок 4.3 – Временная диаграмма параллельного регистра в режиме

управления выходом регистра

Изучив временную диаграмму, можно сказать, что считывание с выходов Q разрешено, если подан активный уровень сигнала на Е1 и Е2.

4.2 Изучение работы параллельного регистра в динамическом режиме

После изменения входных сигналов, соответствующих следующим режимам работы регистра: загрузка, запрет, хранение, сброс – была получена временная диаграмма, приведенная на рисунке 4.4.

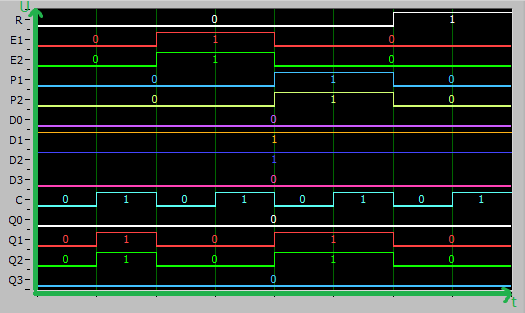
****

Рисунок 4.4 – Временная диаграмма параллельного регистра

Проанализировав полученную временную диаграмму параллельного регистра в динамическом режиме, можно сказать, что состояние регистра изменяется только при активном уровне сигнала на входах P1, P2, E1, E2, по переднему фронту импульса тактового сигнала С.

4.3 Изучение работы регистра сдвигов в статическом режиме

После установки лабораторного модуля dLab11 на макетную плату NI  
ELVIS и загрузки файла dLab11.vi на экране появляется изображение ВП,  
необходимого для выполнения работы, который изображен далее на рисунке 4.5.

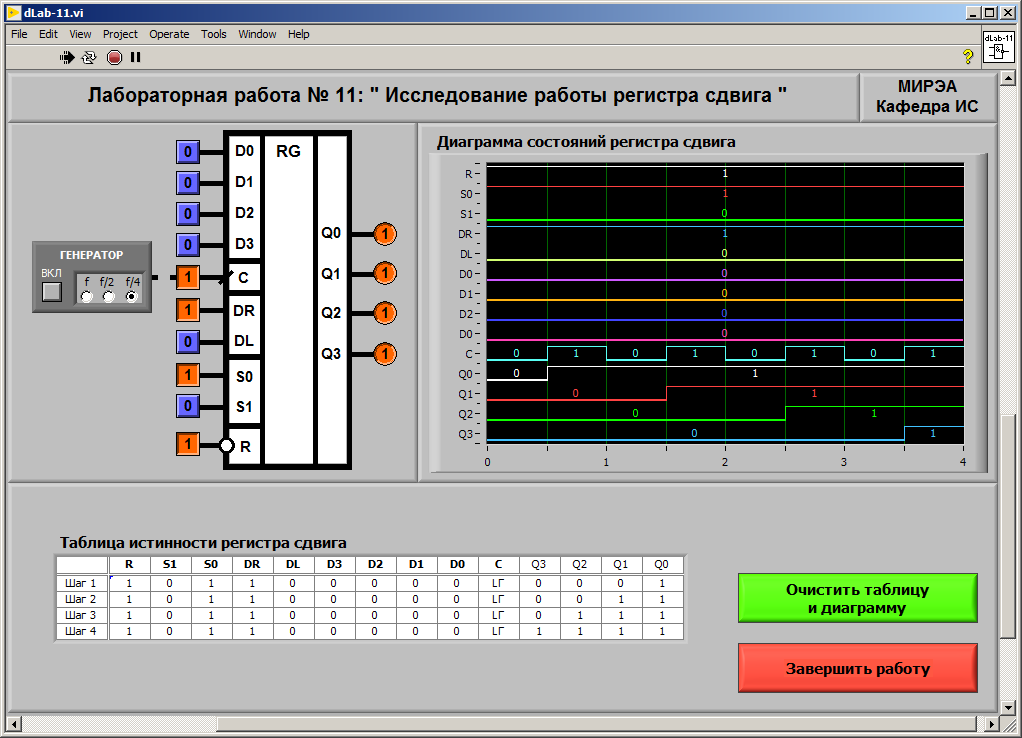
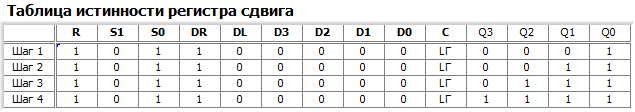


Рисунок 4.5 – Результат работы с регистром сдвига

Установив на входах выбора режима сигналы S0=1, S1=0, R=1, DR=1, нажмем и отпустим на кнопку, расположенную около входа «С». На индикаторах круглой формы, расположенных около выходов «Q0», «Q1», «Q2» и «Q3» регистра, будет отражено состояние выходных сигналов.

Теперь, установив на выходе последовательных данных «DR» логический сигнал «0» и повторив действия, описанные в предыдущем абзаце, три раза подряд, получим таблицу истинности и диаграмму состояний регистра сдвига. Таблица истинности представлена в таблице 4.3.

Таблица 4.3 – Таблица истинности регистра сдвига



Временная диаграмма изображена на рисунке 4.6.

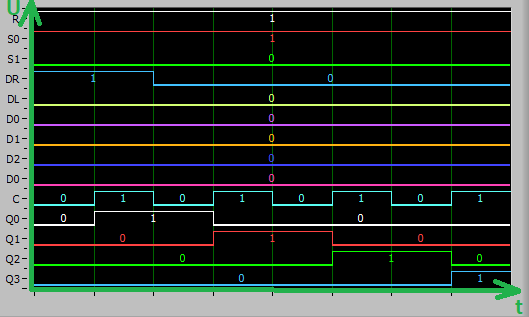


Рисунок 4.6 – Временная диаграмма регистра сдвига в режиме

сдвига вправо

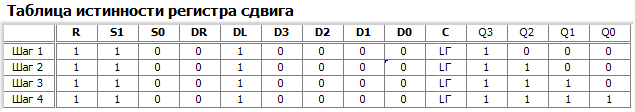
По полученной таблице истинности и диаграмме состояний определяем, что логическая единица, записанная на первом такте, смещается от Q0 к Q3.

Установим на входах выбора режима сигналы S0=0, S1=1, R=1, выполнив при этом сброс регистра сдвига, а после этого установим на входе последовательных данных «DL» логический сигнал «1».

Нажмем и отпустим на кнопку, расположенную около входа синхронизации «С». На индикаторах круглой формы, расположенных около выходов «Q0», «Q1», «Q2» и «Q3» регистра сдвига, будет отражено состояние выходных сигналов.

Теперь установив на выходе последовательных данных «DL» логический сигнал «0» и повторив действия, описанные в предыдущем абзаце, три раза подряд, получим таблицу истинности и диаграмму состояний регистра сдвига в режиме сдвига влево. Таблица истинности регистра сдвига в режиме сдвига влево представлена в таблице 4.4.

Таблица 4.4 – Таблица истинности регистра сдвига



Временная диаграмма изображена на рисунке 4.7.

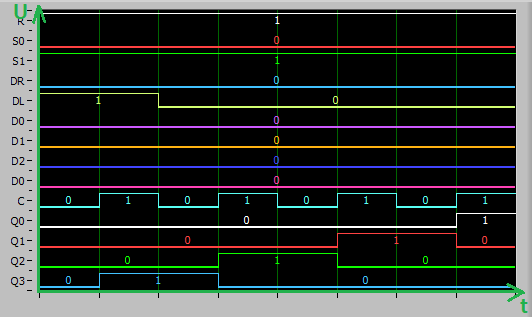


Рисунок 4.7 – Временная диаграмма регистра сдвига в режиме

сдвига влево

По полученной таблице истинности в таблице 4.4 и временной диаграмме, изображенной на рисунке 4.7 определяем, что логическая единица, записанная на первом такте, смещается от Q3 к Q0.

После этого установим на входах выбора режима следующие сигналы: S0=1, S1=1, R=1, выполнив при этом сброс исследуемого регистра сдвига в режиме параллельной загрузки.

Последовательно устанавливая на входах параллельной загрузки «D0», «D1», «D2» и «D3» значения сигналов, приведенные в таблице 4.1, и нажимая на кнопку, расположенную около входа синхронизации «С», получим таблицу истинности и временную диаграмму состояний регистра сдвига в режиме параллельной загрузки. Полученная таблица истинности представлена в таблице 4.5.

Таблица 4.5 – Таблица истинности регистра сдвигов

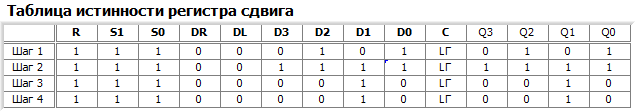


Диаграмма состояний изображена на рисунке 4.8.

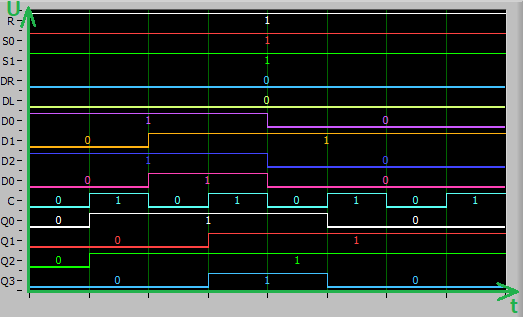


Рисунок 4.8 – Временная диаграмма регистра сдвига в режиме

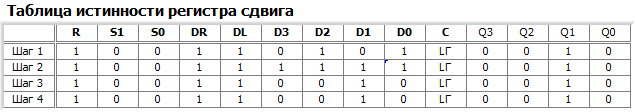
параллельной загрузки

Проанализировав полученные данные, видно, что выходные сигналы регистра Q0 – Q3 соответствуют сигналам на входах параллельной загрузки D0 – D3.

В режиме параллельной загрузки загрузим в регистр сдвига цифровой код 1010. После этого установим на входах выбора режима следующие сигналы: S0=0, S1=0, R=1 и на входах последовательных данных сигналы DR=1 и DL=1.

Устанавливая на входах параллельной загрузки «D0», «D1», «D2» и «D3» значения сигналов, приведенные в таблице 4.4, будем нажимать и отпускать кнопку, расположенную около входа «С». В итоге, получим таблицу истинности и диаграмму состояний регистра сдвига в режиме хранения. Таблица истинности регистра сдвига в режиме хранения представлена в таблице 4.6.

Таблица 4.6 – Таблица истинности регистра сдвига



Временная диаграмма изображена на рисунке 4.9.

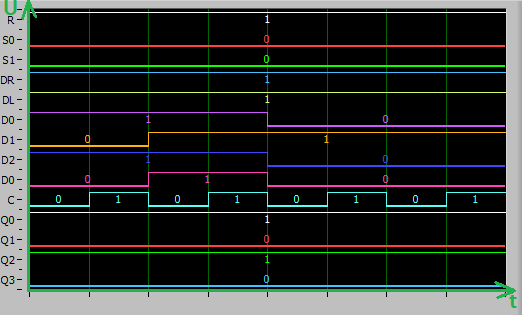


Рисунок 4.9 – Временная диаграмма регистра сдвига в режиме

хранения

Проанализировав полученные данные, видно, что при S0 = 0, S1 = 0 на выходах Q0 – Q3 сохраняются те же значения, что поступили на входы D0 – D3 с первым тактом на входе C.

На основе всех данных необходимо построить сводную таблицу истинности регистра сдвига. Она представлена в таблице 4.7.

Таблица 4.7 – Сводная таблица истинности регистра сдвига

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  |  |  |  | **Режим** |
| 0 | - | - | - | 0 | 0 | 0 | 0 | Сброс |
| 1 | 0 | 0 | - |  |  |  |  | Хранение |
| 1 | 0 | 1 | 0-1 |  |  |  | DR | Сдвиг влево |
| 1 | 1 | 0 | 0-1 | DL |  |  |  | Сдвиг вправо |
| 1 | 1 | 1 | 0-1 | D3 | D2 | D1 | D0 | Загрузка |

4.4 Изучение работы регистра сдвигов в динамическом режиме

Изменяя входные сигналы регистра, получим временную диаграмму состояний регистра сдвига, отражающую его работу в следующих режимах: сдвига вправо, сдвига влево, параллельной загрузки, сброса.

Полученная диаграмма изображена на рисунке 4.10.

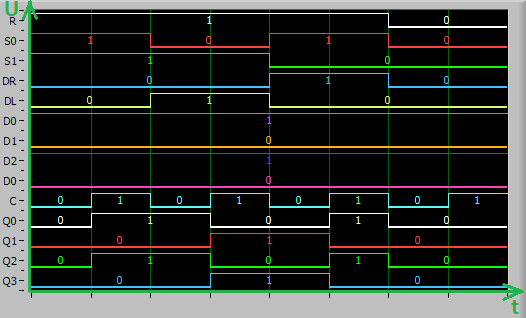


Рисунок 4.10 – Временная диаграмма регистра сдвига в

динамическом режиме

Из приведённой выше диаграммы видно, что состояние регистра изменяется по переднему фронту импульса тактового сигнала С.

5 ВЫВОД

Были получены знания о работе с учебными модулями dLab10, dLab11.

Были исследованы параллельный регистр и регистр сдвига в статическом и динамическом режимах, построены их таблицы истинности и диаграммы состояний для данных режимов.

В статическом режиме параллельного регистра были исследованы режим параллельной загрузки и хранения, а также режим управления выходом регистра, было установлено, каким значениям входов «R», «P1», «P2, «E1», «E2» соответствуют данные режимы регистров.

В статическом режиме регистра сдвига были изучены режимы сдвига вправо и влево, режим параллельной загрузки и режим хранения, было установлено, каким значениям входов «DR», «DL», «S0, «S1», «L» соответствуют данные режимы регистров.

В динамическом режиме для обоих регистров по полученным диаграммам состояний было определено, по какому перепаду на тактовом входе «С», а также при каких значениях управляющих сигналов происходят изменения состояний данных регистров.