

# בניית מקבץ האוגרים

ארגון המחשב ושפת סף

מרצה: רועי אש

**אפקה**

המכללה האקדמית  
להנדסה בתל אביב

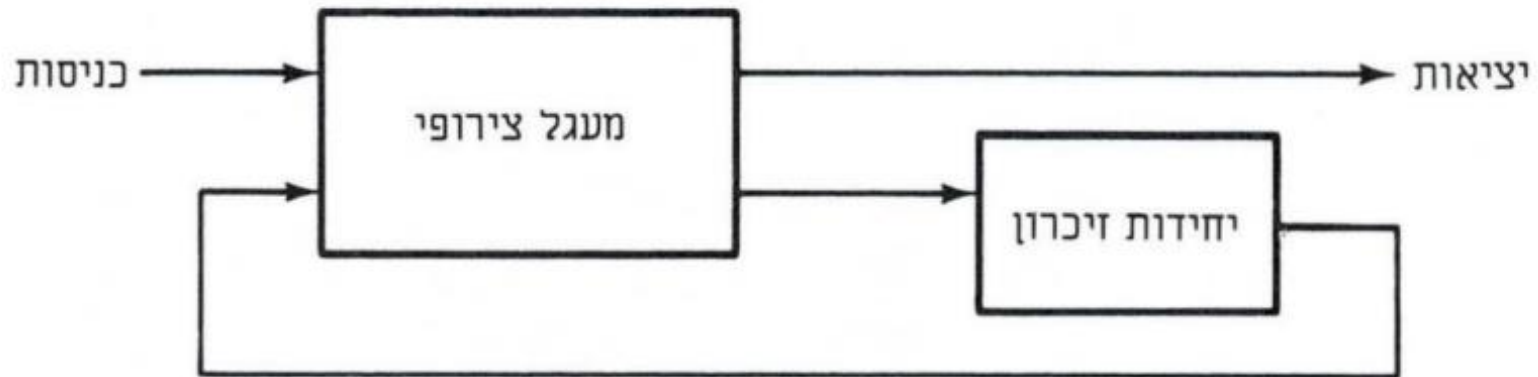


# ***The Registers File***

- Modern digital systems are based on logic with *state variables*, which are changed according to a *clock*.
  - The system consists of two types of logic -- *combinational* and *sequential*.
  - Sequential logic contains *state elements* or *memory elements*.

**register file:** A state element that consists of a set of registers that can be read and written by supplying a register number to be accessed.

# דיאגרמת בלוקים של לוגיקה סדרתית



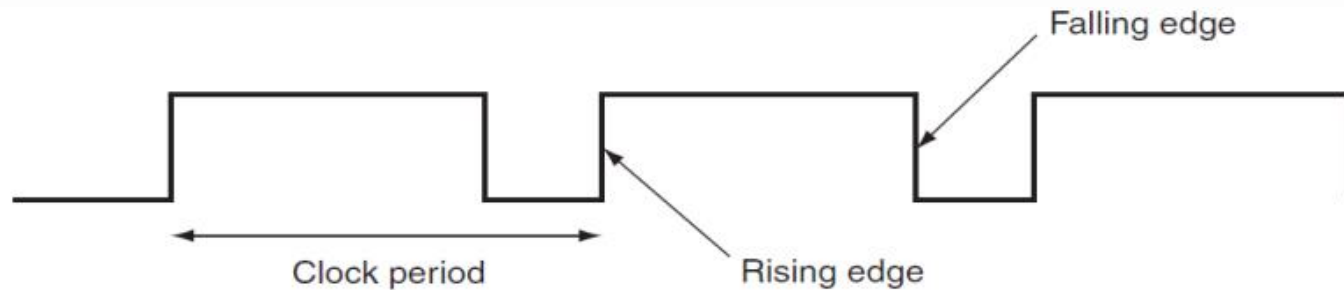
- מעגל סדרתי מוגדר באמצעות סדרת כניסות, יציאות ומצבים פנימיים, והשינוי שהם עוברים הוא על ציר הזמן
- **מעגלים סדרתיים סינכרוניים** – מערכות אלו משתמשות **בשעון** כדי לבצע את הסנכרון.

שקף 3

קורס: ארגון המחשב ושפת סף

נושא: בניית מקבץ האוגרים

# השעון במחשב – מווסת את קצב העבודה

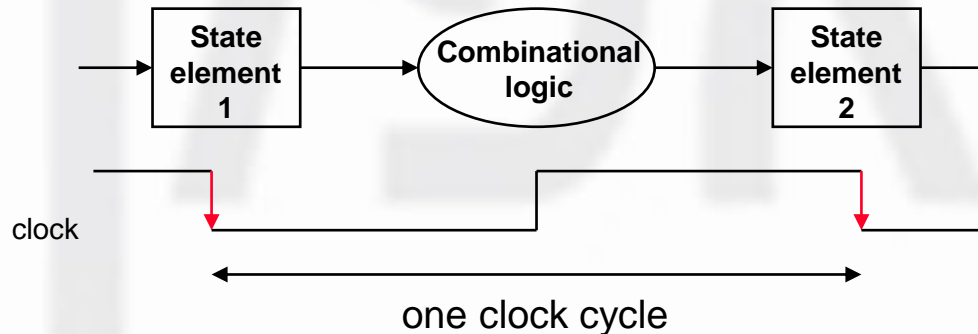


**FIGURE B.7.1** A clock signal oscillates between high and low values. The clock period is the time for one full cycle. In an edge-triggered design, either the rising or falling edge of the clock is active and causes state to be changed.

- השעון מווסת את קצב העבודה ומתזמן את הפעולות הבסיסיות של המחשב
- ניתן לתאר את השעון כאות חשמלי המשתנה בזמן מחזור קבוע. בתרשים B.7.1 ניתן לראות את השעון כפונקציה של הזמן, העובר בקצב קבוע בין מצב אות גבוה (נגדיר מצב זה כ- 1 לוגי) למצב אות נמוך (מצב 0 לוגי). עבור תופעה בעלת זמן מחזור קבוע, זמן המחזור מוגדר כזמן המינימלי שבו התופעה חוזרת על עצמה, כמסומן בתרשים B.7.1
- נגדיר מעבר שעון מ- 0 ל- 1 כעליית שעון, ומעבר מ- 1 ל- 0 כנפילת שעון. בבנייה שלנו בפרק ז', נניח שכתובת שעון ליחידות הזיכרון תהיה בעליית שעון

# Clocking Methodologies

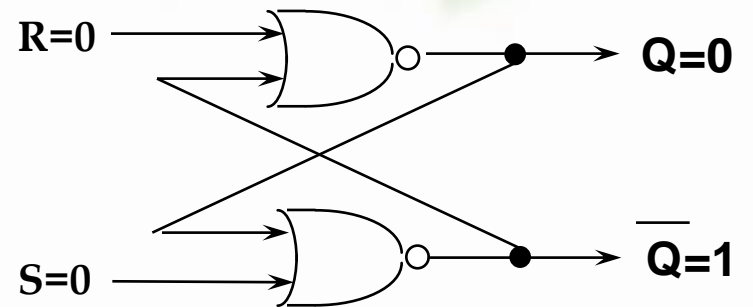
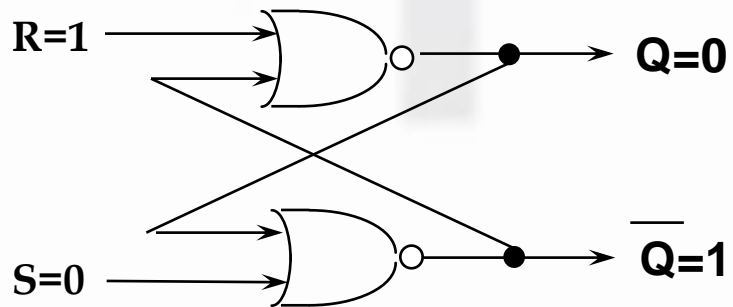
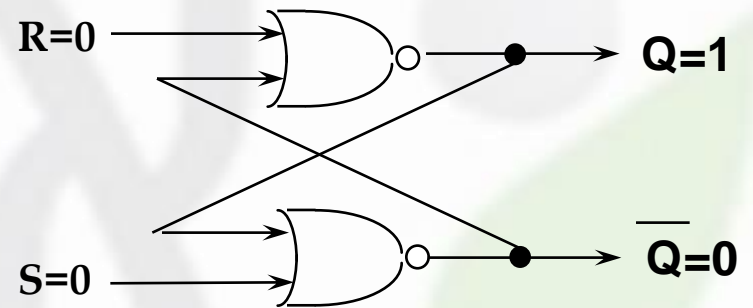
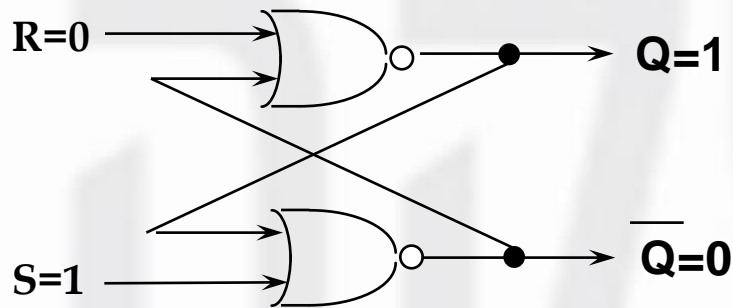
- The clocking methodology defines when signals can be read and when they are written
  - An edge-triggered methodology
- Typical execution
  - read contents of state elements
  - send values through combinational logic
  - write results to one or more state elements



- Assumes state elements are written on every clock cycle; if not, need explicit write control signal
  - write occurs only when **both** the write control is asserted and the clock edge occurs

# מנעול - Latch

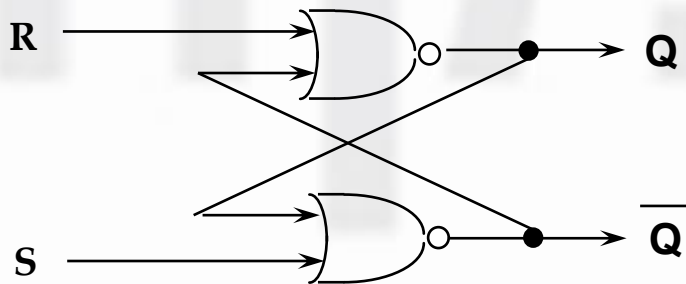
- An S-R (Set-Reset) latch:



# Simple State Element

## S-R Latch (Or S-R Flip-Flop)

- *Feedback* is the key to memory/state elements.
- Once a value is fed to the element, it circulates inside the element and renews itself, even after the input is turned off.
- Other memory devices can be built from the basic latch.

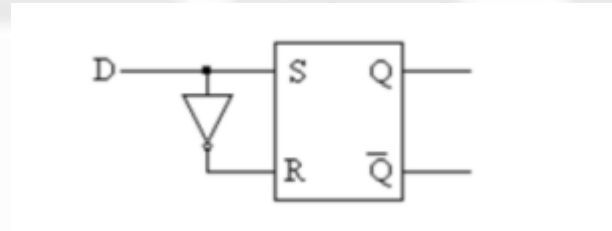


**Illegal**

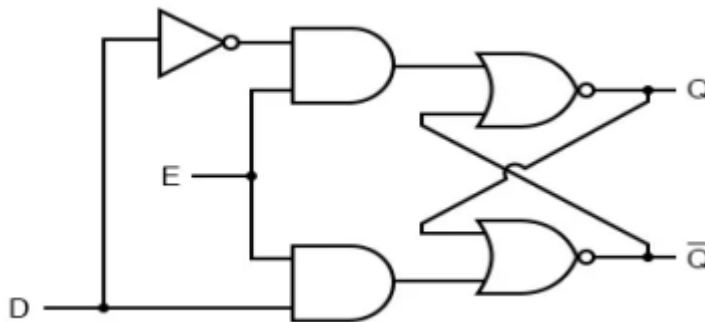
S	R	Q	Q	
0	0	Save	Save	מנעול – latch
0	1	0	1	Reset
1	0	1	0	Set
1	1	0	0	מצב אסור

# D-Latch – D

- ניתן למנוע את המצב האסור ( $S=1, R=1$ ) על ידי חיבור  $S/R$  לאותו המקור עם שער  $\text{not}$ . במצב זה נמנע גם מצב המנעול ( $R=S=0$ )



- על מנת לייצר מצב של מנעול ניתן להוסיף אות אפשרי (Enable)



E	D	Q	$\bar{Q}$
0	0	latch	latch
0	1	latch	latch
1	0	0	1
1	1	1	0

שקף 8

קורס: ארגון המחשב ושפת סף

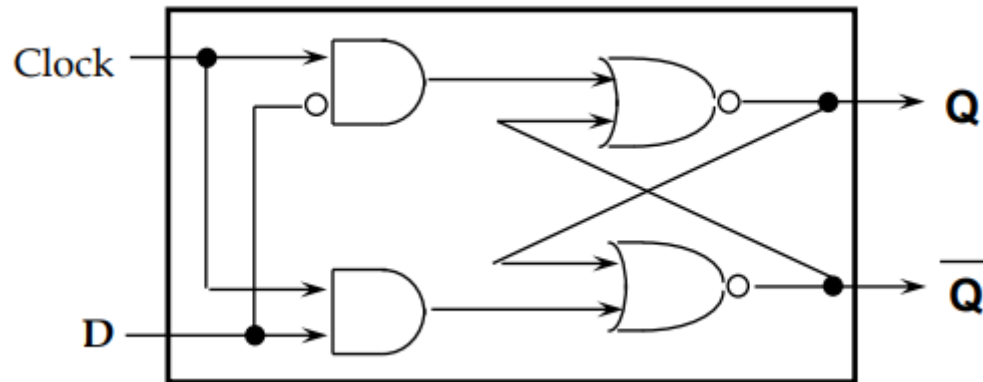
נושא: בניית מקבץ האוגרים



# Latch “D” Clocked

- ניתן לקבל את אפקט המנעול באופן מסונכרן על ידי הוספת השעות כמעין אות אפשר.

– נציין שאנשי חומרה לא נוהגים לממש שעון כאות אפשר, אולם לצורך הפשטה ובהתאמה לתרשימים בנספח B, אנו נתאר את הלוגיקה באופן זה

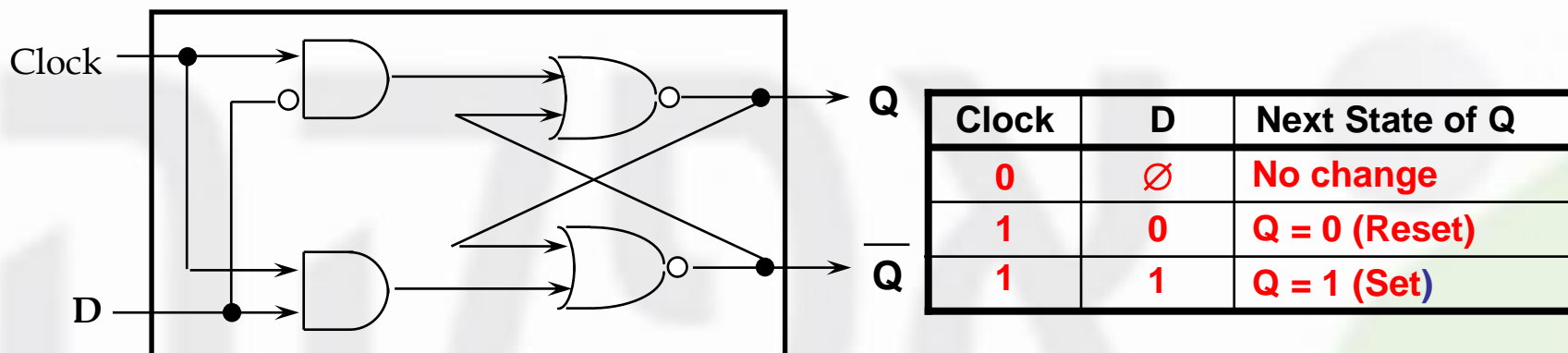


שקף 9

קורס: ארגון המחשב ושפת סף

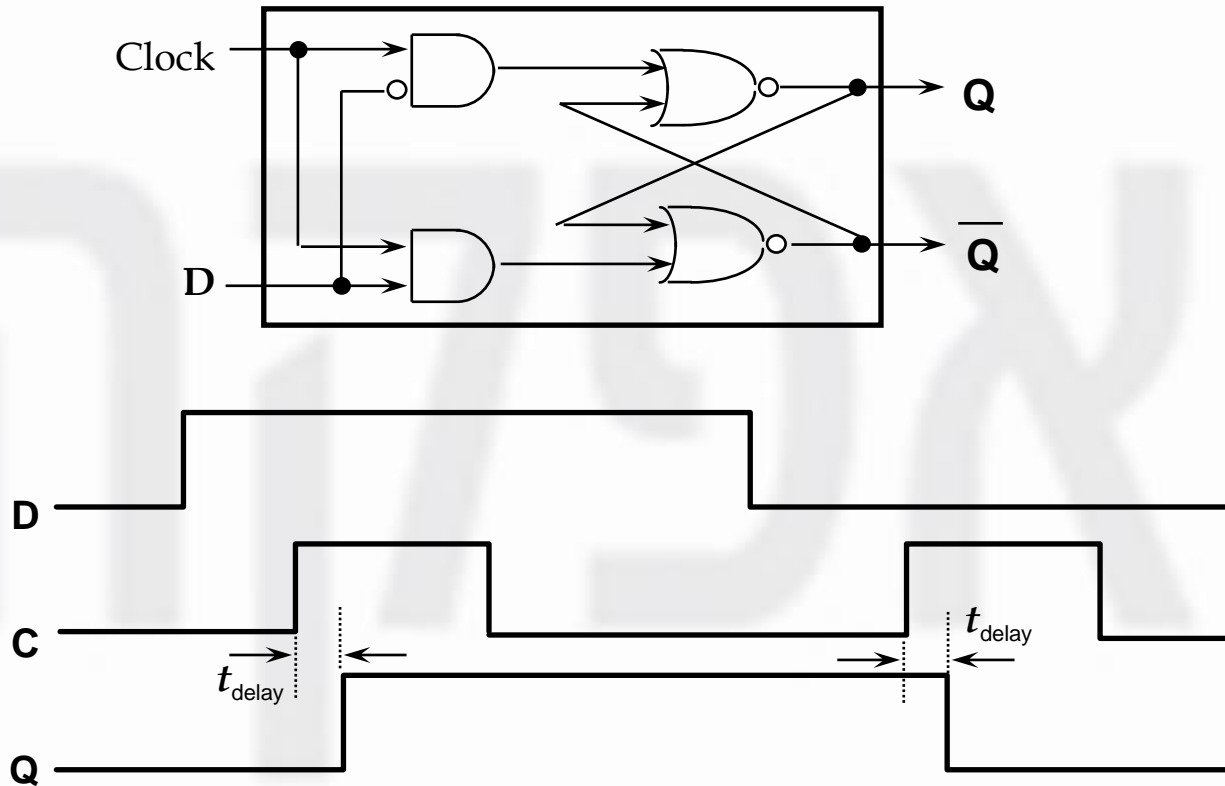
נושא: בניית מקבץ האוגרים

# Latch "D" Clocked



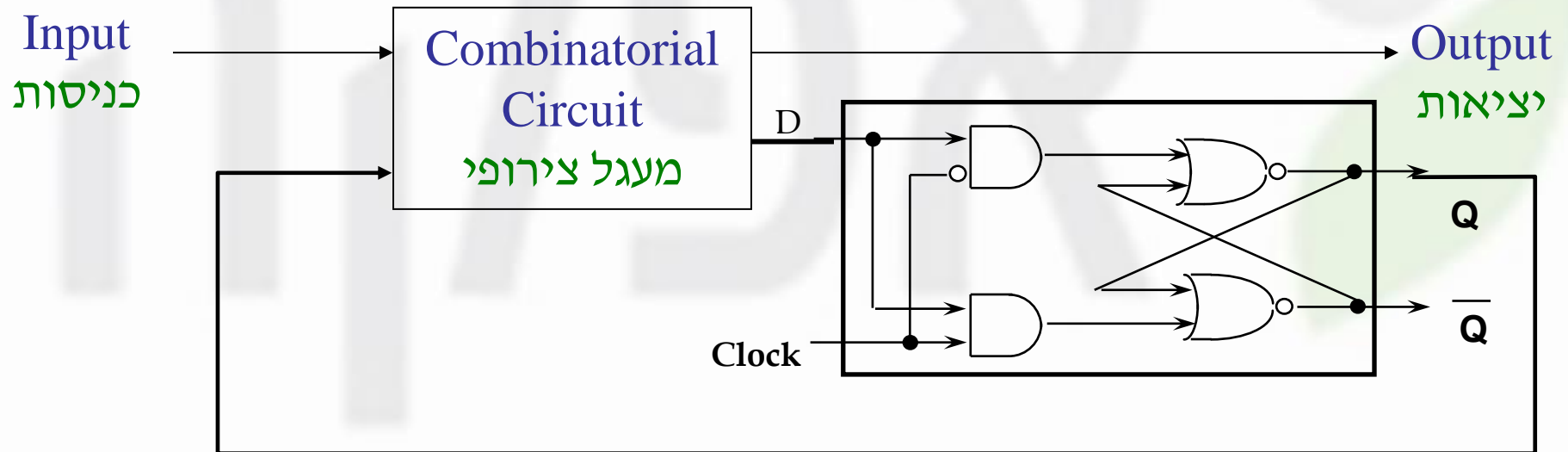
- This latch has one input, called "D".
- When the clock is low, AND gates force zero on all inputs to the S-R latch → no change in state.
- When clock is high, the value at D sets the "S" input of the latch; inverted D sets the "R" input of the latch.
- The basic building block for the Register File

# "D" Latch Clocking Waveforms



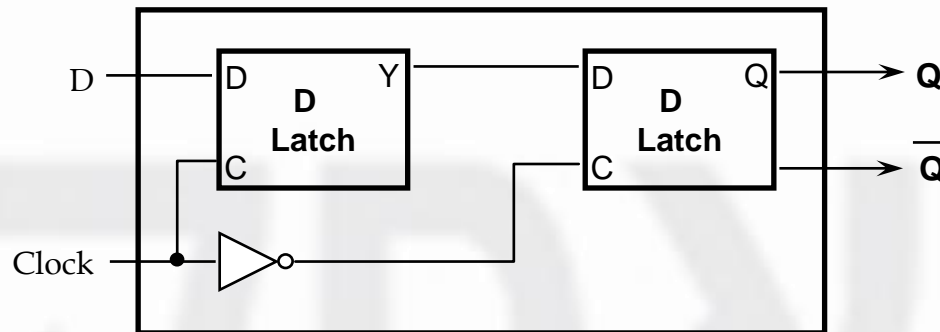
The output "Q" responds to the change in input, a *characteristic delay*  $t_{\text{delay}}$  after the clock goes high.

# ***D Latch אינו מספיק !!***



מחזור שעון ארוך והמעגל יחליף את מצבו מספר פעמים !!!

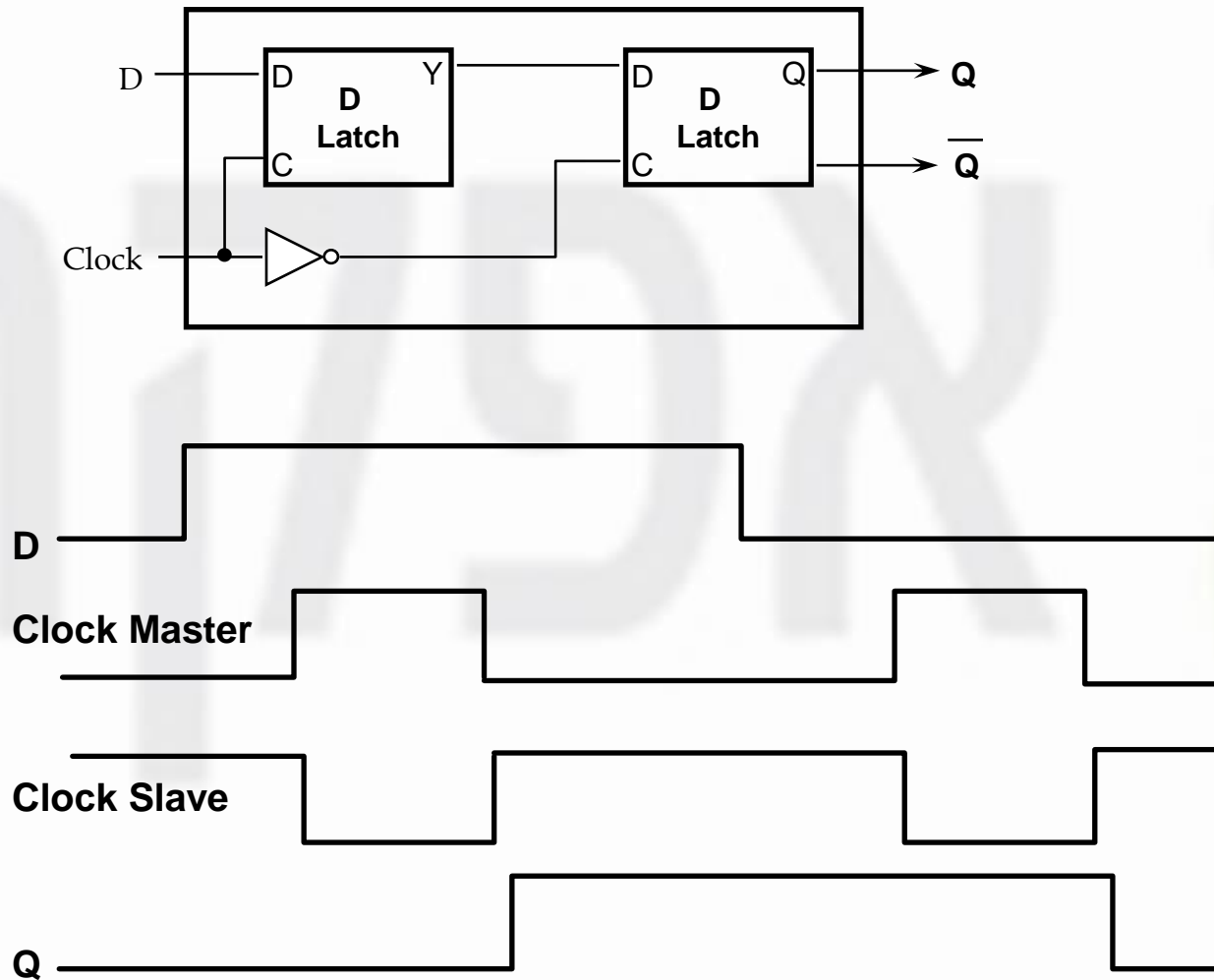
# *flip-flop" D" Edge Triggered*



The first latch is called the *master*, the second latch is called the *slave*.

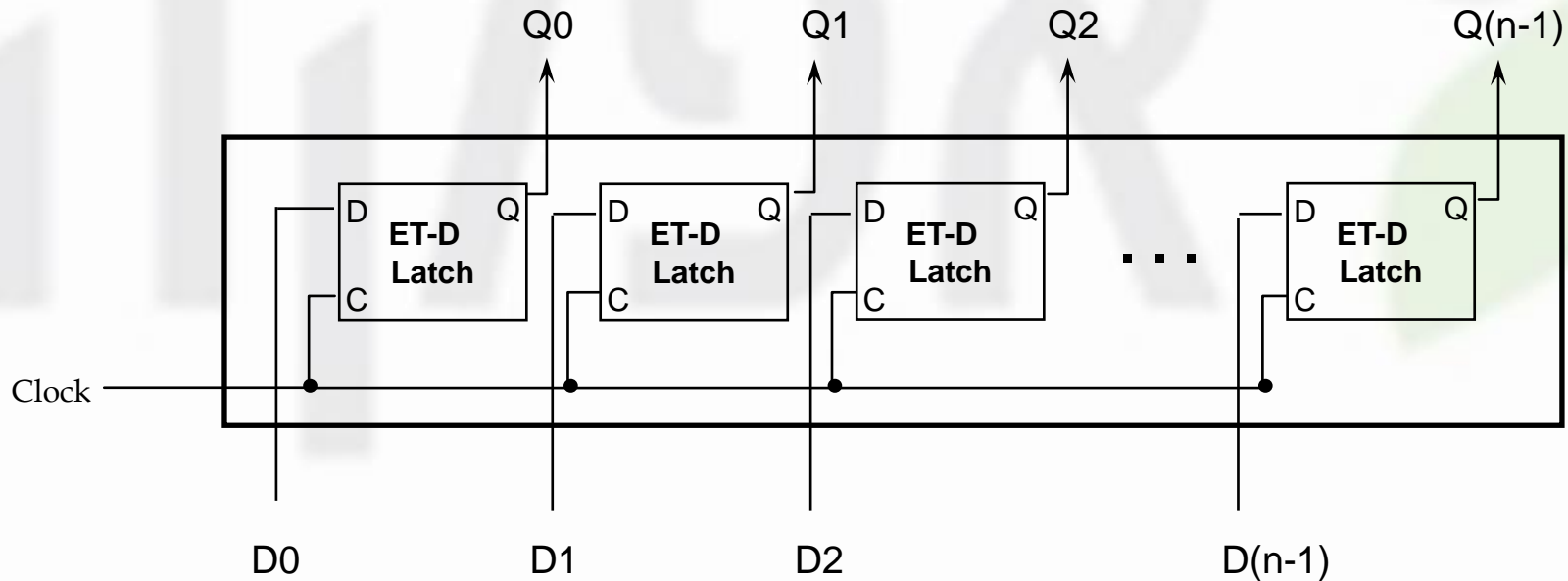
- When the clock goes high, the first D latch (*master*) accepts the change in input
- Because of the inverter, the change is blocked from moving on the second D latch (*slave*).
- When the clock goes low, the slave latch accepts the change in input.

# Negative clock edge

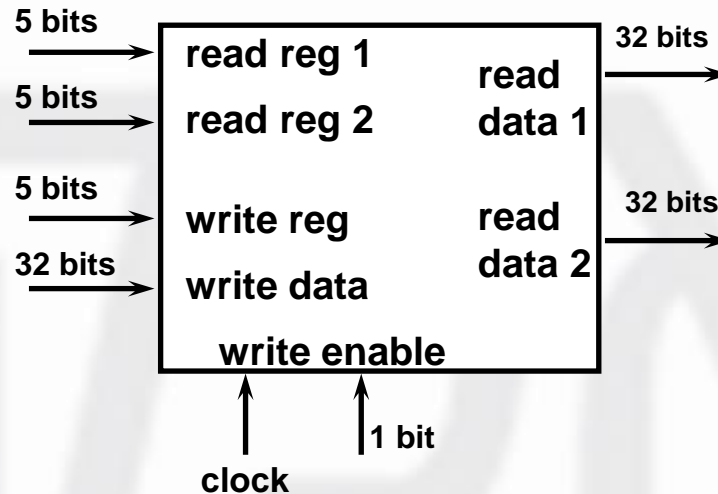


# Registers

Registers can be built from a series of Edge Triggered (ET) D latches connected to the same clock.



# ***MIPS32 Registers File***

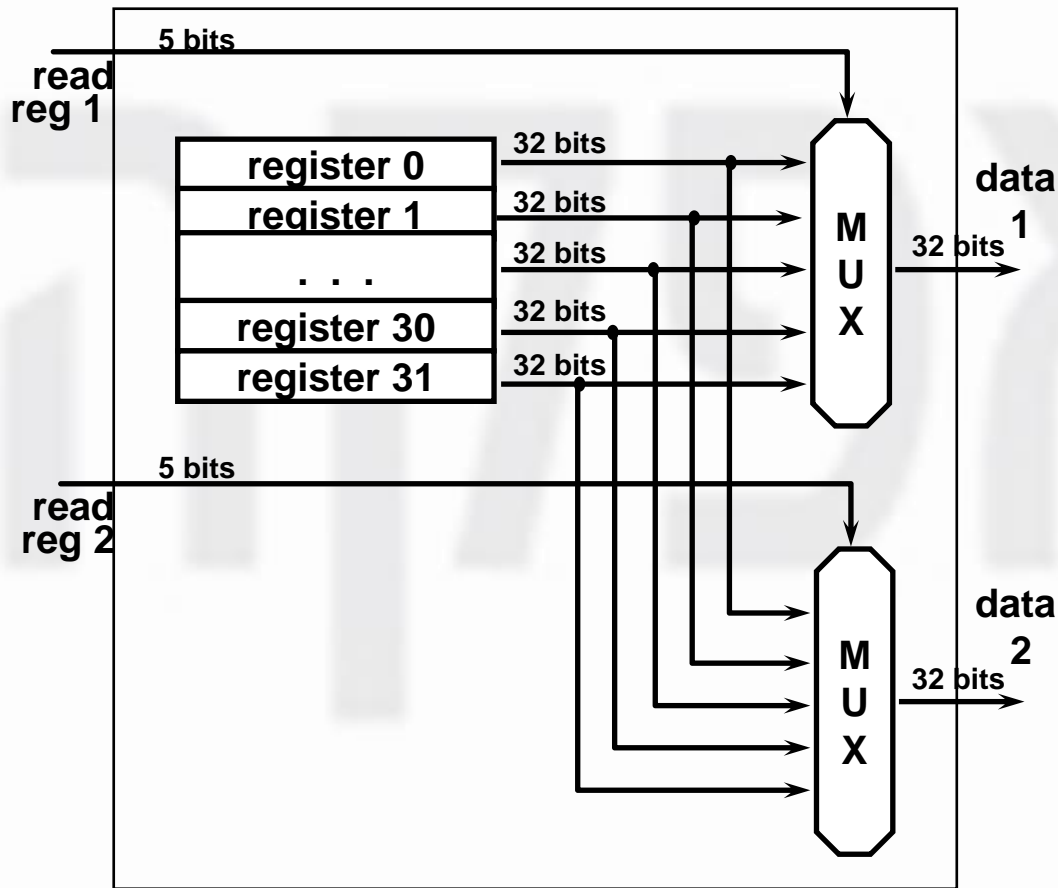


**Double Read ports**

**Write port**

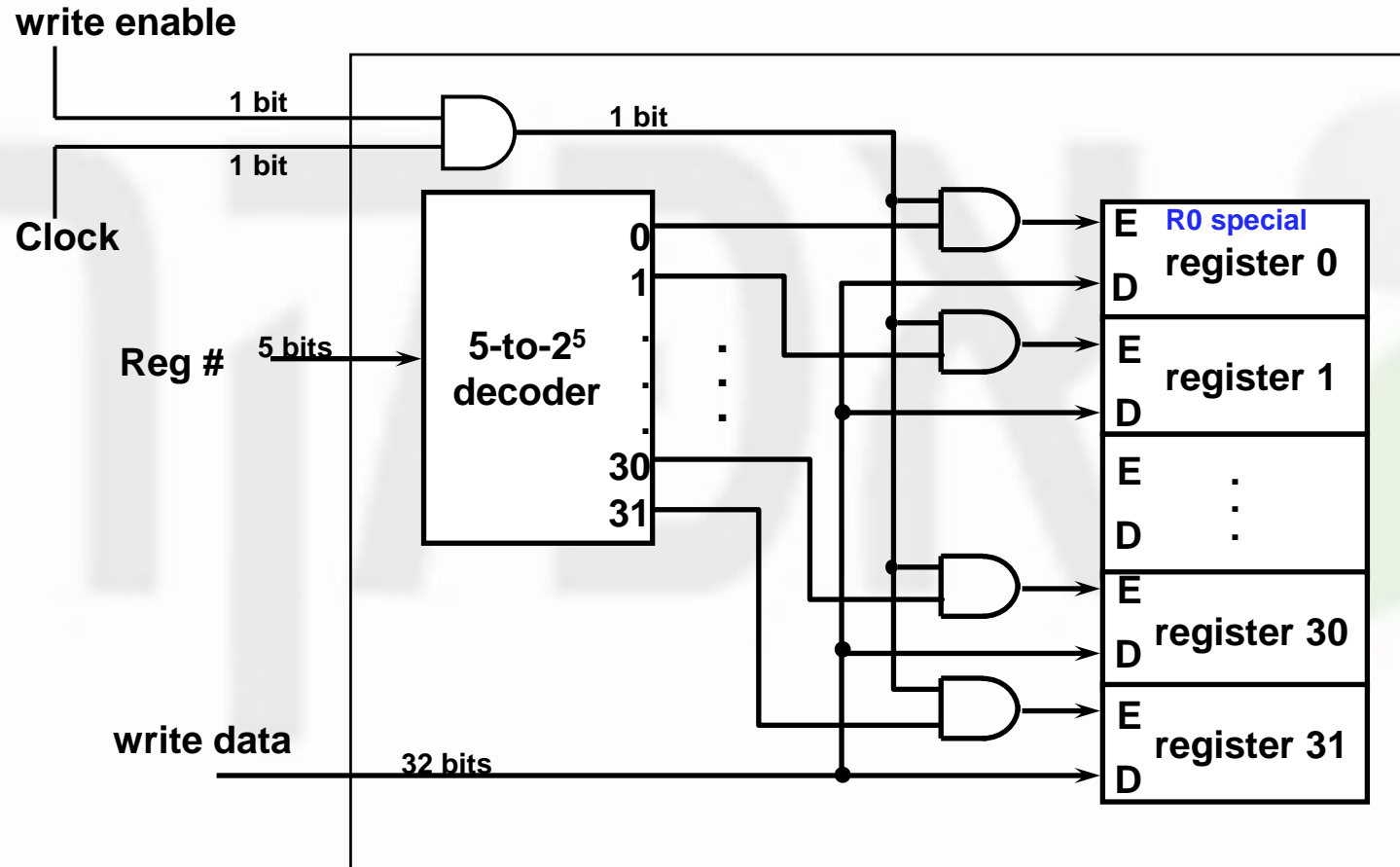


# Implementation of double read port

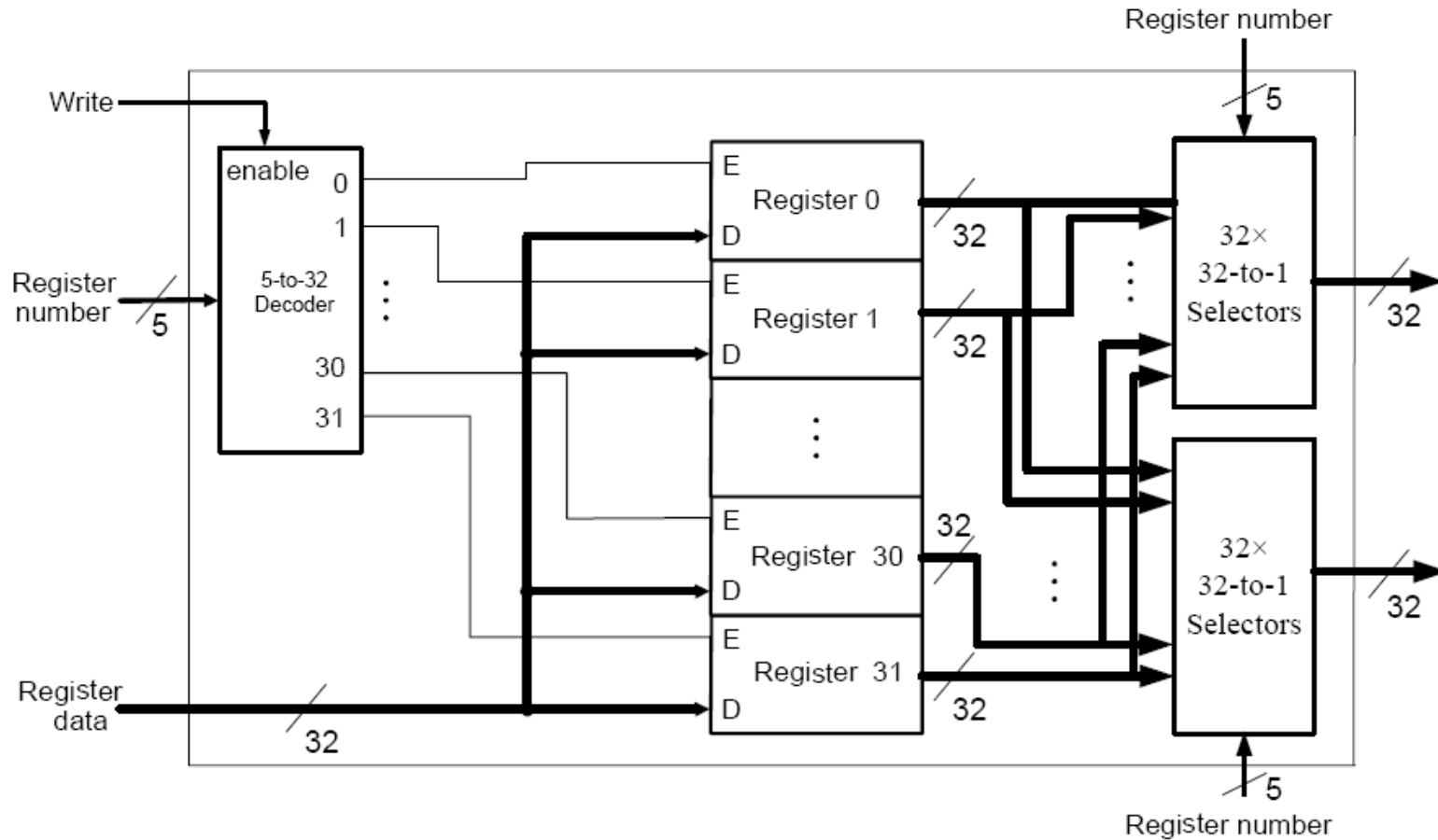


- באמצעות מספר האוגר המרבב מאפשר בחירה של האוגר אותו רוצים לקרוא
- המימוש באמצעות מרבב n-to-1
- כל מרבב עם 32 ביט

# Write Port Implementation

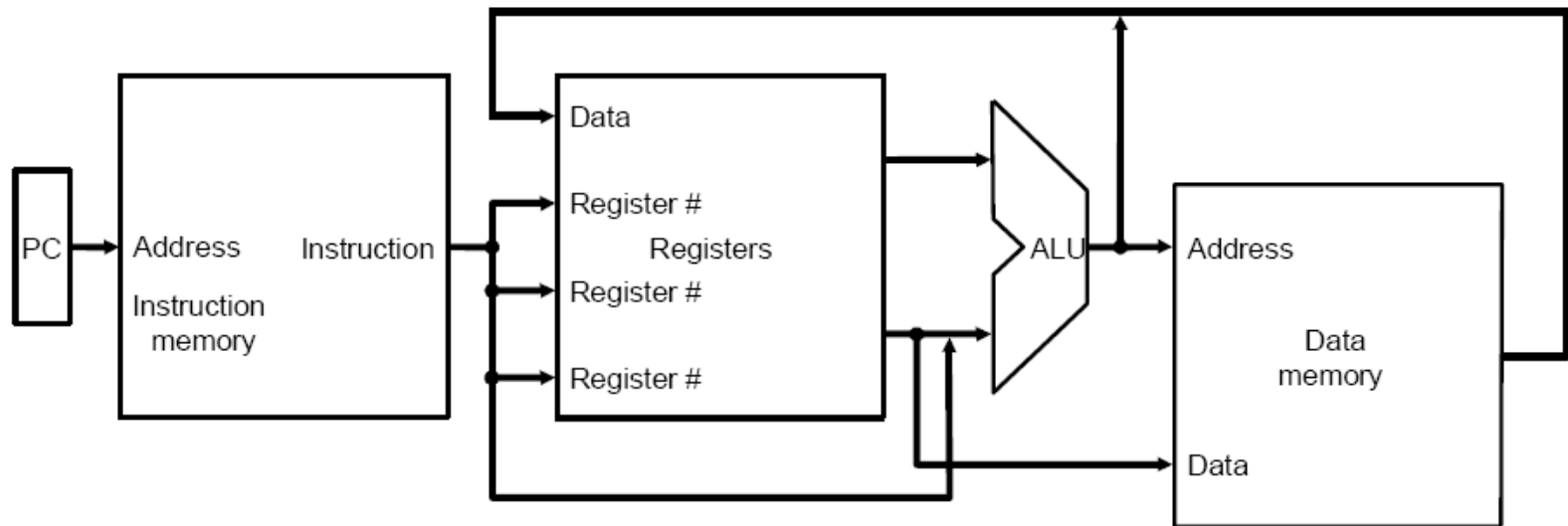


# MIPS Register File



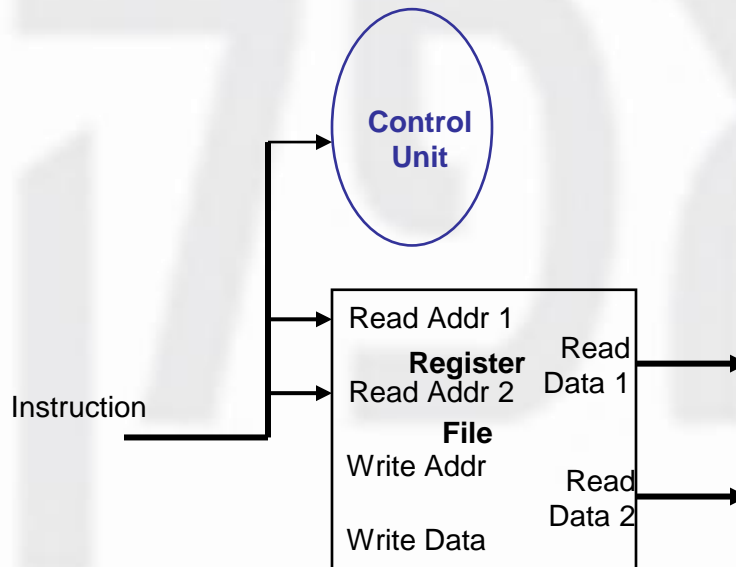
# מרכיבי מסלול הנתונים

- זכרון פקודות (Read Only, חוץ מזמן טעינת תכנית חדשה)
- זכרון נתונים (Read / Write)
- רגיסטרים
- Program counter (PC)
- ALU



# Decoding Instructions

- Decoding instructions involves
  - sending the fetched instruction's opcode and function field bits to the control unit



- reading two values from the Register File
  - » Register File addresses are contained in the instruction

# סיימנו...

## שאלות?

**אפקה**

המכללה האקדמית  
להנדסה בתל אביב

