output.md 9/5/2022

CommonDigitals.verilog.v

Srilokh Karuturi

Project Part 1

Mon Sep 5

Program Output

```
|==+=+=+=+==+==+==+==+==|
| 0|0|0|0|0| 0| 0| 1| 0| 0| 1| 1| 0| 1| 0|
| 1|0|0|0|1| 0| 1| 0| 1| 1| 1| 0| 1|
| 2|0|0|1|0| 1| 0| 1| 1| 1| 0| 1| 0| 0| 0|
| 3|0|0|1|1| 1| 1| 1| 1| 0| 0| 1| 1| 0| 0|
| 4|0|1|0|0| 1| 1| 0| 1| 1| 1| 0| 1| 0|
| 5|0|1|0|1| 1| 0|
                 1 1 1
                        0 | 0 | 1 |
| 6|0|1|1|0| 1| 1| 1| 0| 1| 1| 0| 0| | | |
| 7|0|1|1|1| 0| 1| 0| 0| 0| 1| 0| 1| 1| 1| 1|
| 8|1|0|0|0| 1| 0| 1| 1| 1| 0| 0| 1| 0|
| 9|1|0|0|1| 1| 1| 1| 0| 1| 0| 0|
                                1|
|10|1|0|1|0| 1| 0| 1| 0| 1| 0| 1| 0| 1| 1
|11|1|0|1|1| 0| 0| 0| 1| 1| 1| 1| 0| 1| 1|
|12|1|1|0|0| 1| 1| 0| 1| 1| 0| 0| 0|
|13|1|1|0|1| 1| 0| 0| 1| 0| 0|
                              1|
                                1|
|14|1|1|1|0| 1| 0| 0| 1| 1| 0| 0| 1| 1| 0|
|15|1|1|1|1| 0| 1| 1| 0| 1| 1| 1| 1| 1| 1| 0|
|--+-+-+-+-+--+--+--|
```

Verilog Code

output.md 9/5/2022

```
r2 = (\sim w\&\sim x\&\sim y\&\sim z) \mid (\sim w\&\sim x\&y\&\sim z) \mid (\sim w\&\sim x\&y\&z) \mid (\sim w\&x\&\sim y\&z) \mid
(~w&x&y&~z) |
            (w\& x\& y\& z) \mid (w\& x\& y\& z) \mid (w\& x\& y\& z);
      r3 = (\neg w \& \neg x \& \neg y \& z) \mid (\neg w \& \neg x \& y \& \neg z) \mid (\neg w \& \neg x \& y \& z) \mid (\neg w \& \neg x \& \neg y \& \neg z) \mid
(~w&x&~y&z) |
            (w\& x\& y\& z) \mid (w\& x\& y\& z);
      r4 = (\sim w\&\sim x\&\sim y\&z) \mid (\sim w\&\sim x\&y\&\sim z) \mid (\sim w\&x\&\sim y\&\sim z) \mid (\sim w\&x\&y\&\sim z) \mid
(w&~x&~y&~z) |
            (w\& x\& y\& z) \mid (w\& x\& y\& z)
| (w&x&y&z);
      r5 = (\sim W\&\sim x\&\sim y\&\sim z) \mid (\sim W\&\sim x\&\sim y\&z) \mid (\sim W\&x\&\sim y\&\sim z) \mid
            (\sim w\&x\&y\&\sim z) \mid (\sim w\&x\&y\&z) \mid (w\&\sim x\&y\&z) \mid (w\&x\&y\&z);
      r6 = (\sim w\&\sim x\&\sim y\&\sim z) \mid (\sim w\&\sim x\&y\&\sim z) \mid (\sim w\&\sim x\&y\&z) \mid (\sim w\&x\&\sim y\&z) \mid
            (w\& x\& y\& z) \mid (w\& x\& y\& z) \mid (w\& x\& y\& z);
      r7 = (\sim w\&\sim x\&\sim y\&z) \mid (\sim w\&\sim x\&y\&z) \mid (\sim w\&x\&\sim y\&\sim z) \mid (\sim w\&x\&\sim y\&z) \mid
(~w&x&y&z) |
            (w\& x\& y\& z) | (w\& x\& y\& z) | (w\& x\& y\& z) | (w\& x\& y\& z) | (w\& x\& y\& z);
      r8 = (\sim w\&\sim x\&\sim y\&\sim z) \mid (\sim w\&\sim x\&\sim y\&z) \mid (\sim w\&x\&\sim y\&z) \mid (\sim w\&x\&\sim y\&z) \mid
            (w\& x\& y\& z) \mid (w\& x\& y\& z) \mid (w\& x\& y\& z) \mid (w\& x\& y\& z);
      r9 = (\sim w \& x \& y \& \sim z) \mid (\sim w \& x \& y \& z) \mid (w \& \sim x \& \sim y \& \sim z) \mid (w \& \sim x \& \sim y \& z) \mid
            (w\& x\& y\& z) \mid (w\& x\& y\& z) \mid (w\& x\& y\& z) \mid (w\& x\& y\& z);
end
endmodule
module testbench();
  reg [4:0] i;
   reg a;//Value of 2^3
  reg b;//Value of 2^2
  reg c;//Value of 2^1
  reg d;//Value of 2^0
  wire f0,f1,f2,f3,f4,f5,f6,f7,f8,f9;
   Breadboard zap(a,b,c,d,f0,f1,f2,f3,f4,f5,f6,f7,f8,f9);
   initial begin
   $display ("|##|A|B|C|D|F0|F1|F2|F3|F4|F5|F6|F7|F8|F9|");
   $display ("|==+=+=+=+=+==+==+==+==+===|");
      for (i = 0; i < 16; i = i + 1)
      begin
            a=(i/8)%2;//High bit
            b=(i/4)%2;
```

output.md 9/5/2022