**《电子线路设计、测试与实验》实验报告**

|  |  |
| --- | --- |
| 实验三名称： | 3-8线译码器 |
| 院（系）： | 电子信息与通信工程学院 |
| 专业班级： | 电磁1802 |
| 姓名： | 吴叶赛 |
| 学号：  时间： | U201813405  2020年9月10日 |

# 实验二——FPGA组合逻辑电路设计

目录

[实验二——FPGA组合逻辑电路设计 1](#_Toc50661800)

[**一、实验目的** 1](#_Toc50661801)

[**二、实验任务** 1](#_Toc50661802)

[**三、实验原理** 1](#_Toc50661803)

[**四、 代码** 2](#_Toc50661804)

[**五、仿真** 6](#_Toc50661805)

[**六、结果** 6](#_Toc50661806)

[**七、思考题** 6](#_Toc50661807)

[**八、实验结果分析和结论** 6](#_Toc50661808)

[**九、心得体会** 6](#_Toc50661809)

**一、实验目的**

• 掌握可编程逻辑器件的应用开发技术 ——设计输入、编译、仿真和器件编程

• 初步掌握Verilog HDL编程方法

• 掌握组合逻辑在FPGA数字系统中的设计和实现方法

• 熟悉一种EDA软件使用（ISE 14.7 软件，实际使用vivado

**二、实验任务**

设计实现3线-8线译码器，并在N4DDR实验板上实现

**三、实验原理**

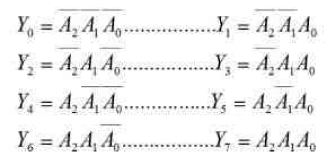
3-8译码器的输入是3个脚,输出是8个脚。用高低电平来表示输入和输出。

输入是二进制。3只脚也就是3位二进制数。输入可以3位二进制数。3位二进

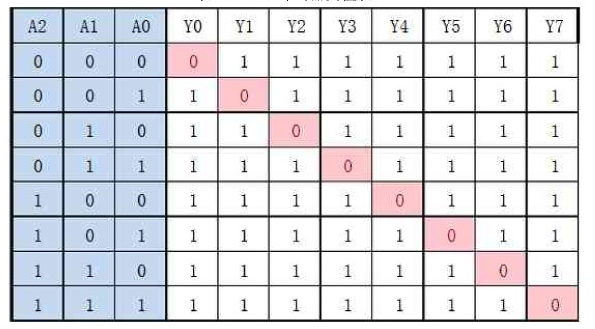
制最大是111也就是8。输出是8个脚，表示10进制。是根据输入的二进制数

来输出。如果输入是101那么就是第5只脚高电平，表示二进制数是5。其实

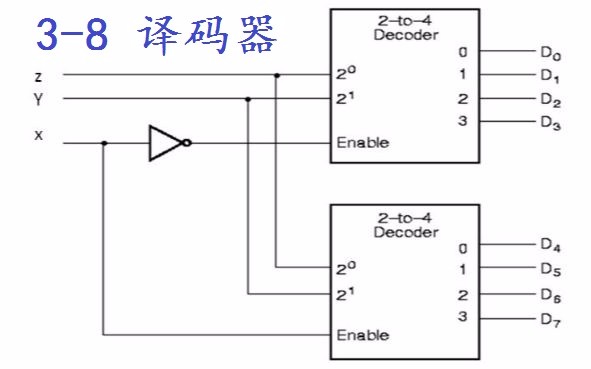
3-8译码器的功能就是把输入的3位2进制数翻译成10进制的输出。



这样就可以设计出3-8译码器。下面是3-8译码器的真值表



下面是原理图



**四、 代码**

以低电平输出为例：  
第一种：case语句

module decoder\_3\_8(

input A,

input B,

input C,

output reg [7:0] Y

);

always@(A or B or C)

begin

case ({C,B,A})

3'b000 : Y <= 8'b00000001;

3'b001 : Y <= 8'b00000010;

3'b010 : Y <= 8'b00000100;

3'b011 : Y <= 8'b00001000;

3'b100 : Y <= 8'b00010000;

3'b101 : Y <= 8'b00100000;

3'b110 : Y <= 8'b01000000;

3'b111 : Y <= 8'b10000000;

default : Y <= 8'b00000000;

endcase

module decoder\_sim(

);

reg A,B,C;

wire [7:0] Y;

decoder\_3\_8 decoder\_u0(A,B,C,Y);

initial begin

{C,B,A}=3'b000;

#10;

{C,B,A}=3'b001;

#10;

{C,B,A}=3'b010;

#10;

{C,B,A}=3'b011;

#10;

{C,B,A}=3'b100;

#10;

{C,B,A}=3'b101;

#10;

{C,B,A}=3'b110;

#10;

{C,B,A}=3'b111;

#10;

$stop;

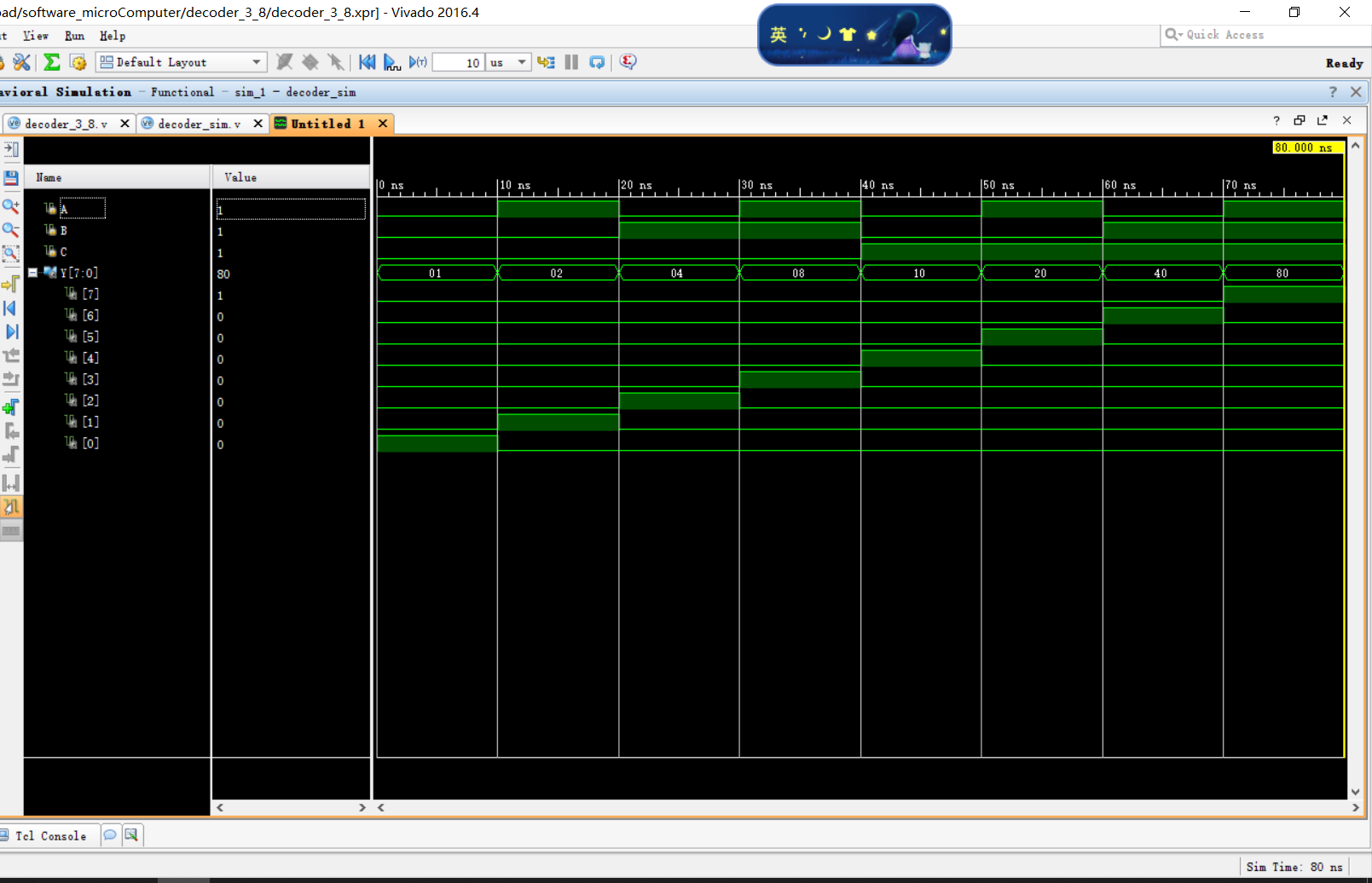
end

endmodule   
第二种：if-else if语句  
`timescale 10ns/1ns  
module decode3\_8 (data\_out,data\_in,enable) ;  
input [2:0] data\_in;  
input enable;  
output [7:0] data\_out;  
reg [7:0] data\_out;  
   
always @(data\_in or enable)  
begin  
       if (enable==1)  
              if(data\_in==3'b000)  
data\_out=8'b11111110;  
              else if(data\_in==3'b001)  
data\_out=8'b11111101;  
              else if(data\_in==3'b010)  
data\_out=8'b11111011;  
              else if(data\_in==3'b011)  
data\_out=8'b11110111;  
              else if(data\_in==3'b100)  
data\_out=8'b11101111;  
              else if(data\_in==3'b101)  
data\_out=8'b11011111;  
              else if(data\_in==3'b110)  
data\_out=8'b10111111;  
              else if(data\_in==3'b111)  
data\_out=8'b01111111;  
              else  
data\_out=8'bxxxxxxxx;  
       else  
              data\_out = 8'b11111111;  
end  
   
endmodule

第三种：带条件的连续赋值  
`timescale 10ns/1ns  
module decode3\_8 (data\_out,data\_in,enable) ;  
input [2:0] data\_in;  
input enable;  
output [7:0] data\_out;  
        
assign data\_out =  
({enable,data\_in}==4'b1000)?8'b1111\_1110:  
({enable,data\_in}==4'b1001)?8'b1111\_1101:      
({enable,data\_in}==4'b1010)?8'b1111\_1011:  
({enable,data\_in}==4'b1011)?8'b1111\_0111:      
({enable,data\_in}==4'b1100)?8'b1110\_1111:  
({enable,data\_in}==4'b1101)?8'b1101\_1111:      
({enable,data\_in}==4'b1110)?8'b1011\_1111:  
({enable,data\_in}==4'b1111)?8'b0111\_1111:  
8'b1111\_1111;  
endmodule

**五、仿真**

（1）行为级仿真结果



（2）引脚约束



**六、结果**

经过仿真检查，电路逻辑正确，因此编译生成bit文件写入开发板中，3-8译码器运行正常。

****

**七、心得体会**

本次实验首次运用vivado软件，用verilog编程在Nexys4DDR开发板上实现了数字电路系统中常见的基本的3-8线译码器，熟悉了基本的组合逻辑在FPGA数字系统中的设计和实现方法。在实验过程中，出现了诸如代码细节错误（stop写成step），写完代码后未保存导致后续步骤无法进行，N4板没有提前接入，引脚约束对准不及时等等错误和麻烦，最后还是花时间一 一解决了，并得到了老师和同学的莫大帮助，收获很多。