

電子回路論 後半レポート

05-211525 齋藤駿一

2023 年 1 月 31 日

本レポートでは，課題 1 の B，つまり標準ロジック IC を用いた 8 ビット減算回路の回路図の設計に取り組んだ．

1 半減算器

ロジック IC として，XOR，インバーター (NOT)，AND の 3 種類を用いる．

まず，半減算器の回路図は図 1 のようになる．以下ではこれを HS ブロックとして略記する．

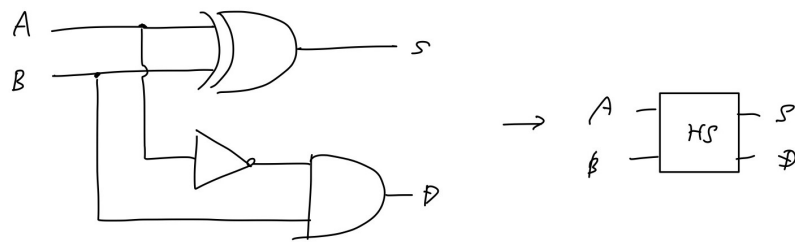


図 1 半減算器の回路図．

半減算器の真理値表は表 1 のようになる．

表 1 半減算器の真理値表．

入力		出力	
A	B	S	D
0	0	0	0
0	1	1	1
1	0	1	0
1	1	0	0

2 全減算器

次に，全減算器の回路図は図 2 のようになる．以下ではこれを FS ブロックとして略記する．

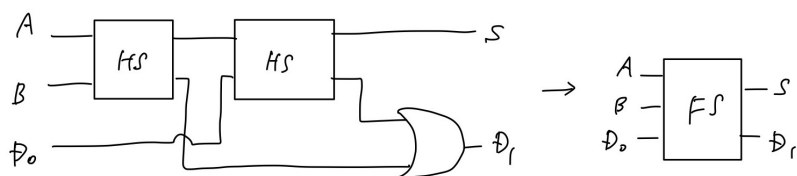


図 2 全減算器の回路図．

全減算器の真理値表は表 2 のようになる．

表 2 半減算器の真理値表．

入力			出力	
A	B	D0	S	D1
0	0	0	0	0
0	0	1	1	1
0	1	0	1	1
0	1	1	0	1
1	0	0	1	0
1	1	0	0	0
1	1	0	0	0
1	1	1	1	1

3 8 ビット減算器

最後に，8 ビット減算器の回路図は図 3 のようになる．この減算器は，入力された 2 進数 $A = A_7A_6A_5A_4A_3A_2A_1A_0$ から 2 進数 $B = B_7B_6B_5B_4B_3B_2B_1B_0$ を引く計算を行い，その結果が 2 進数 $S = D_7S_7S_6S_5S_4S_3S_2S_1S_0$ として出力されるものである．ただし， D_7 は $A > B$ のとき 0 となり， $A < B$ のとき 1 となる．

参考文献

- [1] 【早わかり電子回路】デジタル回路の加算器・減算器をわかりやすく解説 — アイアール技術者教育研究所 — 製造業エンジニア・研究開発者のための研修/教育ソリューション．(2021)．

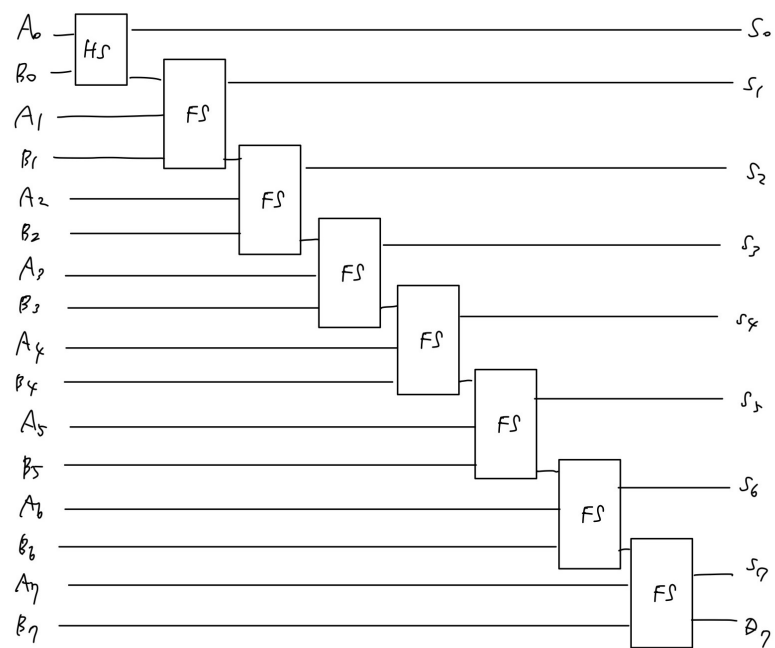


図 3 8 ビット減算器の回路図.

2023 年 1 月 31 日閲覧.

<https://engineer-education.com/adder-subtractor/>