

Practica #1: Simulación de un visualizador de 7 segmentos (display)

Diego Aldair Sajche Avila
201904490
Alan Rodrigo Pamal De León
202100303
Edy Donaldo López Anavizca
199812349

Facultad de Ingeniería, Universidad San Carlos de Guatemala

Laboratorio de Organización Computacional

Auxiliar Carlos Rangel

Guatemala 17 de febrero de 2024

Introducción

En el diseño y análisis de circuitos digitales, la lógica negativa y positiva desempeña un papel fundamental al establecer los niveles de señal que representan los valores binarios. Este enfoque establece niveles de voltaje alto y bajo, para distinguir entre los dos estados posibles de la señal binaria. Además, la expresión de funciones lógicas en forma canónica utilizando minterms y maxterms proporciona un marco eficiente para simplificar y minimizar circuitos digitales, facilitando así su diseño y análisis.

Las familias lógicas, como la popular familia TTL (Transistor-Transistor Logic), implementan funciones lógicas utilizando chips integrados. La TTL destaca por su rápida velocidad de conmutación, consumo de energía moderado y compatibilidad universal, lo que la convierte en una elección común en electrónica digital. Sin embargo, su correcto funcionamiento depende crucialmente de una fuente de alimentación estable y bien regulada a +5V, dado el voltaje umbral necesario para el cambio de estado de los transistores en estos chips.

Objetivos

1. Elaborar y ensamblar un display de 7 segmentos con LEDs que muestre una palabra de 8 letras en forma tangible. Requerirá la utilización de transistores y compuertas lógicas para manejar la exhibición de cada segmento del display. Se aplicará lógica positiva y negativa para asegurar un rendimiento eficiente y sólido del sistema.
2. Diseñar e implementar un circuito combinacional de 3 bits en Proteus, utilizando compuertas transistorizadas y compuertas lógicas TTL, que genere una salida A y B, donde B sea un efecto espejo de A. Esto se logrará mediante la selección y visualización de una palabra de 8 letras en un display de 7 segmentos.
3. Desarrollar un sistema de detección de errores para las entradas [X, Y, Z], con la implementación de dos funciones de detección de paridad: paridad Par de 1's y paridad Par de 0's. Estas funciones se diseñarán e integrarán en el circuito de lógica combinacional para asegurar la precisión de la información transmitida, utilizando circuitos integrados específicos.

Contenido

Funciones Booleanas

Display Cátodo											
Palabra	Variables Independientes			Variables Dependientes							
Carácter	C	B	A	a	b	c	d	e	f	g	Pt
L	0	0	0	0	0	0	1	1	1	0	0
A	0	0	1	1	1	1	1	1	0	1	0
B	0	1	0	0	0	1	1	1	1	1	0
O	0	1	1	0	0	1	1	1	0	1	0
R	1	0	0	0	0	0	0	1	0	1	0
A	1	0	1	1	1	1	1	1	0	1	0
R	1	1	0	0	0	0	0	1	0	1	0
O	1	1	1	0	0	1	1	1	0	1	0

Display Cátodo	Forma Canónica	Forma Simplificada
a	$\bar{C}\bar{B}A + C\bar{B}A$	$\bar{B}A$
b	$\bar{C}\bar{B}A + C\bar{B}A$	$\bar{B}A$
c	$\bar{C}\bar{B}A + \bar{C}B\bar{A} + \bar{C}BA + C\bar{B}A + CBA$	$\bar{C}B + A$
d	$\bar{C}\bar{B}\bar{A} + \bar{C}\bar{B}A + \bar{C}B\bar{A} + \bar{C}BA + C\bar{B}A + CBA$	$\bar{C} + A$
e	-----	-----
f	$\bar{C}\bar{B}\bar{A} + \bar{C}B\bar{A}$	$C\bar{A}$
g	$\bar{C}\bar{B}A + \bar{C}B\bar{A} + \bar{C}BA + C\bar{B}\bar{A} + C\bar{B}A + CB\bar{A} + CBA$	$C + B + A$

Display Ánodo											
Palabra	Variables Independientes			Variables Dependientes							
Carácter	C	B	A	a	b	c	d	e	f	g	Pt
L	0	0	0	0	1	1	1	0	0	0	0
A	0	0	1	1	0	1	1	1	1	1	0
B	0	1	0	0	1	1	1	1	0	1	0
O	0	1	1	0	0	1	1	1	0	1	0
R	1	0	0	0	0	1	0	0	0	1	0
A	1	0	1	1	0	1	1	1	1	1	0
R	1	1	0	0	0	1	0	0	0	1	0
O	1	1	1	0	0	1	1	1	0	1	0

Display Ánodo	Forma Canónica	Forma Simplificada
a	$(\bar{C} + \bar{B} + \bar{A})(C + \bar{B} + \bar{A})(\bar{C} + B + A)(C + B + A)(\bar{C} + B + \bar{A})(C + B + \bar{A})$	$(\bar{B})(A)$
b	$(C + \bar{B} + \bar{A})(\bar{C} + \bar{B} + A)(C + \bar{B} + A)(\bar{C} + B + A)(C + B + A)(C + B + \bar{A})$	$(\bar{C})(\bar{A})$
c	-----	-----
d	$(C + \bar{B} + \bar{A})(C + B + \bar{A})$	$(\bar{C} + A)$
e	$(\bar{C} + \bar{B} + \bar{A})(C + \bar{B} + \bar{A})(C + B + \bar{A})$	$(\bar{C} + A)(B + A)$
f	$(\bar{C} + B + A)(C + B + A)(\bar{C} + B + \bar{A})(C + B + \bar{A})$	$(\bar{B})(A)$
g	$(C + B + A)$	$(C + B + A)$

Mapas De Karnaugh

DISPLAY CÁTODO – SEGMENTO A				
C\BA	00	01	11	10
0	0	1	0	0
1	0	1	0	0

DISPLAY CÁTODO – SEGMENTO B				
C\BA	00	01	11	10
0	0	1	0	0
1	0	1	0	0

DISPLAY CÁTODO – SEGMENTO C				
C\BA	00	01	11	10
0	0	1	1	1
1	0	1	1	0

DISPLAY CÁTODO – SEGMENTO D				
C\BA	00	01	11	10
0	1	1	1	1
1	0	1	1	0

DISPLAY CÁTODO – SEGMENTO E				
C\BA	00	01	11	10
0	1	1	1	1
1	1	1	1	1

DISPLAY CÁTODO – SEGMENTO F				
C\BA	00	01	11	10
0	1	0	0	1
1	0	0	0	0

DISPLAY CÁTODO – SEGMENTO G				
C\BA	00	01	11	10
0	0	1	1	1
1	1	1	1	1

DISPLAY CÁTODO – SEGMENTO PT				
C\BA	00	01	11	10
0	0	0	0	0
1	0	0	0	0

DISPLAY ÁNODO – SEGMENTO A				
C\BA	00	01	11	10
0	0	1	0	0
1	0	1	0	0

DISPLAY ÁNODO – SEGMENTO B				
C\BA	00	01	11	10
0	1	0	0	1
1	0	0	0	0

DISPLAY ÁNODO – SEGMENTO C				
C\BA	00	01	11	10
0	1	1	1	1
1	1	1	1	1

DISPLAY ÁNODO – SEGMENTO D				
C\BA	00	01	11	10
0	1	1	1	1
1	0	1	1	0

DISPLAY ÁNODO – SEGMENTO E				
C\BA	00	01	11	10
0	0	1	1	1
1	0	1	1	0

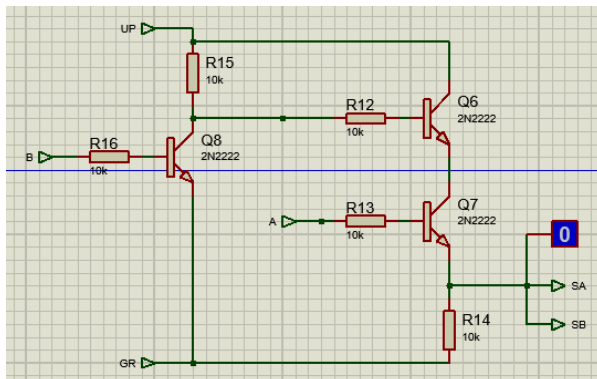
DISPLAY ÁNODO – SEGMENTO F				
C\BA	00	01	11	10
0	0	1	0	0
1	0	1	0	0

DISPLAY ÁNODO – SEGMENTO G				
C\BA	00	01	11	10
0	0	1	1	1
1	1	1	1	1

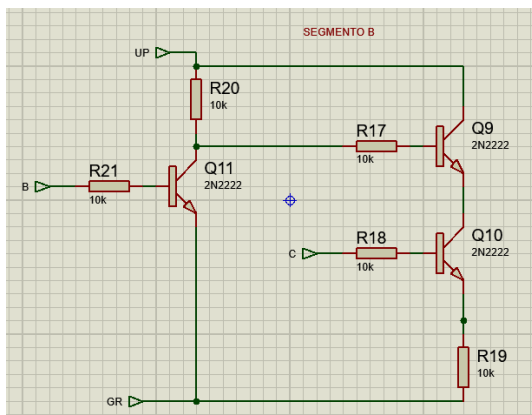
DISPLAY ÁNODO – SEGMENTO PT				
C\BA	00	01	11	10
0	0	0	0	0
1	0	0	0	0

Diagramas Del Diseño Del Circuito

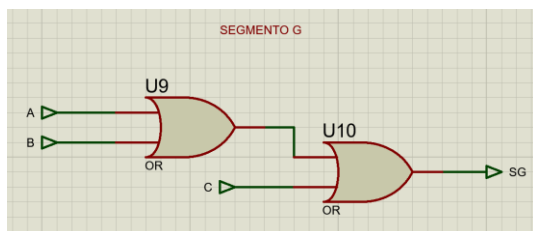
Segmento A - Cátodo



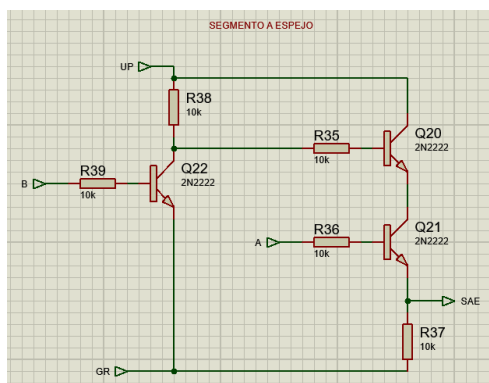
Segmento B - Cátodo



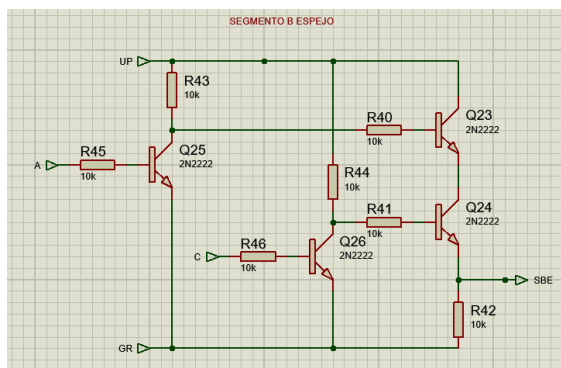
Segmento G - Cátodo



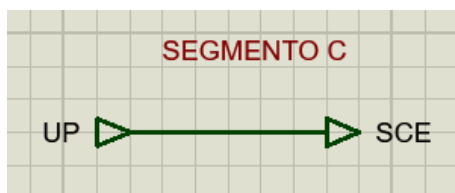
Segmento A – Ánodo



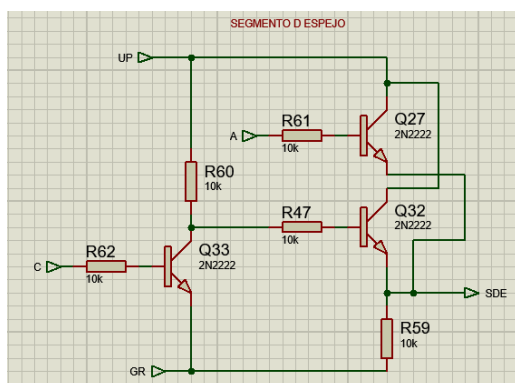
Segmento B – Ánodo



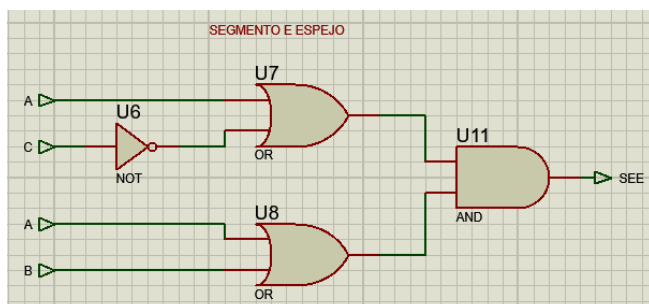
Segmento C – Ánodo



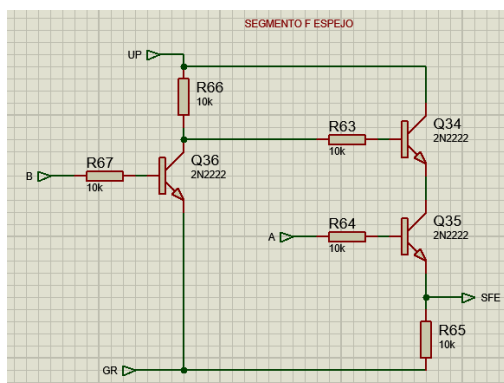
Segmento D – Ánodo



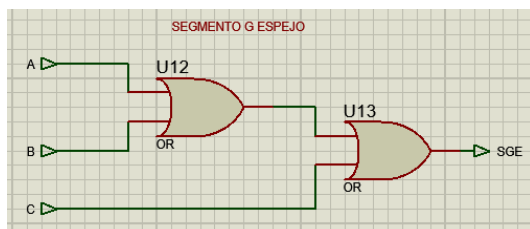
Segmento E – Ánodo



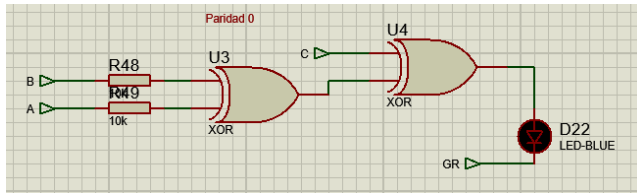
Segmento F – Ánodo



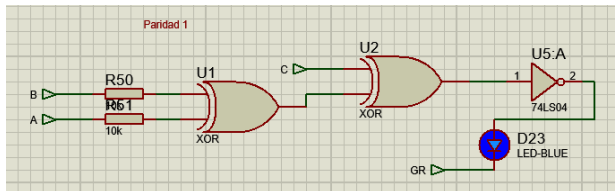
Segmento G – Ánodo



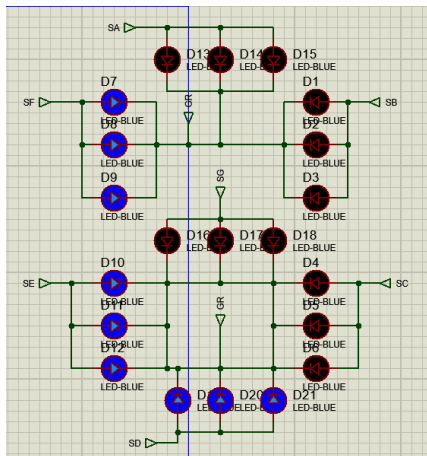
Paridad de 0's



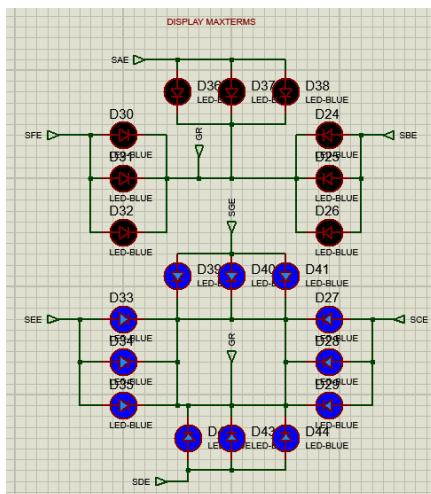
Paridad de 1's



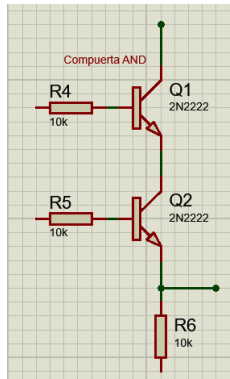
Display de 7 Segmentos - Cátodo



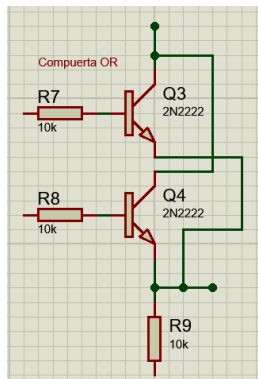
Display de 7 Segmentos – Ánodo



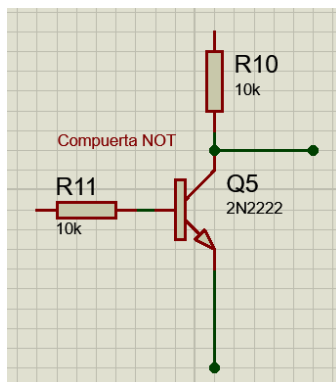
Compuerta AND



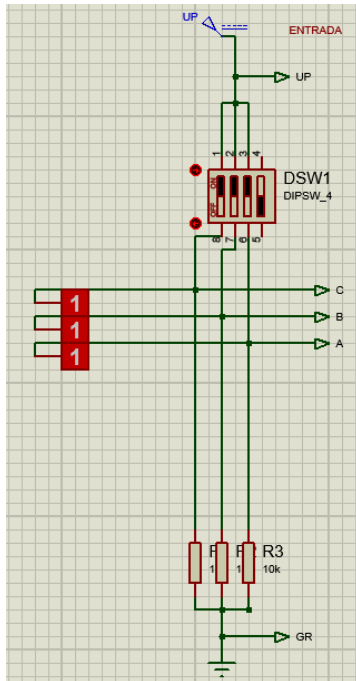
Compuerta OR



Compuerta NOT



Dispswitch



Equipo Utilizado

- Protoboards De 1 Galleta
- LEDs De Diferentes colores de 3mm
- Transistores NPN 2N2222
- Alambre Para Protoboard De Diferentes Colores 22 AWG
- Resistencias de 10k, 2.7k y 330 Ohm
- Placas De Cobre Perforadas De 5x7 cm
- Displays De 7 Segmentos Ánodo Y Cátodo
- Compuertas XOR, AND Y NOT
- Dipswitch De 4 Y 8 Posiciones

Presupuesto

Componente	Precio Unitario, en Q	Cantidad	Costo Componente, en Q
Led amarillo 3mm	1.00	10	10.00
Led azul 3mm	1.00	10	10.00
Led rojo 3mm	1.00	10	10.00
Led verde 3mm	1.00	10	10.00
Transistor NPN 2N2222	0.90	1	0.90
Protoboard 1 galleta	35.00	1	35.00
Alambre protoboard 22 AWG amarillo	2.75	1	2.75
Alambre protoboard 22 AWG azul	2.75	1	2.75
Alambre protoboard 22 AWG rojo	2.75	1	2.75
Alambre protoboard 22 AWG blanco	2.75	1	2.75
Alambre protoboard 22 AWG negro	2.75	1	2.75
Resistencia 10k Ohm	0.60	50	30.00
Resistencia 2.7k Ohm	0.50	6	3.00
Resistencia 330 Ohm	0.50	3	1.50
Placa de cobre perforada una cara 5x7 cm	7.00	4	28.00
Display 7 segmentos ánodo cátodo	5.00	1	5.00
Display 7 segmentos ánodo ánodo	5.00	1	5.00
Compuerta XOR SN74HC86N	13.00	2	26.00
Compuerta AND	5.00	1	5.00
Compuerta NOT	5.00	1	5.00
Switch Dip de 4 posiciones	4.00	1	4.00
Switch Dip de 8 posiciones	6.00	1	6.00
Total			208.15

Aporte Individual De Cada Integrante

Edy Donaldo López Anavizca:

- Segmento A
- Segmento B
- Segmento F
- Segmento G
- Protoboard De 7 Segmentos Con LEDs
- Diagrama De Proteus

Diego Aldair Sajche Avila:

- Segmento C
- Documentación

Alan Rodrigo Pamal de León:

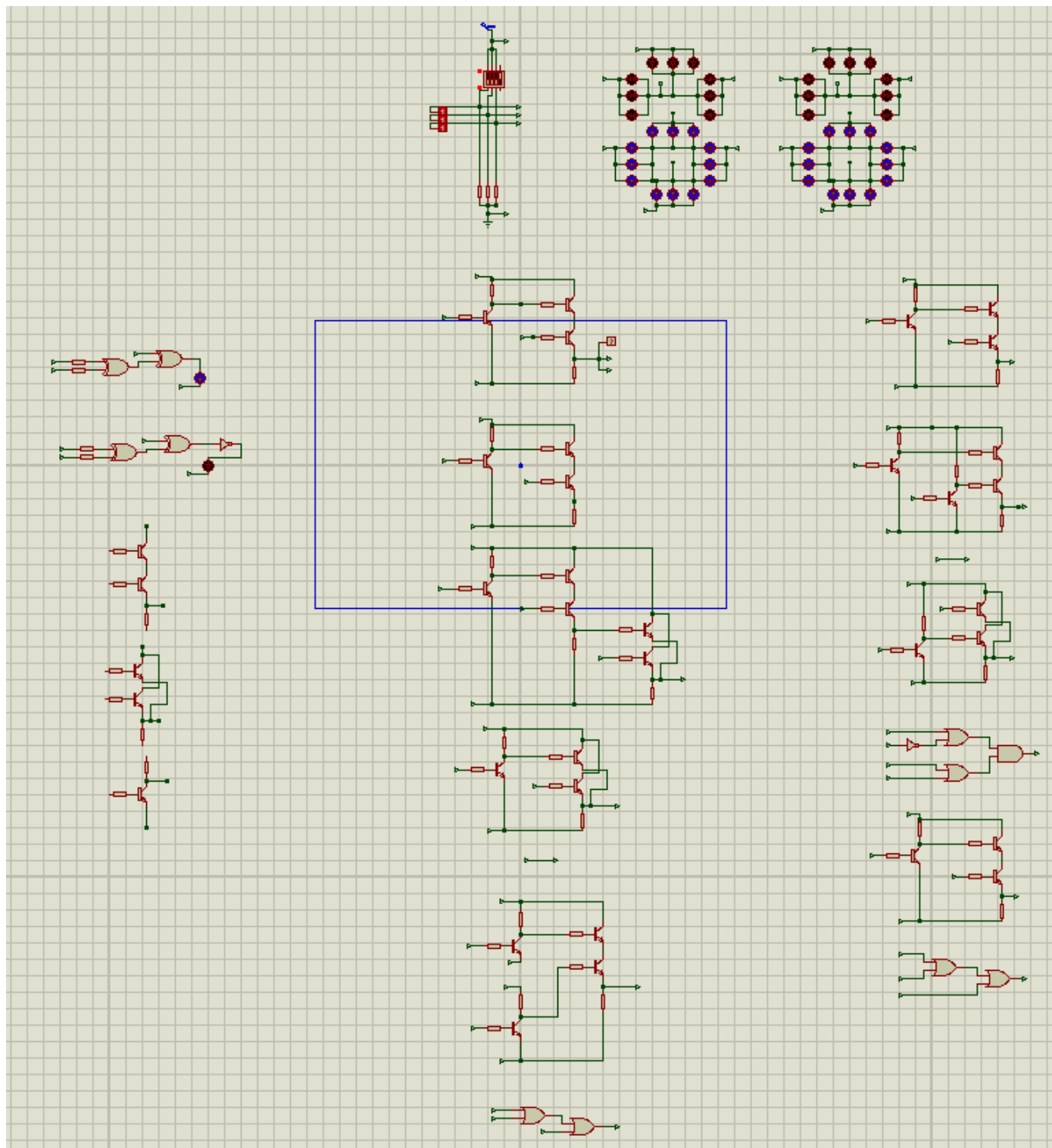
- Segmento D
- Funciones Booleanas
- Mapas De Karnaugh
- Protoboard Con Funciones De Paridad
- Diagrama De Proteus

Conclusiones

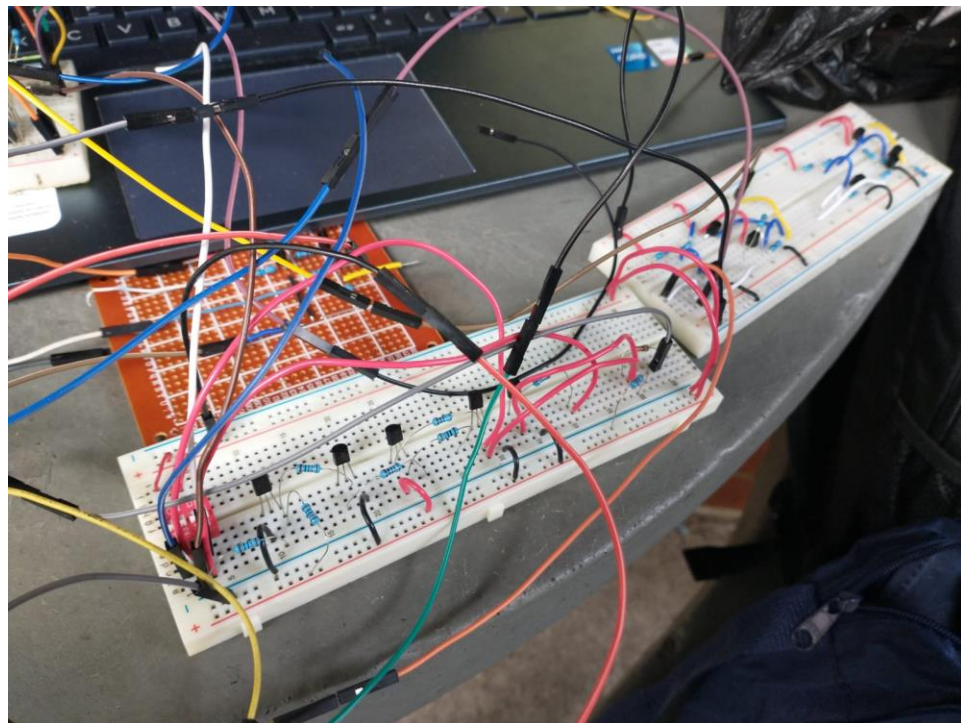
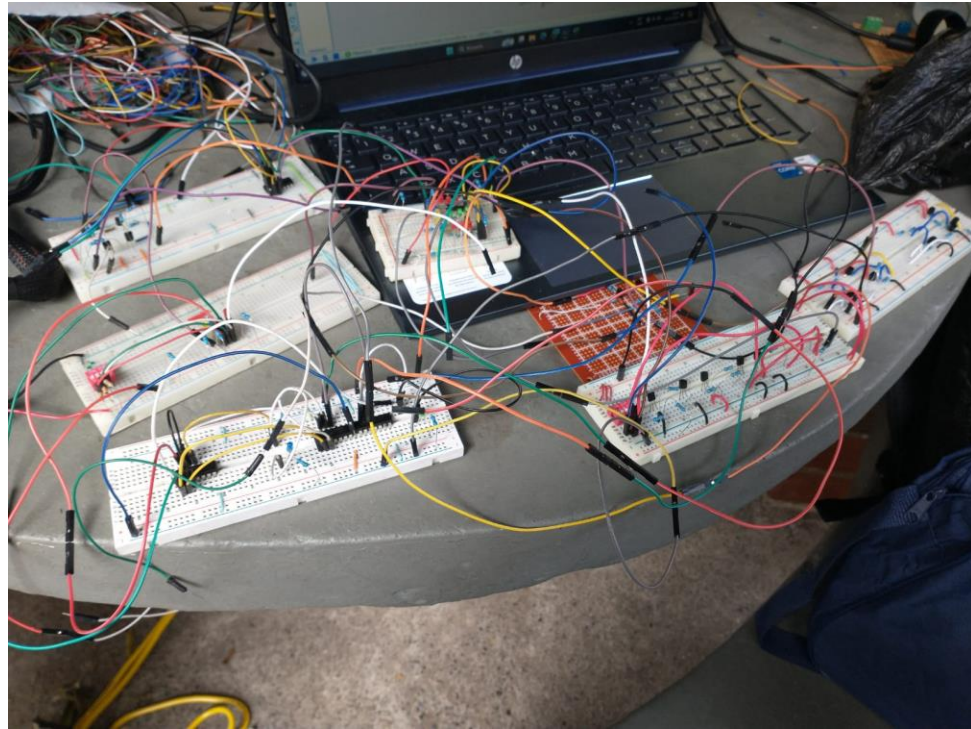
1. Podemos concluir con que el proceso de diseño y montaje del display de 7 segmentos con LEDs para visualizar una palabra de 8 letras ha sido llevado a cabo con éxito. Mediante el uso de transistores y compuertas lógicas, se ha conseguido controlar eficazmente la visualización de cada segmento del display. La implementación de lógica positiva y negativa ha ayudado a asegurar un funcionamiento sólido y eficiente del sistema.
2. Se puede determinar que el circuito combinacional de 3 bits diseñado e implementado en Proteus ha logrado con éxito generar una salida A y B, donde B refleja el estado de A de manera efectiva. Esto proporciona una solución funcional y eficiente para seleccionar y visualizar palabras de 8 letras en un display de 7 segmentos.
3. Se puede concluir que el sistema de detección de errores que se ha desarrollado ha probado su fiabilidad al implementar dos funciones de detección de paridad. Esto asegura la integridad de la información transmitida a través de las entradas [X, Y, Z]. La incorporación de estas funciones en el circuito de lógica combinacional asegura una transmisión precisa de los datos, utilizando componentes específicos para esta finalidad.

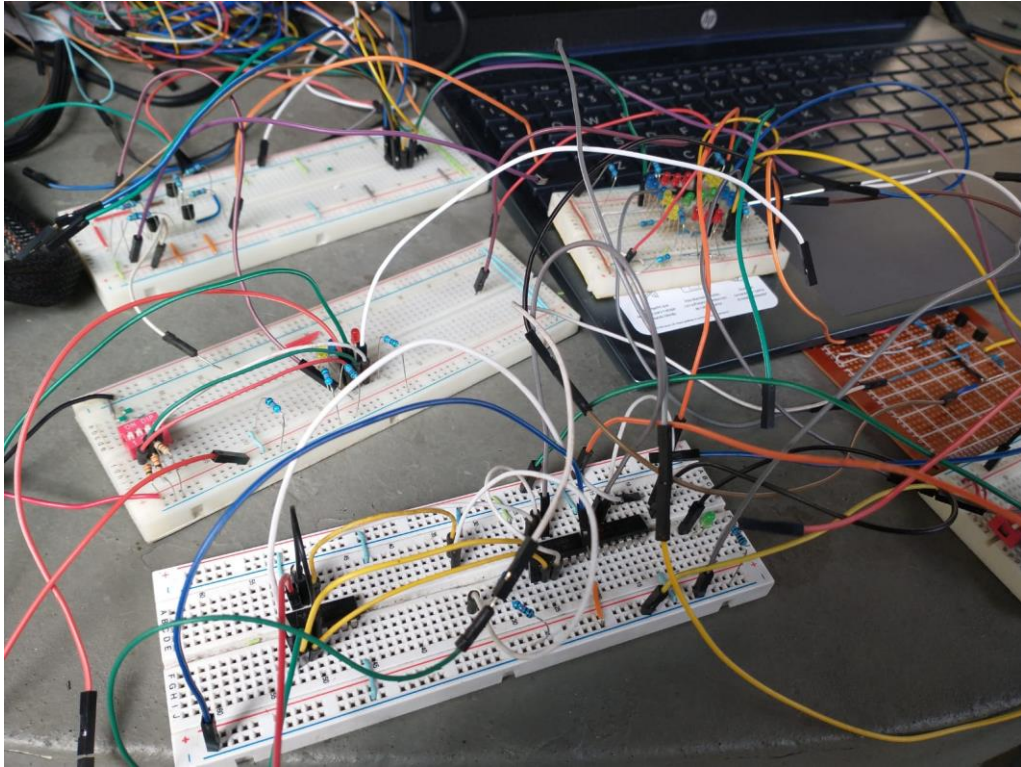
Anexos

Diagrama Del Circuito Impreso



Fotografías De Los Circuitos Físicos





Enlace Al Video Grupal De Los Circuitos Físicos

https://drive.google.com/file/d/1aScxzUqrl4oQTUQNS87qfx_vn4EGuhd2/view?usp=sharing