

TOMORROW班
片山智博丸中愉太
三上裕明水野宏明
横山秀



全体状況



↓ 概ね当初のスケジュール通りに進行中

↓ コアのデータパスに合わせ
てopcodeの変更数

力所

↓ ポートマッパードIOから

↓ メモリマッパードIOに変更

↓ input, output命令
は無い

今週までの歩み(コア)



↓ テストベンチでコアが動く

↓ コア整備は完了

↓ まもなく実機でコア動くはず

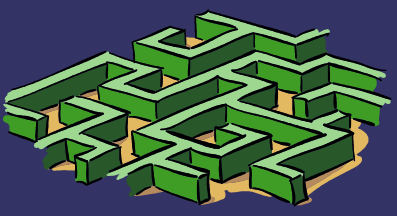
今週までの歩み（シミュレータへ）



↓ USB IOをシミュレータ上で扱えるようにした

↓ 命令セット変更とIO命令変更の対応の準備中

今週までの歩み (FPU)



↓ fadd, fsubを実装完了

↓ fmul実装中

↓ 今週もがんばります

今週までの歩み（コンパイラ）



↓ コンパイラの整数部分実装
完了

↓ 簡単なテストケースで
機械語の出力を確認

今週までの歩み (CEO)



↓
アセンブラに続き逆アセン
ブラも作った。

↓
秒間1.2億命令

↓
Ptraceでブレークポイント
をつければ良さげな
シミュレータになりそう

全体の予定



↓ コアの私がopcodeの
変更を先延ばしにし
ているのでさっさと
決める

↓ 当初の予定通りに11
月中の完動を目指す
焦らない

今後の予定(コア)



↓ 今日中にFPGAを実機で動かす

↓ 金曜日までにやり残した

命令(シフトなど)の対応完了

↓ 以後当初の予定どおりFPGAとの融合

↓ 二月中旬〜下旬の完成を目指す

今後の予定(シミュレータ)



↓ 今週中に命令セットの変更に対応する

↓ シミュレータの動作速度確認して遅そうなら今週〜来週にかけて高速化

↓ 浮動少数命令対応とデバッグ支援機構を並行して実装
二月中旬

今後の予定(FPU)



↓ 11/5までfmul, finvを完成

↓ その後順次fdiv, fsqrt,

三角関数への対応を始める

今後の予定(コンパイラ)



↓
テストケースをコンパイル
してシミュレータでの動作

確認

↓
実機での動作確認

↓
以後順次浮動少数演算への
対応を開始する

今後の予定(CEO)



↓ コアのVHDLを追いかけて
動作を理解する

↓ ゲリラの的に班員のサポート
をする