

## Laboratório 9: Conversor Analógico Digital:

Professor: Felipe Calliari | Monitor: Cristiano Nascimento

*Aluno: Pedro Gabriel Serodio Sales e Thiago Levis*

*Matrícula: 2211911 e 1812899*

# 1 Introdução

O objetivo deste relatório é apresentar as soluções para o laboratório 9 da disciplina ENG1448 assim como apresentações do laboratório em vídeo.

## 2 Resolução

### 2.1 : Introdução

Para fazer essa prática buscamos entender o funcionamento dos protocolos SPI dos dispositivos LTC 6912-1 AMP e LTC 1407A-1 ADC presentes na placa, de modo a gerar uma escala de valores com os LEDs correspondente a uma tensão de entrada variável, obtida com o auxílio de um potenciômetro.

### 2.1 : Geração do Clock

Como primeiro passo, foi preciso estabelecer um clock de funcionamento comum ao pré-amplificador e o ADC. Dado que o período mínimo de clock do primeiro dispositivo é 100 ns, o do segundo é de 20 ns e que o clock de base usado pela FPGA também é de 20 ns, decidimos utilizar um clock comum de 120 ns. Para tanto, criou-se um processo síncrono sensível ao clock de 50 MHz da FPGA, tal que a cada 3 ciclos deste clock atribui-se ao sinal clock-120ns o seu valor lógico anterior negado. Conecta-se este à porta de saída SPI-SCK da FPGA, que se comunica as portas de entrada para clock dos dispositivos LTC 6912-1 AMP e LTC 1407A-1 ADC.

### 2.2 : Máquina de Estados

Tendo gerado um clock de 120 ns comum ao pré-amplificador e ao conversor analógico-digital, criamos uma máquina de estados capaz de configurar ambos os dispositivos e gerenciar os seus protocolos de comunicação SPI (Serial Peripheral Interface). A implementação da máquina de estados se deu a partir de um processo síncrono, sensível ao clock de 120 ns, e nela estão definidos os estados idle, conf-amp, receive-data e activate-ADC, cujos funcionamentos são explicados em detalhes abaixo:

**IDLE:** ao entrar nesse estado, as portas de saída AD-CONV e AMP-CS assumem os valores lógico 0 e 1, respectivamente, para garantir que ambos o pré-amplificador e o ADC comecem

desativados. Isso é feito em concordância com o User Guide da placa, onde diz-se que a porta correspondente ao sinal AD-CONV é active-high e a de AMP-CS é active-low. Além disso, faz-se uma contagem de 10 ciclos de clock até que ocorra uma transição para o estado conf-amp.

**CONF-AMP:** nesse estado faz-se a configuração do amplificador utilizado e do seu ganho. Para tanto, mantém-se a porta AMP-CS com valor lógico 0 para ativar o dispositivo LTC 6912-1 AMP e então são enviados serialmente os 8 bits do sinal conf-amp-bits, 00010001, do mais para o menos significativo, pela porta SPI-MOSI. Dessa forma, configuramos ambos os pré-amplificadores B e A com ganhos de -1. Por fim, antes de fazer a transição para o próximo estado desativamos o dispositivo atribuindo a AMP-CS valor lógico 1 e fazemos o rising-edge do pulso necessário para o acionamento do ADC, atribuindo a AD-CONV valor lógico 1.

**RECEIVE-DATA:** ao chegar nesse estado, faz-se o falling-edge do pulso necessário para o acionamento do ADC. Como detalhado no User Guide, após este pulso tem-se o sampling do sinal analógico recebido pelo ADC, que é então serializado na porta SPI-MISO (inicia pelo bit mais significativo). Após o pulso utiliza-se um contador para mapear os ciclos de clock correspondentes aos bits recebidos na porta SPI-MOSI. Ao todo, conta-se 34 ciclos, sendo relevantes para a nossa prática aqueles referentes aos 14 bits do Channel 0 do dispositivo LTC 1407A-1 ADC. Estes bits são lidos e armazenados em ADC-DATA-REG, guardando em binário a tensão percebida na entrada do ADC. Por fim, ao contabilizar todos os 34 ciclos de clock do protocolo SPI do ADC, atualiza-se a saída ADC-DATA com ADC-DATA-REG, faz-se o rising-edge do pulso necessário para o próximo acionamento do ADC e então migramos para o próximo estado.

**ACTIVATE-ADC:** esse estado serve apenas para fazer o falling-edge do pulso necessário para o próximo acionamento do ADC e então faz-se a transição para o estado RECEIVE-DATA novamente. Assim, repetimos um ciclo de leituras da tensão variável, percebida pelo ADC, e de suas conversões em binário para definirmos a escala de tensão com os LEDs.

### 2.3 : Escala de Tensão Digital

Na implementação da escala digital foi usada uma lógica combinacional que avalia a versão signed do sinal ADC-DATA, valor em binário correspondente ao valor analógico de tensão percebido pelo ADC. Assim, dependendo do valor de ADC-DATA diferentes padrões são configurados aos 8 bits da porta de saída LEDs, de modo que tem-se mais LEDs acesos conforme aumenta a tensão (limitada entre 0,40 V a 2,90 V).

### 2.4 : Dispositivos Desativados

Como indicado pelo User Guide, o barramento dos sinais do protocolo SPI são compartilhados entre múltiplos dispositivos. Dessa forma, é essencial que estes estejam desativados durante a comunicação entre a FPGA e o pré-amplificador ou o ADC.

### 3 Vídeo de Apresentação

O vídeo de apresentação segue ao lado: **Lab 9: Conversor Analógico Digital (ADC)**  
ou acessar pelo url: <https://youtu.be/rvBktFWEhNU>