

## Laboratório 8: Conversor Digital Analógico:

Professor: Felipe Calliari | Monitor: Cristiano Nascimento

*Aluno: Pedro Gabriel Serodio Sales e Thiago Levis*

*Matrícula: 2211911 e 1812899*

# 1 Introdução

O objetivo deste relatório é apresentar as soluções para o laboratório 8 da disciplina ENG1448 assim como apresentações do laboratório em vídeo.

## 2 Resolução

### 2.1 : Introdução

O objetivo deste projeto é controlar o componente DAC da placa FPGA Spartan 3E disponível em sala de aula. A sua saída é medida com um osciloscópio, e são determinadas duas formas de onda para ilustrar o seu funcionamento: uma dente de serra e uma triangular. Com base no User Guide da placa são determinados os seguintes procedimentos.

### 2.1 : Componente DAC

O Conversor Digital-Analógico conta com uma entrada de clock (CLK), uma de dados de 12 bits (DATA) e uma entrada SEND-DATA para sinalizar que o componente está apto para mandar o próximo dado na saída.

Escolhemos todas as portas A, B, C e D do controlador para mandar os resultados do projeto. Antes de começar a implementação de fato, é necessário desabilitar os outros dispositivos conectados em portas compartilhadas com o DAC no SPI Bus.

O manual da placa atenta o uso do clock de 50 MHz. Logo, utilizamos 50MHz direto do FPGA com metade do ciclo ativo. Parte-se agora para o desenvolvimento do controle do DAC. Cada troca de informação no protocolo possui 32 bits e o componente deve receber os dados com a porta DAC-CS em 0.

Foi configurada uma máquina de estados que seguem as especificações do User Guide para o controle. O primeiro estado de idle aguarda o sinal SEND-DATA, mantendo os sinais DAC-CS e READY em nível lógico 1. Uma vez recebido o sinal, o estado muda para o seguinte, que manda 8 bits de dont care na porta SPI-MOSI, o que faz parte do protocolo. Nesse momento, READY é desativado e um contador garante que a quantidade certa de bits é enviada.

O próximo estado manda um comando de 4 bits 0011, sempre em SPI-MOSI, que faz o update da saída do DAC de acordo com o valor de entrada em DATA. O estado seguinte

manda um endereço de 4 bits para escolher a porta de saída do controlador, e foi mandado 1111, ativando todas. O penúltimo estado manda de fato os 12 bits de dados da entrada, e o próximo estado finaliza a mensagem com os últimos 4 bits de dont care, concluindo os 32 bits no total.

## 2.2 : Módulo Integrador

Para implementar o controlador e de fato mandar um sinal na sua saída, foi criada uma main que implementa um contador de 12 bits na entrada do controlador do DAC. A cada ciclo de clock, se o mesmo estiver pronto, o contador é atualizado em 1 unidade. Quando chega no seu limite, há duas abordagens tomadas: se o contador volta a zero, se configura uma onda dente de serra, e se passar a ser decrementado, tem-se uma onda triangular. Toda vez que o contador chega no limite, as condições são atualizadas de acordo.

## 2.3 : Testes na placa

Foi definido o seguinte arquivo de constraints, e ao simular na placa foi testada a saída A do DAC em um osciloscópio. Percebe-se a tensão de referência de aproximadamente 3.3 V nessa porta, de acordo com o User Guide.

```
1 #NET "SPI_MISO" LOC = "N10" | IOSTANDARD = LVCMOS33 ;
2 NET "SPI_MOSI" LOC = "T4" | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 8 ;
3 NET "SPI_SCK" LOC = "U16" | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 8 ;
4 NET "DAC_CS" LOC = "N8" | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 8 ;
5 NET "DAC_CLR" LOC = "P8" | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 8 ;
6
7 # disabled values
8 NET "SPI_SS_B" LOC = "U3" | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 6 ;
9 NET "AMP_CS" LOC = "N7" | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 6 ;
10 NET "AD_CONV" LOC = "P11" | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 6 ;
11 NET "SF_CE0" LOC = "D16" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
12 NET "FPGA_INIT_B" LOC = "T3" | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 4 ;
13
14 NET "CLK" LOC = "C9" | IOSTANDARD = LVCMOS33 ;
15 NET "CLK" PERIOD = 20.0ns HIGH 50%;
```

(1)

Figura 1: Constraint File

## 3 Vídeio de Apresentação

O vídeo de apresentação segue ao lado: **Lab 8: Conversor Digital Analógico (DAC)**

ou acessar pelo url: <https://youtu.be/RF1qgY6eJ8U>