

## Laboratório 7: Display LCD:

Professor: Felipe Calliari | Monitor: Cristiano Nascimento

*Aluno: Pedro Gabriel Serodio Sales e Thiago Levis*

*Matrícula: 2211911 e 1812899*

# 1 Introdução

O objetivo deste relatório é apresentar as soluções para o laboratório 7 da disciplina ENG1448 assim como apresentações do laboratório em vídeo (neste laboratório em específico, usamos só uma foto pois era para mostrar o resultado no display LCD).

# 2 Resolução

## 2.1 : Funcionamento do LCD

O componente implementado para controle do LCD conta com uma entrada de clock e saídas como visto na figura acima. O clock vem direto do FPGA e vale 50MHz. O barramento de dados (DATA) possui apenas 4 bits e exerce o papel de carregar instruções e dados dos caracteres a serem escritos. Porém, como as operações necessitam de 8 bits, são necessários dois envios, primeiro o nibble mais significativo e em seguida o menos significativo.

Além disso, o display apresenta 40 caracteres por linha, mas só mostra os primeiros 16 na tela. No caso, não será necessário contabilizar essa informação, que provavelmente será útil em aplicações futuras e mais complexas.

As portas LCD-RS, LCD-RW, LCD-E e SF-CE0 são utilizadas para configuração e escrita nessa implementação. Especificamente esse último sinal é deixado constantemente ativo, pois o LCD compartilha portas com a Strata Flash junto com outros componentes, e isso é uma forma de desativá-la. A porta LCD-RW foi deixada constantemente desativada, e desse modo o LCD apenas recebe dados. As restantes LCD-RS e LCD-E variam os seus estados dependendo do que deve ser feito.

## 2.2 Máquina de Estados

Todo o processo de interação com o LCD foi descrito em uma máquina de estados síncrona com o clock, com três etapas gerais, comentadas adiante de forma mais aprofundada. Cada uma depende fortemente de timings e dados específicos a serem enviados, e para isso foram definidos um array com os tempos necessários de cada instrução e 3 arrays com os dados a serem utilizados. O primeiro estado é o idle, que aguarda até garantir que o display esteja pronto quando a FPGA acaba a sua configuração. Nesse momento, como não se deseja fazer operações, LCD-RW e LCD-E estão desativados. Antes de passar para o próximo estado, os

primeiros dados já ficam preparados para o envio. Cada estado da máquina faz uso de um contador interno para garantir que os sinais apresentem a duração esperada. Assim, existe um índice para percorrer o array com os tempos e outro índice para percorrer os arrays de dados.

### 2.2.1 : Inicialização

O estado de inicialização, como fornecido pelo User Guide da placa, é dividido em duas partes, init-a e init-b, de acordo com a implementação no projeto. Essa rotina está ilustrada na imagem abaixo. O primeiro estado aguarda o tempo com os dados ativos, colocando nível lógico 1 na porta LCD-E. Já o estado init-b desativa essa porta e aguarda o tempo necessário entre envios, enquanto prepara os próximos dados a serem enviados quando a máquina voltar para init-a.

Passo	Dado	Enable	Ciclos de clock
0			750.000
1	D=3h	E=1	12
2		E=0	205.000
3	D=3h	E=1	12
4		E=0	5.000
5	D=3h	E=1	12
6		E=0	2.000
7	D=2h	E=1	12
8		E=0	2.000

(1)

Figura 1: Rotina dos Passos

No último dado, init-b passa para o primeiro estado de configuração, já preparando os primeiros dados de configuração a serem enviados.

### 2.2.2 : Configuração

A parte da configuração tem estrutura bastante parecida com a de inicialização. Também é dividida em conf-a e conf-b, com o mesmo propósito de tempo ativo de dados e tempo de espera. A diferença é que o array de referência dos dados mudou. Nesse momento, são efetuados comandos de Function Set, Entry Mode Set, Display On/Off e Clear Display. Os dados para escrita também são preparados antes da transição para a próxima etapa. Vale lembrar que o tempo de espera depois do Clear Display é bem maior. Normalmente, de acordo com o manual, para instruções normais o tempo ativo de cada nibble é de 12 ciclos de clock, o tempo entre eles é de 50 ciclos e após o segundo nibble a espera é de 2000 ciclos.

### 2.2.3 : Escrita

O estado de escrita ocorre até que não haja mais caracteres a serem enviados no vetor designado. A rotina padrão de envio mencionada no estado anterior é utilizada aqui também, e a mesma divisão ocorre com write-a e write-b, com o mesmo propósito,

mas dessa vez o sinal da porta LCD-RS alterna junto com LCD-E, já que se deseja enviar dados a serem mostrados na tela dessa vez, em vez de configuração. Quando o último contador do último caractere termina, a máquina de estados entra num estado finish no qual fica perpetuamente.

OBS: É preciso tomar cuidado com os índices de cada array para que o tempo e o dado caminhem de forma coerente. Na lógica implementada, foi necessário se atentar com o índice dos dados extrapolando seu limite.

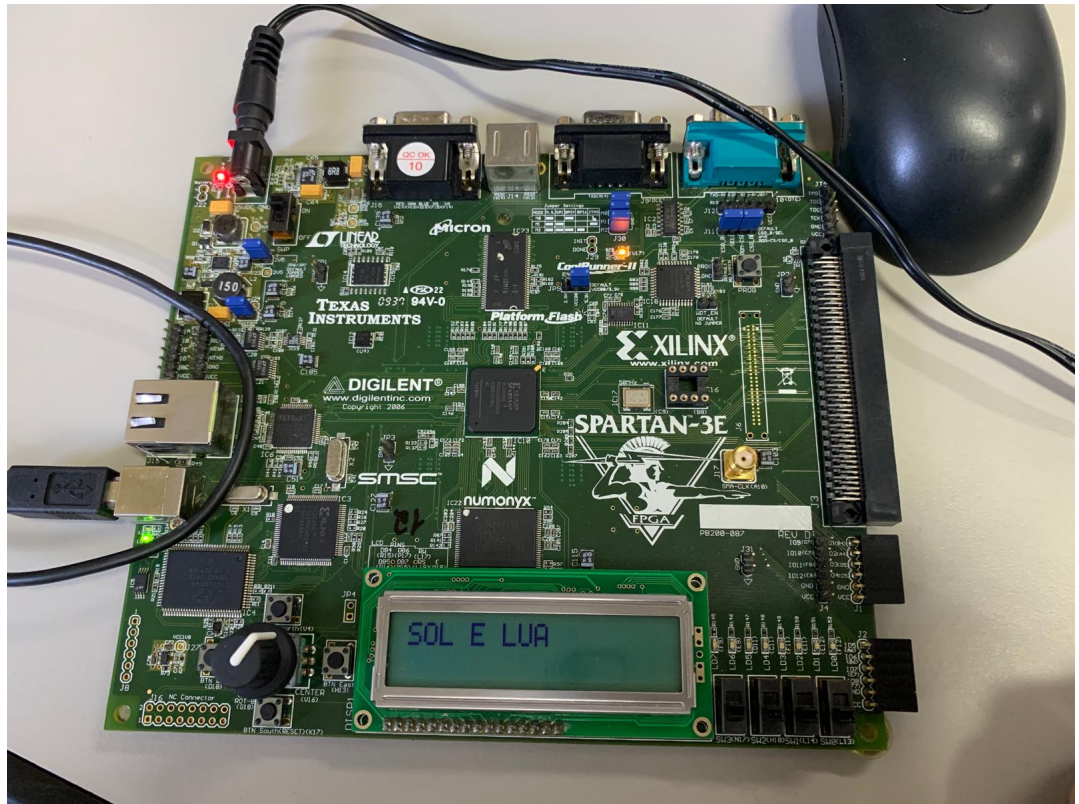
#### 2.2.4 : **Simulação**

Dessa forma, para testes, foi escrita a frase SOL E LUA para ser testada no display. Os dados foram salvos em um vetor com 4 bits de cada vez.

### 3 Vídeo de Apresentação

O vídeo de apresentação segue ao lado: **Lab 7: Display LCD**

ou acessar pelo url: <https://youtu.be/IGZjs7nm00Y?si=Ftq0MTyMbFRuaePm>



(2)

Figura 3: Apresentação Resultado Final no LED