

ARC1 - TP 3

Aurélien Anne, Léo Noël-Baron & Thierry Sampaio

16/10/2015

Additionneur de trois opérandes

Le résultat d'une addition de trois opérandes sur 4 bits est compris dans l'intervalle $[0, 45]$ soit $[0, 101101]$ en binaire ; il doit donc être codé sur 6 bits. On obtient les 4 bits faibles du résultat en enchaînant deux additionneurs à deux opérandes, et on les 2 bits restants respectent la table suivante :

$r_1 r_2$	$s_5 s_4$
00	00
01	01
10	01
11	10

où r_1 et r_2 sont les restes respectifs du premier et du deuxième additionneur. Ainsi on a $s_5 = r_1 \cdot r_2$ et $s_4 = r_1 \oplus r_2$, ce qui permet de concevoir le circuit en Figure 1.

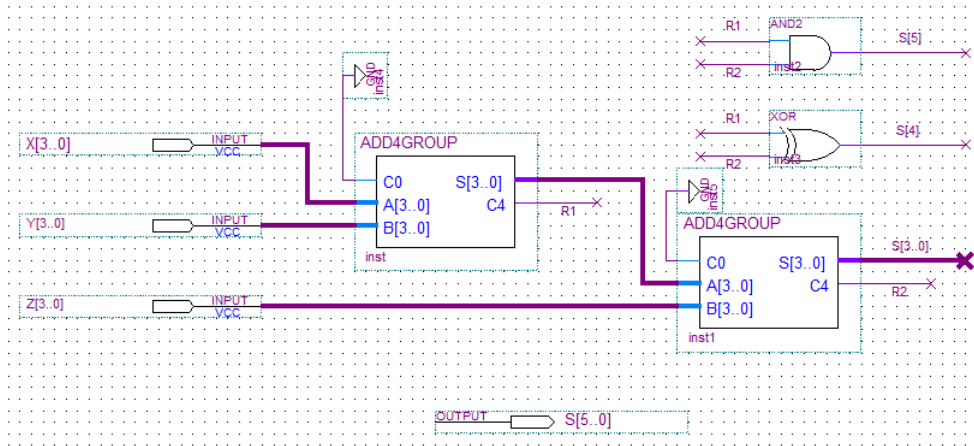


FIGURE 1 – Schéma du composant ADD3

Nombre de bits à 1

Le résultat étant compris dans l'intervalle $[0, 4]$, 3 bits suffisent pour le coder. La table booléenne correspondant à cette fonction est :

x_3	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1
x_2	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1	1
x_1	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1
x_0	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
C	00	01	01	10	01	10	10	11	01	10	10	11	10	11	11	100

(Pour tous les résultats à part le dernier, le bit de poids fort nul n'est pas noté par souci de place.) Cette table donne les expressions booléennes suivantes pour $C = c_2c_1c_0$, qui donnent le circuit présenté en Figure 2 :

- $c_2 = x_3x_2x_1x_0$
- $c_1 = x_3 \cdot \bar{x}_2 \cdot \bar{x}_1 \cdot x_0 + x_3x_2x_1\bar{x}_0 + \bar{x}_3(x_2 \oplus x_1)x_0 + \bar{x}_3x_2x_1 + x_3(x_2 \oplus x_1)$
- $c_0 = \bar{x}_3 \cdot \bar{x}_2 \cdot (x_1 \oplus x_0) + (x_3 \oplus x_2) \cdot \bar{x}_1 \cdot \bar{x}_0 + x_3x_2(x_1 \oplus x_0) + (x_3 \oplus x_2)x_1x_0$

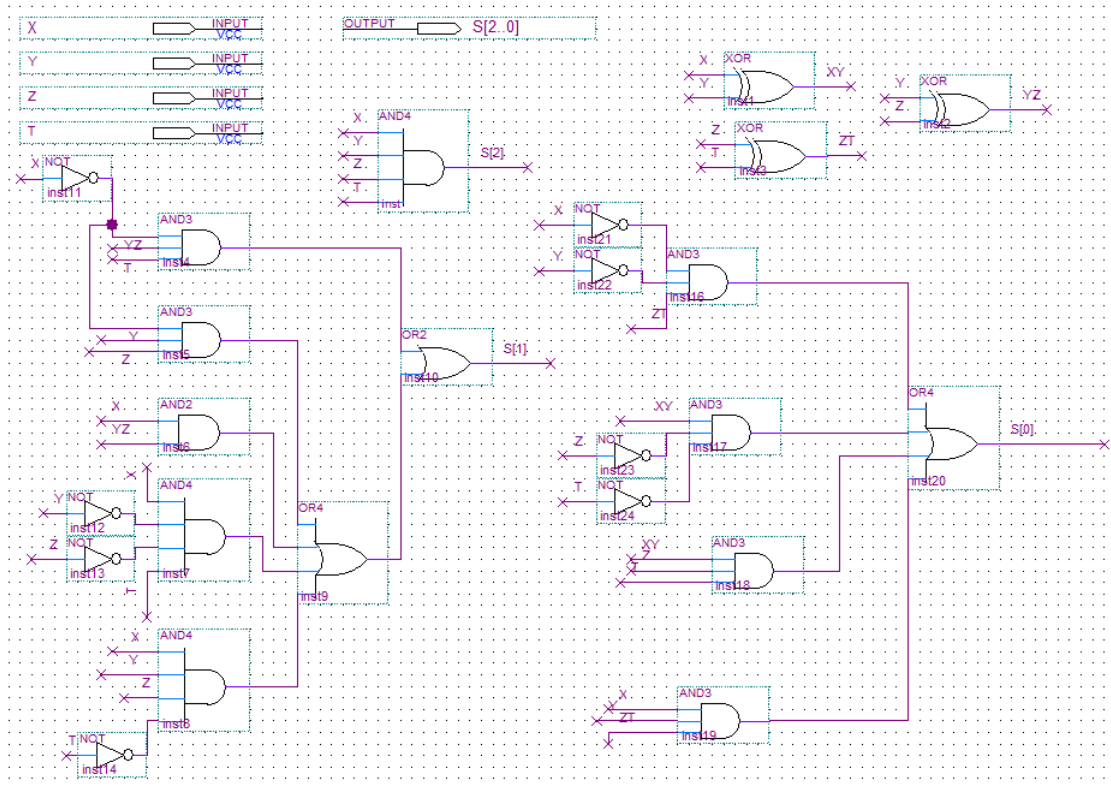


FIGURE 2 – Schéma du composant NB1

Compareur binaire

L'expression formelle du compareur sur 1 bit CMP1 est immédiate : $S = (X \oplus Y)X$ et $I = (X \oplus Y)Y$; ceci permet de réaliser le circuit en Figure 3. Le circuit d'expansion montré en Figure 4 se conçoit en constatant qu'avec $X = X_1X_0$ et $Y = Y_1Y_0$, $X > Y \Leftrightarrow X_1 > Y_1$ ou $(X_1 = Y_1 \text{ et } X_0 > Y_0)$, et symétriquement pour $X < Y$. Par suite, il suffit d'organiser ces deux composants comme en Figure 5 pour obtenir un compareur binaire sur 4 bits.

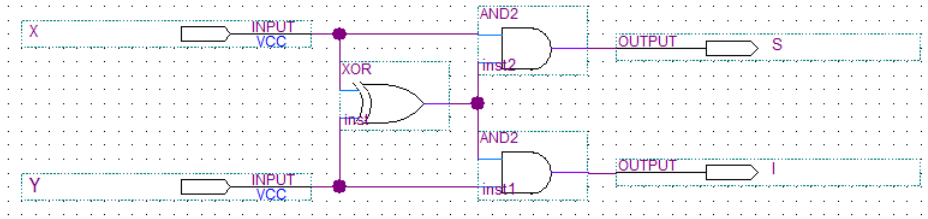


FIGURE 3 – Schéma du composant CMP1

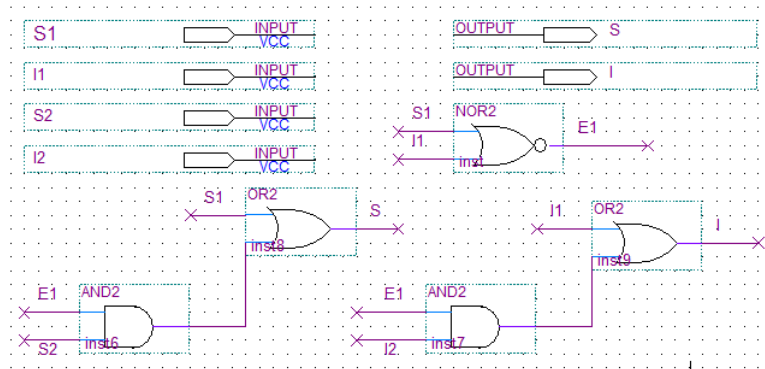


FIGURE 4 – Schéma du composant EXPN

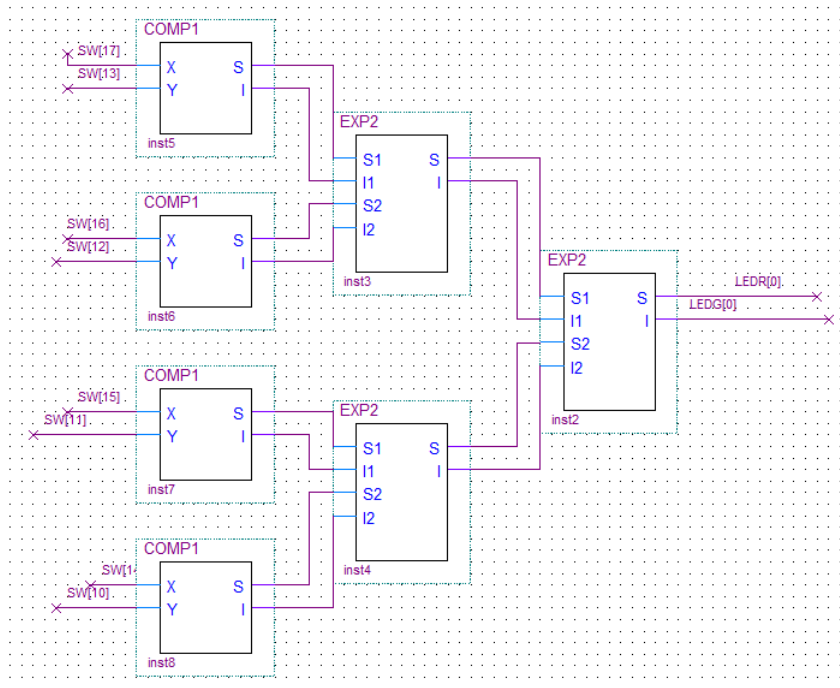


FIGURE 5 – Schéma du composant CMP4