

# ARC1 - TP 6

Aurélien Anne, Léo Noël-Baron & Thierry Sampaio

13/11/2015

## Protocole de demande-réponse entrelacée

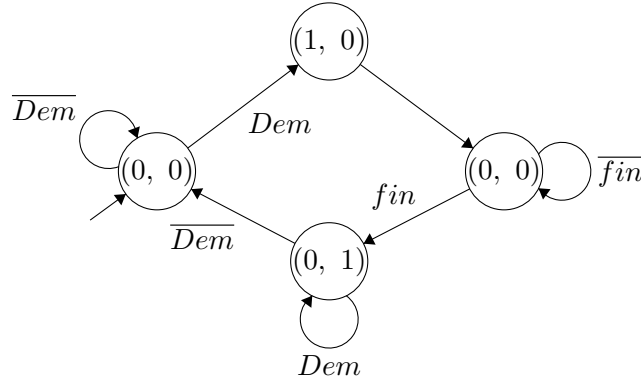


FIGURE 1 – Diagramme des états de DemRep

Le protocole demandé correspond à l'automate représenté en Figure 1, où chaque état est annoté des valeurs correspondantes des signaux *debut* et *Rep*, l'état initial étant celui désigné par la flèche entrante. On peut alors réaliser cet automate par machine à jeton, avec un registre d'un bit par état, comme en Figure 2, ou par codage dense.

Un codage dense envisageable est celui-ci, sur deux bits : 00 pour l'état 1, 01 pour 2, 10 pour 3 et 11 pour 4. En notant  $q_1$  et  $q_0$  les bits de codage, on a alors immédiatement  $debut = \overline{q_1}q_0$  et  $Rep = q_1q_0$ , et une table des transitions permet d'obtenir les formules suivantes pour les deux registres :  $q_1^+ = \overline{q_1}q_0 + q_1\overline{q_0} + q_1Dem$  et  $q_0^+ = \overline{q_1}\overline{q_0}Dem + q_1q_0Dem + q_1\overline{q_0}fin$ . Ce codage donne le circuit présenté en Figure 3.

Les deux circuits donnent des chronogrammes identiques en simulation, tel qu'en Figure 4.

## Générateur d'horloge

Le générateur d'horloge spécifié se comporte comme l'automate en Figure 5 ; initialement à l'état 0 (signal  $HS = 1$ ), il passe immédiatement à l'état 1 puis y reste tant que la commande est activée (signal  $HS = 0$ ), avant de passer à l'état 2 (signal  $HS = 0$ ) qui revient à l'état initial. Un codage dense possible sur 2 bits est 10 pour l'état 0, 00 pour 1 et 01 pour 2 (afin d'avoir immédiatement  $HS = q_1$  ; on prendra garde à l'état illicite 11). Les formules que doivent suivre les deux registres sont alors  $q_1^+ = \overline{q_1}q_0$  et  $q_0^+ = \overline{q_1} \cdot \overline{q_0} \cdot att$ , d'où le circuit présenté en Figure 6.

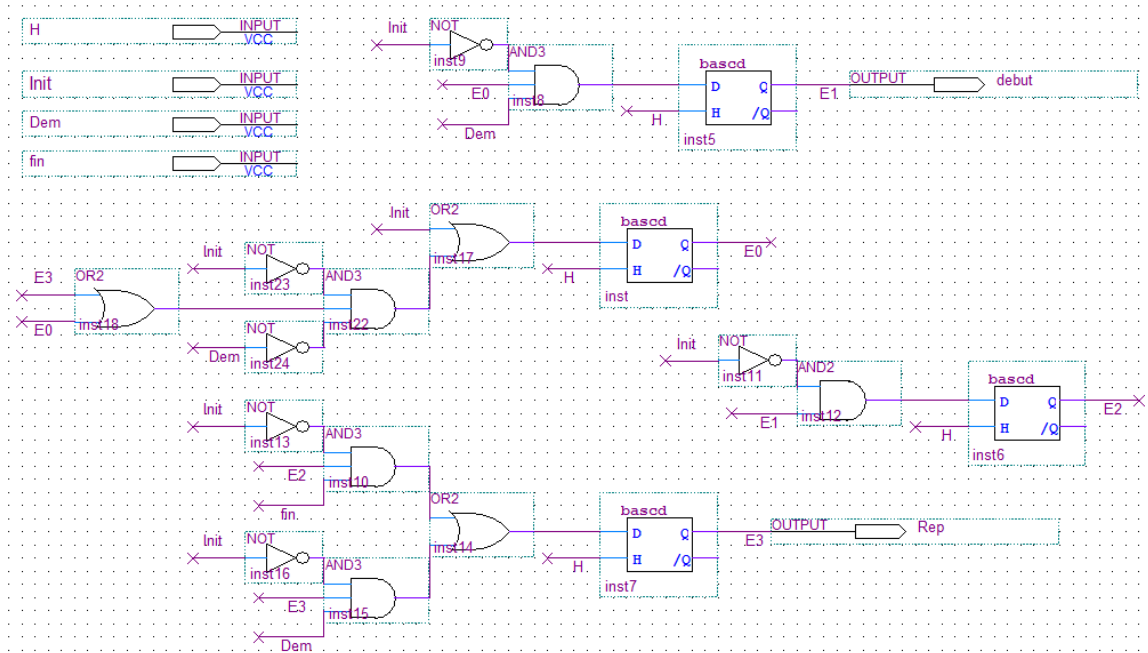


FIGURE 2 – Réalisation par machine à jeton

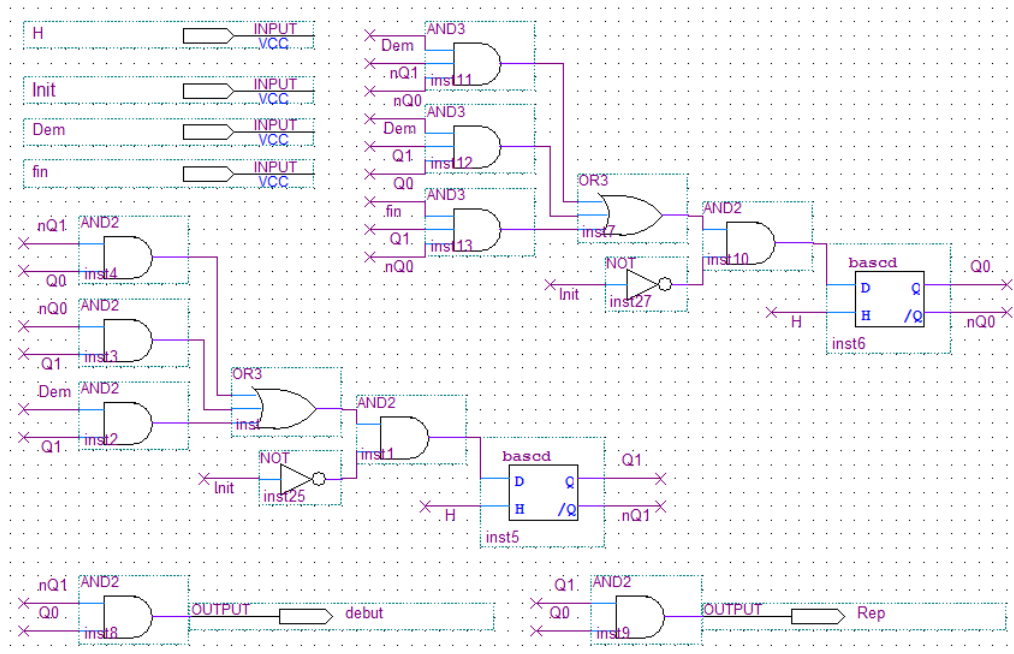


FIGURE 3 – Réalisation par codage dense

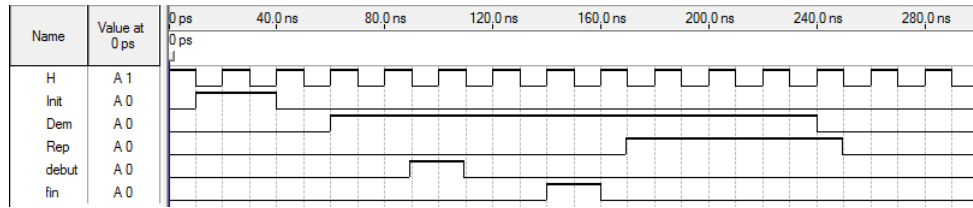


FIGURE 4 – Simulation du protocole de demande-réponse

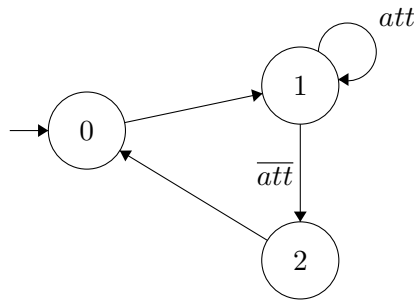


FIGURE 5 – Diagramme des états de GenHorl

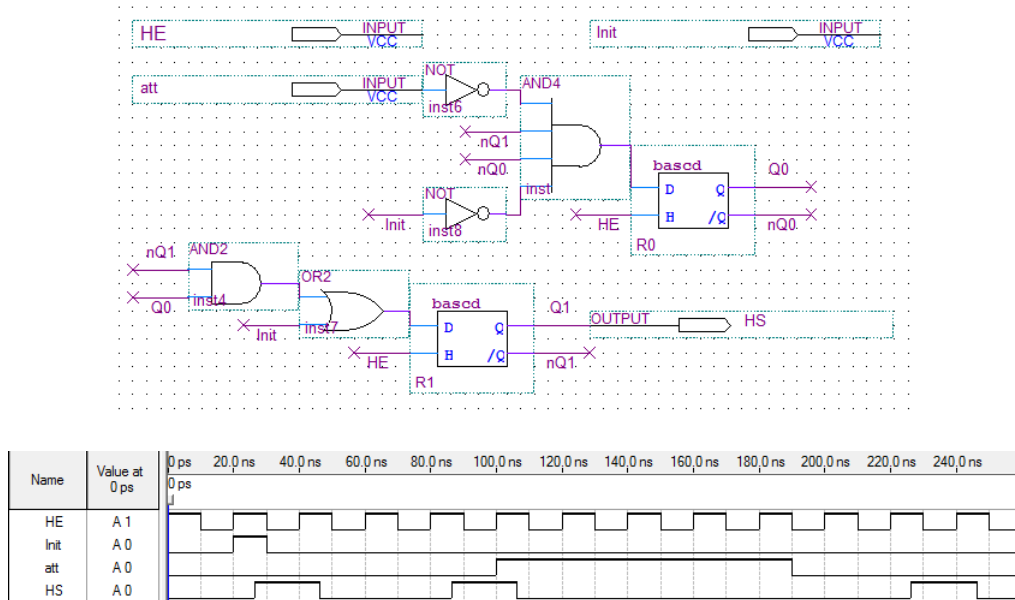


FIGURE 6 – Schéma et simulation du composant GenHorl