

ARC1 - TP 2

Léo Noël-Baron & Thierry Sampaio

09/10/2015

Fonctions booléennes

Les expressions formelles obtenues sont, pour $X = x_3x_2x_1x_0$:

— $f_1(X) = x_3 \cdot \overline{x_2} \cdot \overline{x_1}$

— $f_2(X) = x_3 + x_2(x_1 + x_0)$

— $f_3(X) = \overline{x_1} + \overline{x_0} + x_3x_1x_0$

La première est immédiate en constatant que 8 et 9 s'écrivent respectivement 1000 et 1001 en binaire ; les deux suivantes sont obtenues grâce à un tableau de Karnaugh sur 4 bits. Le circuit correspondant à ces expressions est donné en Figure 1.

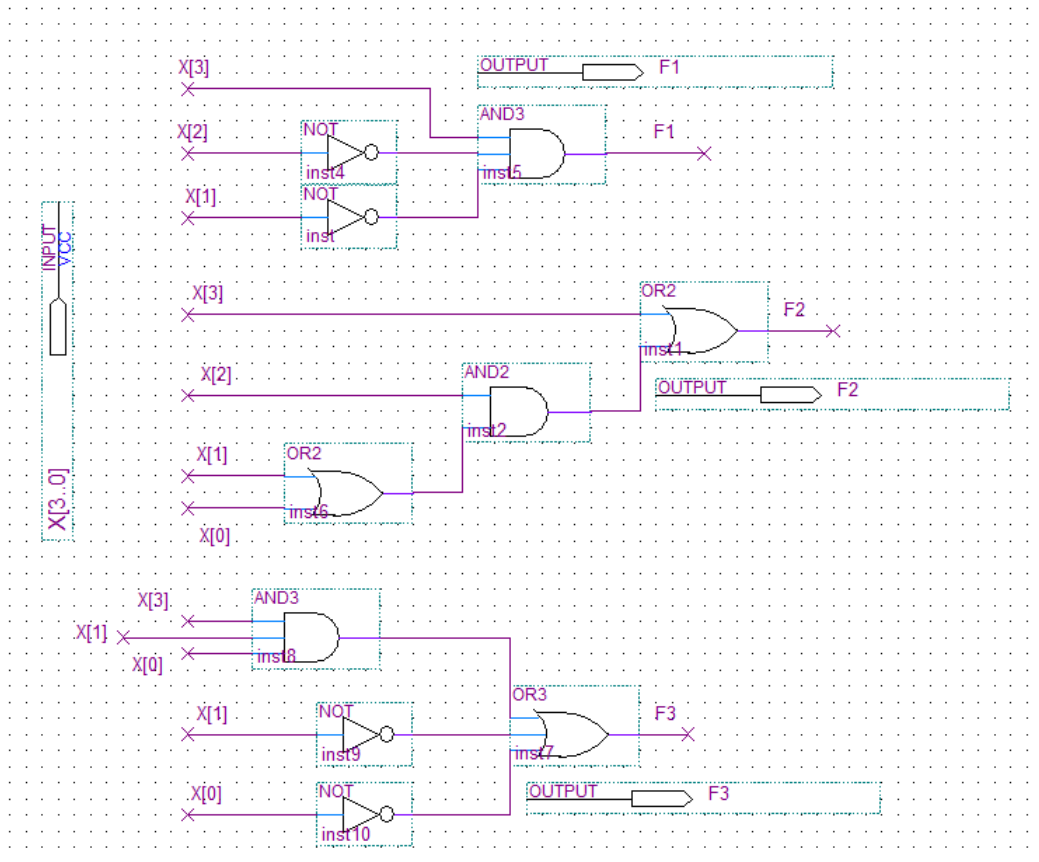


FIGURE 1 – Circuit des trois fonctions booléennes

Additionneur décimal

Un additionneur décimal peut se baser sur un simple additionneur binaire et corriger ses sorties pour obtenir le résultat voulu $\in [0, 9]$ et la retenue. Soient A et C_b les sorties d'un additionneur binaire, analysons le problème.

La plage de valeurs qui nous intéresse est $A \in [0, 15]$ si $C_b = 0$, $A \in [0, 2]$ sinon ; en effet, ces valeurs correspondent en décimal à l'intervalle $[0, 19]$. On voit immédiatement que si $A \leq 9$ et $C_b = 0$, A et C_b sont les valeurs attendues en sortie de l'additionneur décimal. Pour les autres valeurs, regardons les sorties S et C_s correspondantes :

A	C_b	S	C_s
1010	0	0000	1
1011	0	0001	1
1100	0	0010	1
1101	0	0011	1
1110	0	0100	1
1111	0	0101	1
0000	1	0110	1
0001	1	0111	1
0010	1	1000	1
0011	1	1001	1

De cette table se déduisent facilement les expressions formelles suivantes pour $S = s_3s_2s_1s_0$:

- $s_3 = \overline{a_3} \cdot \overline{a_2} \cdot a_1 \cdot C_b$
- $s_2 = \overline{a_3} \cdot \overline{a_2} \cdot \overline{a_1} \cdot C_b + \overline{c} \cdot a_3 \cdot a_2 \cdot a_1$
- $s_1 = \overline{a_3} \cdot \overline{a_2} \cdot \overline{a_1} \cdot C_b + a_3 \cdot a_2 \cdot \overline{a_1} \cdot \overline{C_b}$
- $s_0 = a_0$

On construira donc l'additionneur décimal en implémentant un circuit vérifiant si une entrée sur 4 bits est inférieure à 9 (ce composant est décrit en Figure 2) et un autre chargé de faire la correction des cas pertinents selon les expressions ci-dessus (voir Figure 3) ; il suffit ensuite de réaliser le branchement conditionnel au moyen du composant SEL4 réalisé au TP précédent, comme en Figure 4.

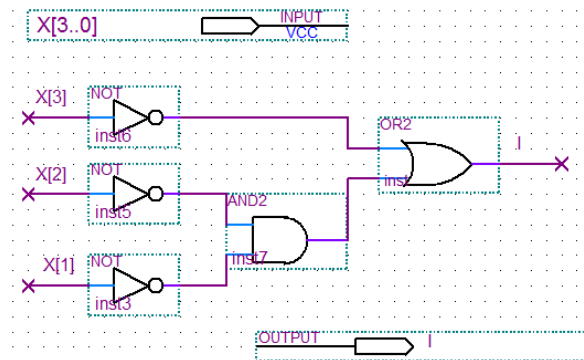


FIGURE 2 – Test ≤ 9 sur 4 bits

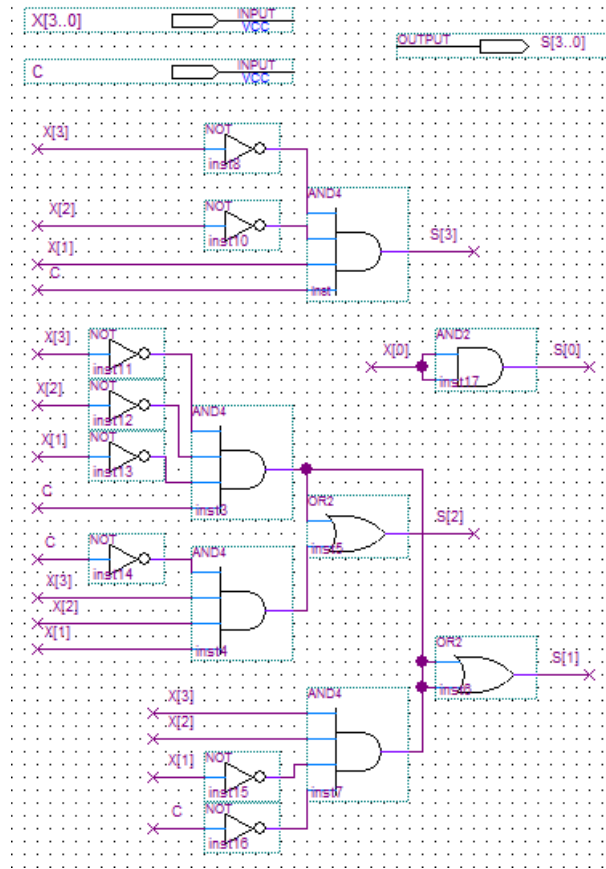


FIGURE 3 – Circuit de correction de l'addition binaire

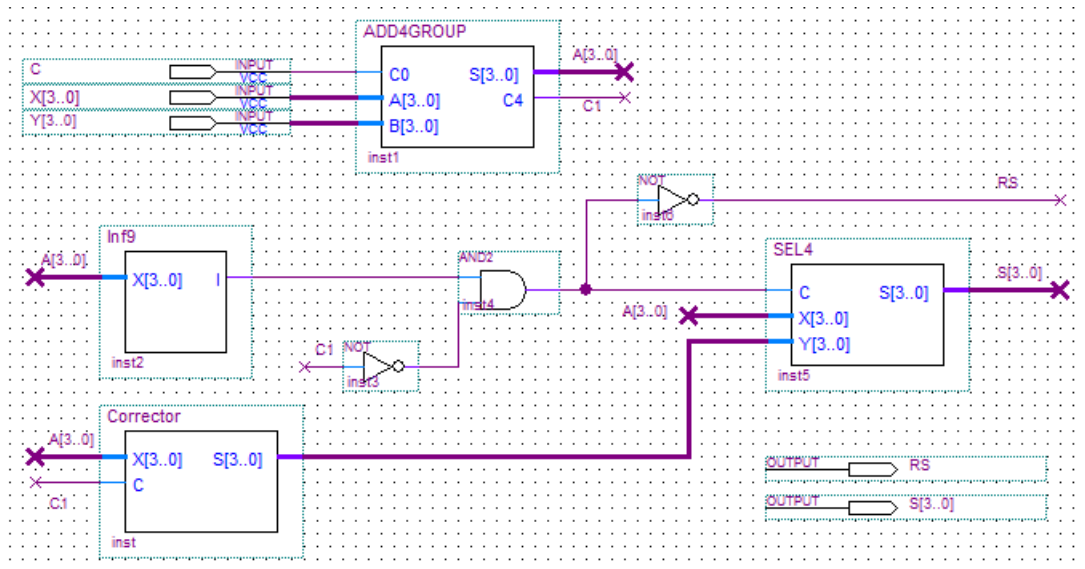


FIGURE 4 – Circuit du composant ADDEC1