

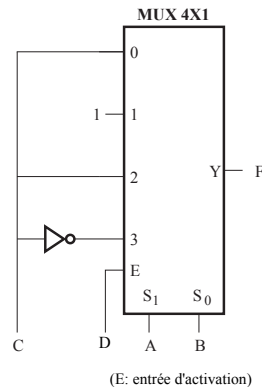
Université Mohammed Premier, ENSA de Oujda 2023/2024  
Module : Électronique numérique, Filière : GI3 & GE3

Enseignant : Mr. J.ZAIDOUNI

## TD2 : Systèmes logiques combinatoires

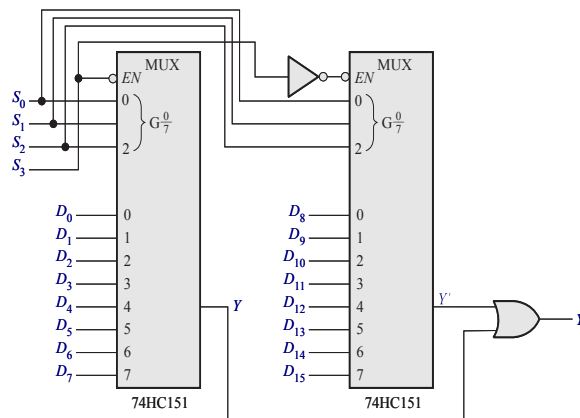
### Exercice 1 :

- Réaliser la fonction, en utilisant un multiplexeur 8 vers 1 ( $MUX 8 \times 1$ ) la logique suivante :  
 $S(A, B, C) = \sum m(0, 1, 2, 4, 7)$ .
- Soit le schéma du circuit ci-dessous. Trouver la forme canonique (somme de min-terms) de la fonction  $F(A, B, C, D)$  de sortie de ce circuit.

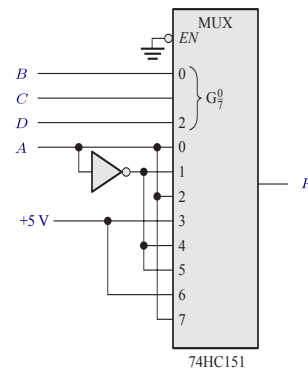


### Exercice 2 :

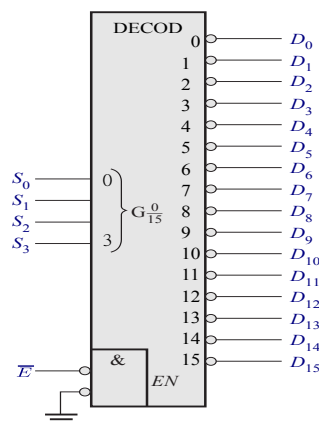
Soit les circuits logiques suivants :



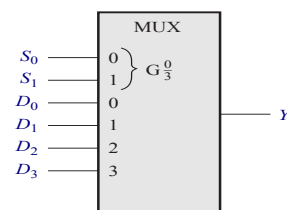
(Circuit 1)



(Circuit 2)

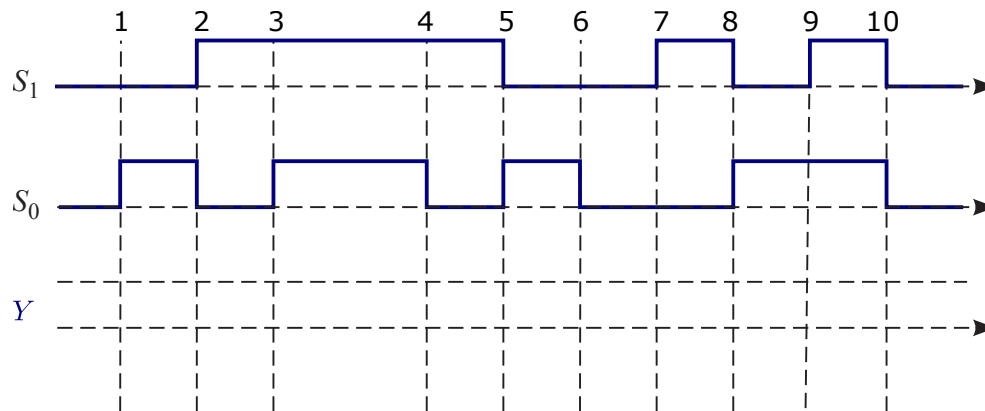


(Circuit 3)



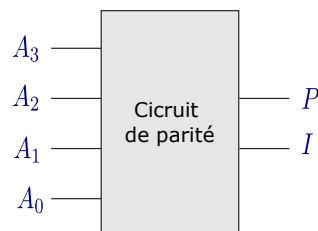
(Circuit 4)

- Déduire le rôle du circuit 1. La sortie  $Y$  est égale à quoi si on applique à l'entrée adresse ?
  - le code binaire  $(0101)_2$
  - le code binaire  $(1010)_2$
- Déduire l'expression de la fonction  $F(D, C, B, A)$  du circuit 2 sous la forme canonique somme de min-termes. La fonction  $F$  est égale à quoi si on applique à l'entrée adresse ?
  - le code binaire  $(010)_2$
  - le code binaire  $(101)_2$
- Déduire le rôle du circuit 3. Les sorties  $D_i$  sont égales à quoi si on applique à l'entrée code  $(1011)_2$  et si l'entrée d'activation  $\overline{E}$  ?
  - $\overline{E} = 0$
  - $\overline{E} = 1$
- Compléter le chronogramme ci-dessous si on applique aux entrées informations du circuit 4 les valeurs  $D_3D_2D_1D_0 = 1001$ .

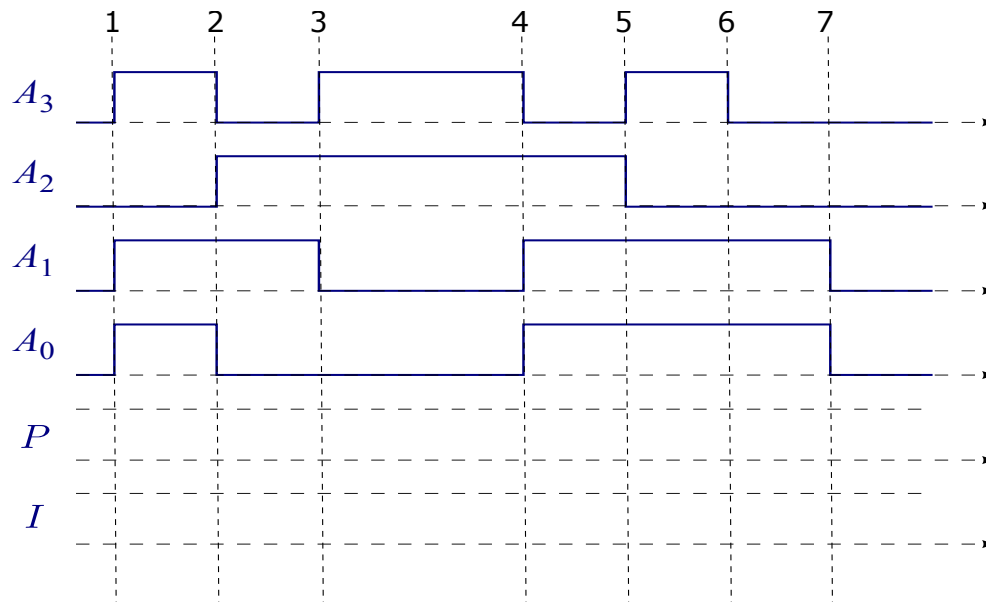


### Exercice 3 :

On voudrait réaliser un circuit logique qui permet de savoir si l'entrée  $A$ , codée sur 4 bits, est contient un nombre de 1 paire (sortie de parité paire  $P$ ) ou impaire (sortie de parité impaire  $I$ ). La sortie  $P = 1$  ( $I = 1$ ) Ssi le nombre de 1 dans le code binaire  $A$  est pair (impaire).



- Déterminer les expressions logiques des deux sorties  $P$  et  $I$  en utilisant les tableaux de Karnaugh.
- Dessiner le logigramme de ce circuit en utilisant des portes XORs.
- Compléter le chronogramme ci-dessous.

**Exercice 4 :**

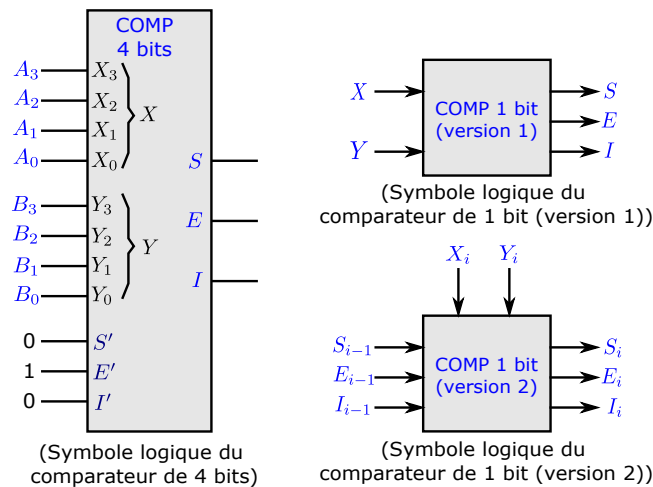
Nous souhaitons commuter dans quatre directions ( $D_1$ ,  $D_2$ ,  $D_3$  et  $D_4$ ) des paquets identifiés par un code binaire  $I$  de huit bits  $I = (I_7 I_6 I_5 I_4 I_3 I_2 I_1 I_0)_2$  où  $I_7$  est le bit le plus significatif (MSB). Le signal  $D_0$  est mis à 1 si aucune direction n'est choisie. La commutation, basée sur le code de chaque paquet, est effectuée comme suit :

- $D_1 = 1$  ssi  $32 \leq I \leq 63$ ,
- $D_2 = 1$  ssi  $64 \leq I \leq 127$ ,
- $D_3 = 1$  ssi  $128 \leq I \leq 159$ ,
- $D_4 = 1$  ssi  $192 \leq I \leq 255$ ,

1. A partir de la table de vérité, déterminer les expressions booléennes des fonctions logiques des quatre directions ( $D_1, D_2, D_3$  et  $D_4$ ).
2. Dédire l'expression booléenne de la fonction  $D_0$ .
3. Réaliser les cinq fonctions en utilisant un décodeur sur 3 bits et des portes OR.

**Exercice 5 : Comparateur non-signé**

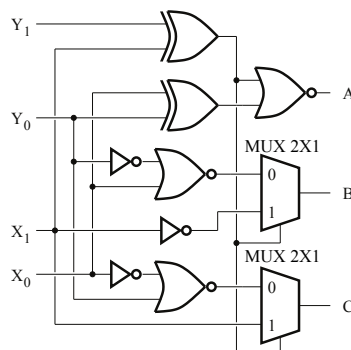
On souhaite réaliser un comparateur de deux nombres entiers non-signés. Les entrées de ce circuit sont les 4 bits de chaque nombre ( $A = (A_3 A_2 A_1 A_0)_2$  et  $B = (B_3 B_2 B_1 B_0)_2$ ) et trois entrées mutuellement exclusives  $S'$ ,  $E'$  et  $I'$  représentant le résultat de comparaison d'un étage précédent. Ses sorties sont  $S$  (Supérieur),  $E$  (Egal) et  $I$  (Inférieur).  $S = 1$  Ssi  $A > B$ ,  $E = 1$  Ssi  $A = B$  et  $I = 1$  Ssi  $A < B$ . Les sorties sont mutuellement exclusives. Pour réaliser ce circuit on met en cascade des comparateurs de 1 bit.



- Donner la table de vérité et les expressions logiques des sorties d'un comparateur de 1 bit (version 1) (entrées :  $X$  et  $Y$ , sorties :  $S = (X > Y)$ ,  $E = (X = Y)$  et  $I = (X < Y)$ ).
- Trouver les expressions logiques des sorties du comparateur de 1 bit (version 2). Ses entrées sont les bits de l'étage ( $i$ ) :  $X_i$  et  $Y_i$ ; et le résultat de la comparaison de l'étage ( $i - 1$ ) :  $S_{i-1}$ ,  $E_{i-1}$  et  $I_{i-1}$ . Ses sorties sont :  $S_i$ ,  $E_i$  et  $I_i$ . Le fonctionnement de ce circuit est comme suit :
  - $S_i = 1$  Ssi  $(X_i > Y_i)$  ou  $[(X_i = Y_i) \text{ et } (S_{i-1} = 1)]$
  - $E_i = 1$  Ssi  $(X_i = Y_i) \text{ et } (E_{i-1} = 1)$
  - $I_i = 1$  Ssi  $(X_i < Y_i)$  ou  $[(X_i = Y_i) \text{ et } (I_{i-1} = 1)]$
- Trouver les expressions logiques des sorties du comparateur de 4 bits et déduire sa réalisation en câblant des comparateurs de 1 bit (version 2) (dessiner le schéma bloc).
- Déduire la réalisation d'un comparateur de 8 bits en utilisant des comparateurs de 4 bits (dessiner le schéma bloc).

### Exercice 6 : Analyse d'un circuit logique

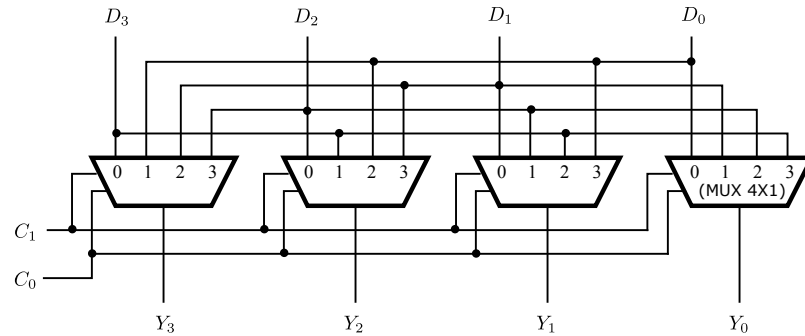
Le schéma logique d'un circuit combinatoire est donné dans la figure ci-dessous. Il est implémenté à l'aide de deux multiplexeurs  $MUX 2 \times 1$  et de portes logiques (NOT, NOR et XOR). Deux nombres entiers non signés codés sur 2 bits,  $X = (X_1 X_0)_2$  et  $Y = (Y_1 Y_0)_2$ , sont appliqués aux entrées, et  $A$ ,  $B$  et  $C$  désignent les sorties.



- Déterminer l'équation logique pour chacune des trois sorties.
- Déduire la fonction réalisée par ce circuit (donner des vrais noms aux trois sorties).

### Exercice 7 :

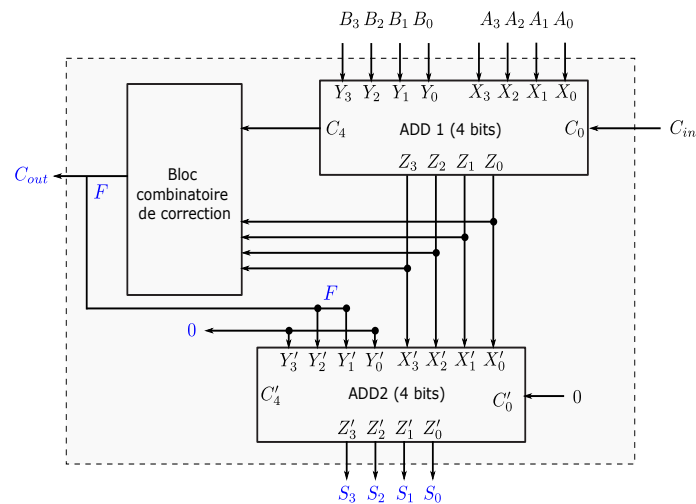
- Soit un circuit logique qui a le schéma bloc suivant :



- (a) Donner la table la table vérité de ce circuit.
  - (b) Quelle la fonction réalisée par ce circuit ?
2. Soit un circuit logique combinatoire qui possède une entrée  $D$  de décalage à droite, une entrée  $G$  de décalage à gauche et une entrée  $B$  de bit d'insertion et quatre entrées représentant les bits d'un nombre binaire  $X = (X_3 X_2 X_1 X_0)_2$ . La sortie de ce circuit est le nombre binaire  $S = (S_3 S_2 S_1 S_0)_2$ . Le fonctionnement de ce circuit est comme suit :
- lorsque les deux entrées  $D$  et  $G$  sont inactives l'entrée n'est pas décalée (sortie est la même que l'entrée).
  - lorsque l'entrée  $D$  ( $G$ ) est active on aura un décalage à droite (à gauche) de l'entrée avec l'insertion de  $B$  au MSB (au LSB).
  - l'entrée  $D$  est prioritaire sur l'entrée  $G$ .
- (a) Donner la table la table vérité de ce circuit et les expressions des sorties  $S_i$ .
  - (b) Déduire sa réalisation en utilisant des multiplexeurs  $MUX 4 \times 1$  (dessiner le schéma bloc).

### Exercice 8 : Additionneur BCD

1. Soit le circuit logique ci-dessous d'un additionneur BCD (Binaire Codé Décimal) de 4 bits. Ce circuit possède deux entrées  $A$  et  $B$  codées de 4 bits, une entrée  $C_{in}$  de la retenue d'entrée, une sortie  $S = A + B$  codée sur 4 bits et une sortie  $C_{out}$  de la retenue de sortie. Il est réalisé à partir d'un premier additionneur binaire (ADD 1) qui calcule la somme de  $A$  et  $B$  et un deuxième additionneur binaire de correction (ADD2). Les nombres  $A$  et  $B$  prennent des valeurs entre 0 et 9 en décimal (codage BCD). L'opération de correction est basée sur le résultat de la somme de ADD1 comme suit :
- la somme est correcte. on n'ajoute rien à cette somme : si la somme en décimal est comprise entre 0 et 9 (entre  $(0)_{16}$  et  $(9)_{16}$ ),
  - la somme n'est pas correcte. Il faut ajouter 6 (rôle de ADD2 et du bloc combinatoire de correction). On a deux cas :
    - Si la somme en décimal est comprise entre 10 et 15 (entre  $(A)$  et  $(F)_{16}$ ).
    - Si la somme en décimal est comprise entre 16 et 19 (entre  $(10)_{16}$  et  $(13)_{16}$ ).
- Le résultat de la somme est codé en BCD sur cinq bits dont le MSB est la sortie  $C_{out}$  et  $(S_3 S_2 S_1 S_0)$  sont les quatre bits les moins significatifs (c-à-d  $C_{out}$  concaténée avec  $S$ ).



- Donner la table de vérité du bloc combinatoire de correction.
  - Déterminer l'expression logique de la sortie  $F$  en utilisant le tableau de Karnaugh.
  - Vérifier les trois opérations :  $3 + 6$ ,  $9 + 6$  et  $9 + 9$  en donnant les valeurs de  $A$ ,  $B$ ,  $Z$ ,  $C_4$ ,  $F$ ,  $S$ ,  $C'_4$  et  $C_{out}$ .
- Réaliser un additionneur BCD de 8 bits en utilisant des additionneurs BCD de 4 bits (dessiner le schéma bloc). Puis, vérifier l'opération suivante :  $99 + 99$  en donnant les valeurs des sorties de chaque additionneur BCD.

### Exercice 9 : Unité arithmétique et logique

On souhaite réaliser une UAL (Unité arithmétique et Logique) de 4 bits. Ce circuit possède deux entrées  $A$  et  $B$  codées sur 4 bits, un code de sélection  $C$  codée sur 3 bits, une sortie  $S$  codée sur 4 bits et une sortie  $C_{out}$  de la retenue de sortie. Sa la table de fonctionnement est donnée si-dessous.

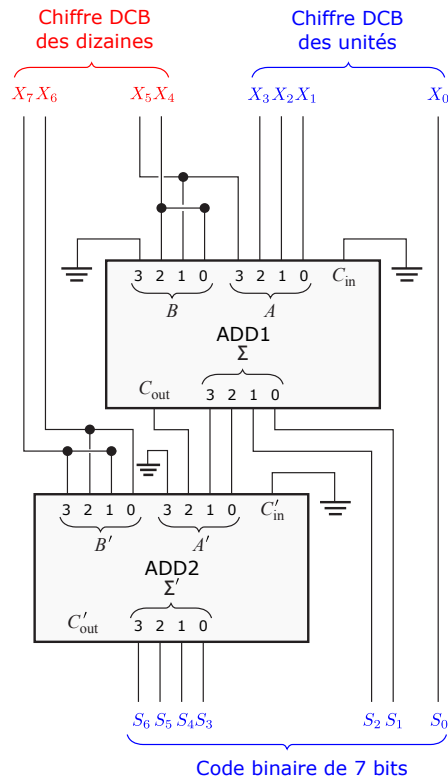
Opérations arithmétiques					Opérations logiques		
	$C_{in} = 0$		$C_{in} = 1$			$(C_{in} = X)$	
Code $C$	Opération	Sortie $S$	Opération	Sortie $S$	Code $C$	Opération	Sortie $S$
000	NOT A	$\bar{A}$	-A	$\bar{A} + 1$	100	COPY A	$A$
001	ADD	$A + B$	ADD+1	$A + B + 1$	101	NOT B	$\bar{B}$
010	SUB1-1	$A + \bar{B}$	SUB1	$A + \bar{B} + 1$	110	AND	$AB$
011	SUB2-1	$B + \bar{A}$	SUB2	$B + \bar{A} + 1$	111	OR	$A + B$

Il faut noter que la soustraction est une addition :  $X - Y = X + \bar{Y} + 1$  ;

- Dessiner le schéma bloc de ce circuit en utilisant :
  - un additionneur de 4 bits.
  - trois multiplexeurs  $MUX 4 \times 1$  de 4 bits.
  - un multiplexeur  $MUX 2 \times 1$  de 4 bits.
  - des portes : inverseurs, ANDs et ORs.
- Compéter les tableaux précédents en indiquant les valeurs de la sortie  $S$  (en binaire et en décimal) lorsqu'on applique les 2 deux nombres entiers signée :  $A = (-5)_{10} = (...)_2$  et  $B = (7)_{10} = (...)_2$  pour les différentes valeurs du code  $C$  et  $C_{in}$ .
- Marquer des croix dans les cases où le résultat est faux (c-à-d le résultat est différent de celui qui est attendu).

**Exercice 10 :**

La figure ci-dessous représente le schéma bloc d'un convertisseur DCB-Binaire (du Décimal Codé Binaire au code binaire). Le code d'entrée DCB est codé sur 8 bits  $X = (X_7 X_6 X_5 X_4 X_3 X_2 X_1 X_0)_2$  et le code binaire de sortie est codé sur 7 bits  $S = (S_6 S_5 S_4 S_3 S_2 S_1 S_0)_2$ . Le code  $X$  est composé de deux chiffres DCB, le chiffre haut  $X_H = (X_7 X_6 X_5 X_4)_2$  et le chiffre bas  $X_B = (X_3 X_2 X_1 X_0)_2$ .



1. On note  $X_H = (X_7 X_6 X_5 X_4)_2$  le chiffre DCB des dizaines (chiffre haut) et  $X_B = (X_3 X_2 X_1 X_0)_2$  le chiffre DCB des unités (chiffre bas) du code  $X$ . On demande de trouver une justification de ce schéma bloc en commençant par l'équation suivante :  $S = X_H \times 10 + X_B$ , puis en développant cette équation en binaire.
2. Vérifier votre justification du schéma bloc en travaillant sur l'exemple :  $X = (01101001)_{BCD} = (69)_{10}$  (donner les différentes valeurs de  $\Sigma$ ,  $\Sigma'$  et  $S$ ).