

Mantenimiento de Equipos Informáticos

Tema 3: La memoria

PABLO ESCOBEDO ARAQUE

PABLOESCOBEDO@UGR.ES

DPTO. ELECTRÓNICA Y TECNOLOGÍA DE COMPUTADORES

A solid orange horizontal bar at the bottom of the slide.

Contenido

1. Funcionamiento básico

- Arquitectura
- Jerarquía

2. Tipos de memoria

- Memoria del sistema
- Memoria RAM
- Memoria caché

3. Mantenimiento

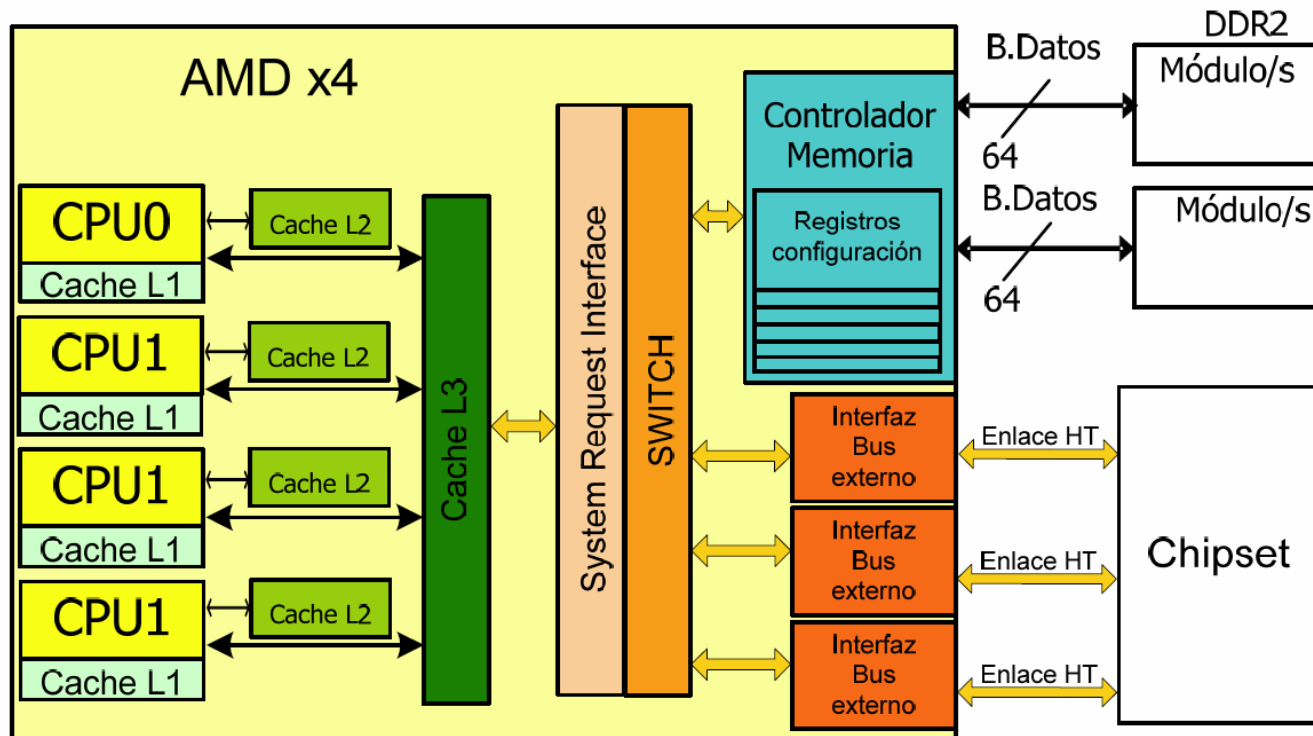
- Errores de memoria
- Otras cuestiones

Funcionamiento básico

- **Sistema de memoria:** conjunto de elementos que permite guardar instrucciones y datos para que, posteriormente, el microprocesador los recupere.
- Podemos dividirlo en distintos bloques funcionales en función de:
 - Su **cercanía a las unidades de ejecución:** Registros, Cache L1, L2, L3, Controlador, Módulos SDRAM.
 - Su **localización:** Integrados en micro, en chipset de la placa base, en circuitos integrados independientes, etc.
 - Lo que **guardan:** Datos de programa, instrucciones, BIOS (ROM-BIOS), configuraciones del BIOS (CMOSRAM), etc.
 - Su **tecnología:** SRAM, SDRAM, Flash EEPROM, etc.

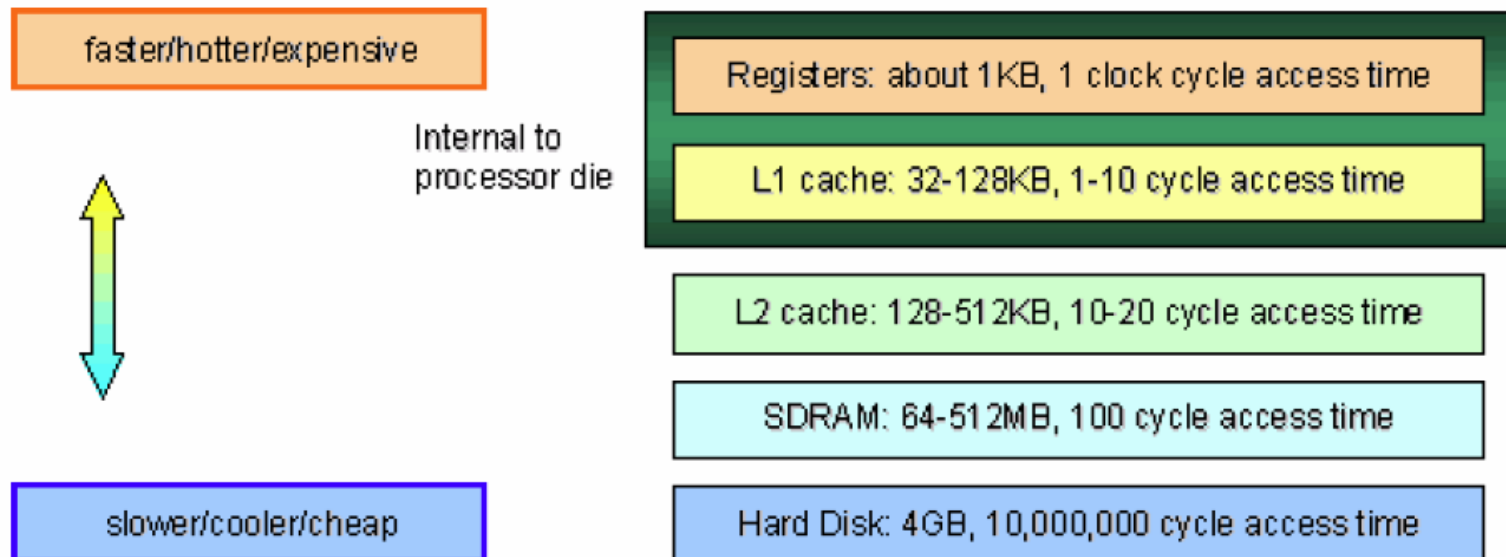
Funcionamiento básico: Arquitectura

Actualmente el controlador de memoria se encuentra integrado en el mismo *die* que las CPUs:



Funcionamiento básico: Jerarquía

Jerarquía de memoria por tiempo de acceso de la CPU (latencia) expresada en ciclos de reloj, cantidad disponible y cercanía a la CPU:



Funcionamiento básico: Jerarquía

Ejemplo: Tabla de latencias de acceso a memoria

Processor	L1 Latency	L2 Latency	L3 Latency
AMD Phenom II X4 920 (2.80GHz)	3 cycles	15 cycles	AMD won't tell me
AMD Phenom @ 2.8GHz	3 cycles	15 cycles	AMD won't tell me
Athlon X2 5400 (2.80GHz)	3 cycles	20 cycles	-
Intel® Core 2 Quad QX9770 (3.2GHz)	3 cycles	15 cycles	-
Intel® Core 2 Quad Q9400 (2.66GHz)	3 cycles	15 cycles	-
Intel® Core i7-965 (3.2GHz)	4 cycles	11 cycles	42 cycles



www.anandtech.com

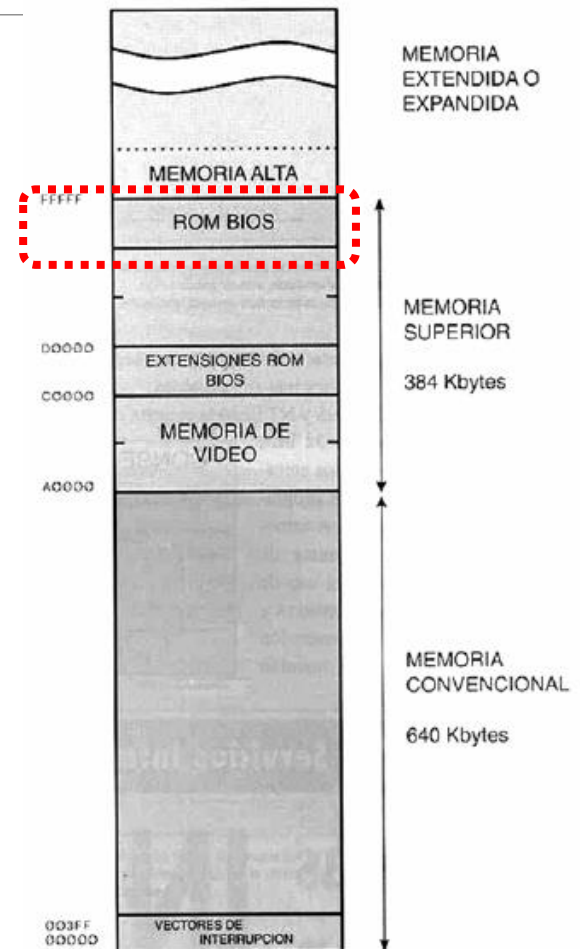
Tipos de memoria: Memoria del sistema (BIOS)

- **BIOS:** Basic Input Output System.
- Es como un “pequeño” sistema operativo para las tareas más básicas.
- Las primeras rutinas que se ejecutan son las **POST** (Pre Operating System Test) para:
 - **Arrancar** el sistema
 - **Verificar** los elementos básicos para el funcionamiento del sistema
 - **Configurar** el sistema, inicialización.
 - **Pasar el control** a las rutinas BIOS de arranque (boot block) para cargar el sistema operativo
- Sirve de “capa aislante” entre hardware y software, de forma que un programa que acceda al hardware a través de rutinas del BIOS podrá funcionar en todos los PCs.

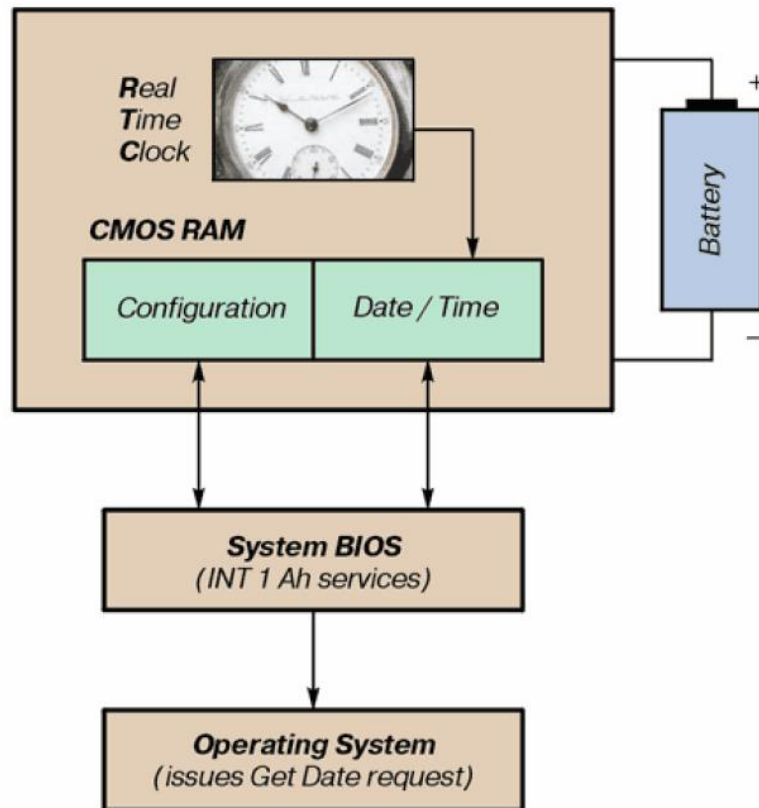
Tipos de memoria: Memoria del sistema (BIOS)

- El BIOS estándar reside en **ROM**, habitualmente en un chip incrustado en un zócalo de la placa base.
- Desde el punto de vista lógico, ocupa el último segmento (64 KB) del primer megabyte del mapa de memoria, es decir desde F0000 hasta FFFFF.
- Pueden existir **BIOS adicionales** (ej. para tarjeta gráfica, para tarjeta de RED, etc.)
- El acceso a las rutinas del BIOS se realiza mediante **interrupciones software** e **interrupciones hardware**.

MAPA DE MEMORIA



Tipos de memoria: Memoria del sistema (BIOS)



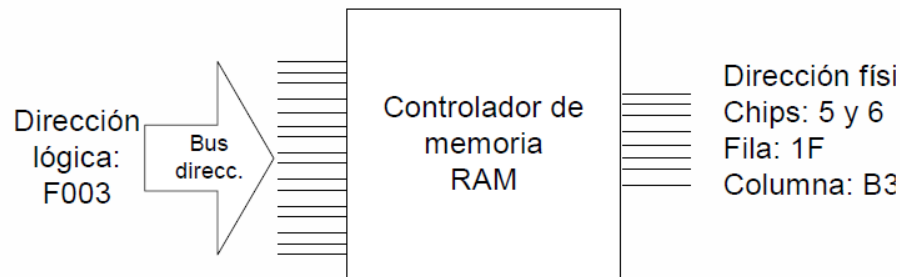
- Pero... ¿dónde se guarda la información de configuración del BIOS?
- En una memoria conocida como **CMOS-RAM** alimentada por una **pila**.
- El **BIOS Setup** es el programa de configuración del BIOS. Estas rutinas implementan una interfaz de usuario que permite configurar parámetros del sistema y salvar dicha configuración en el área de memoria CMOS-RAM mencionada.

Tipos de memoria:

Memoria RAM

1. SDRAM: SYNCRONOUS DINAMIC RAM

- Se sincroniza con el reloj del procesador obteniendo información en cada ciclo de reloj.
- Para el acceso físico a una dirección de memoria, el controlador de memoria se encarga de traducir las direcciones lógicas del sistema operativo a direcciones físicas:



- La organización física de memoria queda jerarquizada de la siguiente manera:

Celda → Matriz → Banco → Circuito integrado → Módulo

Tipos de memoria:

Memoria RAM

1. SDRAM: SYNCRONOUS DINAMIC RAM

- Celda:
 - Estructura de una celda DRAM. Un transistor y un condensador por cada bit → Necesidad de refresco

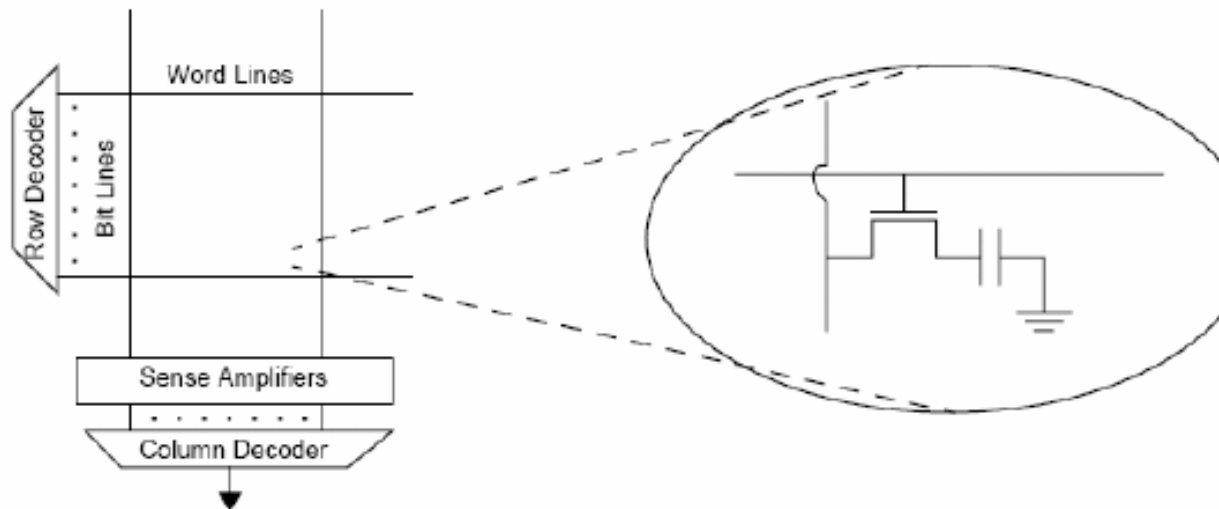


Imagen: Brian T. Davis. Advanced Computer Architecture Laboratory University of Michigan

Tipos de memoria:

Memoria RAM

1. SDRAM: SYNCRONOUS DINAMIC RAM

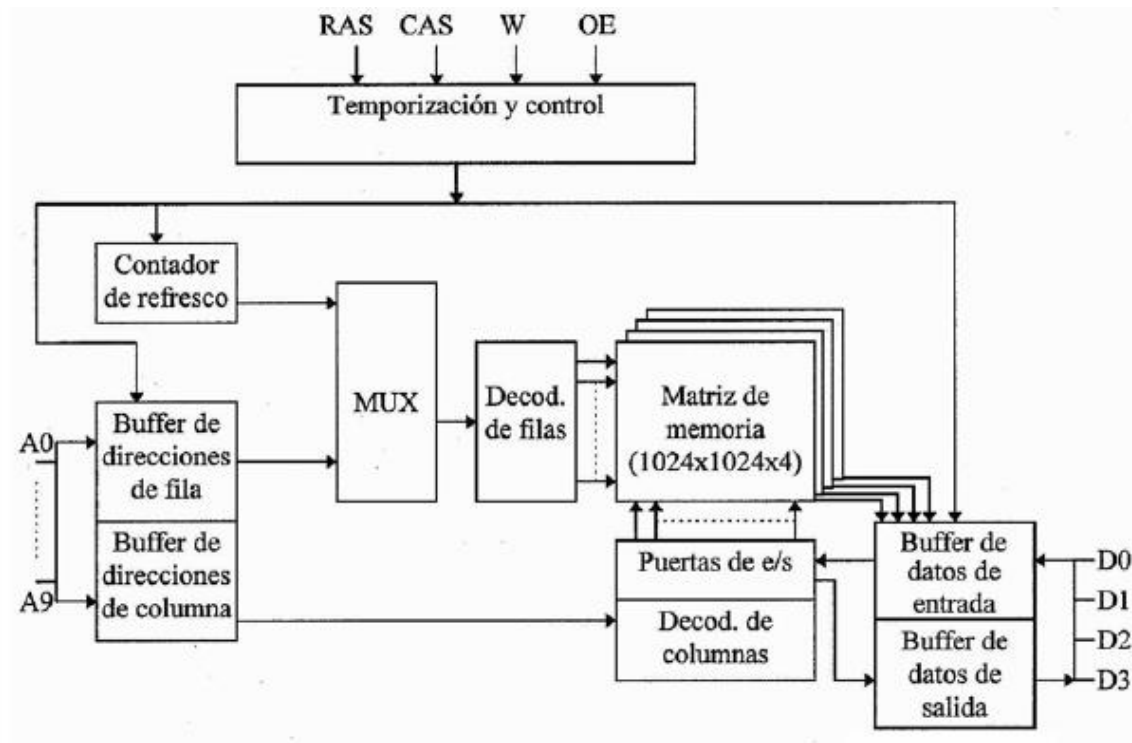
- Matriz:
 - Las celdas se organizan en **filas** (Páginas) y **columnas** que forman una matriz.
 - Varias matrices forman un **banco**.
 - Cuando se direcciona una fila, se dice que se ha abierto un página (*open page*) y todos los bits de dicha página quedan disponibles en los “**Sense amplifiers**” (ver figura anterior). La dirección de columna aplicada al decodificador de columna determina cuales de los datos de dicha página son leídos o escritos.
 - **Tamaño de página**: Viene determinado por el número de columnas de cada fila y el número de bits que tienen la misma dirección de fila (nº de matrices).

Tipos de memoria:

Memoria RAM

1. SDRAM: SYNCRONOUS DINAMIC RAM

- Matriz: En la figura: ¿Cuál es el tamaño de página?



Tipos de memoria:

Memoria RAM

1. SDRAM: SYNCHRONOUS DINAMIC RAM

- Banco:
 - Ante el incremento de la capacidad, se añadió otro nivel jerárquico en la organización de la RAM.
 - ¿Cuántos bancos forman el chip DRAM de la figura?

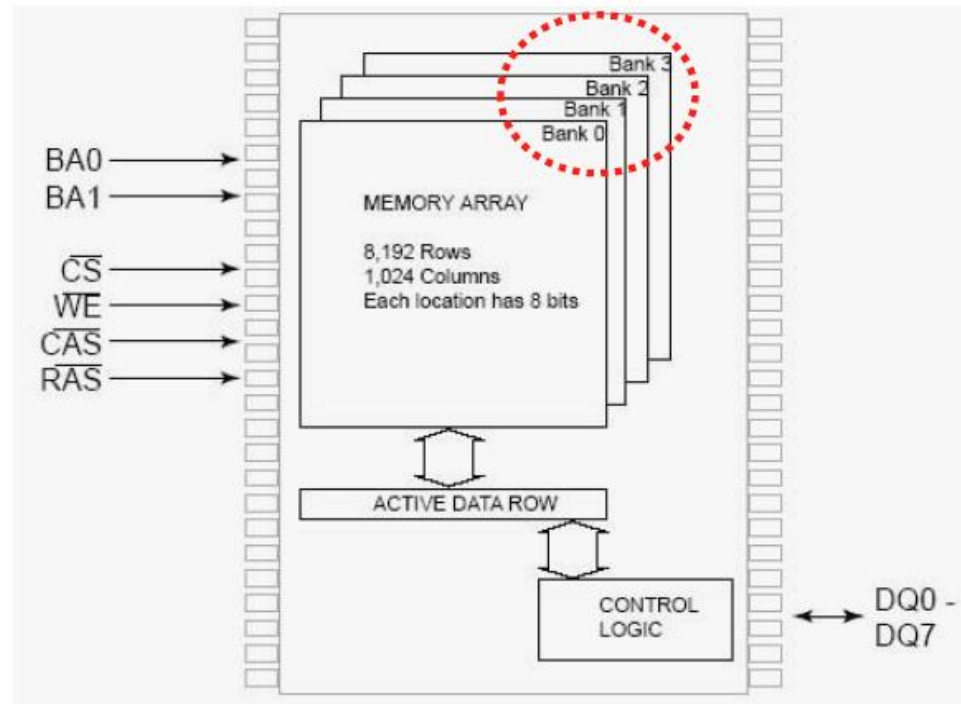


Imagen: J. Scott Gardner. www.extremetech.com

Tipos de memoria:

Memoria RAM

1. SDRAM: SYNCRONOUS DINAMIC RAM

- Circuito Integrado:
 - Los circuitos integrados de memoria RAM suelen nombrarse por su densidad, es decir, por la capacidad del circuito integrado expresado en megabits, pero su organización interna puede ser de varias formas.
 - Ejemplos:

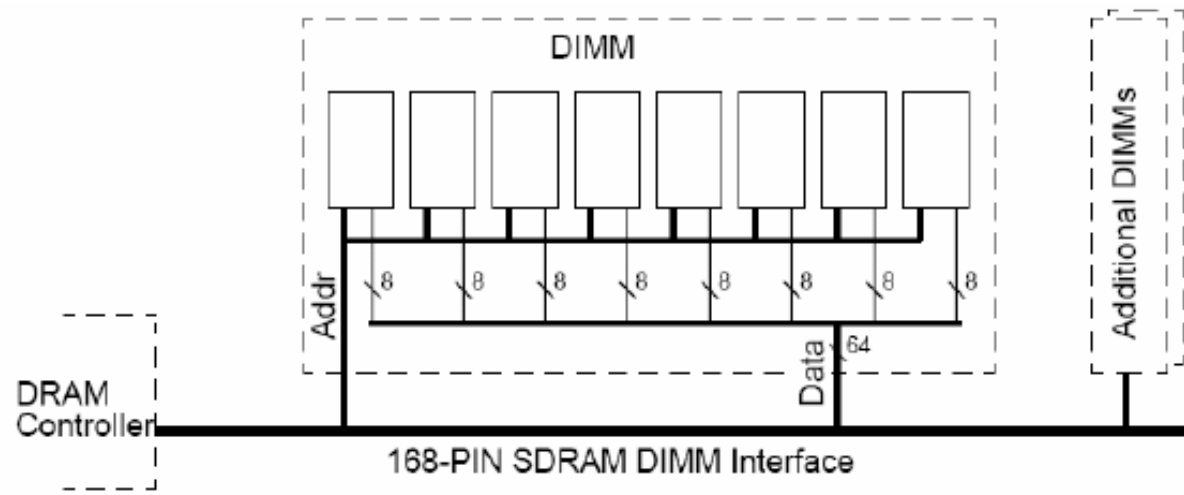
<i>Familia de circuitos integrados de memoria SDRAM de 64 megabits MICRON®</i>		
Marca del encapsulado	(Capacidad matriz x nº bancos) x nº de matrices	Capacidad matriz x N° matrix. x nº bancos
MT48LC16M4A2	16 Meg x 4 →	4 Meg x 4 x 4 banks
MT48LC8M8A2	8 Meg x 8 →	2 Meg x 8 x 4 banks
MT48LC4M16A2	4 Meg x 16 →	1 Meg x 16 x 4 banks

Tipos de memoria:

Memoria RAM

1. SDRAM: SYNCHRONOUS DINAMIC RAM

- Módulo:
 - Para completar un bus de datos de 64 bits como el de los micros actuales, necesitamos reunir varios chips.
 - Este conjunto de chips va soldado en una placa de circuito impreso.

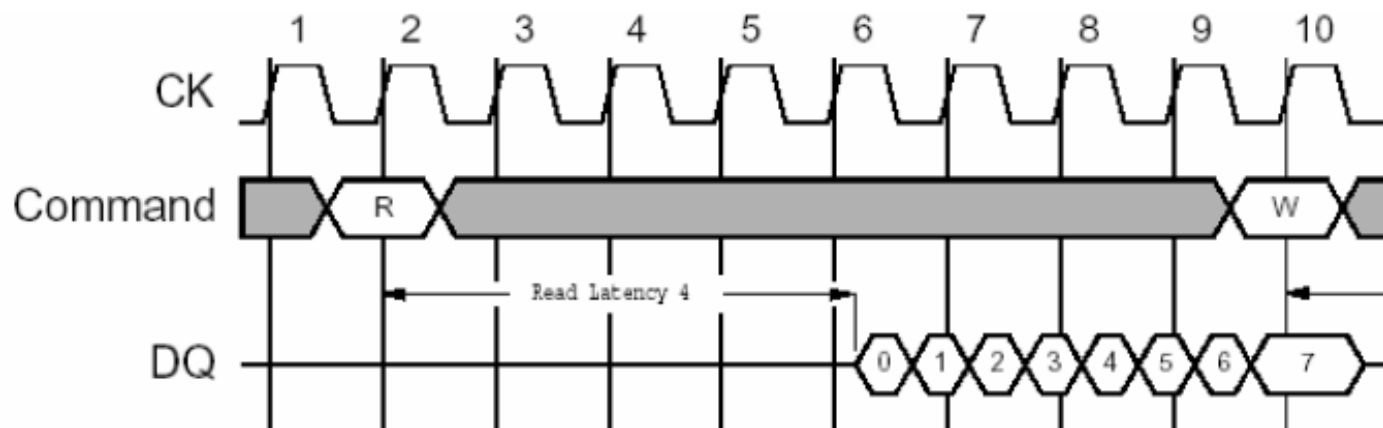


Tipos de memoria:

Memoria RAM

2. DDR SDRAM: DOUBLE DATA RATE SDRAM

- Se basa en el diseño de la SDRAM, pero transfiere datos tanto en el flanco de subida como en el de bajada de la señal de reloj, con lo que se duplica la cantidad de información que puede transferir.
- Aún así, la velocidad de transferencia de datos de la memoria DDR no es el doble de la SDRAM



Cronograma del proceso de lectura de una ráfaga de 8 datos en una memoria DDR. Observar la latencia y la transferencia de dos datos en cada ciclo de reloj.

Tipos de memoria:

Memoria RAM

2. DDR SDRAM: DOUBLE DATA RATE SDRAM

- DDR2
 - Evolución de la memoria DDR, es **compatible** con ella a nivel funcional
 - Mejoras en la arquitectura de control permiten bajar la latencia
 - Menor consumo eléctrico
 - Tecnologías de producción compatibles reducen los costes.
 - La frecuencia de reloj/tasa de datos (MHz-MT/s) aumenta: 267-533, 333-667, 400-800

Tipos de memoria:

Memoria RAM

2. DDR SDRAM: DOUBLE DATA RATE SDRAM

- DDR3
 - Menor consumo: 1,5 V respecto a los 1,8 V de la DDR2
 - Los módulos, al igual que DDR2, tienen 240 contactos pero incorporan una muesca que impide su inserción en ranuras DDR y DDR2.
 - Frecuencia efectiva del bus de datos 800, 1066, 1330, 1600 MT/s.
 - Latencias mayores que DDR2, que se ven compensadas por las mayores frecuencias de reloj.
 - Se añade un pin de RESET asíncrono que permite borrar la memoria asegurando, por ejemplo, que la memoria está limpia tras un reinicio del sistema.

Tipos de memoria:

Memoria RAM

2. DDR SDRAM: DOUBLE DATA RATE SDRAM

- DDR4
 - La nueva generación de memoria DDR vuelve a reducir el voltaje, lo que permite bajar el consumo.
 - También se vuelve a aumentar la velocidad de transferencia.
 - Soporta un nuevo estado de bajo consumo que permite a la controladora de memoria pasar a modo *standby* sin necesidad de refrescar la memoria. Podría reducir el consumo entre un 40 % y un 50 %.
 - Aumento en la densidad de integración: Más memoria en el mismo número de ranuras..

Tipos de memoria:

Memoria RAM

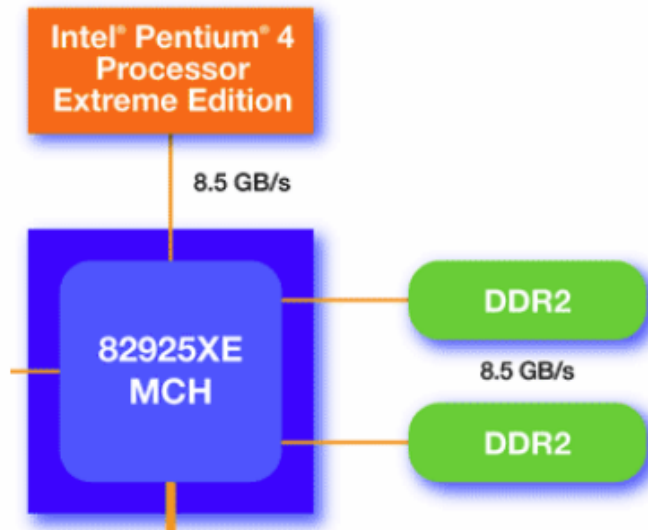
3. EL CONTROLADOR DE MEMORIA

- Controla el movimiento de datos desde y hacia la memoria
- Para el acceso físico a una dirección de memoria, el controlador de memoria debe **traducir** las direcciones lógicas del sistema operativo a direcciones físicas (Filas y columnas)
- En la actualidad también se encarga de **temporizar el refresco** de la memoria DRAM.
- Puede formar parte del chipset o encontrarse integrado en el microproc.
- Determina aspectos del sistema tan importantes como
 - ✓ El tipo de memoria: DDR, DDR2, DDR3...
 - ✓ La cantidad máxima instalable.
 - ✓ El tipo de chequeo de datos, como paridad y ECC.

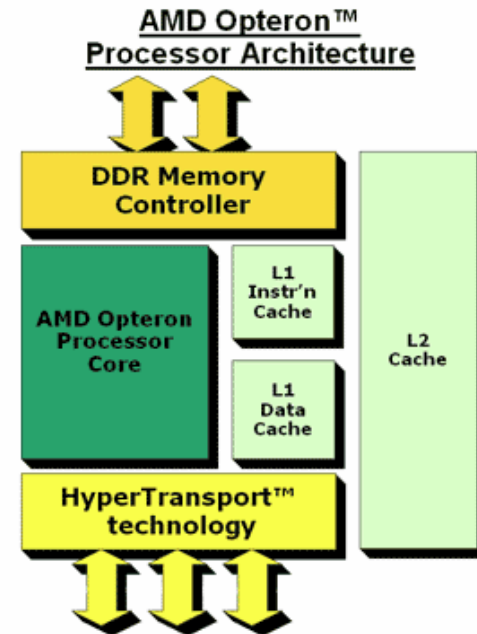
Tipos de memoria:

Memoria RAM

3. EL CONTROLADOR DE MEMORIA



Controlador de memoria integrado en el MCH (Memory Controller Hub) del chipset Intel® 925.



Controlador de memoria integrado en el microprocesador AMD Opteron.

Tipos de memoria:

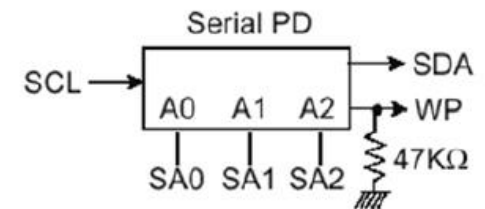
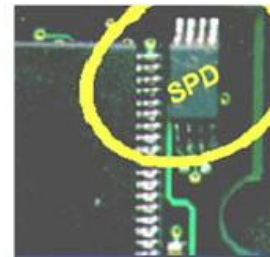
Memoria RAM

3. CONFIGURACIÓN

Serial Presence Detect (SPD)

Los módulos de memoria actuales permiten la configuración automática del controlador de memoria gracias a que incluyen un chip EEPROM que contiene los principales parámetros:

- Velocidad y tiempos de acceso (latencias).
- Número y organización interna de los chips de memoria.
- Información del fabricante del módulo.



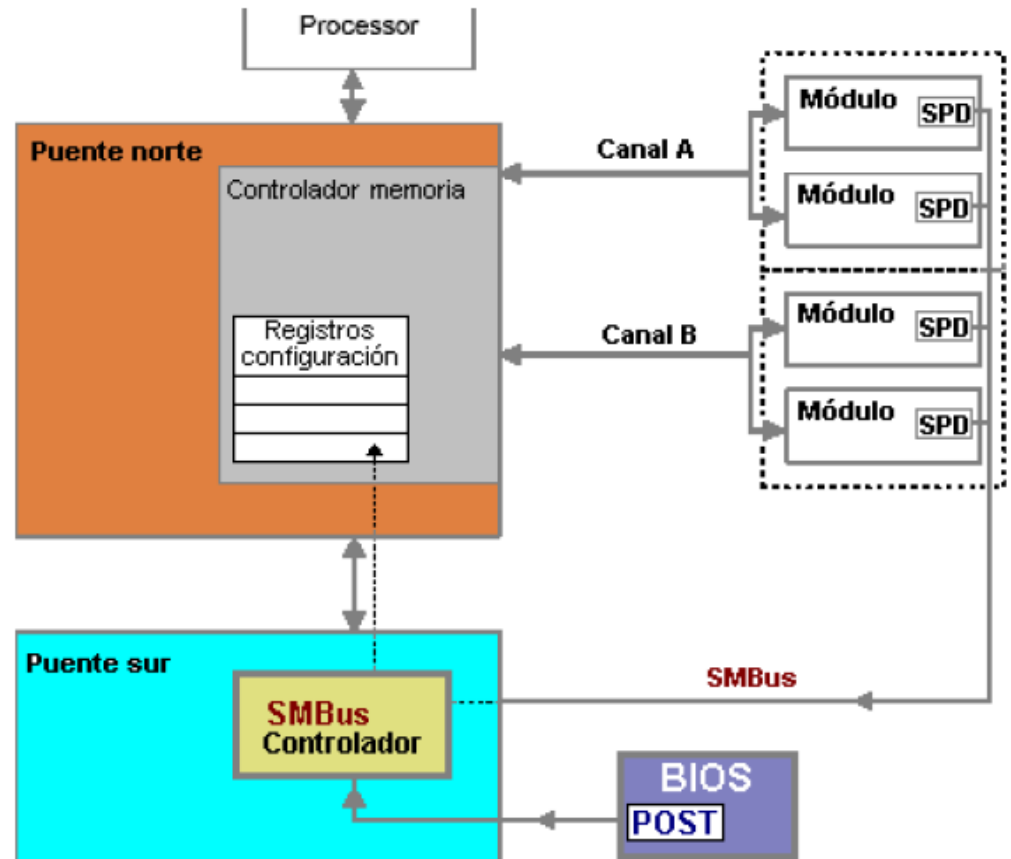
Tipos de memoria:

Memoria RAM

3. CONFIGURACIÓN

Serial Presence Detect (SPD)

Durante el proceso de arranque, las rutinas del BIOS obtienen de ese chip EEPROM los parámetros específicos de cada DIMM para que inicializar correctamente el controlador de memoria



Tipos de memoria:

Memoria RAM

Serial Presence Detect (SPD)

Aún así, es posible la configuración manual de esos parámetros mediante el BIOS-SETUP, para ello algunas placas base incorporan información en sus manuales.

SDRAM CAS# Latency (Note 4)	<ul style="list-style-type: none">• 2.0• 2.5 (default)• 3.0	Selects the number of clock cycles required to address a column in memory.
SDRAM RAS# to CAS# Delay (Note 4)	<ul style="list-style-type: none">• 4• 3 (default)• 2	Selects the number of clock cycles between addressing a row and addressing a column.
SDRAM RAS# Precharge (Note 4)	<ul style="list-style-type: none">• 4• 3 (default)• 2	Selects the length of time required before accessing a new row.

Configuración de la temporización de memoria en una placa base Intel® D865PERL mediante el BIOS setup.

Menú de configuración del BIOS-Setup de la placa base ASUS A7V8X.

SDRAM Configuration	[By SPD]
SDRAM CAS Latency	[2.5T(DDR)]
SDRAM RAS to CAS Delay	[2T]
SDRAM RAS Precharge Delay	[2T]
SDRAM Active Precharge Delay	[6T]

Tipos de memoria:

Memoria RAM

3. REFRESCO

Después de unos 64 ms los contenidos de una celda DRAM deben ser reescritos (refrescados) debido a la paulatina pérdida de carga (leakage current \equiv corriente de fugas).

Esto se realiza durante el llamado **ciclo de refresco** que es un proceso interno de la DRAM sincronizado por el controlador de memoria de la placa madre.

Cada ciclo de refresco consume varios ciclos del procesador, por lo que penaliza el tiempo de acceso.



Tipos de memoria:

Memoria RAM

3. REFRESCO

En cada chip de memoria existe un bloque llamado *contador de refresco* que permite generar la dirección de todas las filas:

1. Se inhabilita el chip mientras dure el proceso de refresco.
2. El contador de refresco genera la dirección de la primera fila.
3. Se refrescan todas las celdas de la fila seleccionada.
4. El contador pasa a generar la dirección de la siguiente fila.
5. Fin del ciclo de refresco.

El proceso se repite hasta refrescar todas las filas, por lo que se necesitarán tantos ciclos como filas tenga la memoria.

Tipos de memoria:

Memoria RAM

3. REFRESCO

Ejemplo: Controlador de memoria del Chipset Intel® 430-TX que incluye la placa BIOSTAR 8500 TTD. Puede ajustarse desde el BIOS-setup, el valor del periodo de refresco entre los valores 15'6 μ s, 31'2 μ s, 64'4 μ s, 125 μ s, 256 μ s. Si tuvieramos que refrescar un chip de memoria de 4096 filas en 64 ms, necesitaremos un ciclo de refresco cada $(64 \text{ ms}/4096) = 15,6 \mu\text{s}$. Este valor se encuentra entre los disponibles.

A medida que aumenta la densidad de los chips de memoria, y por tanto el número de filas de sus matrices, debe disminuir el intervalo de refresco

Ejemplo: El controlador de memoria Intel® 82975X, en su registro de configuración del intervalo de refresco, dispone de 3 bits que lo definen.

000 = Refresh disabled

001 = Refresh enabled. Refresh interval 15.6 μ s

010 = Refresh enabled. Refresh interval 7.8 μ s

011 = Refresh enabled. Refresh interval 3.9 μ s

100 = Refresh enabled. Refresh interval 1.95 μ s

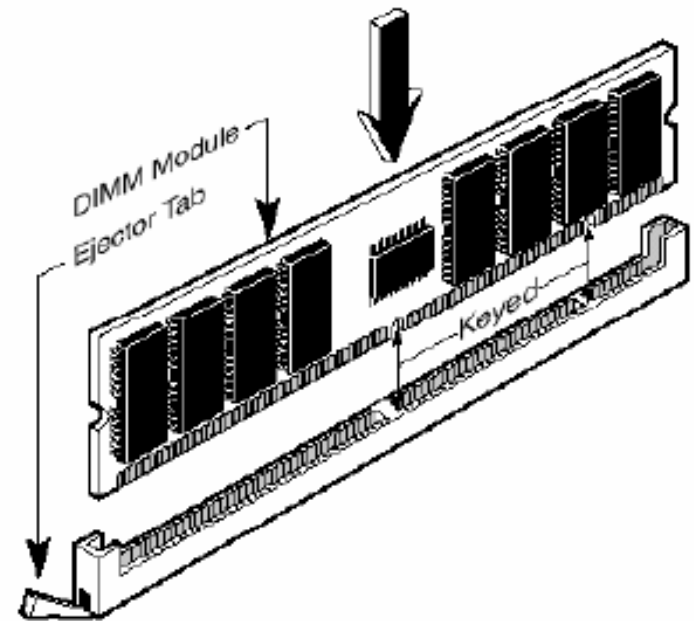
111 = Refresh enabled. Refresh interval 64 clocks (fast refresh mode)

Tipos de memoria:

Memoria RAM

4. MÓDULOS

- En la actualidad los chips de memoria se encuentran soldados sobre una PCB formando lo que se conoce como módulo de memoria.
- DIMM (Dual In-line Memory Module)
 - Actualmente, los módulos DIMM albergan chips de memoria DDR-SDRAM.
 - Acceso R/W de 64 bits.
 - Los primeros funcionaban a 5 y 3,3 Voltios. Actualmente apenas sobrepasan 1 V

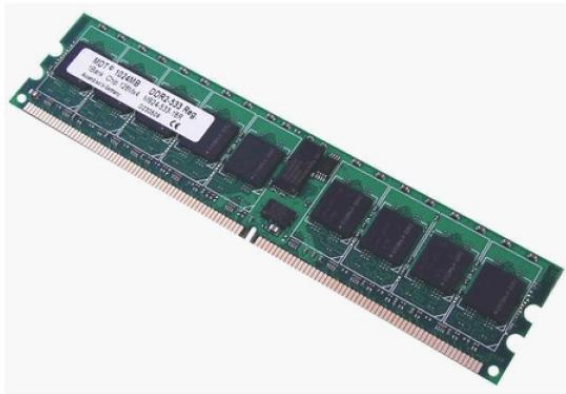


Tipos de memoria:

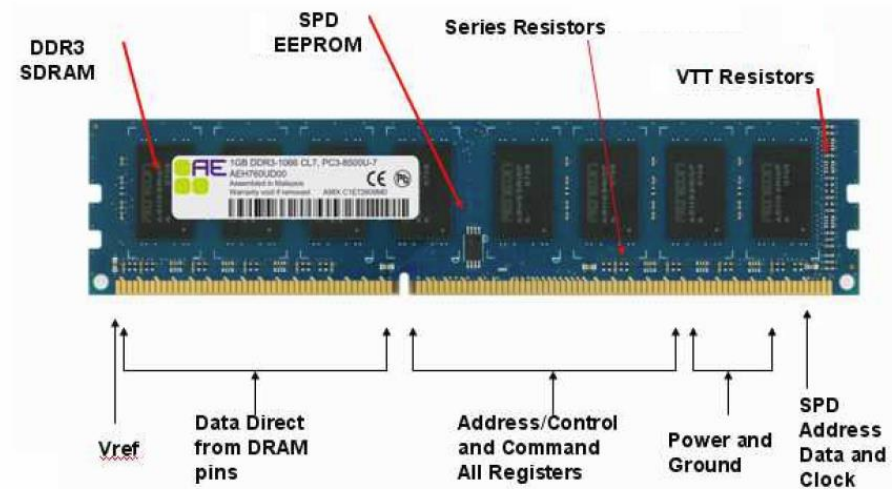
Memoria RAM

4. MÓDULOS

- Las muescas (*notch*) de módulos de memoria incompatibles entre sí se encuentran a distinta distancia impidiendo que el usuario pueda equivocarse al insertar módulos en ranuras en las que no funcionarían.



Izda.: Módulo DIMM de 240 contactos DDR2-533 Registered, 1 GB, con una muesca en el centro.



Dcha.: Módulo DDR3 de 240 contactos donde la muesca ya no está centrada para evitar confusiones en la instalación.



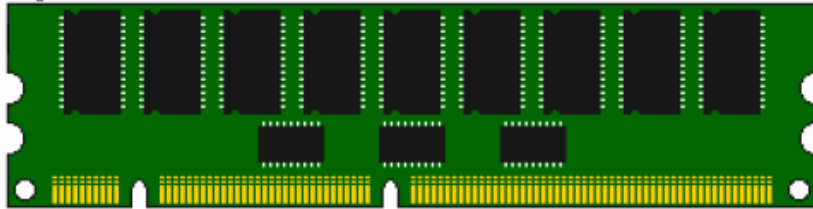
<http://www.simmtester.com>

Tipos de memoria:

Memoria RAM

4. MÓDULOS

Registered ECC SDRAM module



Buffers and voltages



Unbuffered

5.0 V



Buffered (registered)

3.3 V



Reserved for
future use

Reserved for
future use

DDR SDRAM module



2.5 V



1.8 V

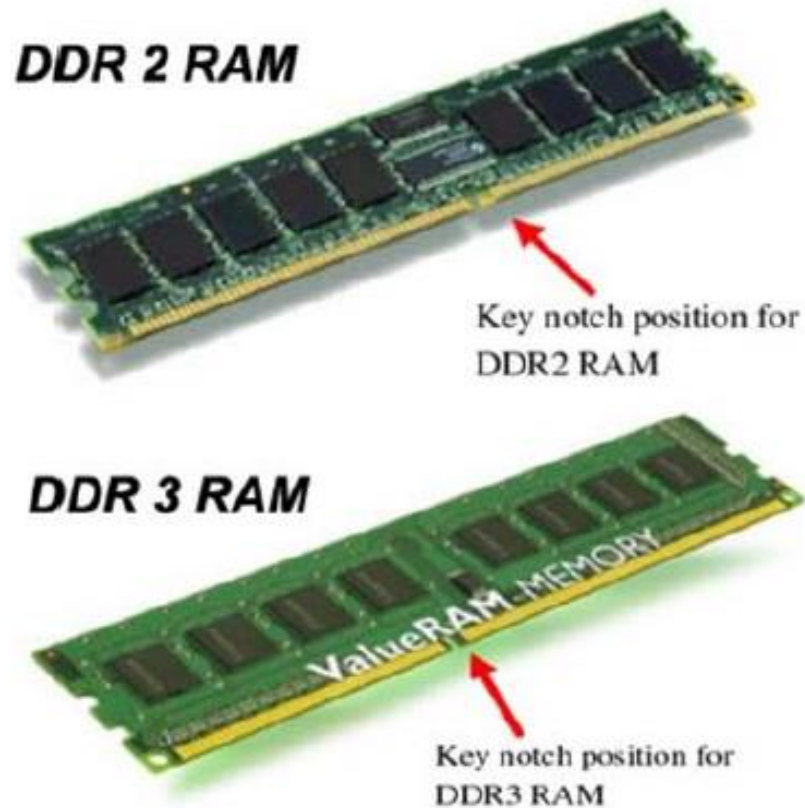


3.3 V

Tipos de memoria:

Memoria RAM

4. MÓDULOS



Tipos de memoria:

Memoria RAM

Módulos Unbuffered, buffered (Registered), Fully Buffered y Load Reduced

Más allá de los 4 módulos de memoria que son habituales en los ordenadores de sobremesa, cuando se necesitan grandes cantidades de memoria (servidores, estaciones de trabajo), aparecen **problemas eléctricos**.

La señal eléctrica se degrada hasta impedir el normal funcionamiento del sistema de memoria. Estos problemas de integridad de señal aparecen, entre otras cosas, por el aumento de las **capacidades parásitas** y del **ruido eléctrico** que acarrea tal cantidad de módulos.

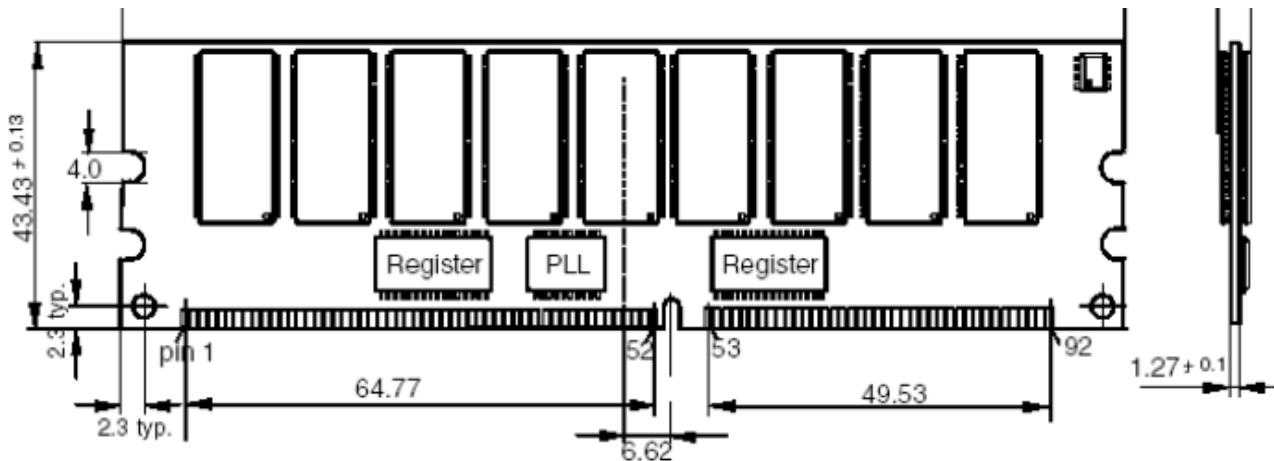
Las líneas que más sufren este problema son las de **control** y las que transportan la señal de **reloj**.

Tipos de memoria:

Memoria RAM

Módulos Unbuffered, buffered (Registered), Fully Buffered y Load Reduced

Una forma de solucionar este problema es mediante unos circuitos integrados que se añaden al módulo (en la imagen 2 chips *Register*). Éstos actúan como **repetidores** de las señales de control y como *latch* del bus de direcciones. Así se consigue bajar la carga capacitiva que soporta el controlador de memoria aunque a costa de perder ciclos de reloj.

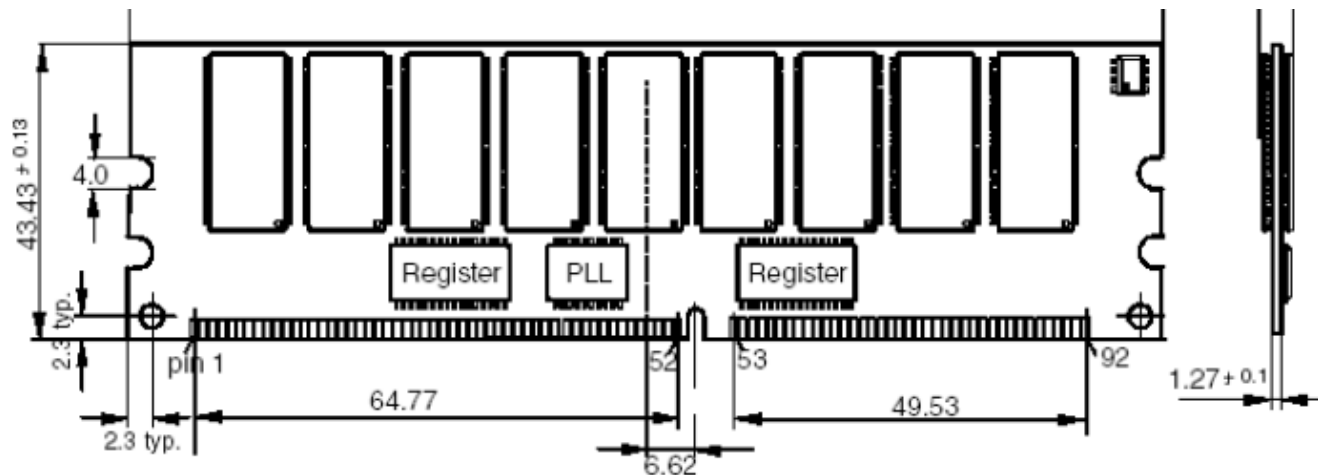


Tipos de memoria:

Memoria RAM

Módulos Unbuffered, buffered (Registered), Fully Buffered y Load Reduced

Con fines parecidos, se añade un circuito específico como repetidor de la señal de reloj (en la imagen PLL). Este tipo de módulos de memoria reciben el nombre de RDIMM (Registered DIMM) o también *buffered*.



Tipos de memoria:

Memoria RAM

Fully Buffered DIMM

A medida que se fue incrementando la frecuencia de funcionamiento de la DRAM aparecieron, de nuevo, los problemas de integridad de la señal, incluso en los *Registered* DIMM.

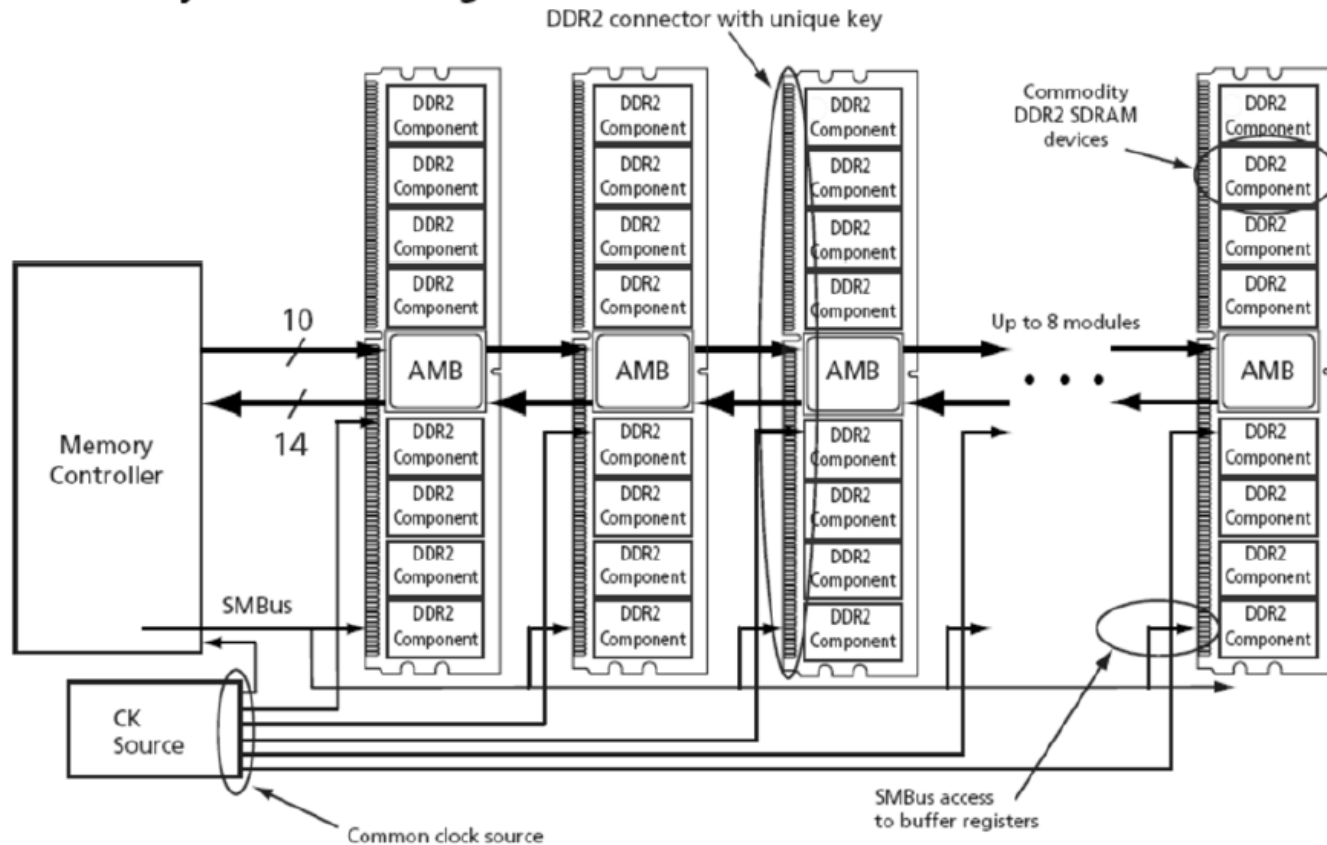
Intel solucionó el problema inventando los *Full Buffered* DIMM (FBDIMM). En ellos, un chip controlador en el centro del módulo DIMM acepta una entrada de señal en serie de alta frecuencia. Este chip **convierte la señal serie a paralelo** y la conduce a los chips de memoria. Con este enfoque se reduce el número de líneas de señal en la entrada del módulo DIMM y los problemas que conlleva tantas líneas.

Gracias a esta solución, podremos instalar más módulos en las placas base de los servidores y estaciones de trabajo.

Tipos de memoria:

Memoria RAM

FBDIMM System Block Diagram



Tipos de memoria:

Memoria RAM

Load Reduced DIMM

Mientras Fully-Buffered DIMM originalmente era una buena idea, la industria pronto encontró que tiene **problemas de implementación**.

- La **frecuencia** de entrada en serie tiene que ser 4 veces más alta que la frecuencia de reloj de la memoria. Esto lo sitúa en el rango de frecuencias de microondas lo que entra de lleno en un terreno plagado de dificultades técnicas.
- Además, la elevada frecuencia de entrada en serie también aumenta la **generación de calor** hasta un punto inaceptable.

Ante este problema ha llegado un enfoque distinto, la LRDIMM.

Tipos de memoria:

Memoria RAM

Load Reduced DIMM

En los LRDIMMs, todas las líneas se almacenan en *buffers*. El LRDIMM (DIMM de carga reducida) funciona de forma muy parecida a los DIMMs *registered*.

El bus de direcciones y las señales de control pasan a través del registro y la señal de reloj se retransmite a través de un PLL.

La diferencia está en que también las líneas de datos pasan por un buffer. De esta manera, todas las líneas de señal están “fully buffered” en el modo paralelo.

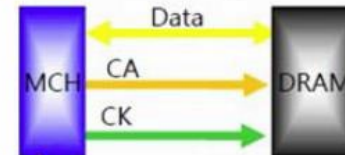
Tipos de memoria: Memoria RAM

Server Memory Evolution Path : Type

ECC UDIMM (Unbuffered DiMM)



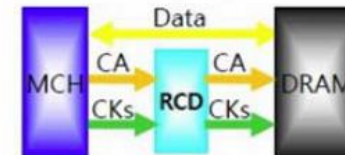
✓ Cost / Density / Reliability / Speed



RDIMM (Registered DiMM)



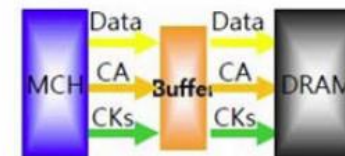
✓ Cost / Density / Reliability / Speed



FBDIMM & LRDIMM (Load Reduced DiMM)



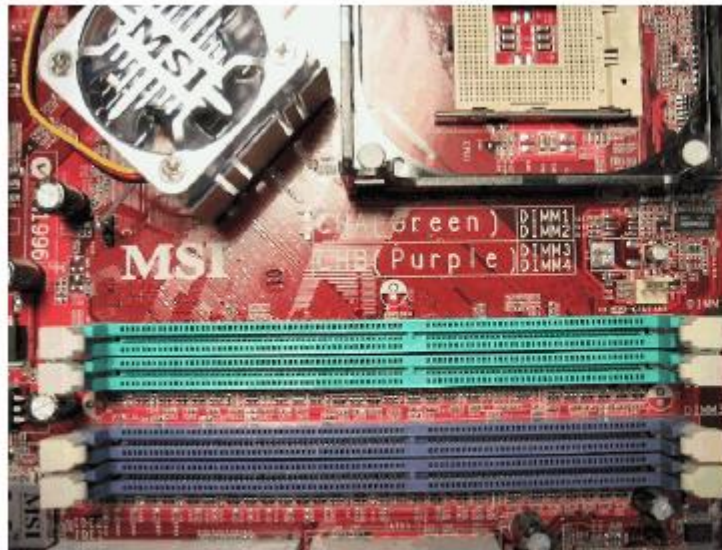
✓ Cost / Density / Reliability / Speed



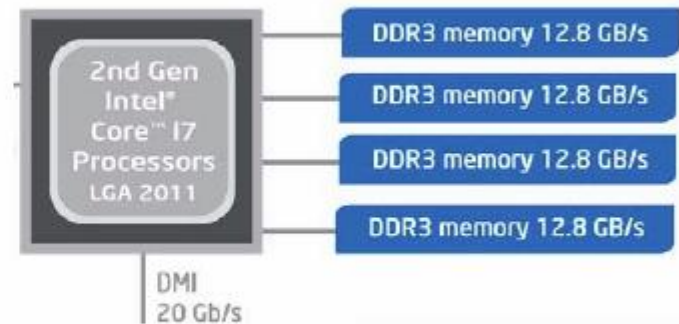
Tipos de memoria: Memoria RAM

5. MÚLTIPLES CANALES DE MEMORIA

- Actualmente los chipsets se benefician del **doble, triple** y hasta **cuádruple** canal de acceso a la RAM.
- Se gana en prestaciones al instalar los módulos por parejas, ternas o cuaternas



En la placa base, las ranuras de cada canal se fabrican en distinto color



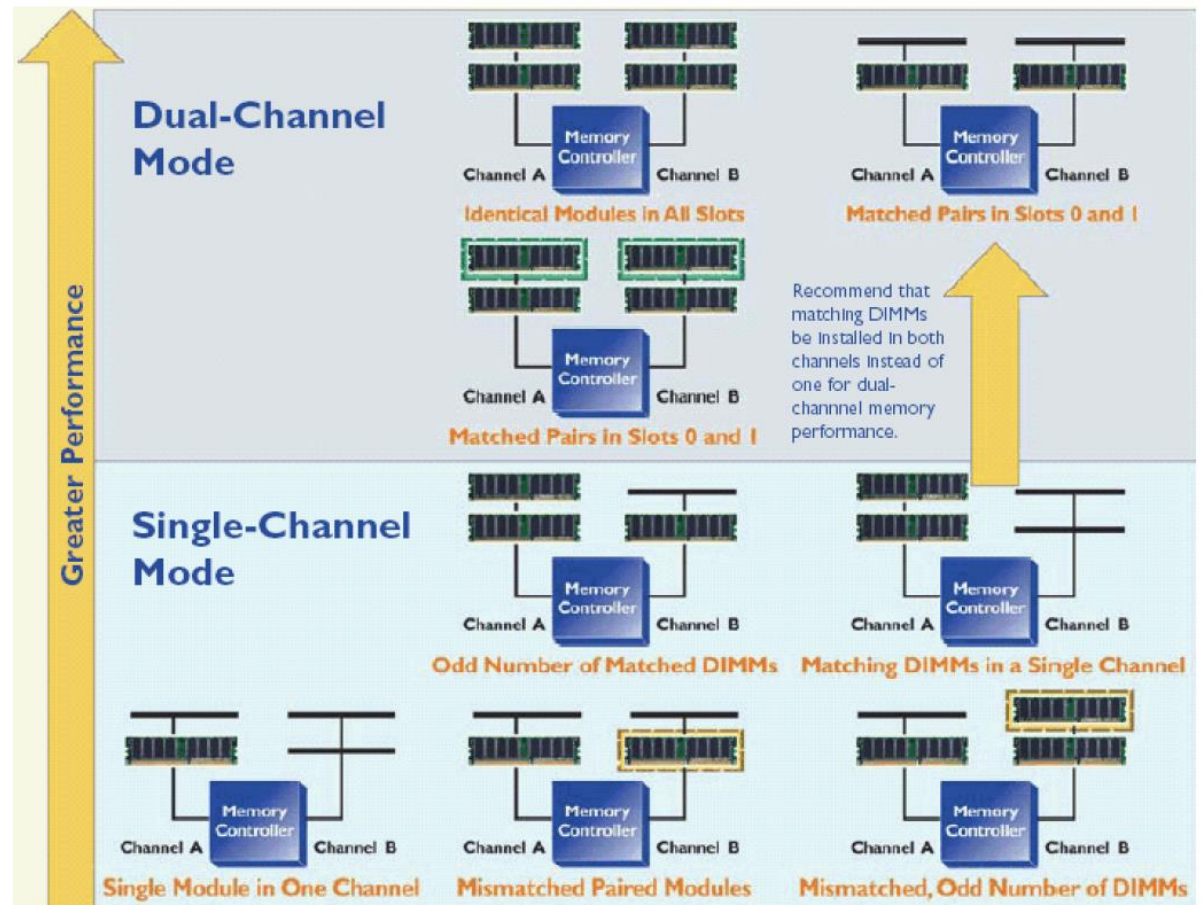
Los Intel® Core i7 implementan controlador de memoria de cuádruple canal

Tipos de memoria:

Memoria RAM

Distintas configuraciones del sistema de memoria de doble canal.

La mala colocación de los módulos puede significar la merma de prestaciones



Tipos de memoria:

Memoria caché

- **Problema:**

- Desde la aparición de micros con frecuencias de reloj >25 MHz, la memoria de trabajo formada por chips DRAM con tiempos de acceso > 60 ns se volvió mas lenta que la CPU, por lo que el micro debía insertar ciclos de espera durante los accesos a memoria.
- Usar tecnología SRAM (RAM estática), mucho más rápida, es una solución demasiado cara cuando se necesitan grandes cantidades de memoria, como sucede con la memoria de trabajo (RAM).

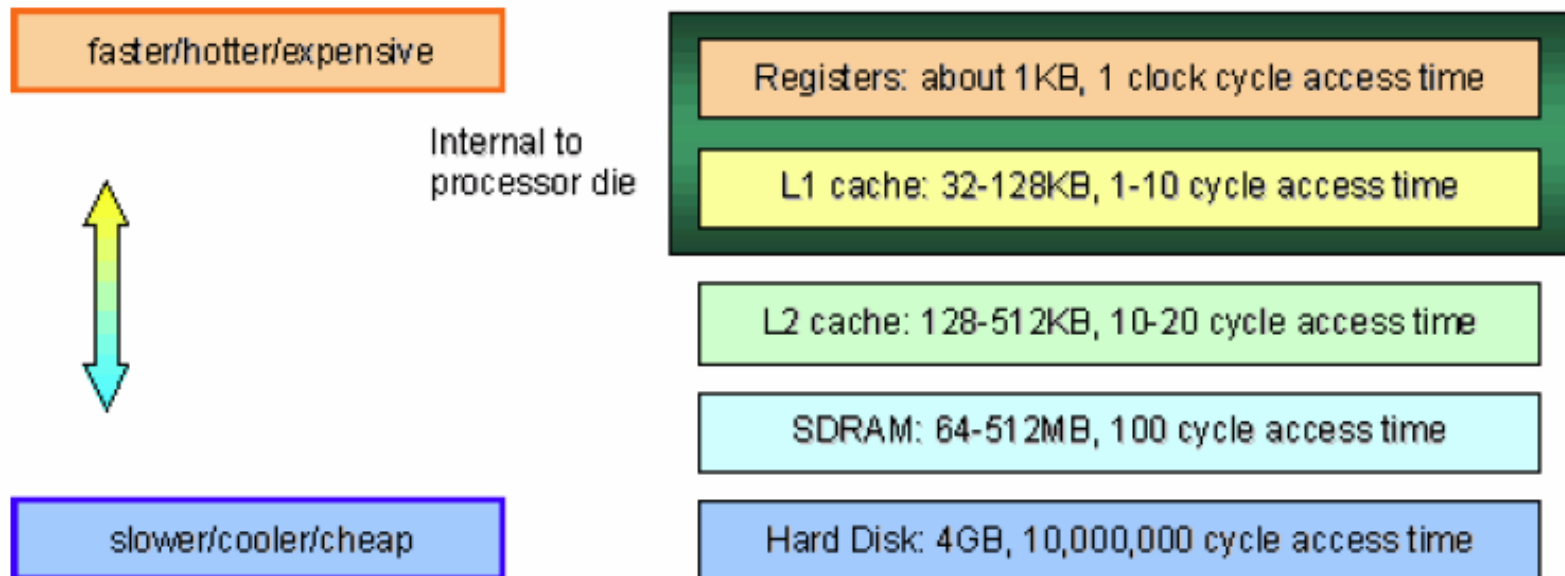
- **Solución:**

- Disponer de una “pequeña” cantidad de memoria SRAM donde guardar los datos/instrucciones más habituales para así poder acceder a ellos mas rápidamente.
- Símil: caché = mesa de trabajo. Memoria principal = el archivo

Tipos de memoria:

Memoria caché

- Cuando el procesador necesita un dato/instrucción, busca primero en la caché, si no está ahí, se dirige a la memoria principal mas lenta.



Tipos de memoria:

Memoria caché

- **NIVEL LÓGICO**

- Proceso de **lectura**:

Cuando el dato buscado se encuentra en la caché, se habla de caché-hit (acierto) y cuando hay que acudir a la memoria caché-miss (fracaso).

- Proceso de **escritura**:

- **Write Through:** El controlador de memoria transfiere el grupo de datos de la CPU a la caché y actualiza la RAM. Se consigue **consistencia** en los datos de ambas memorias.
 - **Write-Back:** La actualización de la RAM no se realiza hasta que el dato se vaya a eliminar de la caché. Se consigue **mayor velocidad**.

Tipos de memoria:

Memoria caché

- **NIVEL LÓGICO**

- Memoria de etiquetas: **TAG-RAM**

- El tamaño de la caché es mucho menor que el de la RAM, por lo que las direcciones empleadas para una no pueden emplearse directamente por la otra.
 - Esto obliga a dividir el espacio en bloques de longitud fija.
 - Para evitar el volcado a la RAM de toda la caché, si sólo han cambiado unos pocos datos, cuando el procesador genera una dirección de memoria se comprueba si el bloque en el que está incluida se encuentra ya en la caché. Para ello la caché utiliza un chip de tecnología SRAM llamado TAG-RAM en el que **se almacenan las etiquetas que identifican los bloques disponibles en cada momento**.
 - En caso de que el bloque se encuentre, se produce un **acierto (hit)**, leyéndose el dato solicitado por la CPU directamente de la caché.
 - Si el bloque no se encuentra, se produce un **fracaso (miss)**. En este último caso se debe buscar el dato en la memoria principal, en vez de hacerlo individualmente para cada dato, se carga todo el bloque.

Tipos de memoria:

Memoria caché

- **NIVEL LÓGICO**

- **Controlador de memoria caché:**

- Coordina CPU, caché, TAG-RAM y memoria RAM principal

- **Rendimiento**

- El rendimiento no es directamente proporcional al tamaño de la caché, ya que los procesos de búsqueda se hacen mas largos. P. ej. Aumentar la caché L2 de 256 KB a 512 KB apenas suponía aumento de rendimiento en la mayoría de sistemas Pentium.

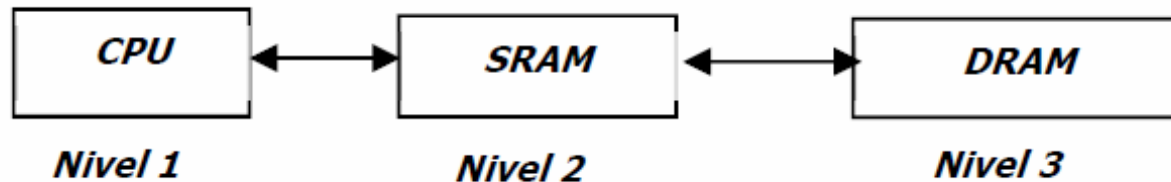
Las prestaciones también dependen del controlador de memoria caché.

Tipos de memoria:

Memoria caché

- **NIVEL FÍSICO**

- Dentro del esquema funcional está situada entre la CPU y la memoria de trabajo (figura), aunque a nivel físico ha acabado por integrarse en el mismo die que la CPU.



- Se emplea tecnología de RAM estática (SRAM asíncrona, SRAM burst síncrona y SRAM burst pipelined) que ocupa más, es más cara, pero no necesita ciclos de refresco.

Tipos de memoria:

Memoria caché

- EJEMPLOS

Cache: Tamaño y velocidad					
Nombre	Cache L1 (KB)		Cache L2 (KB)		
	Instruc.	Datos	Ubicación	Cantidad (KB)	Vel. Max (MHz)
Intel® Pentium® II Xeon	16	16	Interna	512/1024/2048	velocidad CPU
Intel® Pentium® II	16	16	"	512	(velocidad CPU) / 2
Intel® Pentium® Pro	8	8	"	256/512	velocidad CPU
Intel® Pentium® MMX™	16	16	Externa	256/512	66
Intel® Pentium®	8	8	"	256/512	66
Cyrix®/IBM® 6x86/6x86L	16 unificada		"	256/512	75
Cyrix®/IBM® 6x86MX™	64 unificada		"	256/512	66
AMD® K6™	32	32	"	256/512	66

Tipos de memoria:

Memoria caché

- **TECNOLOGÍA**
- **Static RAM (SRAM)**

En lugar de los diminutos acumuladores de carga de las memorias DRAM, en las memorias SRAM cada bit se almacena en un grupo de transistores:

- No necesita ciclos de refresco → mayor rapidez.
- Aumento de tamaño → problemas de integración
- Más caro de producir.

Esto motiva que se utilice para memoria caché y no como memoria principal.

Tipos de memoria:

Memoria caché

- **TECNOLOGÍA**
- **SRAM Asíncrona**

Apareció en la época del 386.

No es capaz de seguir la frecuencia del bus por lo que el micro debe esperar, aunque menos que a una memoria convencional.

Tiempos de acceso de entre 12 ns y 20 ns.

- **SRAM Burst Síncrona**

Es capaz de funcionar en sincronización con el bus.

Es la mas rápida cuando el bus no sobrepasa los 66 MHz. Resulta caro producir memorias que se sincronicen con un bus de mayor velocidad.

Tiempos de acceso típicos 8,5 ns y 12,5 ns.

Tipos de memoria:

Memoria caché

- TECNOLOGÍA
- SRAM Pipelined Burst

Dispone de un *puerto* para la lectura y otro para la escritura independientes, por lo que pueden solaparse operaciones de entrada y salida de información.

La velocidad es ligeramente inferior que la SRAM síncrona cuando la frecuencia del bus NO sobrepasa los 66 MHz, pero es mucho mas rápida en buses mas rápidos.

Tiempo de acceso entre 4 ns y 8 ns.

Mantenimiento: Errores de memoria

- **Tipos de error de memoria**

- Errores *soft*

A menudo como resultado de una descarga temporal en una celda DRAM los datos son grabados incorrectamente. Accesos posteriores podrán almacenar correctamente los datos en la misma celda.

- Errores *hard*

Fallos físicos dentro de una celda RAM que impiden la disponibilidad de los datos almacenados en una o más localizaciones. Un error de este tipo puede parar el sistema bruscamente.

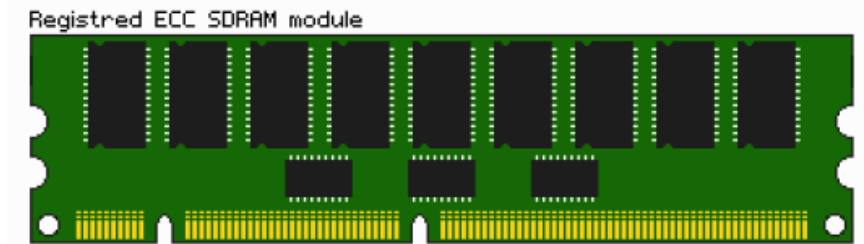
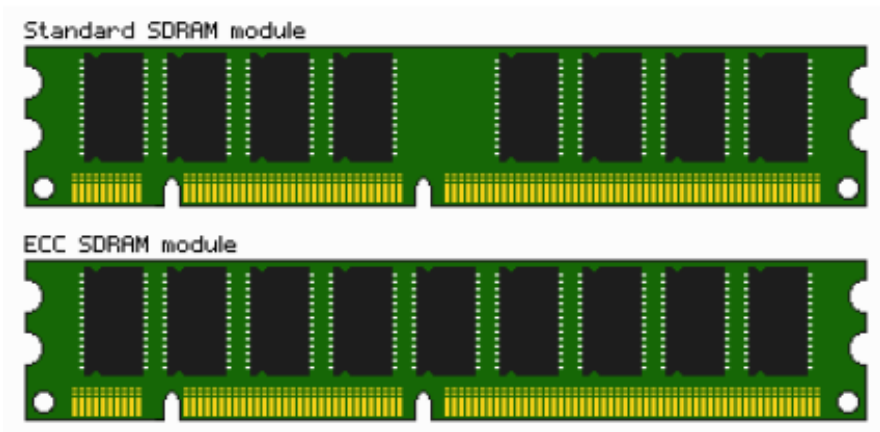
- El test de memoria RAM que realizan las rutinas POST del BIOS puede ser eficaz en detectar errores hardware, pero no en encontrar errores intermitentes (errores soft).

Mantenimiento: Errores de memoria

- **Detección y corrección de errores**
 - Las técnicas que tratan ambos conceptos se engloban en el término **ECC** (Error Checking and Correcting o Error Correcting Code).
 - *Chequeo de paridad (Parity checking)*
 - ✓ Implica la utilización de un noveno bit para chequear un byte.
 - ✓ Cuando se extrae un dato de memoria, el controlador de memoria del sistema chequea la paridad, mostrando un error de memoria. El sistema se detiene para prevenir pérdidas de datos y corrupción de ficheros.
 - ✓ Los módulos de memoria que poseen esta capacidad, tienen un chip adicional (nº impar de chips). En caso de instalar este tipo de módulos, debe habilitarse la prueba de paridad (Parity checking) del controlador mediante el BIOS Setup.

Mantenimiento: Errores de memoria

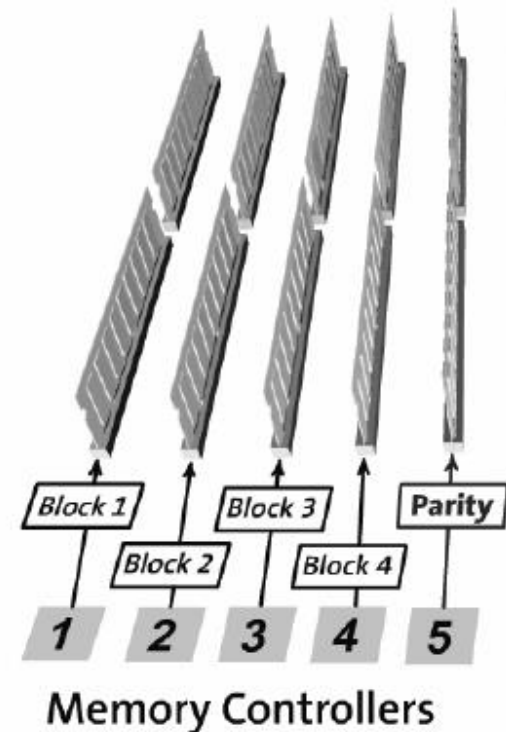
- **Detección y corrección de errores**
 - Corrección de errores: ECC
 - ✓ Podemos observar como el segundo módulo incluye un chip de memoria más que el anterior. Éste se utiliza para la detección y corrección de errores.



- ✓ ECC no sólo detecta un error de bit sino que además lo localiza, lo corrige y permite que el sistema continúe ejecutándose

Mantenimiento: Errores de memoria

- Redundancia de módulos de memoria
 - En la tecnología de HP-Compaq **hot-plug RAID memory**, pensada para servidores de misión crítica, la información es troceada en bloques que cada controlador de memoria escribe en un banco separado. En caso de desastre en un banco, los controladores pueden reconstruir la información gracias al banco de paridad. Además los módulos averiados pueden ser sustituidos en caliente (Hotplug).



Mantenimiento: Errores de memoria

- **Redundancia de módulos de memoria**
 - Memoria Chipkill
 - Esta tecnología de IBM también utiliza los mismos fundamentos que los sistemas de discos RAID. Cuando se escriben datos en el DIMM, se escribe una suma de comprobación (*checksum*) en otra parte del subsistema de memoria. Si ocurre un fallo de memoria, entonces se recupera inmediatamente mediante recálculo con el *checksum*.
 - Este procedimiento permite que el sistema se recupere, no sólo de errores de un solo bit como la memoria ECC estándar, sino también de errores de 2,3 y 4 bits. En algunos casos, incluso de un Chip DRAM completamente inservible.

Mantenimiento:

Otras cuestiones

- A la hora de evaluar la calidad de la memoria hay que tener en cuenta que el fabricante de los circuitos integrados de memoria *no tiene por qué* ser el fabricante del módulo donde se encuentran.
- Factores a tener en cuenta:
 - ✓ La **calidad de los chips** de memoria que forman el módulo: Tiempos de establecimiento, tiempos de mantenimiento, ventana de dato válido, ruido del sistema, ruido de la alimentación, etc.
 - ✓ La **calidad de la placa** de circuito impreso sobre la que se montan: nº de capas, calidad de soldaduras, trazado de pistas, cantidad y calidad de condensadores de desacoplo.
 - ✓ La **calidad del conjunto**: El módulo de memoria ha sido verificado y validado para funcionar bajo las especificaciones marcadas.

Mantenimiento: Otras cuestiones

- Ejemplo: módulo OCZ EL DDR PC-3700



OCZ EL DDR PC-3700 / 466mhz / Enhanced Latency Series

Add our copper heat spreader to maximize cooling and extend your rams life while increasing performance. This memory easily surpasses even the newly adopted PC-3200 standard.

- ULN Technology: (U)ltra (L)ow (N)oise shielded PCB.
- Lifetime Warranty.
- 256MB or 512MB Modules based on OCZ brand EL DDR IC.
- CL 2.5, 233 (466) MHz, 2.8 volt
- 184 Pin Dimm, Unbuffered.


Mantenimiento:

Otras cuestiones

Problema	Consecuencias potenciales
Chequeo insuficiente de los módulos	Posible corrupción de datos, gran cantidad de errores corregibles de bit simple, o en el peor de los casos degradación del rendimiento del sistema o fallo del mismo.
Uso de SDRAM incompatibles	
Diseño de placa de circuito impreso incorrecto (longitud de pistas, carga del reloj, impedancia de las pistas).	
Serial Presence Detect (SPD) mal configurado o no configurado del todo.	Controlador de memoria del sistema no configurado para óptimo rendimiento, o el sistema no arranca.
	Procesador mal informado sobre velocidad del módulo y densidad, causa de inestabilidad del sistema.
Contaminación en los contactos dorados	Errores simples, dobles o múltiples que provocan fallos en el sist. op.
Soldaduras de mala calidad	Fallos a largo plazo tras operación continua en entornos con altas temperaturas.

Mantenimiento:

Otras cuestiones

Problema	Consecuencias potenciales
Uso de PLLs y registros incompatibles en DIMMs de SDRAM <i>registered</i> .	Gran cantidad de fluctuaciones (desplazamiento temporal) y errores de rectangularidad de las señales que provoca corrupción de datos, inestabilidad o posible fallo del sistema.
DRAMs sensibles a señales inestables del chipset durante estados don't care.	Errores simples, dobles o múltiples que provocan que la máquina no arranque.
Condensadores de desacoplo estropeados o inexistentes	Módulo vulnerable a picos y caídas de tensión de la fuente de alimentación.
DRAMs inadecuadamente conectadas a masa; pistas de cobre defectuosas y mal enrutadas.	Prestaciones pobres por el ruido, reflexiones, interferencias que aumentan la posibilidad de errores de bit.
Enrutado de señales de alta velocidad a través de planos de masa o alimentación.	Temas de ruido y cross-talk, que inciden en errores de bit simples, dobles o múltiples. Cross-talk causa inestabilidad y posibles fallos del sistema.
 "why Buy Compaq Memory?", www.compaq.com .	