


1ª PRUEBA DE EVALUACIÓN CONTINUA (PEC)

Datos

1. **Asignatura:** Fundamentos de Sistemas Digitales
2. **Título de la Actividad:** Diseño, Implementación, Simulación y Validación de un Circuito en Lógica Combinacional
3. **Datos personales:**
 - Nombre y Apellidos: Salvador Moreno Sánchez
 - DNI: 
 - Centro asociado: Centro de Madrid - Las Tablas
4. **Código de la actividad que le ha correspondido realizar:** PEC1-477

Enunciado

Disponemos de tres señales P2, P1 y P0 con las que queremos controlar el funcionamiento de una Unidad Aritmético Lógica, pero la programación de la ALU no depende directamente de estas señales sino de la prioridad de estas señales. Así, el criterio de prioridad de las señales es:

P1 > P0 > P2,

y las operaciones de las palabras de 4 bits que debe realizar la ALU son las siguientes:

- a. Si la prioridad es de la señal **P2**, la operación que debe realizar es la operación aritmética con acarreo:
$$F = (A + B)\text{PLUS1}.$$
- b. Si la prioridad es de la señal **P1** entonces debe realizar la operación aritmética sin acarreo:
$$F = AB\text{MINUS1}.$$
- c. Si la prioridad es de **P0** entonces debe hacer la operación lógica:
$$F = \overline{A}B.$$
- d. Si las señales son todas cero (ninguna es prioritaria) entonces la ALU debe ponerse a 1.

Diseñe el circuito codificador con prioridad y úselo para controlar las operaciones de la ALU que se han especificado.

Solución

5. **Diseño de los distintos bloques funcionales.** Para cada uno de los bloques debe presentar: la tabla de verdad teórica, las expresiones lógicas de las variables de salidas y explicar el diseño realizado.

6. **Implementación de cada uno de los bloques funcionales en el simulador.** Para cada uno de los bloques debe presentar: el esquema, el cronograma resultante y la verificación de que su funcionamiento es el deseado.

7. **Descripción de los parámetros usados en la implementación final de cada bloque.** Debe presentar los tiempos de los generadores de pulsos que ha usado para probar cada uno de los circuitos.

8. **Implementación del circuito completo en el simulador.** Debe unir todos los bloques y presentar: el esquema, el cronograma resultante y la verificación de que la ALU realiza las operaciones pedidas de acuerdo con las condiciones de control.
 Para esta verificación debe usar las siguientes palabras:
 $P(P_2 P_1 P_0) = (101), (110), (111), (001)$
 Y como datos de entrada sobre los que opera la ALU las palabras:
 $A(A_3 A_2 A_1 A_0) = (1001)$
 $B(B_3 B_2 B_1 B_0) = (0011)$

9. **Comentarios:** Explique los problemas/dificultades encontradas y la forma y procedimiento por el que los ha resuelto.

La tabla de la verdad teórica relativa al sistema digital de control de nuestra Unidad Aritmético Lógica (ALU) es el siguiente:

P2	P1	P0	Operación	S3	S2	S1	S0	M	Cn
0	0	0	1	1	1	0	0	1	X
0	0	1	$F = \bar{A}B$	0	0	1	0	1	X
0	1	0	$F = AB \text{ MINUS } 1$	1	0	1	1	0	1
0	1	1	$F = AB \text{ MINUS } 1$	1	0	1	1	0	1
1	0	0	$F = (A+B) \text{ PLUS } 1$	0	0	0	1	0	0
1	0	1	$F = \bar{A}B$	0	0	1	0	1	X
1	1	0	$F = AB \text{ MINUS } 1$	1	0	1	1	0	1
1	1	1	$F = AB \text{ MINUS } 1$	1	0	1	1	0	1

Figura 1. Tabla de la verdad teórica del sistema de control de la ALU

Como se aprecia en la tabla se ha tenido en cuenta la prioridad dada ($P1 > P0 > P2$) relacionada con la operación de 4 bits asociada a cada señal. Asimismo, cada operación tiene su propio código de activación de las patillas de selección (S3, S2, S1, S0) de la ALU, además de la entrada M. Dichos bits de entrada están especificados en la hoja de características (Figura 2) de la ALU a emplear, que en nuestro caso va a ser el modelo 74S181N.

SELECCIÓN				DATO ACTIVO EN ALTA		
S3 S2 S1 S0	M=H	M=L Operaciones Aritméticas				
	Funciones Lógicas	\overline{C}_n =H (sin acarreo)	\overline{C}_n =L (con acarreo)			
L L L L	$F = \overline{A}$	$F = A$	$F = A \text{ PLUS } I$			
L L L H	$F = \overline{A + B}$	$F = A + B$	$F = (A + B) \text{ PLUS } I$			
L L H L	$F = \overline{A} B$	$F = A + \overline{B}$	$F = (A + \overline{B}) \text{ PLUS } I$			
L L H H	$F = 0$	$F = \text{MINUS } I \quad (\text{comp. a 2})$	$F = \text{Cero}$			
L H L L	$F = \overline{A} \overline{B}$	$F = A \text{ PLUS } A \overline{B}$	$F = A \text{ PLUS } A \overline{B} \text{ PLUS } I$			
L H L H	$F = \overline{B}$	$F = (A + B) \text{ PLUS } A \overline{B}$	$F = (A + B) \text{ PLUS } A \overline{B} \text{ PLUS } I$			
L H H L	$F = A \oplus B$	$F = A \text{ MINUS } B \text{ MINUS } I$	$F = A \text{ MINUS } B$			
L H H H	$F = A \overline{B}$	$F = A \overline{B} \text{ MINUS } I$	$F = A \overline{B}$			
H L L L	$F = \overline{A} + B$	$F = A \text{ PLUS } AB$	$F = A \text{ PLUS } AB \text{ PLUS } I$			
H L L H	$F = \overline{A \oplus B}$	$F = A \text{ PLUS } B$	$F = A \text{ PLUS } B \text{ PLUS } I$			
H L H L	$F = B$	$F = (A + \overline{B}) \text{ PLUS } AB$	$F = (A + \overline{B}) \text{ PLUS } AB \text{ PLUS } I$			
H L H H	$F = A B$	$F = A B \text{ MINUS } I$	$F = A B$			
H H L L	$F = I$	$F = A \text{ PLUS } A$	$F = A \text{ PLUS } A \text{ PLUS } I$			
H H L H	$F = A + \overline{B}$	$F = (A + B) \text{ PLUS } A$	$F = (A + B) \text{ PLUS } A \text{ PLUS } I$			
H H H L	$F = A + B$	$F = (A + \overline{B}) \text{ PLUS } A$	$F = (A + \overline{B}) \text{ PLUS } A \text{ PLUS } I$			
H H H H	$F = A$	$F = A \text{ MINUS } I$	$F = A$			

Figura 2. Hoja de características de la ALU 74S181N

Por otro lado, debemos atender a si la operación posee acarreo o no. Como se observa en la tabla, se ha adjudicado una X a aquellas operaciones en las que no importa si el acarreo es HIGH o LOW, un 0 para la operación que posee acarreo y 1 para aquella que no lo necesita. Esta información, recalcamos, se encuentra en la *datasheet* (Figura 2) de nuestra Unidad Aritmético Lógica.

Una vez recopilada y ordenada nuestra tabla de la verdad, procedemos a extraer las expresiones que nos darán lugar a los futuros logigramas de cada patilla de selección a través de la ayuda de la realización de tablas de Karnaugh:

- S3 (P2, P1, P0) = F (a, b, c) = $\bar{a}\bar{b}\bar{c} + \bar{a}b\bar{c} + \bar{a}bc + ab\bar{c} + abc = b + \bar{a}\bar{c}$
- S2 (P2, P1, P0) = F (a, b, c) = $\bar{a}\bar{b}\bar{c}$
- S1 (P2, P1, P0) = F (a, b, c) = $\bar{a}\bar{b}\bar{c} + \bar{a}b\bar{c} + \bar{a}bc + a\bar{b}\bar{c} + ab\bar{c} + abc = b + c$
- S0 (P2, P1, P0) = F (a, b, c) = $\bar{a}b\bar{c} + \bar{a}bc + a\bar{b}\bar{c} + ab\bar{c} + abc = b + a\bar{c}$
- M (P2, P1, P0) = F (a, b, c) = $\bar{a}\bar{b}\bar{c} + \bar{a}\bar{b}c + \bar{a}b\bar{c} = \bar{b}c + \bar{a}\bar{b}$
- Cn (P2, P1, P0) = F (a, b, c) = $\bar{a}b\bar{c} + \bar{a}bc + ab\bar{c} + abc = b$

Cabe destacar que para la expresión correspondiente al acarreo (Cn), los valores que en la tabla de la verdad teórica son iguales a X se han considerado como 0 en pos de facilitar las operaciones a componer.

Una vez realizado el circuito correspondiente al sistema de control previo a nuestra ALU con la unión de cada uno de los logigramas obtenidos de las expresiones anteriores, se ha procedido a realizar una serie de pruebas para comprobar su funcionamiento y su encaje con los datos de la tabla de la verdad teórica (Figura 1):

- **Prueba 1** (Figura 3): $(P2, P1, P0) = (0, 0, 0) \rightarrow (S3, S2, S1, S0, M, Cn) = (1, 1, 0, 0, 1, 0)$

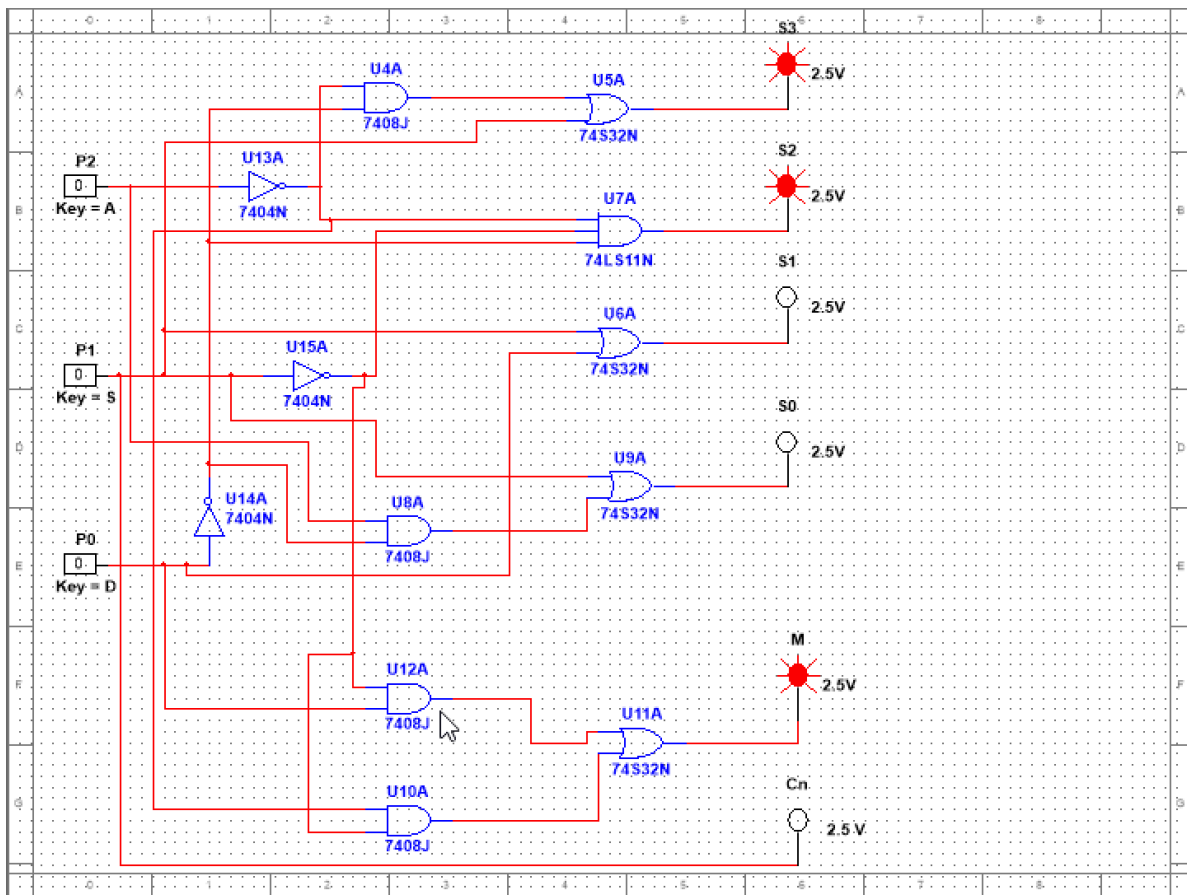


Figura 3. Prueba 1 del sistema de control

- **Prueba 2** (Figura 4): $(P2, P1, P0) = (0, 0, 1) \rightarrow (S3, S2, S1, S0, M, Cn) = (0, 0, 1, 0, 1, 0)$

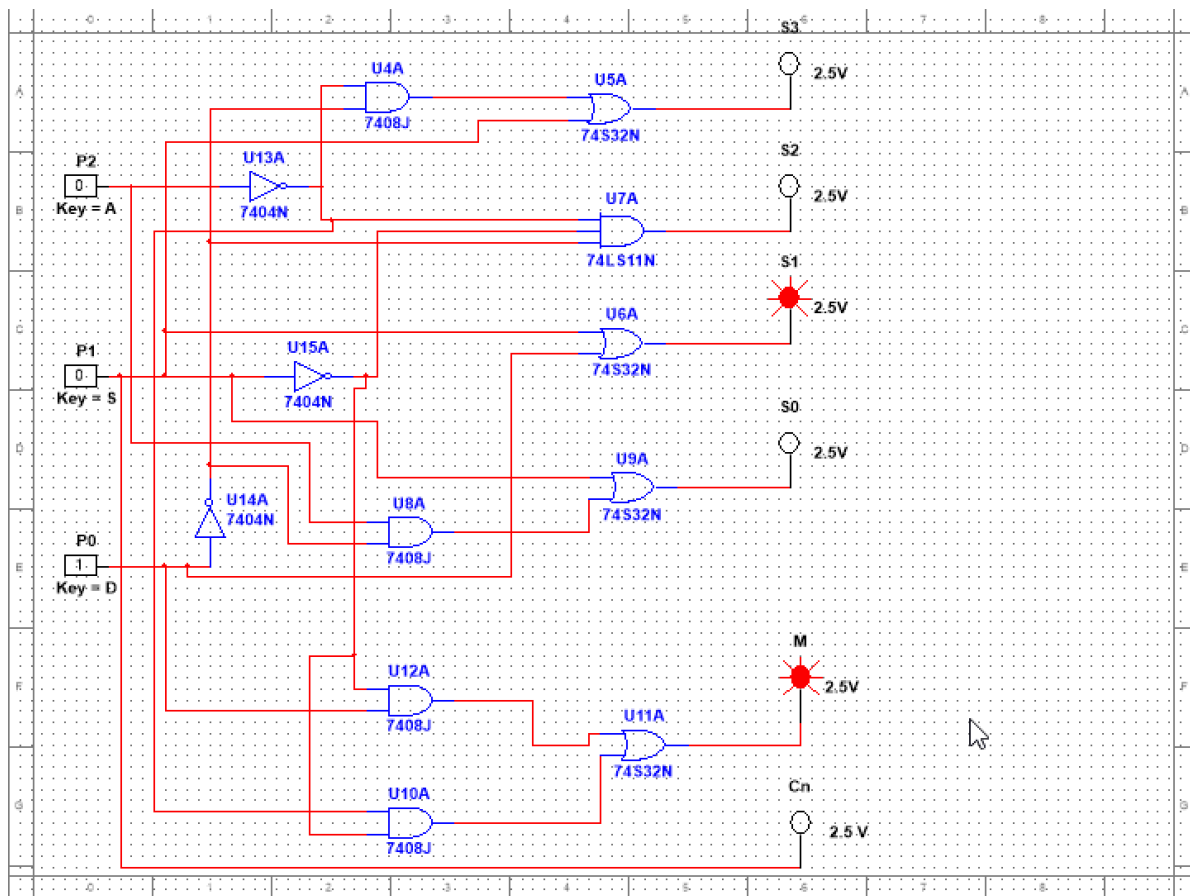


Figura 4. Prueba 2 del sistema de control

- **Prueba 3** (Figura 5): $(P2, P1, P0) = (0, 1, 0) \rightarrow (S3, S2, S1, S0, M, Cn) = (1, 0, 1, 1, 0, 1)$

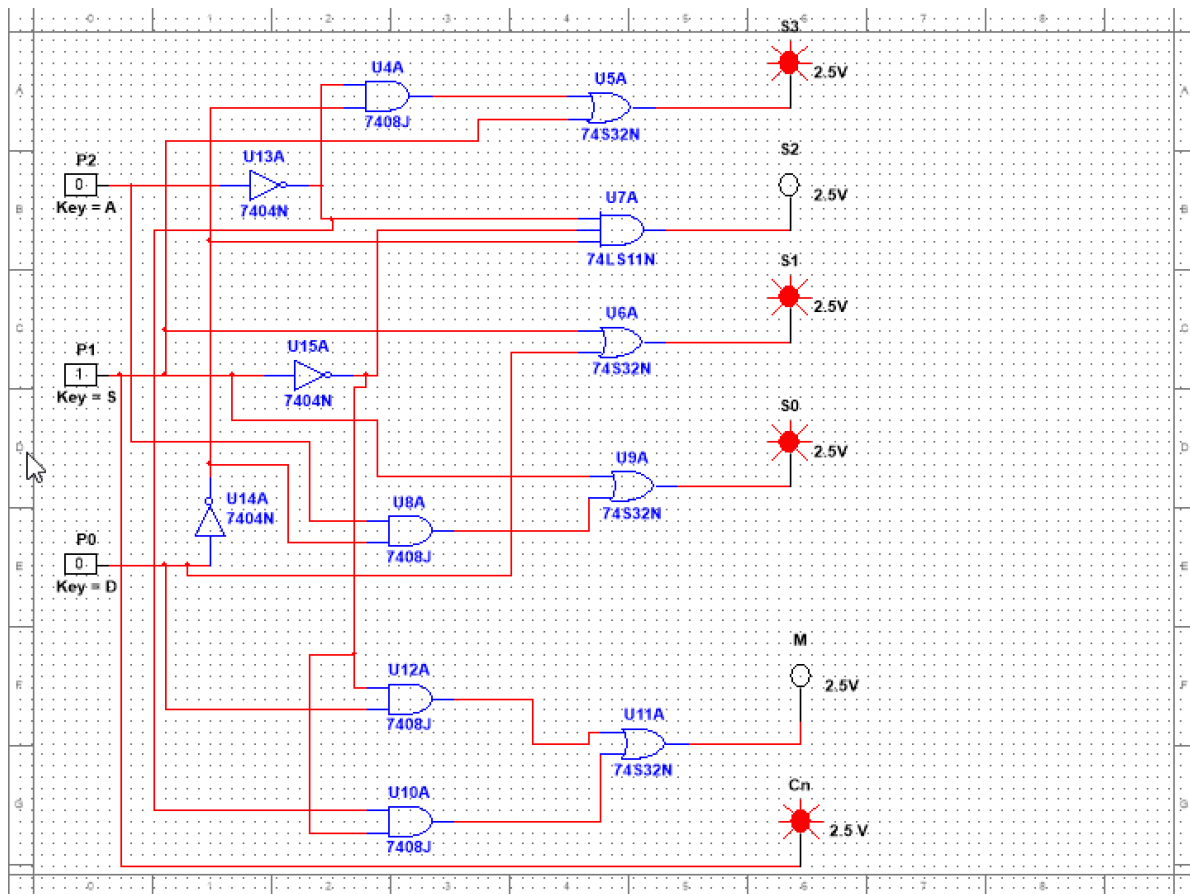


Figura 5. Prueba 3 del sistema de control

- **Prueba 4** (Figura 6): $(P2, P1, P0) = (1, 0, 0) \rightarrow (S3, S2, S1, S0, M, Cn) = (0, 0, 0, 1, 0, 0)$

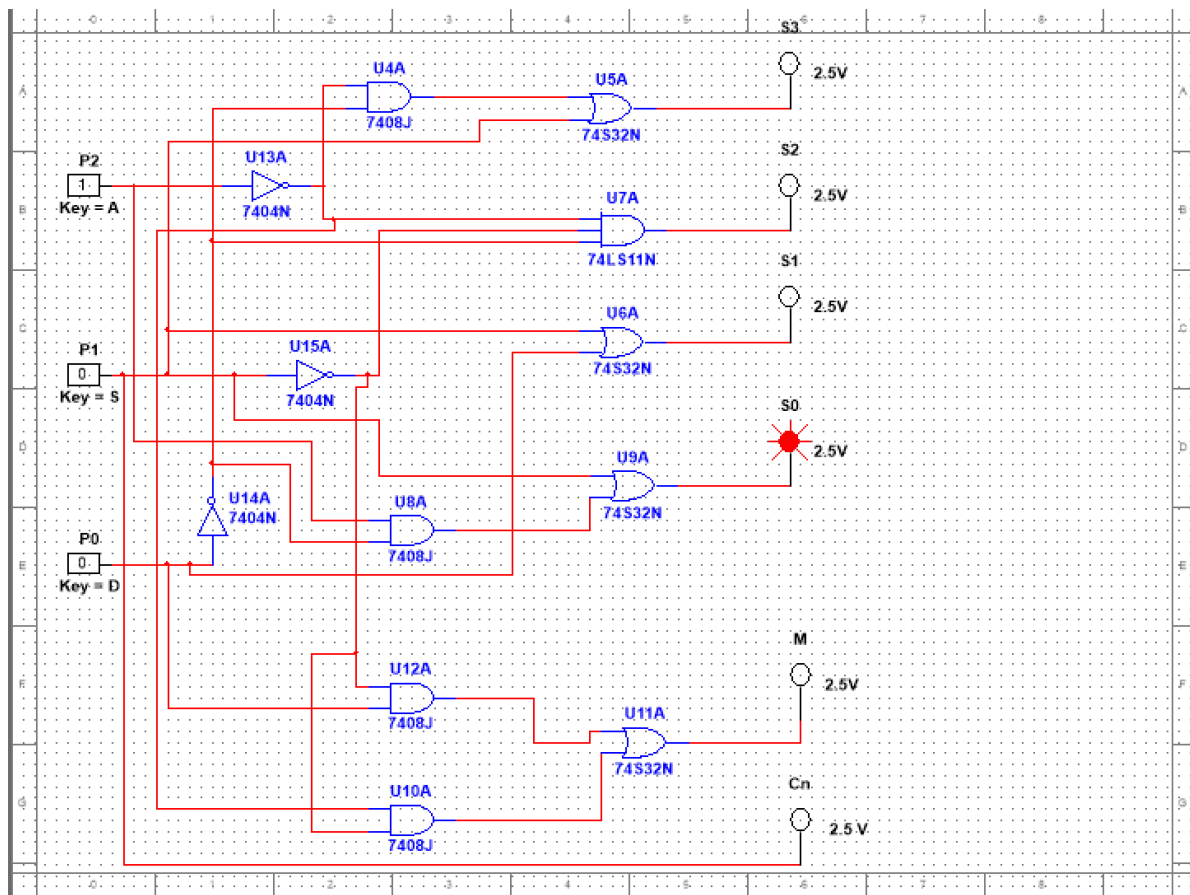


Figura 6. Prueba 4 del sistema de control

A continuación, y para presentar el cronograma correspondiente (Figura 7), se han implementado una serie de relojes (Figura 6), cuya programación toma los siguientes valores:

- P2: 1Hz
- P1: 2Hz
- P0: 4Hz

Por otro lado, se ha pasado al modo “Transitorio”, cuyo valor para el TSTOP se ha ajustado a 8 segundos.

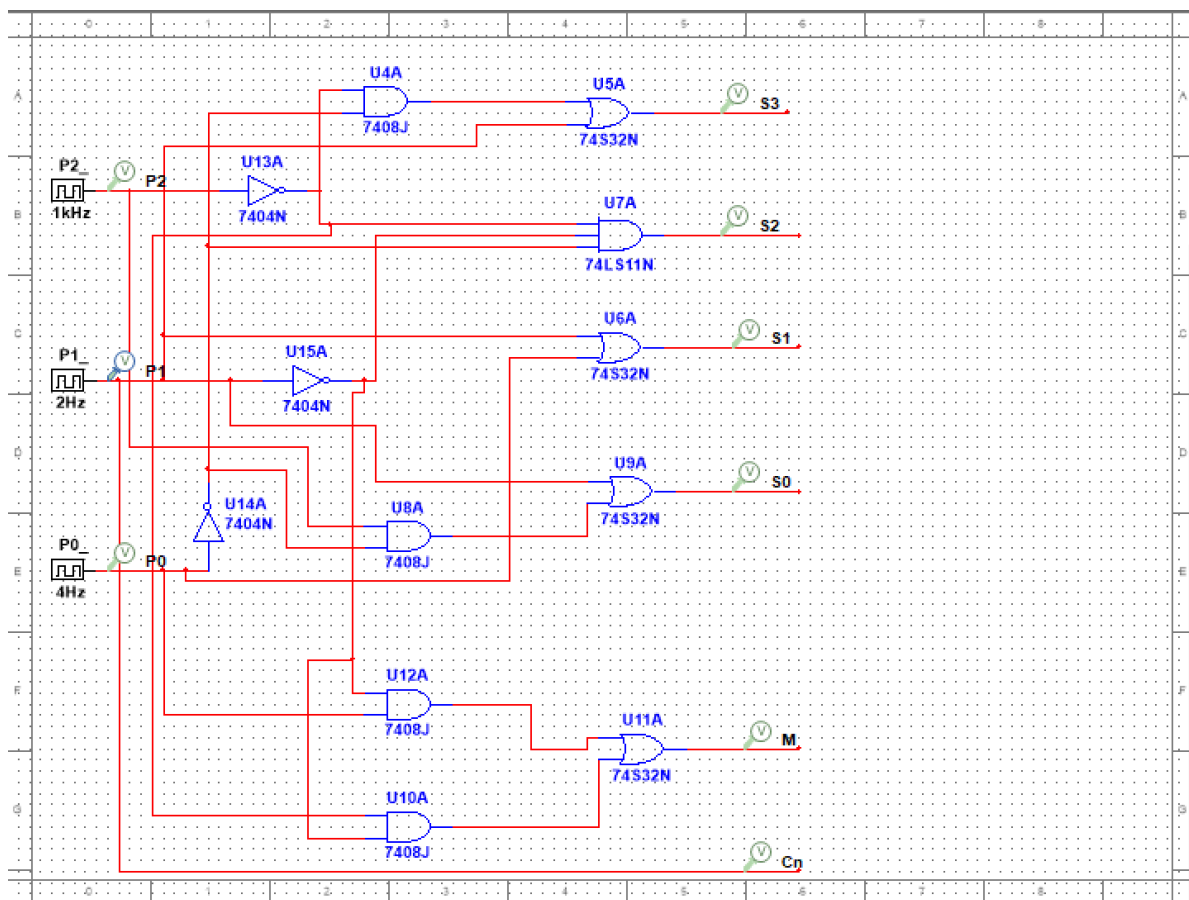


Figura 6. Implementación de relojes

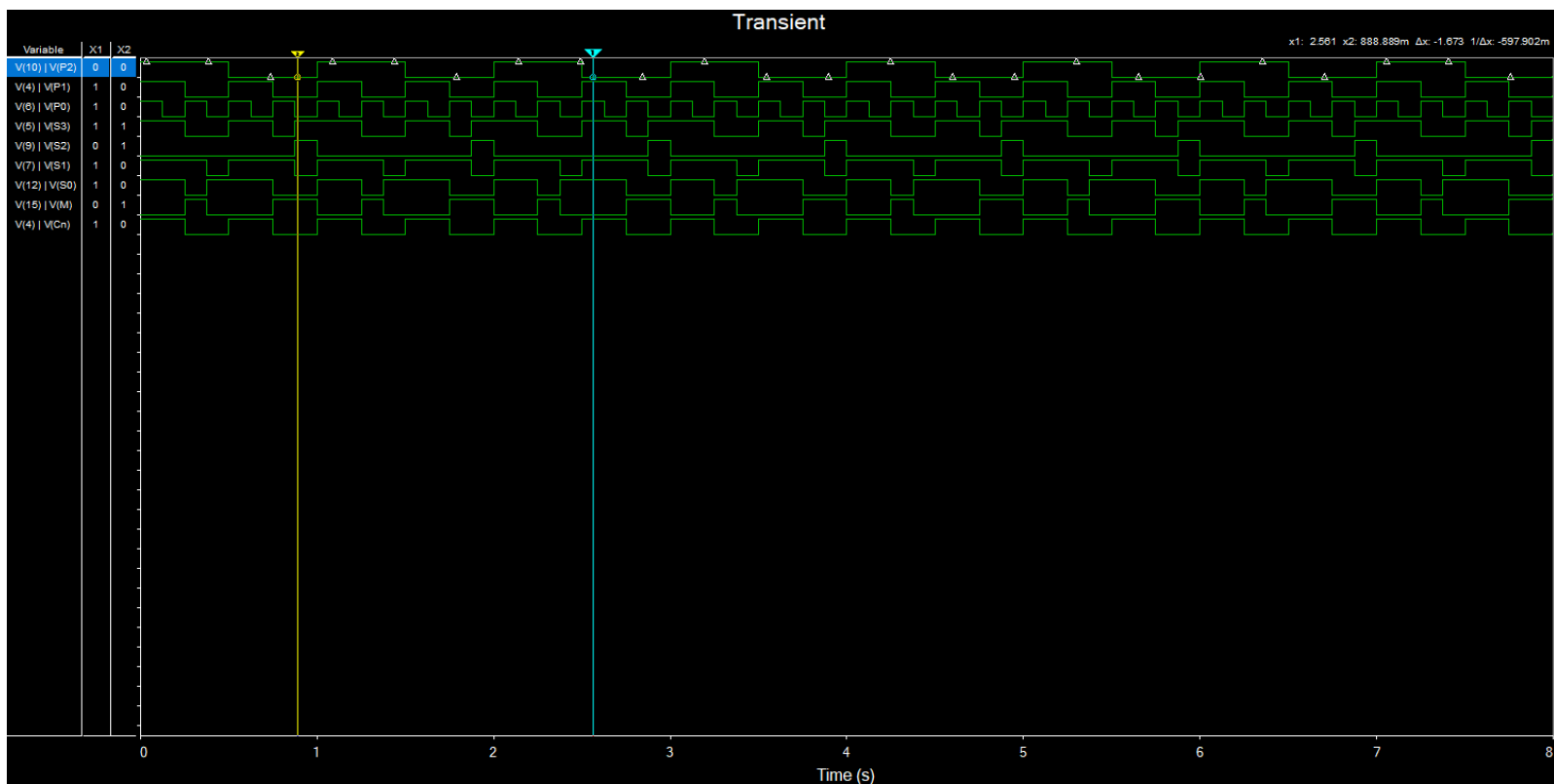


Figura 7. Cronograma del sistema de control

En el cronograma (Figura 7), podemos observar dos ejemplos (X1, X2), además del evolutivo, que nos confirman que los resultados de la simulación coinciden con los expuestos en la tabla de la verdad teórica (Figura 1).

Una vez que hemos llegado a este punto, procedemos a enlazar los desarrollos hasta ahora realizados con nuestra Unidad Lógica Aritmética, la cual, como ya mencionamos anteriormente, se trata de un modelo 74S181N. De esta forma, se ha unido el sistema de control con las patillas de selección de la ALU (S3, S2, S1, S0 y M), además de la entrada correspondiente a si se debe tener en cuenta o no el acarreo. Por otra parte, la ALU posee dos entradas (A y B) de 4 bits cada una y una salida (F) de otros 4 bits, además de si existe o no bit de acarreo a la salida (Cn4).

Antes de ver su comportamiento en su correspondiente cronograma relativo a las operaciones demandadas en este ejercicio, se han realizado una serie de pruebas para cerciorarnos del buen proceder para los 4 casos que se pueden dar dependiendo de las señales de control.

- **Prueba 1** (Figura 8): $(P2, P1, P0) = (0, 0, 0) \rightarrow$ debe realizar la operación 1, por lo que la salida siempre será $F = (1, 1, 1, 1)$, independientemente de las entradas suministradas. En el caso de la Figura 8, vemos que las entradas ejemplificadas son $A = (0000)$ y $B = (0000)$.

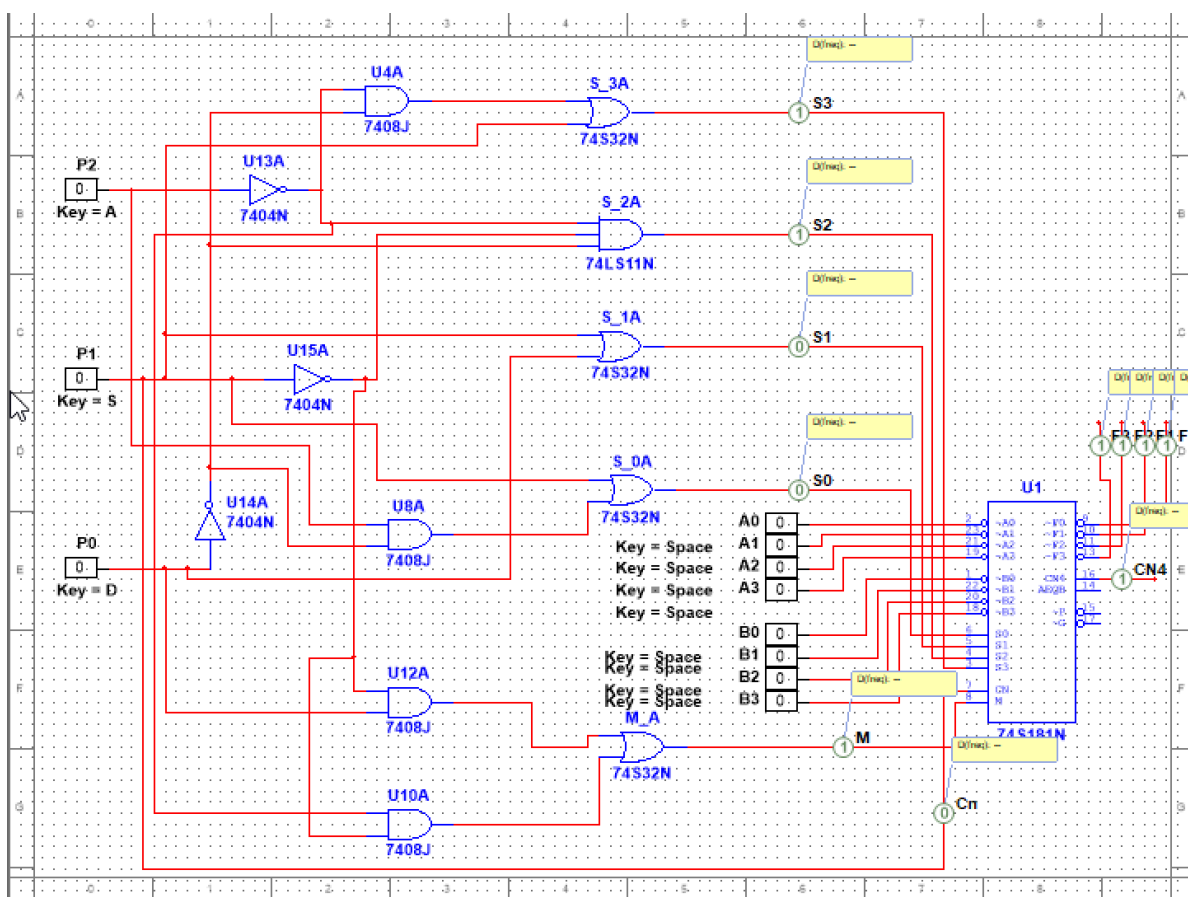


Figura 8. Prueba 1 del circuito completo

- **Prueba 2** (Figura 9): $(P2, P1, P0) = (0, 0, 1) \rightarrow$ debe realizar la operación $F = \bar{A}B$. Si introducimos como entradas $A = (1010)$ y $B = (0010)$, debemos obtener la salida $F = (0000)$.

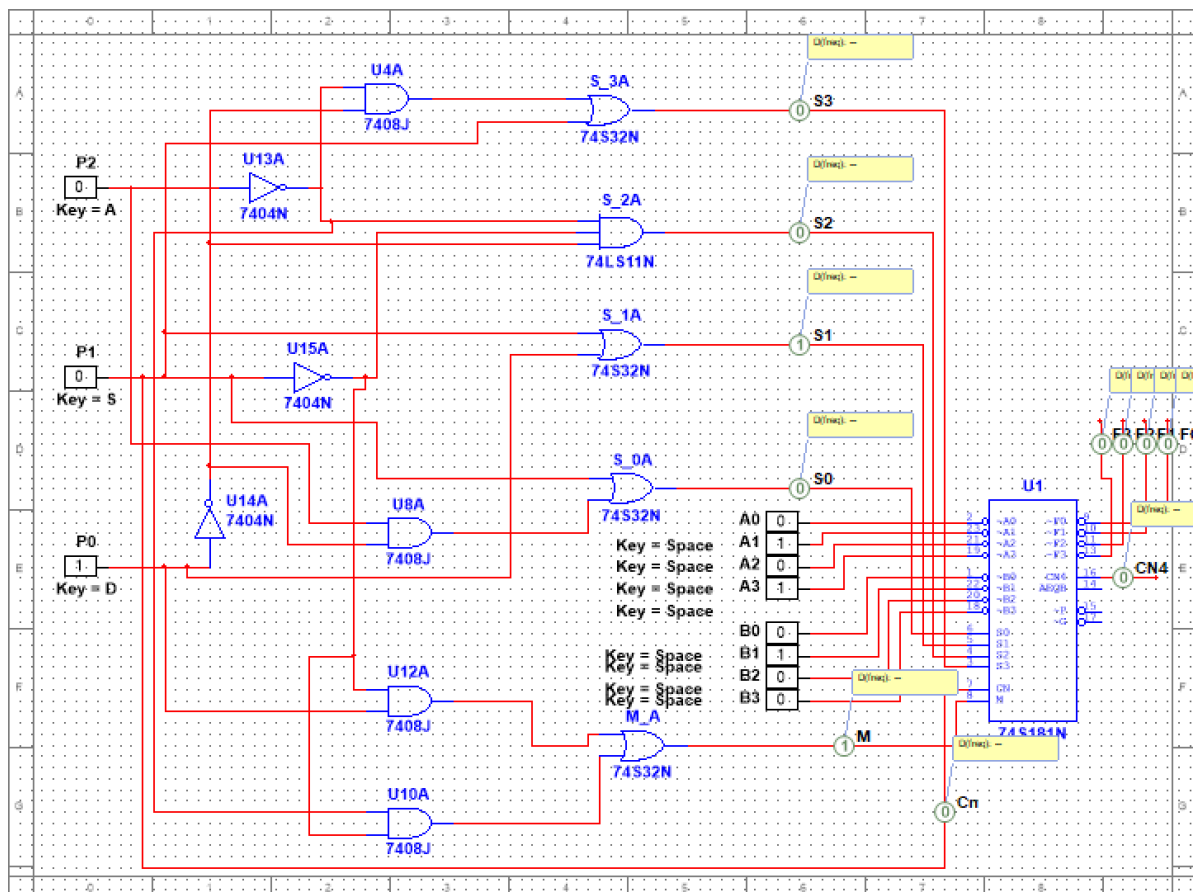


Figura 9. Prueba 2 del circuito completo

- **Prueba 3** (Figura 10): $(P2, P1, P0) = (0, 1, 0) \rightarrow$ debe realizar la operación $F = ABMINUS1$. Por ejemplo, si introducimos como entradas $A = (0110)$ y $B = (0010)$, debemos obtener la salida $F = (0001)$.

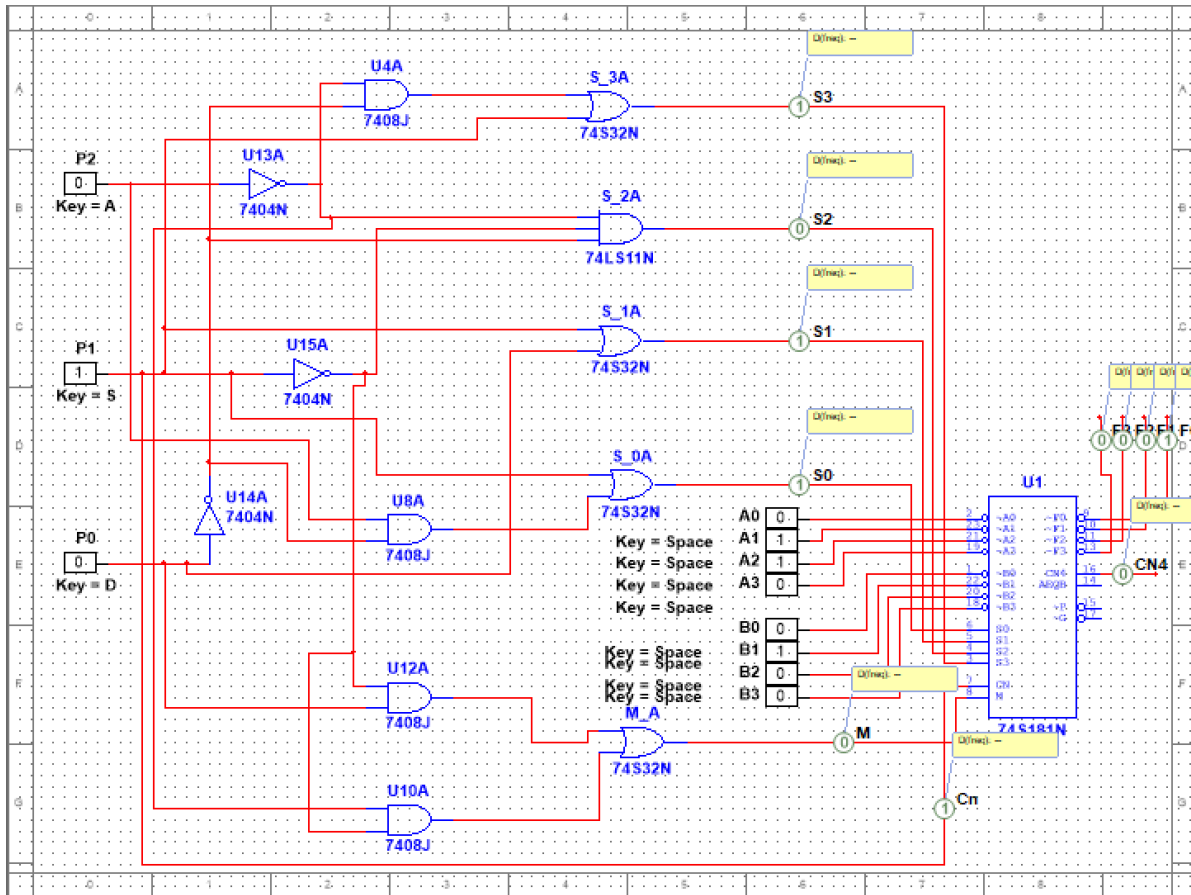


Figura 10. Prueba 3 del circuito completo

- **Prueba 4** (Figura 11): $(P2, P1, P0) = (1, 0, 0) \rightarrow$ debe realizar la operación $F = (A + B)PLUS1$. Por ejemplo, si introducimos como entradas $A = (1110)$ y $B = (0001)$, debemos obtener la salida $F = (0000)$ y con la salida $Cn4 = 0$, lo cual nos indica que el quinto bit que no nos puede ofrecer este modelo estaría a 1, siendo el resultado real $F = (10000)$.

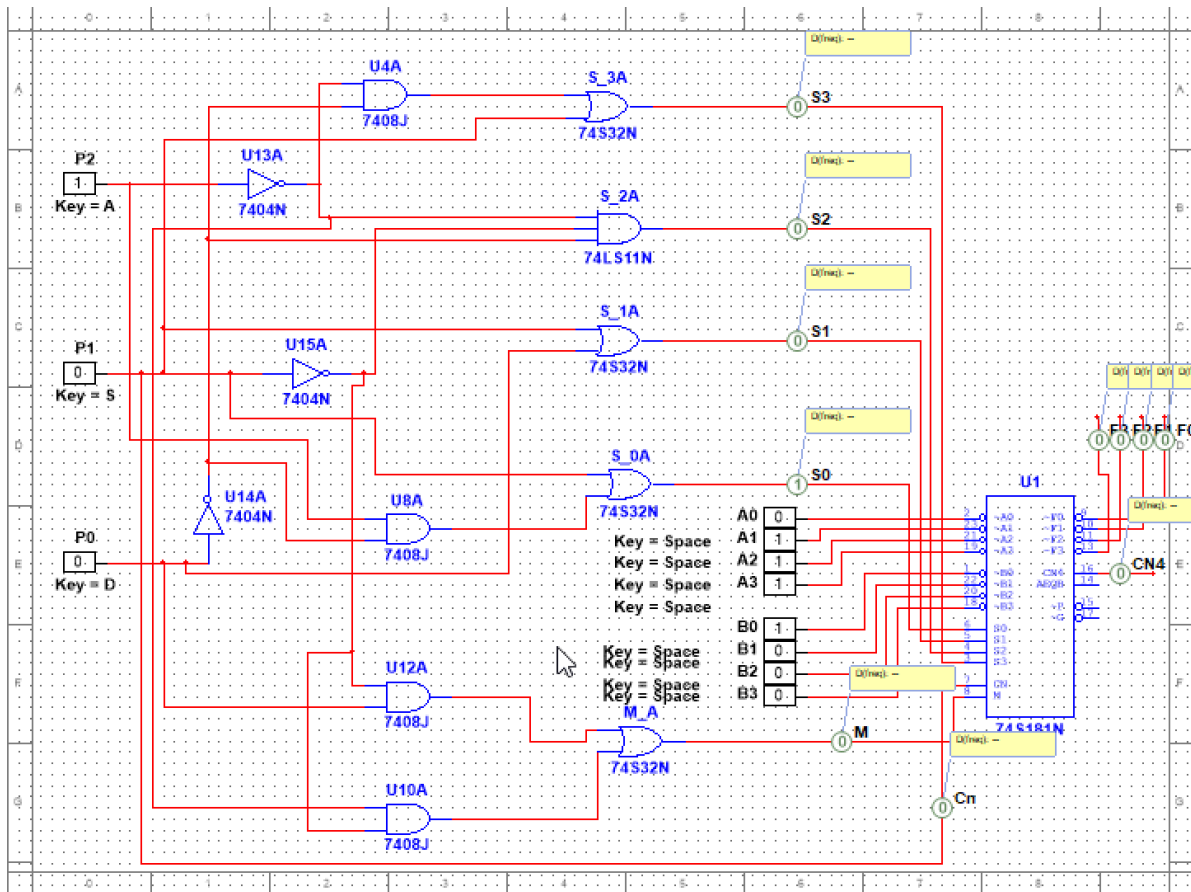


Figura 11. Prueba 4 del circuito completo

Una vez hechas estas pruebas, las cuales ya nos están indicando el buen comportamiento de nuestro circuito completo, vamos a realizar las operaciones exigidas por el ejercicio que nos ocupa, aportando su correspondiente esquema y cronograma.

En el enunciado se nos expone:

Para esta verificación debe usar las siguientes palabras:

$P (P2 P1 P0) = (101), (110), (111), (001)$

Y como datos de entrada sobre los que opera la ALU las palabras:

$A (A3 A2 A1 A0) = (1001)$

$B (B3 B2 B1 B0) = (0011)$

Para ello, y tal como hicimos anteriormente con el sistema de control elaborado, las entradas han sido modificadas para que reciban A = (1001) y B = (0011), se han introducido relojes (Figura 12) en cada señal de control (P2, P1, P0) y se han programado según los siguientes valores de frecuencia:

- P2: 1Hz
- P1: 2Hz
- P0: 4Hz

Se ha pasado al modo “Transitorio”, cuyo valor para el TSTOP se ha ajustado a 8 segundos para tener una visión más que suficiente del desarrollo evolutivo de la simulación en el tiempo reflejado en el cronograma (Figura 13 y 14).

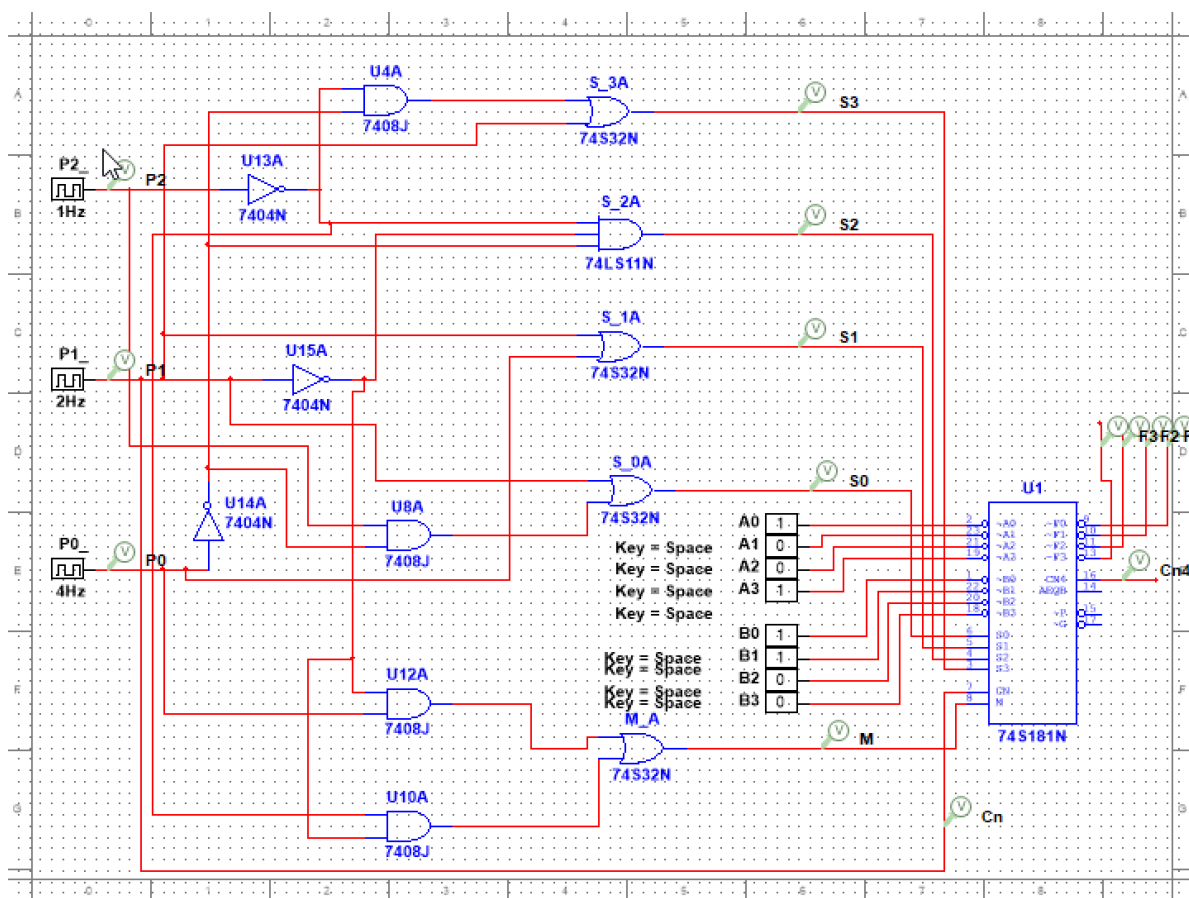


Figura 12. Implementación de relojes en el circuito completo

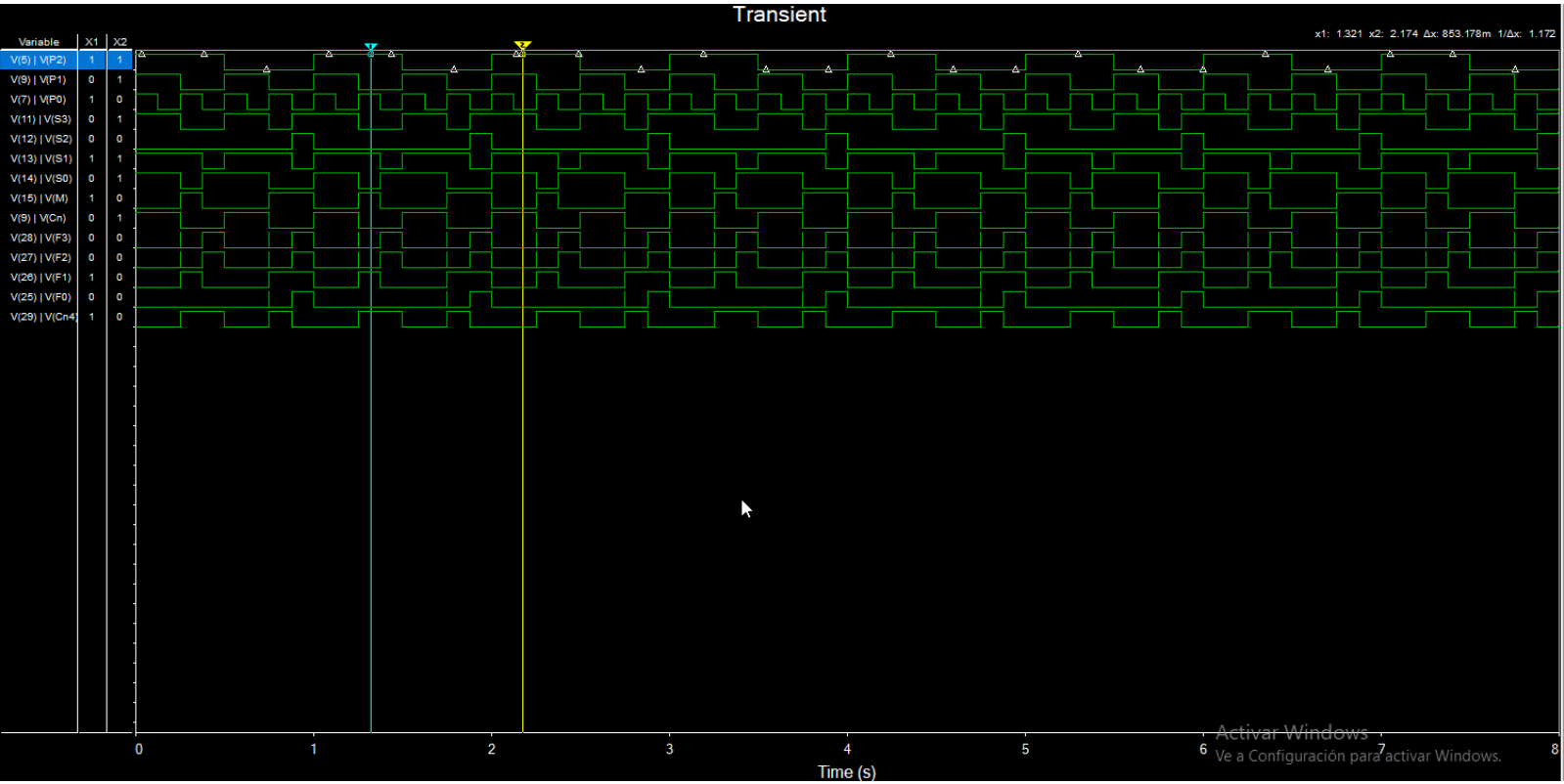


Figura 13. Cronograma circuito completo con las dos primeras operaciones

En el cronograma de la Figura 13 se exponen las dos primeras operaciones a realizar, cuyo control está bajo $P = (101)$ y $P = (110)$ y cuyo comportamiento se refleja en las columnas X1 y X2, respectivamente. Observamos que para los dos casos conseguimos las salidas adecuadas:

- $P = (101) \rightarrow F = 0010$
- $P = (110) \rightarrow F = 0000$

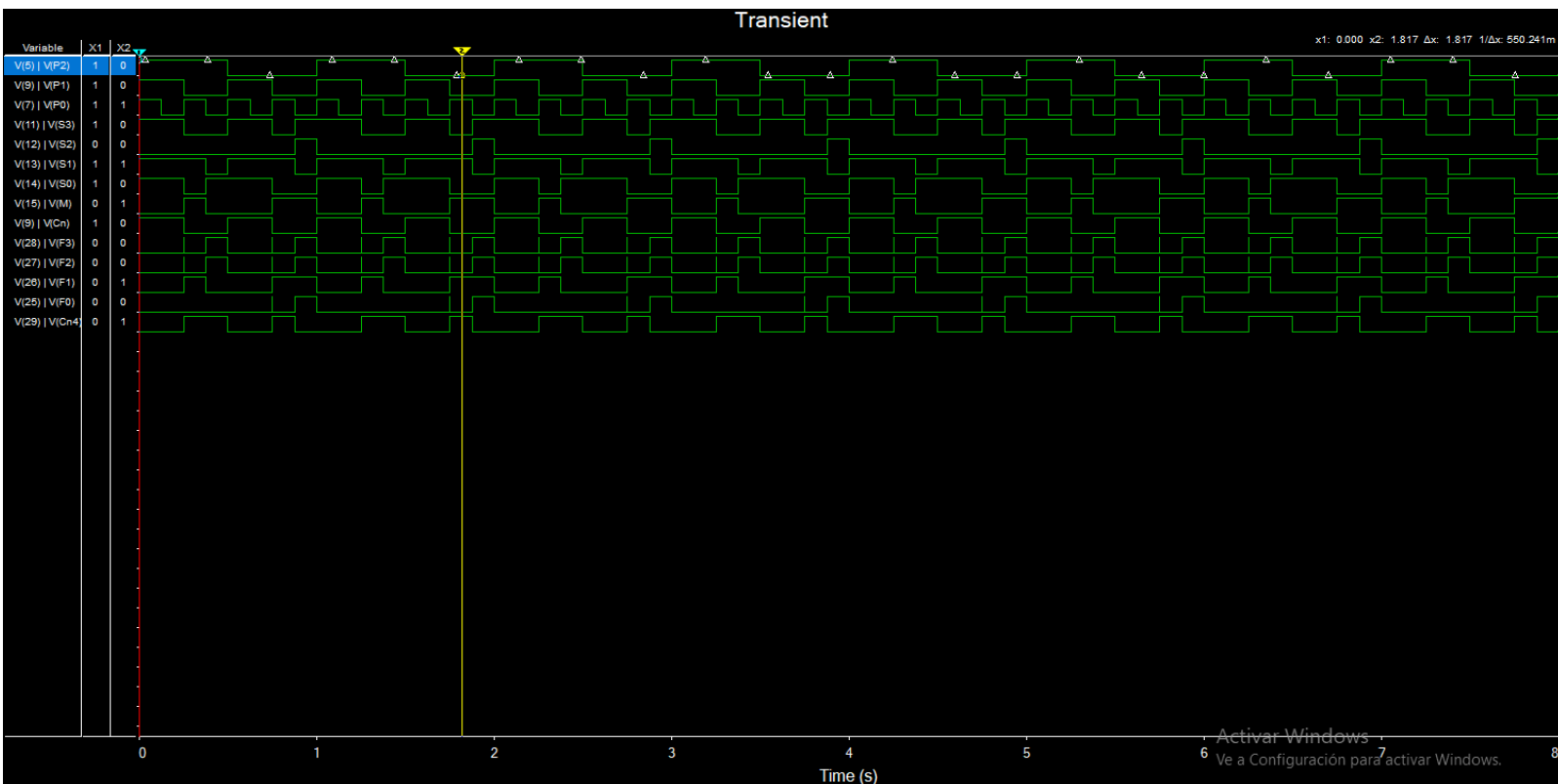


Figura 14. Cronograma circuito completo con las dos últimas operaciones

En el cronograma de la Figura 14 se exponen las dos últimas operaciones a realizar, cuyo control está bajo $P = (111)$ y $P = (001)$ y cuyo comportamiento se refleja en las columnas X1 y X2, respectivamente. Observamos que para los dos casos conseguimos las salidas esperadas:

- $P = (111) \rightarrow F = 0000$
- $P = (001) \rightarrow F = 0010$

Por último, y para concluir, quisiera destacar los problemas que he tenido a lo largo de la elaboración de este pequeño proyecto, los cuales me han permitido estudiar, repasar y reforzar conceptos y habituarme a un modo de trabajo más técnico al emplear el programa *Multisim*:

- Acostumbrarme al manejo del programa *Multisim*, donde la búsqueda de los distintos dispositivos, puertas lógicas adecuadas, etc. me ha supuesto el empleo de bastante tiempo.
- Una vez realizado el circuito, comencé a probarlo y no arrojaba los resultados esperados en dos de las situaciones de control de la tabla de la verdad teórica, lo cual me hizo repasar la función lógica afectada (concretamente S0) y pude detectar un fallo en el diseño del circuito a la hora de realizar las conexiones. Fue corregido cambiando la conexión de un c a un \bar{c} .
- También, cabe señalar que soy consciente de que el diseño del circuito en general es mejorable en pos de que su lectura e identificación se hagan de forma más fácil y rápida. Al inicio de su composición, me resultaba complicado calcular el espacio que tenía para las conexiones, para dar cabida a las puertas lógicas, etc. Aun así, con el manejo progresivo de *Multisim*, aprecié cierta mejoría en mi habilidad.