

PRUEBA DE EVALUACIÓN A DISTANCIA 1

Nombre: Salvador Moreno Sánchez

DNI: 20077477H

Centro: Las Tablas - Madrid

PRUEBA DE EVALUACIÓN A DISTANCIA 1-1

(2 ptos) Considere una CPU en la que tanto las instrucciones como los datos tienen una longitud de 16 bits. El formato de las instrucciones es el siguiente: los 4 bits más significativos de la instrucción representan el código de operación y los otros 12 bits representan la dirección de memoria. A continuación se muestra una lista parcial de los códigos de operación:

1001: Cargar el registro acumulador desde memoria.

0101: Almacenar en memoria el contenido del registro acumulador.

0111: Sumar el contenido del acumulador y el de una dirección de memoria.
El resultado se almacena en el acumulador.

Escribir el código de un programa con tres instrucciones que sume el contenido de la dirección de memoria $7B2_{16}$ al contenido de la dirección de memoria $5A4_{16}$ y almacene el resultado en la dirección de memoria $7B2_{16}$.

Respuesta

97B2

75A4

57B2

PRUEBA DE EVALUACIÓN A DISTANCIA 1-2

(2 ptos) Un computador tiene una memoria principal de 256 K palabras de 16 bits por palabra y una memoria caché con correspondencia directa de 4 K palabras y 1024 palabras por bloque. En un momento determinado comienza a ejecutar 500 veces un bucle en el que accede a 4300 posiciones de memoria consecutivas. Calcular el número mínimo y máximo de fallos posible en la séptima ejecución del bucle.

Respuesta

Antes de nada, debemos destacar varias cosas: que el bus de direcciones irá desde el A^0 hasta el A^{17} ya que la memoria principal tiene capacidad para albergar 256 K palabras =

2^{18} bits, tal y como nos indica el enunciado; que tenemos una memoria caché con correspondencia directa, por lo que nuestro bus de direcciones deberá ser fraccionado en tres partes: palabra (desde el A^0 hasta el A^9 porque la memoria caché acoge $1024 = 2^{10}$ palabras por bloque), bloque (desde el A^{10} hasta el A^{11} porque si dividimos la cantidad total de palabras de la memoria caché entre el número de palabras por bloque obtenemos que la caché está fraccionada en 4 bloques [$\frac{2^{12}}{2^{10}} = 2^2 = 4$]) y la etiqueta (ocupará el resto de bits del bus de direcciones).

- **Mínimo de fallos = 2 fallos.**

Suponiendo el mejor escenario posible que nos podemos encontrar, en el que el bucle comienza a acceder a la posición de la memoria principal correspondiente con la primera palabra del primer bloque en memoria caché, tendríamos 5 fallos en la primera ejecución del bucle ya que se almacenarían los 4 bloques correspondientes al 00, 01, 10 y 11 en caché, lo cual son 4 fallos, y un fallo más al almacenar el resto de posiciones de memoria otra vez en el primer bloque (se deshecha el que había y se almacena el nuevo, los cuales se diferencian por tener diferente etiqueta).

El resto de ejecuciones del bucle tendrá 2 fallos. Uno al volver a cargar en memoria caché el primer bloque inicial y otro para cambiar este por el último, el cual ocupa el primer bloque. El resto de bloques se mantienen intactos, por lo que su acceso se produce con éxito y acierto.

- **Máximo de fallos = 4 fallos.**

Por otro lado, suponiendo el peor caso, el bucle comienza en la última posición de memoria que albergaría el primer bloque que se almacena en la caché, es decir, una sola instrucción en el primer bloque. Esto va a provocar que se tengan que ocupar 6 bloques en total. Como tenemos espacio para 4 bloques en nuestra memoria caché, al igual que antes, el primer bloque deberá usarse dos veces diferentes y, como novedad, el segundo bloque también tendrá el mismo comportamiento.

De esta forma, en la primera ejecución del bucle se ocuparán los 4 primeros bloques, luego se sustituirá el primero por otro con diferente etiqueta y, para finalizar, el segundo también. Lo cual son 6 fallos. Si seguimos ejecutando nuestro bucle, veremos que ya solo se producirían 4 fallos (los correspondientes a los cambios de etiqueta en el primer y segundo bloque).

PRUEBA DE EVALUACIÓN A DISTANCIA 1-3

(2 pts) *Un disco magnético con 2048 pistas, numeradas desde 0 hasta 2047, tiene la siguiente cola de peticiones de acceso: 300, 1200, 1700, 50, 2005, 850, 510.*

Determinar en qué orden se atienden las solicitudes de acceso si inicialmente la cabeza del disco está en la pista 1000 y el movimiento inicial de la cabeza del disco se produce en la dirección de las pistas decrecientes en los siguientes casos:

- Utilizando la planificación SCAN*
- Utilizando la planificación C-SCAN.*

Respuesta

a)

Próxima pista a la que accede	850	510	300	50	1200	1700	2005
-------------------------------	-----	-----	-----	----	------	------	------

Como vemos, con la planificación SCAN desciende hasta la pista 0 accediendo a aquellas pistas solicitadas que se va encontrando para, luego, ascender hacia la dirección de la última pista (2048), mientras accede a las pistas restantes que se topan en su camino. Como símil, podríamos decir que actúa como un ascensor que primero va en una dirección hasta el final para luego ir en la contraria.

b)

Próxima pista a la que accede	850	510	300	50	2005	1700	1200
-------------------------------	-----	-----	-----	----	------	------	------

Por otra parte, con la planificación C-SCAN se rastrea en una única dirección. Como en nuestro caso el movimiento inicial de la cabeza del disco se produce en la dirección de las pistas decrecientes, dicho movimiento será el que rijan la dirección. Así, va a descender hasta la pista 0, accediendo a aquellas pistas solicitadas que se va encontrando para, luego, ascender hasta la última pista (2048) y volver a descender para, ahora sí, seguir accediendo al resto de pistas, respetando una única dirección para realizar el acceso a las diferentes pistas solicitadas.

PRUEBA DE EVALUACIÓN A DISTANCIA 1-4

(2 pts) Un computador funciona con una frecuencia de reloj de 4 GHz. Se sabe que el número medio de ciclos por instrucción máquina es 10. Si se conecta a este computador un dispositivo que genera 100.000 interrupciones por segundo y la rutina de tratamiento de la interrupción ejecuta 1000 instrucciones, responda razonadamente a las siguientes cuestiones:

- ¿Cuál es el porcentaje de tiempo que este computador dedica al tratamiento de este dispositivo?
- ¿Podría este computador atender a todas las interrupciones generadas por este dispositivo, si la rutina de tratamiento de la interrupción tuviera 2000 instrucciones máquina?

Respuesta

a)

De los datos extraemos que la frecuencia de reloj es de 4 GHz, lo cual es igual a $4 \cdot 10^9$ ciclos por segundo. De esta forma, y como primer paso, podemos conocer las instrucciones totales que puede ejecutar nuestro computador por segundo:

$$\frac{4 \cdot 10^9}{10} = 4 \cdot 10^8 \text{ instrucciones/segundo}$$

Por otro lado, debemos calcular las instrucciones que se realizan por segundo cuando ocurren las interrupciones:

$$100000 \text{ interrupciones/segundo} \cdot 1000 \text{ instrucciones} = 10^8 \text{ instrucciones}$$

Ahora, solo nos bastaría sacar el porcentaje de tiempo que dedica nuestro computador al tratamiento del dispositivo que genera las interrupciones:

$$\frac{10^8}{4 \cdot 10^8} = 0,25 \cdot 100 = 25 \%$$

b)

Sí, ya que 2000 instrucciones máquina por interrupción ocuparía la mitad del tiempo (50%) al tratamiento de las interrupciones.

PRUEBA DE EVALUACIÓN A DISTANCIA 1-5

(2 pts) Sea un computador capaz de ejecutar 10 MIPS (10^7 instrucciones por segundo). Se desea conectar al computador, únicamente un periférico con una velocidad de transferencia de 20.000 bytes/s y sobre el que se realizan operaciones de lectura de bloques de 512 bytes. Se pretende ver el comportamiento de la pareja computador-periférico ante las diferentes técnicas de entrada-salida (programada, y mediante interrupciones). Se sabe que:

- La rutina de transferencia de E/S programada consta de 20 instrucciones.
- La rutina de tratamiento de interrupción en la E/S mediante interrupciones consta de 40 instrucciones.

Indicar el número de instrucciones de otros procesos que puede realizar el computador durante los dos tipos de E/S previstos.

Respuesta

- Para la rutina de transferencia de E/S programada, el computador no ejecutará ninguna instrucción relativa a otros procesos, ya que pausará todas las funciones que esté realizando para dedicarse exclusivamente a la transferencia de datos.
- Respecto a la E/S mediante interrupciones, podemos confirmar que la CPU puede realizar instrucciones de otros procesos durante la rutina de tratamiento de interrupción. Para ello, debemos realizar los siguientes pasos:

1. Conocer los segundos que se emplean para realizar la operación de lectura de un bloque de 512 bytes (Figura 1).

$$\begin{aligned}
 20.000 \text{ Bytes} &\rightarrow 1 \text{ segundo} \\
 512 \text{ Bytes} &\rightarrow X \\
 X &= \frac{512 \cdot 1}{20.000} = 0.0256 \text{ segundos}
 \end{aligned}$$

Figura 1

2. Con el dato obtenido anteriormente, podemos calcular el número de instrucciones totales que acomete nuestro computador durante el tiempo de lectura de un bloque (Figura 2).

$$\begin{aligned}
 10 \text{ MIPS} &\rightarrow 1 \text{ segundo} \\
 X &\rightarrow 0.0256 \text{ segundos} \\
 X &= \frac{10 \cdot 0.0256}{1} = 0.256 \text{ MIPS} \\
 0.256 \text{ MIPS} &= 256.000 \text{ instrucciones}
 \end{aligned}$$

Figura 2

3. Conocer las instrucciones necesarias para la transferencia de datos referidas a un bloque de 512 bytes (Figura 3).

$$512 \text{ Bytes} \cdot 40 \text{ instrucciones} = 20.480 \text{ instrucciones}$$

Figura 3

4. Cálculo del número de instrucciones que puede dedicar nuestro computador a otros procesos (Figura 4).

$$256.000 \text{ instrucciones totales} - 20.480 \text{ instrucciones de transferencia} = 235.520 \text{ instrucciones para otros procesos}$$

Figura 4