

2ª PRUEBA DE EVALUACIÓN CONTINUA (PEC)

Datos

1. **Asignatura:** Fundamentos de Sistemas Digitales
2. **Título de la Actividad:** Diseño, Implementación y Simulación de un Circuito en Lógica Secuencial
3. **Datos personales:**
 - Nombre y Apellidos: Salvador Moreno Sánchez
 - DNI: XXXXXXXXXX
 - Centro asociado: Centro de Madrid - Las Tablas
4. **Código de la actividad que le ha correspondido realizar:** PEC2-477

Enunciado

Esta actividad consiste en el diseño e implementación de un circuito secuencial que consta de tres bloques funcionales que realizan funciones claramente diferentes. El primer bloque consiste en construir un reloj con el circuito de tiempo 555 funcionando como astable. El segundo bloque consiste en obtener, a partir de este reloj, una onda cuadrada de mayor periodo y, por último, el tercer bloque consiste en construir un autómata finito controlado por el tren de pulsos anterior y que actúe de una forma u otra en función de si este pulso está en alta o en baja. Por tanto, el esquema a nivel de diagrama de bloques del circuito a diseñar y simular es el de la siguiente figura:

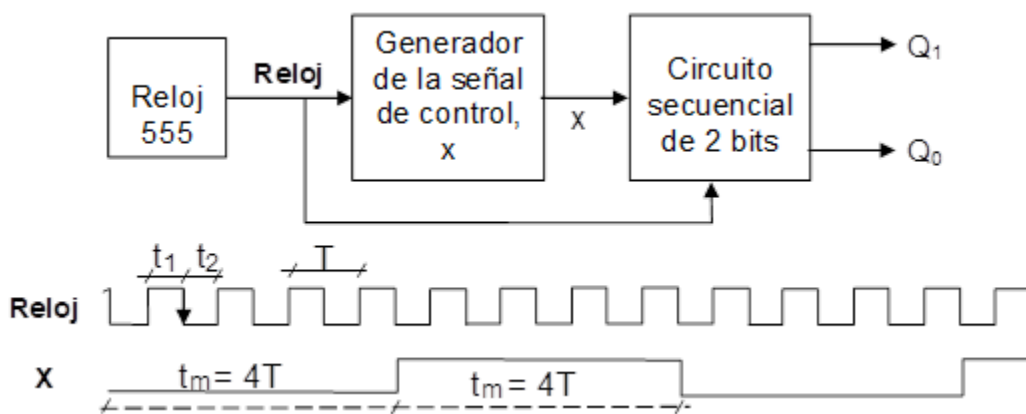


Figura 1 - Circuito secuencial con tres bloques funcionales

Nota: El período T de la señal de reloj es la suma de T_1 y T_2 . Como esta señal se genera con el 555, es difícil conseguir que T_1 sea igual a T_2 . Lo importante es que T_1 y T_2 sumen el valor T .

Diseñe el sistema lógico secuencial de la figura para que el circuito secuencial de 2 bits realice las siguientes funciones:

- Si $x = 0$ y está en el estado 00 pasa al estado 11, si está en el estado 10 no cambia de estado, y si está en el estado 11 pasa al estado 10.

- Si $x = 1$ y está en el estado 00 pasa al estado 01, si está en el estado 10 pasa al estado 00, y si está en el estado 11 pasa al estado 01.
- Independientemente del valor de x , si está en el estado 01 pasa al estado 11.

Solución

5. Realización del diseño y explicación de los pasos seguidos para la realización del diseño de los distintos bloques funcionales.

El ejercicio que nos ocupa trata de un diseño de un circuito en lógica secuencial y su debida implementación. Todo esto se realizará en 3 bloques diferenciados, los cuales se diseñarán, se pondrán en marcha y se verificarán paso a paso hasta completar el circuito completo.

En el primer bloque se creará un circuito de tiempo 555 funcionando como astable en el que se deberá conseguir una onda cuadrada en el que se pretenderá que el tiempo en alta sea prácticamente igual al tiempo en baja.

En el segundo bloque, y partiendo de la salida del reloj del bloque anterior, se obtendrá una onda cuadrada de cuatro veces las ondas producidas en el primer bloque, utilizando un contador integrado SN74393.

Por último, en el tercer bloque, se diseñará y construirá un autómata finito controlado por el tren de pulsos generado en el segundo bloque y que actuará cambiando de estado según la entrada dada (alta o baja), es decir, en función de los condicionantes expuestos en el enunciado de nuestro ejercicio.

6. Implementación de cada uno de los bloques funcionales en el simulador. Para cada uno de los bloques debe presentar: el esquema, el cronograma resultante y la verificación de que su funcionamiento es el deseado.

Bloque 1.

Para la configuración del reloj con el circuito de tiempo 555 funcionando como astable debemos atender a diversas variables como la alimentación a suministrar, la frecuencia, el ciclo de operación (duty cycle) y los valores del condensador y de las resistencias.

En primer lugar, para conocer la alimentación a suministrar en nuestro circuito, es conveniente consultar los valores de tensión que admite el contador integrado SN74393 ya que es el elemento al que irá conectada la salida del reloj. Observando su hoja de características (Figura 1), vemos que su tensión nominal es de 5V, por lo que dicho valor tendrá que alimentar a nuestro circuito de tiempo 555.

		SN54390 SN54393			SN74390 SN74393			UNIT
		MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}		4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}				-800			-800	μA
Low-level output current, I_{OL}				16			16	mA
Count frequency, f_{count}	A input	0		25	0		25	MHz
	B input	0		20	0		20	
Pulse width, t_w	A input high or low	20			20			ns
	B input high or low	25			25			
	Clear high	20			20			
Clear inactive-state setup time, t_{su}		25↓			25↓			ns
Operating free-air temperature, T_A		-55		125	0		70	°C

Figura 1. *Datasheet* contador integrado SN74393.

En segundo lugar, debemos conseguir que la suma de T_1 y T_2 sume el valor del periodo de la señal del reloj (T). Para ello, tenemos las siguiente ecuación:

$$T = t_1 + t_2 = 0,693(R_1 + 2R_2)C$$

Ante la dificultad de conseguir que T_1 y T_2 sean iguales, se ha optado por considerar que tanto R_1 como R_2 obtengan el valor $\frac{1}{3} k\Omega$, lo cual, tras la realización de las operaciones, nos llevaría a la conclusión de que $T_1 + T_2 \approx 1$ periodo T . Todo ello con la obtención de una frecuencia de 1kHz, 1,44 nF¹ y la consideración de un *duty cycle* del 50%.

Por otro lado, con el objetivo de que la tensión de la salida sea lo más cercana a valores de alta (5V) y baja (0V), la resistencia R_I debe poseer un valor alto, como el de $1000k\Omega$. Cabe señalar que la quinta patilla del componente integrado (reverenciado en la Figura 2 como *COM*) en nuestro reloj se emplea como entrada de señal de control para cambiar las tensiones de referencia de los elementos internos. Sin embargo, esta patilla no se empleará para dicho motivo, por lo que se le colocará un condensador de 10nF para filtrar el ruido existente y evitar pulsos del mismo.

¹ Al realizar las operaciones se le adjudicó un valor arbitrario al condensador (2nF) para, a través del cálculo de la frecuencia para encontrar el valor de 1kHz, se pudiera extraer el del condensador.

Hecho todo esto, se procede a la construcción del circuito con la ayuda de la herramienta *555 timer wizard* que ofrece *Multisim* (Figura 2).

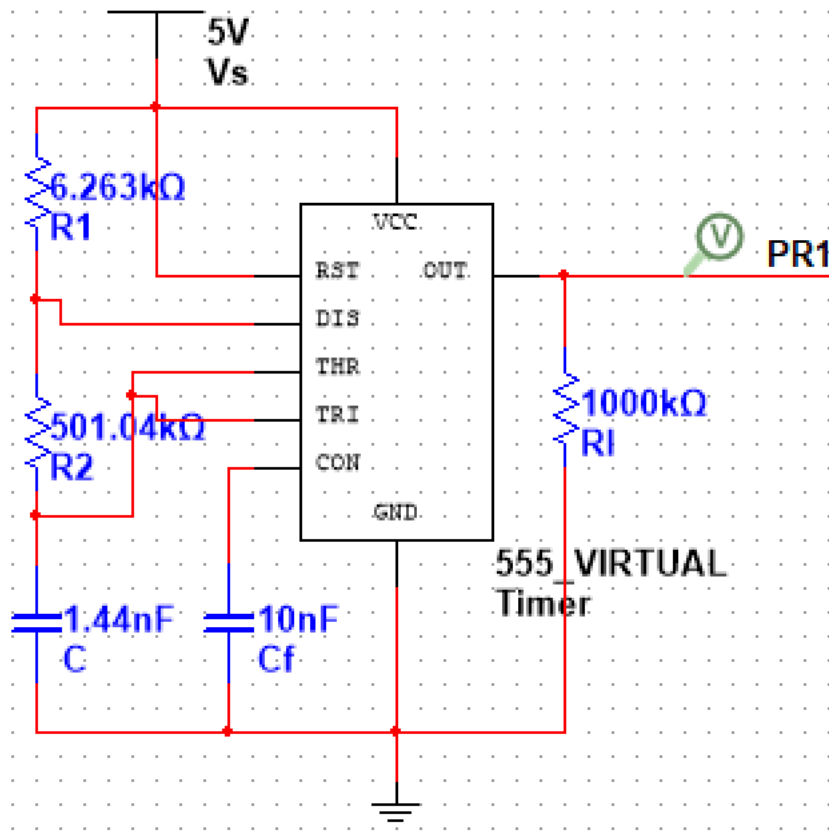


Figura 2. Reloj con el circuito de tiempo 555 funcionando como astable.

Para ver el cronograma y verificar su funcionamiento, se han configurado en la opción *Transient* los siguientes parámetros y se ha obtenido el cronograma en relación al voltaje (Figura 3):

- *End time (TSTOP)*: 0,016 s.
- *Maximun time step (TMAX)*: 0,002 s.
- *Initial time step (TSTEP)*: 0,001 s.

Como vemos a partir de los dos milisegundos, el comportamiento es el adecuado.

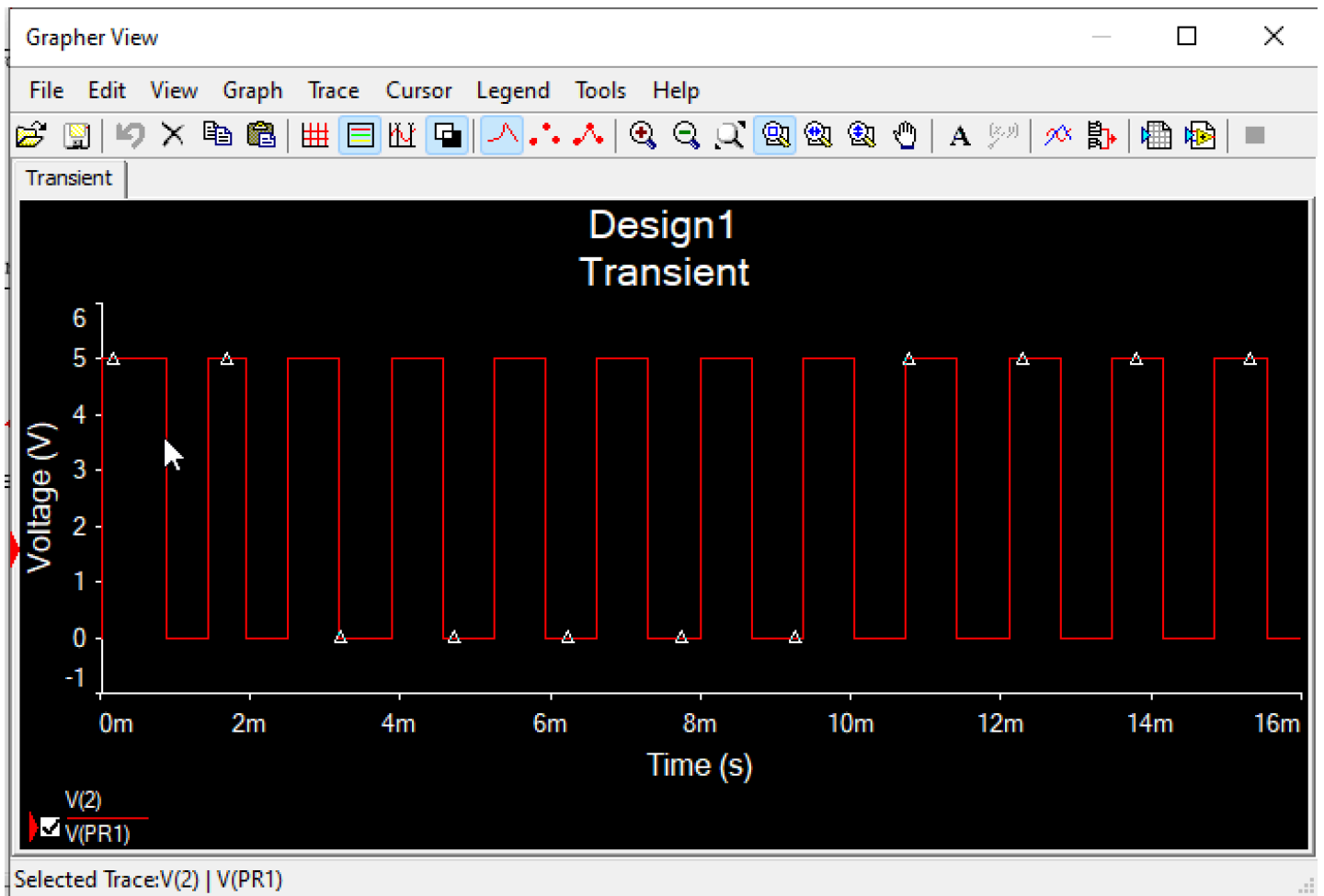


Figura 3. Cronograma del circuito de tiempo 555 funcionando como astable.

Bloque 2.

En el segundo bloque, dirigido a la construcción e implementación del generador de la señal de control, debemos utilizar, según las recomendaciones del equipo docente, un contador integrado SN74393, el cual tiene una entrada, una patilla *CLEAR* y cuatro salidas QA, QB, QC, QD.

La patilla *CLEAR* la tenemos que conectar a nivel bajo para activar el contador.

Las patillas de salida QD, QC, QB, y QA indican cuánto contar, como nos interesa que sea cuatro veces el periodo de entrada de pulsos del reloj. Consultando la hoja de características del contador integrado SN74393, debemos colocar la salida en QC para conseguir tal fin.

La construcción del segundo bloque se referencia en la Figura 4.

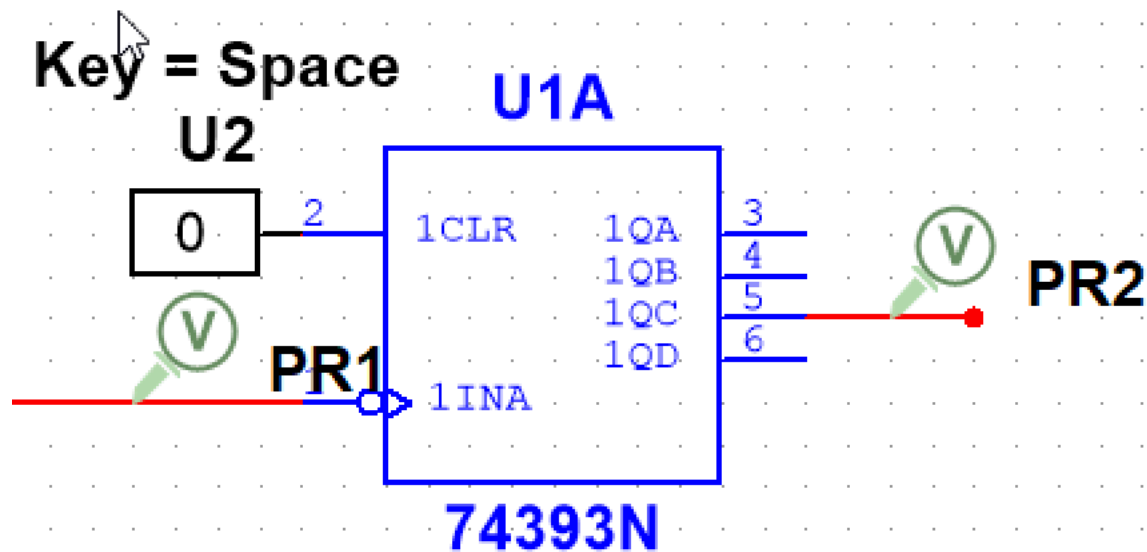


Figura 4. Contador integrado SN74393.

Como se observa en la Figura 4, se ha colocado una punta de verificación en la entrada al circuito y otra en la salida. Importante resaltar que, en lugar de colocar un *digblock* para realizar las pruebas, se ha metido en la entrada directamente el circuito de tiempo 555 funcionando como astable realizado en el primer bloque.

Además, se han configurado en la opción *Transient* los siguientes parámetros y se ha obtenido el cronograma que refleja los pulsos del circuito de tiempo 555 funcionando como astable realizado en el primer bloque y los pulsos dados 4 veces el periodo de entrada gracias al contador integrado (Figura 5):

- *End time (TSTOP)*: 0,032 s.
- *Maximun time step (TMAX)*: 0,002 s.
- *Initial time step (TSTEP)*: 0,001 s.

Como observamos en la Figura 5, el comportamiento es el adecuado, en el que la salida de nuestro contador produce cambios de alta a baja, y viceversa, cada 4 pulsos del reloj con el circuito de tiempo 555 funcionando como astable. Cabe destacar que, aunque es poco apreciable, no existe una continua simetría entre las altas y bajas producidas al final del primer bloque. Sin embargo, cuando la alta es más corta en el tiempo, la baja es mayor, y viceversa; manteniendo la norma dada de que $T1 + T2 = T$.

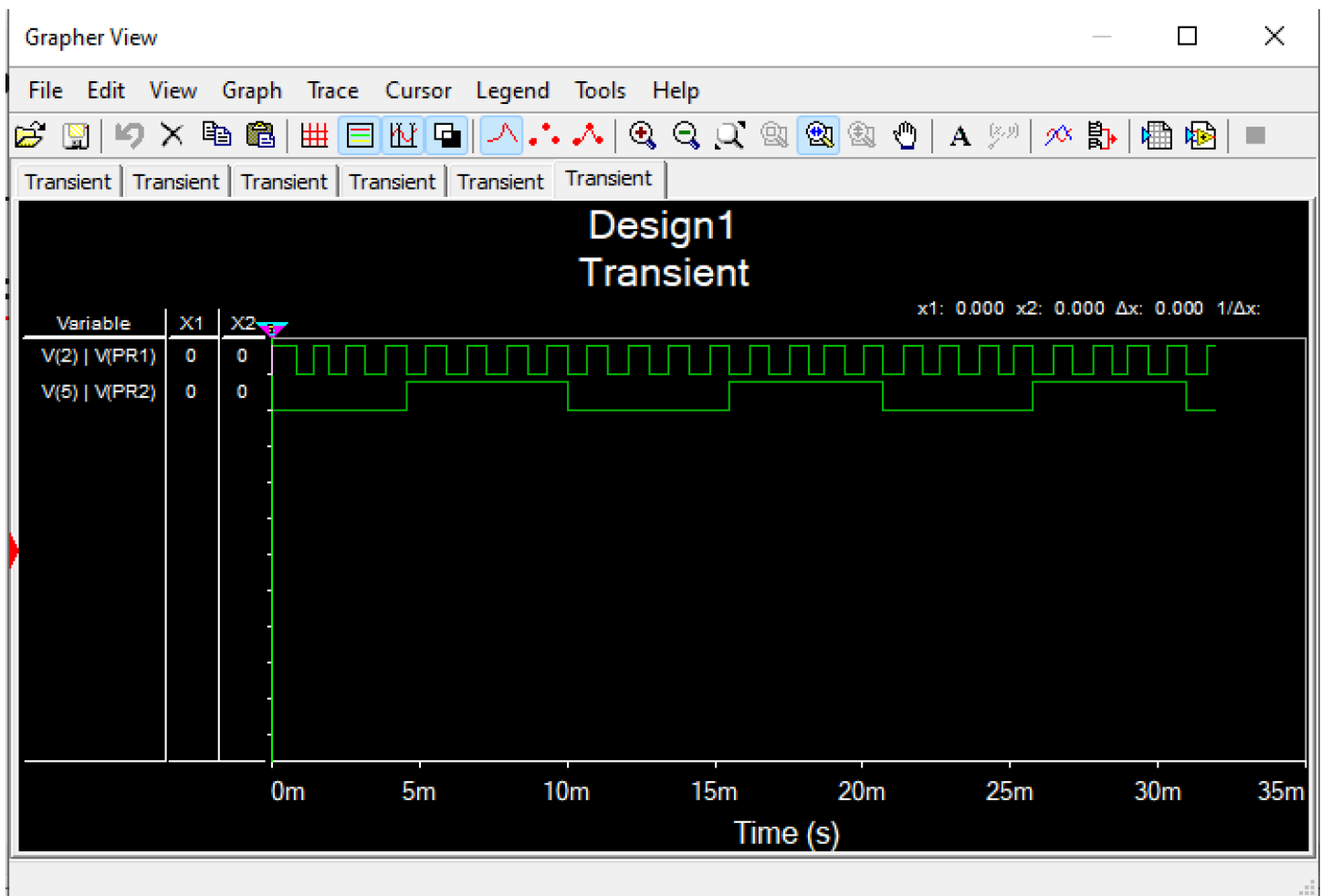


Figura 5. Cronograma que refleja los pulsos del bloque 1 y 2 respectivamente.

Bloque 3.

El tercer bloque trata de un autómata finito en sincronía con la señal del reloj 555 del primer bloque y cuya entrada es la salida del segundo bloque. Debemos destacar que por exigencias de la práctica, las entradas al contador o báscula se va a conformar con biestables D.

Para ello, y como primer paso, se ha extraído el diagrama de estados (Figura 6) correspondiente a los condicionantes que se expresaban en el enunciado del ejercicio que nos ocupa:

- Si $x = 0$ y está en el estado 00 pasa al estado 11, si está en el estado 10 no cambia de estado, y si está en el estado 11 pasa al estado 10.
- Si $x = 1$ y está en el estado 00 pasa al estado 01, si está en el estado 10 pasa al estado 00, y si está en el estado 11 pasa al estado 01.
- Independientemente del valor de x , si está en el estado 01 pasa al estado 11.

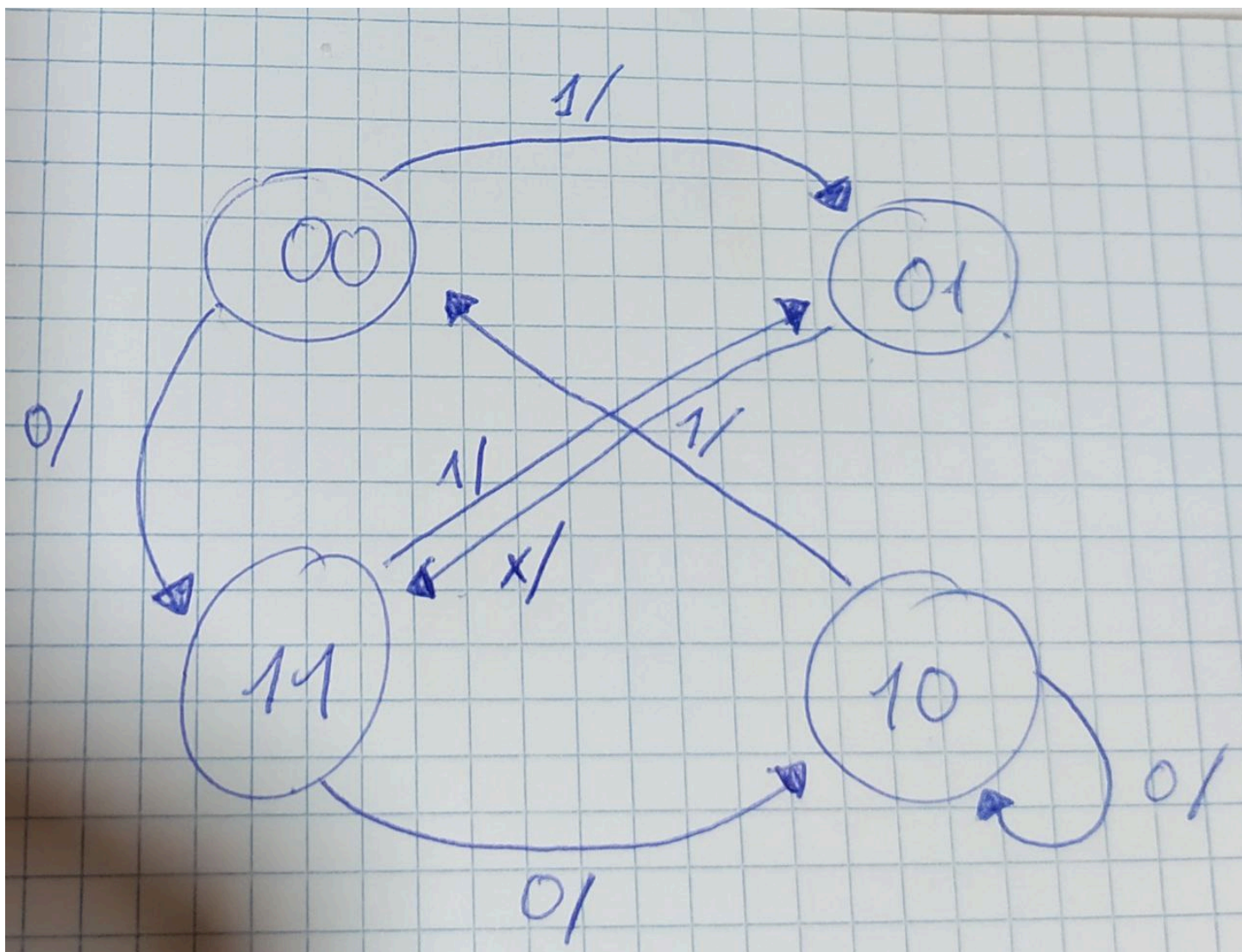


Figura 6. Diagrama de estados.

En segundo lugar, se ha elaborado la tabla de la verdad (Tabla 1) relativa al diagrama de transición de estados (Figura 6):

Nº Orden	Variable de entrada	Estado inicial		Estado final		Entrada báscula	
		Q1	Q0	Q1 + 1	Q0 + 1	D1	D0
0	0	0	0	1	1	1	1
4	1	0	0	0	1	0	1
1	0	0	1	1	1	1	1
5	1	0	1	1	1	1	1
2	0	1	0	1	0	1	0
6	1	1	0	0	0	0	0

Nº Orden	Variable de entrada	Estado inicial		Estado final		Entrada báscula	
3	0	1	1	1	0	1	0
7	1	1	1	0	1	0	1

Tabla 1. Tabla de la verdad de las transiciones de estados.

En tercer lugar, y a partir de nuestra tabla de la verdad (Tabla 1), se han sacado las funciones lógicas a través de mapas de Karnaugh² de cada entrada a los biestables D, quedando de la siguiente forma:

$$D1 = \bar{X} + \bar{Q1}Q0$$

$$D0 = \bar{Q1} + XQ0$$

Una vez hecho esto, se han realizado los respectivos logigramas, lo cual ya nos permite elaborar el circuito final del tercer bloque (Figura 7).

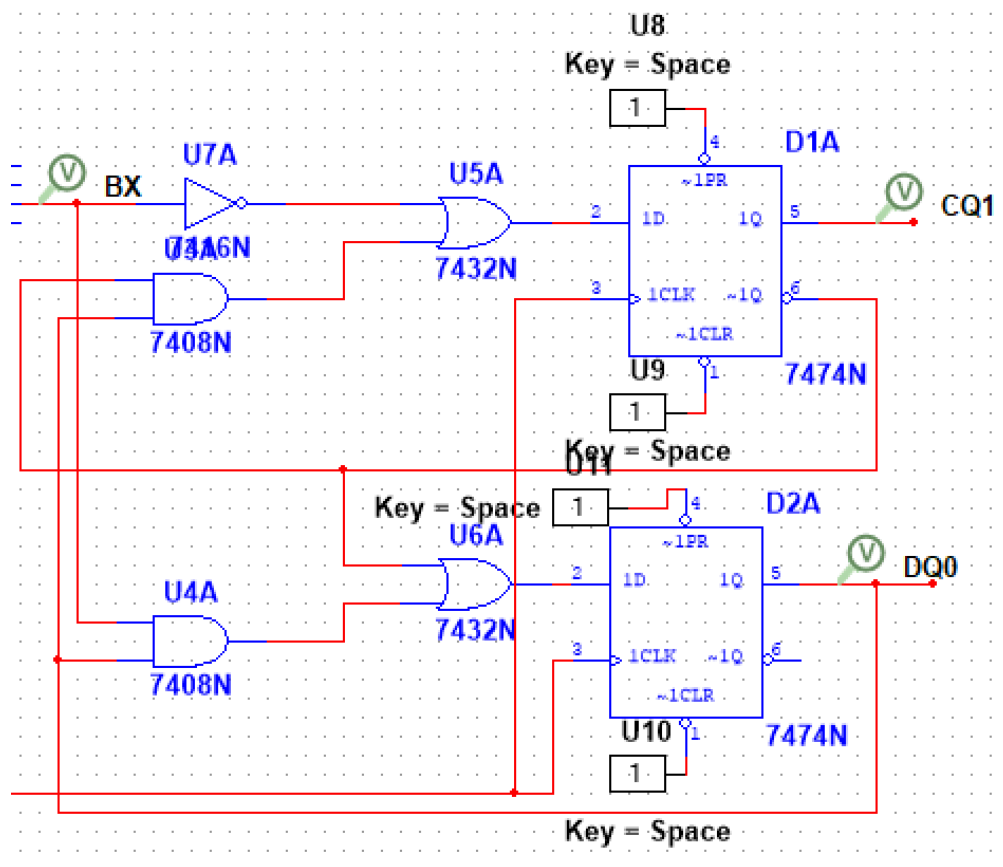


Figura 7. Autómata finito.

² Se ha elaborado un mapa de Karnaugh tipo con las tres variables que intervienen (X, Q0 y Q1) y se ha aprovechado la columna Nº Orden de la tabla correspondiente a los *midterms* para sacar los mapas de Karnaugh de las variables que se necesitaban (D0 y D1).

Se han colocado puntas de verificación en la entrada y a las dos salidas de cada biestable, cuya respuesta nos dará el estado según la situación.

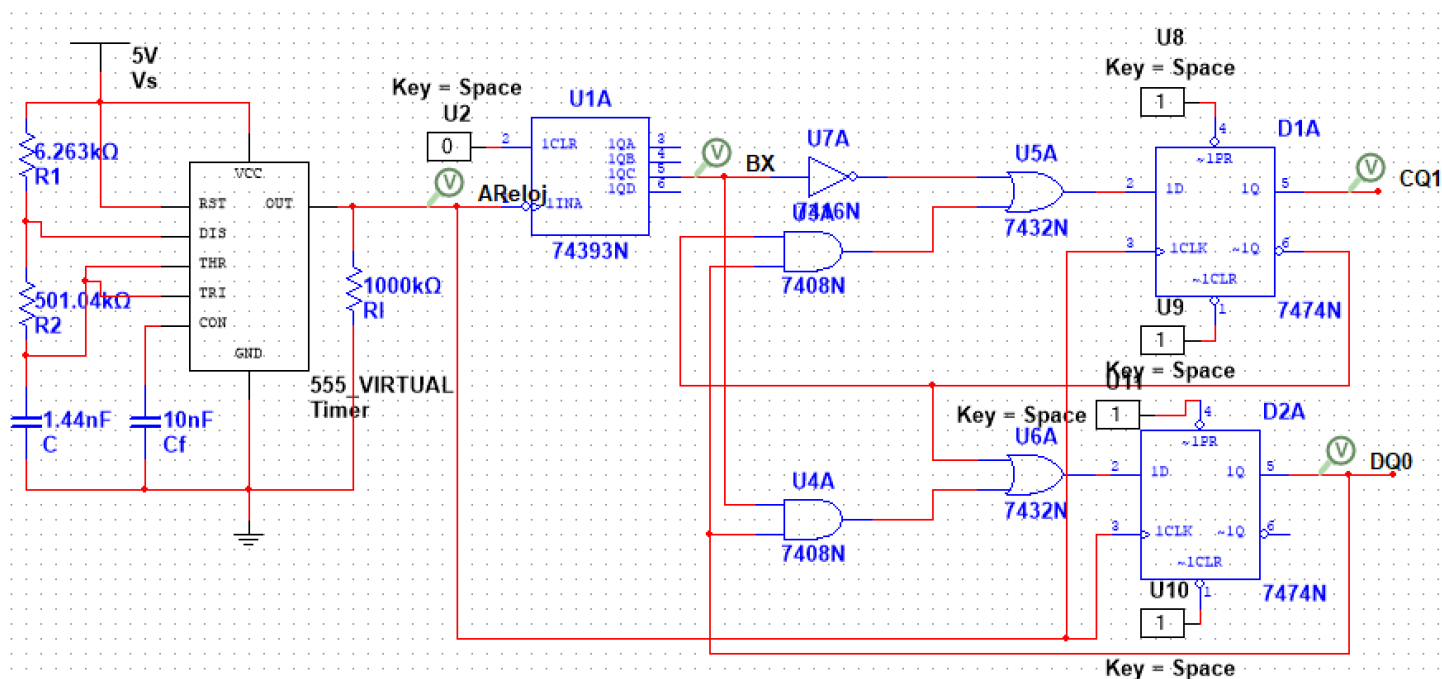


Figura 8. Circuito secuencial completo.

Se han configurado en la opción *Transient* los siguientes parámetros y se ha obtenido el cronograma que refleja los pulsos del circuito secuencial completo realizado a través de los tres bloques funcionales (Figura 9, Figura 10 y Figura 11):

- End time (TSTOP): 0,064 s.
- Maximun time step (TMAX): 0,002 s.
- Initial time step (TSTEP): 0,001 s.

³ Los nombres relativos a cada punta de verificación fueron modificados en pos de una mejor identificación y un orden intuitivo en su representación en el cronograma.

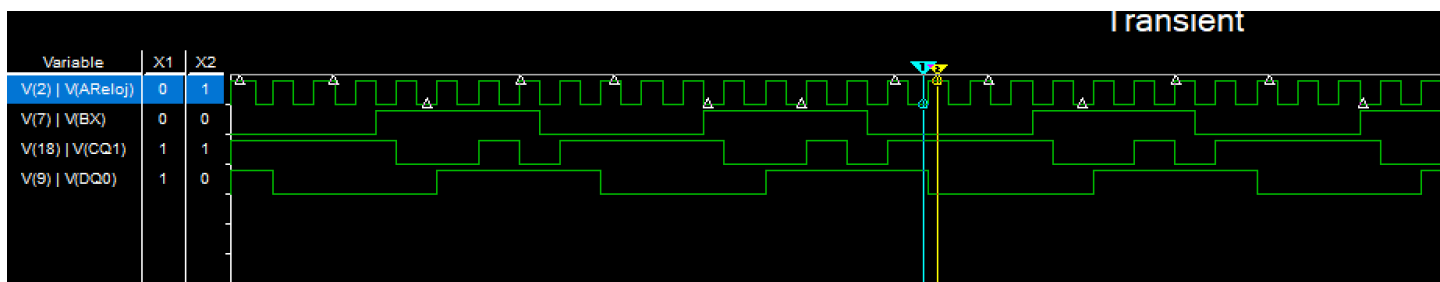


Figura 9. Cronograma circuito completo. Primera muestra.

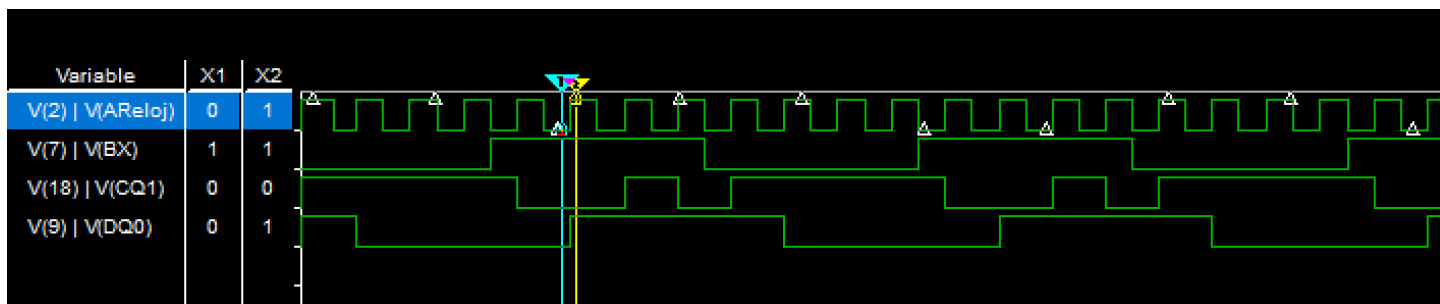


Figura 10. Cronograma circuito completo. Segunda muestra.

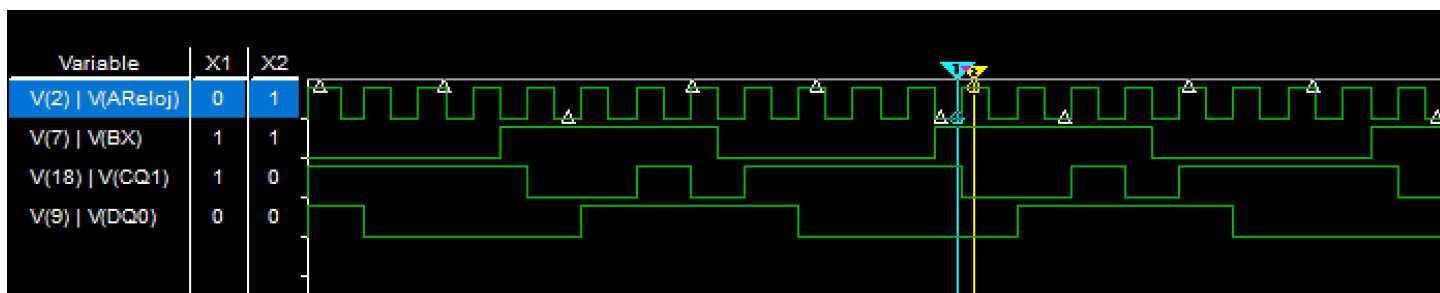


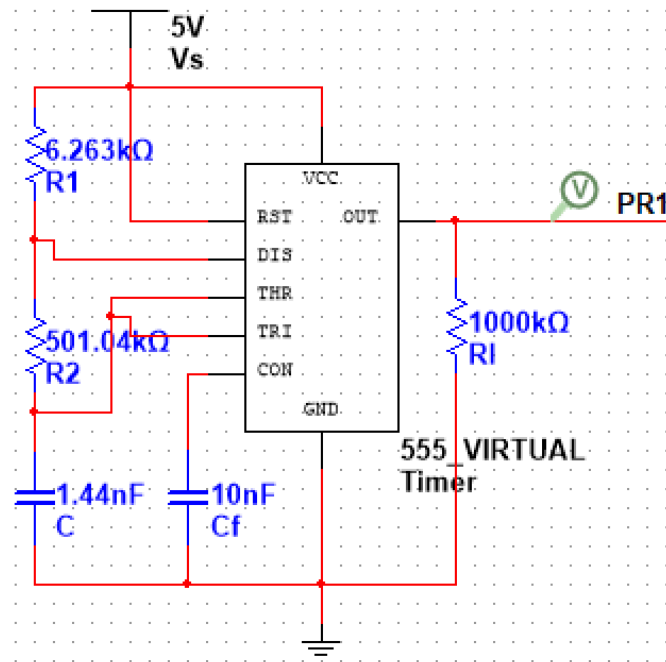
Figura 11. Cronograma circuito completo. Tercera muestra.

Como podemos ver, se comprueba que cuando nos encontramos en el estado 11 y la X toma el valor de 0, el estado cambia a 10 (Figura 9). Por otro lado, cuando estamos en el estado 00 y se introduce un 1 en la X, cambia a 01 (Figura 10). También, y como último ejemplo, si nos situamos en el estado 10 y la X toma valor de 1, el estado cambia a 00.

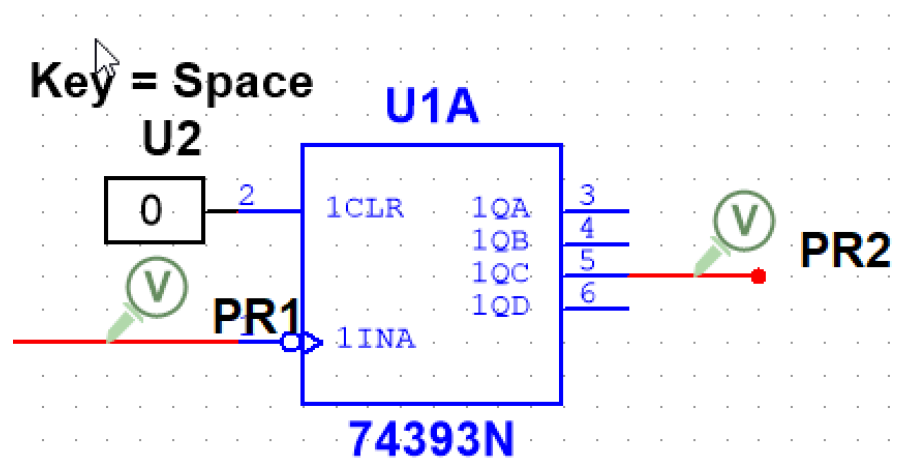
Así, podemos concluir que nuestro circuito secuencial responde a las exigencias del enunciado y que su comportamiento es adecuado.

7. Esquemas capturados del simulador, primero presente los esquemas de cada uno de los bloques funcionales por separado y después presente el del circuito completo.

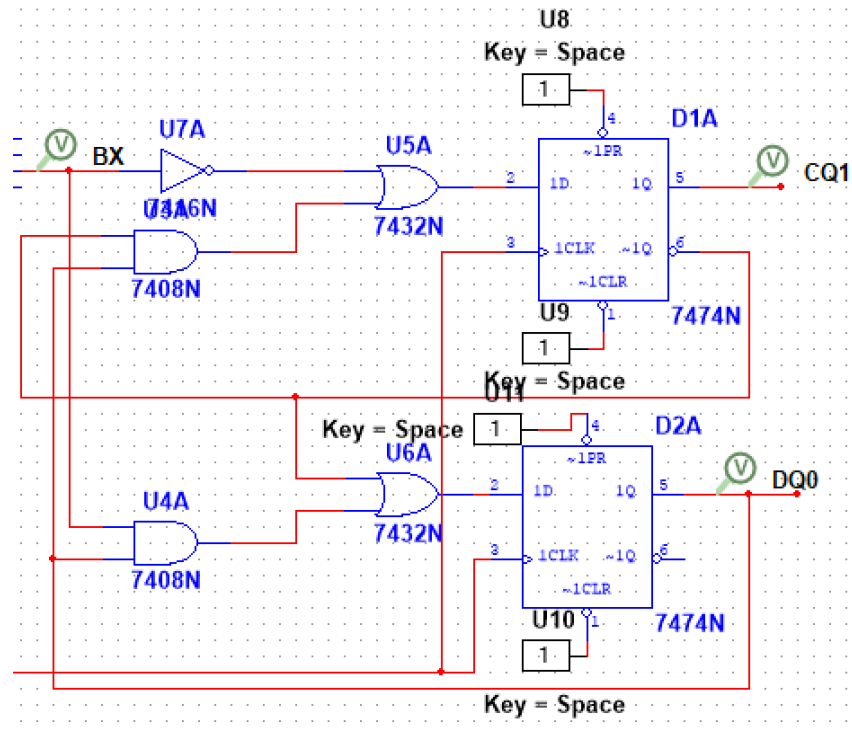
Bloque 1.



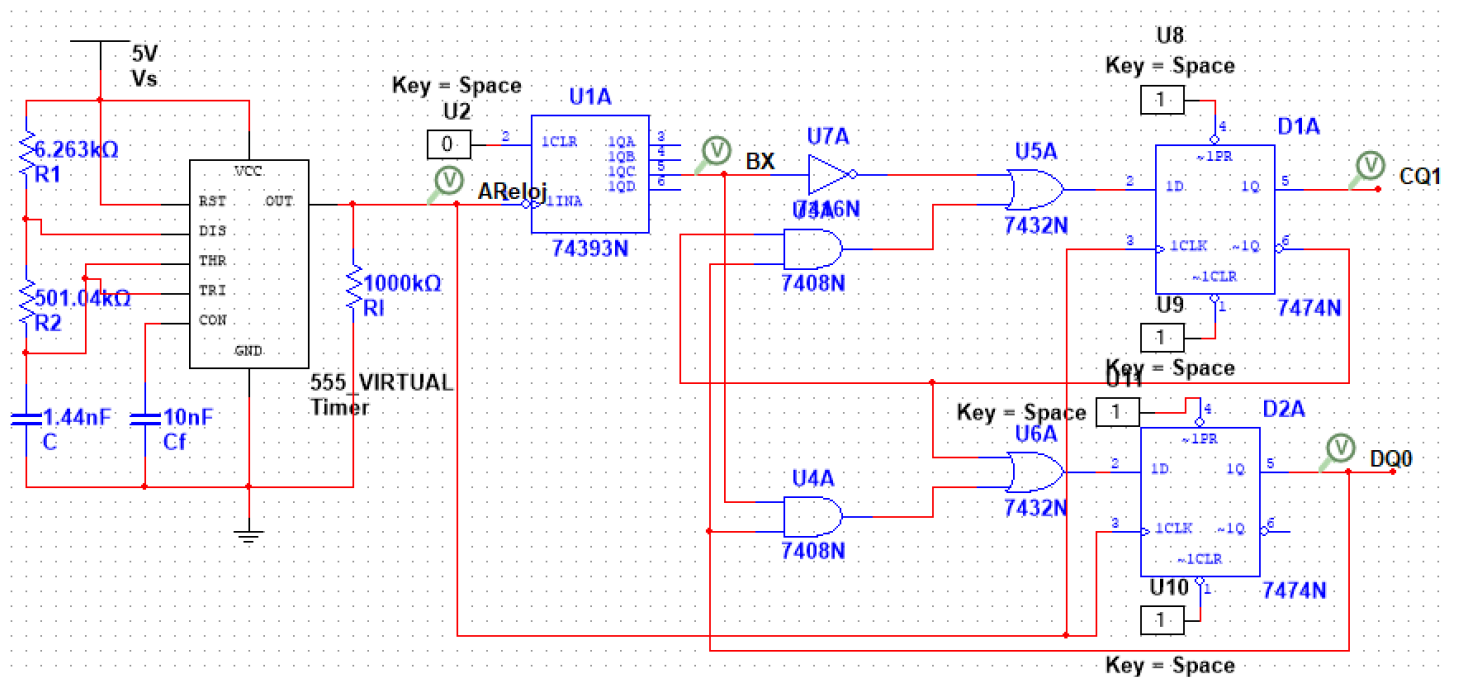
Bloque 2.



Bloque 3.



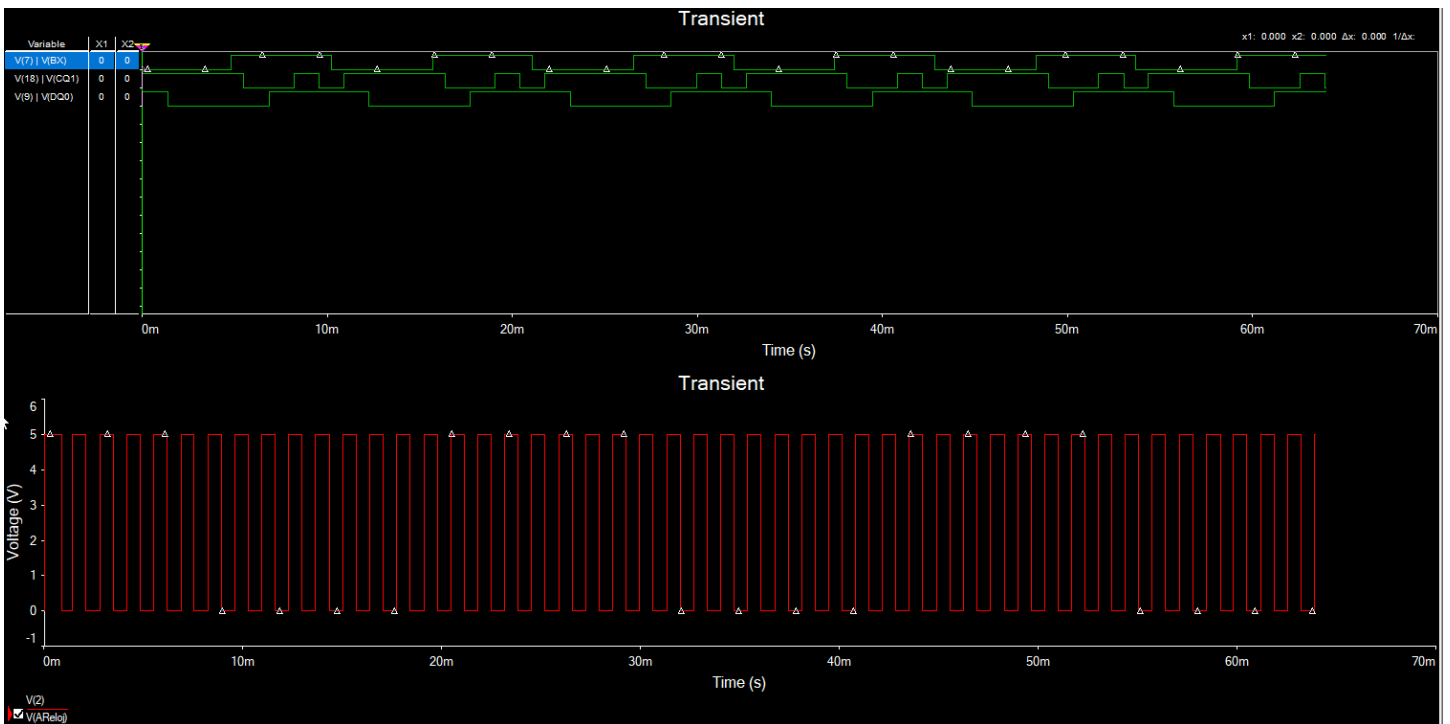
Circuito completo.



8. Descripción de los parámetros de los componentes utilizados.

- Alimentación: 5V.
- Resistencias:
 - $R1 = 6,263k\Omega$.
 - $R2 = 501,04k\Omega$.
 - $Rl = 1000k\Omega$.
- Condensadores:
 - $C = 1,44nF$
 - $Cf = 10nF$

9. Cronograma de todas las señales (entrada, control y salida).



10. Explicación del funcionamiento y verificación de que el circuito funciona de acuerdo con las especificaciones del diseño.

El reloj con el circuito de tiempo 555 funcionando como astable produce una señal cuadrada que, gracias al generador de la señal de control, se consigue un periodo compuesto por cuatro de los anteriores dados por el reloj que será el encargado, según si está en alta o baja, de producir cambios de estado en el circuito secuencial respondiendo a los condicionantes dados en el enunciado, los cuales se han reflejado en un diagrama de transiciones de estados y teorizado en una tabla de la verdad.

11. Explicación de los problemas/dificultades encontrados y explicación de la forma y el medio por el que se han resuelto.

He tenido dificultades a la hora de completar los cálculos relativos a la extracción de los valores definidos en la práctica relacionados con el circuito de tiempo 555 como astable, ya que no llegaba a elaborar un circuito propio en el que consiguiera un cronograma de pulsos $T1 + T2 = T$ (actualmente pienso que erré en la introducción del diodo para mejorar el ciclo de R1 y R2, como se indica en el libro de teoría). Me ayudó la opción recomendada por el equipo docente que ofrece *Multisim* para construir el reloj de forma automática introduciendo los valores requeridos (*555 timer wizard*), con la que llegué a un modelo correcto, aunque, como he comentado, no totalmente simétrico.
