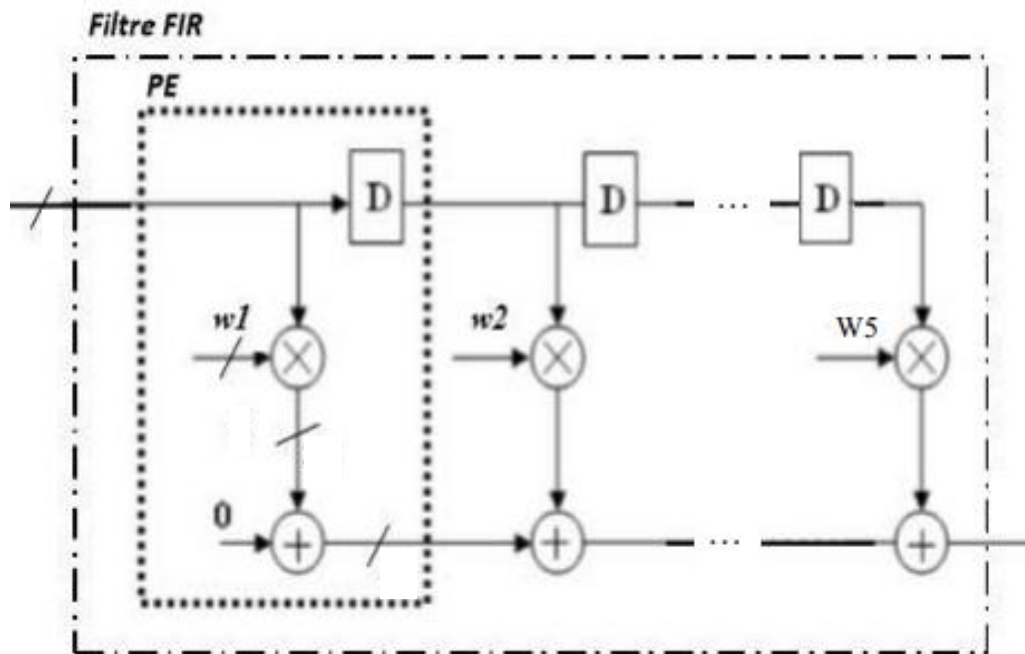


Objectif :

Concevoir un filtre FIR sur System Generator for DSP, simuler afin de valider son bon fonctionnement et synthétiser afin d'estimer les ressources.

1. FIR

Vous devrez concevoir un filtre FIR à 5 coefficients comme au lab B1



Votre filtre devra contenir 5 processeurs élémentaires (PE) connecté l'un à l'autre comme la figure précédente. Chaque processeur élémentaires doit contenir un délai, un multiplieur et un additionneur. **Il est impératif d'utiliser les blocs provenant de la librairie de Xilinx au sein de simulink.** Vous êtes libre de compatimenter vos PE dans des sous-systèmes ou pas.

Votre filtre devra avoir les I/O suivants :

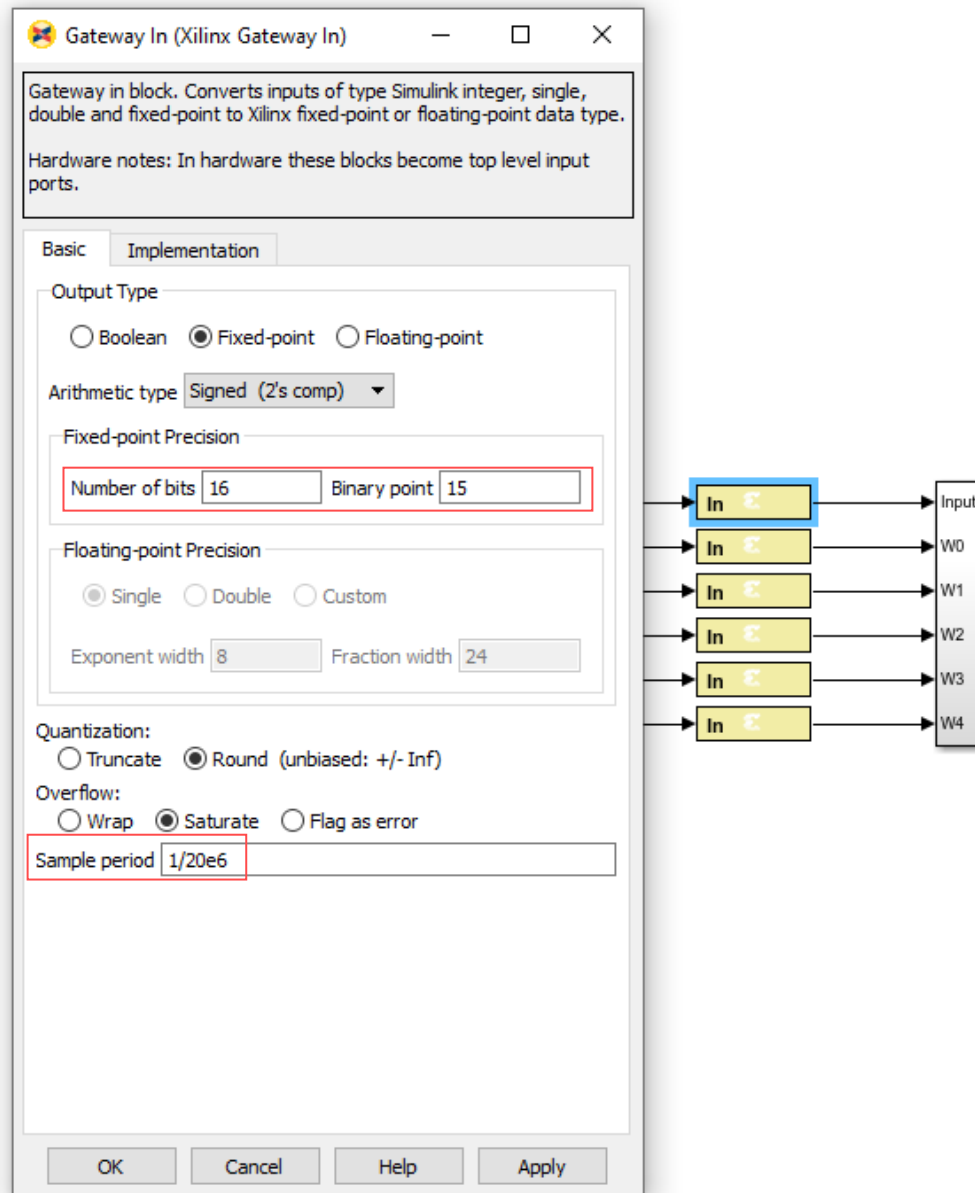
Les valeurs d'entrées : `xin_fix`

Les 5 poids w : `w1_fix`, `w2_fix`, `w3_fix`, `w4_fix`, `w5_fix`.

Les valeurs de sortie : `Out_sysgen`

Pour délimiter la partie synthétisable de votre algorithme, vous devrez utiliser les blocs Gateway In/Out où vous spécifiez la quantification ainsi que la période d'échantillonnage (**Nous utiliserons un temps**

d'échantillonnage de 50ns). Les entrées et sorties devront donc toutes passer par des Gateway In/Out. Toutes les entrées, sorties et signaux intermédiaires devront être quantifiés sur 16 bits signés avec 15 bit fractionnaires + bit de signe. Les signaux seront donc compris entre -1 et 1.



La partie 1 du code Matlab fourni génère les entrées xin et w qui seront utiliser pour la simulation du filtre FIR. Ces données seront exportées vers Simulink à l'aide des blocs « From Workspace ». La sortie du filtre devra s'appeler « Out_sysgen » et être exporter vers le workspace à l'aide du bloc « To Workspace ».

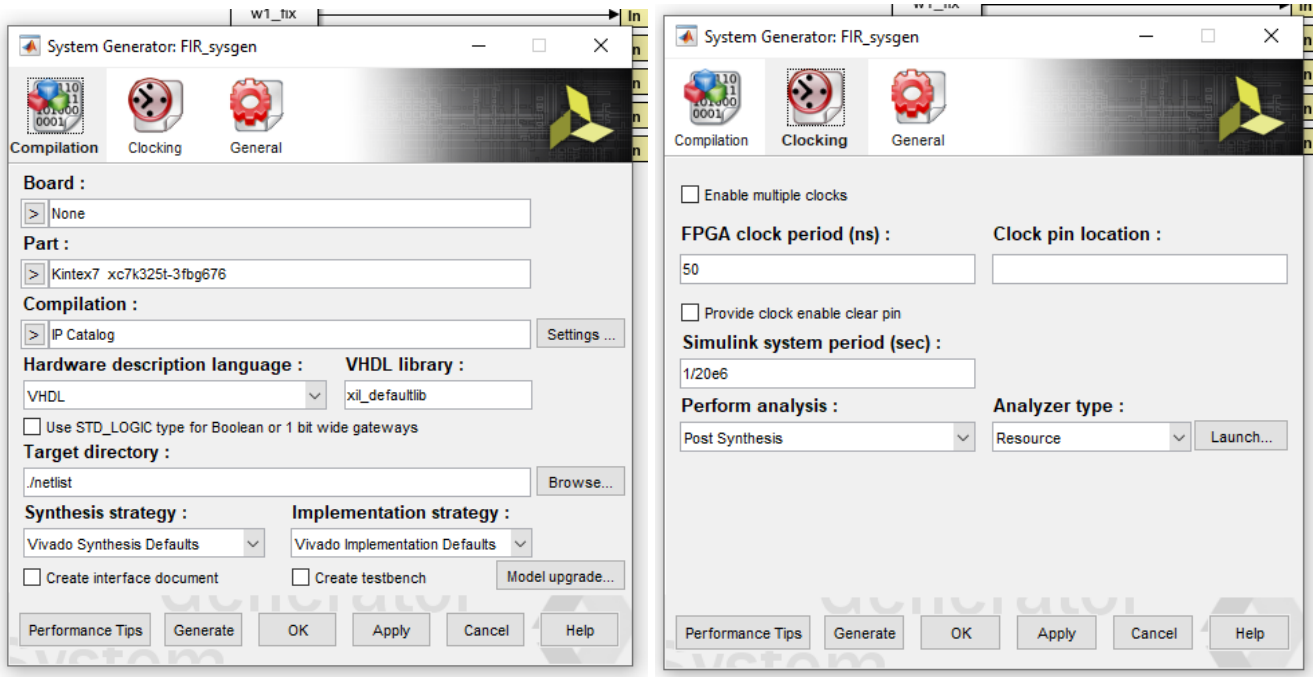
Le module System Generator utilisera les configurations suivantes :



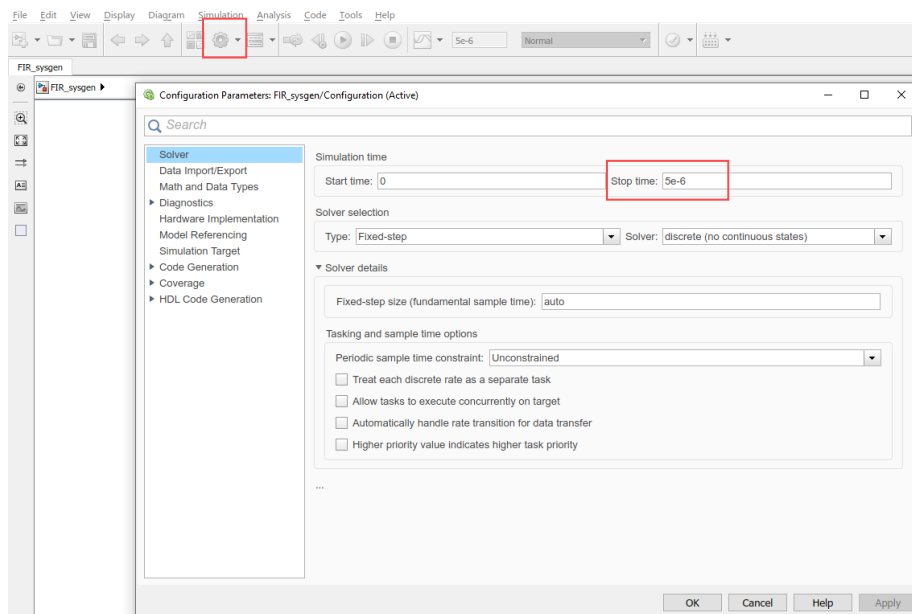
Part : Kintex-7 xc7325t-3fbg767

FPGA Clock : 50ns

Simulink clock : 50ns



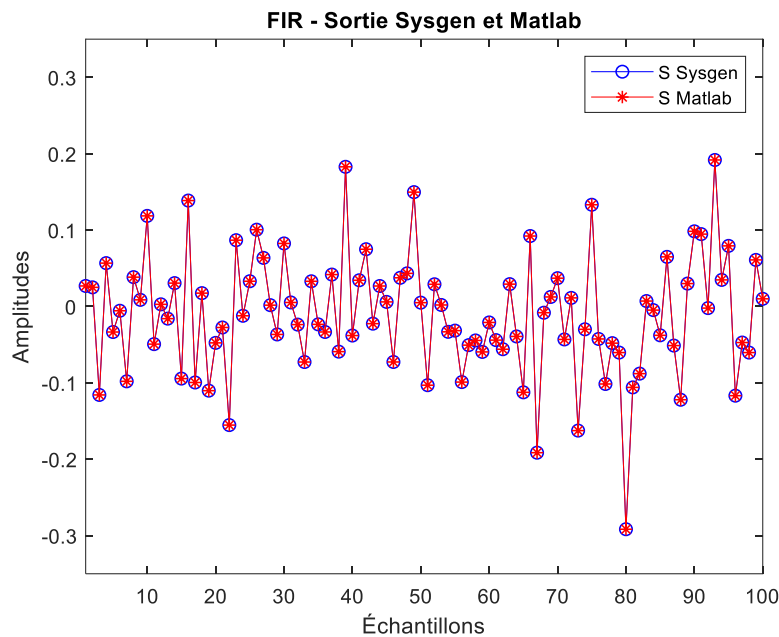
Le temps de simulation dans Simulink sera de 0 à 5us puisque nous avons 100 données à une période de 50ns.



Suite à l'exécution de la simulation dans Simulink, la partie 2 du code Matlab fait la comparaison entre les résultats obtenus à partir de System Generator et Matlab. Le déroulement devrait être le suivant :

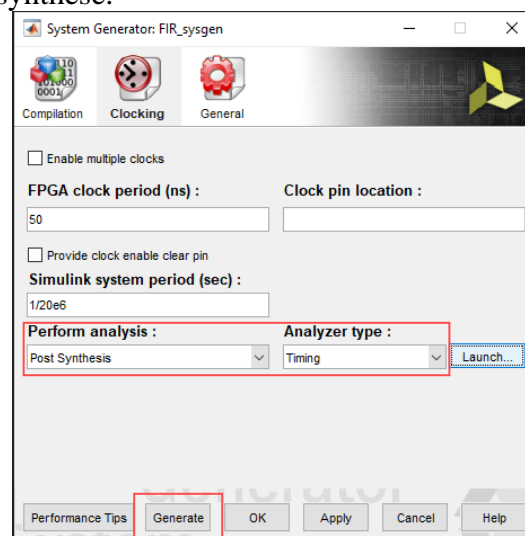
1. Exécuter la partie 1 du code Matlab pour générer les entrées et calculer la sortie théorique Matlab.
2. Exécuter la simulation dans Simulink afin d'obtenir la sortie de System Generator.
3. Exécuter la partie 2 du code Matlab pour faire la comparaison.

Vous devriez obtenir le graphique suivant :



2. SYNTHESE

Une fois la simulation validée, vous devrez faire la synthèse de votre filtre afin d'évaluer l'utilisation des ressources ainsi que la latence de calcul. Dans le module System Generator, sous « perform analysis », sélectionnez « post-synthesis » puis sélectionnez « timing » ou « resource » puis cliquer sur « Generate » afin de lancer la synthèse.



3. RAPPORT

Dans votre rapport, vous devrez :

1. Présenter votre filtre FIR ainsi que le graphique comparant la sortie théorique avec la sortie de System Generator.
2. Inclure et discuter des rapports de timing et de ressources.
3. Identifier le chemin critique.
4. Expliquer comment il serait possible de réduire le chemin critique.