

# Projeto Mini Calculadora

## Circuitos Digitais

18 de Novembro de 2019

Autores: Tiago Felipe de Souza  
Samuel Cavalcanti  
Rafael de Almeida Maia  
Thuanny Ramos Machado De Souza  
Professor: Sergio Natan Silva

## 1 Objetivo

A atividade consiste na implementação de cinco operações básicas sobre duas sequências de entradas de 4 bits. As operações são: Soma, Subtração, maior que, menor que e inversão. Esta última aplicada a apenas umas das entradas. A seleção da respostas é realizada através da escolha de três chaves de comando e, adicionalmente, um botão liga/desliga é utilizado para desabilitar todas as respostas. Silva (2019)

### 1.1 Componentes

**Menor Que** Menor Que é um componente que recebe duas entradas de 4 bits  $X_1$  e  $X_2$ , a sua saída chamada *MenorQ*. Ela corresponde ao led acender caso  $X_1 < X_2$ , caso contrário o led fica apagado.

**Subtrator** Subtrator é um componente que Dato duas entradas de 4 bits  $X_1$  e  $X_2$ , a sua saída corresponde a  $X_1 - X_2$ , chamado de *Sub*. Caso  $X_1 > X_2$ , Caso contrário deve-se acender o led demonstrando o Erro. Nesse componente o nosso grupo adicionou o Menor Q nesse componente para que seja possível verificar se a subtração dará erro.

**Maior Que** Menor Que é um componente que recebe duas entradas de 4 bits  $X_1$  e  $X_2$ , a sua saída chamada *MaiorQ*. Ela corresponde a led acender caso  $X_1 > X_2$ , caso contrário o led fica apagado.

**Soma** Subtrator é um componente que Dato duas entradas de 4 bits  $X_1$  e  $X_2$ , a sua saída chamada *Soma*. Ela corresponde a  $X_1 + X_2$ . Caso o resultado da soma for maior que 15 o led fica acesso. Caso o contrário o resultado da soma será mostrado no display de 7 segmentos.

**Inversor** É o Componente mais simples. Ele vai receber uma entrada  $X_1$  e vai inverter os seus bits, exemplo:  $X_1 = 1000 \rightarrow I(X_1) = 0111$ . A saída desse componente é chamada de  $Inv$ .

**Botão** É o componente que escuta se o Botão da FPGA foi pressionado, caso ele for, um registrador recebe o inverso do seu valor armazenado. É desta forma que é descrito se a calculadora está ligada ou desligada. Sua saída chama-se  $B$ .

**Mux** Esse Componente é o peça mais importante da calculadora, pois ele recebe os dados  $MenorQ$ ,  $MaiorQ$ ,  $Soma$ ,  $Sub$ ,  $Inv$ ,  $S_0$ ,  $S_1$ ,  $S_2$ ,  $B$  e a partir dele toma a decisão de ligar ou não o led ou mostrar ou não valores no display. A saída do do mux para o led é chamada de  $C_0$ , já a informação do mux para o display é transportada em duas saídas  $Y$  que informa o valor a ser escrito no display e a informação de controle  $CTRL$ , que informa se deve-se escrever uma mensagem de erro no display ou apagar o display ou permitir que o valor  $Y$  seja escrito no display.

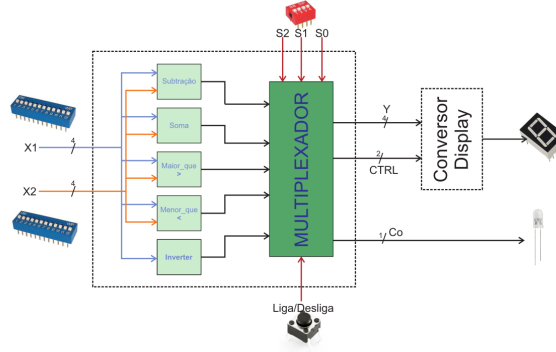


Figura 1: Mini Calculadora

## 2 Experimentos

Através figura 1 e das orientações do Silva (2019). Foi decidido que o melhor modo de Implementar a mini calculadora na FPGA era implementar cada componente bloco operacional 1.1 separadamente, depois simula-los. Só então que todos os componentes fossem devidamente testados, foi configurado a pinagem e testado na FPGA. Com exceção do display, que era mais fácil testar e visualizar se foi devidamente implementado testando diretamente na placa.

### 3 Resultados e Conclusões

Foi um sucesso. Não houve contra-tempos ou Grandes dificuldades para a implementação da mini calculadora na FPGA. No entanto no teste final, que é executar o projeto na FPGA, foi aonde o grupo gastou mais tempo. Devido a falta de simulações do componente Mux. Como resultado do projeto foram feitos simulações para alguns componentes e feito um vídeo mostrando as funcionalidades da mini-calculadora. <https://youtu.be/5MSzLZeNNFk>

### 4 Simulações

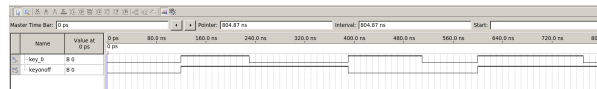


Figura 2: Comportamento do Botão

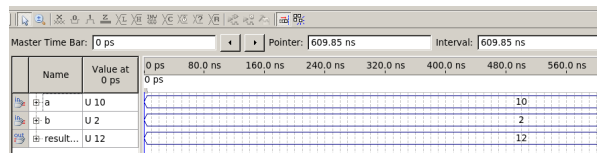


Figura 3: Simulação da Soma

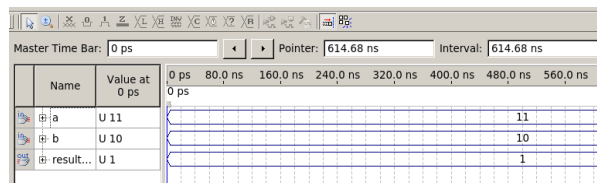


Figura 4: Simulação da subtração

### Referências

Silva, S. N. (2019). Roteiro mini calculadora. *Circuitos Digitais*.

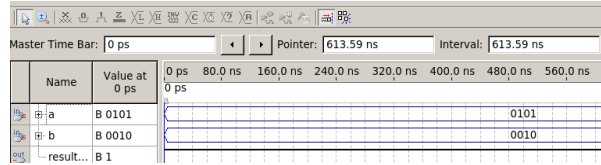


Figura 5: Simulação da Maior Q caso positivo

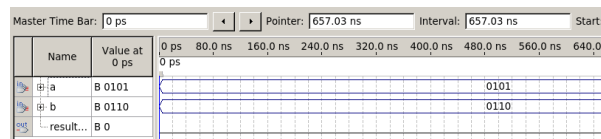


Figura 6: Simulação da Maior Q caso negativo

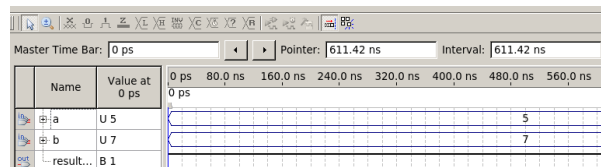


Figura 7: Simulação da Menor Q caso positivo

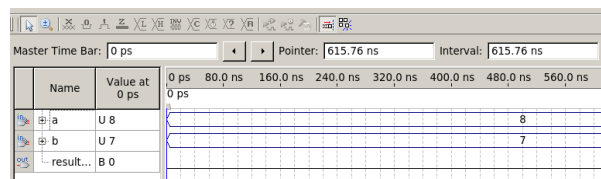


Figura 8: Simulação da Menor Q caso negativo