

Présentation

SoC

20 juin 2011

Caroline Keramsi

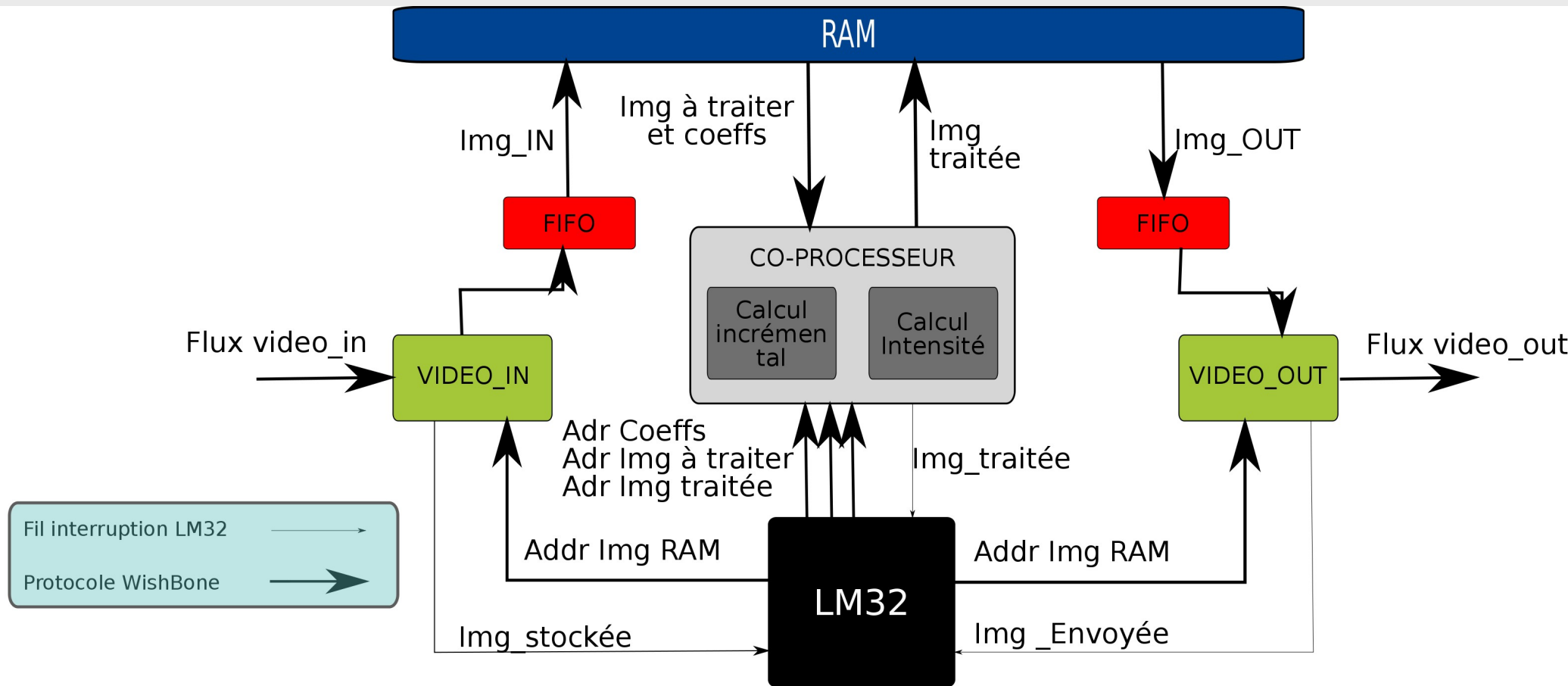
Florian Thorey

Samuel Mokrani

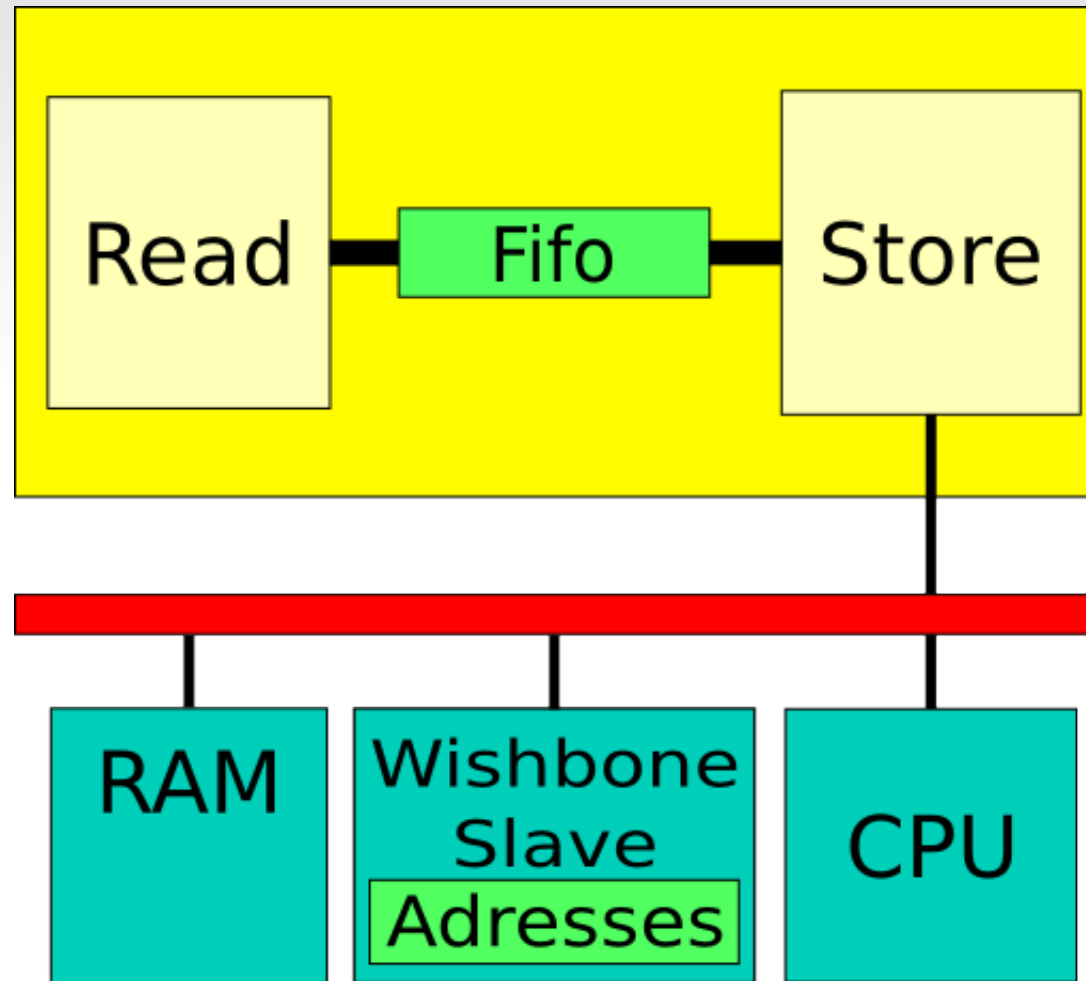
Plan

- *Introduction*
- Vidéo_In / Vidéo_Out
- Vidéo_Calc
- Soft (LM32)
- *Conclusion*

Introduction



Vidéo_In / Vidéo_Out



De SystemC à SystemVerilog

- SC_THREAD → Module SystemVerilog
- sc_fifo → Module fifo
- Il faut gérer le Wishbone pour l'écriture en RAM
→ Machine à états
- L'architecture est conservée

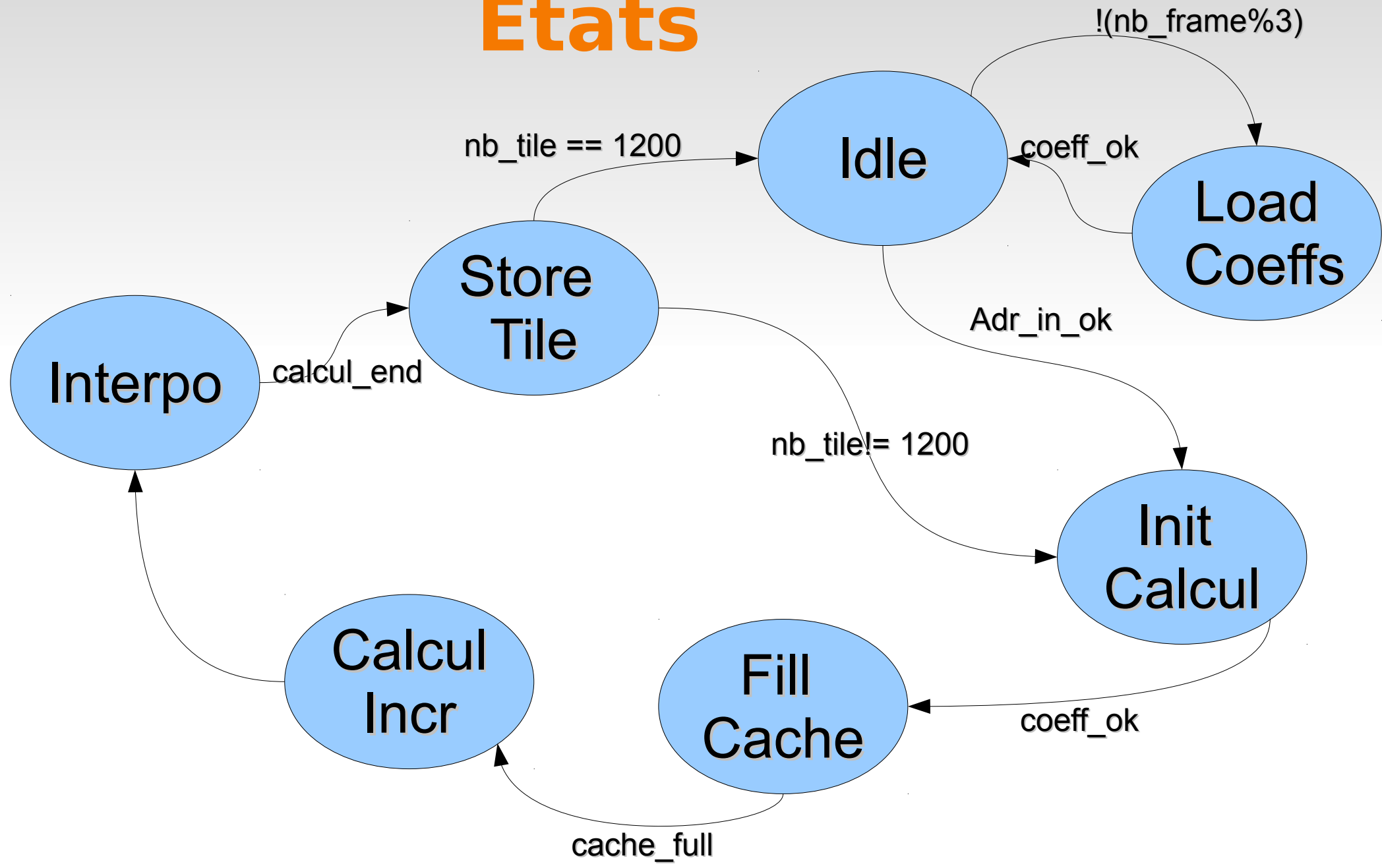
Ce qu'il reste à faire...

- Synthèse de la fifo de Video_in avec une RAM
- Correction des bugs du module Video_out en SystemVerilog
- Traduction du Wishbone_slave
- Et à vous de compléter...

Video_Calc

- SC_THREAD :
 - get_tile()
 - Récupère les pixels en RAM et charge le cache sur demande.
 - process_tile()
 - Parcourt les tuiles de l'image en cours
 - Calcul l'antécédent du pixel supérieur gauche
 - Demande à get_tile() de remplir le cache
 - Procède au calcul incrémental et à l'interpolation
 - store_tile()
 - Place les tuiles traitées en RAM

Video_calc : Machine à États



Ce qu'il reste à faire

- Modifier le code SystemC pour travailler en virgule fixe
- Aller chercher les coefficients en RAM
- Traduire le module en Verilog

Soft (LM32)

- Gère les trois modules précédent :
 - Envoie (lors d'une interruption de V_IN) une nouvelle adresse de stockage à V_IN ainsi que les adresses de lecture et de stockage à V_CALC
 - Envoie (lors d'une interruption de V_OUT) une nouvelle adresse de lecture à V_OUT
- Calcule la valeur des polynômes pour le calcul incrémental en virgule fixe

Ce qu'il reste à faire

- Calculer les 4 antécédents des coins de chaque tuile et en déduire la zone optimale à charger dans le cache de Vidéo_Calc

Conclusion

- *Ce qui est fait :*
 - **Vidéo_In** : System C et Verilog
 - **Vidéo_Out** : System C et en cours de traduction en Verilog
 - **Vidéo_Calc** : System C (ne va pas encore chercher les coefficients en RAM venant du processeur et utilise des float. En cours de migration vers la représentation en virgule fixe)
 - **Soft (LM32)** : Il pilote les trois modules

Conclusion

- *Ce qu'il reste à faire*
 - **V_IN / V_OUT** : Finir le Verilog + synthèse de la fifo de V_IN avec une RAM
 - Traduction du Wishbone_Slave
 - **V_CALC** : Migrer vers la virgule fixe et le traduire en Verilog
 - **Soft** : Calculer les 4 antécédents des coins de chaque tuile et en déduire la zone optimale à charger dans le cache de Vidéo_Calc

Démonstration !

