

BS2XV100
BS20/BS21/BS21E/BS22/BS26

硬件指南

文档版本 04

发布日期 2025-01-14

前言

概述

本文档描述 BS2X 封装管脚信息、电气特性参数、原理图设计建议、PCB 设计建议、热设计建议、焊接工艺、潮敏参数、注意事项等内容。

本文本主要对客户如何成功实现 BS2X 板级设计给出指导。

产品版本

与本文档相对应的产品版本如下。

产品名称	产品版本
BS2X	V100

手册使用约束

须知

应用芯片时，需按照芯片手册注明的功能、性能、配置步骤等信息进行软硬件开发，未按手册注明的信息进行操作，可能会出现不可预知风险。任何不按手册注明的信息进行的应用需得到本公司书面认可才能进行。切勿依商用器件经验推测，否则后果自行承担。

读者对象

本文档主要适用于以下工程师：

- 技术支持工程师
- 产品硬件开发工程师

符号约定

在本文中可能出现下列标志，它们所代表的含义如下。

符号	说明
	表示如不避免则将会导致死亡或严重伤害的具有高等级风险的危害。
	表示如不避免则可能导致死亡或严重伤害的具有中等级风险的危害。
	表示如不避免则可能导致轻微或中度伤害的具有低等级风险的危害。
	用于传递设备或环境安全警示信息。如不避免则可能会导致设备损坏、数据丢失、设备性能降低或其它不可预知的结果。 “须知”不涉及人身伤害。
	对正文中重点信息的补充说明。 “说明”不是安全警示信息，不涉及人身、设备及环境伤害信息。

修改记录

文档版本	发布日期	修改说明
04	2025-01-14	<ul style="list-style-type: none">更新“3.7 接口设计”章节内容。更新“3.8 NC 管脚处理”章节内容。
03	2024-08-29	<ul style="list-style-type: none">更新“2.2 极限参数”章节内容。

文档版本	发布日期	修改说明
		<ul style="list-style-type: none">更新“3.2.4 IO 独立供电”章节内容。更新“3.7 接口设计”章节内容。更新“8.2 I2S 接口”章节内容。
02	2024-07-04	<ul style="list-style-type: none">更新“1.2 管脚描述”章节内容。更新“1.3 通用接口复用表”章节内容。更新“2 电性能参数”章节内容。更新“3 原理图设计”章节内容。更新“4.1 PCB 叠层”章节内容。更新“7 关键器件选型”章节内容。
01	2024-05-15	<ul style="list-style-type: none">更新“3.3.3 高速晶体时钟”时钟描述。更新“3.7.1 GPIO 接口”章节内容。更新“3.7.2 SPI 接口”章节内容。更新“3.7.12 AFE 接口”章节内容。
00B05	2024-02-29	<ul style="list-style-type: none">更新“2.2 极限参数”的 Flash 存储器参数。更新“3.3.4 RTC 时钟”的 32K 时钟描述。更新“5.1 芯片结温要求”的环境温度数据。
00B04	2024-02-07	<ul style="list-style-type: none">更新“1.2.2 模拟管脚”中电压数据。更新“2.3 工作条件”中环境温度。更新“3.1 最小系统”中图 3-1。更新“3.2 电源设计”章节内容。更新“3.4 开机关复位”章节内容。更新“5.1 芯片结温要求”章节内容。更新“7 关键器件选型”章节内容。新增“8 接口时序”章节内容。

文档版本	发布日期	修改说明
00B03	2024-01-08	<ul style="list-style-type: none">更新“2.5 上下电时序”内容及上下电时序图。更新“3.5 调测加载”调测管脚功能描述。更新“3.6.2 射频电路”说明内容。更新“4.4 地处理”走线描述。更新“4.5 PCB 仿真”电源走线数据。更新“7 关键器件选型”交流阻抗数据。
00B02	2023-11-21	更新“7 关键器件选型”章节内容。
00B01	2023-09-26	第一次临时版本发布。

目 录

前言	i
1 封装与管脚	1
1.1 封装与管脚分布	2
1.1.1 封装尺寸	2
1.1.2 管脚分布	2
1.2 管脚描述	3
1.2.1 管脚类型说明	3
1.2.2 模拟管脚	4
1.2.3 RF 管脚	4
1.2.4 电源管脚	4
1.2.5 地管脚	5
1.2.6 数字管脚	5
1.3 通用接口复用表	7
2 电性能参数	10
2.1 电流参数	10
2.2 极限参数	11
2.3 工作条件	12
2.4 IO 电气参数	12
2.5 上下电时序	14
3 原理图设计	16
3.1 最小系统	16
3.2 电源设计	17
3.2.1 电源概述	17

3.2.2 电路设计.....	18
3.2.3 电源模式.....	19
3.2.4 IO 独立供电.....	19
3.3 时钟设计.....	20
3.3.1 数字时钟.....	20
3.3.2 模拟时钟.....	20
3.3.3 高速晶体时钟	21
3.3.4 RTC 时钟	22
3.4 开关机复位.....	22
3.5 调测加载.....	23
3.6 射频.....	24
3.6.1 概述.....	24
3.6.2 射频电路.....	24
3.6.3 射频调试.....	24
3.6.3.1 TX 调测	24
3.6.3.2 RX 调测	25
3.7 接口设计.....	25
3.7.1 GPIO 接口.....	25
3.7.2 SPI 接口.....	26
3.7.3 UART 接口	26
3.7.4 I2C 接口	26
3.7.5 QDEC 接口	27
3.7.6 PDM 接口.....	27
3.7.7 I2S 接口	28
3.7.8 PWM 接口	28
3.7.9 KEY_SCAN 接口	28
3.7.10 PULSE CAPTURE 接口.....	28
3.7.11 USB 接口.....	28
3.7.12 AFE 接口.....	29
3.7.13 NFC 接口	30
3.8 NC 管脚处理	30

3.9 电磁兼容设计	31
4 PCB 设计	32
4.1 PCB 叠层	32
4.2 器件布局	32
4.3 PCB 走线	33
4.3.1 电源网络	33
4.3.2 时钟	33
4.3.3 USB 走线	34
4.3.4 RF 走线	34
4.4 地处理	35
4.5 PCB 仿真	37
5 热设计参考	38
5.1 芯片结温要求	38
5.2 封装热阻	39
6 焊接工艺参考	40
6.1 焊球材料	40
6.2 包装与存储	40
6.3 装配条件	40
7 关键器件选型	42
8 接口时序	45
8.1 UART 接口	45
8.2 I2S 接口	47
8.3 I2C 接口	50
8.4 SPI 接口	53
8.5 QDEC 接口	55
8.6 KEY_SCAN 接口	56
8.7 PWM 接口	57
8.8 PDM 接口	57
8.9 USB 接口	58

A 缩略语.....	60
------------	----

1

封装与管脚

1.1 封装与管脚分布

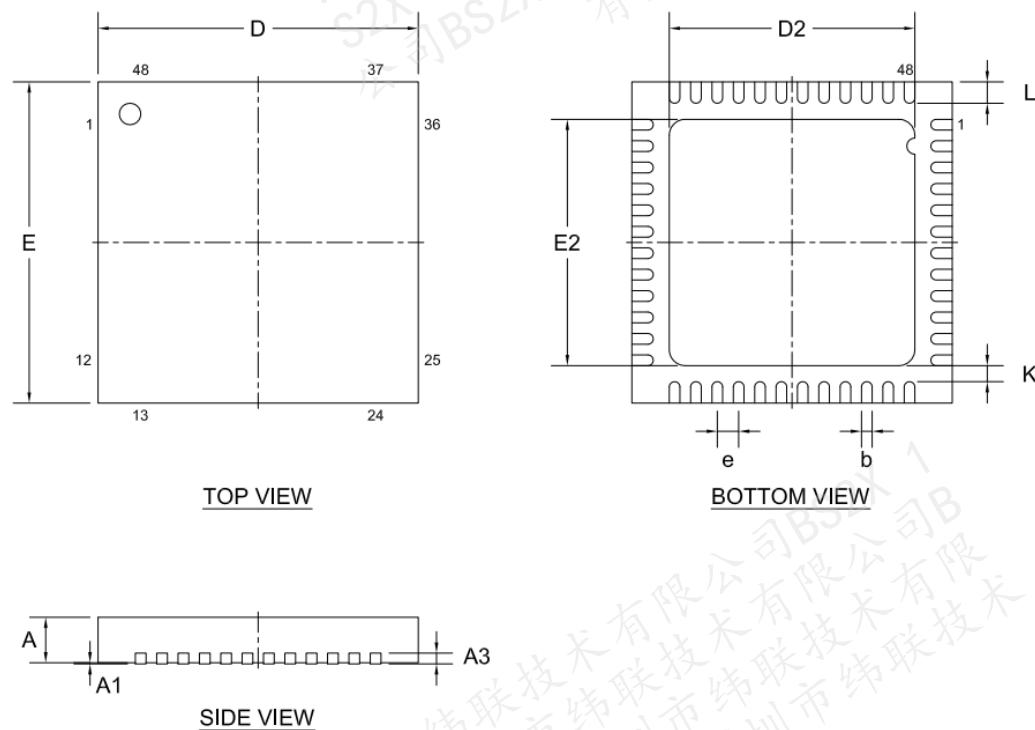
1.2 管脚描述

1.3 通用接口复用表

1.1 封装与管脚分布

1.1.1 封装尺寸

图1-1 QFN 封装尺寸

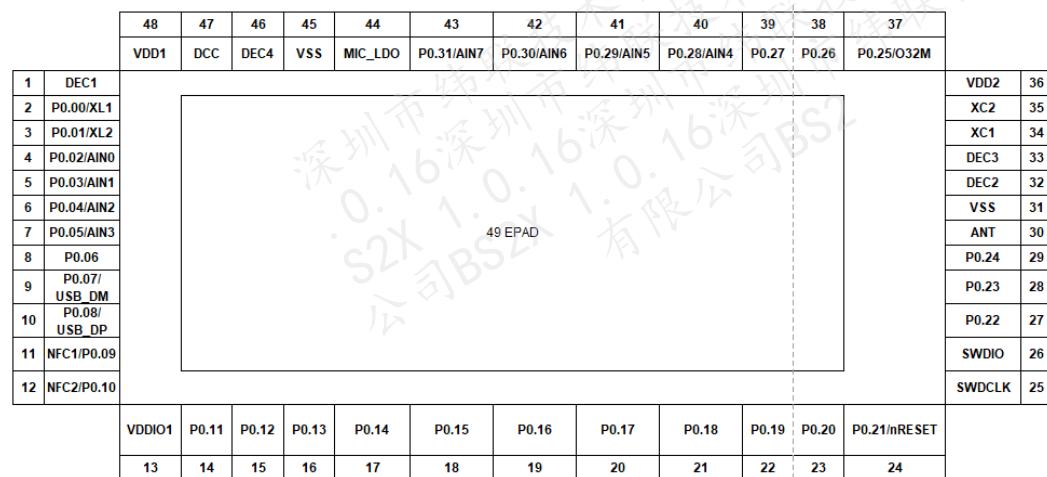


封装	A	A1	A3	b	D,E	D2,E 2	e	K	L	
QFN48 (6×6)	0.80	0.00	0.2	0.15	6	4.50	0.4	0.2	0.35	Min.
	0.85	0.02		0.20		4.60		0.40	0.40	Nom.
	0.90	0.05		0.25		4.70			0.45	Max.

1.1.2 管脚分布

管脚分布如图 1-2 所示。

图1-2 QFN 封装管脚分布



1.2 管脚描述

本小节描述 BS2X 的各个管脚，包括模拟、射频、地、数字管脚等。

1.2.1 管脚类型说明

管脚 I 类型如表 1-1 所示。

表1-1 管脚 I/O 类型和电平类型说明

类型	说明
I、O、IO	普通输入、输出、输入输出端口。
I _{PU}	带有内部上拉的输入端口。
I _{PD}	带有内部下拉的输入端口。
I _{ANA}	模拟输入端口。
O _{ANA}	模拟输出端口。
I _{RF}	数字输入输出端口。
I _{PMU} 、O _{PMU}	电源输入输出端口。

1.2.2 模拟管脚

模拟专用管脚，32M 晶体管脚为专用时钟接口，其他模拟接口和 GPIO 口做复用，包括 USB、NFC、32k 晶体、ADC 等，如表 1-2 所示。

表1-2 模拟管脚列表

管脚名称	管脚序号	管脚类型	电压 (V)	描述
XC1	34	I _{ANA}	0.75~0.9	32M 晶体输入。
XC2	35	O _{ANA}	0.75~0.9	32M 晶体输出。
P0.09/NFC1	11	I _{ANA}	1~3.6	NFC 天线。
P0.10/NFC2	12	I _{ANA}	1~3.6	NFC 天线。
P0.07/USB_DM	9	IO _{ANA}	3.3	USB 接口。
P0.08/USB_DP	10	IO _{ANA}	3.3	USB 接口。
P0.25/O32M	37	O _{ANA}	1	32M 模拟输出。
P0.XX/AIN0~7	4~7、40~43	I _{ANA}	<1.5	ADC 输入管脚。

1.2.3 RF 管脚

RF 管脚列表如表 1-3 所示。

表1-3 RF 管脚列表

管脚名称	管脚序号	管脚类型	电压 (V)	描述
ANT	30	IO _{RF}	-	射频输入/输出管脚，频率 2.4GHz。

1.2.4 电源管脚

电源管脚如表 1-4 所示。

表1-4 电源管脚列表

管脚名称	管脚序号	管脚类型	电压(V)	描述
DEC1	1	O _{PMU}	1.1	内部 LDO 输出端口，内核供电。
VDDIO1	13	I _{PMU}	1.8~3.6	P0.11~P0.24 参考电源输入端口。
DEC2	32	O _{PMU}	1.1	内部 LDO 输出端口。
DEC3	33	O _{PMU}	1.0	时钟电源输出。
VDD2	36	I _{PMU}	1.8~3.6	系统供电输入。
MIC_LDO	44	O _{PMU}	1.1~3.3	LDO 输出，用于 MIC 等供电。
DEC4	46	I _{PMU}	1.1	内部供电输入。
DCC	47	O _{PMU}	VDD	BUCK 输出。
VDD1	48	I _{PMU}	1.8~3.6	系统供电输入。

1.2.5 地管脚

GND 管脚如表 1-5 所示。

表1-5 地管脚列表

管脚名称	管脚序号	描述
VSS	31	射频地
VSS	45	电源地

1.2.6 数字管脚

数字管脚如表 1-6 所示。

表1-6 数字管脚列表

管脚名称	管脚序号	管脚类型	电压 (V)	默认态	描述
P0.00/XL1	2	IO	1.8~3.6	mode0	数字 IO 均可独立配置输入、输出、上拉、下拉等，详细参考“3.7.1 GPIO 接口”。
P0.01/XL2	3	IO	1.8~3.6	mode0	
P0.02/AIN0	4	IO	1.8~3.6	mode0	
P0.03/AIN1	5	IO	1.8~3.6	mode0	
P0.04/AIN2	6	IO	1.8~3.6	mode0	
P0.05/AIN3	7	IO	1.8~3.6	mode0	
P0.06	8	IO	1.8~3.6	mode0	
P0.07/USB_DM	9	IO	1.8~3.6	mode0	
P0.08/USB_DP	10	IO	1.8~3.6	mode0	
P0.09/NFC1	11	IO	1.8~3.6	mode0	
P0.10/NFC2	12	IO	1.8~3.6	mode0	
P0.11	14	IO	1.8~3.6	mode0	
P0.12	15	IO	1.8~3.6	mode0	
P0.13	16	IO	1.8~3.6	mode0	
P0.14	17	IO	1.8~3.6	mode0	
P0.15	18	IO	1.8~3.6	mode0	
P0.16	19	IO	1.8~3.6	mode0	
P0.17	20	IO	1.8~3.6	mode0	
P0.18	21	IO	1.8~3.6	mode0	
P0.19	22	IO	1.8~3.6	mode0	
P0.20	23	IO	1.8~3.6	mode0	
P0.21/nRESET	24	IO	1.8~3.6	mode0	
P0.22	27	IO	1.8~3.6	mode0	
P0.23	28	IO	1.8~3.6	mode0	
P0.24	29	IO	1.8~3.6	mode0	
P0.25/O32M	37	IO	1.8~3.6	mode0	
P0.26	38	IO	1.8~3.6	mode0	
P0.27	39	IO	1.8~3.6	mode0	

管脚名称	管脚序号	管脚类型	电压 (V)	默认态	描述
P0.28/AIN4	40	IO	1.8~3.6	mode0	
P0.29/AIN5	41	IO	1.8~3.6	mode0	
P0.30/AIN6	42	IO	1.8~3.6	mode0	
P0.31/AIN7	43	IO	1.8~3.6	mode0	
SWDCLK	25	I	1.8~3.6	专用	
SWDIO	26	IO	1.8~3.6	专用	

1.3 通用接口复用表

通用接口复用，芯片支持部分功能全路由设计，具体如表 1-7 所示。

表1-7 管脚复用表

Group	模拟复用	数字复用 (固定)	全路由 ^[1]
GPIO0	-	XL1	1、 SPI0_RXD 2、 SPI0_TXD
GPIO1	-	XL2	3、 SPI0_SCLK 4、 SPI0_CS0
GPIO2	AIN0	-	5、 SPI0_CS1 6、 SPI1_RXD
GPIO3	AIN1	-	7、 SPI1_TXD 8、 SPI1_CS0
GPIO4	AIN2	-	9、 SPI1_CS1 10、 SPI1_CLK
GPIO5	AIN3	-	11、 SPI2_RXD 12、 SPI2_TXD
GPIO6	-	-	13、 SPI2_CS0 14、 SPI2_CS1
GPIO7	USB_DM	-	15、 SPI2_CLK 16、 UART_L0_RXD
GPIO8	USB_DP	-	
GPIO9	NFC1	-	
GPIO10	NFC2	-	
GPIO11	-	高速 SPI_TXD	
GPIO12	-	高速 SPI_RXD	

Group	模拟复用	数字复用 (固定)	全路由 ^[1]
GPIO13	-	高速 SPI_CS	17、UART_L0_TXD 18、UART_L1_RTS 19、UART_L1_TXD 20、UART_L1_CTS 21、UART_L1_RXD 22、UART_H0_CTS 23、UART_H0_RTS 24、UART_H0_RXD 25、UART_H0_TXD 26、I2C0_CLK 27、I2C0_DATA 28、 I2C1_CLK
GPIO14	-	高速 SPI_CLK	
GPIO15	-	-	
GPIO16	-	-	
GPIO17	-	-	
GPIO18	-	-	
GPIO19	-	UART_L0_TXD (默认)	
GPIO20	-	UART_L0_RXD (默认)	
GPIO21	-	-	
GPIO22	-	-	
GPIO23	-	-	
GPIO24	-	-	
GPIO25	O32M	-	33、DMIC_DIN 34、 DMIC_CLK
GPIO26	-	-	35、I2S_SCLK 36、 I2S_WS
GPIO27	-	-	37、I2S_DOUT 38、 I2S_DIN
GPIO28	AIN4	-	39、I2S_MCLK 40、 PWM0
GPIO29	AIN5	-	41、PWM1 42、PWM2 43、PWM3 44、PWM4 45、PWM5 46、PWM6 47、PWM7 48、PWM8 49、PWM9 50、PWM10 51、PWM11 52、 KEY_SCAN_BIR[0:31]
GPIO30	AIN6	-	53、pulse_capture 54、 extlna_rx_en
GPIO31	AIN7	-	

Group	模拟复用	数字复用（固定）	全路由 ^[1]
			55、bt_active 56、bt_freq 57、wlan_active 58、reserved 59、bt_wifi_sw 60、reserved 61、reserved 62、bt_status 63、reserved 64、reserved 65、extlna_ctrl 66、reserved 67、reserved 68、bt_fem_rx_en 69、bt_fem_tx_en 70、reserved

说明

- 【1】：“全路由”代表所列数字功能可复用于任意 GPIO 管脚。
- 【2】：“模拟复用”，“数字复用（固定）”，代表该功能下，管脚不可更改。
- 【3】：GPIO27 对应管脚名称 P0.27，以此类推。

2

电性能参数

2.1 电流参数

2.2 极限参数

2.3 工作条件

2.4 IO 电气参数

2.5 上下电时序

2.1 电流参数

表2-1 电源等设计

管脚名称	管脚序号	管脚类型	电压 (V)	电流参考 (mA)
DEC1	1	O _{PMU}	1.0	100
VDDIO1	13	I _{PMU}	1.8~3.6	100
DEC2	32	O _{PMU}	1.1	100
DEC3	33	O _{PMU}	1.0	100
VDD2	36	I _{PMU}	1.8~3.6	100
MIC_LDO	44	O _{PMU}	1.1~3.3	100
DEC4	46	I _{PMU}	1.1	150
DCC	47	O _{PMU}	VDD1	150
VDD1	48	I _{PMU}	1.8~3.6	300

说明

“电流参考 (mA)” 代表走线宽度以此做约束，非实际电流值。

2.2 极限参数

须知

芯片处于极限参数下，可保证一段时间不会发生永久损伤。长期处于极限参数条件下可能带来器件可靠性问题。

表2-2 极限参数

参数		最小值	最大值	单位
供电电压	VDD	-0.3	3.9	V
	VSS	-	0	V
I/O 管脚	V _{I/O}	-0.3	V _{I/O} +0.3	V
NFC 天线口电流	I _{NFC1/2}	-	80	mA
	V _{NFC1/2}	-	3.9	V
RF 接口	RF 最大输入功率	-	10	dBm
环境参数 QFN 48	存储温度	-40	125	°C
	MSL	-	3	-
	ESD HBM	-	±2000	V
	ESD CDM	-	±500	V
Flash 存储器	寿命	100000	-	Write/erase cycles
	保持时间	20 year/25°C	-	-

说明

极限工作环境参数仅用于评估，不用于实际应用。

2.3 工作条件

表2-3 建议工作条件

参数	符号	最小值	Nor.	最大值	单位
供电电压	VDD1/2/VDDIO1	1.8	3.3	3.6	V
输入供电上升时间 0~1.7V	t _{RVDD}	0.01	-	20	ms
环境温度	T _A	-40	25	85	°C

2.4 IO 电气参数

典型 IO 口电气特性如表 2-4 所示。

表2-4 IO DC/AC 特性

参数	标识	最小值	典型值	最大值	单位
I/O 电压	V _{IO} [1]	1.8	3.3	3.6	V
输入高电平	V _{IH}	0.65×V _{IO}	-	V _{IO} +0.3	V
输入低电平	V _{IL}	-0.3	-	0.25×V _{IO}	V
输出高电平	V _{OH}	0.65×V _{IO}	-	-	V
输出低电平	V _{OL}	-	-	0.45	V
驱动电流	I _{OH} [2]	8	-	32	mA
驱动电流	I _{OL} [2]	5	-	18	mA
驱动电流	I _{OH} [3]	2	-	10	mA

参数	标识	最小值	典型值	最大值	单位
驱动电流	I_{OL} ^{【3】}	3	-	12	mA
输入电容	C_{IN}	-	3	-	pF
输入漏电流	I_{LEAK}	-	-	0.125	μA
上拉电阻	R_{PU}	49	-	85	k Ω
下拉电阻	R_{PD}	47	-	102	k Ω

说明

【1】: 芯片同时支持两种 IO 口电压, 包括 VDD2、VDDIO1。

【2】: 3.3V 下常温 25°C, 典型值。

【3】: 1.8V 下常温 25°C, 典型值。

电压上、下冲示意图如图 2-1 所示, 参数要求如表 2-5 所示。

图2-1 上、下冲示意图

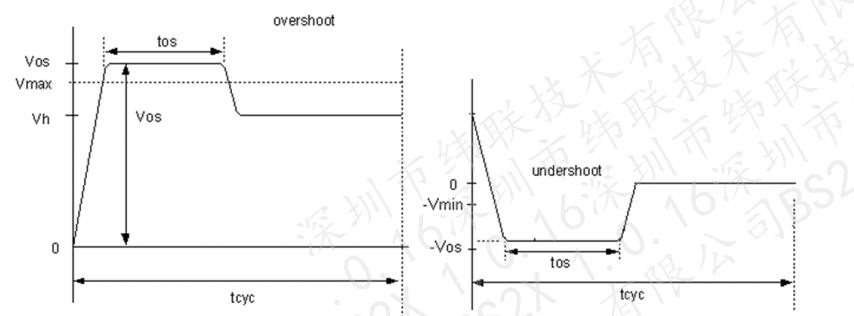


表2-5 电压上下冲参数表

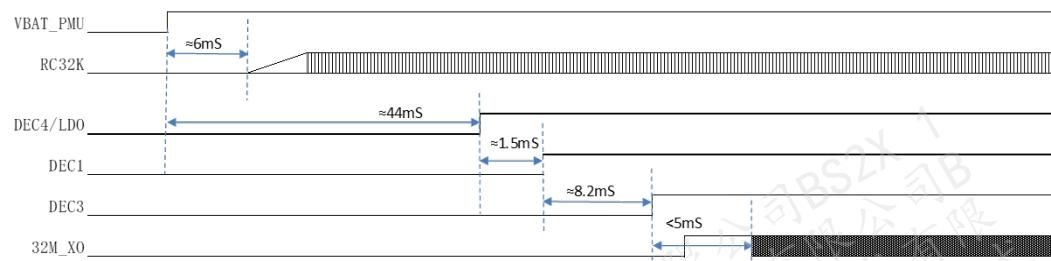
参数	上冲	下冲	单位
V_{OS}	$V_{IO}+0.3$	-0.3	V
t_{OS}	Min (0.2×Tclk or 5ns)	Min (0.2×Tclk or 5ns)	ns

2.5 上下电时序

- VDD 在位电压满足上电要求，一般 $>1.7V$ ，芯片即自动上电。
- 系统供电，内部 RC 32K 时钟打开。
- 从 VDD 上电 44ms 左右，BUCK 等供电打开，射频供电跟随 BUCK。
- 1.5ms 后内核供电 (DEC1) 打开
- 8.2ms 后，XO 供电打开，XO 开始起振，起振完成后，可观测的上电流程结束。
- 后续通过串口打印可判断芯片是否已经正常启动

典型上电时序如图 2-2 所示，图中时间仅代表先后顺序。

图2-2 正常上电时序图



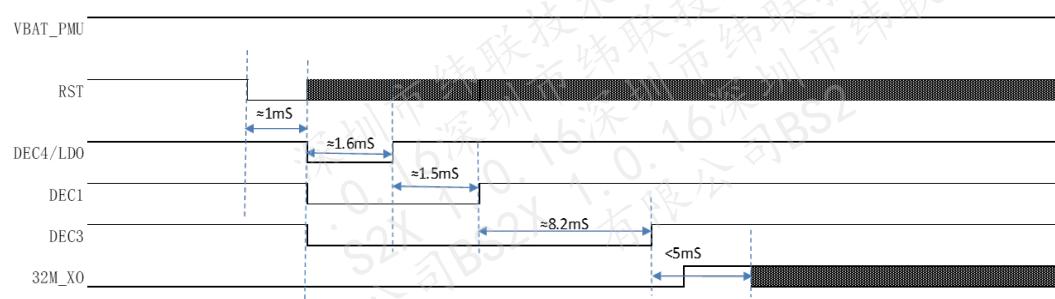
- 异常下电

上电启动中的异常，正常工作中的异常，下电过程中的异常、待机中的异常及其他异常时，PMU 相关寄存器复位，电源同一时刻下电。

- 复位上下电

- 芯片提供复位管脚用于复位。
- 复位功能任意 GPIO 口可配，但是必须在软件启动后才可以打开。
- 硬件 Watchdog 也会触发下电重启动作，Watchdog 上电即使能，软件可关闭。

图2-3 复位重启时序图



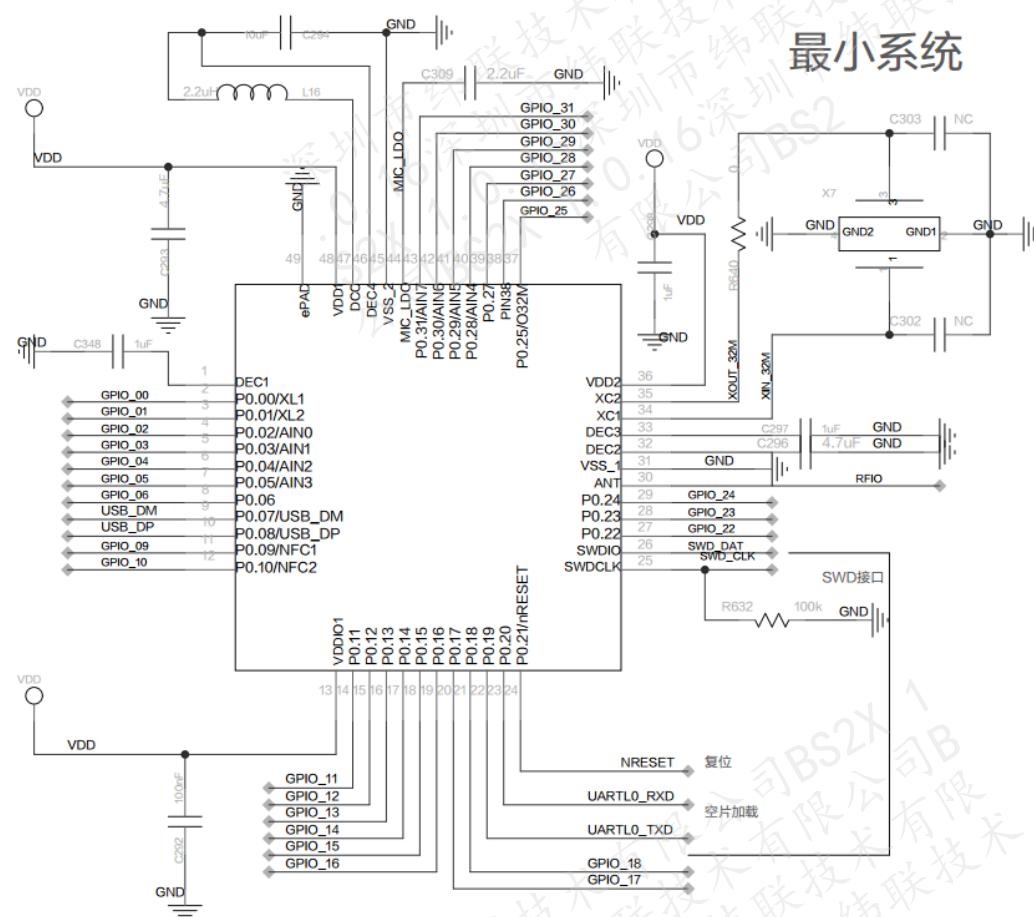
3 原理图设计

- 3.1 最小系统
- 3.2 电源设计
- 3.3 时钟设计
- 3.4 开关机复位
- 3.5 调测加载
- 3.6 射频
- 3.7 接口设计
- 3.8 NC 管脚处理
- 3.9 电磁兼容设计

3.1 最小系统

最小系统包括主芯片、电源电容、功率电感、上电复位、晶体和射频匹配等外围。

图3-1 最小系统图



3.2 电源设计

本章节描述电源框图、电源规格、电源的安全保护方案等。

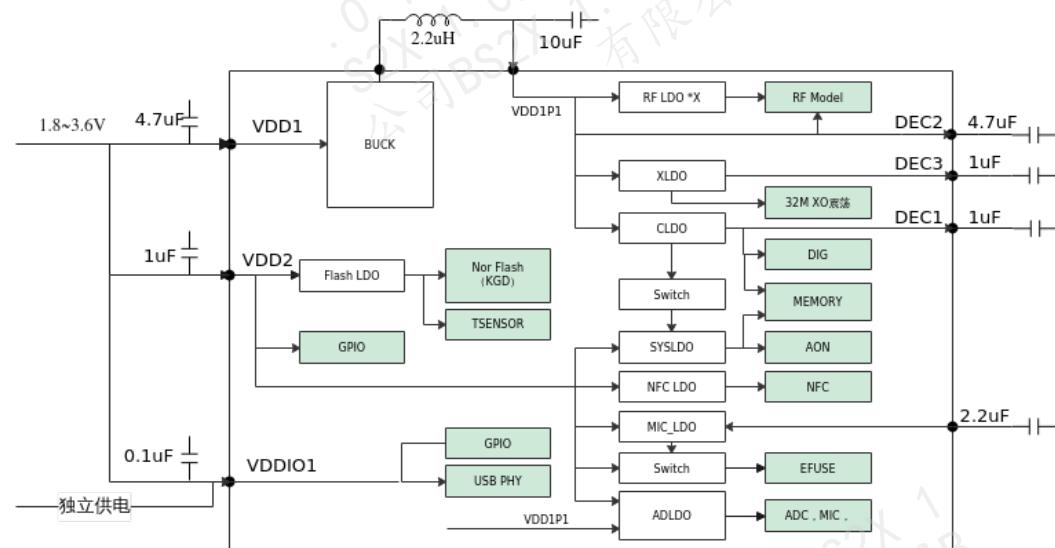
3.2.1 电源概述

外部供电通过 VDD1、VDD2、VDDIO1 三个管脚供电。芯片内部生成各模块电源。典型供电拓扑结构如图 3-2 所示。

- VDD1 用于内部 BUCK 等输入；VDD2 用于内部 LDO 等输入；VDDIO1 给内部一部分 GPIO 做参考电压，同时用作 USB PHY 的供电。
- MIC_LDO 为输出管脚，支持 LDO 输出和 Load Switch 输出，Load Switch 模式下，其输出电压和 VDD2 保持一致。
- MIC_LDO 给内部 EFUSE 供电，在写 EFUSE 的情况下，此电压须在 2.5V 以上，且 MIC_LDO 输出电容在位。

- 部分内部供电有独立管脚外置电容，如 DEC1、DEC2、DEC3 等。
- 深睡模式下，AON 电源由 SYSLDO 提供；工作态下，AON 电源由内部 CLDO 提供。

图3-2 芯片电源拓扑结构



3.2.2 电路设计

表3-1 电源等设计

管脚名称	管脚编号	管脚类型	电压 (V)	原理图
DEC1	1	O _{PMU}	1.1	输出电容 1μF
VDDIO1	13	I _{PMU}	1.8~3.6	输入电容 100nF
DEC2	32	O _{PMU}	1.1	输出电容 4.7μF
DEC3	33	O _{PMU}	1.0	输出电容 1μF
VDD2	36	I _{PMU}	1.8~3.6	输入电容 1μF，与 VDD1 保持一致
MIC_LDO	44	O _{PMU}	1.1~3.3	输出电容 2.2μF
DEC4	46	I _{PMU}	1.1	与 DCC 输出电容复用
DCC	47	O _{PMU}	VDD1	• 输出电感 2.2μH

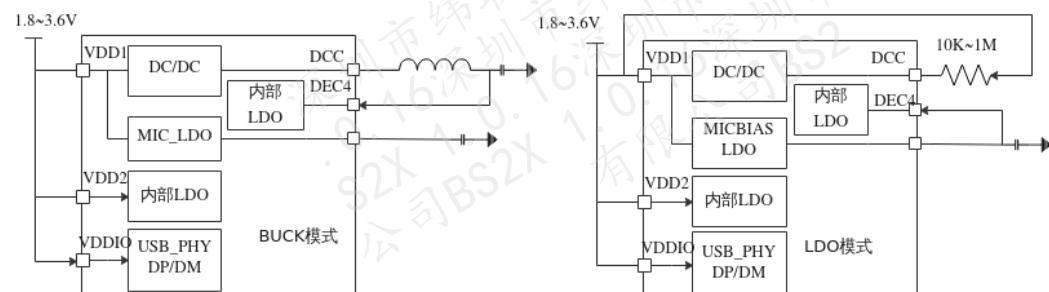
管脚名称	管脚编号	管脚类型	电压 (V)	原理图
				• 电容 10μF
VDD1	48	I _{PMU}	1.8~3.6	输入电容 4.7μF, 与 VDD2 保持一致

3.2.3 电源模式

芯片支持 BUCK 和 LDO 两种模式供电：

- BUCK 工作模式下，DCC 管脚输出必须 $2.2\mu\text{H}+10\mu\text{F}$ 电容，MIC_LDO 独立使用，可用作外围供电。
- 芯片依据 DCC 管脚状态确定是否进入 LDO 工作模式，为了启用 LDO 模式，需要将 DCC 管脚上拉到 VDD1 电源上。
- LDO 工作模式下，DCC 管脚的输出电感和电容可删除，DEC4 管脚连接到 MIC_LDO 管脚，复用其输出电容即可。
- LDO 模式下，功耗会增加，主要用于对功耗不敏感，或布局面积较小的场景，如 Dongle 等。

图3-3 BUCK 和 LDO 模式



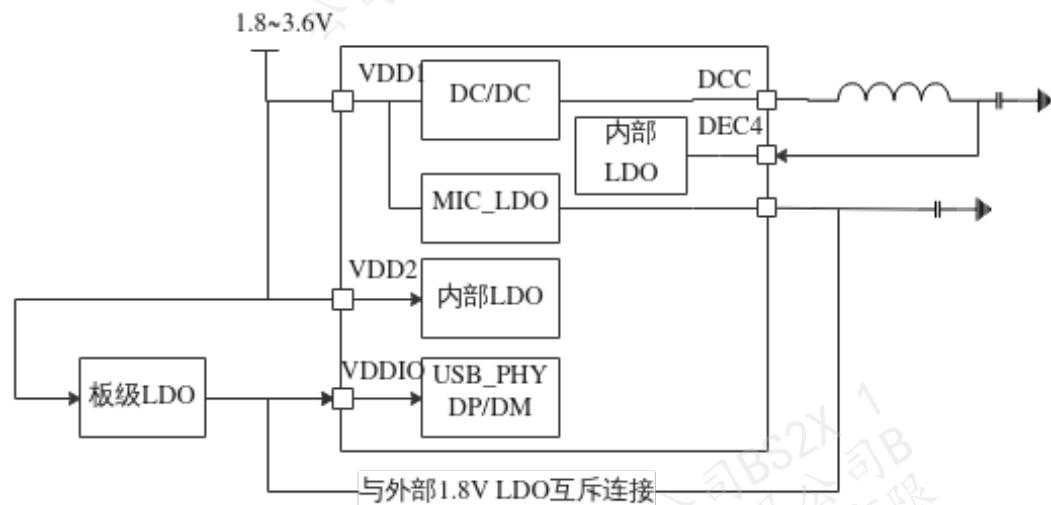
3.2.4 IO 独立供电

芯片一部分 GPIO 口支持独立供电，支持外设 2 种逻辑电平共存，其典型电源电路如图：

- P0.00~P0.10、P0.25~P0.31 等 GPIO 口电压参考 VDD2 输入。VDD2 供电需要和 VDD1 保持一致。
- P0.11~P0.24 等 GPIO 口电压参考 VDDIO1 输入。

- MIC_LDO 可用于 VDDIO1 供电，此供电模式下，MIC_LDO 默认关闭，仅在软件启动后 打开，此状态会对芯片烧录等产生不良影响。MIC_LDO 的最大负载电流为 75mA。一般适应于低成本，VDDIO1 电压域下 IO 驱动力要求比较低的场景。
- VDDIO1 由外部电源提供时，需要确保外部电源不早于 VDD1/2 上电，VDDIO1 ≤ VDD。

图3-4 VDDIO1 独立供电框图



3.3 时钟设计

3.3.1 数字时钟

芯片提供数字时钟输出，输出接口可提供 32K、32M、27.12M 等时钟输出，任意 IO 可配。

输出时钟频率越高，板级寄生越大，功耗会相对更高。尽量使用低速时钟以降低功耗。

高速时钟输出可能存在信号完整性问题，设计上尽量保留串接电阻方便调测。

3.3.2 模拟时钟

芯片提供 32M 模拟单端时钟输出。输出管脚列表如表 3-2 所示。

- 应用场景，外设对时钟相噪等有要求的场景。

表3-2 模拟时钟管脚

管脚名称	Pin No.	管脚类型	电平 (V)	模式	描述
P0.25/O32M	37	数模复用	1	模拟复用	32M 模拟时钟输出

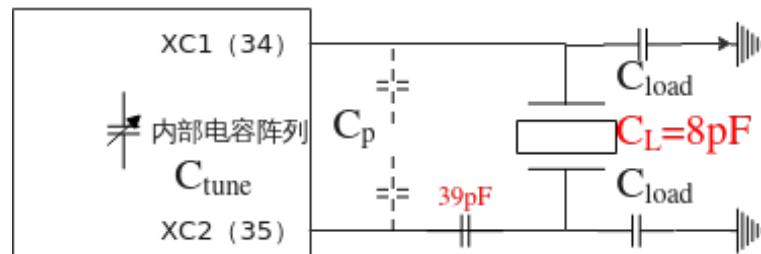
3.3.3 高速晶体时钟

芯片需要外置高精度晶体，以满足射频需求。

- 芯片内集成频偏调节能力，可等效为单端 16~26pF，外置晶体板级负载电容仅做预留，建议空贴。
- 芯片支持 $C_L=8\text{pF}$ 晶体快速启动，快速启动时间一般<1mS;其他 C_L 晶体，仅支持慢启动，启动时间一般<5mS。
- Crystal 外接负载电容会影响频偏，要求按照公式： $C_{load}+C_p+C_{tune}=2\times C_L$ 计算并选取合理的容值。其中 C_L 为 Crystal 参考的 Load Capacitance； C_p 为 PCB 和芯片封装的寄生电容总和，一般经验值为 2pF~3pF，必要时请挖空邻层； C_{tune} 为内部电容阵列。
- 建议做产线校准，以确保常温不会超过 $\pm 10\text{ppm}$ ，整个工作温度范围内频偏 $\pm 20\text{ppm}$ 以内。
- 频偏到 $\pm 50\text{ppm}$ 的时候，仅能保证 GFSK 调制下的性能。其他调制方式性能无法保障。
- 支持 TCXO 时钟通过 XC1 接口输入。
- 外部晶体选型参考“7 关键器件选型”。

电路如图 3-5 所示。

图3-5 晶体电路图



须知

1. $C_L=8\text{pF}$ 晶体，必须在 XC2 端增加 39pF 电容，且尽量减小板级寄生，可以使用挖空
层等策略。

2. $C_L>8\text{pF}$ 的晶体，一般板级负载电容可 NC，XC2 端串接电容可使用 0Ω 。

3.3.4 RTC 时钟

芯片内部集成 RC 振荡电路，提供低速时钟，满足上电和常规保联待机等应用场景需求。

- 初始上电，系统默认使用内部 RC 时钟。
- 在对 RTC 时钟精度要求较高的场景，建议使用外部晶体。使用外部晶体需要软件使能，负载电容必须上件。
- 支持通过 32M 对 32.768KHz 时钟做校准，通过补偿的方式提高定时精度，用于 Sniff 等场景。
- 低速晶体接口和数字接口复用，使用时避免对相关 IO 口做操作。
- 32K 时钟支持外部单端输入，信号通过 GPIO0 灌入，输入信号要求请参见《BS2XV100 用户指南》。
- 32.768K 晶体选型参考“7 关键器件选型”。

3.4 开关机复位

- **开机事件：**
供电电压满足上电门限即进入开机流程。
- **关机事件**
 - 正常下电：软件主动关机。
 - 异常下电：包括欠压以及其他异常（过温、过压、短路、滤波欠压、绝对欠压）触发的下电。
- **复位事件**
 - 软件复位：软件触发复位动作。
 - 硬件复位：复位管脚用于快速复位。

须知

硬件复位功能可配置为任意端口，通常选择复用于 GPIO 口 P0.21，只有当软件运行后配置才会生效。

3.5 调测加载

板级设计需要预留必要的调试，加载接口：

- 建议预留 SWD、UART_L0、VDDIO1 等测试点。其中 VDDIO1 可给仿真器用作逻辑电平参考。UARTL0 用于空片下载、LOG 打印、辅助调试。SWD 信号用于仿真调试，芯片烧录。
- SWD 和 UARTL0 管脚位于 VDDIO1 (13 号管脚) 电压域下，使用中须注意电平匹配。
- SWDCLK 建议预留 100K 下拉，降低受干扰风险。
- IO 空余的场景，建议预留一些 IO 口测试点，用于其他 LOG 打印，便于后续调试。
- 建议测试点放在这些固定管脚上，管脚信息如表 3-3 所示。
- 从芯片到测试点之间建议预留 100Ω 级电阻，用于接口防护。

表3-3 调测管脚

管脚序号	Net/Ball Name	功能描述
25	SWDCLK	SWD 时钟管脚
26	SWDIO	SWD 数据管脚
22	P0.19	UART_L0_TXD 默认位置
23	P0.20	UART_L0_RXD 默认位置

3.6 射频

3.6.1 概述

支持 BLE/SLE 2.4GHz。

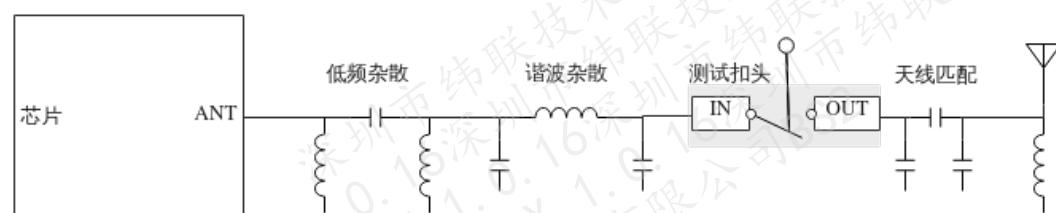
- TX 采用了 ADPLL, DPA, DCO 等数字架构。
- RX 采用 LNA, VGA, ADC 等模拟架构。
- 支持硬件共存接口。
- 支持外置 FEM。

3.6.2 射频电路

- 射频通路，建议预留 2 组 PI 网络，主要针对低频和谐波杂散。
- 为了提高 RFIO 口 ESD 防护能力，建议预留必要的保护电路。
- RF 性能调优。

参考如图 3-6 所示。

图3-6 RF 参考电路图



说明

谐波杂散 Pi 网络，建议 CLC 取值 1pF-3.3nH-1pF。

3.6.3 射频调试

射频调试分为 TX 调试和 RX 调试，各自侧重点不同。

3.6.3.1 TX 调测

TX 调测重点如下：

- 准确调测芯片口到天线口线路的插损，在产品设计阶段就要提前做好准确建模和仿真，建议插损<0.5dB，芯片口视出反射<-20dB。

- 注意杂散等特性：必要时候需要调整 pi 网络以抑制杂散。

3.6.3.2 RX 调测

从芯片外部看，RX 和 TX 是共用通路，板级 S 参数通过 TX 调优后，可通用于 RX。RX 调试需要特别注意干扰问题，干扰点参考如下：

- 32M 时钟信号谐波影响导致灵敏度恶化，主要体现在 32M 时钟的 76 和 77 谐波会影响到 2432MHz 和 2464MHz 两个频点。
- 其他的一些时钟谐波，常用判断方法：保持端口输出时钟，测试 RF 的接收性能。
- 紧凑环境下，应该注意板级器件带来的射频直接干扰。

3.7 接口设计

本章节主要描述典型应用接口的基本特性，电路设计，使用约束等。

3.7.1 GPIO 接口

芯片有 32 个 IO 口，每个都可以配置为 GPIO 口模式。用于生成或采集特性应用的输出/输入信号。

- 作为输入管脚时，可作为中断源。低功耗场景下，中断源可以配置为任一 GPIO 口。
- 作为输出管脚时，每个 GPIO 都可以独立地清 0 或置 1。
- 每个管脚都可独立使能上下拉、Drive Level 等参数。Drive level 4 档可调，覆盖 1~18mA；上下拉电阻阻值范围在 80k~100k。
- 芯片冷复位时，GPIO2~GPIO31 为高阻。
- 芯片 GPIO11~GPIO24 参考电压跟随 VDDIO1，其余 IO 参考电压跟随 VBAT (VDD1/VDD2)。
- 避免芯片未上电情况下，GPIO 仍接高电平，容易带来芯片上电异常。
- IO 口时序整体收敛为 2 组：GPIO0~24，GPIO25~31，如 SPI、I2S 等数字接口，同一组信号建议放在同一组 GPIO 口下，以获得最优性能。
- 睡眠唤醒时，GPIO 口控制权变更，控制权切换瞬间会导致 IO 上存在毛刺，对于需要在睡眠之后保持稳定高、低状态的管脚，建议预留板级上下拉，内置上下拉电阻 100K 量级，不适应于 IO 口负载较大的端接。

- GPIO17 的状态受 CLDO 限制。深睡 CLDO 关闭时，GPIO17 的输入功能及上下拉功能不可用。作为输出时，则无限制。
- 模数复用接口，使用模拟功能时须配置对应 GPIO 端口为高阻态，并关闭上下拉。使用 GPIO 功能时，需要对模拟部分做下电处理，防止影响端口电平。
- GPIO0/1、GPIO2~5、GPIO25、GPIO28~31 不支持防倒灌，其他 GPIO 管脚支持防倒灌。
- GPIO0/1 在启动阶段会输出低电平，应用软件可在上电启动完成后主动关闭 XO32k 使能来结束该低电平；启动阶段板级要保证 GPIO0/1 管脚为低电平或高阻态，避免板级在 GPIO0/1 管脚上有电平拉高或翻转动作。
- GPIO29 管脚有较大负电压输入时，有可能会触发芯片复位，使用中应避免该管脚出现负电压。建议用于输出，接地，或者上拉等场景，不能悬空，或者下拉。

3.7.2 SPI 接口

芯片提供 3 路支持多片选的 SPI 接口，任意 IO 可配：

- SPI0/1/2 均有 2 个片选信号，可支持多外设，支持 Master、Slave 功能，通常用于 16M 以下的速率。
- SPI0 Master 模式下可支持最高 32Mbit/s 接口速率，最高频率下，仅支持单片选，且时序收敛于 IO11~IO14 接口。如果接口速率较低，则支持全路由配置。
- SPI0/1/2 均支持 3/4 线 SPI 协议，3 线 SPI 协议即 DI、DO 管脚合一，通常用于鼠标的光学 Sensor。
- 建议信号线上预留串阻位，用于信号完整性调整。

3.7.3 UART 接口

芯片提供 3 组 UART，任意 IO 可配，直连即可。

- UART_L0，用于空片下载，调测信息打印，通常需要预留测试点，做产线板级加载用，建议预留串接电阻用于电路保护。
- UART 为 1 对 1 接口，避免多个外设连接到同一网络。

3.7.4 I2C 接口

芯片提供 2 组 I2C 接口，任意 IO 可配。

- 上拉电阻阻值需要根据实际通信速率做调整，通常为 $2.2\text{k}\Omega$ 。
- 上拉电平需与 IO 参考电平保持一致。

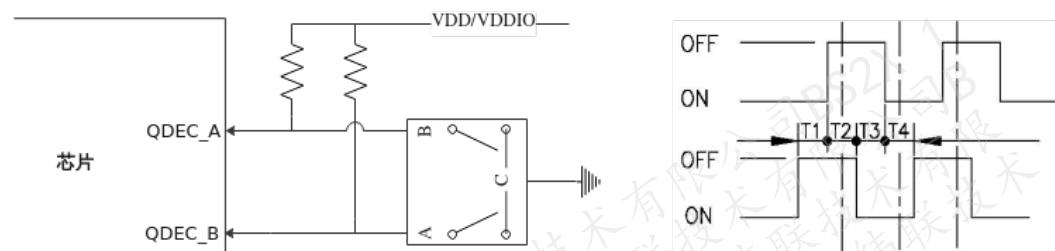
- 注意多外设的地址冲突问题。
- 做 Master 时，总线对总容性负载有要求，通常 $<400\text{pF}$ ，时钟速率 $<1.7\text{M}$ 。

3.7.5 QDEC 接口

芯片提供一组正交解码器（QDEC），对正交编码的传感器信号缓冲解码，任意 IO 可配，适用于机械编码器：

- QDEC_A, QDEC_B 信号为输入管脚，通常需要上下拉来确定默认电平。
- QDEC_A, QDEC_B 信号可配置复用 GPIO 内置的上下拉电阻。
- 内置上拉或者下拉电阻阻值一般为 $100\text{k}\Omega$ 量级，待机后如果常接地，会有一定的漏电，此时可选择外置上、下拉大电阻实现更低的漏电。
- 内置上、下拉电阻，通常不会对 200Hz 的周期信号产生影响。

图3-7 QDEC 应用示意图

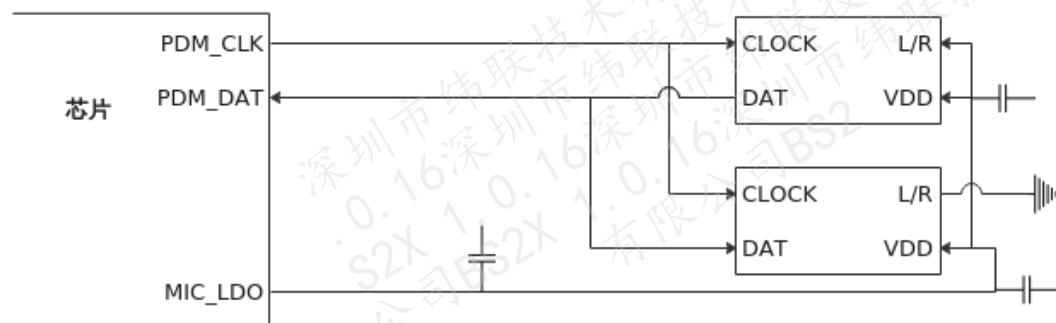


3.7.6 PDM 接口

芯片集成 1 路 PDM 接口，用于将 DMIC 通路的数据进行预处理，任意 IO 可配，特性如下：

- 支持 2 个 DMIC 器件同时采集。
- 须注意 2 个 DMIC 的工作模式，通常设计为 1 个时钟上升沿发送数据，1 个时钟下降沿发送数据。
- 可以使用 MIC_LDO 输出为 DMIC 供电。

图3-8 DMIC设计



3.7.7 I2S 接口

直连使用，线长一般要求<20cm，无特殊要求。

I2S 接口做 Master 时，无法输出 12.288M 等时钟，只能输出基于 32M 的整数分频时钟。

3.7.8 PWM 接口

直连使用，无特殊要求。

3.7.9 KEY_SCAN 接口

支持最大 18×8 矩阵按键，任意 IO 可配，按键矩阵说明：

- 内置 32 个 KEYS SCAN 信号，每个信号的输入输出可配。
- 内置 18×8 的扫描阵列，扫描间隔可配，最小 1ms。
- 支持芯片算法防鬼键。
- 可以通过多个手段降低板级长线干扰，包括：打开内置上下拉电阻，降低驱动能力。

3.7.10 PULSE CAPTURE 接口

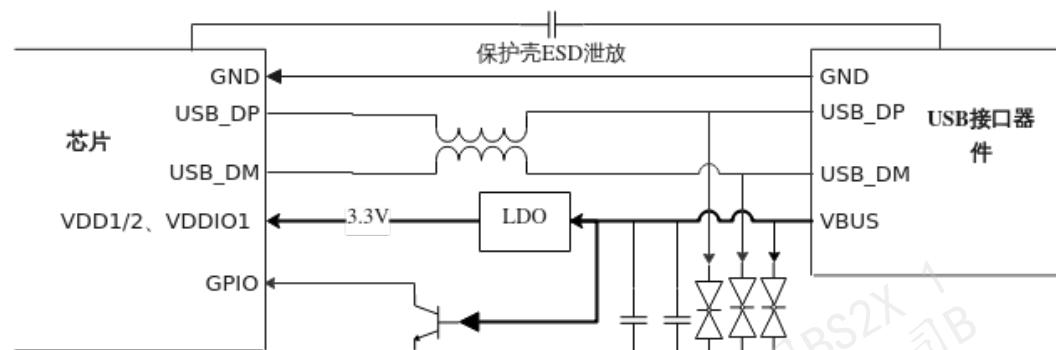
支持 pulse capture 功能，任意 IO 可配，可对外部输入脉冲进行计数。直连使用，无特殊要求。

3.7.11 USB 接口

芯片支持 USB Device，支持 USB 2.0 接口，用于有线鼠标、dongle 等场景：

- 为使用 USB 功能，VDDIO1 的电压必须是 3.3V。
- 芯片不支持 5V 直接供电，如果使用 USB 的 VBUS 给系统供电，中间必须增加 LDO/BUCK 做电压转换，为了确保电源安全，建议预留板级防浪涌器件。
- VBUS 的插入识别，可以使用 GPIO 口作为触发源，通常需要做电平转换。
- USB DP/DM 为通信管脚，建议预留共模电感，ESD 器件，以抑制长线、PC 端可能带来的 ESD 破坏。
- USB 接口金属框建议预留泄放电容到系统主地。

图3-9 USB 应用电路示意图



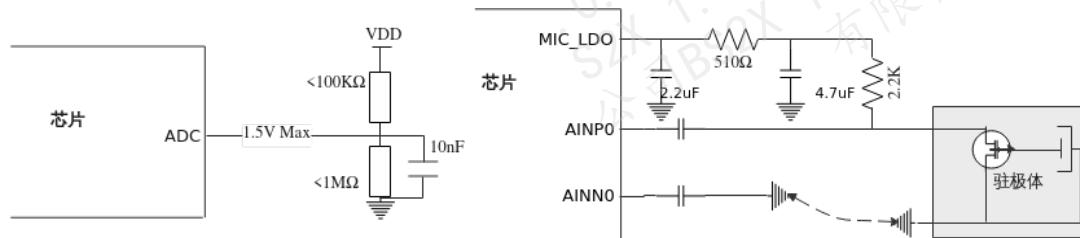
3.7.12 AFE 接口

芯片集成 AUXADC，主要用于传感器、电压、温度检测场景，可用于模拟麦克风，驻极体麦克风等场景，支持比较器输入：

- ADC 可检测最大电压为 1.5V，可用作比较器管脚输入。
- ADC 接口和 GPIO 复用，须遵循 GPIO 口最大电压限定。
- 内置 BUFFER，可选旁路，使用时可缓解单端外部源阻抗要求；BUFFER 旁路场景下建议预留对地 10nF 电容。
- 端口输入上拉电阻通常要求 $<100k\Omega$ ，低速率转换，对转换速率有更高要求的时候，需要降低此电阻阻值。
- 端口输入下拉电阻通常要求 $<1M\Omega$ （全场景，特别注意温敏电阻高低温下阻抗接近此数值），主要原因是 ADC 和 GPIO 复用，GPIO 口本身存在一定的寄生阻抗，导致 ADC 输入阻抗并非无穷大，通常在 MΩ级别，当外部下拉电阻阻抗接近此量级时，会影响分压精度。
- 支持驻极体、模拟硅麦，接口电路根据器件的需求设计。需要注意隔直电容的选型，隔直电容影响频响特性。

- MIC_LDO 可用于外部麦克风的供电，电压可配，电压覆盖范围请参见用户指南。
- MIC_LDO 给模拟器件供电，板级建议预留 RC 电路，以抑制 LDO 噪声。
- 模拟麦克风输入固定使用 ADC4~7 接口，40~43 号管脚。

图3-10 ADC 电路设计

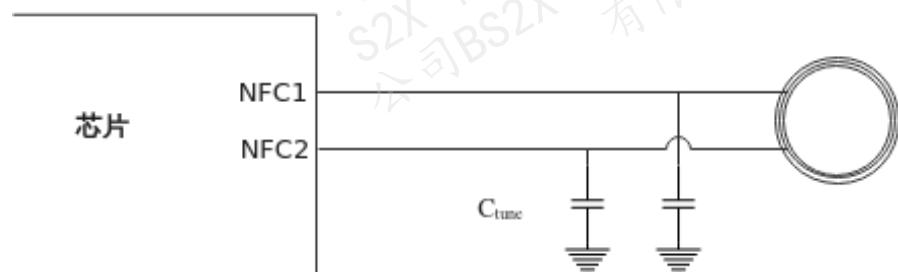


3.7.13 NFC 接口

NFC 接口设计：

- NFC1/2 接口通常预留 2 个对地调谐电容，用于调整天线的谐振点于 13.56MHz，以提高接收性能。通常为 $C_{TUNE_ALL}=1/(2\pi f)^2 \times L_{ANT}$ ，其中 C_{TUNE_ALL} 是板级寄生、芯片寄生、调谐电容的综合； L_{ANT} 为天线线圈感值。调谐电容可预留约 130pF。
- 最大场强限定 7.5A/m，超过此场强，需要注意增加防护电路。
- NFC 仅用于 TAG 模式

图3-11 NFC 天线电路



3.8 NC 管脚处理

未使用的管脚通常可以悬空处理，约束如下：

- 所有未使用的 GPIO 口可悬空，但是为了功耗最优，避免电荷累积干扰，所有管脚必须根据实际情况设置上下拉状态，不可输入高阻。
- 调试管脚：SWD 管脚必须预留外置 100k 到地电阻，UARTLO 管脚预留测试点即可。
- 时钟管脚，如 32k 晶体管脚可悬空。
- USB 管脚可悬空。
- MIC_LDO 供电用于内部 EFUSE，如确定不使用可悬空。

3.9 电磁兼容设计

- ESD 保护：芯片自身 ESD 能力偏弱，不可直接暴露于产品级 ESD 场景。根据产品 ESD 设计目标，需要采取合适的措施保护芯片，包括但不限于结构优化、电路优化、布局优化等措施。
- 浪涌保护：芯片电源输入电压不能大于 3.9V，其他电源或者 IO 管脚都有各自的限定，使用中需要注意浪涌保护。
- 电磁辐射：芯片自身有 BUCK、RF 等模块。在相应的工作状态下，可能存在辐射，需要根据实际认证、测试结果，选择合适的保护措施，包括但不限于屏蔽、布局优化、电路优化、配置优化等。
- 抗干扰：芯片为射频器件，对干扰较为敏感，需要根据实际性能测试以选择合适的改善措施，包括但不限于屏蔽、布局优化、电路优化、配置优化等。

4 PCB 设计

4.1 PCB 叠层

4.2 器件布局

4.3 PCB 走线

4.4 地处理

4.5 PCB 仿真

4.1 PCB 叠层

支持 2 层通孔板设计。

建议 PCB 厚度 \leq 1.6mm。

布局面积小的情况下建议使用 2 层及以上单板。

4.2 器件布局

器件布局：

- 支持单、双面布局。
- 多层单板时，DEC2，DEC3 电源电容建议和芯片同层布局。
- 电源滤波电容、BUCK 电感、晶体、射频匹配等靠近芯片放置。
- 双面布局，滤波电容等接地管脚朝向 EPAD 方向，以降低回路寄生。

4.3 PCB 走线

4.3.1 电源网络

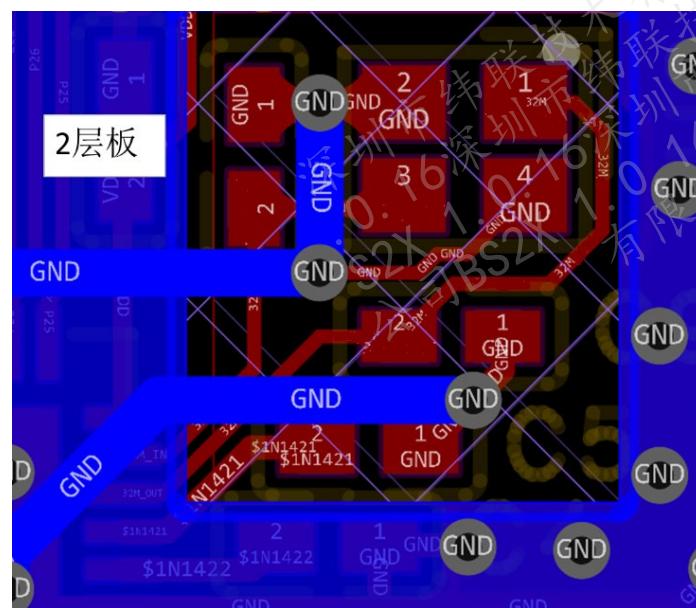
电源网络涉及 BUCK，输出 LDO，电源输入管脚等：

- VDD1、VDD2 走线宽度需要保证 300mA+通流能力，通常为 12mil 以上。
- DCC 管脚到电感之间，走线宽度>8mil，走线寄生电感<2nH。电感输出到 10μF 电容之间，走线宽度>8mil。
- 从 10uF 电容到 DEC4 输入端走线宽度>8mil。
- 如 DEC1、DEC2、DEC3 等，走线宽度>8mil，从管脚到电容处的感性寄生<2nH。

4.3.2 时钟

- 32M 晶体、32K 晶体，表层走线时候，走线两边包地。晶体的 XIN，XOUT 走线可邻近走线，以组的形式包地。
- 晶体下面不走电源线、时钟线、其他容易产生干扰的数字信号等。
- 晶体应该远离发热源，无法规避热源，需要挖空，单点接地以确保晶体本体温度的缓慢变化。
- IO 口输出数字时钟时，需要注意用地做隔离，远离其他易受干扰信号。
- 2 层板设计：注意时钟电源电容地和 32M XO 地一起单独分割，表层不与主地相连，晶体及其负载电容，以及 DEC3 电源电容区域上下层挖空。挖空区域临近芯片 XO 管脚处，如图 4-1 所示
- 多层板设计：晶体与其负载电容等表层、临层挖空。
- 尽量减小 32M 晶体信号线上的板级寄生电容，一般要求单端<2pF。

图4-1 晶体地处理



4.3.3 USB 走线

- USB 差分线要用 GND 作隔离；禁放电源参考层。
- 走线顺序必须是管脚至测试点至 USB 连接器，避免出现 stub；若不可避免 stub，控制 200mil 以内。
- 拐角 45°或 arc 走线。
- 传输线控制 10inch 以内。
- 必须有连续的 GND 作为信号返回路径。
- 远离电源管理的 MOS 开关和 Phase 信号（频率相近）；远离核心逻辑（高速电流会影响）。
- EMI：走线距离参考平面边缘 20 倍走线与参考平面间距。

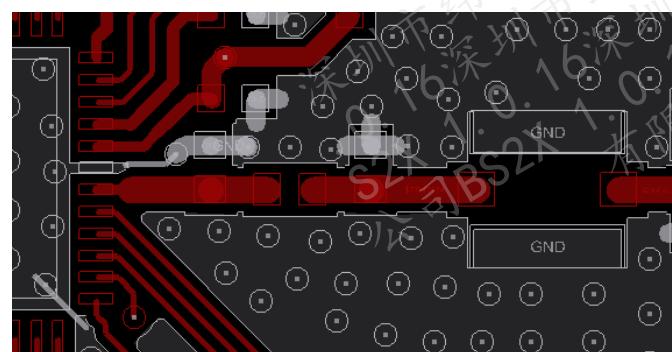
4.3.4 RF 走线

约束：

- RF 控制阻抗 50Ω ，控制 $S11 < -20\text{dB}$ 。
- RF 走线需要与 XO 信号、电源、其他数字翻转信号保证至少 1 排地孔隔离。
- 注意 RF 与 LTE 等邻近波段的隔离度，尽量避免近距离耦合，如果必要需要做仿真评估。

- 尽量避免其他走线割断 RF 参考地。

图4-2 RF 走线



4.4 地处理

- 接地管脚，一般从管脚处，表层与 EPAD 相连，芯片角落 EPAD 建议与外部地相连。如图 4-3 所示。
- EPAD 保证 20 个地孔以上连接到主地。
- RF 走线附近的地孔应保证足够的数量和密度，地孔间距建议 $\leq 1\text{mm}$ 。
- 保证输入电容，BUCK 电容，其他输出 LDO 电容接地管脚到 EPAD 的最短回路。如双面布局，电容地脚朝向 EPAD 位置。
- DEC3 (33) 电源电容地和 32M XO 负载电容地一起单独分割，表层不与地相连；2 层板情况下，就近地孔从背面最短路径回流到 EPAD；多层单板下，通过临层最短路径回流到 EPAD；如图 4-4 所示。
- DEC2 (32) 管脚电源电容以最近路径连接到 GND (31) 管脚处，一般线宽 $>8\text{mil}$ ，如图 4-5 所示。4 层板及以上，DEC2 电容地建议表层与 RF 地分割，通过临层最短路径回流到 EPAD。

图4-3 EPAD 地处理

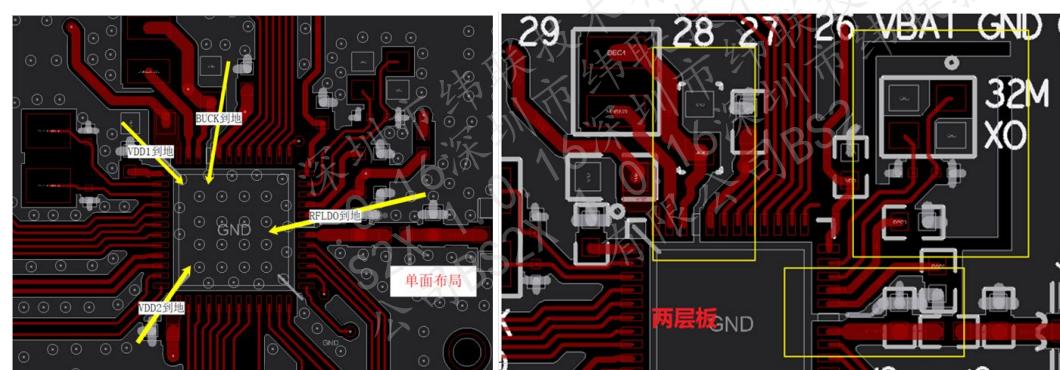


图4-4 DEC3 管脚电容接地处理

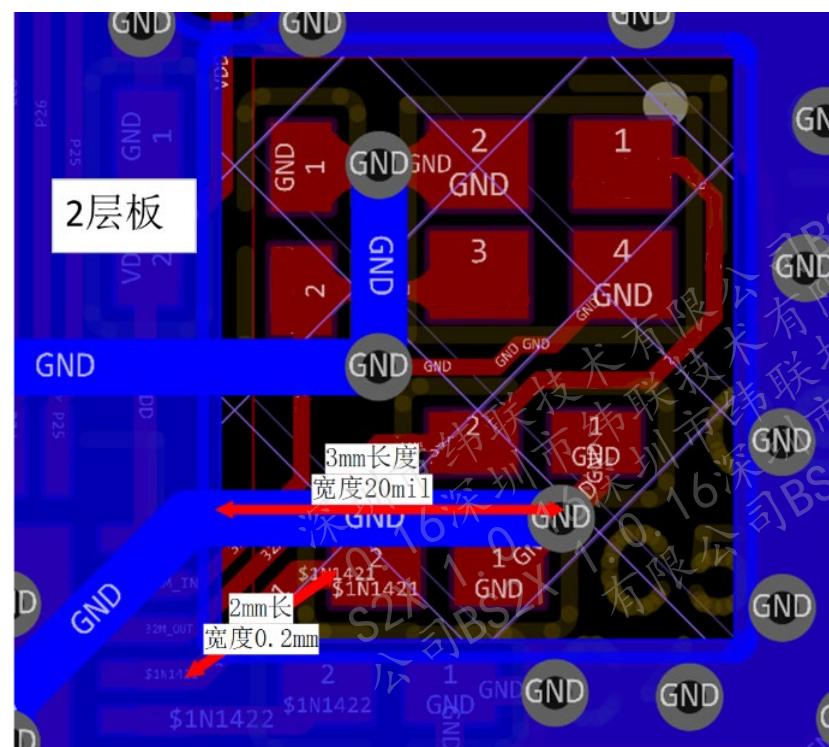


图4-5 DEC2 电容地处理



4.5 PCB 仿真

表4-1 RF 走线约束

pin name	序号	Z_0	S11	S21/S12
ANT	30	50Ω	-20dB	-0.5dB

表4-2 USB 走线约束

管脚名称	序号	差分阻抗	走线阻抗
P0.07/USB_DM	9	$90\Omega \pm 15\%$	$30\Omega \pm 30\%$
P0.08/USB_DP	10	$90\Omega \pm 15\%$	$30\Omega \pm 30\%$

5

热设计参考

5.1 芯片结温要求

5.2 封装热阻

5.1 芯片结温要求

须知

- 芯片的极限结温的最大值为 125°C，任何条件下芯片的结温都不能大于该数值。
- 芯片的长期工作结温的最大值为 105°C，正常工作条件下芯片的结温应该小于该数值。
- 在短期工作条件下（根据 GR-63-CORE 标准，短期工作条件定义为每次持续时间不超过 96 小时，并且每年累计时间不超过 15 天），芯片可以容忍超过 105°C（长期工作结温的最大值）而小于 125°C（极限结温的最大值）的高温，但长时间工作在超过 105°C（长期工作结温的最大值）结温下会导致芯片寿命缩减。

表5-1 芯片结温要求

封装形式	最大功耗 (W)	正常工作 环境温度 下限 (°C)	长期工作 最大结温 (°C)	短期工作 上限结温 (°C)	破坏性最 大结温 (°C)	生命周期 定义
QFN	TBD	-40	105	125	125	5 年

5.2 封装热阻

表5-2 芯片的封装热阻

参数	符号	数值	单位
Junction-to-ambient thermal resistance	θ_{JA}	-	°C/W
Junction-to-case thermal resistance	θ_{JC}	17.9 (QFN 6×6)	°C/W
Junction-to-top center of case thermal resistance	Ψ_{JT}	-	°C/W
Junction-to-board thermal resistance	θ_{JB}	13.6 (QFN 6×6)	°C/W

说明

热阻基于 JEDEC JESD51-8 标准给出，应用时的系统设计及环境可能与 JEDEC JESD51-8 标准不同，需要根据应用条件作出分析。热阻参数仿真单板设计参考 JESD51-7。

6 焊接工艺参考

6.1 焊球材料

6.2 包装与存储

6.3 装配条件

6.1 焊球材料

QFN 焊球材料: NA

6.2 包装与存储

元器件包装及存储如下:

- 表贴元器件包装类型: 卷带。
- 插装元器件包装类型: Ceramic White 9211。
- 可存储期限 (针对保证正常可焊性的存储期限): 1000Hrs@150°C/12months@0°C。
- 包装材料: 防静电材料。

6.3 装配条件

装配条件如表 6-1 所示。

如需详细的工艺操作说明, 请联系本公司。

表6-1 芯片装配条件

Condition	Process
PCB assembly	-
Maximum PCB assembly temperature	-
PCB clean process	-
PCB rework	-
Maximum placement force	-
Bakeout	125°C@40hours
Module reuse	-
Maximum PCB assembly refows	3

7

关键器件选型

最小系统需要功率电感、晶体、输出电容等关键器件，选型参考如下：

功率电感选型参考如表 7-1 所示。

表7-1 电感选型

电感量	偏差范围	直流电阻	交流阻抗	饱和电流	温升电流
2.2μH	±20%	<0.3Ω	<0.3Ω @0.3MHz <0.4Ω @0.6MHz <0.85Ω @1.6MHz	>1.2A	>1.6A

32M 晶体选型参考如表 7-2、表 7-3 所示。

表7-2 工作范围

Item	Symbol	Rating value		Unit
-	-	Typ.	MAX.	-
Operating temperature range	T_use	-30	85	°C
Level of drive	DL	1	100	uW

表7-3 静态参数

Item	Symbol	Value	Unit	Conditions
Nominal Frequency	f_no m	32	MHz	Fundamental
Frequency tolerance	f_tol	± 10	$\times 10^{-6}$	Ta=+25±3°C DL: 100μW Not include aging
Motional resistance	R1	60 Max.	circuit IEC 60444-2 Ta = Operating temperature range DL: 100uW	-
Shunt capacitance	C0	3.0 Max.	pF	π circuit and N.A.
Motional inductance	L	10~19.63 Max	mH	-
Load Capacitance	CL	8、10、12	pF	-
Frequency temperature characteristics	f_tem	± 10	ppm	Ta = Operating temperature range (Ref.at+25 °C) DL: 100μW
Isolation resistance	IR	500 Min.	MΩ	DC 100V±15, 60seconds Between terminal #1and#3
Frequency Aging	f_age	± 3	$\times 10^{-6}/year$	Ta=+25°C±3°C First year

须知

1. Motional inductance 影响起振时间，一般感值越大，则起振时间越长。

32k 晶体选型参考如表 9-4 所示。

表7-4 32.768kHz 晶体选型表格

NOMINAL FREQUENCY	32.768kHz
-------------------	-----------

OVERTONE ORDER	Fundamental
LOADING CAPACITANCE(CL)	7.0pF
FREQUENCY TOLERANCE	$\pm 20 \times 10^{-6}$ max. (at $+25 \pm 3^\circ\text{C}$)
DRIVE LEVEL	0.1μW ±20% (1μW max.)
SERIES RESISTANCE	80kΩ max. (at Series)
TURNOVER TEMPERATURE	$25 \pm 5^\circ\text{C}$
PARABOLIC COEFFICIENT	$-0.04 \times 10^{-6}/^\circ\text{C}^2$ max.
SHUNT CAPACITANCE	1.3pF typ.
OPERATING TEMPERATURE RANGE	-40°C~+85°C
STORAGE TEMPERATURE RANGE	-55°C~+105°C
INSULATION RESISTANCE	500MΩ min (at DC100±15V)
AGING	$\pm 3 \times 10^{-6}/\text{first year}$

8 接口时序

- 8.1 UART 接口
- 8.2 I2S 接口
- 8.3 I2C 接口
- 8.4 SPI 接口
- 8.5 QDEC 接口
- 8.6 KEY_SCAN 接口
- 8.7 PWM 接口
- 8.8 PDM 接口
- 8.9 USB 接口

8.1 UART 接口

UART 实现 BT 子系统和 HOST 的通信，支持流控功能（RXD、TXD、CTS、RTS），其中 RXD 和 TXD 用于数据传送，RTS 和 CTS 用于流控。

UART 接口支持多种波特率，波特率大小和传送速率之间成正比关系，支持的波特率范围：9600bit/s~4Mbit/s（波特率大于 2Mbit/s 时，CPU 主频需要至少配置为 64MHz），其速率可以通过寄存器进行配置。

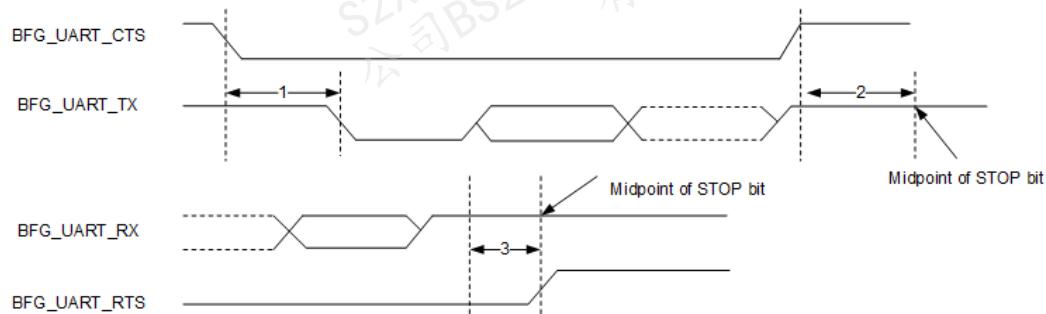
UART 支持的波特率和误码率如表 8-1 所示。

表8-1 UART 接口波特率和误码率

理想速率	实际速率	误差 (%)
4000000	4000000	0.00
3000000	3000000	0.00
2000000	2000000	0.00
1500000	1500000	0.00
1444444	1454544	0.70
921600	923077	0.16
460800	461538	0.16
230400	230796	0.17
115200	115385	0.16
57600	57692	0.16
38400	38400	0.00
28800	28846	0.16
19200	19220	0.00
14400	14423	0.16
9600	9600	0.00

UART 接口的的时序如图 8-1 所示。

图8-1 UART 接口时序



说明

图中虚线的信号上升沿按照 $0.7 \times VDD$ 、下降沿按照 $0.3 \times VDD$ 选取， VDD normal 电压为 1.8V/3.3V。

其中：

- 标注 1 为 CTS 信号拉低到 TXD 信号有效的最大延时。
- 标注 2 为结束位的中点到 CTS 信号拉高需要保持的最大时间。
- 标注 3 为结束位的中点到 RTS 信号拉高的最大延时。

UART 时序约束如表 8-2 所示。

表8-2 UART 时序约束

编号	特点	最小值	典型值	最大值	单位
1	CTS low to TXD valid	-	-	1.5	Bit Periods
2	CTS high before mid of stop bit	-	-	0.5	Bit Periods
3	Mid of stop bit to RTS high	-	-	0.5	Bit Periods

8.2 I2S 接口

I2S 接口支持 Master 模式和 Slave 模式。支持的接口配置选项如表 8-3 所示。

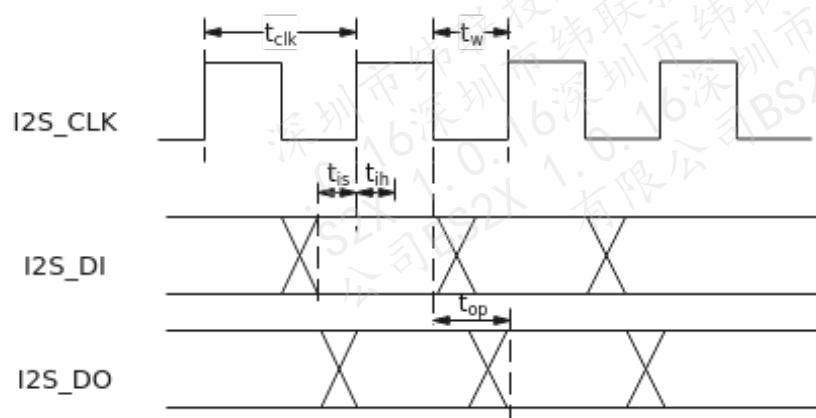
图8-2 I2S 接口配置选项

描述	最小值	典型值	最大值	单位
I2S sample rate The I2S sample rate is communicated by command	-	8 16 44.1 48	-	ksps
I2S word select freq	Equals exactly the sample rate	8 16 44.1 48	-	kHz
I2S word select	-	62.5	250	ns
cycle-to-cycle jitter				
I2S word select freq jump	-250	-	250	ppm
I2S word select drift	-	0.05	-	ppm/s
I2S word select	10 ppm accurate word selec clock (strobe) frequency measurement			

描述		最小值	典型值	最大值	单位
shape	when averaged over 2 seconds				
Audio BW 8k	External sample rate,-3dB wrt 400Hz	-	3.2	-	kHz
Audio BW 16k	External sample rate,-3dB wrt 400Hz	-	6.4	-	kHz
Audio BW 44.1k	External sample rate,-3dB wrt 400Hz	15k	-	-	kHz
Audio BW 48k	External sample rate,-3dB wrt 400Hz	15k	-	-	kHz
Sample clock ppm at release	-	-	1000	-	ppm

I2S 的时序图如图 8-2 所示。

图8-3 I2S 接口时序



说明

图中虚线的信号上升沿按照 $0.7 \times VDD$, 下降沿按照 $0.3 \times VDD$ 选取, VDD nominal 电压为 1.8/3.3V。

图 8-2 中的参数定义如下:

t_{clk} : I2S 接口时钟的一个周期时间。

t_w : I2S 接口时钟一个周期内的高电平或者低电平时间。

t_{is} : 输入信号的建立时间，即输入数据在时钟采样前需要的稳定时间。

t_{ih} : 输入的保持时间，即输入数据在时钟采样后需要的保持不变的时间。

t_{op} : 输出信号的输出传输时间。

I2S 作为 Master 的接口时序约束如表 8-4 所示。

表8-3 I2S master 时序约束

符号	参数说明	条件	最小值	最大值	单位
t_{clk}	Cycle time	-	162	-	ns
t_w	pulse width	-	$0.5 \times t_{clk} - 6.26$	$0.5 \times t_{clk} + 6.26$	
t_{is}	I2S_DI setup time	-	32	-	
t_{ih}	I2S_DI hold time	-	0	-	
t_{op}	I2S_DO propagation time	40pF load	0	42.6	
t_{op}	I2S_WS propagation time	40pF load	0	42.6	

I2S 作为 Slave 的接口时序约束如表 8-5 所示。

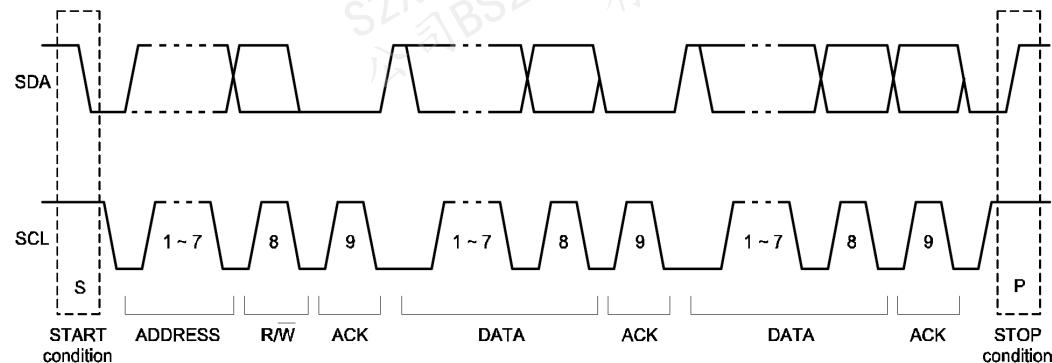
表8-4 I2S slave 时序约束

符号	参数说明	条件	最小值	最大值	单位
t_{clk}	Cycle time	-	162	-	ns
t_w	pulse width	-	$0.35 \times t_{clk}$	$0.65 \times t_{clk}$	
t_{is}	I2S_DI setup time	-	32	-	
t_{ih}	I2S_DI hold time	-	0	-	
t_{is}	I2S_WS setup time	-	32	-	
t_{ih}	I2S_WS hold time	-	0	-	
t_{op}	I2S_DO propagation time	40pF load	0	24.5	

8.3 I2C 接口

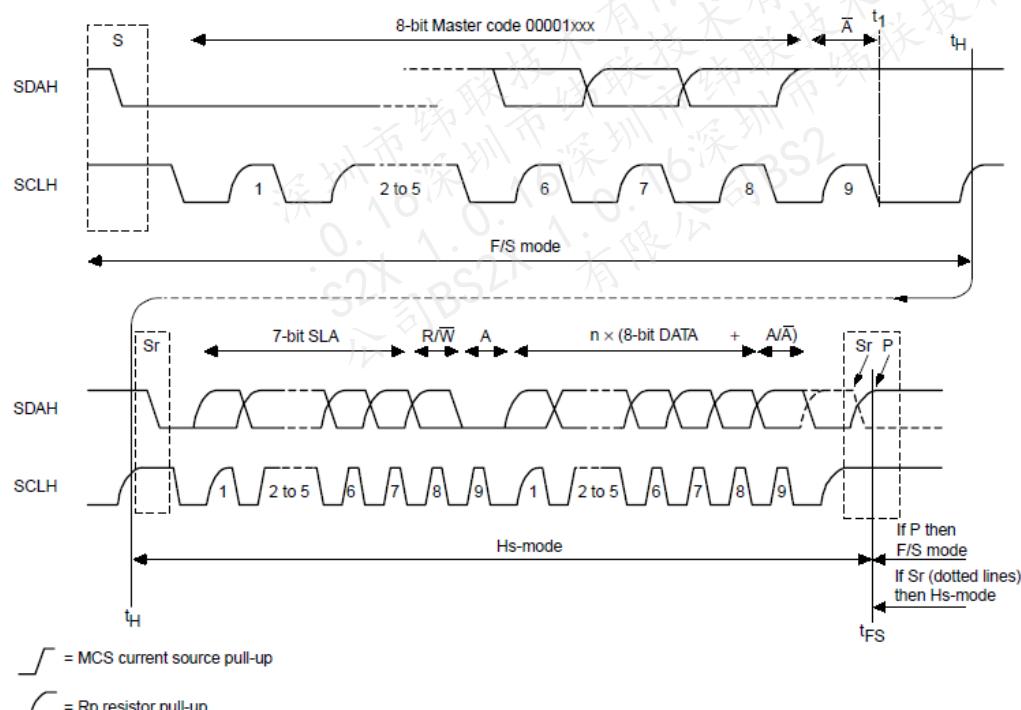
I2C 控制器实现标准 I2C 主设备功能，兼容 Philips I2C 总线协议，可完成对 I2C 总线上的从设备的数据发送和接收。

图8-4 I2C 接口数据格式 (7 位地址)



注：引用自《UM10204 I²C-bus specification and user manual》。

图8-5 完整的 Hs 模式传输



注：引用自《UM10204 I²C-bus specification and user manual》。

图8-6 混合速度总线系统的通讯速率

在...之间传输	串行总线系统的配置			
	Hs+快速+标准	Hs+快速	Hs+标准	快速+标准
Hs<->Hs	0~3.4Mbit/s	0~3.4Mbit/s	0~3.4Mbit/s	-
Hs<->快速	0~100kbit/s	0~400kbit/s	-	-
Hs<->标准	0~100kbit/s	-	0~100kbit/s	-
快速<->标准	0~100kbit/s	-	-	0~100kbit/s
快速<->快速	0~100kbit/s	0~400kbit/s	-	0~100kbit/s
标准<->标准	0~100kbit/s	-	0~100kbit/s	0~100kbit/s

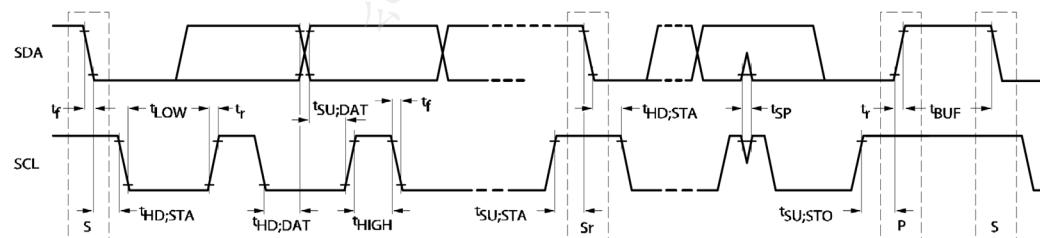
图8-7 F/S 模式 I2C 总线器件 SDA 和 SDL 总线线路特性

参数	符号	标准模式		快速模式		单位
		最小值	最大值	最小值	最大值	
SCL 时钟频率	f_{SCL}	0	100	0	400	kHz
(重复) 起始条件的保持时间。在这个周期后, 产生第一个时钟脉冲。	$t_{HD,STA}$	4.0	-	0.6	-	μs
SCL 时钟的低电平周期	t_{LOW}	4.7	-	1.3	-	μs
SCL 时钟的高电平周期	t_{HIGH}	4.0	-	0.6	-	μs
重复起始条件的建立时间	$t_{SU,STA}$	4.7	-	0.6	-	μs
数据保持时间: 兼容 CBUS 的主机(见注和 10.1.3 节) I^2C 总线器件	$t_{HD,DAT}$	5.0 $0^{(2)}$	- $3.45^{(3)}$	- $0^{(2)}$	- $0.9^{(3)}$	μs μs
数据建立时间	$t_{SU,DAT}$	250	-	100 ⁽⁴⁾	-	ns
SDA 和 SCL 信号的上升时间	t_r	-	1000	$20+0.1C_b^{(5)}$	300	ns
SDA 和 SCL 信号的下降时间	t_f	-	300	$20+0.1C_b^{(5)}$	300	ns
停止条件的建立时间	$t_{SU,STO}$	4.0	-	0.6	-	μs
停止和启动条件之间的总线空闲时间	t_{BUF}	4.7	-	1.3	-	μs
每条总线线路的电容负载	C_b	-	400	-	400	pF
每个连接的器件低电平时的噪声容限 (包括迟滞)	V_{nL}	$0.1V_{DD}$	-	$0.1V_{DD}$	-	V
每个连接的器件高电平时的噪声容限 (包括迟滞)	V_{nH}	$0.2V_{DD}$	-	$0.2V_{DD}$	-	V

1. 器件必须为 SDA 信号内部提供一个至少 300ns 的保持时间来渡过 SCL 下降沿的未定义区。
2. 如果器件不延长 SCL 信号的低电平周期 (t_{LOW}) , 才会用到 $t_{HD, DAT}$ 的最大值。

3. 快速模式 I²C 总线器件可以在标准模式 I²C 总线系统使用，但必须符合 t_{SU} ; $DAT \geq 250\text{ns}$ 的要求，如果器件不延长 SCL 信号的低电平周期，则自动成为默认的情况，必须在 SCL 释放前输出下一个数据位到 SDA 线。
 4. C_b =一条总线线路的总电容，单位：pF，如果与 Hs 模式器件混合使用，根据图 8-6 允许下降时间更快。

图8-8 I2C总线的F/S模式器件的时序定义



注：引用自《UM10204 I²C-bus specification and user manual》。

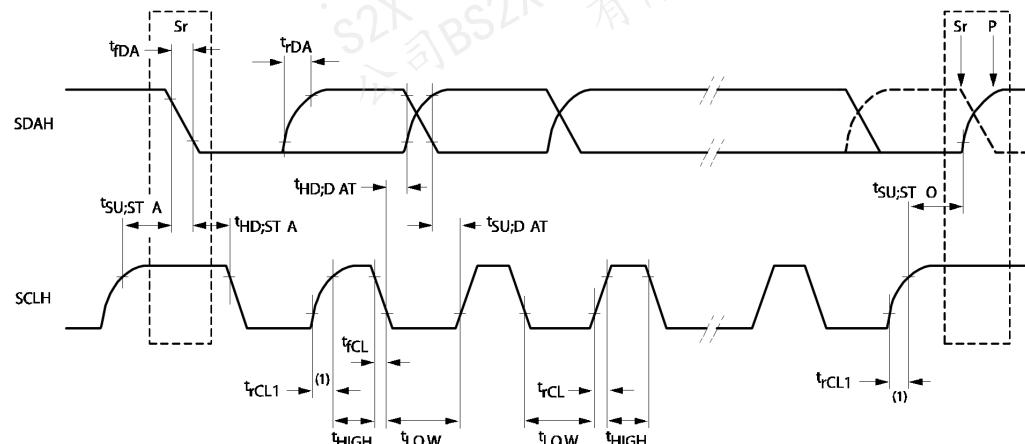
图8-9 Hs 模式 I2C 总线器件 SDAH、SCLH、SDA 和 SCL 的总线线路特性

参数	符号	C_b 最大=100pF		C_b =400pF ⁽²⁾		单位
		最小值	最大值	最小值	最大值	
SCLH 时钟频率	f_{SCLH}	0	3.4	0	1.7	MHz
(重复) 起始条件的建立时间	$t_{SU;STA}$	160	-	160	-	ns
(重复) 起始条件的保持时间	$t_{HD;STA}$	160	-	160	-	ns
SCLH 时钟的低电平周期	t_{LOW}	160	-	320	-	ns
SCLH 时钟的高电平周期	t_{HIGH}	60	-	120	-	ns
数据建立时间	$t_{SU;DAT}$	10	-	10	-	ns
数据保持时间	$t_{HD;DAT}$	$0^{(3)}$	70	$0^{(3)}$	150	ns
SCLH 信号的上升时间	t_{rCL}	10	40	20	80	ns
重复起始条件后和响应位后的 SCLH 信号上升时间	t_{rCL1}	10	80	20	160	ns
SCLH 信号的下降时间	t_{fCL}	10	40	20	80	ns
SDAH 信号的上升时间	t_{rDA}	10	80	20	160	ns
SDAH 信号的下降时间	t_{fDA}	10	80	20	160	ns
停止条件的建立时间	$t_{SU;STO}$	160	-	160	-	ns
SDAH 和 SCLH 线的电容负载	$C_b^{(2)}$	-	100	-	400	pF
SDAH+SDA 线和 SCLH+SCL 线的电容负载	C_b	-	400	-	400	pF
每个连接器件的低电平噪声容限(包括迟滞)	V_{nL}	$0.1V_{DD}$	-	$0.1V_{DD}$	-	V

说明

- 对于总线负载 C_b 在 $100\text{pF} \sim 400\text{pF}$, 时序参数必须是线性增加的。
- 器件内部提供一个数据保持时间来渡过 $SCLH$ 信号下降沿 V_{IH} 和 V_{IL} 之间的未定义部分。一个带阈值的输入电路使 $SCLH$ 信号的下降沿足够低以减少保持时间。

图8-10 Hs 模式器件在 I²C 总线的时序定义

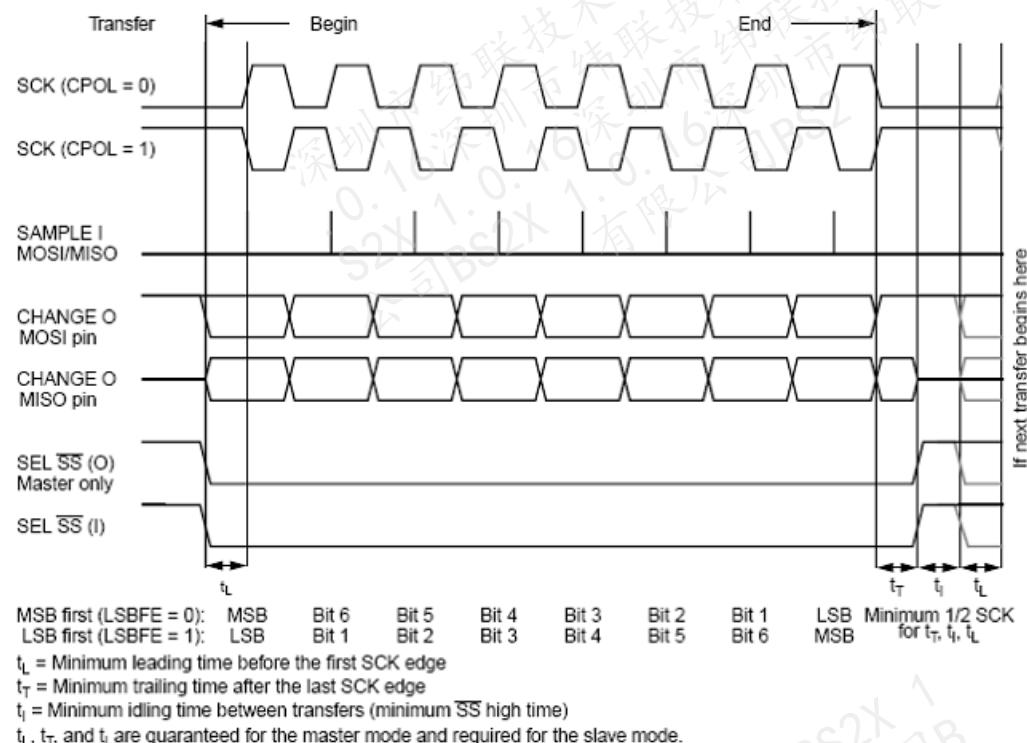


注：引用自《UM10204 I²C-bus specification and user manual》。

8.4 SPI 接口

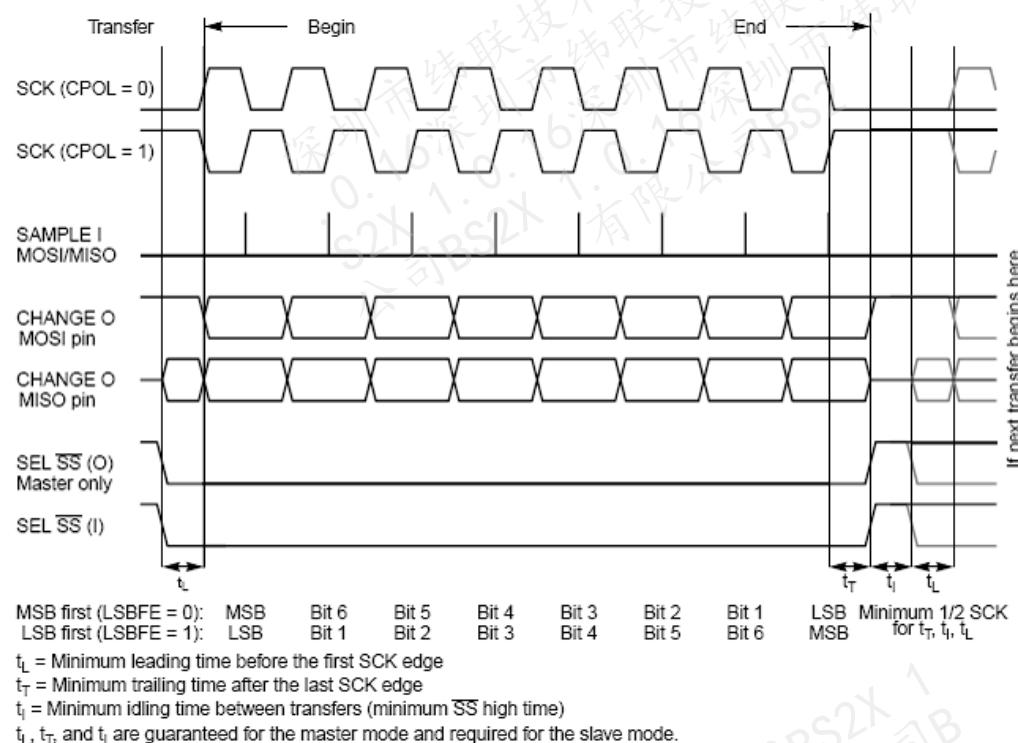
SPI 接口是同步串行通信接口，连接一个从设备一共是四根信号线，包括时钟信号、从设备使能信号、输入数据线、输出数据线。

图8-11 SPI 总线工作方式 (CPHA=0, 在时钟的第一个变化沿开始采样)



注：引用自《SPI Block Guide V03.06》。

图8-12 SPI 总线工作方式 (CPHA=1, 在时钟的第二个变化沿开始采样)

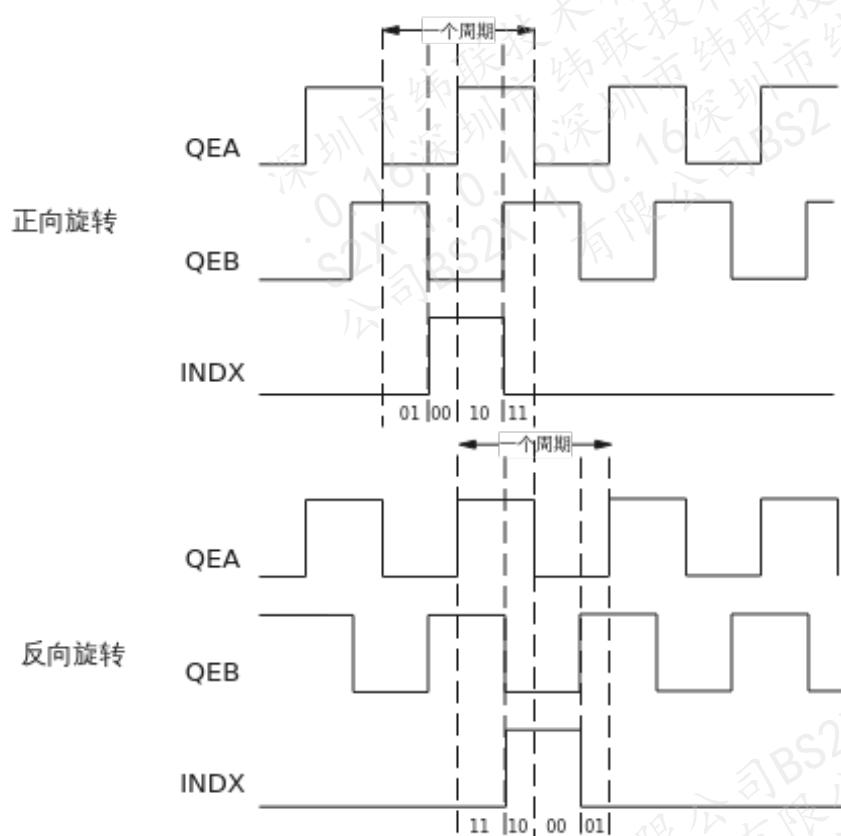


注：引用自《SPI Block Guide V03.06》。

8.5 QDEC 接口

正交解码器 (QDEC) 提供对正交编码的传感器信号的缓冲解码。适用于机械和光学传感器。

图8-13 正交编码器接口信号示意图

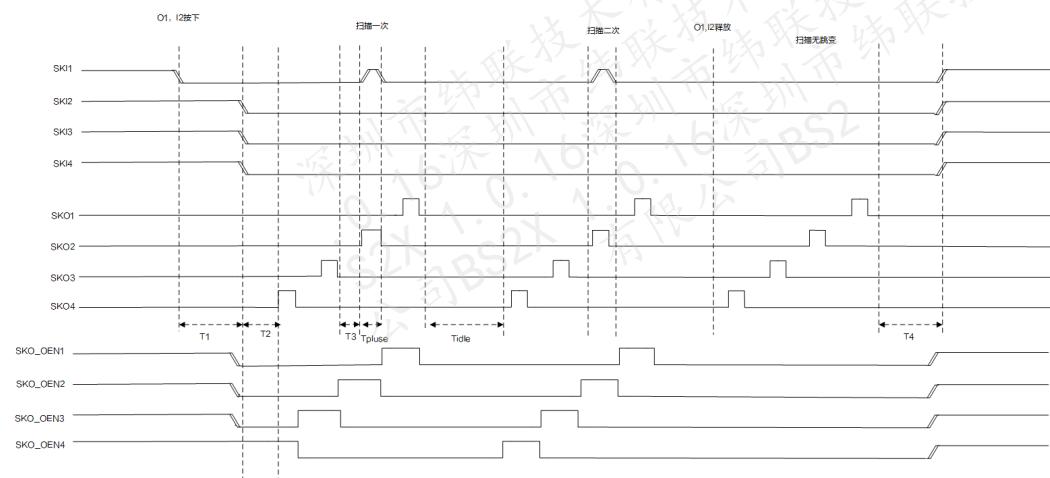


8.6 KEY_SCAN 接口

键盘扫描 (KEY_SCAN) 提供键盘矩阵扫描功能的硬件实现，适用于各类矩阵键盘。

接口时序如图 8-13 所示。

图8-14 接口时序图



8.7 PWM 接口

PWM 接口全称为脉冲宽度调制接口，支持输出范围为 488Hz ~ 16MHz 的 PWM 波形，PWM 共有 12 路，可以输出指定占空比的波形，时序图如图 8-14 所示。

图8-15 接口时序图



8.8 PDM 接口

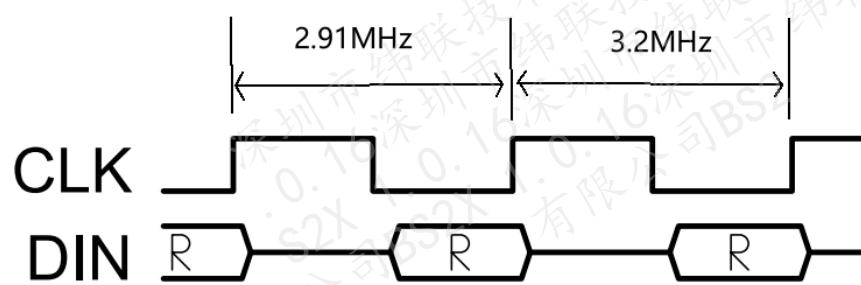
PDM 接口全称为脉冲密度调制接口，支持外接 DMIC 进行音频采样，包含一个输出到 DMIC 的采样时钟 CLK 端口，一个接收 DMIC 采样信号的 DIN 端口。输出采样时钟支持 3.072MHz/1.536MHz/768kHz，支持左右声道切换，左右声道同时采样、单声道采样。

说明

采样时钟为非均匀时钟，以 3.072MHz 模式为例，输出时钟频率为 2.91MHz 和 3.2MHz 交替出现，在较长时间平均频率为 3.072MHz。

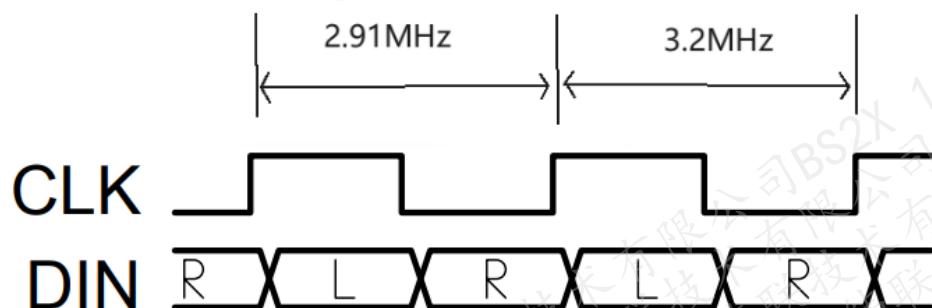
单声道采样如图 8-15 所示。

图8-16 单声道采样



双声道采样如图 8-16 所示。

图8-17 双声道采样

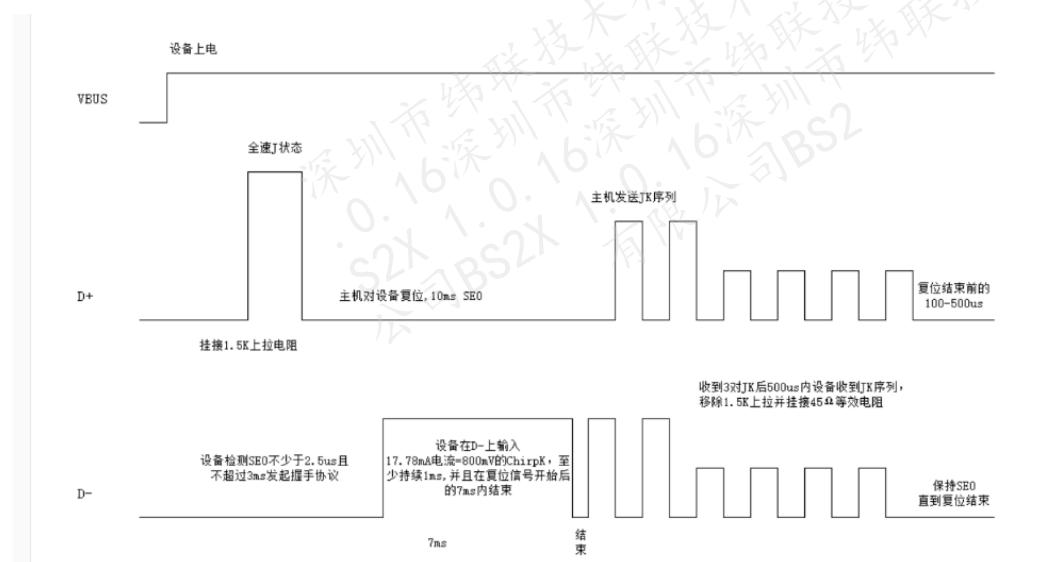


注：采样时钟为非均匀时钟，以 3.072MHz 模式为例，输出时钟频率为 2.91MHz 和 3.2MHz 交替出现，在较长时间平均频率为 3.072MHz。

8.9 USB 接口

USB 接口设备提供一组差分对双向端口信号 DP、DM 进行串口通信，芯片的 USB 接口支持 USB2.0 协议的 FS (full-speed)、HS (high-speed) 两种模式，串口速率分别到达 12Mbit/s 和 480Mbit/s，高速模式下 DP/DM 交互电压为 400mV，而全速模式下 DP/DM 端口的交互电压为 800mV；串口典型波形如下图 8-17 所示。

图8-18 串口典型波形图



A

缩略语

A

ADC	Analog-to-Digital Converter	模数转换器
------------	-----------------------------	-------

B

BLE	Bluetooth Low Energy	低功耗蓝牙
------------	----------------------	-------

C

CPU	Central Processing Unit	中央处理单元
------------	-------------------------	--------

G

GPIO	General-purpose input/output	通用输入/输出口
-------------	------------------------------	----------

P

PMU	Power Management Unit	电源管理单元
PWM	Pulse-width Modulation	脉冲宽度调制

R

RAM	Random Access Memory	随机存取存储器
RF	Radio Frequency	射频
RX	Receiver	接收器

S**SLE** SparkLink Low Energy 星闪低功耗**T****TX** Transmitter 发送器**U****UART** Universal Asynchronous Receiver & Transmitter 通用异步收发器