

3066M/3065P 系列

# 数据手册

文档版本 00B02

发布日期 2024-10-11

# 前 言

## 概述

本文档提供 3066M/3065P 系列 MCU 的功能概述、引脚定义、电气特性、封装和订购信息等。

## 产品版本

与本文档相对应的产品版本如下。

产品名称	产品版本
3066M/3065P 系列	-

## 读者对象






本文档主要适用于以下工程师：

- 技术支持工程师
- 软件/硬件开发工程师

## 符号约定

在本文中可能出现下列标志，它们所代表的含义如下。

符号	说明
----	----

符号	说明
 危险	表示如不避免则将会导致死亡或严重伤害的具有高等级风险的危害。
 警告	表示如不避免则可能导致死亡或严重伤害的具有中等级风险的危害。
 注意	表示如不避免则可能导致轻微或中度伤害的具有低等级风险的危害。
 须知	用于传递设备或环境安全警示信息。如不避免则可能会导致设备损坏、数据丢失、设备性能降低或其他不可预知的结果。 “须知”不涉及人身伤害。
 说明	对正文中重点信息的补充说明。 “说明”不是安全警示信息，不涉及人身、设备及环境伤害信息。

修订记录

修订日期	版本	修订说明
2024-05-22	00B01	第 1 次临时版本发布。
2024-10-11	00B02	第 2 次临时版本发布。 修改 <a href="#">4.13 内置 32K 振荡器 (LOSC)</a> 章节表 4-19 内容。

目 录

前 言 ..... i

1 说明 ..... 1

2 功能概述 ..... 2

2.1 系统 ..... 4

2.2 处理器 ..... 5

2.3 嵌入式闪存 (eFLASH) ..... 6

2.4 电源控制 (PMC) ..... 6

2.4.1 供电方案 ..... 6

2.4.2 电源监控 ..... 7

2.4.3 低功耗模式 ..... 8

2.5 时钟复位生成 (CRG) ..... 8

2.6 时钟失效检测 (CFD) ..... 10

2.7 时钟监测模块 (CMM) ..... 11

2.8 I/O 复用控制 (IOCMG) ..... 11

2.9 通用 I/O (GPIO) ..... 12

2.10 系统配置控制器 (SYSCTRL) ..... 12

2.11 直接存储器访问控制器 (DMA) ..... 12

2.12 循环冗余校验计算单元 (CRC) ..... 13

2.13 捕获模块 (CAPM) ..... 13

2.14 正交编码器解码模块 (QDM) ..... 14

2.15 高级 PWM 定时器 (APT) ..... 15

2.16 通用 PWM 定时器 (GPT) ..... 16

2.17 基本定时器 (TIMER) ..... 16

2.18 看门狗 (WDG) ..... 16

2.19 集成电路接口 (I2C) ..... 17

2.20 通用异步收发传输器 (UART) ..... 18

2.21 同步串行外设接口 (SPI) ..... 19

2.22 CAN 控制器 ..... 19

2.23 模数转换器 (ADC) ..... 20

2.24 可编程增益放大器 (PGA) ..... 21

2.25 数模转换器 (DAC) ..... 21

2.26 模拟比较器 (ACMP) ..... 21

**3 引脚排列、引脚描述 pinout.....22**

**4 电气特性.....108**

4.1 绝对最大额定值..... 108

4.2 工作环境参数 ..... 109

4.3 供电框图..... 109

4.4 芯片功耗.....110

4.5 电源上下电斜率..... 111

4.6 电磁兼容 (EMC) 特性.....112

4.7 电气敏感特性 .....112

4.8 IO 电气特性.....113

4.9 RESETN 电气特性..... 120

4.10 闪存 (Flash memory) ..... 121

4.11 电源管理单元 (PMU) ..... 122

4.12 内置参考电压 (VREF) ..... 123

4.13 内置 32K 振荡器 (LOSC) ..... 123

4.14 内置 25M 振荡器 (HOSC) ..... 124

4.15 锁相环 (PLL) ..... 125

4.16 模数转换器 (ADC) ..... 126

4.17 数模转换器 (DAC) ..... 128

4.18 可编程增益放大器 (PGA) ..... 129

4.19 模拟比较器 (ACMP) ..... 131

4.20 温度传感器 (TSensor) ..... 132

4.21 集成电路 (I2C) 接口 ..... 133

4.22 通用异步收发传输器 (UART) ..... 134

4.23 同步串行外设接口 (SPI) ..... 135

4.23.1 Motorola SPI Master 模式时序信息 ..... 135

4.23.2 Motorola SPI Slave 模式时序信息 ..... 136

4.23.3 TI 同步串行接口 Master 模式时序信息 ..... 138

4.23.4 TI 同步串行接口 Slave 模式时序信息 ..... 140

4.23.5 Microwire 接口 Master 模式时序信息..... 141

4.23.6 Microwire 接口 Slave 模式时序信息..... 142

**5 封装信息.....144**

5.1 封装信息..... 144

5.1.1 LQFP64 封装视图和封装参数 ..... 144

5.1.2 LQFP80 封装视图和封装参数 ..... 146

5.1.3 物理参数..... 148

5.2 封装热阻..... 149

**6 订购信息.....150**

**A 缩略语.....151**

# 插图目录

图 2-2 系统功能框图 ..... 4

图 2-3 MCU 供电示意图..... 7

图 2-4 低功耗模式切换示意图..... 8

图 3-1 LQFP64 引脚排列 ..... 22

图 3-2 LQFP80 引脚排列 ..... 23

图 4-1 供电框图 .....110

图 4-2 ADC 特性图..... 128

图 4-3 ADC 输入模型..... 128

图 4-4 PGA 结构框图..... 131

图 4-5 I2C 标准协议时序图 ..... 133

图 4-6 Motorola SPI Master 模式时序图..... 136

图 4-7 Motorola SPI Slave 模式时序图（Clock Phase = 0） ..... 138

图 4-8 Motorola SPI Slave 模式时序图（Clock Phase = 1） ..... 138

图 4-9 TI 同步串行接口 Master 模式时序图 ..... 139

图 4-10 TI 同步串行接口 Slave 模式时序图 ..... 141

图 4-11 Microwire 接口 Master 模式时序图 ..... 142

图 4-12 Microwire 接口 Slave 模式时序图 ..... 143

图 5-1 LQFP64 封装外形图 ..... 145

图 5-2 LQFP80 封装外形图 ..... 147

图 6-1 MCU mark 命名规则 ..... 150

# 表格目录

表 2-1 3066M/3065P 系列化特性差异表 ..... 2

表 3-1 引脚描述 ..... 23

表 3-2 复用关系 ..... 84

表 4-1 极限工作条件参数 <sup>a</sup> ..... 108

表 4-2 推荐工作条件 ..... 109

表 4-3 工作电流 <sup>a</sup> ..... 110

表 4-4 sleep 模式工作电流 ..... 111

表 4-5 deepsleep 模式工作电流 ..... 111

表 4-6 电源上下电斜率 ..... 111

表 4-7 EMS 特性 ..... 112

表 4-8 ESD 极限参数 ..... 113

表 4-9 电气敏感度 ..... 113

表 4-10 I/O 静态特性 <sup>a</sup> ..... 113

表 4-11 输出电压特性 <sup>a</sup> ..... 115

表 4-12 输出电流特性 <sup>a</sup> ..... 115

表 4-13 I/O 交流特性 <sup>a</sup> ..... 118

表 4-14 RESETN 引脚特性 <sup>a</sup> ..... 120

表 4-15 闪存特性 ..... 121

表 4-16 闪存耐用性与数据保持特性 ..... 121

表 4-17 PMU 特性 ..... 122



表 4-18 内置 VREF 的电气特性 <sup>a</sup> ..... 123

表 4-19 内置 32K 振荡器电气特性 ..... 124

表 4-20 内置 25M 振荡器电气特性 ..... 124

表 4-21 PLL 电气特性 <sup>abc</sup> ..... 125

表 4-22 ADC 电气特性 1<sup>a</sup> ..... 126

表 4-23 ADC 电气特性 2<sup>a</sup> ..... 126

表 4-24 ADC 电气特性 3<sup>ab</sup> ..... 127

表 4-25 DAC 电气特性 <sup>a</sup> ..... 129

表 4-26 PGA 电气特性 <sup>abc</sup> ..... 129

表 4-27 ACMP 电气特性 <sup>a</sup> ..... 131

表 4-28 TSensor 电气特性 <sup>a</sup> ..... 132

表 4-29 标准模式 I2C 接口时序参数表 ..... 133

表 4-30 快速模式 I2C 接口时序参数表 ..... 134

表 4-31 Motorola SPI Master 模式时序要求 (TBD) ..... 135

表 4-32 Motorola SPI Master 模式波形特征 (TBD) ..... 135

表 4-33 Motorola SPI Slave 模式时序要求 (TBD) ..... 136

表 4-34 Motorola SPI Slave 模式波形特征 (Clock Phase = 0) (TBD) ..... 137

表 4-35 Motorola SPI Slave 模式波形特征 (Clock Phase = 1) (TBD) ..... 137

表 4-36 TI 同步串行接口 Master 模式时序要求 (TBD) ..... 138

表 4-37 TI 同步串行接口 Master 模式波形特征 (TBD) ..... 139

表 4-38 TI 同步串行接口 Slave 模式时序要求 (TBD) ..... 140

表 4-39 TI 同步串行接口 Slave 模式波形特征 (TBD) ..... 140

表 4-40 Microwire 接口 Master 模式时序要求 (TBD) ..... 141

表 4-41 Microwire 接口 Master 模式波形特征 (TBD) ..... 141

表 4-42 Microwire 接口 Slave 模式时序要求 (TBD) ..... 142

表 4-43 Microwire 接口 Slave 模式波形特征 (TBD) ..... 142

表 5-1 LQFP64 封装参数表 ..... 145

表 5-2 LQFP80 封装参数表 ..... 147

表 5-3 3066M/3065P 系列封装参数..... 148

表 5-4 封装热阻 ..... 149

表 A-1 缩略语..... 151

# 1 说明

本文档提供有关 3066M/3065P 系列 MCU 的功能概述、引脚定义、电气特性、封装和订购信息等。有关寄存器信息和更详细描述请参见《3066M/3065P 系列技术参考指南》。

# 2 功能概述

3066M/3065P 系列 MCU 产品基于高性能 RISC-V CPU 核，工作频率最高到 200MHz，集成了 FPU (Floating Point Unit) 浮点处理单元，支持浮点乘法、除法和开方等复杂数学运算指令，支持 64KB 的 SRAM (Static Random Access Memory) 和 512KB 的 Flash 存储单元。该系列 MCU 集成最多 9 个 APT (Advanced PWM Timer，高级 PWM 定时器) 模块，最多可支持 2 路独立电机 PWM 控制。内置最多 3 个 12bit 3MSPS ADC (Analog Digital Converter)、3 个 10bit DAC (Digital to Analog Conversion)、3 个 ACMP (Analog Comparator，比较器) 和 3 个 PGA (Programmable Gain Amplifier) 放大器。最多支持 2 个 SPI (Serial Peripheral Interface)、5 个 UART (Universal Asynchronous Receiver Transmitter)、1 个 I2C (Inter-Integrated Circuit)、1 个 CAN 等通讯接口，4 个 QDM (Quadrature Decoder Module，正交解码器)、2 个看门狗模块、4 个基本 Timer、1 个系统 Timer，支持最多 73 个通用 GPIO (General-purpose input/output) 管脚。支持环境温度 -40°C ~ +105°C，电压范围 2.4V ~ 3.63V。产品系列提供 64pin ~ 80pin 封装。

表2-1 3066M/3065P 系列化特性差异表

型号	3066MNPI RH	3065PNPI MH	3065PNPI RH	3065PNPI RE	3065PNPI RA
封装	LQFP64	LQFP80	LQFP64		
eAI	支持	不支持			
Code Flash	512KB (含 eAI)	512KB		256KB	128KB
Data Flash	Configurable				
SRAM	64KB				
CPU	RISC-V, 200MHz				

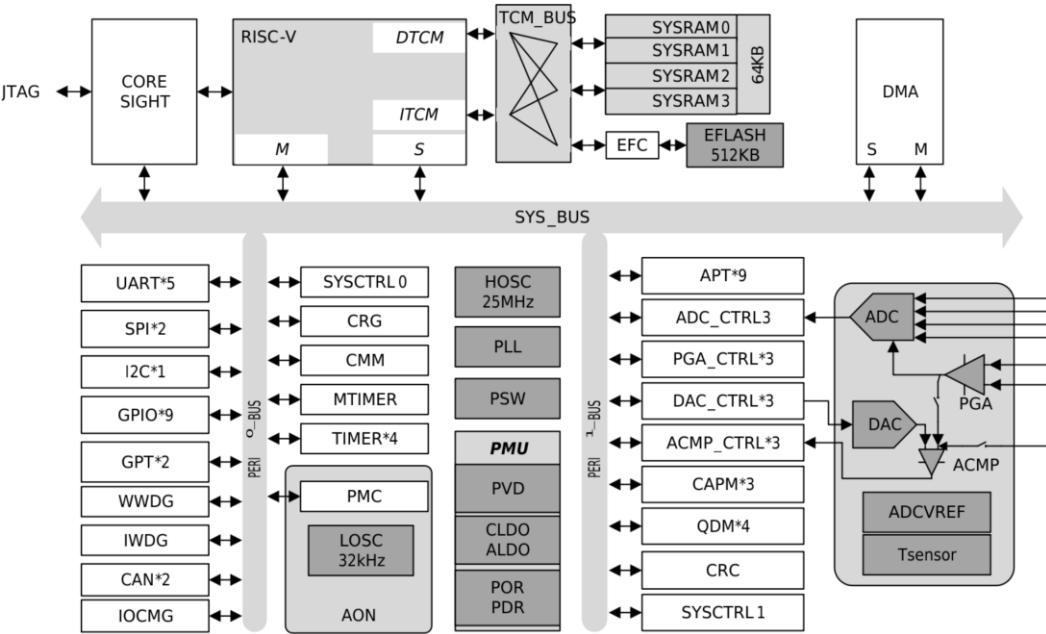
型号		3066MNPI RH	3065PNPI MH	3065PNPI RH	3065PNPI RE	3065PNPI RA
		FPU				
PWM	APT (每组 APT 含 2 路 PWM )	9 (APT0~8)				
	GPT	2				
	CAPM	3				
	QDM	4				
通用 32 位 timer		4				
通讯	SPI	2				
	UART	5				
	I2C	1				
	CAN	2				
模拟	ADC	3 (ADC0~2) (4ch/10ch/9ch)				
	DAC	3 (DAC0~2)				
	ACMP	3 (ACMP0~2)				
	PGA	3 (PGA0~2)				
	TSensor	支持				
GPIO	GPIO 总数	58	73	58		
	5V 容 忍 GPIO 数	27	42	27		
Watchdog		1 WWDG+1 IWDG				
时钟		内部时钟：25MHz ±1%，32kHz ±3%  外部时钟：4MHz ~ 30MHz				

型号	3066MNPI RH	3065PNPI MH	3065PNPI RH	3065PNPI RE	3065PNPI RA
DMA 通道数	6				
供电范围	2.4V ~ 3.63V				
工作温度	TA: -40℃ ~+105℃ (环境温度) TJ: -40℃ ~+125℃ (工作结温)				

2.1 系统

该系列 MCU 集成高性能 RISC-V CPU 内核，可为浮点或定点程序提供高达 200MHz 的处理能力。内部集成高性能模拟外设，并与 APT 外设紧密耦合，提供更快速更精确的实时控制性能。支持业界通用通信接口（如 UART、I2C、SPI 等），提供了多个管脚复用选项，可实现灵活的单板布局。

图2-2 系统功能框图



## 2.2 处理器

处理器是一个基于 RISC-V ISA 设计的 32bit MCU 核，具有以下特点：

- 支持 RV32IMCF 指令集（I：32bit 整型基础指令集；M：整型乘除扩展；C：16bit 压缩指令扩展；F：单精度浮点扩展） + 自定义指令集。
- 支持 Machine 和 User 特权模式。
- 支持物理内存保护 PMP（Physical Memory Protection）。
- 单发射 3 级顺序流水线微架构。
- 支持静态分支预测。
- 支持最大 4G Bytes 地址空间，具体可访问范围由 MCU 总线架构决定。
- 支持通过 ITCM（Instruction Tightly-Coupled Memory）接口访问指令。
- 支持通过 DTCM（Data Tightly-Coupled Memory）接口访问数据。
- 支持系统通过外部 AHB（Advanced High-performance Bus）总线接口（AHBS）访问 ITCM 和 DTCM。
- 支持 AHB 外设总线（AHBM）访问系统外设寄存器。
- 支持小端数据排布。
- 支持直接和向量中断模式。
- 支持 WFI（Wait For Interrupt）低功耗模式。
- 支持 RISC-V 标准调试机制。
- 支持通过 AHB 外设总线访问定时器 Mtimer。

RISC-V 相关文档：

- RISC-V 指令集非特权标准，<https://github.com/riscv/riscv-isa-manual/releases/download/archive/riscv-spec-v2.2.pdf>
- RISC-V 指令集特权标准，<https://github.com/riscv/riscv-isa-manual/releases/download/archive/riscv-privileged-v1.10.pdf>
- RISC-V 汇编编程手册，<https://github.com/riscv-non-isa/riscv-asm-manual/blob/master/riscv-asm.md>
- RISC-V 调试标准，[https://github.com/riscv/riscv-debug-spec/releases/download/task\\_group\\_vote/riscv-debug-draft.pdf](https://github.com/riscv/riscv-debug-spec/releases/download/task_group_vote/riscv-debug-draft.pdf)

## 2.3 嵌入式闪存 (eFLASH)

嵌入式内存为数据和程序提供存储空间，具有以下特点：

- 提供 512KB 的嵌入式闪存，可以用于程序与数据的存储。
- 提供 2 个保护状态控制：
  - protection\_level 0：无特殊保护；
  - protection\_level 1：调试接口部分区域无法操作。
- 提供知识产权代码读出保护。
- 提供 3 个 Main Region 区域读/编程/擦权限控制。
- 提供 3 个 Info Region 区域读/编程/擦权限控制。
- 支持 XIP (eXecute In Place)。
- 支持 Cache 和 Prefetch，加速指令执行。
- 支持错误码纠错能力：纠一检二。

## 2.4 电源控制 (PMC)

PMC (Power Manage Controller) 通过对 MCU 内部电源的管理，实现 MCU 的上/下电时序、开/关机功能和低功耗模式切换。

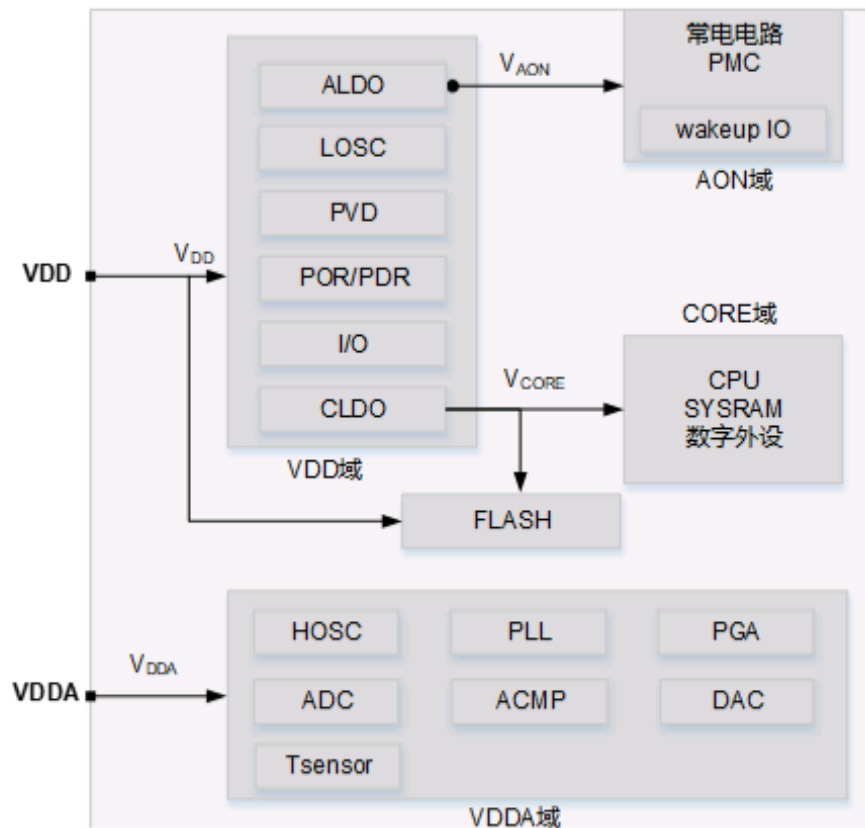
### 2.4.1 供电方案

MCU 支持的工作电压范围为 2.4V ~ 3.63V。针对特定外设，MCU 提供了几种不同的电源：

- $V_{DD}$  是数字域电源，为内部调压器、FLASH、I/O 管脚、LOSC 等供电，通过 VDD/VDDA 管脚从外部提供。
- $V_{DDA}$  是模拟域电源，为模拟资源，如 ADC、DAC、ACMP、PGA、温度传感器 (TSensor)、PLL、HOSC 等供电，通过 VDD/VDDA 管脚从外部提供。
- $V_{AON}$  是常电域电源，为常电电路、PMC、唤醒 IO 等供电。 $V_{AON}$  由嵌入式线性调压器 ALDO 提供。
- $V_{CORE}$  是 MCU 内部 CORE 域的数字电源，为数字外设、SYSRAM 和 FLASH 供电。 $V_{CORE}$  由嵌入式线性调压器 CLDO 提供，可配置关闭。



图2-3 MCU 供电示意图



## 2.4.2 电源监控

### 上电复位 (POR) /掉电复位 (PDR)

MCU 具有一个集成的 POR (Power On Reset) / PDR (Power Down Reset) , 在所有功耗模式下都有效。

上电期间, POR 将使 MCU 保持复位状态, 直到  $V_{DD}$  电源电压达到 POR 阈值。此时, 将释放 MCU 复位信号并使能 CLDO, 启动用户程序。在掉电期间,  $V_{DD}$  电源电压降至 PDR 阈值时, MCU 再次被置于复位状态。

### 可编程电压检测器 (PVD)

可以使用 PVD (Programmable Voltage Detector) 监视  $V_{DD}$  电源电压, 方法是将  $V_{DD}$  与预设阈值电压比较, 判断电压是否超出预期。当  $V_{DD}$  低于 PVD 下降沿阈值或上升

沿阈值时，可以产生 PVD 输出中断。该功能的用处之一是在中断服务程序中执行紧急关闭系统的任务。

### 2.4.3 低功耗模式

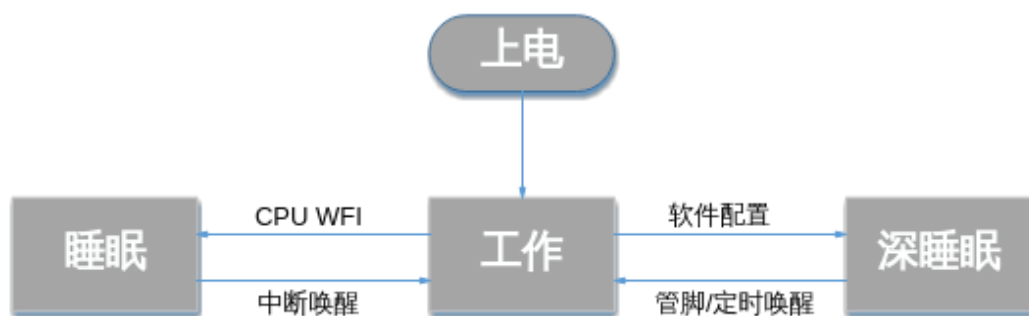
默认情况下，系统复位或上电复位后，MCU 进入工作模式。系统提供了多个低功耗模式，可在 CPU 不需要运行时节省功耗。由用户根据应用选择具体的低功耗模式，以在低功耗、短启动时间和可用唤醒源之间寻求最佳平衡。MCU 有两种低功耗模式：

- 睡眠模式：CPU 时钟关闭，但所有外设都可以运行，并在发生中断时唤醒 CPU。
- 深睡眠模式：CLDO 关闭，V<sub>CORE</sub> 域断电。此时，V<sub>CORE</sub> 域中的时钟都会停止，PLL、HOSC 和 XTAL 振荡器被禁止。仅 V<sub>AON</sub> 域正常工作，LOSC 为 V<sub>AON</sub> 域提供工作时钟。

此外，还可以通过以下方法降低工作模式下的功耗：

- 降低系统时钟频率。
- 不使用某外设时，关闭其时钟。

图2-4 低功耗模式切换示意图



## 2.5 时钟复位生成 (CRG)

CRG (Clock and Reset Generator) 时钟复位生成器为 MCU 各模块提供时钟和复位控制。将不同的源时钟分发到系统总线和各个外设，也对时钟进行门控管理用于低功耗控制。

MCU 共有 5 种类型的复位源：电源复位、管脚复位、电压监控复位、看门狗复位和软件复位。

源时钟用于衍生 MCU 各模块所需的时钟。MCU 共有三个源时钟：HOSC、LOSC 和 XTAL。

- HOSC

HOSC 是 MCU 集成的高精度高速振荡器，提供 25MHz 时钟 `clk_hosc`。`clk_hosc` 是 MCU CORE 电源域的默认时钟。

- LOSC

LOSC 是 MCU 集成的低速振荡器，提供 32.768kHz 时钟 `clk_losc`。`clk_losc` 是 MCU AON 电源域的默认时钟，也为 IWDG 模块提供计数时钟。

- XTAL

XTAL 支持高速外部晶体或外部时钟源，提供 4MHz ~ 30MHz 时钟 `clk_xtal`。

衍生时钟为 MCU 内部各模块提供工作时钟，主要有以下时钟资源：

- `clk_sys`

`clk_sys` 为系统主工作时钟，系统复位后默认选择 `clk_hosc` 为系统时钟。其时钟源有：

- `clk_hosc` (默认值)
- `clk_xtal`
- `clk_pll_pst1` (PLL 输出，最大 200MHz)

`clk_sys` 为 CPU、SYSRAM、高速外设以及总线 `SYS_BUS` 提供时钟。高速外设

- DMA
- CMM
- CFD
- GPIO0~9
- APT0~8
- GPT0~1
- QDM0~3
- CRC (Cyclic Redundancy Check)
- CAPM0~2
- EFC
- SPI0~1
- UART0~4
- I2C
- TIMER0~3
- ADC 控制器 0~2
- PGA 控制器 0~2

- ACMP 控制器 0~2
- DAC 控制器 0~2
- ADCVREF 控制器
- clk\_pst2\_100m  
clk\_pst2\_100m 主要为 ADC 提供工作时钟，最大支持 100MHz，其时钟源有：
  - clk\_hosc (默认值)
  - clk\_xtal
  - clk\_pll\_pst2 (PLL 输出时钟，最大 100MHz)
- clk\_adc  
clk\_adc 为 ADC 部分工作时钟，最大支持 100MHz。其时钟源有：
  - clk\_pst2\_100m (默认值)
  - clk\_sys
- clk\_1m  
clk\_1m 为 ADC 和 eFLASH 的计数时钟，最大支持 1MHz，其时钟源有：
  - clk\_hosc (默认值)
  - clk\_xtal

## 2.6 时钟失效检测 (CFD)

CFD (Clock Failure Detector) 时钟失效检测模块用于检测 PLL 的参考时钟是否失效。

CFD 使用参考时钟 (clk\_losc) 对目标时钟 (clk\_pll\_ref) 的 2048 分频时钟进行计数。在每个目标时钟周期开始时 (也就是上一个周期结束时) 清零计数器。每个参考时钟 (clk\_losc) 计数值 CFDCNT 递增。在每个目标时钟周期结束时，保存此时计数值 CFDCNT 到 CFDCNTLOCK 中，表示本次检测结束。如此循环往复，直到 CFDCNTLOCK > CFDWDOH，超过检测窗口上限。此时，CFD 上报时钟失效中断 clk\_fail\_int，停止计数，输出 clock\_fail 硬件信号给 CRG 和 APT0~8 的系统事件 2。CRG 自动执行主时钟保护，也就是将系统主时钟切换到 clk\_losc，主频 32kHz。APT0~8 根据配置的系统事件 2 保护动作，执行输出保护。

CFD 模块有以下特性：

- 支持检测 PLL 参考时钟是否失效。
- 支持检测到失效后自动保护。
- 支持检测到失效后产生系统事件输出到 APT (Advanced PWM Timer)。

CFD 模块功能详细描述请参见《3066M/3065P 系列技术参考指南》。

## 2.7 时钟监测模块 (CMM)

CMM (Clock Monitor Module) 时钟监测模块使用参考时钟来检测目标时钟的频率和目标时钟是否失效。

CMM 模块有以下特性：

- 支持参考时钟 4 选 1。
- 支持参考时钟最大 32 分频。
- 支持目标时钟 4 选 1。
- 支持目标时钟最大 8192 分频。
- 支持检测目标时钟的频率。
- 支持检测目标时钟是否失效 (CFD 功能)。
- 支持目标时钟失效自动保护，产生系统事件输出到 APT 模块。

CMM 模块功能详细描述请参见《3066M/3065P 系列技术参考指南》。

## 2.8 I/O 复用控制 (IOCMG)

IOCMG (I/O Control & Multiplex Generater) 实现对 MCU I/O 管脚的状态控制和功能复用管理。除特殊说明外，所有 I/O 管脚默认为 GPIO 输入功能。

IOCMG 能够为 I/O 管脚提供以下可配置特性：

- 上/下拉
- 施密特输入开/关
- 输出驱动能力
- 输出信号边沿快/慢
- 数字/模拟模式切换
- 复用功能选择

## 2.9 通用 I/O (GPIO)

本系统支持 10 组 GPIO 控制器，即 GPIO0 ~ GPIO9。GPIO0~GPIO8 每组 GPIO 控制器提供 8 个可编程的 GPIO，GPIO9 只有 1 个可编程的 GPIO。

每个 GPIO 可以独立配置为输入或者输出，输入和输出的电平状态均可以通过寄存器读出。作为输入 GPIO 时，可作为中断源，中断触发类型可以配置为高电平/低电平/上升沿/下降沿/双沿触发；作为输出 GPIO 时，每个 GPIO 都可以独立地清 0 或置 1。

## 2.10 系统配置控制器 (SYSCTRL)

系统控制器 SYSCTRL (System Controller) 包含一组配置寄存器，其主要用途如下：

- 为系统关键寄存器提供写保护控制。
- 系统复位事件次数统计。
- 触发系统软件复位。
- 触发软件中断。
- 系统状态查询。
- 提供可读可写的通用寄存器。
- APT 同时启动配置。
- APT 管脚事件数字滤波配置。
- PVD 阈值和使能控制。
- XTAL 管脚时钟模式控制。
- 系统地址空间重映射配置。

## 2.11 直接存储器访问控制器 (DMA)

DMA (Direct Memory Access) 是一种高速的数据传输操作，不通过 CPU，直接在存储器和外设、外设和外设、存储器和存储器之间进行数据传输，减轻 CPU 的负担并减少了 CPU 中断处理开销。

MCU 中 DMA 有如下特性：

- 支持 8bit、16bit、32bit 数据位宽传输。
- 支持 1 个位宽为 32bit 的 Master 总线接口用于数据传输。

- 支持 6 个 DMA 通道，每个通道可配置用于一种单向传输。
- 支持 4 级优先级，每个通道可配置不同的优先级。
- 支持 Burst 传输，每个通道可配置 Burst 传输的个数。
- 支持源地址和目的地址自动递增或不递增。
- 支持 DMAC (Direct Memory Access Controller) 流控和外设流控。
- 支持链表。

DMA 控制的功能详细描述请参见《3066M/3065P 系列技术参考指南》中“11 直接存储器访问控制器 (DMA)”的内容。

## 2.12 循环冗余校验计算单元 (CRC)

CRC (Cyclic Redundancy Check) 循环冗余校验计算单元，通常用来校验数据传输或者存储过程的数据完整性，是数据通信领域最常用的一种差错校验码。

CRC 模块有如下特性：

- 支持 4 种多项式 (CRC8-07/CRC16-1021/CRC16-8005/CRC32-04C11DB7) 可配。
- 支持初始值、结果异或值、输入数据反转、输出数据反转等参数可配。

## 2.13 捕获模块 (CAPM)

CAPM (Capture Module) 用于捕获 MCU 管脚输入信号的边沿，记录边沿到来时对应的时间戳，可用于通用数字信号捕获场景，也可实现电机专用场景，如：霍尔传感器、PWM 波通信等应用。

CAPM 模块有如下特性：

- 支持 3 路捕获通道 (分别是 CAPM0、CAPM1 和 CAPM2)。
- 支持输入滤波 (支持过滤毛刺宽度 1 ~ 8192 个时钟周期)，输入预分频 (2 ~ 510 偶数分频)。
- 支持输入电平实时检测。
- 支持对边沿个数的统计。
- 支持对统计的边沿个数进行比较。

- 支持 32bit TSR (Time-Stamp Register) 计数器，支持使用分频时钟进行计数。
- 支持每路通道捕获最多 4 个事件，保存最多 4 个事件时间戳，支持捕获溢出检测。
- 支持循环捕获，单轮次捕获。
- 支持时间计数相位同步功能，同步输入 (APT 硬件同步、软件同步)，同步输出。
- 支持复位工作状态，不复位配置寄存器。
- 支持产生 DMA 请求。
- 支持仿真器调试，暂停捕获通道中的 TSR 计数。

CAPM 功能详细描述请参见《3066M/3065P 系列技术参考指南》。

## 2.14 正交编码器解码模块 (QDM)

QDM (Quadrature Decoder Module) 用于解码增量编码器，针对增量编码器输出的 A/B/Z 三相信号进行解码，记录位置信息、方向信息和时间信息。QDM 内部集成了正交解码单元 QDU (Quadrature Decoder Unite)、位置处理单元 PPU (Position Process Unit)、时间戳单元 TSU (Time Stamp Unit)、周期触发单元 PTU (Period Trigger Unit)，实现了多种类型的增量编码器解码，支持 1X/2X/4X 倍频解码，支持位置计数的多种校准模式、初始化模式、锁存模式，可编程的位置区间内计时，可编程的时间区间内计数位置，A/B 相信号看门狗等功能。用于绝对位置记录、相对位置记录、旋转速度计算等应用场景。

QDM 模块有以下特性：

- 支持解码 4 种类型的增量编码器：正交型编码器、脉冲方向型编码器、非标准 TYPE1 型编码器和非标准 TYPE2 型编码器。
- 支持 A/B/Z 相信号滤波（支持过滤毛刺宽度 1~8192 个时钟周期），支持 A/B/Z 相信号极性选择，支持 A/B 相信号互换。
- 支持倍频解码：1X，2X，4X 倍频解码。
- 支持 PPU 位置计数，位宽 32bit，支持独立使能，支持 3 种计数模式。
- 支持 PPU 位置计数复位，4 种复位模式。
- 支持 PPU 位置计数初始化，3 种初始化模式。
- 支持 PPU 位置计数锁存，3 种 Z 相锁存模式，2 种锁存模式。
- 支持 PPU 位置计数比较功能，支持位置比较缓存模式，支持比较输出同步信号。
- 支持 TSU 时间戳记录，位宽 32bit，可配置的位置区间内，TSU 产生时间戳（记录时间），用于速度计算。



- 支持 PTU 周期触发，位宽 32bit，可配置的时间区间内，触发 PPU 产生位置记录（记录位置）。
- 支持 PTU 看门狗模式，位宽 32bit，检测 A/B 信号输入。
- 支持 DMA 访问。
- 支持仿真器接入，3 种接入模式。

QDM 功能详细描述请参见《3066M/3065P 系列技术参考指南》。

## 2.15 高级 PWM 定时器 (APT)

APT（高级 PWM 定时器），可以产生 PWM 波控制外部开关器件的导通和关断，广泛应用于数字电机控制、开关电源控制等领域。

每个 APT 模块有两个 PWM 输出（APT<sub>x</sub>\_PWMA 和 APT<sub>x</sub>PWMB），支持以下特性：

- 用于周期和频率控制的专用 12 位分频计数器 DIVCNT 和 16 位时基计数器 TCCNT。
- 两个 PWM 输出（APT<sub>x</sub>\_PWMA 和 APT<sub>x</sub>PWMxB），可配置成以下波形：
  - 两个独立 PWM 输出，单向计数非对称模式；
  - 两个独立 PWM 输出，双向计数对称模式；
  - 两个独立 PWM 输出，双向计数非对称模式。
- 通过软件对 PWM 信号进行异步控制。
- 支持与其他 APT 同步相位操作。
- 支持死区生成，具有独立的上升沿和下降沿延迟控制。
- 故障条件下支持周期性保护和持续性保护。
- 故障条件下可以强制 PWM 输出为高电平、低电平或高阻态。
- 故障信号可以触发事件中断。
- 计数器计数到指定时刻可以触发定时中断，可以按比例缩减定时中断以减少 CPU 开销。
- 计数器计数到指定时刻可以触发 ADC 启动转换（Start Of Conversion, SOC）、产生 DMA 传输请求。
- 支持对 PWM 上升沿和下降沿（独立控制）进行高精度移动，移动精度为 1/12 个主时钟周期。

## 2.16 通用 PWM 定时器 (GPT)

GPT (General PWM Timer) 通用 PWM 定时器可以产生 PWM 波。

MCU 提供 2 个 GPT 模块，每个 GPT 模块可以输出一路 PWM 波，对于每个 GPT 支持以下特性：

- 支持 12 位分频计数器 DIVCNT、16 位时基计数器 TCCNT。
- 占空比 0 ~ 100%可配。
- 支持输出无限个数或有限个数 PWM 波。
- 支持在 TCCNT 计数到计数周期值时产生周期中断、DMA 请求、触发 ADC 采样。
- 支持在有限个数 PWM 输出结束时产生通道输出完成中断、DMA 请求、触发 ADC 采样。

## 2.17 基本定时器 (TIMER)

TIMER 模块主要实现定时和计数功能，可以供程序用作定时和计数。

TIMER 模块具有以下特点：

- 支持将 clk\_timer 在 TIMER 内部进行 3 档预分频：1、16、256 倍分频。
- 支持 32bit/16bit 减计数。
- 支持 3 种计数模式：自由运行模式、周期模式和单次计数模式。
- 支持随时读取当前的计数值。
- 支持产生 DMA 请求、产生触发 ADC 启动采样的信号。
- 支持当计数值减到 0 时会产生 TIMER 定时中断。
- 支持当 DMA 请求溢出时产生 DMA 请求溢出中断。

## 2.18 看门狗 (WDG)

本系统提供 2 个看门狗模块，分别为 WWDG (Windowed Watch Dog) 和 IWDG (Independent Watch Dog)。

WWDG 基于总线时钟进行计数，计数支持分频。内部 16bit 减法计数器自由计数，支持超时时间间隔可配置，支持寄存器锁定，支持超时中断和复位信号产生，并在调试模式下自动停止计数。支持窗口模式和非窗口模式，支持计数当前值可查询。

IWDG 基于内部 LOSC 时钟进行计数，计数支持分频，内部 8bit 减法计数器自由计数，不支持中断信号产生，除此之外的行为与 WDG (Watch Dog) 一致。

看门狗用于在系统异常情况下，一定时间内发出中断或复位信号，防止 MCU 挂死。

## 2.19 集成电路接口 (I2C)

I2C 控制器支持 Master (主机) 和 Slave (从机) 接口，完成 I2C 总线上连接的从机的读写访问，或者响应 I2C 总线上连接的主机的读写访问。I2C 控制器的主机和从机兼容 NXP I2C-bus specification and user manual version 6.0 协议，兼容 System Management Bus (SMBus) Specification Version 3.2 协议，兼容 PMBus Power System Mgt Protocol Specification Revision 1.3.1 协议。

I2C 控制器具有以下特性：

- 支持 Master (主机) 作为 Master-Transmitter 或者 Master-Receiver 工作。
- 支持 Slave (从机) 作为 Slave-Transmitter 或者 Slave-Receiver 工作。
- 支持 I2C 标准时序和各种非标准时序。
- 支持 16 x 12bit 的 TX FIFO 和 16 x 8bit 的 RX FIFO。
- 支持标准地址 (7bit) 和扩展地址 (10bit)。
- 支持标准模式 (最高 100 kHz) 和快速模式 (最高 400 kHz)。
- 支持 DMA 操作。
- 支持多主机总线仲裁。
- 支持 SCL (Serial Clock Line) 时钟线和 SDA (Serial Data Line) 数据线 Spike Suppression (数字滤波) 功能。
- 支持 Clock synchronization (时钟同步), SCL Stretching (SCL 延长)。
- 支持 General Call, Software Reset 和 Start Byte 功能。
- 支持灵活配置的 ACK (Acknowledge) /NACK (Not Acknowledge)。
- 支持 2 个 Slave 地址和地址掩码。
- 支持 I2C 总线 SCL 时钟低电平超时检测。
- 支持 Slave 自动接收。
- 支持低功耗下 Slave 工作和地址唤醒。
- 兼容 SMBus Version 3.2 协议。
- 不支持 CBUS 器件。

## 2.20 通用异步收发传输器 (UART)

UART 是一个异步串行的通信接口，主要功能是与外围设备的 UART 进行对接，从而实现设备间的通信。

本系统提供 5 个 UART 控制器，均为 4 线 UART，支持单线半双工通信模式，支持硬件流控。

UART 模块有以下特性：

- 支持 8 x 8bit 的发送 FIFO (First In First Out) 和 8 x 12bit 的接收 FIFO。
- 支持数据位和停止位的位宽可编程。数据位可通过编程设定为 5/6/7/8bit；停止位可通过编程设定为 1bit 或 2bit。
- 支持奇校验、偶校验、0/1 校验或无校验。
- 支持传输速率（波特率）可编程。
- 支持字符匹配中断、自动波特率检测错误中断、自动波特率检测完成中断、接收 FIFO 满中断、接收 FIFO 非空中断、接收 FIFO 空中断、发送 FIFO 非空中断、发送 FIFO 空中断、溢出错误中断、break 错误中断、校验中断、帧错误中断、接收 FIFO 水线中断、发送 FIFO 水线中断、接收超时中断、CTS 调制状态中断。
- 支持原始中断状态查询和屏蔽后中断状态查询。
- 支持发送完成状态查询和清除。
- 支持通过编程禁止 UART 模块或者单独禁能 UART 发送/接收功能。
- 支持关断 UART 时钟（通过 CRG 模块配置）。
- 支持 DMA 操作（与 DMA 模块配合使用）。
- 支持发送数据和接收数据位序可配置（MSB (Most Significant Bit) /LSB (Least Significant Bit) first)。
- 支持 8~16 倍过采样可配置。
- 支持接收超时时长可配置，配置范围为 1 ~ 65536 个 bit 时长。
- 支持波特率自动检测。
- 支持字符检测，字符可配置。
- 支持单线半双工工作模式。

## 2.21 同步串行外设接口 (SPI)

SPI 控制器实现数据的串并、并串转换，可以作为 Master（主机）与外部设备进行同步串行通信，也可作为 Slave（从机）与外设对接。支持 Motorola SPI 接口、TI 串行同步接口和 MicroWire 接口三种外设接口协议。

SPI 模块有以下特性：

- 支持接口时钟频率可编程。
- 支持主模式和从模式。
- 支持双片选。
- 支持 16 x 16 bit 的 TX（发送）FIFO 和 16 x 16 bit 的 RX（接收）FIFO。
- 支持 4bit ~ 16bit 可编程串行数据帧长度。
- 支持单帧和连续帧格式。
- 支持 Motorola SPI 全双工工作模式，时钟极性、相位可配置。
- 支持 MicroWire 半双工工作模式。
- 支持 TI 同步串行接口全双工工作模式。
- 支持 DMA 操作。

SPI 功能详细描述请参见《3066M/3065P 系列技术参考指南》中“21 同步串行外设接口 (SPI)”的内容。

## 2.22 CAN 控制器

控制器域网 CAN（Controller Area Network）是国际上应用最广泛的现场总线之一，具有高性能、高可靠性、高实时性的特点。MCU 中 CAN 控制器支持 CAN Protocol Version 2.0 part A 和 B。

CAN 总线控制器模块有以下特点：

- CAN 总线控制器的工作时钟可选 clk\_xtal 或者 clk\_hosc。
- 支持标准技术规范 CAN 2.0A 和 CAN 2.0B。
- 支持多设备时的总线仲裁。
- 支持传输速率可编程，最高可达 1Mbps。
- 支持 32 个报文对象，每个报文对象均可编程。

- 支持主动错误和被动错误的自我判定以及故障节点的隔离。
- 支持错误的自我修复。
- 支持自动重传模式。
- 支持报文接收过滤功能。
- 支持中断屏蔽。
- 支持连续报文接收。
- 支持测试模式，支持 Loop-back、Silent 模式以及两者同时开启。
- 支持 CAN 总线物理层测试，支持软件强制 Tx 输出，和回读 Rx 输入。
- 支持 Basic 模式。

## 2.23 模数转换器 (ADC)

ADC 模块实现模拟信号到数字信号的转换，ADC 支持 12bit 采样精度，支持单次采样模式和连续采样模式，支持硬件过采样。

- 12bit 采样精度。
- 最大 20 个模拟输入。
- 采样率最高 3MSPS。
- 可编程控制采样时间。
- 支持误差校准功能。
- 支持单次转换模式。
- 支持连续转换模式。
- 具有 16 个独立配置的 SOC。
- 具有两种可配置优先级组。
- 28 个硬件触发源 (APT/GPT/TIMER/GPIO) 和 1 个软件触发源可选择。
- 16 个独立寻址的转换结果寄存器和结束转换标志 EOC (End-of-Conversion)。
- 支持硬件过采样，12bit~16bit 过采样精度，8~256 倍硬件过采样。
- 4 个可灵活配置的数据中断、1 个事件中断和 1 个异常中断。
- 支持 DMA 请求。
- 4 个采样后处理模块，支持数据偏移、误差计算、阈值检测、过零点检测、采样延迟记录功能。

## 2.24 可编程增益放大器 (PGA)

PGA (Programmable Gain Amplifier) 是 ADC 的高性能模拟前端。PGA 集成多个内部增益选项，用于调整宽范围的输入电压信号。

- 支持内部电阻模式，增益可编程为 2、4、8 或 16。
- 支持外部电阻模式，增益灵活可调。
- 输入失调  $< \pm 2.4\text{mV}$ 。
- 增益误差  $< \pm 1\%$ 。
- 增益带宽积  $> 10\text{MHz}$ 。
- 压摆率  $> 8\text{V}/\mu\text{s}$ 。

## 2.25 数模转换器 (DAC)

DAC 将软件配置的 10bit 数字信号，转换成对应的模拟电压量，实现了数字到模拟的转换，转换成模拟信号后便可以进行模拟运算。

- 10bit 分辨率。
- 并行数据输入。
- 300kHz 转换速率。

## 2.26 模拟比较器 (ACMP)

ACMP 为模拟电压比较器，选择两个输入源进行电压比较，ACMP 的比较信号有三个来源，即管脚输入、DAC 输出或 PGA 输出。

- 支持 6 组比较源可配置选择。
- 支持最小有效差分输入电压为 20mV。
- 共模输入电压范围支持 0V~VDDA。
- 支持最大 65536 个系统时钟周期的可配滤波档位。
- 支持可配置比较结果屏蔽。

# 3 引脚排列、引脚描述 pinout

各种封装的 MCU 引脚排列如图 3-1 和图 3-2 所示。

图3-1 LQFP64 引脚排列

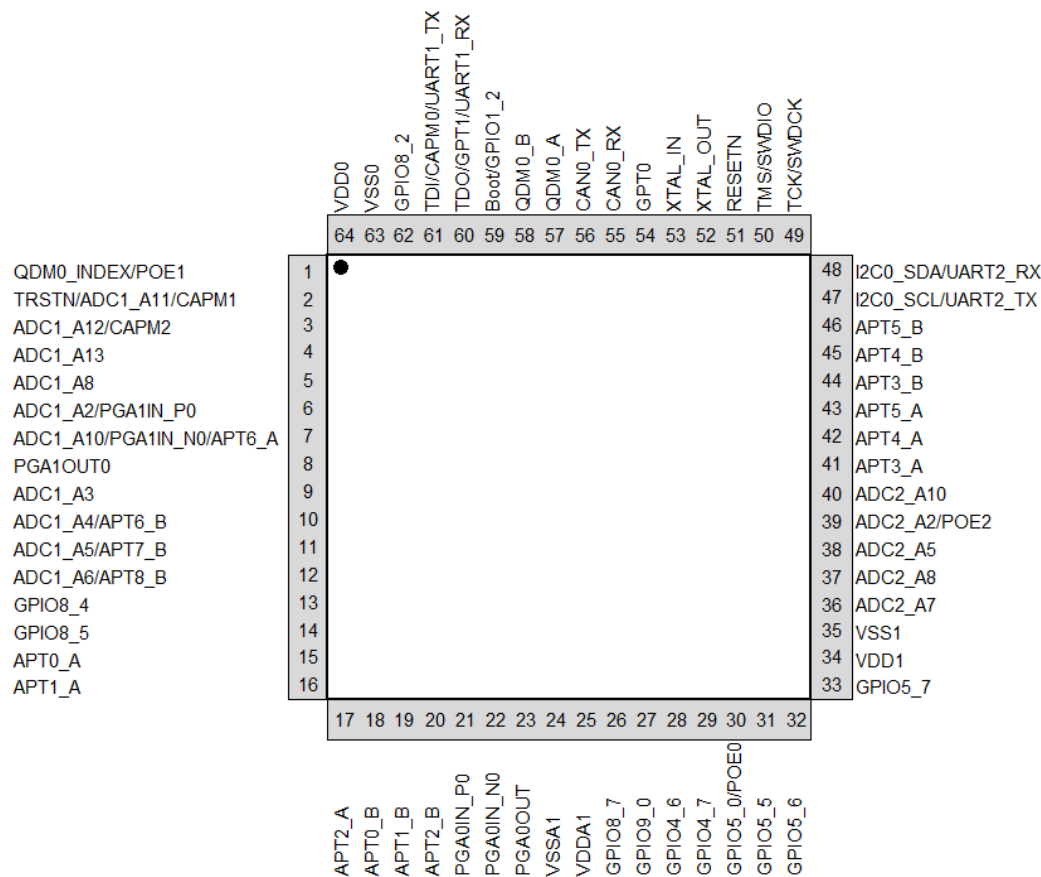
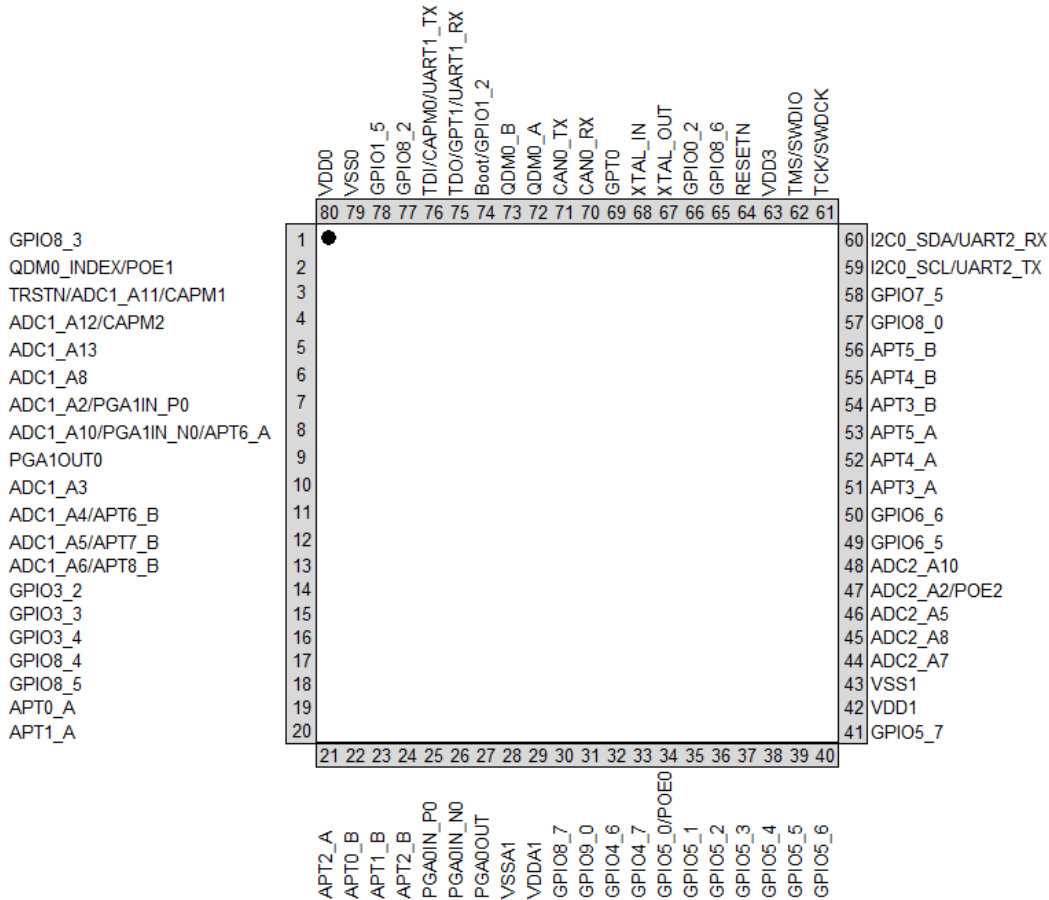




图3-2 LQFP80 引脚排列



引脚描述和复用关系列表请参考表 3-1 和表 3-2。

管脚信息表

表3-1 引脚描述

LQF P64	LQF P80	Pin Name	Pad Gro up	Pad Defa ult Stat e	Sup port 5V Tol era nce Inp ut	IO Config Register	Function Description			
							Function Number	Signal Name	Directio n	Descript ion
-	1	GPIO8_3	CO RE	-	YE S	IOCMG_G PIO8_3	0	GPIO8_3	B	通用输 入输 出。

LQF P64	LQF P80	Pin Name	Pad Gro up	Pad Defa ult Stat e	Sup port 5V Tol era nce Inp ut	IO Config Register	Function Description			
							Funcio n Number	Signal Name	Directio n	Descript ion
							1	POE1	I	APT PWM 输 出使 能。
							2	GPT0_ PWM	O	GPT PWM 输 出信 号。
							3	CAPM2_ SRC	I	CAPM2 采样输 入信 号。
1	2	QDM0_I NDEX_X _POE1	CO RE	-	YE S	IOCMG_Q DM0_INDE X_X_POE1	0	GPIO1_ 6	B	通用输 入输 出。
							1	QDM0_I NDEX	B	QDM0 采样输 入信 号。
							2	POE1	I	APT PWM 输 出使 能。
2	3	TRSTN_ X_ADC1 _A11_X_ CAPM1	CO RE	PD	No	IOCMG_T RSTN_X_ ADC1_A11 _X_CAPM 1	0	GPIO1_ 7	B	通用输 入输 出。
							1	JTAG_T RSTN	I	JTAG 复位信 号。

LQFP64	LQFP80	Pin Name	Pad Group	Pad Default State	Support 5V Tolerance Input	IO Config Register	Function Description			
							Function Number	Signal Name	Direction	Description
							2	UART3_CTSN	I	UART3 发送清除信号 (Clear To Send)。
							3	CAPM1_SRC	I	CAPM1 采样输入信号。
							4	UART1_CTSN	I	UART1 发送清除信号 (Clear To Send)。
							5	SPI0_CS0	B	SPI0 片选信号 0, 低有效。
							6	ADC_EXT_TRIG1	I	ADC 采样外部触发信号 1。
							7	QDM2_INDEX	B	QDM2 采样输入信号。

LQFP64	LQFP80	Pin Name	Pad Group	Pad Default State	Support 5V Tolerance Input	IO Config Register	Function Description			
							Function Number	Signal Name	Direction	Description
							12	ADC1_ANA_A11	I	ADC1_A11 通道模拟输入信号。
							13	ACMP1_ANA_N2	I	ACMP1_N2 通道模拟输入信号。
3	4	ADC1_A12_X_CAPM2	CORE	-	No	IOCMG_ADC1_A12_X_CAPM2	0	GPIO2_0	B	通用输入输出。
							2	UART3_RXD	I	UART3 数据接收。
							3	CAPM2_SRC	I	CAPM2 采样输入信号。
							5	SPI0_MOSI	B	SPI0 发送数据输出。
							6	QDM2_A	I	QDM2 采样输入信号。
							10	PVD_TOGGLE	O	PMU 的 PVD 信

LQF P64	LQF P80	Pin Name	Pad Gro up	Pad Defa ult Stat e	Sup port 5V Tol era nce Inp ut	IO Config Register	Function Description			
							Function Number	Signal Name	Directio n	Descript ion
										号
							12	ADC1_ANA_A12	I	ADC1_A12 通道模拟输入信号。
							13	ADC0_ANA_A9	I	ADC0_A9 通道模拟输入信号。
4	5	ADC1_A13	CORE	-	No	IOCMG_ADC1_A13	0	GPIO2_1	B	通用输入输出。
							2	UART3_TXD	B	UART3 发送数据。
							3	CAPM0_SRC	I	CAPM0 采样输入信号。
							5	SPI0_MISO	B	SPI0 接收数据输入。
							6	QDM2_B	I	QDM2 采样输入信号。
							12	ADC1_	I	ADC1_

LQF P64	LQF P80	Pin Name	Pad Gro up	Pad Defa ult Stat e	Sup port 5V Tol era nce Inp ut	IO Config Register	Function Description			
							Funcio n Number	Signal Name	Directio n	Descript ion
								ANA_A 13		A13 通 道模拟 输入信 号。
							13	ADC0_ ANA_A 2	I	ADC0_ A2 通道 模拟输 入信 号。
5	6	ADC1_A 8	CO RE	-	No	IOCMG_A DC1_A8	0	GPIO2_ 2	B	通用输 入输 出。
							2	APT_E VTMP4	I	APT 多 功能事 件 4。
							3	UART1 _RTSN	O	UART1 发送请 求信号 (Reque st To Send) 。
							4	UART3 _RTSN	O	UART3 发送请 求信号 (Reque st To Send) 。

LQFP64	LQFP80	Pin Name	Pad Group	Pad Default State	Support 5V Tolerance Input	IO Config Register	Function Description			
							Function Number	Signal Name	Direction	Description
							5	SPI0_CSN1	B	SPI0 片选信号 1, 低有效。
							12	ADC1_ANA_A8	I	ADC1_A8 通道模拟输入信号。
							13	ACMP1_ANA_P2	I	ACMP1_P2 通道模拟输入信号。
							14	ADC0_ANA_A10	I	ADC0_A10 通道模拟输入信号。
6	7	ADC1_A2_X_PG A1IN_P0	CORE	-	No	IOCMG_A DC1_A2_X_PGA1IN_P0	0	GPIO2_3	B	通用输入输出。
							1	POE2	I	APT PWM 输出使能。
							5	SPI0_CLK	B	SPI0 时钟信号。

LQFP64	LQFP80	Pin Name	Pad Group	Pad Default State	Support 5V Tolerance Input	IO Config Register	Function Description			
							Function Number	Signal Name	Direction	Description
							12	ADC1_ANA_A2	I	ADC1_A2 通道模拟输入信号。
							13	PGA1_ANA_P0	I	PGA1_P0 通道模拟输入信号。
7	8	ADC1_A10_X_PGA1IN_N0_X_APT6_A	CORE	-	No	IOCMG_ADC1_A10_X_PGA1IN_N0_X_APT6_A	0	GPIO2_4	B	通用输入输出。
							3	APT6_PWM_A	O	APT PWM A 相输出。
							4	UART0_RXD	I	UART0 接收数据。
							5	QDM1_A	I	QDM1 采样输入信号。
							12	ADC1_ANA_A10	I	ADC1_A10 通道模拟输入信号。



LQF P64	LQF P80	Pin Name	Pad Group	Pad Default State	Support 5V Tolerance Input	IO Config Register	Function Description			
							Function Number	Signal Name	Direction	Description
							13	PGA1_ANA_N0	I	PGA1_N0 通道模拟输入信号。
8	9	PGA1OUT0	CORE	-	No	IOCMG_PGA1OUT0	0	GPIO2_5	B	通用输入输出。
							3	APT7_PWMA	O	APT PWM A 相输出。
							4	UART0_TXD	B	UART0 发送数据。
							5	QDM1_B	I	QDM1 采样输入信号。
							13	PGA1_ANA_EXT0	O	PGA1 模拟输出信号。
9	10	ADC1_A3	CORE	-	No	IOCMG_ADC1_A3	0	GPIO2_6	B	通用输入输出。
							3	APT8_PWMA	O	APT PWM A 相输

LQFP64	LQFP80	Pin Name	Pad Group	Pad Default State	Support 5V Tolerance Input	IO Config Register	Function Description			
							Function Number	Signal Name	Direction	Description
										出。
							4	POE0	I	APT PWM 输出使能。
							6	QDM1_INDEX	B	QDM1 采样输入信号。
							7	ADC0_STATUSES	O	ADC0 状态测试信号。
							12	ADC1_ANA_A3	I	ADC1_A3 通道模拟输入信号。
							13	ADC2_ANA_A12	I	ADC2_A12 通道模拟输入信号。
10	11	ADC1_A4_X_APT6_B	CORE	-	No	IOCMG_ADC1_A4_X_APT6_B	0	GPIO2_7	B	通用输入输出。
							2	ACMP1_OUT	O	ACMP 比较结果输出

LQFP64	LQFP80	Pin Name	Pad Group	Pad Default State	Support 5V Tolerance Input	IO Config Register	Function Description			
							Function Number	Signal Name	Direction	Description
										信号。
							3	APT6_PWM B	O	APT PWM B 相输出。
							4	I2C0_SCL	B	I2C0 总线时钟。
							5	UART0_RTSEN	O	UART0 发送请求信号 (Request To Send)。
							12	ADC1_ANA_A4	I	ADC1_A4 通道模拟输入信号。
							13	ADC2_ANA_A13	I	ADC2_A13 通道模拟输入信号。
11	12	ADC1_A5_X_APT7_B	CORE	-	No	IOCMG_ADC1_A5_X_APT7_B	0	GPIO3_0	B	通用输入输出。
							3	APT7_PWM B	O	APT PWM B

LQFP64	LQFP80	Pin Name	Pad Group	Pad Default State	Support 5V Tolerance Input	IO Config Register	Function Description			
							Function Number	Signal Name	Direction	Description
										相输出。
							4	I2C0_SDA	B	I2C0 总线数据/地址。
							5	UART0_CTSN	I	UART0 发送清除信号 (Clear To Send)。
							12	ADC1_ANA_A5	I	ADC1_A5 通道模拟输入信号。
							13	ACMP1_ANA_N3	I	ACMP1_N3 通道模拟输入信号。
							14	ADC0_ANA_A6	I	ADC0_A6 通道模拟输入信号。
12	13	ADC1_A6_X_AP	CORE	-	No	IOCMG_ADC1_A6_X	0	GPIO3_1	B	通用输入输入

LQFP64	LQFP80	Pin Name	Pad Group	Pad Default State	Support 5V Tolerance Input	IO Config Register	Function Description			
							Function Number	Signal Name	Direction	Description
		T8_B				_APT8_B				出。
							3	APT8_PWM_B	O	APT PWM B 相输出。
							5	QDM2_INDEX	B	QDM2 采样输入信号。
							6	POE1	I	APT PWM 输出使能。
							12	ADC1_ANA_A6	I	ADC1_A6 通道模拟输入信号。
							13	ACMP1_ANA_P3	I	ACMP1_P3 通道模拟输入信号。
-	14	GPIO3_2	CORE	-	YES	IOCMG_GPIO3_2	0	GPIO3_2	B	通用输入输出。
							4	POE2	I	APT PWM 输出使

LQFP64	LQFP80	Pin Name	Pad Group	Pad Default State	Support 5V Tolerance Input	IO Config Register	Function Description			
							Function Number	Signal Name	Direction	Description
										能。
							5	CAPM0_SRC	I	CAPM0 采样输入信号。
							7	GPT1_PWM	O	GPT PWM 输出信号。
-	15	GPIO3_3	CORE	-	YES	IOCMG_GPIO3_3	0	GPIO3_3	B	通用输入输出。
							1	GPT0_PWM	O	GPT PWM 输出信号。
							2	UART0_RXD	I	UART0 接收数据。
							3	CAPM1_SRC	I	CAPM1 采样输入信号。
							4	I2C0_SCL	B	I2C0 总线时钟。
							5	UART3_CTSN	I	UART3 发送清除信号

LQFP64	LQFP80	Pin Name	Pad Group	Pad Default State	Support 5V Tolerance Input	IO Config Register	Function Description			
							Function Number	Signal Name	Direction	Description
										(Clear To Send)。
							6	SMB0_ALTN	B	SMBUS 0 总线报警。
-	16	GPIO3_4	CORE	-	YES	IOCMG_GPIO3_4	0	GPIO3_4	B	通用输入输出。
							1	GPT0_PWM	O	GPT PWM 输出信号。
							2	UART0_TXD	B	UART0 发送数据。
							3	CAPM2_SRC	I	CAPM2 采样输入信号。
							4	I2C0_SDA	B	I2C0 总线数据/地址。
							6	UART3_RTSEN	O	UART3 发送请求信号 (Request To Send)

LQFP64	LQFP80	Pin Name	Pad Group	Pad Default State	Support 5V Tolerance Input	IO Config Register	Function Description			
							Function Number	Signal Name	Direction	Description
										。
							7	SMB0_SPNDN	B	SMBUS 0 总线暂停。
13	17	GPIO8_4	CORE	-	YES	IOCMG_GPIO8_4	0	GPIO8_4	B	通用输入输出。
							1	UART3_RXD	I	UART3 数据接收。
							2	CAN0_RX	I	CAN0 总线接收数据。
							3	QDM2_A	I	QDM2 采样输入信号。
							4	POE0	I	APT PWM 输出使能。
							5	GPT0_PWM	O	GPT PWM 输出信号。
							6	I2C0_SCL	B	I2C0 总线时钟。



LQF P64	LQF P80	Pin Name	Pad Group	Pad Default State	Support 5V Tolerance Input	IO Config Register	Function Description			
							Function Number	Signal Name	Direction	Description
							7	CAPM0_SRC	I	CAPM0 采样输入信号。
14	18	GPIO8_5	CORE	-	YES	IOCMG_GPIO8_5	0	GPIO8_5	B	通用输入输出。
							1	UART3_TXD	B	UART3 发送数据。
							2	CAN0_TX	O	CAN0 总线发送数据。
							3	QDM2_B	I	QDM2 采样输入信号。
							4	POE1	I	APT PWM 输出使能。
							5	GPT1_PWM	O	GPT PWM 输出信号。
							6	I2C0_SDA	B	I2C0 总线数据/地址。

LQFP64	LQFP80	Pin Name	Pad Group	Pad Default State	Support 5V Tolerance Input	IO Config Register	Function Description			
							Function Number	Signal Name	Direction	Description
							7	CAPM1_SRC	I	CAPM1 采样输入信号。
15	19	APT0_A	CORE	-	YES	IOCMG_APT0_A	0	GPIO3_5	B	通用输入输出。
							3	APT0_PWM_A	O	APT PWM A 相输出。
							4	UART2_TXD	B	UART2 发送数据。
16	20	APT1_A	CORE	-	YES	IOCMG_APT1_A	0	GPIO3_6	B	通用输入输出。
							3	APT1_PWM_A	O	APT PWM A 相输出。
							4	UART2_RXD	I	UART2 接收数据。
17	21	APT2_A	CORE	-	YES	IOCMG_APT2_A	0	GPIO3_7	B	通用输入输出。
							3	APT2_PWM_A	O	APT PWM A 相输

LQFP64	LQFP80	Pin Name	Pad Group	Pad Default State	Support 5V Tolerance Input	IO Config Register	Function Description			
							Function Number	Signal Name	Direction	Description
										出。
							4	CAN1_RX	I	CAN1 总线接收数据。
18	22	APT0_B	CORE	-	YES	IOCMG_APT0_B	0	GPIO4_0	B	通用输入输出。
							3	APT0_PWM_B	O	APT PWM B 相输出。
							4	CAN1_TX	O	CAN1 总线发送数据。
19	23	APT1_B	CORE	-	YES	IOCMG_APT1_B	0	GPIO4_1	B	通用输入输出。
							2	I2C0_SCL	B	I2C0 总线时钟。
							3	APT1_PWM_B	O	APT PWM B 相输出。
20	24	APT2_B	CORE	-	No	IOCMG_APT2_B	0	GPIO4_2	B	通用输入输出。

LQF P64	LQF P80	Pin Name	Pad Gro up	Pad Defa ult Stat e	Sup port 5V Tol era nce Inp ut	IO Config Register	Function Description			
							Functio n Number	Signal Name	Directio n	Descript ion
							2	I2C0_S DA	B	I2C0 总 线数据/ 地址。
							3	APT2_P WMB	O	APT PWM B 相输 出。
							12	ANA_T EST	O	ADCVR EF 测试 信号。
21	25	PGA0IN _P0	CO RE	-	No	IOCMG_P GA0IN_P0	0	GPIO4_ 3	B	通用输 入输 出。
							3	UART1 _RXD	I	UART1 数据接 收。
							4	QDM3_ A	I	QDM3 采样输 入信 号。
							12	ADC0_ ANA_A 7	I	ADC0_ A7 通道 模拟输 入信 号。
							13	PGA0_ ANA_P 0	I	PGA0_ P0 通道 模拟输 入信

LQFP64	LQFP80	Pin Name	Pad Group	Pad Default State	Support 5V Tolerance Input	IO Config Register	Function Description			
							Function Number	Signal Name	Direction	Description
										号。
							14	ADC1_ANA_A14	I	ADC1_A14 通道模拟输入信号。
22	26	PGA0IN_N0	CORE	-	No	IOCMG_PGA0IN_N0	0	GPIO4_4	B	通用输入输出。
							3	UART1_TXD	B	UART1 发送数据。
							4	QDM3_B	I	QDM3 采样输入信号。
							12	ADC0_ANA_A8	I	ADC0_A8 通道模拟输入信号。
							13	PGA0_ANA_N0	I	PGA0_N0 通道模拟输入信号。
							14	ADC1_ANA_A15	I	ADC1_A15 通道模拟

LQFP64	LQFP80	Pin Name	Pad Group	Pad Default State	Support 5V Tolerance Input	IO Config Register	Function Description			
							Function Number	Signal Name	Direction	Description
										输入信号。
23	27	PGA0OUT	CORE	-	No	IOCMG_PGA0OUT	0	GPIO4_5	B	通用输入输出。
							3	UART1_CTSN	I	UART1 发送清除信号 (Clear To Send)。
							4	QDM3_INDEX	B	QDM3 采样输入信号。
							5	POE1	I	APT PWM 输出使能。
							13	PGA0_ANA_EXT0	O	PGA0 模拟输出信号。
24	28	VSSA1	-	-	-	-	-	-	-	-
25	29	VDDA1	-	-	-	-	-	-	-	-
26	30	GPIO8_7	CORE	-	YES	IOCMG_GPIO8_7	0	GPIO8_7	B	通用输入输出。

LQFP64	LQFP80	Pin Name	Pad Group	Pad Default State	Support 5V Tolerance Input	IO Config Register	Function Description			
							Function Number	Signal Name	Direction	Description
							1	CAN1_TX	O	CAN1 总线发送数据。
							2	UART4_TXD	B	UART4 发送数据。
							3	I2C0_SDA	B	I2C0 总线数据/地址。
							4	GPT0_PWM	O	GPT PWM 输出信号。
							5	CAPM1_SRC	I	CAPM1 采样输入信号。
27	31	GPIO9_0	CORE	-	YES	IOCMG_GPIO9_0	0	GPIO9_0	B	通用输入输出。
							1	CAN1_RX	I	CAN1 总线接收数据。
							2	UART4_RXD	I	UART4 接收数据。
							3	I2C0_S	B	I2C0 总

LQFP64	LQFP80	Pin Name	Pad Group	Pad Default State	Support 5V Tolerance Input	IO Config Register	Function Description			
							Function Number	Signal Name	Direction	Description
								CL		线时钟。
							4	GPT1_PWM	O	GPT PWM 输出信号。
							5	CAPM2_SRC	I	CAPM2 采样输入信号。
28	32	GPIO4_6	CORE	-	No	IOCMG_GPIO4_6	0	GPIO4_6	B	通用输入输出。
							6	ADC_EXT_TRIG0	I	ADC 采样外部触发信号 0。
							12	ADC0_ANA_A3	I	ADC0_A3 通道模拟输入信号。
							13	PGA1_ANA_P3	I	PGA1_P3 通道模拟输入信号。
							14	ADC2_ANA_A	I	ADC2_A14 通



LQFP64	LQFP80	Pin Name	Pad Group	Pad Default State	Support 5V Tolerance Input	IO Config Register	Function Description			
							Function Number	Signal Name	Direction	Description
								14		道模拟输入信号。
29	33	GPIO4_7	CORE	-	No	IOCMG_GPIO4_7	0	GPIO4_7	B	通用输入输出。
							4	CAN0_RX	I	CAN0 总线接收数据。
							5	UART1_RTSN	O	UART1 发送请求信号 (Request To Send)。
							6	UART0_RXD	I	UART0 接收数据。
							12	ADC0_ANA_A4	I	ADC0_A4 通道模拟输入信号。
							13	PGA1_ANA_N3	I	PGA1_N3 通道模拟输入信

LQF P64	LQF P80	Pin Name	Pad Gro up	Pad Defa ult Stat e	Sup port 5V Tol era nce Inp ut	IO Config Register	Function Description			
							Functio n Number	Signal Name	Directio n	Descript ion
										号。
							14	ACMP0 _ANA_ N1	I	ACMP0 _N1 通 道模拟 输入信 号。
							15	ADC2_ ANA_A 15	I	ADC2_ A15 通 道模拟 输入信 号。
30	34	GPIO5_ 0_X_PO E0	CO RE	-	No	IOCMG_G PIO5_0_X _POE0	0	GPIO5_ 0	B	通用输 入输 出。
							1	POE0	I	APT PWM 输 出使 能。
							2	ACMP0 _OUT	O	ACMP 比较结 果输出 信号。
							3	APT_E VTMP4	I	APT 多 功能事 件 4。
							4	CAN0_ TX	O	CAN0 总线发 送数 据。

LQFP64	LQFP80	Pin Name	Pad Group	Pad Default State	Support 5V Tolerance Input	IO Config Register	Function Description			
							Function Number	Signal Name	Direction	Description
							5	ADC0_STATU S	O	ADC0 状态测试信号。
							6	UART0_TXD	B	UART0 发送数据。
							13	PGA1_ANA_EXT1	O	PGA1 模拟输出信号。
-	35	GPIO5_1	CORE	-	YES	IOCMG_GPIO5_1	0	GPIO5_1	B	通用输入输出。
							3	CAN1_RX	I	CAN1 总线接收数据。
							4	SPI1_CSNO	B	SPI1 片选信号 0, 低有效。
							5	UART1_TXD	B	UART1 发送数据。
-	36	GPIO5_2	CORE	-	YES	IOCMG_GPIO5_2	0	GPIO5_2	B	通用输入输出。

LQF P64	LQF P80	Pin Name	Pad Group	Pad Default State	Support 5V Tolerance Input	IO Config Register	Function Description			
							Function Number	Signal Name	Direction	Description
							3	CAN1_TX	O	CAN1 总线发送数据。
							4	SPI1_MOSI	B	SPI1 发送数据输出。
							5	UART1_RXD	I	UART1 数据接收。
-	37	GPIO5_3	CORE	-	YES	IOCMG_GPIO5_3	0	GPIO5_3	B	通用输入输出。
							2	POE0	I	APT PWM 输出使能。
							4	SPI1_MISO	B	SPI1 接收数据输入。
							5	UART2_RXD	I	UART2 接收数据。
-	38	GPIO5_4	CORE	-	YES	IOCMG_GPIO5_4	0	GPIO5_4	B	通用输入输出。
							2	POE1	I	APT PWM 输

LQFP64	LQFP80	Pin Name	Pad Group	Pad Default State	Support 5V Tolerance Input	IO Config Register	Function Description			
							Function Number	Signal Name	Direction	Description
										出使能。
							4	SPI1_CLK	B	SPI1 时钟信号。
							5	UART2_TXD	B	UART2 发送数据。
31	39	GPIO5_5	CORE	-	No	IOCMG_GPIO5_5	0	GPIO5_5	B	通用输入输出。
							2	POE0	I	APT PWM 输出使能。
							3	QDM1_INDEX	B	QDM1 采样输入信号。
							4	SPI1_CS1	B	SPI1 片选信号 1, 低有效。
							12	ADC2_ANA_A9	I	ADC2_A9 通道模拟输入信号。

LQF P64	LQF P80	Pin Name	Pad Group	Pad Default State	Support 5V Tolerance Input	IO Config Register	Function Description			
							Function Number	Signal Name	Direction	Description
							13	PGA2_ANA_P0	I	PGA2_P0 通道模拟输入信号。
							14	ACMP0_ANA_P1	I	ACMP0_P1 通道模拟输入信号。
32	40	GPIO5_6	CORE	-	No	IOCMG_GPIO5_6	0	GPIO5_6	B	通用输入输出。
							2	UART2_CTSN	I	UART2 发送清除信号 (Clear To Send)。
							3	QDM1_A	I	QDM1 采样输入信号。
							4	UART4_CTSN	I	UART4 发送清除信号 (Clear To Send)

LQF P64	LQF P80	Pin Name	Pad Gro up	Pad Defa ult Stat e	Sup port 5V Tol era nce Inp ut	IO Config Register	Function Description			
							Functio n Number	Signal Name	Directio n	Descript ion
										。
							12	ADC2_ANA_A6	I	ADC2_A6 通道模拟输入信号。
							13	PGA2_ANA_N0	I	PGA2_N0 通道模拟输入信号。
33	41	GPIO5_7	CORE	-	No	IOCMG_GPIO5_7	0	GPIO5_7	B	通用输入输出。
							2	UART2_RTSN	O	UART2 发送请求信号 (Request To Send)。
							3	QDM1_B	I	QDM1 采样输入信号。
							4	UART4_RTSN	O	UART4 发送请求信号 (Request To

LQFP64	LQFP80	Pin Name	Pad Group	Pad Default State	Support 5V Tolerance Input	IO Config Register	Function Description			
							Function Number	Signal Name	Direction	Description
										Send)。 。
							13	PGA2_ANA_EXT0	O	PGA2 模拟输出信号。
34	42	VDD1	-	-	-	-	-	-	-	-
35	43	VSS1	-	-	-	-	-	-	-	-
36	44	ADC2_A7	CORE	-	No	IOCMG_ADC2_A7	0	GPIO6_0	B	通用输入输出。
							1	CAN1_RX	I	CAN1 总线接收数据。
							2	SPI1_CS1	B	SPI1 片选信号 1, 低有效。
							3	UART2_TXD	B	UART2 发送数据。
							4	QDM0_A	I	QDM0 采样输入信号。
							12	ADC2_ANA_A7	I	ADC2_A7 通道模拟输



LQFP64	LQFP80	Pin Name	Pad Group	Pad Default State	Support 5V Tolerance Input	IO Config Register	Function Description			
							Function Number	Signal Name	Direction	Description
										入信号。
							13	ACMP2_ANA_N1	I	ACMP2_N1 通道模拟输入信号。
							14	ADC0_ANA_A13	I	ADC0_A13 通道模拟输入信号。
37	45	ADC2_A8	CORE	-	No	IOCMG_ADC2_A8	0	GPIO6_1	B	通用输入输出。
							1	CAN1_TX	O	CAN1 总线发送数据。
							2	SPI1_MOSI	B	SPI1 发送数据输出。
							3	UART2_RXD	I	UART2 接收数据。
							4	QDM0_B	I	QDM0 采样输入信号。

LQF P64	LQF P80	Pin Name	Pad Gro up	Pad Defa ult Stat e	Sup port 5V Tol era nce Inp ut	IO Config Register	Function Description			
							Funcio n Number	Signal Name	Directio n	Descript ion
							5	POE2	I	APT PWM 输 出使 能。
							12	ADC2_ ANA_A 8	I	ADC2_ A8 通道 模拟输 入信 号。
							13	ACMP2_ ANA_ P1	I	ACMP2_ P1 通 道模拟 输入信 号。
							14	ADC1_ ANA_A 9	I	ADC1_ A9 通道 模拟输 入信 号。
38	46	ADC2_A 5	CO RE	-	No	IOCMG_A DC2_A5	0	GPIO6_ 2	B	通用输 入输 出。
							2	ACMP2_ OUT	O	ACMP 比较结 果输出 信号。
							3	POE1	I	APT PWM 输 出使

LQFP64	LQFP80	Pin Name	Pad Group	Pad Default State	Support 5V Tolerance Input	IO Config Register	Function Description			
							Function Number	Signal Name	Direction	Description
										能。
							4	QDM0_INDEX	B	QDM0 采样输入信号。
							5	SPI1_MISO	B	SPI1 接收数据输入。
							6	CAPM1_SRC	I	CAPM1 采样输入信号。
							7	ADC2_STATUSES	O	ADC2 状态测试信号。
							12	ADC2_ANA_A5	I	ADC2_A5 通道模拟输入信号。
							13	ADC1_ANA_A7	I	ADC1_A7 通道模拟输入信号。
39	47	ADC2_A2_X_POE2	CORE	-	No	IOCMG_ADC2_A2_X_POE2	0	GPIO6_3	B	通用输入输出。

LQF P64	LQF P80	Pin Name	Pad Gro up	Pad Defa ult Stat e	Sup port 5V Tol era nce Inp ut	IO Config Register	Function Description			
							Funcio n Number	Signal Name	Directio n	Descript ion
							1	UART4_RXD	I	UART4 接收数据。
							2	POE2	I	APT PWM 输出使能。
							3	CAN0_RX	I	CAN0 总线接收数据。
							4	SPI1_CSN0	B	SPI1 片选信号 0, 低有效。
							5	ADC_EXT_TRIG2	I	ADC 采样外部触发信号 2。
							6	CAPM2_SRC	I	CAPM2 采样输入信号。
							7	SMB0_ALTN	B	SMBUS 0 总线报警。
							12	ADC2_ANA_A2	I	ADC2_A2 通道模拟输

LQFP64	LQFP80	Pin Name	Pad Group	Pad Default State	Support 5V Tolerance Input	IO Config Register	Function Description			
							Function Number	Signal Name	Direction	Description
										入信号。
							13	ADC0_ANA_A14	I	ADC0_A14 通道模拟输入信号。
40	48	ADC2_A10	CORE	-	No	IOCMG_ADC2_A10	0	GPIO6_4	B	通用输入输出。
							1	UART4_TXD	B	UART4 发送数据。
							2	APT_EVTMP6	I	APT 多功能事件 6。
							3	CAN0_TX	O	CAN0 总线发送数据。
							4	SPI1_CLK	B	SPI1 时钟信号。
							5	SMB0_SPNDN	B	SMBUS 0 总线暂停。
							6	CAPM0_SRC	I	CAPM0 采样输

LQFP64	LQFP80	Pin Name	Pad Group	Pad Default State	Support 5V Tolerance Input	IO Config Register	Function Description			
							Function Number	Signal Name	Direction	Description
										入信号。
							12	ADC2_ANA_A10	I	ADC2_A10 通道模拟输入信号。
							13	ADC0_ANA_A15	I	ADC0_A15 通道模拟输入信号。
							14	DAC0_ANA_OUTPUT	O	DAC0 模拟输出信号。
-	49	GPIO6_5	CORE	-	YES	IOCMG_GPIO6_5	0	GPIO6_5	B	通用输入输出。
							1	I2C0_SCL	B	I2C0 总线时钟。
							2	CAPM1_SRC	I	CAPM1 采样输入信号。
							3	CAN1_RX	I	CAN1 总线接收数

LQFP64	LQFP80	Pin Name	Pad Group	Pad Default State	Support 5V Tolerance Input	IO Config Register	Function Description			
							Function Number	Signal Name	Direction	Description
										据。
							5	GPT0_PWM	O	GPT PWM 输出信号。
							6	UART3_RXD	I	UART3 数据接收。
-	50	GPIO6_6	CORE	-	YES	IOCMG_GPIO6_6	0	GPIO6_6	B	通用输入输出。
							1	I2C0_SDA	B	I2C0 总线数据/地址。
							2	CAPM2_SRC	I	CAPM2 采样输入信号。
							3	CAN1_TX	O	CAN1 总线发送数据。
							4	POE0	I	APT PWM 输出使能。
							5	GPT1_PWM	O	GPT PWM 输出信

LQFP64	LQFP80	Pin Name	Pad Group	Pad Default State	Support 5V Tolerance Input	IO Config Register	Function Description			
							Function Number	Signal Name	Direction	Description
										号。
							6	UART3_TXD	B	UART3 发送数据。
41	51	APT3_A	CORE	-	YES	IOCMG_APT3_A	0	GPIO6_7	B	通用输入输出。
							1	APT3_PWM_A	O	APT PWM A 相输出。
							2	UART1_RXD	I	UART1 数据接收。
42	52	APT4_A	CORE	-	YES	IOCMG_APT4_A	0	GPIO7_0	B	通用输入输出。
							1	APT4_PWM_A	O	APT PWM A 相输出。
							2	UART1_TXD	B	UART1 发送数据。
43	53	APT5_A	CORE	-	YES	IOCMG_APT5_A	0	GPIO7_1	B	通用输入输出。
							1	APT5_PWM_A	O	APT PWM A



LQFP64	LQFP80	Pin Name	Pad Group	Pad Default State	Support 5V Tolerance Input	IO Config Register	Function Description			
							Function Number	Signal Name	Direction	Description
										相输出。
							3	SPI0_CS0	B	SPI0 片选信号 0, 低有效。
							4	UART1_RTSN	O	UART1 发送请求信号 (Request To Send)。
							5	UART3_RTSN	O	UART3 发送请求信号 (Request To Send)。
44	54	APT3_B	CORE	-	YES	IOCMG_APT3_B	0	GPIO7_2	B	通用输入输出。
							1	APT3_PWM B	O	APT PWM B 相输出。
							4	UART1_CTSN	I	UART1 发送清除信号

LQFP64	LQFP80	Pin Name	Pad Group	Pad Default State	Support 5V Tolerance Input	IO Config Register	Function Description			
							Function Number	Signal Name	Direction	Description
										(Clear To Send)。
							5	UART3_CTSN	I	UART3 发送清除信号 (Clear To Send)。
							11	EF_BIST_SDI	I	EFLASH BIST 测试接口 SPI 数据输入信号。
45	55	APT4_B	CORE	-	YES	IOCMG_APT4_B	0	GPIO7_3	B	通用输入输出。
							1	APT4_PWM B	O	APT PWM B 相输出。
							4	UART2_RTSN	O	UART2 发送请求信号 (Request To Send)

LQFP64	LQFP80	Pin Name	Pad Group	Pad Default State	Support 5V Tolerance Input	IO Config Register	Function Description			
							Function Number	Signal Name	Direction	Description
										。
							5	UART4_RTSN	O	UART4 发送请求信号 (Request To Send) 。
							6	SMB0_ALT_N	B	SMBUS 0 总线报警。
46	56	APT5_B	CORE	-	YES	IOCMG_APT5_B	0	GPIO7_4	B	通用输入输出。
							1	APT5_PWM_B	O	APT PWM B 相输出。
							2	QDM2_INDEX	B	QDM2 采样输入信号。
							3	SPI0_CLK	B	SPI0 时钟信号。
							4	UART2_CTSN	I	UART2 发送清除信号 (Clear To

LQFP64	LQFP80	Pin Name	Pad Group	Pad Default State	Support 5V Tolerance Input	IO Config Register	Function Description			
							Function Number	Signal Name	Direction	Description
										Send)。 。
							5	UART4_CTSN	I	UART4 发送清除信号 (Clear To Send)。 。
							6	SMB0_SPNDN	B	SMBUS 0 总线暂停。
-	57	GPIO8_0	CORE	-	YES	IOCMG_GPIO8_0	0	GPIO8_0	B	通用输入输出。
							1	POE2	I	APT PWM 输出使能。
							2	CAN0_RX	I	CAN0 总线接收数据。
							3	GPT0_PWM	O	GPT PWM 输出信号。
							4	I2C0_SCL	B	I2C0 总线时

LQF P64	LQF P80	Pin Name	Pad Group	Pad Default State	Support 5V Tolerance Input	IO Config Register	Function Description			
							Function Number	Signal Name	Direction	Description
										钟。
							5	UART4_RXD	I	UART4 接收数据。
-	58	GPIO7_5	CORE	-	YES	IOCMG_GPIO7_5	0	GPIO7_5	B	通用输入输出。
							1	POE1	I	APT PWM 输出使能。
							2	CAN0_TX	O	CAN0 总线发送数据。
							3	SPI0_CS1	B	SPI0 片选信号 1, 低有效。
							4	GPT1_PWM	O	GPT PWM 输出信号。
							5	I2C0_SDA	B	I2C0 总线数据/地址。
							6	UART4_TXD	B	UART4 发送数

LQFP64	LQFP80	Pin Name	Pad Group	Pad Default State	Support 5V Tolerance Input	IO Config Register	Function Description			
							Function Number	Signal Name	Direction	Description
										据。
47	59	I2C0_SCL_X_UART2_TX	AON	-	No	IOCMG_I2C0_SCL_X_UART2_TX	0	GPIO7_6	B	通用输入输出。
							1	UART2_TXD	B	UART2 发送数据。
							2	I2C0_SCL	B	I2C0 总线时钟。
							3	WAKEUP2	I	deep sleep 唤醒信号。
							4	APT_EVTIO4	I	APT IO 事件 4。
							5	QDM2_A	I	QDM2 采样输入信号。
							12	ADC2_ANA_A3	I	ADC2_A3 通道模拟输入信号。
							13	DAC1_ANA_OUTPUT	O	DAC1 模拟输出信

LQFP64	LQFP80	Pin Name	Pad Group	Pad Default State	Support 5V Tolerance Input	IO Config Register	Function Description			
							Function Number	Signal Name	Direction	Description
										号。
							14	ADC0_ANA_A12	I	ADC0_A12 通道模拟输入信号。
48	60	I2C0_SDA_X_UART2_RX	AON	-	No	IOCMG_I2C0_SDA_X_UART2_RX	0	GPIO7_7	B	通用输入输出。
							1	UART2_RXD	I	UART2 接收数据。
							2	I2C0_SDA	B	I2C0 总线数据/地址。
							3	WAKEUP3	I	deep sleep 唤醒信号。
							5	QDM2_B	I	QDM2 采样输入信号。
							11	PMU_CLDO_EN	O	PMU CLDO 使能信号。
							12	ADC2_ANA_A4	I	ADC2_A4 通道

LQFP64	LQFP80	Pin Name	Pad Group	Pad Default State	Support 5V Tolerance Input	IO Config Register	Function Description			
							Function Number	Signal Name	Direction	Description
										模拟输入信号。
							13	DAC2_ANA_OUTPUT	O	DAC2 模拟输出信号。
49	61	TCK_X_SWDCK	AON	PD	YES	IOCMG_TCK_X_SW DCK	0	GPIO0_0	B	通用输入输出。
							1	JTAG_TCK	I	JTAG 时钟输入 /SWDC K。
							3	WAKEUP0	I	deep sleep 唤醒信号。
							4	UART0_CTSN	I	UART0 发送清除信号 (Clear To Send) 。
							5	UART4_CTSN	I	UART4 发送清除信号 (Clear



LQFP64	LQFP80	Pin Name	Pad Group	Pad Default State	Support 5V Tolerance Input	IO Config Register	Function Description			
							Function Number	Signal Name	Direction	Description
										To Send)。 。
50	62	TMS_X_SWDIO	AON	PU	YES	IOCMG_TMS_X_SWDIO	0	GPIO0_1	B	通用输入输出。
							1	JTAG_TMS	B	JTAG 模式选择输入/SWDIO。 。
							3	WAKEUP1	I	deep sleep 唤醒信号。
							4	UART0_RTSN	O	UART0 发送请求信号 (Request To Send)。 。
							5	UART4_RTSN	O	UART4 发送请求信号 (Request To Send)。 。
-	63	VDD3	-	-	-	-	-	-	-	-

LQFP64	LQFP80	Pin Name	Pad Group	Pad Default State	Support 5V Tolerance Input	IO Config Register	Function Description			
							Function Number	Signal Name	Direction	Description
51	64	RESETN	AON	PU	YES	IOCMG_RESETN	0	GPIO8_1	B	通用输入输出。
							1	RESETN	I	芯片硬件复位输入，低有效。
							2	SYS_RSTN_OUTPUT	O	系统复位输出。 0: 复位; 1: 撤销复位。
-	65	GPIO8_6	CORE	-	YES	IOCMG_GPIO8_6	0	GPIO8_6	B	通用输入输出。
							1	GPT1_PWM	O	GPT PWM 输出信号。
							2	CAPM1_SRC	I	CAPM1 采样输入信号。
							3	POE2	I	APT PWM 输

LQFP64	LQFP80	Pin Name	Pad Group	Pad Default State	Support 5V Tolerance Input	IO Config Register	Function Description			
							Function Number	Signal Name	Direction	Description
										出使能。
							4	UART4_TXD	B	UART4 发送数据。
-	66	GPIO0_2	CORE	-	YES	IOCMG_GPIO0_2	0	GPIO0_2	B	通用输入输出。
							1	GPT0_PWM	O	GPT PWM 输出信号。
							2	CAPM2_SRC	I	CAPM2 采样输入信号。
							3	POE1	I	APT PWM 输出使能。
							4	UART4_RXD	I	UART4 接收数据。
52	67	XTAL_OUT	CORE	-	No	IOCMG_XTAL_OUT	0	GPIO0_3	B	通用输入输出。
							2	GPT0_PWM	O	GPT PWM 输出信

LQF P64	LQF P80	Pin Name	Pad Gro up	Pad Defa ult Stat e	Sup port 5V Tol era nce Inp ut	IO Config Register	Function Description			
							Function Number	Signal Name	Directio n	Descript ion
										号。
							4	UART0_TXD	B	UART0 发送数据。
							12	XTAL_OUT	B	晶振输出端/外部时钟输入端。
53	68	XTAL_IN	CORE	-	No	IOCMG_XTAL_IN	0	GPIO0_4	B	通用输入输出。
							4	UART0_RXD	I	UART0 接收数据。
							12	XTAL_IN	B	晶振输入端。
54	69	GPT0	CORE	-	No	IOCMG_GPT0	0	GPIO0_5	B	通用输入输出。
							1	GPT0_PWM	O	GPT PWM 输出信号。
							2	APT_EVTMP5	I	APT 多功能事件 5。

LQFP64	LQFP80	Pin Name	Pad Group	Pad Default State	Support 5V Tolerance Input	IO Config Register	Function Description			
							Function Number	Signal Name	Direction	Description
							3	CAPM1_SRC	I	CAPM1 采样输入信号。
							4	QDM3_INDEX	B	QDM3 采样输入信号。
							6	POE0	I	APT PWM 输出使能。
							7	ADC_EXT_TRIG3	I	ADC 采样外部触发信号 3。
55	70	CAN0_RX	CORE	-	YES	IOCMG_CAN0_RX	0	GPIO0_6	B	通用输入输出。
							1	CAN0_RX	I	CAN0 总线接收数据。
							2	APT_EVTIO5	I	APT IO 事件 5。
							3	QDM3_A	I	QDM3 采样输入信

LQF P64	LQF P80	Pin Name	Pad Group	Pad Default State	Support 5V Tolerance Input	IO Config Register	Function Description			
							Function Number	Signal Name	Direction	Description
										号。
							4	POE2	I	APT PWM 输出使能。
							5	CAPM0_SRC	I	CAPM0 采样输入信号。
							6	GPT0_PWM	O	GPT PWM 输出信号。
							7	UART4_RXD	I	UART4 接收数据。
							8	UART2_CTSN	I	UART2 发送清除信号 (Clear To Send) 。
56	71	CAN0_TX	CORE	-	YES	IOCMG_CAN0_TX	0	GPIO0_7	B	通用输入输出。
							1	CAN0_TX	O	CAN0 总线发送数

LQF P64	LQF P80	Pin Name	Pad Group	Pad Default State	Support 5V Tolerance Input	IO Config Register	Function Description			
							Function Number	Signal Name	Direction	Description
										据。
							3	QDM3_B	I	QDM3 采样输入信号。
							4	CAPM1_SRC	I	CAPM1 采样输入信号。
							5	GPT1_PWM	O	GPT PWM 输出信号。
							6	UART4_TXD	B	UART4 发送数据。
							7	UART2_RTSN	O	UART2 发送请求信号 (Request To Send)。
57	72	QDM0_A	CORE	-	YES	IOCMG_QDM0_A	0	GPIO1_0	B	通用输入输出。
							1	QDM0_A	I	QDM0 采样输入信

LQFP64	LQFP80	Pin Name	Pad Group	Pad Default State	Support 5V Tolerance Input	IO Config Register	Function Description			
							Function Number	Signal Name	Direction	Description
										号。
							2	CAN1_RX	I	CAN1 总线接收数据。
							3	UART2_TXD	B	UART2 发送数据。
							4	I2C0_SCL	B	I2C0 总线时钟。
							5	CAPM2_SRC	I	CAPM2 采样输入信号。
							6	GPT0_PWM	O	GPT PWM 输出信号。
							7	UART4_CTSN	I	UART4 发送清除信号 (Clear To Send)。
58	73	QDM0_B	CORE	-	YES	IOCMG_QDM0_B	0	GPIO1_1	B	通用输入输出。



LQFP64	LQFP80	Pin Name	Pad Group	Pad Default State	Support 5V Tolerance Input	IO Config Register	Function Description			
							Function Number	Signal Name	Direction	Description
							1	QDM0_B	I	QDM0 采样输入信号。
							2	CAN1_TX	O	CAN1 总线发送数据。
							3	UART2_RXD	I	UART2 接收数据。
							4	I2C0_SDA	B	I2C0 总线数据/地址。
							6	GPT1_PWM	O	GPT PWM 输出信号。
							7	UART4_RTSEN	O	UART4 发送请求信号 (Request To Send)。
59	74	BOOT_X_GPIO1_2	CORE	-	No	IOCMG_BOOT_X_GPIO1_2	0	GPIO1_2	B	通用输入输出。
							1	UPDATE_MOD	I	系统升

LQF P64	LQF P80	Pin Name	Pad Gro up	Pad Defa ult Stat e	Sup port 5V Tol era nce Inp ut	IO Config Register	Function Description			
							Funcio n Number	Signal Name	Directio n	Descript ion
								E		级标 志, 芯 片上电 锁存。  1 : UPDAT E_MOD E  0 : NORMA L_MOD E
							4	UART1 _RTSN	O	UART1 发送请 求信号 (Reque st To Send) 。
							6	SMB0_ SPNDN	B	SMBUS 0 总线 暂停。
60	75	TDO_X_ GPT1_X_ _UART1 _RX	CO RE	-	YE S	IOCMG_T DO_X_GP T1_X_UAR T1_RX	0	GPIO1_ 3	B	通用输 入输 出。
							1	JTAG_T DO	O	JTAG 输出数 据。
							2	GPT1_ PWM	O	GPT PWM 输 出信

LQF P64	LQF P80	Pin Name	Pad Gro up	Pad Defa ult Stat e	Sup port 5V Tol era nce Inp ut	IO Config Register	Function Description			
							Functio n Number	Signal Name	Directio n	Descript ion
										号。
							3	CAPM2_SRC	I	CAPM2 采样输入信号。
							4	UART1_RXD	I	UART1 数据接收。
							5	I2C0_SCL	B	I2C0 总线时钟。
							6	QDM1_A	I	QDM1 采样输入信号。
61	76	TDI_X_C APM0_X _UART1 _TX	CO RE	PU	YE S	IOCMG_T DI_X_CAP M0_X_UA RT1_TX	0	GPIO1_4	B	通用输入输出。
							1	JTAG_TDI	I	JTAG 输入数据。
							3	CAPM0_SRC	I	CAPM0 采样输入信号。
							4	UART1_TXD	B	UART1 发送数据。

LQFP64	LQFP80	Pin Name	Pad Group	Pad Default State	Support 5V Tolerance Input	IO Config Register	Function Description			
							Function Number	Signal Name	Direction	Description
							5	I2C0_SDA	B	I2C0 总线数据/地址。
							6	QDM1_B	I	QDM1 采样输入信号。
62	77	GPIO8_2	CORE	-	YES	IOCMG_GPIO8_2	0	GPIO8_2	B	通用输入输出。
							1	CAPM0_SRC	I	CAPM0 采样输入信号。
							2	POE0	I	APT PWM 输出使能。
							3	GPT0_PWM	O	GPT PWM 输出信号。
							4	UART3_TXD	B	UART3 发送数据。
							5	QDM1_INDEX	B	QDM1 采样输入信号。

LQF P64	LQF P80	Pin Name	Pad Gro up	Pad Defa ult Stat e	Sup port 5V Tol era nce Inp ut	IO Config Register	Function Description			
							Funcio n Number	Signal Name	Directio n	Descript ion
							6	UART1_CTSN	I	UART1 发送清除信号 (Clear To Send)。
							7	SMB0_ALTN	B	SMBUS 0 总线报警。
-	78	GPIO1_5	CO RE	-	YE S	IOCMG_G PIO1_5	0	GPIO1_5	B	通用输入输出。
							1	POE0	I	APT PWM 输出使能。
							2	GPT1_PWM	O	GPT PWM 输出信号。
							3	CAPM1_SRC	I	CAPM1 采样输入信号。
							4	UART3_RXD	I	UART3 数据接收。
63	79	VSS0	-	-	-	-	-	-	-	-

LQF P64	LQF P80	Pin Name	Pad Group	Pad Default State	Support 5V Tolerance Input	IO Config Register	Function Description			
							Function Number	Signal Name	Direction	Description
64	80	VDD0	-	-	-	-	-	-	-	-

功能信号表

表3-2 复用关系

Interface	Signal Name	Description	Direction	Pin Name	Function Number	IO Config Register
ACMP	ACMP0_OUT	ACMP 比较结果输出信号。	O	GPIO5_0_X_POE0	2	IOCMG_GPIO5_0_X_POE0
	ACMP1_OUT	ACMP 比较结果输出信号。	O	ADC1_A4_X_APT6_B	2	IOCMG_ADC1_A4_X_APT6_B
	ACMP2_OUT	ACMP 比较结果输出信号。	O	ADC2_A5	2	IOCMG_ADC2_A5
ADC	ADC0_STATU S	ADC0 状态测试信号。	O	ADC1_A3	7	IOCMG_ADC1_A3
				GPIO5_0_X_POE0	5	IOCMG_GPIO5_0_X_POE0
	ADC1_STATU S	ADC1 状态测试信号。	O	ADC1_A8	6	IOCMG_ADC1_A8
	ADC2_STATU S	ADC2 状态测试信号。	O	ADC2_A5	7	IOCMG_ADC2_A5
	ADC_EXT_TRI G0	ADC 采样外部触发信号0。	I	GPIO4_6	6	IOCMG_GPIO4_6
	ADC_EXT_TRI	ADC 采样外部触发信号	I	TRSTN_X_ADC1_A11_X_CA	6	IOCMG_TRSTN_X_ADC1_A11_X_C

Interface	Signal Name	Description	Direction	Pin Name	Function Number	IO Config Register
	G1	1。		PM1		APM1
	ADC_EXT_TRIG2	ADC 采样外部触发信号 2。	I	ADC2_A2_X_POE2	5	IOCMG_ADC2_A2_X_POE2
	ADC_EXT_TRIG3	ADC 采样外部触发信号 3。	I	GPT0	7	IOCMG_GPT0
APT	APT0_PWMA	APT PWM A 相输出。	O	APT0_A	3	IOCMG_APT0_A
	APT0_PWMB	APT PWM B 相输出。	O	APT0_B	3	IOCMG_APT0_B
	APT1_PWMA	APT PWM A 相输出。	O	APT1_A	3	IOCMG_APT1_A
	APT1_PWMB	APT PWM B 相输出。	O	APT1_B	3	IOCMG_APT1_B
	APT2_PWMA	APT PWM A 相输出。	O	APT2_A	3	IOCMG_APT2_A
	APT2_PWMB	APT PWM B 相输出。	O	APT2_B	3	IOCMG_APT2_B
	APT3_PWMA	APT PWM A 相输出。	O	APT3_A	1	IOCMG_APT3_A
	APT3_PWMB	APT PWM B 相输出。	O	APT3_B	1	IOCMG_APT3_B
	APT4_PWMA	APT PWM A 相输出。	O	APT4_A	1	IOCMG_APT4_A
	APT4_PWMB	APT PWM B 相输出。	O	APT4_B	1	IOCMG_APT4_B
	APT5_PWMA	APT PWM A 相输出。	O	APT5_A	1	IOCMG_APT5_A
	APT5_PWMB	APT PWM B 相输出。	O	APT5_B	1	IOCMG_APT5_B
	APT6_PWMA	APT PWM A 相输出。	O	ADC1_A10_X_PGA1IN_N0_X_APT6_A	3	IOCMG_ADC1_A10_X_PGA1IN_N0_X_APT6_A
	APT6_PWMB	APT PWM B 相输出。	O	ADC1_A4_X_APT6_B	3	IOCMG_ADC1_A4_X_APT6_B

Interface	Signal Name	Description	Direction	Pin Name	Function Number	IO Config Register
	APT7_PWMA	APT PWM A 相输出。	O	PGA1OUT0	3	IOCMG_PGA1OUT0
	APT7_PWMB	APT PWM B 相输出。	O	ADC1_A5_X_APT7_B	3	IOCMG_ADC1_A5_X_APT7_B
	APT8_PWMA	APT PWM A 相输出。	O	ADC1_A3	3	IOCMG_ADC1_A3
	APT8_PWMB	APT PWM B 相输出。	O	ADC1_A6_X_APT8_B	3	IOCMG_ADC1_A6_X_APT8_B
APT_EVENT	APT_EVTIO4	APT IO 事件 4。	I	I2C0_SCL_X_UART2_TX	4	IOCMG_I2C0_SCL_X_UART2_TX
	APT_EVTIO5	APT IO 事件 5。	I	CAN0_RX	2	IOCMG_CAN0_RX
	APT_EVTMP4	APT 多功能事件 4。	I	ADC1_A8	2	IOCMG_ADC1_A8
				GPIO5_0_X_POE0	3	IOCMG_GPIO5_0_X_POE0
	APT_EVTMP5	APT 多功能事件 5。	I	GPT0	2	IOCMG_GPT0
	APT_EVTMP6	APT 多功能事件 6。	I	ADC2_A10	2	IOCMG_ADC2_A10
CAN	CAN0_RX	CAN0 总线接收数据。	I	CAN0_RX	1	IOCMG_CAN0_RX
				GPIO8_4	2	IOCMG_GPIO8_4
				GPIO4_7	4	IOCMG_GPIO4_7
				ADC2_A2_X_POE2	3	IOCMG_ADC2_A2_X_POE2
				GPIO8_0	2	IOCMG_GPIO8_0
	CAN0_TX	CAN0 总线发送数据。	O	CAN0_TX	1	IOCMG_CAN0_TX
				GPIO8_5	2	IOCMG_GPIO8_5
				GPIO5_0_X_POE0	4	IOCMG_GPIO5_0_X_POE0
				ADC2_A10	3	IOCMG_ADC2_A10
				GPIO7_5	2	IOCMG_GPIO7_5
	CAN1_	CAN1 总线接收数据。	I	QDM0_A	2	IOCMG_QDM0_A



Interface	Signal Name	Description	Direction	Pin Name	Function Number	IO Config Register
	RX			APT2_A	4	IOCMG_APT2_A
				GPIO9_0	1	IOCMG_GPIO9_0
				GPIO5_1	3	IOCMG_GPIO5_1
				ADC2_A7	1	IOCMG_ADC2_A7
				GPIO6_5	3	IOCMG_GPIO6_5
	CAN1_TX	CAN1 总线发送数据。	O	QDM0_B	2	IOCMG_QDM0_B
				APT0_B	4	IOCMG_APT0_B
				GPIO8_7	1	IOCMG_GPIO8_7
				GPIO5_2	3	IOCMG_GPIO5_2
				ADC2_A8	1	IOCMG_ADC2_A8
				GPIO6_6	3	IOCMG_GPIO6_6
CAPM	CAPM0_SRC	CAPM0 采样输入信号。	I	CAN0_RX	5	IOCMG_CAN0_RX
				TDI_X_CAPM0_X_UART1_TX	3	IOCMG_TDI_X_CAPM0_X_UART1_TX
				GPIO8_2	1	IOCMG_GPIO8_2
				ADC1_A13	3	IOCMG_ADC1_A13
				GPIO3_2	5	IOCMG_GPIO3_2
				GPIO8_4	7	IOCMG_GPIO8_4
				ADC2_A10	6	IOCMG_ADC2_A10
	CAPM1_SRC	CAPM1 采样输入信号。	I	GPIO8_6	2	IOCMG_GPIO8_6
				GPT0	3	IOCMG_GPT0
				CAN0_TX	4	IOCMG_CAN0_TX
				GPIO1_5	3	IOCMG_GPIO1_5
				TRSTN_X_ADC1_A11_X_CAPM1	3	IOCMG_TRSTN_X_ADC1_A11_X_CAPM1
				GPIO3_3	3	IOCMG_GPIO3_3

Interface	Signal Name	Description	Direction	Pin Name	Function Number	IO Config Register
				GPIO8_5	7	IOCMG_GPIO8_5
				GPIO8_7	5	IOCMG_GPIO8_7
				ADC2_A5	6	IOCMG_ADC2_A5
				GPIO6_5	2	IOCMG_GPIO6_5
	CAPM2_SRC	CAPM2 采样输入信号。	I	GPIO0_2	2	IOCMG_GPIO0_2
				QDM0_A	5	IOCMG_QDM0_A
				TDO_X_GPT1_X_UART1_RX	3	IOCMG_TDO_X_GPT1_X_UART1_RX
				GPIO8_3	3	IOCMG_GPIO8_3
				ADC1_A12_X_CAPM2	3	IOCMG_ADC1_A12_X_CAPM2
				GPIO3_4	3	IOCMG_GPIO3_4
				GPIO9_0	5	IOCMG_GPIO9_0
				ADC2_A2_X_POE2	6	IOCMG_ADC2_A2_X_POE2
				GPIO6_6	2	IOCMG_GPIO6_6
GPIO	GPIO0_0	通用输入输出。	B	TCK_X_SWDC K	0	IOCMG_TCK_X_SWDC K
	GPIO0_1	通用输入输出。	B	TMS_X_SWDI O	0	IOCMG_TMS_X_SWDI O
	GPIO0_2	通用输入输出。	B	GPIO0_2	0	IOCMG_GPIO0_2
	GPIO0_3	通用输入输出。	B	XTAL_OUT	0	IOCMG_XTAL_OUT
	GPIO0_4	通用输入输出。	B	XTAL_IN	0	IOCMG_XTAL_IN
	GPIO0_5	通用输入输出。	B	GPT0	0	IOCMG_GPT0
	GPIO0_6	通用输入输出。	B	CAN0_RX	0	IOCMG_CAN0_RX
	GPIO0_7	通用输入输出。	B	CAN0_TX	0	IOCMG_CAN0_TX

Interface	Signal Name	Description	Direction	Pin Name	Function Number	IO Config Register
	GPIO1_0	通用输入输出。	B	QDM0_A	0	IOCMG_QDM0_A
	GPIO1_1	通用输入输出。	B	QDM0_B	0	IOCMG_QDM0_B
	GPIO1_2	通用输入输出。	B	BOOT_X_GPIO1_2	0	IOCMG_BOOT_X_GPIO1_2
	GPIO1_3	通用输入输出。	B	TDO_X_GPT1_X_UART1_RX	0	IOCMG_TDO_X_GPT1_X_UART1_RX
	GPIO1_4	通用输入输出。	B	TDI_X_CAPM0_X_UART1_TX	0	IOCMG_TDI_X_CAPM0_X_UART1_TX
	GPIO1_5	通用输入输出。	B	GPIO1_5	0	IOCMG_GPIO1_5
	GPIO1_6	通用输入输出。	B	QDM0_INDEX_X_POE1	0	IOCMG_QDM0_INDEX_X_POE1
	GPIO1_7	通用输入输出。	B	TRSTN_X_ADC1_A11_X_CAPM1	0	IOCMG_TRSTN_X_ADC1_A11_X_CAPM1
	GPIO2_0	通用输入输出。	B	ADC1_A12_X_CAPM2	0	IOCMG_ADC1_A12_X_CAPM2
	GPIO2_1	通用输入输出。	B	ADC1_A13	0	IOCMG_ADC1_A13
	GPIO2_2	通用输入输出。	B	ADC1_A8	0	IOCMG_ADC1_A8
	GPIO2_3	通用输入输出。	B	ADC1_A2_X_PGA1IN_P0	0	IOCMG_ADC1_A2_X_PGA1IN_P0
	GPIO2_4	通用输入输出。	B	ADC1_A10_X_PGA1IN_N0_X_APT6_A	0	IOCMG_ADC1_A10_X_PGA1IN_N0_X_APT6_A
	GPIO2_5	通用输入输出。	B	PGA1OUT0	0	IOCMG_PGA1OUT0
	GPIO2_6	通用输入输出。	B	ADC1_A3	0	IOCMG_ADC1_A3
	GPIO2_7	通用输入输出。	B	ADC1_A4_X_APT6_B	0	IOCMG_ADC1_A4_X_APT6_B

Interface	Signal Name	Description	Direction	Pin Name	Function Number	IO Config Register
	GPIO3_0	通用输入输出。	B	ADC1_A5_X_APT7_B	0	IOCMG_ADC1_A5_X_APT7_B
	GPIO3_1	通用输入输出。	B	ADC1_A6_X_APT8_B	0	IOCMG_ADC1_A6_X_APT8_B
	GPIO3_2	通用输入输出。	B	GPIO3_2	0	IOCMG_GPIO3_2
	GPIO3_3	通用输入输出。	B	GPIO3_3	0	IOCMG_GPIO3_3
	GPIO3_4	通用输入输出。	B	GPIO3_4	0	IOCMG_GPIO3_4
	GPIO3_5	通用输入输出。	B	APT0_A	0	IOCMG_APT0_A
	GPIO3_6	通用输入输出。	B	APT1_A	0	IOCMG_APT1_A
	GPIO3_7	通用输入输出。	B	APT2_A	0	IOCMG_APT2_A
	GPIO4_0	通用输入输出。	B	APT0_B	0	IOCMG_APT0_B
	GPIO4_1	通用输入输出。	B	APT1_B	0	IOCMG_APT1_B
	GPIO4_2	通用输入输出。	B	APT2_B	0	IOCMG_APT2_B
	GPIO4_3	通用输入输出。	B	PGA0IN_P0	0	IOCMG_PGA0IN_P0
	GPIO4_4	通用输入输出。	B	PGA0IN_N0	0	IOCMG_PGA0IN_N0
	GPIO4_5	通用输入输出。	B	PGA0OUT	0	IOCMG_PGA0OUT
	GPIO4_6	通用输入输出。	B	GPIO4_6	0	IOCMG_GPIO4_6
	GPIO4_7	通用输入输出。	B	GPIO4_7	0	IOCMG_GPIO4_7
	GPIO5_0	通用输入输出。	B	GPIO5_0_X_POE0	0	IOCMG_GPIO5_0_X_POE0

Interface	Signal Name	Description	Direction	Pin Name	Function Number	IO Config Register
	GPIO5_1	通用输入输出。	B	GPIO5_1	0	IOCMG_GPIO5_1
	GPIO5_2	通用输入输出。	B	GPIO5_2	0	IOCMG_GPIO5_2
	GPIO5_3	通用输入输出。	B	GPIO5_3	0	IOCMG_GPIO5_3
	GPIO5_4	通用输入输出。	B	GPIO5_4	0	IOCMG_GPIO5_4
	GPIO5_5	通用输入输出。	B	GPIO5_5	0	IOCMG_GPIO5_5
	GPIO5_6	通用输入输出。	B	GPIO5_6	0	IOCMG_GPIO5_6
	GPIO5_7	通用输入输出。	B	GPIO5_7	0	IOCMG_GPIO5_7
	GPIO6_0	通用输入输出。	B	ADC2_A7	0	IOCMG_ADC2_A7
	GPIO6_1	通用输入输出。	B	ADC2_A8	0	IOCMG_ADC2_A8
	GPIO6_2	通用输入输出。	B	ADC2_A5	0	IOCMG_ADC2_A5
	GPIO6_3	通用输入输出。	B	ADC2_A2_X_POE2	0	IOCMG_ADC2_A2_X_POE2
	GPIO6_4	通用输入输出。	B	ADC2_A10	0	IOCMG_ADC2_A10
	GPIO6_5	通用输入输出。	B	GPIO6_5	0	IOCMG_GPIO6_5
	GPIO6_6	通用输入输出。	B	GPIO6_6	0	IOCMG_GPIO6_6
	GPIO6_7	通用输入输出。	B	APT3_A	0	IOCMG_APT3_A
	GPIO7_0	通用输入输出。	B	APT4_A	0	IOCMG_APT4_A
	GPIO7_1	通用输入输出。	B	APT5_A	0	IOCMG_APT5_A

Interface	Signal Name	Description	Direction	Pin Name	Function Number	IO Config Register
	GPIO7_2	通用输入输出。	B	APT3_B	0	IOCMG_APT3_B
	GPIO7_3	通用输入输出。	B	APT4_B	0	IOCMG_APT4_B
	GPIO7_4	通用输入输出。	B	APT5_B	0	IOCMG_APT5_B
	GPIO7_5	通用输入输出。	B	GPIO7_5	0	IOCMG_GPIO7_5
	GPIO7_6	通用输入输出。	B	I2C0_SCL_X_UART2_TX	0	IOCMG_I2C0_SCL_X_UART2_TX
	GPIO7_7	通用输入输出。	B	I2C0_SDA_X_UART2_RX	0	IOCMG_I2C0_SDA_X_UART2_RX
	GPIO8_0	通用输入输出。	B	GPIO8_0	0	IOCMG_GPIO8_0
	GPIO8_1	通用输入输出。	B	RESETN	0	IOCMG_RESETN
	GPIO8_2	通用输入输出。	B	GPIO8_2	0	IOCMG_GPIO8_2
	GPIO8_3	通用输入输出。	B	GPIO8_3	0	IOCMG_GPIO8_3
	GPIO8_4	通用输入输出。	B	GPIO8_4	0	IOCMG_GPIO8_4
	GPIO8_5	通用输入输出。	B	GPIO8_5	0	IOCMG_GPIO8_5
	GPIO8_6	通用输入输出。	B	GPIO8_6	0	IOCMG_GPIO8_6
	GPIO8_7	通用输入输出。	B	GPIO8_7	0	IOCMG_GPIO8_7
	GPIO9_0	通用输入输出。	B	GPIO9_0	0	IOCMG_GPIO9_0
GPT	GPT0_PWM	GPT PWM 输出信号。	O	GPIO0_2	1	IOCMG_GPIO0_2
				XTAL_OUT	2	IOCMG_XTAL_OUT
				GPT0	1	IOCMG_GPT0

Interface	Signal Name	Description	Direction	Pin Name	Function Number	IO Config Register
				CAN0_RX	6	IOCMG_CAN0_RX
				QDM0_A	6	IOCMG_QDM0_A
				GPIO8_2	3	IOCMG_GPIO8_2
				GPIO8_3	2	IOCMG_GPIO8_3
				GPIO3_3	1	IOCMG_GPIO3_3
				GPIO3_4	1	IOCMG_GPIO3_4
				GPIO8_4	5	IOCMG_GPIO8_4
				GPIO8_7	4	IOCMG_GPIO8_7
				GPIO6_5	5	IOCMG_GPIO6_5
				GPIO8_0	3	IOCMG_GPIO8_0
	GPT1_PWM	GPT PWM 输出信号。	O	GPIO8_6	1	IOCMG_GPIO8_6
				CAN0_TX	5	IOCMG_CAN0_TX
				QDM0_B	6	IOCMG_QDM0_B
				TDO_X_GPT1_X_UART1_RX	2	IOCMG_TDO_X_GPT1_X_UART1_RX
				GPIO1_5	2	IOCMG_GPIO1_5
				GPIO3_2	7	IOCMG_GPIO3_2
				GPIO8_5	5	IOCMG_GPIO8_5
				GPIO9_0	4	IOCMG_GPIO9_0
				GPIO6_6	5	IOCMG_GPIO6_6
				GPIO7_5	4	IOCMG_GPIO7_5
I2C	I2C0_SCL	I2C0 总线时钟。	B	QDM0_A	4	IOCMG_QDM0_A
				TDO_X_GPT1_X_UART1_RX	5	IOCMG_TDO_X_GPT1_X_UART1_RX
				ADC1_A4_X_APT6_B	4	IOCMG_ADC1_A4_X_APT6_B
				GPIO3_3	4	IOCMG_GPIO3_3
				GPIO8_4	6	IOCMG_GPIO8_4

Interface	Signal Name	Description	Direction	Pin Name	Function Number	IO Config Register
				APT1_B	2	IOCMG_APT1_B
				GPIO9_0	3	IOCMG_GPIO9_0
				GPIO6_5	1	IOCMG_GPIO6_5
				GPIO8_0	4	IOCMG_GPIO8_0
				I2C0_SCL_X_UART2_TX	2	IOCMG_I2C0_SCL_X_UART2_TX
	I2C0_SDA	I2C0 总线数据/地址。	B	QDM0_B	4	IOCMG_QDM0_B
				TDI_X_CAPM0_X_UART1_TX	5	IOCMG_TDI_X_CAPM0_X_UART1_TX
				ADC1_A5_X_APT7_B	4	IOCMG_ADC1_A5_X_APT7_B
				GPIO3_4	4	IOCMG_GPIO3_4
				GPIO8_5	6	IOCMG_GPIO8_5
				APT2_B	2	IOCMG_APT2_B
				GPIO8_7	3	IOCMG_GPIO8_7
				GPIO6_6	1	IOCMG_GPIO6_6
				GPIO7_5	5	IOCMG_GPIO7_5
				I2C0_SDA_X_UART2_RX	2	IOCMG_I2C0_SDA_X_UART2_RX
JTAG	JTAG_TCK	JTAG 时钟输入/SWDCK。	I	TCK_X_SWDC K	1	IOCMG_TCK_X_SWDC K
	JTAG_TDI	JTAG 输入数据。	I	TDI_X_CAPM0_X_UART1_TX	1	IOCMG_TDI_X_CAPM0_X_UART1_TX
	JTAG_TDO	JTAG 输出数据。	O	TDO_X_GPT1_X_UART1_RX	1	IOCMG_TDO_X_GPT1_X_UART1_RX
	JTAG_TMS	JTAG 模式选择输入 /SWDIO。	B	TMS_X_SWDI O	1	IOCMG_TMS_X_SWDIO
	JTAG_TRSTN	JTAG 复位信号。	I	TRSTN_X_ADC1_A11_X_CAPM1	1	IOCMG_TRSTN_X_ADC1_A11_X_CAPM1



Interface	Signal Name	Description	Direction	Pin Name	Function Number	IO Config Register
POE	POE0	APT PWM 输出使能。	I	GPT0	6	IOCMG_GPT0
				GPIO8_2	2	IOCMG_GPIO8_2
				GPIO1_5	1	IOCMG_GPIO1_5
				ADC1_A3	4	IOCMG_ADC1_A3
				GPIO8_4	4	IOCMG_GPIO8_4
				GPIO5_0_X_POE0	1	IOCMG_GPIO5_0_X_POE0
				GPIO5_3	2	IOCMG_GPIO5_3
				GPIO5_5	2	IOCMG_GPIO5_5
				GPIO6_6	4	IOCMG_GPIO6_6
	POE1	APT PWM 输出使能。	I	GPIO0_2	3	IOCMG_GPIO0_2
				GPIO8_3	1	IOCMG_GPIO8_3
				QDM0_INDEX_X_POE1	2	IOCMG_QDM0_INDEX_X_POE1
				ADC1_A6_X_APT8_B	6	IOCMG_ADC1_A6_X_APT8_B
				GPIO8_5	4	IOCMG_GPIO8_5
				PGA0OUT	5	IOCMG_PGA0OUT
				GPIO5_4	2	IOCMG_GPIO5_4
				ADC2_A5	3	IOCMG_ADC2_A5
				GPIO7_5	1	IOCMG_GPIO7_5
	POE2	APT PWM 输出使能。	I	GPIO8_6	3	IOCMG_GPIO8_6
				CAN0_RX	4	IOCMG_CAN0_RX
				ADC1_A2_X_PGA1IN_P0	1	IOCMG_ADC1_A2_X_PGA1IN_P0
				GPIO3_2	4	IOCMG_GPIO3_2
				ADC2_A8	5	IOCMG_ADC2_A8
				ADC2_A2_X_POE2	2	IOCMG_ADC2_A2_X_POE2

Interface	Signal Name	Description	Direction	Pin Name	Function Number	IO Config Register
				GPIO8_0	1	IOCMG_GPIO8_0
QDM	QDM0_A	QDM0 采样输入信号。	I	QDM0_A	1	IOCMG_QDM0_A
				ADC2_A7	4	IOCMG_ADC2_A7
	QDM0_B	QDM0 采样输入信号。	I	QDM0_B	1	IOCMG_QDM0_B
				ADC2_A8	4	IOCMG_ADC2_A8
	QDM0_INDEX	QDM0 采样输入信号。	B	QDM0_INDEX_X_POE1	1	IOCMG_QDM0_INDEX_X_POE1
				ADC2_A5	4	IOCMG_ADC2_A5
	QDM1_A	QDM1 采样输入信号。	I	TDO_X_GPT1_X_UART1_RX	6	IOCMG_TDO_X_GPT1_X_UART1_RX
				ADC1_A10_X_PGA1IN_N0_X_APT6_A	5	IOCMG_ADC1_A10_X_PGA1IN_N0_X_APT6_A
				GPIO5_6	3	IOCMG_GPIO5_6
	QDM1_B	QDM1 采样输入信号。	I	TDI_X_CAPM0_X_UART1_TX	6	IOCMG_TDI_X_CAPM0_X_UART1_TX
				PGA1OUT0	5	IOCMG_PGA1OUT0
				GPIO5_7	3	IOCMG_GPIO5_7
	QDM1_INDEX	QDM1 采样输入信号。	B	GPIO8_2	5	IOCMG_GPIO8_2
				ADC1_A3	6	IOCMG_ADC1_A3
				GPIO5_5	3	IOCMG_GPIO5_5
	QDM2_A	QDM2 采样输入信号。	I	ADC1_A12_X_CAPM2	6	IOCMG_ADC1_A12_X_CAPM2
				GPIO8_4	3	IOCMG_GPIO8_4
				I2C0_SCL_X_UART2_TX	5	IOCMG_I2C0_SCL_X_UART2_TX
	QDM2_B	QDM2 采样输入信号。	I	ADC1_A13	6	IOCMG_ADC1_A13
				GPIO8_5	3	IOCMG_GPIO8_5

Interface	Signal Name	Description	Direction	Pin Name	Function Number	IO Config Register
				I2C0_SDA_X_UART2_RX	5	IOCMG_I2C0_SDA_X_UART2_RX
	QDM2_INDEX	QDM2 采样输入信号。	B	TRSTN_X_ADC1_A11_X_CAMP1	7	IOCMG_TRSTN_X_ADC1_A11_X_CAMP1
				ADC1_A6_X_APT8_B	5	IOCMG_ADC1_A6_X_APT8_B
				APT5_B	2	IOCMG_APT5_B
	QDM3_A	QDM3 采样输入信号。	I	CAN0_RX	3	IOCMG_CAN0_RX
				PGA0IN_P0	4	IOCMG_PGA0IN_P0
	QDM3_B	QDM3 采样输入信号。	I	CAN0_TX	3	IOCMG_CAN0_TX
				PGA0IN_N0	4	IOCMG_PGA0IN_N0
	QDM3_INDEX	QDM3 采样输入信号。	B	GPT0	4	IOCMG_GPT0
				PGA0OUT	4	IOCMG_PGA0OUT
SYS	RESETN	芯片硬件复位输入，低有效。	I	RESETN	1	IOCMG_RESETN
I2C	SMB0_ALTN	SMBUS0 总线报警。	B	GPIO8_2	7	IOCMG_GPIO8_2
				GPIO3_3	6	IOCMG_GPIO3_3
				ADC2_A2_X_POE2	7	IOCMG_ADC2_A2_X_POE2
				APT4_B	6	IOCMG_APT4_B
	SMB0_SPNDN	SMBUS0 总线暂停。	B	BOOT_X_GPIO1_2	6	IOCMG_BOOT_X_GPIO1_2
				GPIO3_4	7	IOCMG_GPIO3_4
				ADC2_A10	5	IOCMG_ADC2_A10
				APT5_B	6	IOCMG_APT5_B
SPI	SPI0_CLK	SPI0 时钟信号。	B	ADC1_A2_X_PGA1IN_P0	5	IOCMG_ADC1_A2_X_PGA1IN_P0

Interface	Signal Name	Description	Direction	Pin Name	Function Number	IO Config Register
				APT5_B	3	IOCMG_APT5_B
	SPI0_CSN0	SPI0 片选信号 0, 低有效。	B	TRSTN_X_ADC1_A11_X_CAPM1	5	IOCMG_TRSTN_X_ADC1_A11_X_CAPM1
				APT5_A	3	IOCMG_APT5_A
	SPI0_CSN1	SPI0 片选信号 1, 低有效。	B	ADC1_A8	5	IOCMG_ADC1_A8
				GPIO7_5	3	IOCMG_GPIO7_5
	SPI0_MISO	SPI0 接收数据输入。	B	ADC1_A13	5	IOCMG_ADC1_A13
				APT4_B	3	IOCMG_APT4_B
	SPI0_MOSI	SPI0 发送数据输出。	B	ADC1_A12_X_CAPM2	5	IOCMG_ADC1_A12_X_CAPM2
				APT3_B	3	IOCMG_APT3_B
	SPI1_CLK	SPI1 时钟信号。	B	GPIO5_4	4	IOCMG_GPIO5_4
				ADC2_A10	4	IOCMG_ADC2_A10
	SPI1_CSN0	SPI1 片选信号 0, 低有效。	B	GPIO5_1	4	IOCMG_GPIO5_1
				ADC2_A2_X_POE2	4	IOCMG_ADC2_A2_X_POE2
	SPI1_CSN1	SPI1 片选信号 1, 低有效。	B	GPIO5_5	4	IOCMG_GPIO5_5
				ADC2_A7	2	IOCMG_ADC2_A7
	SPI1_MISO	SPI1 接收数据输入。	B	GPIO5_3	4	IOCMG_GPIO5_3
				ADC2_A5	5	IOCMG_ADC2_A5
	SPI1_MOSI	SPI1 发送数据输出。	B	GPIO5_2	4	IOCMG_GPIO5_2
				ADC2_A8	2	IOCMG_ADC2_A8
SYS	SYS_RSTN_OUT	系统复位输出。 0: 复位; 1: 撤销复位。	O	RESETN	2	IOCMG_RESETN
SYS	TEST_CLK	测试时钟输出。	O	BOOT_X_GPIO1_2	11	IOCMG_BOOT_X_GPIO1_2

Interface	Signal Name	Description	Direction	Pin Name	Function Number	IO Config Register
UART	UART0_CTSN	UART0 发送清除信号 (Clear To Send) 。	I	TCK_X_SWDC K	4	IOCMG_TCK_X_SWDC K
				ADC1_A5_X_A PT7_B	5	IOCMG_ADC1_A5_X_A PT7_B
	UART0_RTSN	UART0 发送请求信号 (Request To Send) 。	O	TMS_X_SWDI O	4	IOCMG_TMS_X_SWDI O
				ADC1_A4_X_A PT6_B	5	IOCMG_ADC1_A4_X_A PT6_B
	UART0_RXD	UART0 接收数据。	I	XTAL_IN	4	IOCMG_XTAL_IN
				ADC1_A10_X_PGA1IN_N0_X_APT6_A	4	IOCMG_ADC1_A10_X_PGA1IN_N0_X_APT6_A
				GPIO3_3	2	IOCMG_GPIO3_3
				GPIO4_7	6	IOCMG_GPIO4_7
	UART0_TXD	UART0 发送数据。	B	XTAL_OUT	4	IOCMG_XTAL_OUT
				PGA1OUT0	4	IOCMG_PGA1OUT0
				GPIO3_4	2	IOCMG_GPIO3_4
				GPIO5_0_X_POE0	6	IOCMG_GPIO5_0_POE0
	UART1_CTSN	UART1 发送清除信号 (Clear To Send) 。	I	GPIO8_2	6	IOCMG_GPIO8_2
				TRSTN_X_ADC1_A11_X_CAMP1	4	IOCMG_TRSTN_X_ADC1_A11_X_CAMP1
				PGA0OUT	3	IOCMG_PGA0OUT
				APT3_B	4	IOCMG_APT3_B
	UART1_RTSN	UART1 发送请求信号 (Request To Send) 。	O	BOOT_X_GPIO1_2	4	IOCMG_BOOT_X_GPIO1_2
				ADC1_A8	3	IOCMG_ADC1_A8
				GPIO4_7	5	IOCMG_GPIO4_7
				APT5_A	4	IOCMG_APT5_A

Interface	Signal Name	Description	Direction	Pin Name	Function Number	IO Config Register
	UART1_RXD	UART1 数据接收。	I	TDO_X_GPT1_X_UART1_RX	4	IOCMG_TDO_X_GPT1_X_UART1_RX
				PGA0IN_P0	3	IOCMG_PGA0IN_P0
				GPIO5_2	5	IOCMG_GPIO5_2
				APT3_A	2	IOCMG_APT3_A
	UART1_TXD	UART1 发送数据。	B	TDI_X_CAPM0_X_UART1_TX	4	IOCMG_TDI_X_CAPM0_X_UART1_TX
				PGA0IN_N0	3	IOCMG_PGA0IN_N0
				GPIO5_1	5	IOCMG_GPIO5_1
				APT4_A	2	IOCMG_APT4_A
	UART2_CTSN	UART2 发送清除信号 (Clear To Send) 。	I	CAN0_RX	8	IOCMG_CAN0_RX
				GPIO5_6	2	IOCMG_GPIO5_6
				APT5_B	4	IOCMG_APT5_B
	UART2_RTSN	UART2 发送请求信号 (Request To Send) 。	O	CAN0_TX	7	IOCMG_CAN0_TX
				GPIO5_7	2	IOCMG_GPIO5_7
				APT4_B	4	IOCMG_APT4_B
	UART2_RXD	UART2 接收数据。	I	QDM0_B	3	IOCMG_QDM0_B
				APT1_A	4	IOCMG_APT1_A
				GPIO5_3	5	IOCMG_GPIO5_3
				ADC2_A8	3	IOCMG_ADC2_A8
				I2C0_SDA_X_UART2_RX	1	IOCMG_I2C0_SDA_X_UART2_RX
	UART2_TXD	UART2 发送数据。	B	QDM0_A	3	IOCMG_QDM0_A
				APT0_A	4	IOCMG_APT0_A
				GPIO5_4	5	IOCMG_GPIO5_4
				ADC2_A7	3	IOCMG_ADC2_A7
				I2C0_SCL_X_	1	IOCMG_I2C0_SCL

Interface	Signal Name	Description	Direction	Pin Name	Function Number	IO Config Register
				UART2_TX		_X_UART2_TX
	UART3_CTSN	UART3 发送清除信号 (Clear To Send) 。	I	TRSTN_X_ADC1_A11_X_CAPM1	2	IOCMG_TRSTN_X_ADC1_A11_X_CAPM1
				GPIO3_3	5	IOCMG_GPIO3_3
				APT3_B	5	IOCMG_APT3_B
	UART3_RTSN	UART3 发送请求信号 (Request To Send) 。	O	ADC1_A8	4	IOCMG_ADC1_A8
				GPIO3_4	6	IOCMG_GPIO3_4
				APT5_A	5	IOCMG_APT5_A
	UART3_RXD	UART3 数据接收。	I	GPIO1_5	4	IOCMG_GPIO1_5
				ADC1_A12_X_CAPM2	2	IOCMG_ADC1_A12_X_CAPM2
				GPIO8_4	1	IOCMG_GPIO8_4
				GPIO6_5	6	IOCMG_GPIO6_5
	UART3_TXD	UART3 发送数据。	B	GPIO8_2	4	IOCMG_GPIO8_2
				ADC1_A13	2	IOCMG_ADC1_A13
				GPIO8_5	1	IOCMG_GPIO8_5
				GPIO6_6	6	IOCMG_GPIO6_6
	UART4_CTSN	UART4 发送清除信号 (Clear To Send) 。	I	TCK_X_SWDC K	5	IOCMG_TCK_X_SWDC K
				QDM0_A	7	IOCMG_QDM0_A
				GPIO5_6	4	IOCMG_GPIO5_6
				APT5_B	5	IOCMG_APT5_B
	UART4_RTSN	UART4 发送请求信号 (Request To Send) 。	O	TMS_X_SWDI O	5	IOCMG_TMS_X_SWDI O
				QDM0_B	7	IOCMG_QDM0_B
				GPIO5_7	4	IOCMG_GPIO5_7
				APT4_B	5	IOCMG_APT4_B
	UART4	UART4 接收数据。	I	GPIO0_2	4	IOCMG_GPIO0_2

Interface	Signal Name	Description	Direction	Pin Name	Function Number	IO Config Register
	_RXD			CAN0_RX	7	IOCMG_CAN0_RX
				GPIO9_0	2	IOCMG_GPIO9_0
				ADC2_A2_X_POE2	1	IOCMG_ADC2_A2_X_POE2
				GPIO8_0	5	IOCMG_GPIO8_0
	UART4_TXD	UART4 发送数据。	B	GPIO8_6	4	IOCMG_GPIO8_6
				CAN0_TX	6	IOCMG_CAN0_TX
				GPIO8_7	2	IOCMG_GPIO8_7
				ADC2_A10	1	IOCMG_ADC2_A10
				GPIO7_5	6	IOCMG_GPIO7_5
SYS	UPDATE_MODE	系统升级标志，芯片上电锁存。  1 : UPDATE_MODE; 0 : NORMAL_MODE。	I	BOOT_X_GPIO1_2	1	IOCMG_BOOT_X_GPIO1_2
WAKEUP	WAKEUP0	deep sleep 唤醒信号。	I	TCK_X_SWDC_K	3	IOCMG_TCK_X_SWDC_K
	WAKEUP1	deep sleep 唤醒信号。	I	TMS_X_SWDI_O	3	IOCMG_TMS_X_SWDI_O
	WAKEUP2	deep sleep 唤醒信号。	I	I2C0_SCL_X_UART2_TX	3	IOCMG_I2C0_SCL_X_UART2_TX
	WAKEUP3	deep sleep 唤醒信号。	I	I2C0_SDA_X_UART2_RX	3	IOCMG_I2C0_SDA_X_UART2_RX
ANALOG	ACMP0_ANA_N1	ACMP0_N1 通道模拟输入信号。	I	GPIO4_7	14	IOCMG_GPIO4_7
	ACMP0_ANA_P1	ACMP0_P1 通道模拟输入信号。	I	GPIO5_5	14	IOCMG_GPIO5_5
	ACMP1_ANA_N2	ACMP1_N2 通道模拟输入信号。	I	TRSTN_X_ADC1_A11_X_CAMP1	13	IOCMG_TRSTN_X_ADC1_A11_X_CAMP1



Interface	Signal Name	Description	Direction	Pin Name	Function Number	IO Config Register
	ACMP1_ANA_N3	ACMP1_N3 通道模拟输入信号。	I	ADC1_A5_X_APT7_B	13	IOCMG_ADC1_A5_X_APT7_B
	ACMP1_ANA_P2	ACMP1_P2 通道模拟输入信号。	I	ADC1_A8	13	IOCMG_ADC1_A8
	ACMP1_ANA_P3	ACMP1_P3 通道模拟输入信号。	I	ADC1_A6_X_APT8_B	13	IOCMG_ADC1_A6_X_APT8_B
	ACMP2_ANA_N1	ACMP2_N1 通道模拟输入信号。	I	ADC2_A7	13	IOCMG_ADC2_A7
	ACMP2_ANA_P1	ACMP2_P1 通道模拟输入信号。	I	ADC2_A8	13	IOCMG_ADC2_A8
	ADC0_ANA_A10	ADC0_A10 通道模拟输入信号。	I	ADC1_A8	14	IOCMG_ADC1_A8
	ADC0_ANA_A12	ADC0_A12 通道模拟输入信号。	I	I2C0_SCL_X_UART2_TX	14	IOCMG_I2C0_SCL_X_UART2_TX
	ADC0_ANA_A13	ADC0_A13 通道模拟输入信号。	I	ADC2_A7	14	IOCMG_ADC2_A7
	ADC0_ANA_A14	ADC0_A14 通道模拟输入信号。	I	ADC2_A2_X_POE2	13	IOCMG_ADC2_A2_X_POE2
	ADC0_ANA_A15	ADC0_A15 通道模拟输入信号。	I	ADC2_A10	13	IOCMG_ADC2_A10
	ADC0_ANA_A2	ADC0_A2 通道模拟输入信号。	I	ADC1_A13	13	IOCMG_ADC1_A13
	ADC0_ANA_A3	ADC0_A3 通道模拟输入信号。	I	GPIO4_6	12	IOCMG_GPIO4_6
	ADC0_ANA_A4	ADC0_A4 通道模拟输入信号。	I	GPIO4_7	12	IOCMG_GPIO4_7

Interface	Signal Name	Description	Direction	Pin Name	Function Number	IO Config Register
	ADC0_ANA_A6	ADC0_A6 通道模拟输入信号。	I	ADC1_A5_X_APT7_B	14	IOCMG_ADC1_A5_X_APT7_B
	ADC0_ANA_A7	ADC0_A7 通道模拟输入信号。	I	PGA0IN_P0	12	IOCMG_PGA0IN_P0
	ADC0_ANA_A8	ADC0_A8 通道模拟输入信号。	I	PGA0IN_N0	12	IOCMG_PGA0IN_N0
	ADC0_ANA_A9	ADC0_A9 通道模拟输入信号。	I	ADC1_A12_X_CAPM2	13	IOCMG_ADC1_A12_X_CAPM2
	ADC1_ANA_A10	ADC1_A10 通道模拟输入信号。	I	ADC1_A10_X_PGA1IN_N0_X_APT6_A	12	IOCMG_ADC1_A10_X_PGA1IN_N0_X_APT6_A
	ADC1_ANA_A11	ADC1_A11 通道模拟输入信号。	I	TRSTN_X_ADC1_A11_X_CAPM1	12	IOCMG_TRSTN_X_ADC1_A11_X_CAPM1
	ADC1_ANA_A12	ADC1_A12 通道模拟输入信号。	I	ADC1_A12_X_CAPM2	12	IOCMG_ADC1_A12_X_CAPM2
	ADC1_ANA_A13	ADC1_A13 通道模拟输入信号。	I	ADC1_A13	12	IOCMG_ADC1_A13
	ADC1_ANA_A14	ADC1_A14 通道模拟输入信号。	I	PGA0IN_P0	14	IOCMG_PGA0IN_P0
	ADC1_ANA_A15	ADC1_A15 通道模拟输入信号。	I	PGA0IN_N0	14	IOCMG_PGA0IN_N0
	ADC1_ANA_A2	ADC1_A2 通道模拟输入信号。	I	ADC1_A2_X_PGA1IN_P0	12	IOCMG_ADC1_A2_X_PGA1IN_P0
	ADC1_ANA_A3	ADC1_A3 通道模拟输入信号。	I	ADC1_A3	12	IOCMG_ADC1_A3
	ADC1_ANA_A4	ADC1_A4 通道模拟输入信号。	I	ADC1_A4_X_APT6_B	12	IOCMG_ADC1_A4_X_APT6_B

Interface	Signal Name	Description	Direction	Pin Name	Function Number	IO Config Register
	ADC1_ANA_A5	ADC1_A5 通道模拟输入信号。	I	ADC1_A5_X_APT7_B	12	IOCMG_ADC1_A5_X_APT7_B
	ADC1_ANA_A6	ADC1_A6 通道模拟输入信号。	I	ADC1_A6_X_APT8_B	12	IOCMG_ADC1_A6_X_APT8_B
	ADC1_ANA_A7	ADC1_A7 通道模拟输入信号。	I	ADC2_A5	13	IOCMG_ADC2_A5
	ADC1_ANA_A8	ADC1_A8 通道模拟输入信号。	I	ADC1_A8	12	IOCMG_ADC1_A8
	ADC1_ANA_A9	ADC1_A9 通道模拟输入信号。	I	ADC2_A8	14	IOCMG_ADC2_A8
	ADC2_ANA_A10	ADC2_A10 通道模拟输入信号。	I	ADC2_A10	12	IOCMG_ADC2_A10
	ADC2_ANA_A12	ADC2_A12 通道模拟输入信号。	I	ADC1_A3	13	IOCMG_ADC1_A3
	ADC2_ANA_A13	ADC2_A13 通道模拟输入信号。	I	ADC1_A4_X_APT6_B	13	IOCMG_ADC1_A4_X_APT6_B
	ADC2_ANA_A14	ADC2_A14 通道模拟输入信号。	I	GPIO4_6	14	IOCMG_GPIO4_6
	ADC2_ANA_A15	ADC2_A15 通道模拟输入信号。	I	GPIO4_7	15	IOCMG_GPIO4_7
	ADC2_ANA_A2	ADC2_A2 通道模拟输入信号。	I	ADC2_A2_X_POE2	12	IOCMG_ADC2_A2_X_POE2
	ADC2_ANA_A3	ADC2_A3 通道模拟输入信号。	I	I2C0_SCL_X_UART2_TX	12	IOCMG_I2C0_SCL_X_UART2_TX
	ADC2_ANA_A4	ADC2_A4 通道模拟输入信号。	I	I2C0_SDA_X_UART2_RX	12	IOCMG_I2C0_SDA_X_UART2_RX

Interface	Signal Name	Description	Direction	Pin Name	Function Number	IO Config Register
	ADC2_ANA_A5	ADC2_A5 通道模拟输入信号。	I	ADC2_A5	12	IOCMG_ADC2_A5
	ADC2_ANA_A6	ADC2_A6 通道模拟输入信号。	I	GPIO5_6	12	IOCMG_GPIO5_6
	ADC2_ANA_A7	ADC2_A7 通道模拟输入信号。	I	ADC2_A7	12	IOCMG_ADC2_A7
	ADC2_ANA_A8	ADC2_A8 通道模拟输入信号。	I	ADC2_A8	12	IOCMG_ADC2_A8
	ADC2_ANA_A9	ADC2_A9 通道模拟输入信号。	I	GPIO5_5	12	IOCMG_GPIO5_5
	ANA_TEST	ADCVREF 测试信号。	O	APT2_B	12	IOCMG_APT2_B
	DAC0_ANA_OUTPUT	DAC0 模拟输出信号。	O	ADC2_A10	14	IOCMG_ADC2_A10
	DAC1_ANA_OUTPUT	DAC1 模拟输出信号。	O	I2C0_SCL_X_UART2_TX	13	IOCMG_I2C0_SCL_X_UART2_TX
	DAC2_ANA_OUTPUT	DAC2 模拟输出信号。	O	I2C0_SDA_X_UART2_RX	13	IOCMG_I2C0_SDA_X_UART2_RX
	HOSC_TEST	HOSC TEST_ANALOG 信号	O	GPT0	12	IOCMG_GPT0
	PGA0_ANA_EXT0	PGA0 模拟输出信号。	O	PGA0OUT	13	IOCMG_PGA0OUT
	PGA0_ANA_N0	PGA0_N0 通道模拟输入信号。	I	PGA0IN_N0	13	IOCMG_PGA0IN_N0
	PGA0_ANA_P0	PGA0_P0 通道模拟输入信号。	I	PGA0IN_P0	13	IOCMG_PGA0IN_P0

Interface	Signal Name	Description	Direction	Pin Name	Function Number	IO Config Register
	PGA1_ANA_EXT0	PGA1 模拟输出信号。	O	PGA1OUT0	13	IOCMG_PGA1OUT0
	PGA1_ANA_EXT1	PGA1 模拟输出信号。	O	GPIO5_0_X_POE0	13	IOCMG_GPIO5_0_X_POE0
	PGA1_ANA_N0	PGA1_N0 通道模拟输入信号。	I	ADC1_A10_X_PGA1IN_N0_X_APT6_A	13	IOCMG_ADC1_A10_X_PGA1IN_N0_X_APT6_A
	PGA1_ANA_N3	PGA1_N3 通道模拟输入信号。	I	GPIO4_7	13	IOCMG_GPIO4_7
	PGA1_ANA_P0	PGA1_P0 通道模拟输入信号。	I	ADC1_A2_X_PGA1IN_P0	13	IOCMG_ADC1_A2_X_PGA1IN_P0
	PGA1_ANA_P3	PGA1_P3 通道模拟输入信号。	I	GPIO4_6	13	IOCMG_GPIO4_6
	PGA2_ANA_EXT0	PGA2 模拟输出信号。	O	GPIO5_7	13	IOCMG_GPIO5_7
	PGA2_ANA_N0	PGA2_N0 通道模拟输入信号。	I	GPIO5_6	13	IOCMG_GPIO5_6
	PGA2_ANA_P0	PGA2_P0 通道模拟输入信号。	I	GPIO5_5	13	IOCMG_GPIO5_5
	XTAL_IN	晶振输入端。	B	XTAL_IN	12	IOCMG_XTAL_IN
	XTAL_OUT	晶振输出端/外部时钟输入端。	B	XTAL_OUT	12	IOCMG_XTAL_OUT

# 4 电气特性

## 4.1 绝对最大额定值

绝对最大额定值仅为应力额定值，并不保证最大值时的功能操作。超过表 4-1 中指定的值可能对 MCU 造成永久性损坏。

须知

极限工作电压参数如表 4-1 所示，超过这些数值，可能导致 MCU 损坏，可能导致可靠性问题。

表4-1 极限工作条件参数<sup>a</sup>

符号	参数	最小值	最大值	单位
V <sub>DD</sub>	外部电源	-0.3	4	V
V <sub>DDA</sub>	外部模拟电源 <sup>b</sup>	-0.3	4	V
I <sub>VDD/VDDA</sub>	流经电源管脚 VDD 或 VDDA 的最大电流	-	110	mA
I <sub>VSS/VSSA</sub>	流经电源地管脚 VSS 或 VSSA 的最大电流	-	110	mA
V <sub>IN</sub>	耐压 5V 管脚的输入电压	-0.3	6	V
	除耐压 5V 之外的其他管脚的输入电压	-0.3	4	V

符号	参数	最小值	最大值	单位
$I_{IO}$	I/O 管脚的最大电流	-	$\pm 25$	mA
$\Sigma I_{IO}$	流入所有 I/O 管脚的最大电流	-	90	mA
	流出所有 I/O 管脚的最大电流	-	90	mA
$T_A$	工作环境温度	-40	+105	°C
$T_{STG}$	存储环境温度	-55	+150	°C
$T_J$	最大结温	-	125	°C
a：由设计保证。				
b：推荐 $V_{DD}$ 和 $V_{DDA}$ 接同一个电源。				

## 4.2 工作环境参数

推荐工作条件如表 4-2 所示。

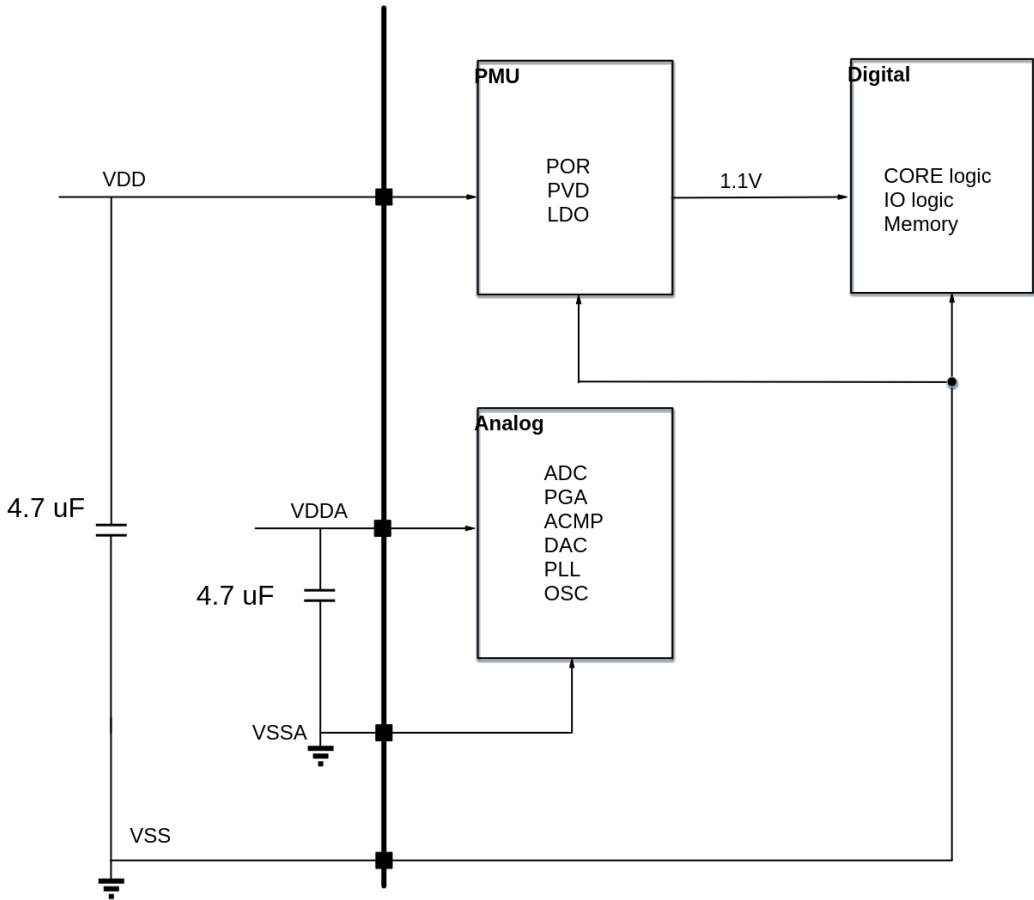
表4-2 推荐工作条件

符号	参数	条件	最小值	典型值	最大值	单位
$V_{DDA}$	外部模拟电源	-	2.4	3.3	3.63	V
$V_{DD}$	外部电源	-	$V_{DDA}$	3.3	3.63	V

## 4.3 供电框图

供电框图如图 4-1 所示。

图4-1 供电框图



4.4 芯片功耗

表4-3 工作电流<sup>a</sup>

工作条件				典型值 <sup>b</sup>		最大值 <sup>c</sup>		单位
CPU 状态	PLL	MCU 主频	外设时钟	I <sub>VDD</sub>	I <sub>VDDA</sub>	I <sub>VDD</sub>	I <sub>VDDA</sub>	-
执行 while(1)	on	25MHz	on	8.6	8.1	20.0	8.7	mA
执行 while(1)	on	50MHz	on	13.9	8.1	25.0	8.7	
执行	on	100MHz	on	23.9	8.1	34.4	8.7	



工作条件				典型值 <sup>b</sup>		最大值 <sup>c</sup>		单位
while(1)								
执行 while(1)	on	150MHz	on	30.3	8.1	40.4	8.7	
执行 while(1)	on	200MHz	on	38.9	8.1	48.4	8.7	
a: 数据来源于实验室测试数据，程序在 eFlash 中执行。								
b: V <sub>DD</sub> =3.3V, V <sub>DDA</sub> =3.3V, 环境温度 25℃。								
c: V <sub>DD</sub> =3.6V, V <sub>DDA</sub> =3.6V, 环境温度 105℃。								

表4-4 sleep 模式工作电流

符号	典型值 (主频 25MHz) <sup>a</sup>	典型值 (主频 200MHz) <sup>a</sup>	单位
I <sub>VDD</sub>	4.2	11.2	mA
I <sub>VDDA</sub>	0.7	0.8	mA
a: 外设模块关闭			

表4-5 deepsleep 模式工作电流

符号	典型值 <sup>a</sup>	单位
I <sub>VDD</sub>	15.0	μA
I <sub>VDDA</sub>	0.05	μA
a: 未使能内部定时唤醒功能。		

4.5 电源上下电斜率

表4-6 电源上下电斜率

符号	参数	条件	最小值	最大值	单位
----	----	----	-----	-----	----

符号	参数	条件	最小值	最大值	单位
tV <sub>DD</sub>	V <sub>DD</sub> 上升斜率	-	-	∞	ms/V
	V <sub>DD</sub> 下降斜率	-	1	-	ms/V

## 4.6 电磁兼容 (EMC) 特性

EMS (Electromagnetic Susceptibility): 电磁敏感度。

测试条件: 运行一个控制 LED 闪烁的简单应用程序, 同时对 MCU 管脚注入一个干扰信号, 不断提高注入的干扰信号的等级, 直到 LED 闪烁出现故障。

- ESD (Electrostatic Discharge): MCU 所有管脚注入 ESD 信号, 直到出现功能异常。测试需要遵循 IEC 61000-4-2 标准。
- EFT (Electrical Fast Transient): 通过一个 100pF 电容对 VDD 和 VSS 注入一个 EFT 信号, 直到出现功能故障, 该测试遵循 IEC 61000-4-4 标准。

设备允许程序运行异常, 但重启后 MCU 必须能恢复。测试结果如表 4-7 所示。

表4-7 EMS 特性

符号	说明	条件	级别
VFESD	在任意管脚施加极限电压, 直到出现功能故障。	VDD = 3.3 V, TA = 25 °C, fHCLK = 150 MHz, 遵循 IEC 61000-4-2。	2B
VEFTB	通过一个 100pF 电容对 VDD 和 VSS 施加一个瞬时高压, 直到出现功能故障。	VDD = 3.3 V, TA = 25 °C, fHCLK = 150 MHz, 遵循 IEC 61000-4-4。	5A

## 4.7 电气敏感特性

ESD (HBM (Human Body Model)、CDM (Charge Device Model)) 和 Latch UP 按照通用标准测试满足的等级如表 4-8 和表 4-9 所示。

表4-8 ESD 极限参数

符号	描述	条件	等级	最大值	单位
VESD(HBM)	ESD (HBM) 静电放电电压 (人体模型)	TA=+25°C, 遵循 ANSI/ESDA/JEDEC JS-001。	3A	4000	V
VESD(CDM)	ESD (CDM) 静电放电电压 (带电设备模型)	TA=+25°C, 遵循 ANSI/ESDA/JEDEC JS-002。	CLASS III	1000	

表4-9 电气敏感度

符号	描述	条件	等级
LU	静态门锁等级	TA = +105 °C, 遵循 JESD78 IC 门锁标准。	II level A

4.8 IO 电气特性

一般输入输出特性

表 4-10 中给出的参数是从表 4-1 下进行试验得到的，另有特别说明的除外。所有 I/O 设计均符合 CMOS (Complementary Metal Oxide Semiconductor) 标准。

表4-10 I/O 静态特性<sup>a</sup>

符号	参数	条件		最小值	典型值	最大值	单位
VIL	I/O 输入低电平电压	除耐 5V I/O 之外的所有类型 I/O	2.4 V < VDD < 3.63 V	-	-	0.35x VDD <sup>a</sup>	V
		耐 5V I/O	2.4 V < VDD < 3.63 V	-	-	0.35x VDD <sup>a</sup>	
VIH	I/O 输入高电	除耐 5V I/O	2.4 V < VDD	0.65 x VDD <sup>a</sup>	-	-	V

符号	参数	条件		最小值	典型值	最大值	单位
	平电压	之外的所有类型 I/O	< 3.63 V				
		耐 5V I/O	2.4 V < VDD < 3.63 V	0.65x VDD <sup>a</sup>	-	-	
V <sub>hys</sub> <sup>a</sup>	I/O 输入迟滞	除耐 5V I/O 之外的所有类型 I/O	2.4 V < VDD < 3.63 V	-	300	-	mV
		耐 5V I/O	2.4V < VDD < 3.63 V	-	300	-	
I <sub>lkg</sub>	输入漏电流 <sup>a</sup>	除耐 5V I/O 之外的所有类型 I/O	0 < V <sub>IN</sub> ≤ VDD	-	-	±170	nA
		耐 5V I/O	VDD < V <sub>IN</sub> ≤ 5 V <sup>a</sup>	-	-	±130	
R <sub>PU</sub>	弱上拉等效电阻 <sup>b</sup>	所有类型 I/O	V <sub>IN</sub> = VSS	-	25	-	kΩ
R <sub>PD</sub>	弱下拉等效电阻 <sup>b</sup>	除耐 5V I/O 之外的所有类型 I/O	V <sub>IN</sub> = VDD	-	25	-	kΩ
		耐 5V I/O	V <sub>IN</sub> = VDD	-	25	-	kΩ
C <sub>IO</sub>	I/O 引脚电容	耐 5V I/O	-	-	4.4	-	pF
		数模 I/O	-	-	3	-	
		晶振 I/O	-	-	6.4	-	
a: 设计值。							
b: 上拉电阻和下拉电阻采用真实电阻串联 PMOS/NMOS 开关设计，PMOS/NMOS 等效串联电阻占比约 5%。							

输出电压电平

表 4-11 中给出的参数来自于表 4-1 中总结的环境温度和电源电压条件下进行的试验，另有特别说明的除外。所有 I/O 设计均为符合 CMOS 标准。

表4-11 输出电压特性<sup>a</sup>

符号	参数	条件	最小值	最大值	单位
V <sub>OL</sub> <sup>b</sup>	I/O 管脚输出低电平电压	所有类型 I/O  I <sub>IO</sub>   = 7 mA VDD ≥ 2.4 V	-	0.45	V
		所有类型 I/O  I <sub>IO</sub>   =14mA VDD ≥ 2.4 V	-	1.3	
V <sub>OH</sub> <sup>b</sup>	I/O 管脚输出高电平电压	所有类型 I/O  I <sub>IO</sub>   = 7mA VDD ≥ 2.4 V	VDD - 0.45	-	
		所有类型 I/O  I <sub>IO</sub>   = 14mA VDD ≥ 2.4 V	VDD - 1.3	-	
a: 所有 I/O (I/O 端口和控制引脚) 输入或输出的电流之和必须始终符合表 4-3 中规定的 VDD 工作电流。					
b: 由设计保证。					

表4-12 输出电流特性<sup>a</sup>

符号	参数	条件	驱动档位 (DS0/1)	最小值	最大值	单位
I <sub>OL</sub> <sup>b</sup>	I/O 管脚输出低电平驱动电流 (灌电流)	所有类型 I/O, V <sub>OL</sub> = 0.45V	00	1.1 (非数模 IO 外的全部 IO) 1.7 (数模 IO)	3.3 (非数模 IO 外的全部 IO) 5	mA

符号	参数	条件	驱动 档位 (DS0/ 1)	最小值	最大值	单位
					(数模 IO)	
			10	3.4 (非数模 IO 外的全部 IO) 4.3 (数模 IO)	10 (非数模 IO 外的全部 IO) 12.6 (数模 IO)	
			01	5.6 (非数模 IO 外的全部 IO) 6 (数模 IO)	16.8 (非数模 IO 外的全部 IO) 17.6 (数模 IO)	
			11	7.9 (非数模 IO 外的全部 IO) 8.6 (数模 IO)	23.5 (非数模 IO 外的全部 IO) 25.2 (数模 IO)	
		所有类型 I/O, $V_{OL} = 1.3V$	00	2 (非数模 IO 外的全部 IO) 3.1 (数模 IO)	7 (非数模 IO 外的全部 IO) 10.6 (数模 IO)	
			10	6.2 (非数模 IO 外的全部 IO) 7.7 (数模 IO)	24.1 (非数模 IO 外的全部 IO) 26.6 (数模 IO)	
			01	10.3 (非数模 IO 外的全部 IO) 10.8 (数模 IO)	38.7 (非数模 IO 外的全部 IO) 37.3 (数模 IO)	
			11	14.4 (非数模 IO 外的全部 IO) 15.5 (数模 IO)	54.3 (非数模 IO 外的全部 IO) 53.3 (数模 IO)	
$I_{OH}^b$	I/O 管脚输出高电平驱动	所有类型	00	1 (非数模	2.7 (非数模	

符号	参数	条件	驱动 档位 (DS0/ 1)	最小值	最大值	单位
	电流 (拉电流)	I/O, VOH = VDD - 0.45V		IO 外的全部 IO) 1.2 (数模 IO)	IO 外的全部 IO) 3.3 (数模 IO)	
			10	3 (非数模 IO 外的全部 IO) 3.1 (数模 IO)	7.9 (非数模 IO 外的全部 IO) 8.3 (数模 IO)	
			01	5.1 (非数模 IO 外的全部 IO) 5.2 (数模 IO)	13.1 (非数模 IO 外的全部 IO) 13.5 (数模 IO)	
			11	7 (非数模 IO 外的全部 IO) 7.1 (数模 IO)	17.4 (非数模 IO 外的全部 IO) 17.9 (数模 IO)	
		所有类型 I/O, VOH = VDD - 1.3V	00	2.1 (非数模 IO 外的全部 IO) 2.5 (数模 IO)	8.6 (非数模 IO 外的全部 IO) 10.3 (数模 IO)	
			10	6.3 (非数模 IO 外的全部 IO) 6.5 (数模 IO)	25.1 (非数模 IO 外的全部 IO) 26.2 (数模 IO)	
			01	10.7 (非数模 IO 外的全部 IO) 10.9 (数模 IO)	42.3 (非数模 IO 外的全部 IO) 43.3 (数模 IO)	
			11	14.6 (非数模 IO 外的全部 IO) 14.8 (数模 IO)	57 (非数 模 IO 外的全部 IO) 57.9 (数模 IO)	

符号	参数	条件	驱动 档位 (DS0/ 1)	最小值	最大值	单位
a: 所有 I/O (I/O 端口和控制引脚) 输入或输出的电流之和必须始终符合表 4-3 中规定的 VDD 工作电流。						
b: 由设计保证。						

输入输出交流特性

表 4-13 中给出的参数来自于表 4-1 中总结的环境温度和电源电压条件下进行的试验, 另有特别说明的除外。

表4-13 I/O 交流特性<sup>a</sup>

驱动档位 (DS0/DS1 )	符号	参数	条件	最小值	最大值	单位
00	Fmax	最大频率	C=50 pF, 2.97 V ≤ VDD ≤ 3.63 V	-	5	MHz
			C=50 pF, 2.4 V ≤ VDD ≤ 2.926 V	-	4	
			C=10 pF, 2.97 V ≤ VDD ≤ 3.63 V	-	20	
			C=10 pF, 2.4 V ≤ VDD ≤ 2.926 V	-	15	
	Tr/Tf	输出上升下降时间	C=50 pF, 2.97 V ≤ VDD ≤ 3.63 V	-	53	ns
			C=50 pF, 2.4 V ≤ VDD ≤ 2.926 V	-	63	
			C=10 pF, 2.97 V ≤ VDD ≤ 3.63 V	-	15	
			C=10 pF, 2.4 V ≤ VDD ≤ 2.926 V	-	18	



驱动档位 (DS0/DS1)	符号	参数	条件	最小值	最大值	单位
10	Fmax	最大频率	C=50 pF, 2.97 V ≤ VDD ≤ 3.63 V	-	16	MHz
			C=50 pF, 2.4 V ≤ VDD ≤ 2.926 V	-	12	
			C=10 pF, 2.97 V ≤ VDD ≤ 3.63 V	-	60	
			C=10 pF, 2.4 V ≤ VDD ≤ 2.926 V	-	50	
	Tr/Tf	输出上升下降时间	C=50 pF, 2.97 V ≤ VDD ≤ 3.63 V	-	18	ns
			C=50 pF, 2.4 V ≤ VDD ≤ 2.926 V	-	21	
			C=10 pF, 2.97 V ≤ VDD ≤ 3.63 V	-	5.4	
			C=10 pF, 2.4 V ≤ VDD ≤ 2.926 V	-	6.4	
01	Fmax	最大频率	C=50 pF, 2.97 V ≤ VDD ≤ 3.63 V	-	22	MHz
			C=50 pF, 2.4 V ≤ VDD ≤ 2.926 V	-	18	
			C=10 pF, 2.97 V ≤ VDD ≤ 3.63 V	-	70	
			C=10 pF, 2.4 V ≤ VDD ≤ 2.926 V	-	60	
	Tr/Tf	输出上升下降时间	C=50 pF, 2.97 V ≤ VDD ≤ 3.63 V	-	11.2	ns
			C=50 pF, 2.4 V ≤ VDD ≤ 2.926 V	-	13.3	
			C=10 pF, 2.97 V ≤ VDD ≤ 3.63 V	-	3.4	
			C=10 pF, 2.4 V ≤ VDD ≤	-	4.1	

驱动档位 (DS0/DS1 )	符号	参数	条件	最小值	最大值	单位
			2.926 V			
11	Fmax	最大频率	C=50 pF, 2.97 V ≤ VDD ≤ 3.63 V	-	30	MHz
			C=50 pF, 2.4 V ≤ VDD ≤ 2.926 V	-	26	
			C=10 pF, 2.97 V ≤ VDD ≤ 3.63 V	-	105	
			C=10 pF, 2.4 V ≤ VDD ≤ 2.926 V	-	85	
	Tr/Tf	输出上升下降时间	C=50 pF, 2.97 V ≤ VDD ≤ 3.63 V	-	3.8	ns
			C=50 pF, 2.4 V ≤ VDD ≤ 2.926 V	-	6	
			C=10 pF, 2.97 V ≤ VDD ≤ 3.63 V	-	2.6	
			C=10 pF, 2.4 V ≤ VDD ≤ 2.926 V	-	3.1	
a: 由设计保证。						

4.9 RESETN 电气特性

RESETN 输入管脚使用 CMOS 技术。它连接到一个固定上拉电阻 R<sub>PU</sub>。

表 4-14 中给出的参数来自于表 4-1 中总结的环境温度和电源电压条件下进行的试验，另有特别说明的除外。

表4-14 RESETN 引脚特性<sup>a</sup>

参数	描述	条件	最小值	典型值	最大值	单位
V <sub>IL(RESETN)</sub>	RESETN 输入低电平电压	-	-	-	0.35 x VDD	V

参数	描述	条件	最小值	典型值	最大值	单位
V <sub>IH</sub> (RESETN)	RESETN 输入高电平电压	-	0.65 x VDD	-	-	V
V <sub>hys</sub> (RESETN)	RESETN 施密特触发电压迟滞	-	-	300	-	mV
R <sub>PU</sub> (RESETN)	弱上拉等效电阻 <sup>b</sup>	VIN = VSS		25		kΩ
a: 由设计保证。						
b: 上拉电阻采用真实电阻串联 PMOS 开关设计，PMOS 等效串联电阻占比约 5%。						

4.10 闪存 (Flash memory)

闪存特性如表 4-15 所示，闪存耐用性与数据保持特性如表 4-16 所示。

表4-15 闪存特性

符号	参数	条件	典型值	最大值	单位
tprog	4 Byte 编程时间	-	100	240	μs
tprog_row	512 Byte 编程时间	-	4.6	10.7	ms
tERASE	Page Erase 时间	-	0.8	29.3	ms
tME	Mass Erase 时间	-	20	-	ms
I <sub>dd</sub> (VDD)	Core 电压平均电流	Read	4.11	-	mA
		Program/Erase	0.7	-	mA
I <sub>dd</sub> (VDIO)	平均电流	Read	0.25	-	mA
		Program	6	-	mA
		Erase	4	-	mA

表4-16 闪存耐用性与数据保持特性

符号	参数	条件	最小值	最大值	单位
----	----	----	-----	-----	----

符号	参数	条件	最小值	最大值	单位
N <sub>END</sub>	Endurance	T <sub>J</sub> = -40℃ ~ +125 ℃	100	-	千次
T <sub>DR</sub>	Data retention	T <sub>J</sub> = 125 ℃	10	-	年

### 4.11 电源管理单元 (PMU)

- 提供上电解复位电路 (POR)，与 SOC 数字一起完成上电时序。
- 提供数字 Core 域供电。
- 提供电源解复位功能。
- PMU(Power Manager Unit)的控制寄存器，MCU 顶层可读写。

表4-17 PMU 特性

符号	参数	条件	最小值	典型值	最大值	单位
V <sub>DD</sub>	外部电源	-	2.4	3.3	3.63	V
V <sub>DD_AON</sub> <sup>a</sup>	常电域电源	-	-	1.1	-	V
V <sub>DD_CORE</sub> <sup>a</sup>	Core 域电源	-	-	1.12	-	V
V <sub>POR</sub> <sup>a</sup>	V <sub>DD</sub> 上电阈值	-	2.2	2.3	2.4	V
V <sub>PDR</sub> <sup>a</sup>	V <sub>DD</sub> 下电阈值	-	2.1	2.2	2.3	V
V <sub>PVD0</sub>	可编程电压检测 (PVD) 阈值 0	V <sub>DD</sub> rising	2.34	2.38	2.42	V
		V <sub>DD</sub> falling	2.24	2.28	2.32	V
V <sub>PVD1</sub>	PVD 阈值 1	V <sub>DD</sub> rising	2.44	2.48	2.52	V
		V <sub>DD</sub> falling	2.34	2.38	2.42	V
V <sub>PVD2</sub>	PVD 阈值 2	V <sub>DD</sub> rising	2.54	2.58	2.62	V
		V <sub>DD</sub> falling	2.44	2.48	2.52	V
V <sub>PVD3</sub>	PVD 阈值 3	V <sub>DD</sub> rising	2.64	2.68	2.72	V

符号	参数	条件	最小值	典型值	最大值	单位
		V <sub>DD</sub> falling	2.54	2.58	2.62	V
V <sub>PVD4</sub>	PVD 阈值 4	V <sub>DD</sub> rising	2.74	2.78	2.82	V
		V <sub>DD</sub> falling	2.64	2.68	2.72	V
V <sub>PVD5</sub>	PVD 阈值 5	V <sub>DD</sub> rising	2.84	2.88	2.92	V
		V <sub>DD</sub> falling	2.74	2.78	2.82	V
I <sub>DD(POR)</sub> <sup>a</sup>	POR 功耗	-	-	2.5	-	uA
a: 由设计保证。						

### 4.12 内置参考电压 (VREF)

内置 VREF 模块的作用主要为 ADC 电路提供参考电压。内置 VREFBUF 的具体电路组成模块及电气特性如表 4-18 所示。

表4-18 内置 VREF 的电气特性<sup>a</sup>

符号	参数	条件	最小值	典型值	最大值	单位	备注
V <sub>DDA</sub>	电源电压	-	2.4	3.3	3.63	V	-
V <sub>OUT</sub>	输出电压	-	-	1.1	-	V	-
ACC <sub>VREF</sub>	输出电压精度	-	-	±4	±8	mV	-40°C ~ +125°C
γ <sub>VREF</sub>	温度系数	-	-	20	30	ppm/°C	-40°C ~ +125°C
a: 由设计保证。							

### 4.13 内置 32K 振荡器 (LOSC)

内置 32K 振荡器的电气特性如表 4-19 所示。

表4-19 内置 32K 振荡器电气特性

符号	参数	条件	最小值	典型值	最大值	单位
f <sub>LSOSC</sub> <sup>a</sup>	内置 32K 振荡器频率	V <sub>DDA</sub> = 3.3V, T <sub>J</sub> = 27°C	32.44	32.768	33.096	kHz
		V <sub>DDA</sub> = 2.4V ~ 3.63V, T <sub>J</sub> = -40°C ~ +125°C	31.785	32.768	33.751	kHz
Δ <sub>TEMP(LSOSC)</sub> <sup>b</sup>	内置 32K 振荡器温漂	T <sub>J</sub> = -40°C ~ +125°C	-3	-	3	%
t <sub>SU(LSOSC)</sub> <sup>b</sup>	内置 32K 振荡器频率启动时间	-	-		100	μs
t <sub>STAB(LSOSC)</sub> <sup>b</sup>	内置 32K 振荡器频率稳定时间	最终频率的 3%	-		150	μs
I <sub>DD(LSOSC)</sub> <sup>b</sup>	内置 32K 振荡器工作功耗	-	-	0.6	0.8	μA
a: 基于特性测试, 未在生产中测试。 b: 由设计保证。						

4.14 内置 25M 振荡器 (HOSC)

内置 25M 振荡器的电气特性如表 4-20 所示。

表4-20 内置 25M 振荡器电气特性

符号	参数	条件	最小值	典型值	最大值	单位
f <sub>HSOSC</sub> <sup>a</sup>	内置 25M 振荡器频率	V <sub>DDA</sub> = 2.4V ~ 3.63V, T <sub>J</sub> = -40°C ~ +125°C	24.75	25	25.25	MHz
Δ <sub>TEMP(HSOSC)</sub> <sup>b</sup>	内置 25M 振荡器温漂	T <sub>J</sub> = -40°C ~ +125°C	-1	-	1	%
t <sub>SU(HSOSC)</sub> <sup>b</sup>	内置 25M 振荡器频率启动时间	-	-	3	9	μs

符号	参数	条件	最小值	典型值	最大值	单位
$t_{\text{STAB(HSOSC)}}^b$	内置 25M 振荡器 频率稳定时间	最终频率的 1%	-	5.5	15	$\mu\text{s}$
$I_{\text{DD(HSOSC)}}^b$	内置 25M 振荡器 工作功耗	-	-	300	400	$\mu\text{A}$
a: 基于特性测试, 未在生产中测试。 b: 由设计保证。						

## 4.15 锁相环 (PLL)

锁相环的电气特性如表 4-21 所示。

表4-21 PLL 电气特性<sup>abc</sup>

符号	参数	条件	最小值	典型值	最大值	单位
$f_{\text{PLL\_REF}}$	PLL 输入参考频率	-	4	-	30	MHz
$f_{\text{PLL\_PFD}}$	PLL 内置 PFD 的输入频率	-	4	-	10	MHz
$D_{\text{PLL\_IN}}$	PLL 输入参考频率占空比	-	45	-	55	%
$D_{\text{PLL\_OUT}}$	PLL 输出时钟占空比	经过后置分频器	45	50	55	%
$f_{\text{VCO\_OUT}}$	PLL VCO 输出频率	不经过后置分频器	200	-	400	MHz
$f_{\text{PLL\_OUT}}$	PLL 输出频率	经过后置分频器	25	-	400	MHz
$t_{\text{LOCK}}$	PLL 锁定时间	-	-	40	50	$\mu\text{s}$
Jitter	RMS 周期抖动	$f_{\text{PLL\_OUT}}=200\text{MHz};$ $f_{\text{VCO\_OUT}}=400\text{MHz}$	-	350	400	ps
$I_{\text{DD(PLL)}}$	PLL $V_{\text{DD}}$ 功耗	$f_{\text{PLL\_OUT}}=200\text{MHz};$ $f_{\text{VCO\_OUT}}=400\text{MHz}$	-	200	600	$\mu\text{A}$
a: 由设计保证。						

符号	参数	条件	最小值	典型值	最大值	单位
b: $f_{PLL\_PFD} = f_{PLL\_REF} \div$ 前置分频器分频比, 需确保 $f_{PLL\_PFD}$ 频率处于 4MHz ~ 10MHz 之间。						
c: $f_{VCO\_OUT} = f_{PLL\_PFD} \times$ 环路分频器分频比, 需确保环路分频比在 30 ~ 80 之间。						

4.16 模数转换器 (ADC)

模拟转换器的电器特性如表 4-22、表 4-23 和表 4-24 所示。

表4-22 ADC 电气特性 1<sup>a</sup>

符号	参数	条件	最小值	典型值	最大值	单位
$f_{ADC}$	ADC 工作时钟	-	25	100	100	MHz
$f_s$	采样率	-	0.0473	-	3.03	MSPS
$f_{TRIG}$	外部触发频率	$f_{ADC}=100\text{ MHz}$	-	-	3.03	MHz
$V_{AIN}$	输入电压范围 (ADCINx) <sup>b</sup>	$V_{DDA}<3.3\text{ V}$	0	-	$V_{DDA}$	V
		$V_{DDA}\geq3.3\text{ V}$	0	-	3.3	V
$R_s$	采样通道输入阻抗	-	-	1	1.5	k $\Omega$
$C_{SH\_S}$	采样保持电容 <sup>c</sup>	-	-	2	-	pF
a: 由设计保证。						
b: 当 ADCINx 大于最大值时, 将导致不准确的转换。						
c: ADC IP 内部采样保持电容。						

表4-23 ADC 电气特性 2<sup>a</sup>

符号	参数	条件	最小值	典型值	最大值	单位
$t_{PU}$	上电时间	-	-	350	-	$\mu$ s
$t_{LATR}$	触发转换延时	-	36	36	-	ns



符号	参数	条件	最小值	典型值	最大值	单位
$t_{SAMP}$	采样时间	-	5	-	500	$1/f_{ADC}$
$t_{CONV}$	转换时间	-	-	28	-	$1/f_{ADC}$
$t_{CONV\_TOT}$	总采样转换时间	-	33	-	528	$1/f_{ADC}$
$I_{DD(ADC)}$	功耗	$f_s=3.03MSPS$	-	2.3	2.7	mA
a: 由设计保证。						

表4-24 ADC 电气特性 3<sup>ab</sup>

符号	参数	条件	最小值	典型值	最大值	单位
Offset Error	失调误差	$V_{DDA} \geq 2.4\text{ V};$ $V_{REFP} = 1.1\text{V};$ $f_{\text{ADC}} = 100\text{MHz};$ $f_s \leq 3\text{MSPS};$ $-40^{\circ}\text{C} \sim +125^{\circ}\text{C}$	-	$\pm 2$	-	LSB <sup>d</sup>
Gain Error <sup>c</sup>	增益误差		-	$\pm 0.1\%$	-	LSB
DNL	微分非线性		-	$\pm 1.5$	-	LSB
INL	积分非线性		-	$\pm 3$	-	LSB
ENOB	有效位数		10	10.5	-	bit
SINAD	信纳比		62	65	-	dB
SNR	信噪比		63	66	-	dB
a：由设计保证。						
b：ADC 性能在内部校准后测量。						
c：不包含 VREFBUF 偏差。						
d：LSB = 0.805mV。						

图4-2 ADC 特性图

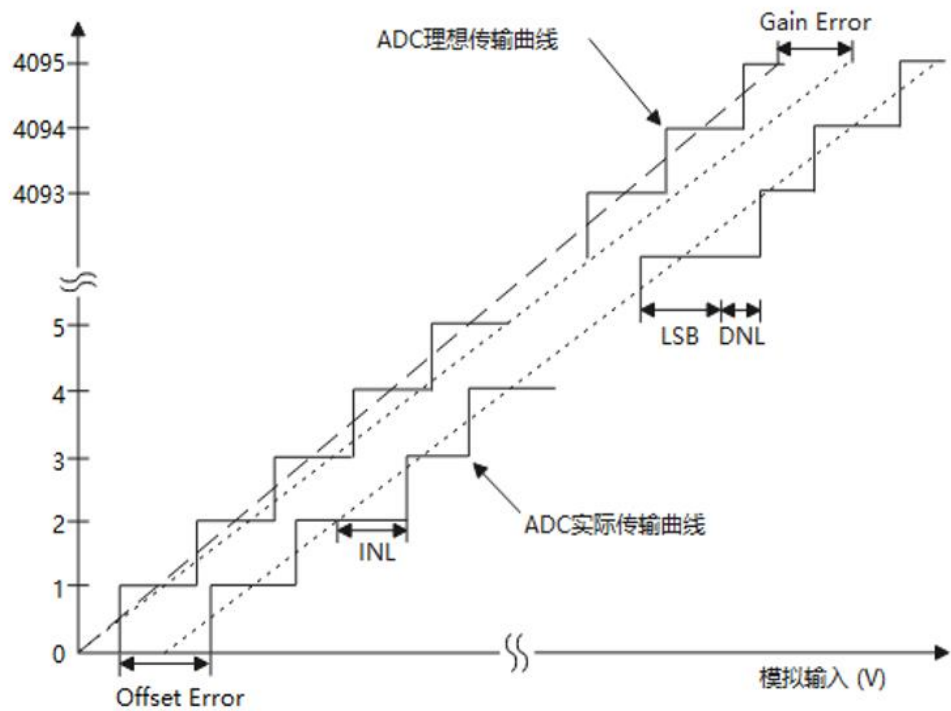
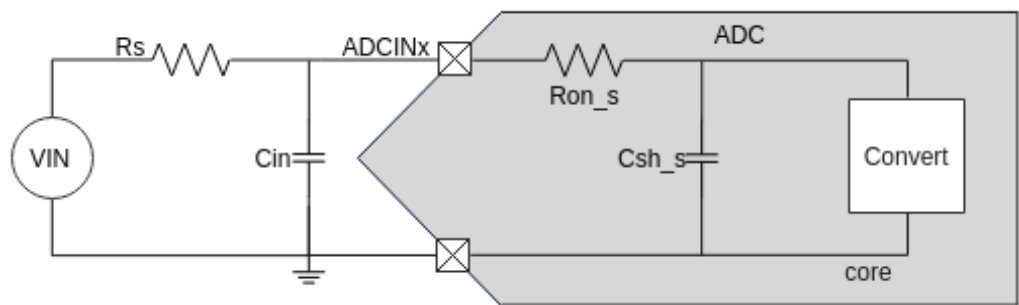


图4-3 ADC 输入模型



- 1.  $R_s$ 和  $C_{SH\_S}$  的值参见表 4-22。
- 2. 为保证 ADC 性能，需要在 ADC 的输入通道前加电容  $C_{in}$ ，推荐容值为 100pF。

4.17 数模转换器 (DAC)

DAC 为 10bit 分辨率，支持 300kHz 的转换速率，如表 4-25 所示。

表4-25 DAC 电气特性<sup>a</sup>

符号	参数	条件	最小值	典型值	最大值	单位
V <sub>DDA</sub>	电源电压	-	2.4	3.3	3.63	V
V <sub>REFP</sub>	正参考电压	-	2.4	3.3	V <sub>DDA</sub>	V
I <sub>DD(DAC)</sub>	功耗	-	-	-	100	μA
t <sub>stb</sub>	稳定时间	-	-	3.33	5	μs
ENOB	有效位数	-	-	9	-	bit
DNL	微分非线性	-	-1	-	1	LSB <sup>b</sup>
INL	积分非线性	-	-2	-	2	LSB
Gain Error	增益误差	-	-0.5	-	0.5	%
Offset Error	失调误差	-	-8	-	8	LSB
a: 由设计保证。						
b: 1LSB=V <sub>DDA</sub> /1024。						

## 4.18 可编程增益放大器 (PGA)

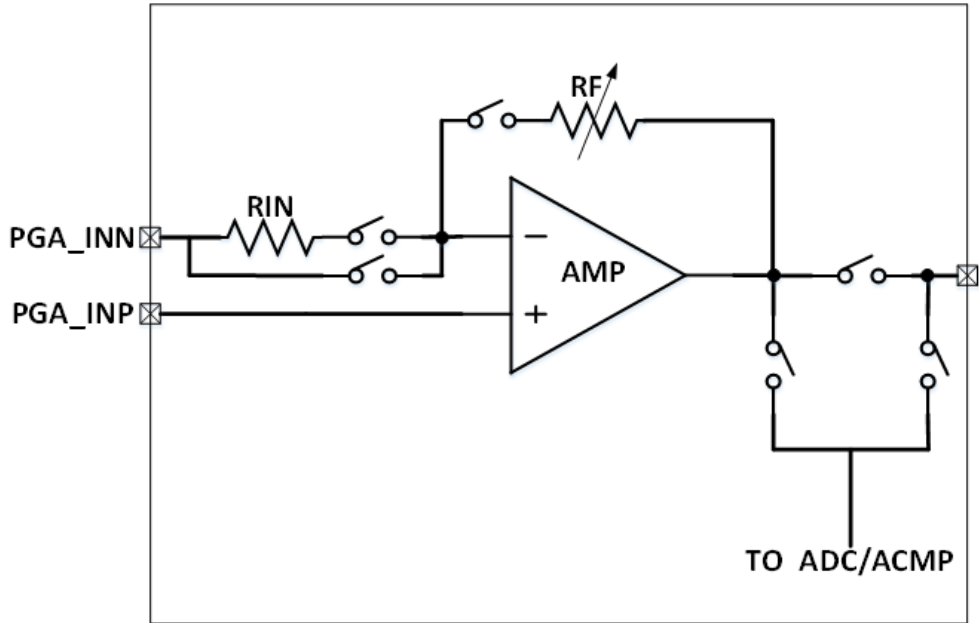
可编程增益放大器电气特性如表 4-26 所示。

表4-26 PGA 电气特性<sup>abc</sup>

符号	参数	条件	最小值	典型值	最大值	单位
V <sub>DDA</sub>	电源电压	-	2.4	-	3.63	V
V <sub>OUT</sub>	输出电压	-	0.3	-	V <sub>DDA</sub> -0.3	V
CMIR	共模输入范围 <sup>d</sup>	-	0	-	0.5*V <sub>DDA</sub>	V
V <sub>IOFFSET</sub>	输入失调电压	-	-	±1.5	-	mV
ΔV <sub>IOFFSET</sub>	输入失调电压偏移	-40°C ~ +125°C	-	-	10	μV/°C

符号	参数	条件	最小值	典型值	最大值	单位
I <sub>DD</sub> (PGA)	功耗	空载	-	1.5	1.8	mA
CMRR	共模抑制比	直流测试	60		-	dB
PSRR	电源抑制比	10kHz	60	-	-	dB
Gain	正相增益值	-	-	2	-	-
		-	-	4	-	-
		-	-	8	-	-
		-	-	16	-	-
R <sub>network</sub>	$R_{network} = R_F / R_{IN}^e$	Gain=2	-	20/20	-	kΩ
		Gain=4	-	20/60	-	
		Gain=8	-	20/140	-	
		Gain=16	-	20/300	-	
Gain Error	增益误差	内置电阻模式	-1	-	1	%
GBW	不同正相增益下的带宽值 (负载电容 5pF)	Gain=2	30	-	-	MHz
		Gain=4	20	-	-	
		Gain=8	15	-	-	
		Gain=16	10	-	-	
SR	摆率	-	8	-	-	V/μs
<p>a: 由设计保证。</p> <p>b: 除非另有说明，典型数据基于 TA=25°C, V<sub>DDA</sub>=3.3V。</p> <p>c: PGA 内置电阻模式。</p> <p>d: 增益较大时，共模输入范围受到输出摆幅的限制。</p> <p>e: PGA gain = 1+R<sub>F</sub>/R<sub>IN</sub>。</p>						

图4-4 PGA 结构框图



4.19 模拟比较器 (ACMP)

电压比较器，其特性指标描述如表 4-27 所示。

表4-27 ACMP 电气特性<sup>a</sup>

符号	参数	条件	最小值	典型值	最大值	单位
V <sub>DDA</sub>	电源电压	-	2.4	3.3	3.63	V
V <sub>COM</sub>	共模电压	-	0	-	V <sub>DDA</sub>	V
V <sub>DIFF</sub>	有效差分输入电压  V <sub>INP</sub> -V <sub>INN</sub>	-	10	-	-	mV
t <sub>PU</sub>	上电时间	-	-	100	-	μs
V <sub>HYSb</sub>	迟滞电压	-	-	0	-	mV
		-	-	10	-	
		-	-	20	-	
		-	-	30	-	

符号	参数	条件	最小值	典型值	最大值	单位
I <sub>DD</sub> (ACMP)	功耗	-	-	250	290	μA
V <sub>OS</sub>	失调电压	-	-20	-	20	mV
t <sub>delay</sub>	比较器翻转延时	1.65V/us for VINP&VINN	-	30	50	ns
		V <sub>DDA</sub> /ns for VINP&VINN	-	20	50	
a：由设计保证。						
b：迟滞电压偏差受供电和温度影响变化范围大，建议使用 30mV 档位。						

## 4.20 温度传感器 (TSensor)

支持-40℃ ~ +125℃范围的检测，输出电压通过 ADC 进行采样，然后将码字转换成温度值。

表4-28 TSensor 电气特性<sup>a</sup>

符号	参数	条件	最小值	典型值	最大值	单位
V <sub>DDA</sub>	电源电压	-	2.4	3.3	3.63	V
E <sub>OUT</sub>	校准后精度 <sup>b</sup>	-	-3	-	3	℃
t <sub>PU</sub>	上电时间 <sup>c</sup>	-	-	40	-	μs
t <sub>ADCS</sub>	ADC 通道建立时间 <sup>d</sup>	-	1	3	5	μs
a: 由设计保证。						
b: 不包含环境温度误差和测试误差。						
c: TSensor 跟随内部参考电压 VREF 启动。						
d: TSensor 采样周期配置需大于 1us。						

## 4.21 集成电路（I2C）接口

I2C 接口满足 I2C 标准协议的时序要求，标准模式最大支持 100 kbit/s，快速模式最大支持 400 kbit/s。

图4-5 I2C 标准协议时序图

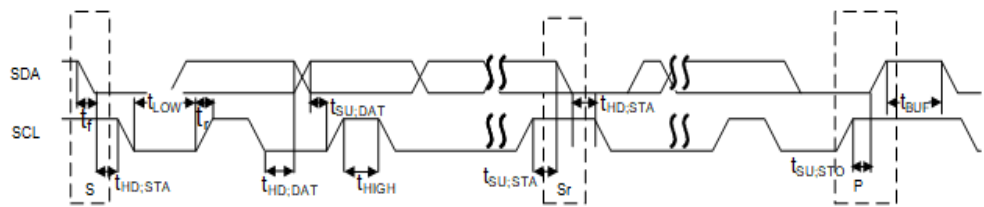


表4-29 标准模式 I2C 接口时序参数表

参数	符号	最小值	最大值	单位
SCL 时钟频率	$f_{SCL}$	0	100	kHz
启动保持时间	$t_{HD;STA}$	4.0	-	$\mu s$
SCL 低电平周期	$t_{LOW}$	4.7	-	$\mu s$
SCL 高电平周期	$t_{HIGH}$	4.0	-	$\mu s$
启动建立时间	$t_{SU;STA}$	4.7	-	$\mu s$
数据保持时间	$t_{HD;DAT}$	0	3.45	$\mu s$
数据建立时间	$t_{SU;DAT}$	250	-	ns
SDA、SCL 上升时间	$t_r$	-	1000	ns
SDA、SCL 下降时间	$t_f$	-	300	ns
结束建立时间	$t_{SU;STO}$	4.0	-	$\mu s$
开始与结束之间的总线释放时间	$t_{BUF}$	4.7	-	$\mu s$
总线负载	$C_b$	-	400	pF

表4-30 快速模式 I2C 接口时序参数表

参数	符号	最小值	最大值	单位
SCL 时钟频率	f <sub>SCL</sub>	0	400	kHz
启动保持时间	t <sub>HD;STA</sub>	0.6	-	μs
SCL 低电平周期	t <sub>LOW</sub>	1.3	-	μs
SCL 高电平周期	t <sub>HIGH</sub>	0.6	-	μs
启动建立时间	t <sub>SU;STA</sub>	0.6	-	μs
数据保持时间	t <sub>HD;DAT</sub>	0	0.9	μs
数据建立时间	t <sub>SU;DAT</sub>	100	-	ns
SDA、SCL 上升时间	t <sub>r</sub>	20	300	ns
SDA、SCL 下降时间	t <sub>f</sub>	20 × ( V <sub>DD</sub> / 5.5V )	300	ns
结束建立时间	t <sub>SU;STO</sub>	0.6	-	μs
开始与结束之间的总线释放时间	t <sub>BUF</sub>	1.3	-	μs
总线负载	C <sub>b</sub>	-	400	pF

## 4.22 通用异步收发传输器（UART）

UART 波特率配置的典型值为：9,600bit/s、14,400bit/s、19,200bit/s、38,400bit/s、57,600bit/s、76,800bit/s、115,200bit/s、230,400bit/s、460,800bit/s。

波特率计算公式为：当前波特率=uart\_clk /(过采样倍数 × 分频系数)。用户可以根据需要配置合适的分频系数（分频系数由整数分频和小数分频系数构成）。



4.23 同步串行外设接口 (SPI)

4.23.1 Motorola SPI Master 模式时序信息

表4-31 Motorola SPI Master 模式时序要求 (TBD)

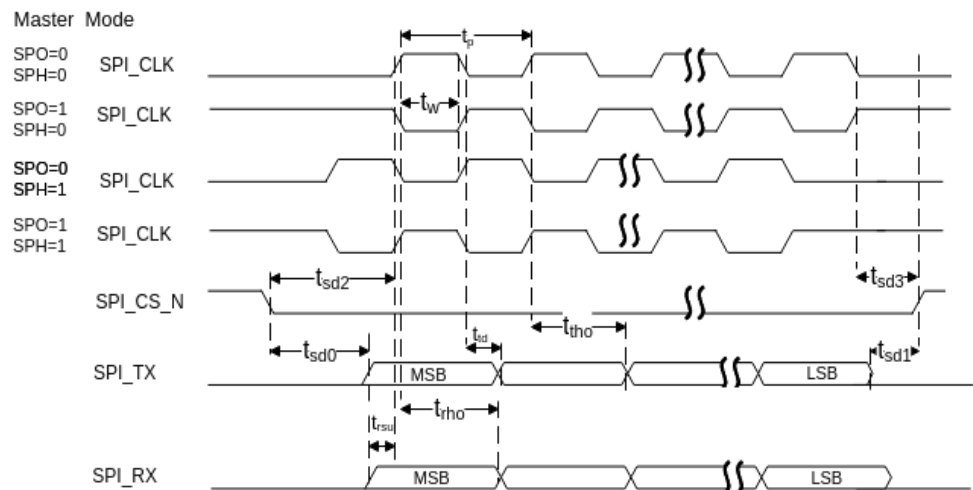
缩写	含义	最小值	典型值	最大值	单位
t <sub>rsu</sub>	建立时间, 在 SPI_CLK 有效沿之前 SPI_RX 有效。	2	-	-	ns
t <sub>rho</sub>	保持时间, 在 SPI_CLK 有效沿之前 SPI_RX 有效。	1	-	-	ns

表4-32 Motorola SPI Master 模式波形特征 (TBD)

缩写	含义	最小值	典型值	最大值	单位
F <sub>SPI_CLK</sub> <sup>a</sup> = 1/t <sub>p</sub>	SPI_CLK 频率 =1/SPI_CLK 周期	-	-	33	MHz
t <sub>w</sub>	持续时间, SPI_CLK 高电 平和低电平持续时间。	-	0.5 * t <sub>p</sub>	-	ns
t <sub>sd0</sub>	延迟时间, SPI_CS_N 到 SPI_TX。	t <sub>p</sub> - 5.2	t <sub>p</sub>	t <sub>p</sub> + 4.2	ns
t <sub>sd1</sub>	延迟时间, SPI_TX 到 SPI_CS_N。	t <sub>p</sub> - 4.2	t <sub>p</sub>	t <sub>p</sub> + 5.2	ns
t <sub>sd2</sub>	延迟时间, SPI_CS_N 到 SPI_CLK。	2.0 * t <sub>p</sub> - 5	2.0 * t <sub>p</sub>	2.0 * t <sub>p</sub> + 3.6	ns
t <sub>sd3</sub>	延迟时间, SPI_CLK 到 SPI_CS_N。	t <sub>p</sub> - 5	t <sub>p</sub>	t <sub>p</sub> + 3.6	ns
t <sub>td</sub>	延迟时间, SPI_CLK 到 SPI_TX。	-3.6	0	3.9	ns
t <sub>tho</sub>	保持时间, SPI_CLK 到 SPI_TX。	t <sub>p</sub> * 0.50 - 3.6	t <sub>p</sub> * 0.50	t <sub>p</sub> * 0.50 + 3.9	ns

缩写	含义	最小值	典型值	最大值	单位
a: SPI_CLK 是指 MCU 的 SPI_CLK 管脚，是 SPI 接口的时钟。F <sub>SPI_CLK</sub> 是指 SPI 接口时钟的频率。					

图4-6 Motorola SPI Master 模式时序图



4.23.2 Motorola SPI Slave 模式时序信息

表4-33 Motorola SPI Slave 模式时序要求 (TBD)

缩写	含义	最小值	典型值	最大值	单位
$F_{\text{SPI\_CLK}} = 1/t_p$	SPI_CLK 频率 = $1/\text{SPI\_CLK}$ 周期	-	5	10	MHz
$t_w$	持续时间, SPI_CLK 高电平和低电平持续时间。	-	$0.5 * t_p$	-	ns
$t_{rsu}$	建立时间, 在 SPI_CLK 有效沿之前 SPI_RX 有效。	2	-	-	ns
$t_{rho}$	保持时间, 在 SPI_CLK 有效沿之前 SPI_RX 有效。	1	-	-	ns
$t_{ssu}$	建立时间, SPI_CS_N 有效到 SPI_CLK 有效。	$2 * T_{\text{clk\_spi}}^a + 2$	$2 * t_p$	-	ns

缩写	含义	最小值	典型值	最大值	单位
t <sub>sho</sub>	保持时间, SPI_CLK 无效到 SPI_CS_N 无效。	T <sub>clk_spi</sub> + 2.5	t <sub>p</sub>	-	ns
a: T <sub>clk_spi</sub> 是指 SPI 模块工作参考时钟的周期。					

表4-34 Motorola SPI Slave 模式波形特征 (Clock Phase = 0) (TBD)

缩写	含义	最小值	典型值	最大值	单位
t <sub>sd0</sub>	延迟时间, SPI_CS_N 有效到 SPI_TX 有效。	-	3 * T <sub>clk_spi</sub> <sup>a</sup> + 8	4 * T <sub>clk_spi</sub> <sup>a</sup> + 8	ns
t <sub>td</sub>	延迟时间, SPI_CLK 有效到 SPI_TX 有效。	3 * T <sub>clk_spi</sub> <sup>a</sup> + 5	3 * T <sub>clk_spi</sub> <sup>a</sup> + 8	4 * T <sub>clk_spi</sub> <sup>a</sup> + 10	ns
t <sub>tho</sub>	保持时间, SPI_CLK 有效到 SPI_TX 有效。	t <sub>p</sub> * 0.50	-	-	ns
a: T <sub>clk_spi</sub> 是指 SPI 模块工作参考时钟的周期。					

表4-35 Motorola SPI Slave 模式波形特征 (Clock Phase = 1) (TBD)

缩写	含义	最小值	典型值	最大值	单位
t <sub>td</sub>	延迟时间, SPI_CLK 有效到 SPI_TX 有效。	3 * T <sub>clk_spi</sub> <sup>a</sup> + 5	3 * T <sub>clk_spi</sub> <sup>a</sup> + 8	4 * T <sub>clk_spi</sub> <sup>a</sup> + 10	ns
t <sub>tho</sub>	保持时间, SPI_CLK 有效到 SPI_TX 有效。	t <sub>p</sub> * 0.50	-	-	ns

缩写	含义	最小值	典型值	最大值	单位
a: $T_{clk\_spi}$ 是指 SPI 模块工作参考时钟的周期。					

图4-7 Motorola SPI Slave 模式时序图 (Clock Phase = 0)

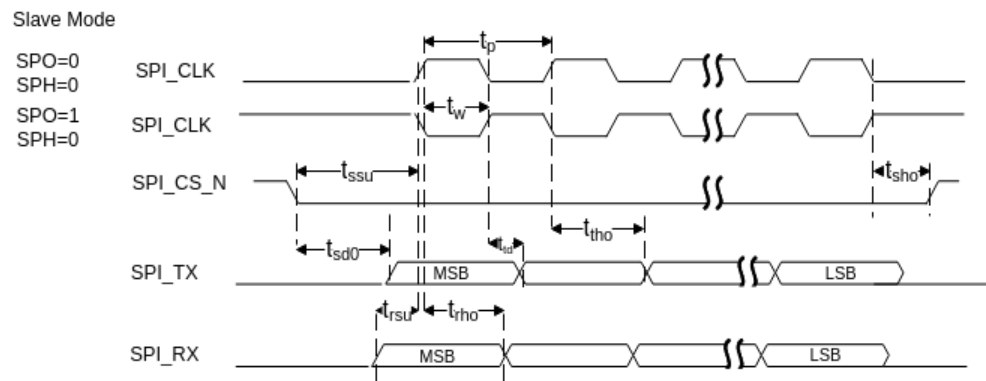
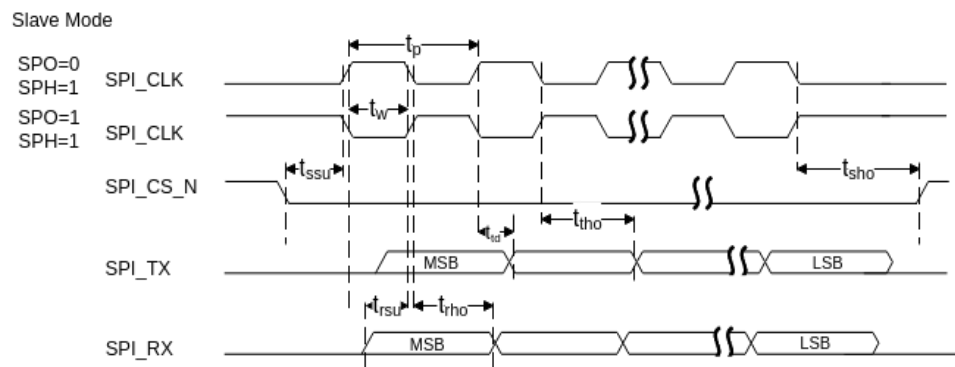


图4-8 Motorola SPI Slave 模式时序图 (Clock Phase = 1)



### 4.23.3 TI 同步串行接口 Master 模式时序信息

表4-36 TI 同步串行接口 Master 模式时序要求 (TBD)

缩写	含义	最小值	典型值	最大值	单位
$t_{rsu}$	建立时间, 在 SPI_CLK 有效沿之前 SPI_RX 有效。	2	-	-	ns
$t_{rho}$	保持时间, 在 SPI_CLK 有效沿	1	-	-	ns

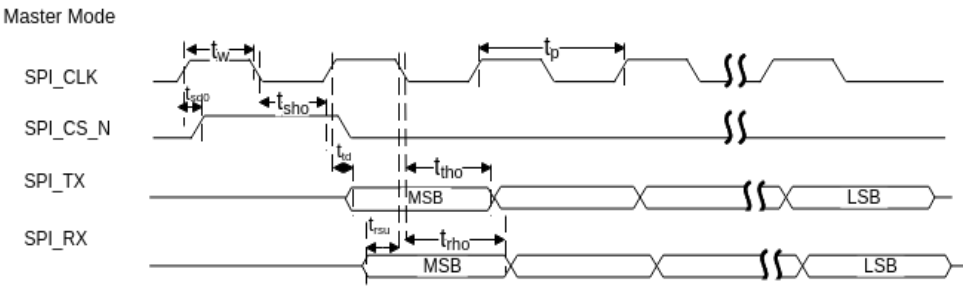
缩写	含义	最小值	典型值	最大值	单位
	之前 SPI_RX 有效。				

表4-37 TI 同步串行接口 Master 模式波形特征 (TBD)

缩写	含义	最小值	典型值	最大值	单位
$F_{\text{SPI\_CLK}}^a = 1/t_p$	SPI_CLK 频率 =1/SPI_CLK 周期	-	-	33	MHz
$t_w$	持续时间, SPI_CLK 高电平和低电平持续时间。	-	$0.5 * t_p$	-	ns
$t_{sd0}$	延迟时间, SPI_CLK 有效到 SPI_CS_N。	$t_p - 5$	$t_p$	$t_p + 3.6$	ns
$t_{td}$	延迟时间, SPI_CLK 到 SPI_TX。	-3.6	0	3.9	ns
$t_{tho}$	保持时间, SPI_CLK 到 SPI_TX。	$t_p * 0.50 - 3.6$	$t_p * 0.50$	$t_p * 0.50 + 3.9$	ns

a: SPI\_CLK 是指 MCU 的 SPI\_CLK 管脚, 是 SPI 接口的时钟。F<sub>SPI\_CLK</sub>是指 SPI 接口时钟的频率。

图4-9 TI 同步串行接口 Master 模式时序图



4.23.4 TI 同步串行接口 Slave 模式时序信息

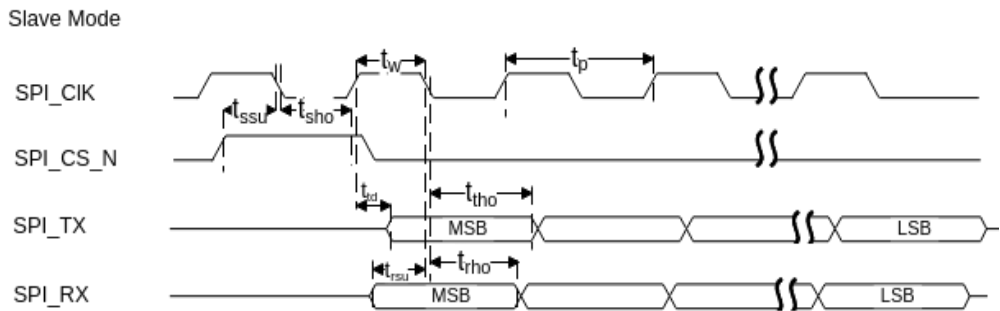
表4-38 TI 同步串行接口 Slave 模式时序要求 (TBD)

缩写	含义	最小值	典型值	最大值	单位
$F_{\text{SPI\_CLK}} = 1/t_p$	SPI_CLK 频率 = 1/SPI_CLK 周期	-	5	10	MHz
$t_w$	持续时间, SPI_CLK 高电平和低电平持续时间。	-	$0.5 * t_p$	-	ns
$t_{rsu}$	建立时间, 在 SPI_CLK 有效沿之前 SPI_RX 有效。	2	-	-	ns
$t_{rho}$	保持时间, 在 SPI_CLK 有效沿之前 SPI_RX 有效。	1	-	-	ns
$t_{ssu}$	建立时间, SPI_CS_N 有效到 SPI_CLK 有效。	$2 * T_{\text{clk\_spi}}^a + 2$	$2 * t_p$	-	ns
$t_{sho}$	保持时间, SPI_CLK 无效到 SPI_CS_N 无效。	$T_{\text{clk\_spi}} + 2.5$	$t_p$	-	ns
a: $T_{\text{clk\_spi}}$ 是指 SPI 模块工作参考时钟的周期。					

表4-39 TI 同步串行接口 Slave 模式波形特征 (TBD)

缩写	含义	最小值	典型值	最大值	单位
$t_{td}$	延迟时间, SPI_CLK 有效到 SPI_TX 有效。	$3 * T_{\text{clk\_spi}}^a + 5$	$3 * T_{\text{clk\_spi}}^a + 8$	$4 * T_{\text{clk\_spi}}^a + 10$	ns
$t_{tho}$	保持时间, SPI_CLK 有效到 SPI_TX 有效。	$t_p * 0.50$	-	-	ns
a: $T_{\text{clk\_spi}}$ 是指 SPI 模块工作参考时钟的周期。					

图4-10 TI 同步串行接口 Slave 模式时序图



4.23.5 Microwire 接口 Master 模式时序信息

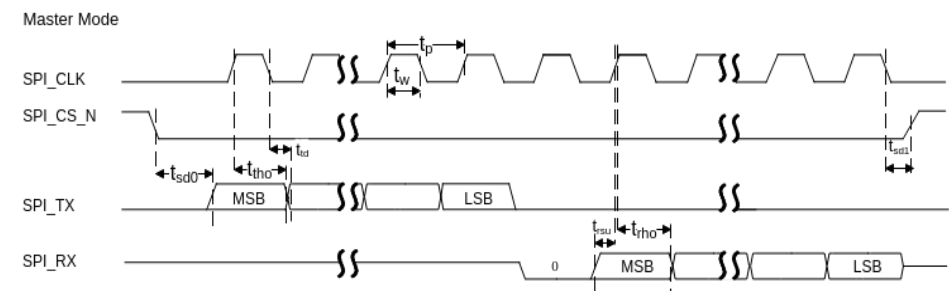
表4-40 Microwire 接口 Master 模式时序要求 (TBD)

缩写	含义	最小值	典型值	最大值	单位
$t_{rsu}$	建立时间, 在 SPI_CLK 有效沿之前 SPI_RX 有效。	2	-	-	ns
$t_{rho}$	保持时间, 在 SPI_CLK 有效沿之前 SPI_RX 有效。	1	-	-	ns

表4-41 Microwire 接口 Master 模式波形特征 (TBD)

缩写	含义	最小值	典型值	最大值	单位
$F_{SPI\_CLK} = 1/t_p$	SPI_CLK 频率 = 1/SPI_CLK 周期	-	-	25	MHz
$t_w$	持续时间, SPI_CLK 高电平和低电平持续时间。	-	$t_p * 0.50$	-	ns
$t_{sd0}$	延迟时间, SPI_CS_N 有效到 SPI_TX 有效。	$t_p - 5.2$	$t_p$	$t_p + 4.2$	ns
$t_{sd1}$	延迟时间, SPI_CLK 有效到 SPI_CS_N 无效。	$t_p - 5$	$t_p$	$t_p + 3.6$	ns
$t_{tho}$	保持时间, SPI_CLK 到 SPI_TX。	$t_p * 0.50 - 3.6$	$t_p * 0.50$	$t_p * 0.50 + 3.9$	ns

图4-11 Microwire 接口 Master 模式时序图



4.23.6 Microwire 接口 Slave 模式时序信息

表4-42 Microwire 接口 Slave 模式时序要求 (TBD)

缩写	含义	最小值	典型值	最大值	单位
$F_{\text{SPI\_CLK}} = 1/t_p$	SPI_CLK 频率 = 1/SPI_CLK 周期	-	5	10	MHz
$t_w$	持续时间, SPI_CLK 高电平和低电平持续时间。	-	$t_p * 0.50$	-	ns
$t_{rsu}$	建立时间, 在 SPI_CLK 有效沿之前 SPI_RX 有效。	2	-	-	ns
$t_{rho}$	保持时间, 在 SPI_CLK 有效沿之前 SPI_RX 有效。	1	-	-	ns
$t_{ssu}$	建立时间, SPI_CS_N 有效到 SPI_CLK 有效。	$2 * T_{\text{clk\_spi}}^a + 2$	$2 * t_p$	-	ns
$t_{sho}$	保持时间, SPI_CLK 无效到 SPI_CS_N 无效。	$T_{\text{clk\_spi}} + 2.5$	$t_p$	-	ns
a: $T_{\text{clk\_spi}}$ 是指 SPI 模块工作参考时钟的周期。					

表4-43 Microwire 接口 Slave 模式波形特征 (TBD)

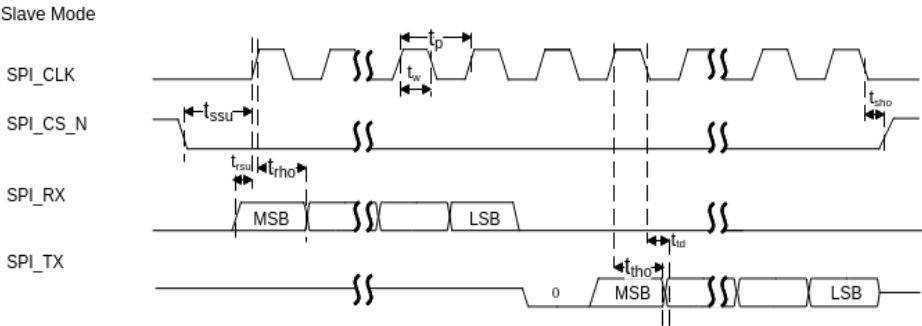
缩写	含义	最小值	典型值	最大值	单位
----	----	-----	-----	-----	----



缩写	含义	最小值	典型值	最大值	单位
t <sub>td</sub>	延迟时间, SPI_CLK 有效到 SPI_TX 有效。	$3 * T_{clk\_spi}^a + 5$	$3 * T_{clk\_spi}^a + 8$	$4 * T_{clk\_spi}^a + 10$	ns
t <sub>tho</sub>	保持时间, SPI_CLK 有效到 SPI_TX 有效。	t <sub>p</sub> * 0.50	-	-	ns

a: T<sub>clk\_spi</sub> 是指 SPI 模块工作参考时钟的周期。

图4-12 Microwire 接口 Slave 模式时序图



# 5 封装信息

## 5.1 封装信息

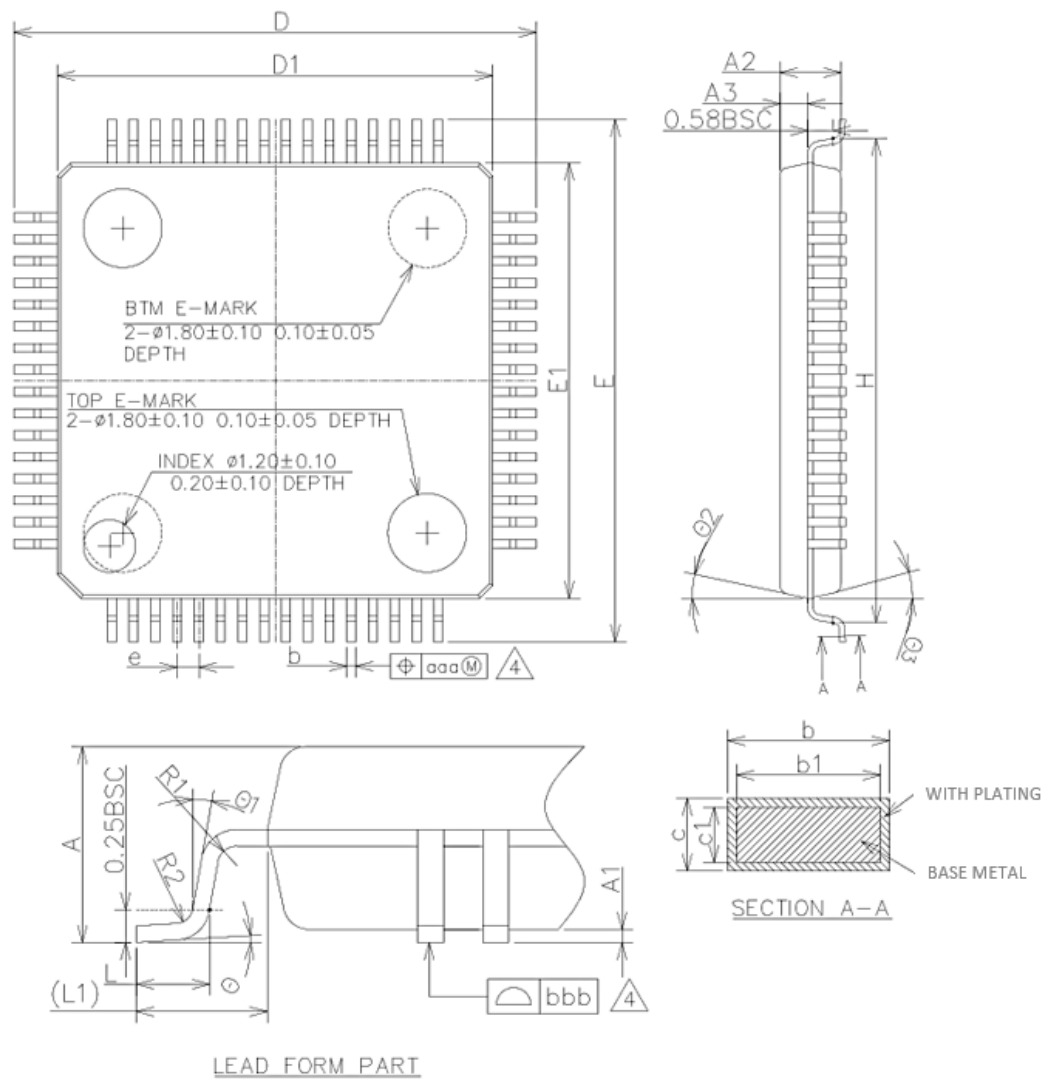
3066M/3065P 系列产品采用 LQFP 封装，封装 Pin 脚数有 64/80，详细信息请见如下章节。

### 5.1.1 LQFP64 封装视图和封装参数

#### 封装视图

LQFP64 封装外形图如[图 5-1](#) 所示。

图5-1 LQFP64 封装外形图



封装参数

封装参数如表 5-1 所示。

表5-1 LQFP64 封装参数表

参数	尺寸 (mm)		
	最小值	典型值	最大值
A	-	-	1.60
A <sub>1</sub>	0.05	-	0.15
A <sub>2</sub>	1.35	1.40	1.45

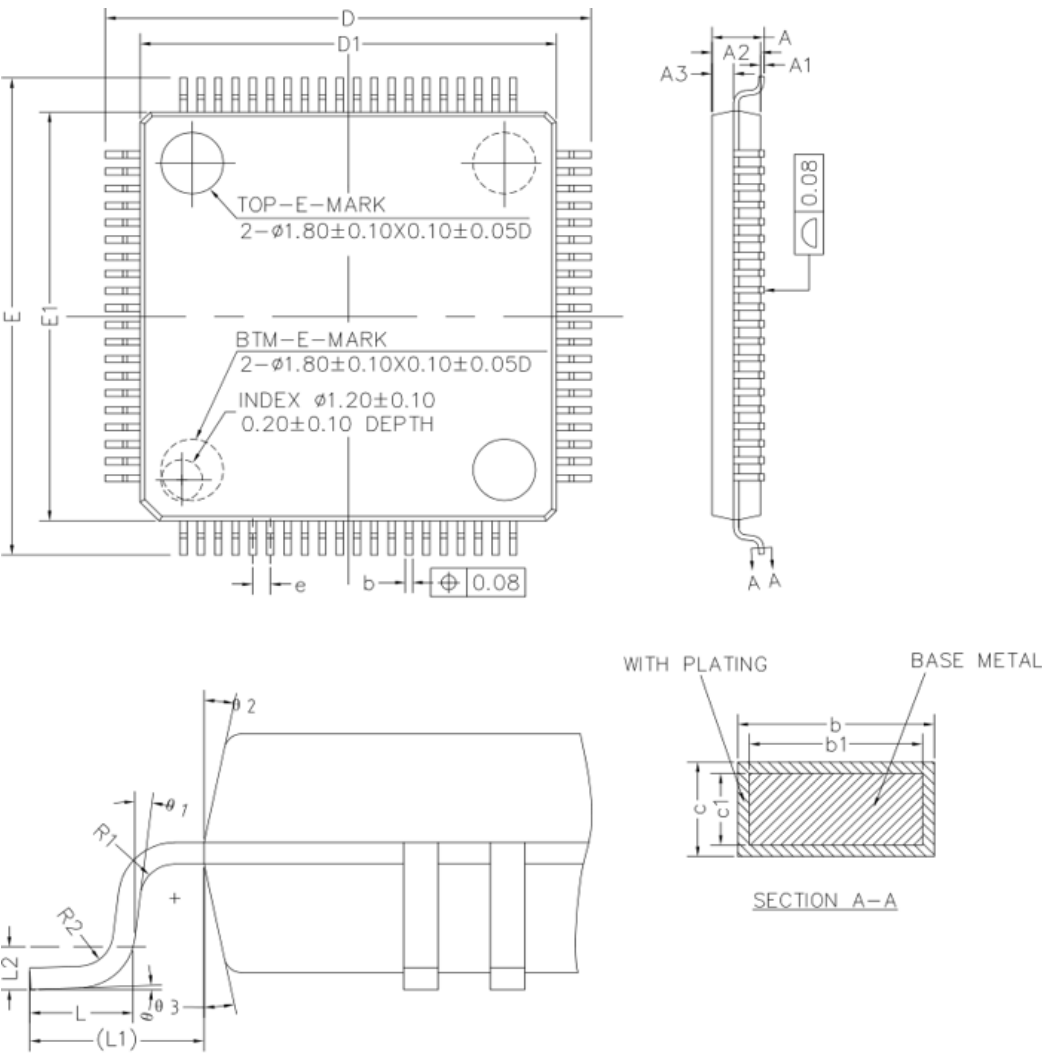
参数	尺寸 (mm)		
	最小值	典型值	最大值
A <sub>3</sub>	0.59	0.64	0.69
b	0.18		0.27
b <sub>1</sub>	0.17	0.20	0.23
c	0.13	-	0.18
c <sub>1</sub>	0.117	0.127	0.137
D	11.95	12.00	12.05
D <sub>1</sub>	9.90	10.00	10.10
E	11.95	12.00	12.05
E <sub>1</sub>	9.90	10.00	10.10
e	0.50BSC		
L	0.53	-	0.70
L <sub>1</sub>	1.00REF		
R <sub>1</sub>	0.15REF		
R <sub>2</sub>	0.13REF		
θ	0°	3.5°	7°
θ <sub>1</sub>	0°	-	-
θ <sub>2</sub>	11°	12°	13°
θ <sub>3</sub>	11°	12°	13°
aaa	0.08		
bbb	0.08		

5.1.2 LQFP80 封装视图和封装参数

封装视图

LQFP80 封装外形图如图 5-2 所示。

图5-2 LQFP80 封装外形图



封装参数

封装参数如表 5-2 所示。

表5-2 LQFP80 封装参数表

参数	尺寸 (mm)		
	最小值	典型值	最大值
A	-	-	1.60
A1	0.05	-	0.15
A2	1.35	1.40	1.45

参数	尺寸 (mm)		
	最小值	典型值	最大值
A3	0.59	0.64	0.69
b	0.18	-	0.27
b <sub>1</sub>	0.17	0.20	0.23
C	0.13	-	0.18
C1	0.12	0.127	0.134
D	13.80	14.00	14.20
D1	11.90	12.00	12.10
E	13.80	14.00	14.20
E1	11.90	12.00	12.10
e	0.50 BSC		
L	0.45	0.60	0.75
L1	1.00REF		
L2	0.25BSC		
R1	0.08	-	-
R2	0.08	-	0.20
θ	0°	3.5°	7°
θ <sub>1</sub>	0°	-	-
θ <sub>2</sub>	11°	12°	13°
θ <sub>3</sub>	11°	12°	13°
aaa	0.08		
bbb	0.08		

5.1.3 物理参数

封装物理参数如表 5-3 所示。

表5-3 3066M/3065P 系列封装参数

参数	LQFP64	LQFP80
----	--------	--------

参数	LQFP64	LQFP80
封装尺寸	12mm×12mm×1.6mm	14mm×14mm×1.6mm
管脚间距	0.5mm	0.5mm
管脚总数	64	80

## 5.2 封装热阻

在 JEDEC 标准环境中，封装热阻如表 5-4 所示。

表5-4 封装热阻

封装类型	$\theta_{JA}$ (Thermal resistance of Junction to ambient)	$\theta_{JB}$ (Thermal resistance of Junction to board)	$\theta_{JC}$ (Thermal resistance of Junction to case)	Unit
LQFP64	67.14	63.43	23.85	°C/W
LQFP80	61.16	56.86	23.24	°C/W

MCU 使用时应确保 MCU 结温不超过目标温度 ( $T_{J\_max}$ : 125°C)。以 JEDEC 标准环境为例，MCU 在特定环境下的耗散功耗应满足以下等式：

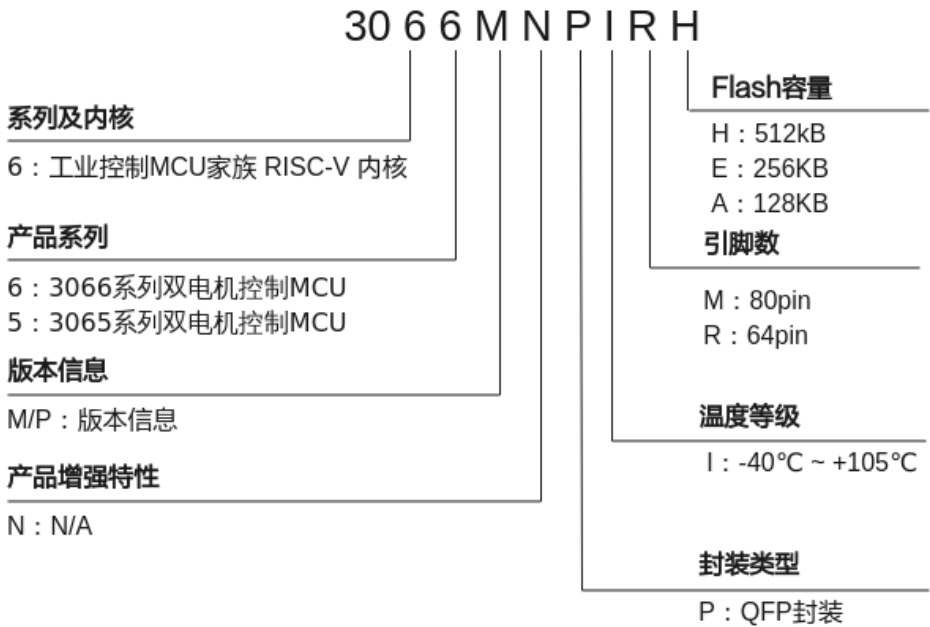
$$T_J = T_A + P_H \times \theta_{JA}, \quad T_J < T_{J\_max}$$

- $\theta_{JA}$  = MCU 与环境温度的热阻；
- $T_J$  = MCU 在施加耗散功耗  $P_H$  达到稳态后结温 (°C)；
- $T_A$  = 环境温度 (°C)；
- $P_H$  = MCU 使用功耗 (W)；

Ref. JESD51-2, Integrated Circuit Thermal Test Method Environmental Conditions - Natural Convection (Still Air)。

# 6 订购信息

图6-1 MCU mark 命名规则





# A 缩略语

表A-1 缩略语

缩略语	英文	中文
ACK	Acknowledge	应答
ACMP	Analog Comparator	模拟比较器
ADC	Analog Digital Converter	模数转换器
AHB	Advanced High-performance Bus	先进高性能总线
APT	Advanced PWM Timer	高级 PWM 定时器
BSC	Basic dimension	基本尺寸
CAMP	Capture Module	捕捉器
CAN	Controller Area Network	控制器域网
CDM	Charge Device Model	器件带电模式
CFD	Clock Failure Detector	时钟失效检测
CMM	Clock Monitor Module	时钟频率监测
CMOS	Complementary Metal Oxide Semiconductor	互补金属氧化物半导体
CRC	Cyclic Redundancy Check	循环冗余校验
CRG	Clock and Reset Generator	时钟复位生成模块
DAC	Digital-to-analog converter	数模转换器
DMA	Direct Memory Access	直接内存访问

缩略语	英文	中文
DMAC	Direct Memory Access Controller	直接存储器访问控制器
DTCM	Data Tightly-Coupled Memory	数据紧耦合内存
eAI	Embedded Artificial Intelligence	嵌入式智能
EFT	Electrical Fast Transient	电快速瞬变脉冲群
EMC	Electromagnetic Compatibility	电磁兼容性
EMS	Electromagnetic Susceptibility	电磁敏感度
EOC	End-of-Conversion	结束转换标志
ESD	Electrostatic Discharge	静电放电
FIFO	First In First Out	先进先出
FPU	Floating Point Unit	浮点处理单元
GPIO	General-purpose input/output	通用输入输出
GPT	General PWM Timer	通用 PWM 定时器
HBM	Human Body Model	人体模式
I2C	Inter-Integrated Circuit	集成电路接口
IOCMG	I/O Control & Multiplex Generater	I/O 复用控制
ITCM	Instruction Tightly-Coupled Memory	指令紧密耦合内存
IWDG	Independent Watch Dog	独立看门狗
JTAG	Joint Test Action Group	联合测试行动小组调试接口
LQFP	Low-profile Quad Flat Package	薄型四方扁平封装
LSB	Least Significant Bit	最低有效位
MCU	Microcontroller Unit	微控制器单元
MSB	Most Significant Bit	最高有效位
NACK	Not Acknowledge	非应答
PDR	Power Down Reset	掉电复位

缩略语	英文	中文
PFC	Power Factor Correction	功率因数校正
PGA	Programmable Gain Amplifier	可编程增益放大器
PLL	Phase Locked Loop	锁相环
PMC	Power Manage Controller	电源控制
PMP	Physical Memory Protection	物理内存保护
PMU	Power Manager Unit	电源管理单元
POE	Port Output Enable	端口输出使能
POR	Power On Reset	上电复位
PPU	Position Process Unit	位置处理单元
PTU	Period Trigger Unit	周期触发单元
PVD	Programmable Voltage Detector	可编程电压检测器
PWM	Pulse Width Modulation	脉冲宽度调制
QDM	Quadrature Decoder Module	正交解码模块
QDU	Quadrature Decoder Unite	正交解码单元
QFN	Quad Flat No-lead Package	方形扁平式无引脚封装
REF	Reference dimension	参考尺寸
SARADC	Successive Approximation ADC	逐次逼近型 ADC
SCL	Serial Clock Line	串行时钟线
SDA	Serial Data Line	串行数据线
SOC	Start Of Conversion	启动转换
SPI	Serial Peripheral Interface	串行外设接口
SRAM	Static Random Access Memory	静态随机存取存储器
SYSCTRL	System Controller	系统控制
TSU	Time Stamp Unit	时间戳单元

缩略语	英文	中文
UART	Universal Asynchronous Receiver Transmitter	通用异步收发传输器
WDG	Watch Dog	看门狗
WFI	Wait For Interrupt	等待中断指令
WWDG	Windowed Watch Dog	窗口看门狗
XIP	Execute In Place	就地执行