

3065A

# 硬件设计指南

文档版本 01

发布日期 2024-03-01

# 前 言

## 概述

本文档主要介绍 3065A MCU 的硬件封装、管脚描述、管脚复用寄存器的配置方法、电气特性参数、原理图设计建议 PCB 设计建议、热设计建议、焊接工艺、潮敏参数、注意事项等内容。

本文主要为硬件工程师提供硬件设计的参考。

## 产品版本

与本文档相对应的产品版本如下。

产品名称	产品版本
3065A	-

## 读者对象

本文档（本指南）主要适用于以下工程师：

- 技术支持工程师
- 单板硬件开发工程师
- 维护工程师
- 硬件测试工程师

# 符号约定

在本文中可能出现下列标志，它们所代表的含义如下。

符号	说明
 <b>危险</b>	表示如不可避免则将会导致死亡或严重伤害的具有高等级风险的危害。
 <b>警告</b>	表示如不可避免则可能导致死亡或严重伤害的具有中等级风险的危害。
 <b>注意</b>	表示如不可避免则可能导致轻微或中度伤害的具有低等级风险的危害。
 <b>须知</b>	用于传递设备或环境安全警示信息。如不可避免则可能会导致设备损坏、数据丢失、设备性能降低或其它不可预知的结果。 “须知”不涉及人身伤害。
 <b>说明</b>	对正文中重点信息的补充说明。 “说明”不是安全警示信息，不涉及人身、设备及环境伤害信息。

# 修订记录

修订记录累积了每次文档更新的说明。最新版本的文档包含以前所有文档版本的更新内容。

修订日期	版本	修订说明
2024-03-01	01	第 1 次正式版本发布。

目 录

前 言 ..... i

1 原理图设计建议 ..... 1

1.1 MCU 最小系统设计建议 ..... 1

1.1.1 时钟电路 ..... 1

1.1.2 复位电路 ..... 2

1.1.3 JTAG/SWD 接口 ..... 3

1.1.4 硬件上电配置字设计 ..... 3

1.1.5 UART 电路设计 ..... 4

1.2 电源设计建议 ..... 4

1.2.1 通用设计指导 ..... 4

1.2.2 电源上下电斜率 ..... 5

1.2.3 数字电源设计指导 ..... 5

1.2.4 模拟电源设计指导 ..... 6

1.2.5 Core 电源设计指导 ..... 6

1.2.6 电源纹波噪声要求 ..... 7

1.3 外围接口设计建议 ..... 8

1.3.1 运放 ..... 8

1.3.2 比较器 ..... 10

1.3.3 ADC ..... 13

1.4 其他数字接口设计 ..... 13

1.4.1 APT 接口 ..... 13

1.4.2 GPT 接口 ..... 14

1.4.3 SPI 接口 ..... 15

1.4.4 I2C 接口 ..... 16

1.4.5 CAPM 接口 ..... 17

1.4.6 QDM 接口 ..... 17

**2 PCB 设计建议 ..... 19**

2.1 概述..... 19

2.2 系统设计指导 ..... 19

2.2.1 总体设计方案 ..... 19

2.2.2 PCB 层叠 ..... 20

2.2.3 Fanout 封装设计 ..... 21

2.2.4 单板布局..... 21

2.2.5 布线建议..... 22

2.2.5.1 高压电源布线要求 ..... 22

2.2.5.2 单层板走线要求..... 23

2.2.5.3 IPM 布线要求..... 23

2.2.5.4 预驱+IGBT 布线要求..... 23

2.2.5.5 电机控制电路布局布线要求..... 24

2.2.5.6 其它数字接口 ..... 24

2.2.5.7 时钟电路..... 24

**3 功耗&热设计建议 ..... 25**

3.1 功耗..... 25

3.2 热设计 ..... 26

**4 EMS 设计建议..... 27**

4.1 EMS 设计建议..... 27

**5 焊接工艺建议 ..... 28**

5.1 概述..... 28

5.2 无铅回流焊工艺参数要求 ..... 28

5.3 混合回流焊工艺参数要求 ..... 31

5.4 存放与使用 ..... 32

5.5 重新烘烤..... 33

**6 管脚速查表..... 35**

7 缩略语 .....38

# 插图目录

图 1-1 推荐晶体连接方式及器件参数..... 1

图 1-2 复位管脚外接 100nF 电容..... 2

图 1-3 20pin JTAG/SWD 连接器推荐接法..... 3

图 1-4 Boot（GPIO1\_2）管脚推荐电路设计..... 4

图 1-5 UART0 烧录接口..... 4

图 1-6 VDDA 和 VDD 电源设计..... 6

图 1-7 VCAP 电容和相邻 VDD 电容接法示意图..... 7

图 1-8 内置运放外置电阻模式接法..... 8

图 1-9 外置运放接法..... 9

图 1-10 内置运放内置电阻接法..... 9

图 1-11 内置比较器-参考电平内置接法..... 10

图 1-12 内置比较器-参考电平外置\_比较信号内置..... 11

图 1-13 内置比较器-输入信号全外置..... 11

图 1-14 外置迟滞比较器..... 12

图 1-15 ADC 采样滤波电容..... 13

图 1-16 APT0/1/2 电机控制电路..... 14

图 1-17 APT6/7/8 电机控制电路..... 14

图 1-18 蜂鸣器控制..... 15

图 1-19 DC-DC 电源电压通过 GPT 脉宽调制控制电路..... 15

图 1-20 SPI 接口电路..... 16

图 1-21 I2C 接口电路..... 16

图 1-22 霍尔传感器检测示意图..... 17

图 1-23 正交编码器连接电路示意图 ..... 18

图 2-1 空调外机板总体设计方案 ..... 19

图 2-2 LQFP64 MCU 布局 Fanout 图 ..... 21

图 2-3 两层板参考设计 PCB 布局示意图 (Top) ..... 22

图 5-1 无铅回流焊接工艺曲线..... 29

图 5-2 封装体测温示意图 ..... 30

图 5-3 耐温标准 ..... 31



# 表格目录

表 1-1 典型规格参数的晶体的 R1 和 C1/C2 推荐值..... 1

表 1-2 电源上下电斜率..... 5

表 1-3 MCU 数字电源 VDD 去耦电容要求..... 5

表 1-4 MCU 模拟电源 VDDA 去耦电容要求..... 6

表 1-5 内置运放链接关系 ..... 10

表 1-6 内置 ACMP 输入端连接关系 ..... 12

表 2-1 3065A MCU 封装参数..... 20

表 2-2 各类产品推荐板层设计 ..... 20

表 3-1 MCU 典型场景的功耗实测值 ..... 25

表 5-1 无铅回流焊工艺参数 ..... 29

表 5-2 IPC/JEDEC 020D 中的无铅器件封装体耐温标准 ..... 30

表 5-3 混装回流焊工艺参数表..... 31

表 5-4 floor life 参照表 ..... 32

表 5-5 重新烘烤参考表..... 33

# 1 原理图设计建议

## 1.1 MCU 最小系统设计建议

### 1.1.1 时钟电路

- 1. MCU 时钟支持两种：内部电路产生的时钟和外置晶体产生的时钟；
- 2. MCU 内部电路产生的时钟，也是 MCU 启动默认的时钟源，无需外围电路；
- 3. 采用更高精度的外置晶体产生时钟的话，启动后需要配置成 XTAL mode 后，才可以选择外置时钟源；此时通过 MCU 内部的反馈电路与外部的晶体振荡电路一起构成系统时钟，推荐晶体连接方式及器件参数如[图 1-1](#) 所示。

图1-1 推荐晶体连接方式及器件参数

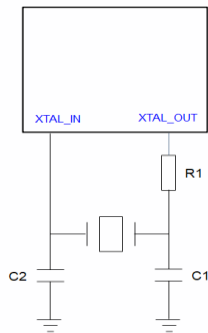


表1-1 典型规格参数的晶体的 R1 和 C1/C2 推荐值

R1	C1/C2	晶体 ESR (max)	晶体 CL	晶体 DL (max)
150Ω	22pF~27pF	50Ω	18pF	100uW

R1	C1/C2	晶体 ESR (max)	晶体 CL	晶体 DL (max)
120Ω	22pF~27pF	50Ω	18pF	200 uW

常见典型 **Drive Level** 的晶体的 R1 推荐阻值见上表，串的 R1 建议不小于上表推荐电阻；对于非典型 **Drive Level** 的晶体，不建议采用。

须知

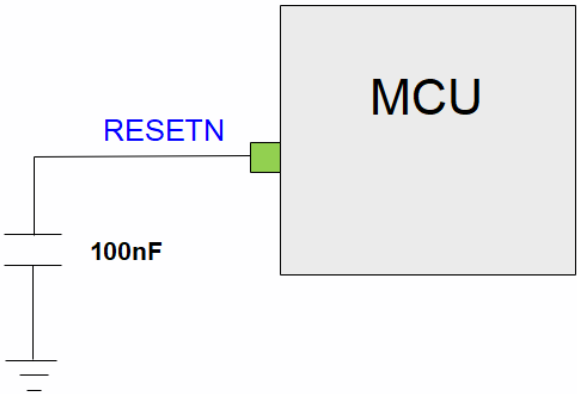
- 1. C1/C2 值的选择和晶体相关，以上仅是常见典型晶体的建议值，具体以客户选型的器件参数为准。
- 2. 外置晶体驱动能力建议配置为 “01”（2 档）。

另外，系统时钟还可以直接由外部的晶振时钟电路产生时钟，通过 XTAL\_OUT 脚输入。

1.1.2 复位电路

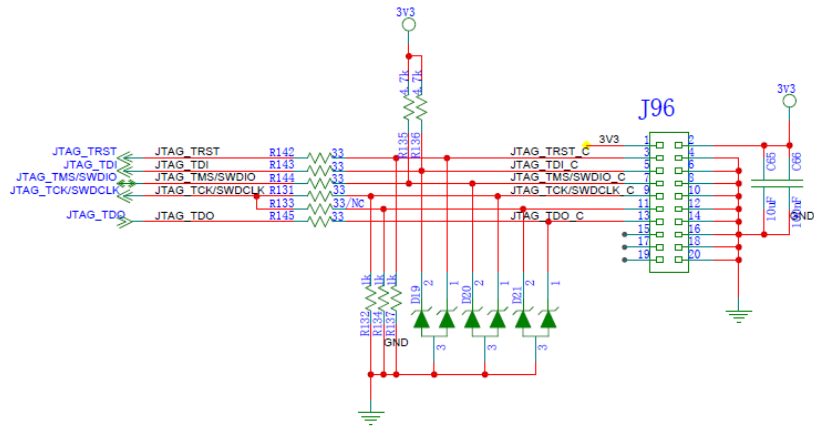
3065A 复位电路设计相关仅有 RESETN，MCU 内部有 POR 电路满足时序要求，外部需要接一个 100nF 滤波电容。

图1-2 复位管脚外接 100nF 电容



### 1.1.3 JTAG/SWD 接口

图1-3 20pin JTAG/SWD 连接器推荐接法



#### 须知

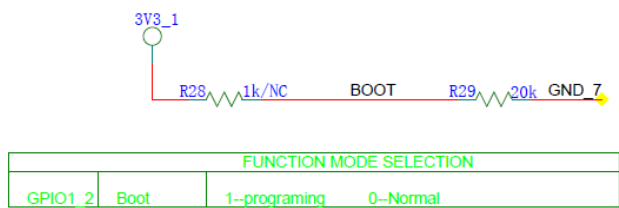
1. 当 JTAG 管脚被软件配置为非 JTAG 的其他功能时，可通过 Boot 管脚上拉方式，将 JTAG 管脚强制为 JTAG 功能，推荐调试阶段使用，量产阶段建议 Boot 管脚悬空或下拉。
2. 建议使用 SWD 管脚作为调试接口，其占用管脚数量更少，仅占用了 JTAG\_TMS/SWDIO 和 JTAG\_TCK/SWDCLK 两个管脚，可以将 JTAG 其它三个管脚释放出来用作其它功能。

### 1.1.4 硬件上电配置字设计

硬件上电配置字主要有两个，GPIO1\_2 (Boot/GPIO1\_2 管脚) 和 GPIO3\_5 (APT0\_A 管脚)。

- GPIO1\_2 默认选择悬空或者下拉，可预留上拉电阻，当需要使用 UART0 烧录版本时或 JTAG 管脚强制为 JTAG 功能需要外接上拉，推荐上拉电阻 1K~4.7KΩ。量产时建议悬空或下拉。
- GPIO3\_5 一般情况下禁止上拉，内部默认有弱下拉，所以默认选择悬空或者下拉。

图1-4 Boot (GPIO1\_2) 管脚推荐电路设计

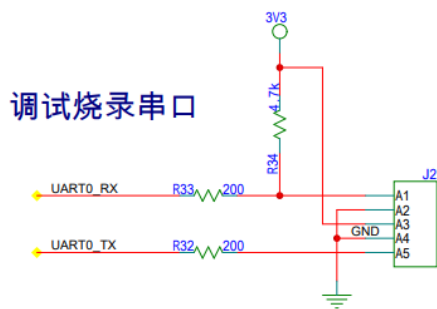


1.1.5 UART 电路设计

UART 分烧录和通讯两种功能。烧录串口仅支持 UART0，通讯调试串口可以选择 UART0、UART1、UART2。

烧录串口 UART0 通过 Boot 管脚上拉选择。

图1-5 UART0 烧录接口



1.2 电源设计建议

1.2.1 通用设计指导

下面是一些电源网络通用的板级设计指导。

- 计算电源平面的厚度，需要保证最恶劣应用下，直流压降满足电源规范要求。
- 为了减小电源走线的寄生电感，电源的走线尽量短和粗。
- PCB 叠层设计时，尽量将电源平面与地平面直接临近放置以减小回路电感。电源平面与地平面靠的越近，回路电感越小。
- 高敏感电源供电尽量将滤波电容靠近 MCU 放置，以减小滤波电容的回路电感。

- 电容需要在 PCB 上尽量靠近 MCU。
- 尽量在 pin field 区域放置低 ESL 高频电容。
- 板级模拟电源平面不能和其他任何电源存在交叠（以另外一个电源为参考）。

3065A 主要电源包含 VDD、VDDA，VDD 为数字电源，VDDA 为模拟电源。

须知

VDD 电平任何时候都必须大于或等于 VDDA。

1.2.2 电源上下电斜率

表1-2 电源上下电斜率

符号	参数	条件	最小值	最大值	单位
tVDD	VDD rise time rate	-	-	15	ms/V
	VDD fall time rate	2.4V to 1.4V	6	-	ms/V

1.2.3 数字电源设计指导

3065A 数字电源 VDD 为 IO 供电，推荐按照下面规则设计滤波网络：

- 选择热阻小封装较大的 LDO，因为输入输出压降大，最大压降由 15V 直接转 3.3V，考虑热耗问题尽量选择散热好的器件。
- 为了降低电源回路的等效电感，每一组 VDD 和 VSS 都需要就近放置一颗 100nF 去耦电容，还需要一颗 4.7uF 电容。各封装 MCU 具体去耦电容请参考表 1-3。
- 为了给电源/地平面提供良好的通流能力，应避免过孔的隔离焊盘过度分割电源/地平面。

表1-3 MCU 数字电源 VDD 去耦电容要求

-	去耦电容数量	去耦电容位置
3065A	4.7uF+3*100nF	4.7uF+100nF 靠近 PIN64、63 1 颗 100nF 靠近 PIN34、35 1 颗 100nF 靠近 PIN14、13

1.2.4 模拟电源设计指导

3065A 模拟电源 VDDA 为 MCU 的 ADC、PGA、ACMP、DAC 等模拟 IP 供电，推荐按照下面规则进行设计：

- 建议使用低噪声 LDO 电源模块，可以和 VDD 共一个 LDO 供电。
- 对指标要求较高的情况下，VDDA 建议在板级和 VDD 分开，使用磁珠或电阻与 VDD 电源进行隔离，如图 1-6 所示。
- 每一组 VDDA 和 VSSA 都需要就近放置一颗 100nF 去耦电容。VDDA 管脚还需要一颗 10uF 电容。各封装 MCU 具体去耦电容请参考表 1-4。

图1-6 VDDA 和 VDD 电源设计

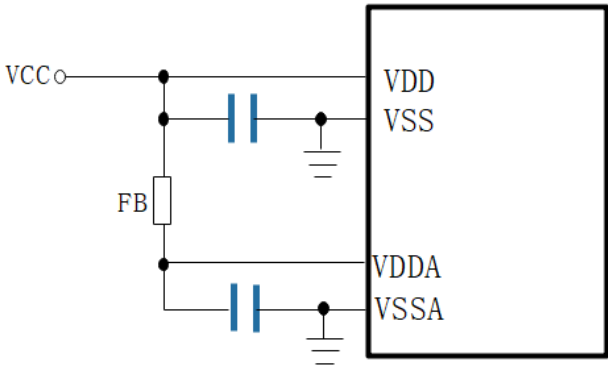


表1-4 MCU 模拟电源 VDDA 去耦电容要求

-	去耦电容数量	去耦电容位置
3065A	10uF+2*100nF	10uF+2*100nF 靠近 PIN24、25、26、27

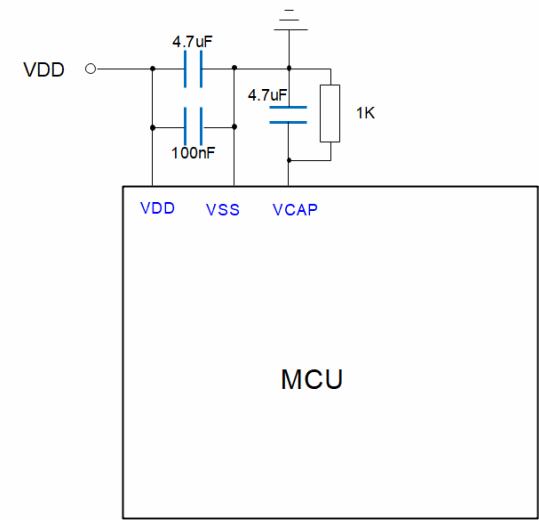
1.2.5 Core 电源设计指导

Core 电源给 MCU 内 Core 域电源供电，由内置 LDO 提供，LDO 输出需要外接电容，接 VCAP 管脚，并在该管脚并联一个 1K 电阻到地，对该电容的要求：

- 容值 4.7uF，建议材质 X5R 以上 MLCC。

- VCAP 管脚与外接板级 4.7uF 大电容走线尽量宽和近，保证 50mOhm 以内寄生电阻（建议走线宽度至少 8mil，走线长度在 400mil 以内）。VCAP 电容地由邻近的 VSS 管脚回流。

图1-7 VCAP 电容和相邻 VDD 电容接法示意图



须知

Core 电源（VCAP 管脚）上电时序要求和控制电路请参考硬件设计 FAQ。

1.2.6 电源纹波噪声要求

符号	电平要求	纹波噪声要求
VDD	VDDA~3.63V	±3%(Vpp)
VDDA	2.6V~3.63V	±3%(Vpp)



## 1.3 外围接口设计建议

### 1.3.1 运放

3065A 集成了 3 个 PGA，PGA 具体出管脚的输入端请查看数据手册。

- 内置电阻模式下的放大倍数 1, 2, 4, 8, 16 可选。
- 输入管脚因为要支持差分输入，P、N 通道是通过同一 MUX 成对选择，如 PGA1IN\_P0 和 PGA1IN\_N0 是同一寄存器选择作为输入端，PGA1IN\_P0 和 PGA1IN\_N3 不能组合选择为输入端。
- MCU 内输入端没有集成偏置电压，需外加偏置电压。
- 板级设计中运放有三种常用的接法，一是内置运放外置电阻模式接法，二是外置运放接法，三是内置运放内置电阻接法，如图 1-8、图 1-9、图 1-10 所示。

图1-8 内置运放外置电阻模式接法

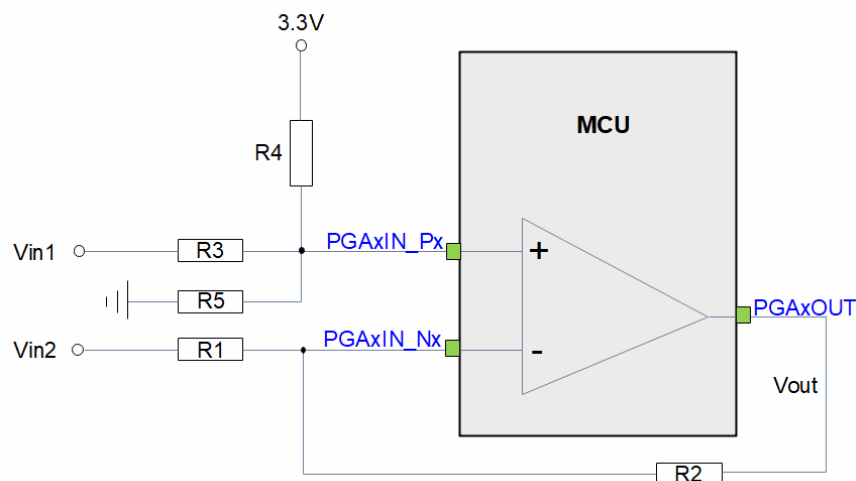


图1-9 外置运放接法

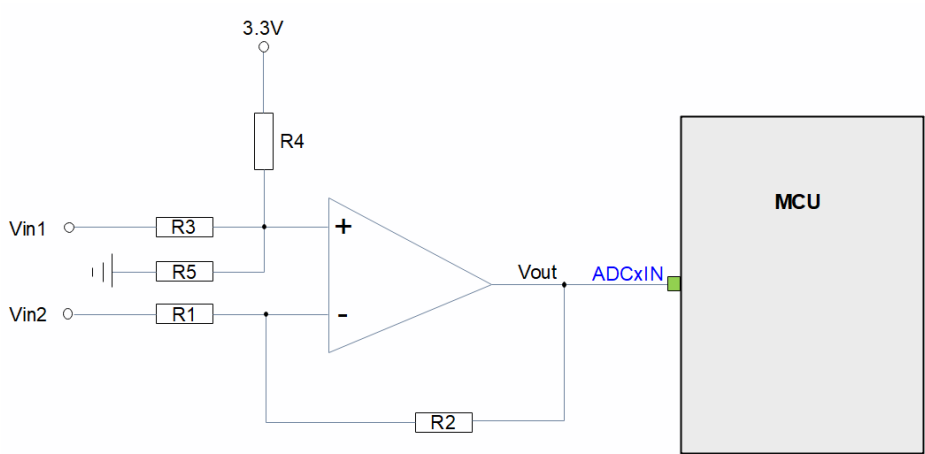
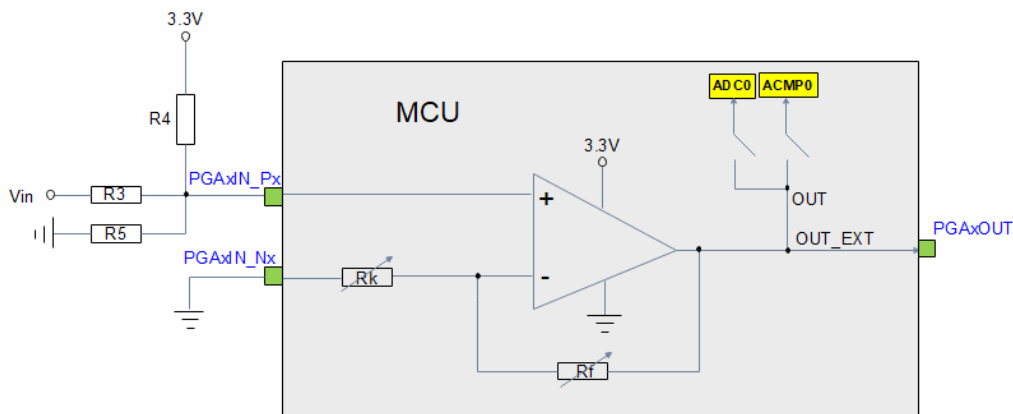


图1-10 内置运放内置电阻接法



1. 运放差分输入端的信号是从采样电阻两端差分走线出来到运放输入端，如图 1-8 的 Vin1 和 Vin2，layout 时得注意，从采样电阻端拉线出来差分走线到运放。
2. 电流采样差分运放输入端建议不要加对地滤波电容，避免 PGA 输入波形出现上下冲导致采样波形严重失真，实际电流和采样电流不相符，电机算法混乱导致电机停转过流保护。

内置运放（PGA）输入输出连接关系如表 1-5 所示，其中输出端内部连接可通过寄存器配置选择连接方式，举个例子，电机电流采样使用内置 PGA0 输入，如图 1-8 所示，采样电阻两端差分走线输入到 PGA0IN\_P0 和 PGA0IN\_N0，PGA0OUT 通过电阻 R2 反馈到 PGA0IN\_N0，这就组成一个差分输入比例放大电路，此时输出有两种连接方式：一是内部连接，可以通过内部寄存器选择 PGA0 的输出到 ADC0\_A0 或者 ADC1\_B0，

采样其放大后的电流值，也可以选择输出到内置比较器 ACMP0 的 P0 通道，作为过流保护；二是通过输出管脚输出，通过管脚 PGA0OUT，硬件走线到 ADC 或比较器。

表1-5 内置运放链接关系

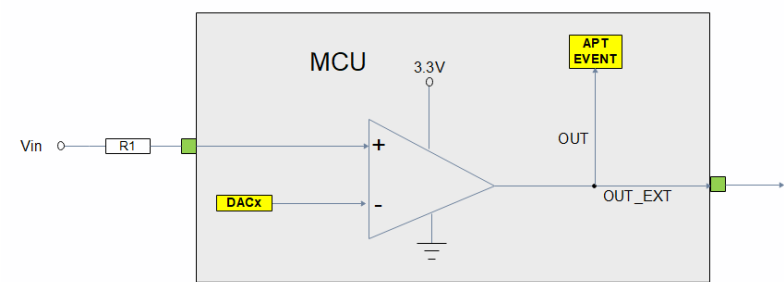
内置 PGA	输入端（管脚）		输出端	
	同相端	反相端	内部连接	MCU 管脚
PGA0	PGA0IN_P0	PGA0IN_N0	ADC0_A0/ADC1_B0/ ACMP0_P0	PGA0OUT
PGA1	PGA1IN_P0/ PGA1IN_P3	PGA1IN_N0/ PGA1IN_N3	ADC1_A0/ACMP1_P0	PGA1OUT0/ PGA1OUT1
PGA2	PGA2IN_P0	PGA2IN_N0	ADC1_B1/ADC2_A0/ ACMP2_P0	PGA2OUT

1.3.2 比较器

3065A 集成了 3 个 ACMP，ACMP 具体出管脚的输入端请查看数据手册。

- 每个 ACMP 的输入端各有一个 DAC 输出参考电平，详情查看表 1-4。
- 输入管脚不需要差分输入，P、N 通道是通过两个 MUX 分别选择，如 ACMP1IN\_P2 和 ACMP1IN\_N3 可以组合选择为输入端。
- 板级比较器设计，分四种接法，一是参考电平内置（图 1-11），二是参考电平外置、待比较信号内部输入（图 1-12），三是参考电平和待比较信号均外置（迟滞电阻可外置，也可由内部寄存器调节迟滞区间，如图 1-13 所示），四是外置迟滞比较器（迟滞电阻外置，可自由调节迟滞区间，如图 1-14 所示）。其中接法一、二、三使用的是内置比较器，可以通过寄存器配置迟滞区间也可关闭迟滞。

图1-11 内置比较器-参考电平内置接法



须知

其中 ACMP0 支持内部 DAC 同相端和反相端输入参考电平，ACMP1 和 ACMP2 仅支持反相端 DAC 输入，详情参考表 1-6。

图1-12 内置比较器-参考电平外置\_比较信号内置

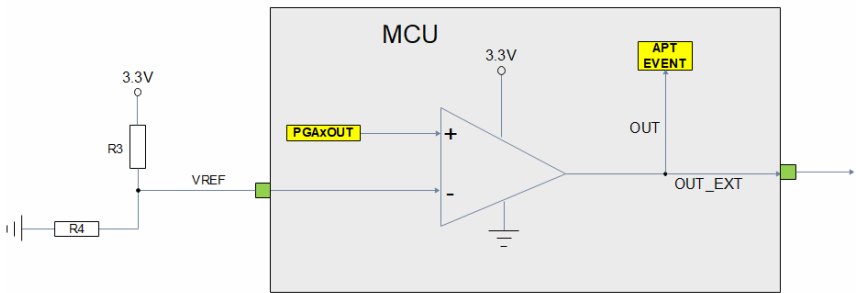


图1-13 内置比较器-输入信号全外置

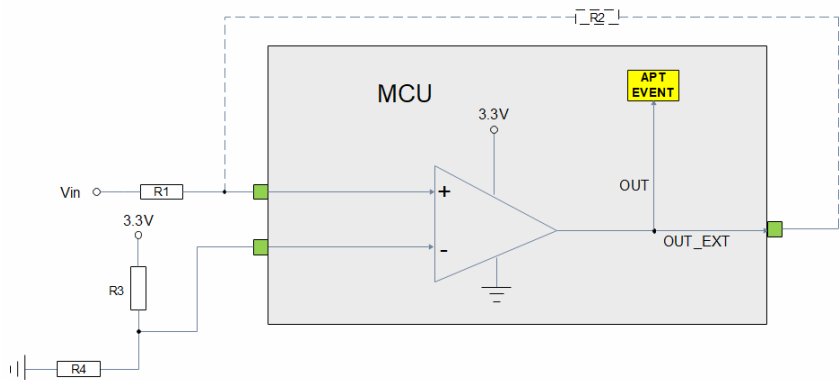
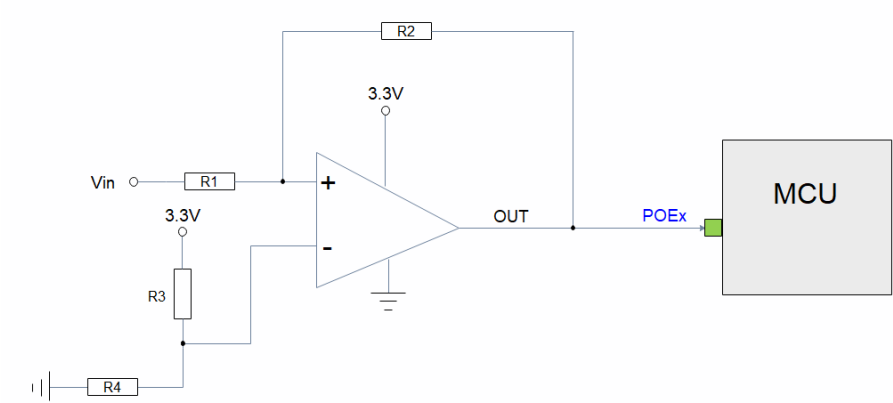


图1-14 外置迟滞比较器



内置比较器输入端内部和外部连接（出管脚）关系如表 1-6 所示，因为 P、N 通道是通过两个 MUX 分别选择，所以既可以选用 PGA0\_OUT（ACMP0\_P0）和 DAC0（ACMP0\_N0）组合使用，也可以选择 ACMP0IN\_P1 和 DAC0（ACMP0\_N0）组合使用。

表1-6 内置 ACMP 输入端连接关系

内置 ACMP 通道		信号源	
		内部连接	MCU 管脚
ACMP0	P0	PGA0_OUT	-
	P1	-	ACMP0IN_P1
	P3	DAC0	-
	N0	DAC0	-
	N1	-	ACMP0IN_N1
ACMP1	P0	PGA1_OUT	-
	P2	-	ACMP1IN_P2
	P3	-	ACMP1IN_P3
	N0	DAC1	-
	N2	-	ACMP1IN_N2
	N3	-	ACMP1IN_N3
ACMP2	P0	PGA2_OUT	-
	P1	-	ACMP2IN_P1
	N0	DAC2	-

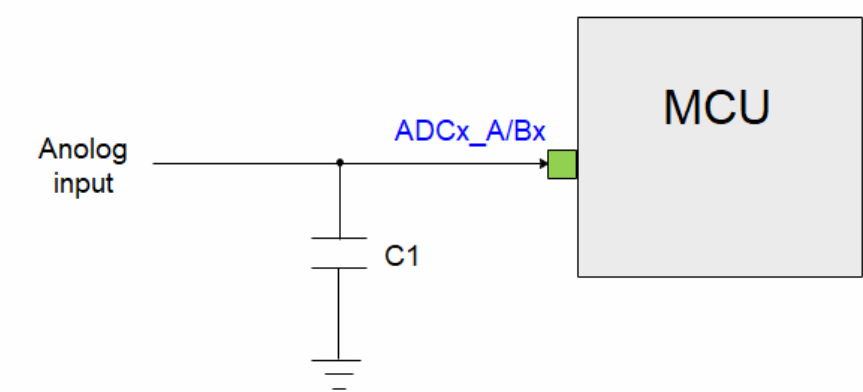
内置 ACMP 通道		信号源	
		内部连接	MCU 管脚
	N1	-	ACMP2IN_N1

1.3.3 ADC

3065A 集成了 3 个 12bit 的 ADC，2MSPS 采样率。

- 每个 ADC 输入分 A、B 两组，每组各一个采样保持，ADC 管脚的位置请查看数据手册。
- 板级应用上 ADCIN 一般作为电压、温度、电流等模拟量的输入端，ADCIN 输入端需要外接电容（如图 1-15 所示的 C1），建议 1nF。

图1-15 ADC 采样滤波电容



1.4 其他数字接口设计

1.4.1 APT 接口

APT 为高级 PWM 模块。

- 3065A 支持 9 个 APT 模块，其中 6 个 APT 模块，支持 2 电机 PWM 控制；其中 2 个 APT 模块，支持 2 路 PFC 应用；其中 1 个 APT 模块，保留备用。

- APT 分 A、B 两组，APT\_A 和 APT\_B 不分高低边 (HIN 和 LIN)，APT0、1、2 也不跟电机 U、V、W 强对应，所以当 layout 走线交叉时可以选择互换连接方式 (组内互换或整组交换)，原则是同一组 APT 接同一相电源控制，便于死区时间控制。

图1-16 APT0/1/2 电机控制电路

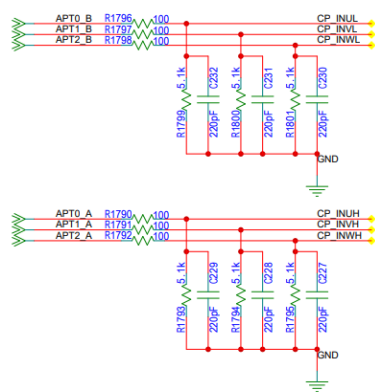
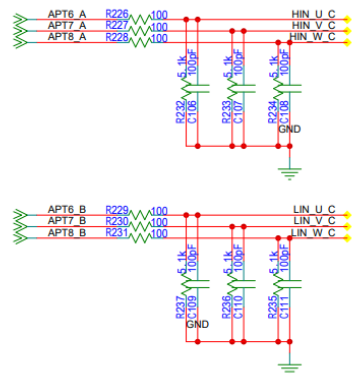


图1-17 APT6/7/8 电机控制电路



### 1.4.2 GPT 接口

3065A 支持 2 个 GPT。GPT 为通用 PWM 模块。GPT 常用应用为蜂鸣器或直流电机控制、PWM 单向通讯、PWM 脉宽调制电路控制 (电源调压)。

图1-18 蜂鸣器控制

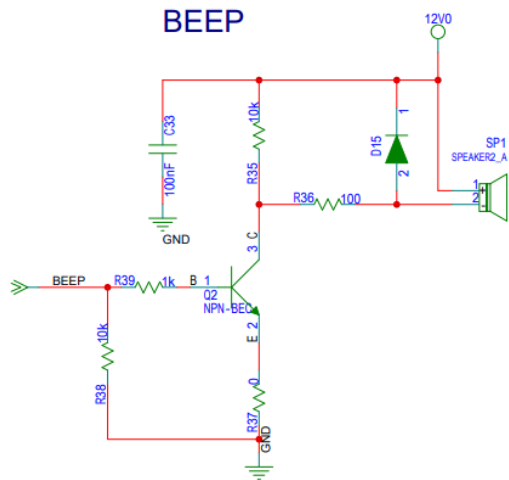
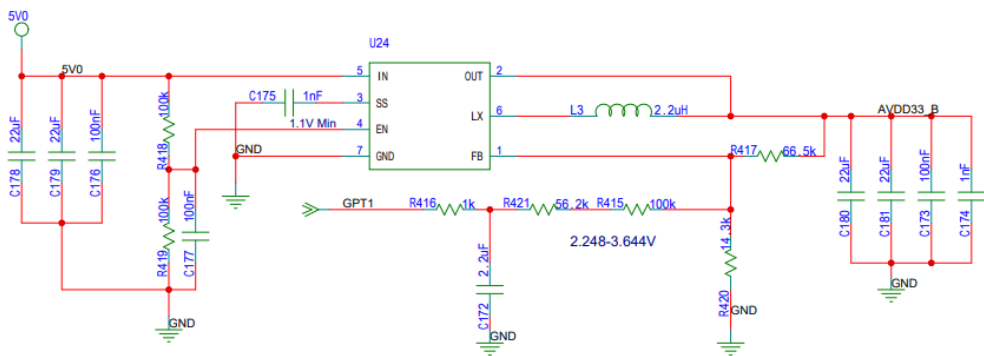


图1-19 DC-DC 电源电压通过 GPT 脉宽调制控制电路



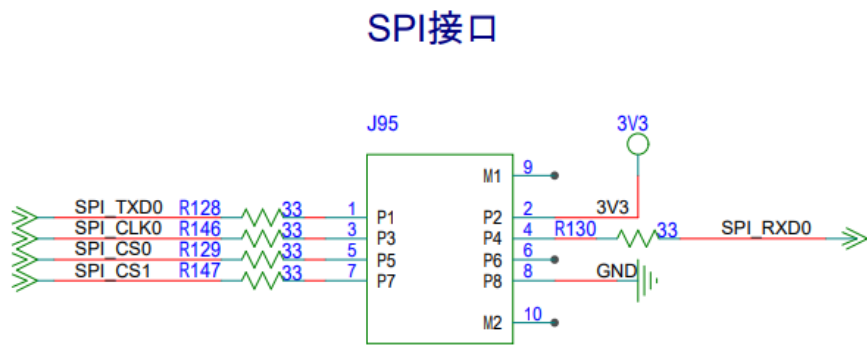
### 1.4.3 SPI 接口

3065A 支持 1 路 SPI。

- 4 线 SPI，支持双片选，分时复用模式；
- 支持 master 和 slave 模式；
- MAX 25Mhz。



图1-20 SPI 接口电路



须知

驱动配置请参考《3065A 系列数据手册》中“4.8 IO 电气特性”章节。

1.4.4 I2C 接口

3065A 支持 1 路 I2C，只支持 MASTER 模式，速率最大 400kbps。I2C 输出管脚需要外接上拉电阻。

图1-21 I2C 接口电路

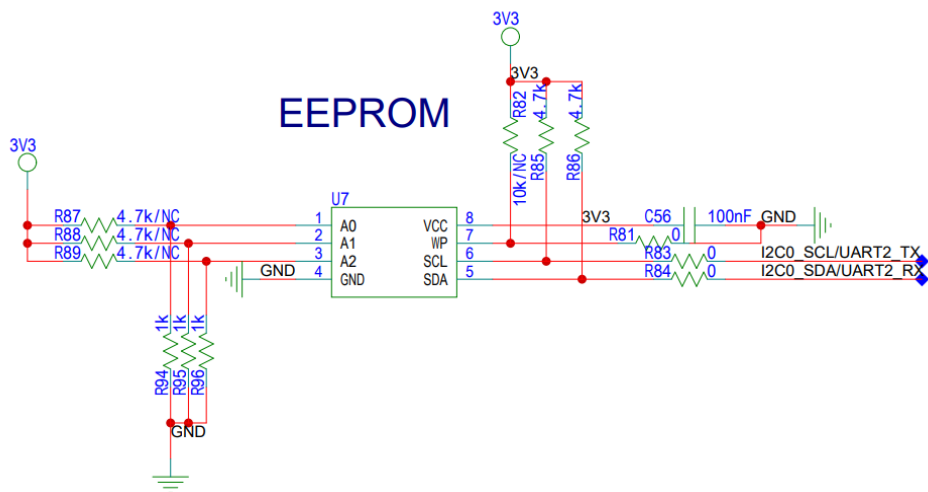
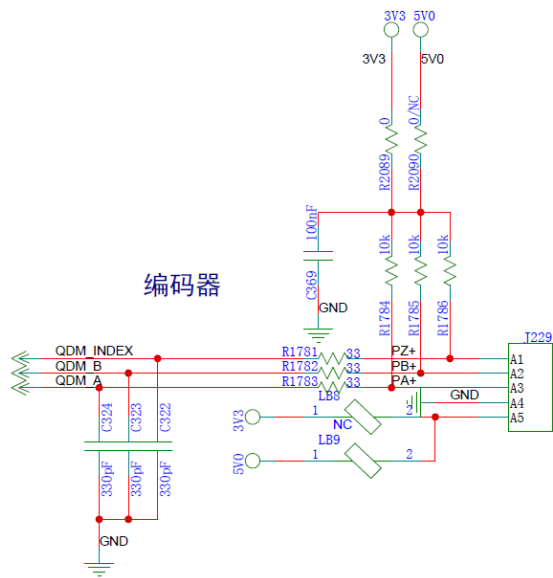




图1-23 正交编码器连接电路示意图



# 2 PCB 设计建议

## 2.1 概述

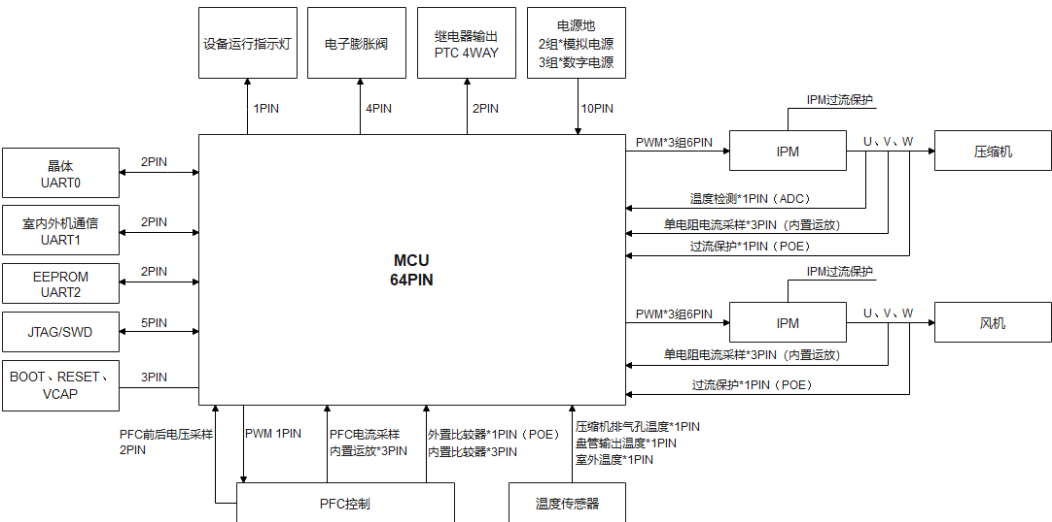
本章介绍 3065A 解决方案 PCB 布局布线参考设计。

## 2.2 系统设计指导

### 2.2.1 总体设计方案

3065A MCU 支持多种产品设计，如冰箱主控、冰箱电控、洗衣机电控、空调外机板、低压变频器、便携储能双向逆变、微逆、MPPT 等，其中空调外机方案如下。

图2-1 空调外机板总体设计方案



2.2.2 PCB 层叠

3065A 的封装为 LQFP64，封装尺寸和管脚间距如表 2-1 所示。

表2-1 3065A MCU 封装参数

参数	LQFP64
封装尺寸	10mm×10mm
管脚间距	0.5mm
管脚总数	64

PCB 设计建议采用 1-4 层板设计。推荐板层设计：

表2-2 各类产品推荐板层设计

产品类型	板层	布局要求
空调外机板	两层	推荐单面布局， 压缩机 IPM 和风机 IPM 分散放置， 压缩机 IPM、PFC IGBT 和续流二极管、整流桥根据一体化散热片尺寸集中放置。
低压变频器	四层	分功率底板和主控板， 两板是接插件直插叠板设计， 因功率较大， 其散热方案是一体化散热片加风扇， 所以功率器件最好放到 Bottom 面， 功率器件集中布局， 留有足够的空间给散热模块。

PCB 设计注意事项， 具体设计要求请参考硬件设计 checklist：

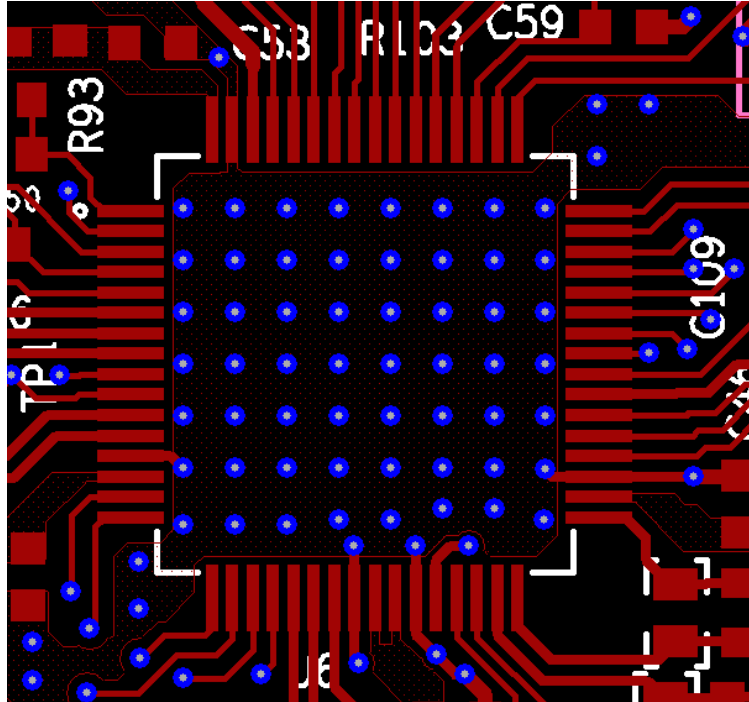
- 因为电源涉及到强电， 所以 PCB 设计时不要求有完整的 GND 参考层， 避免强电的功率地噪声影响弱电信号， 强弱电的地整板做单点接地设计， 一般在采样电阻或母线电容处共地。
- 除强电走线处过孔需开窗镀锡， 增加通流和散热外， 其他过孔建议尽量做塞孔处理。

PCB 材料 FR-4， 建议 PCB 板厚为 1.2 毫米 ~ 2.0 毫米， 表层铜箔厚度为 1 盎司。

## 2.2.3 Fanout 封装设计

3065A 的 FANOUT 布局如[图 2-2](#) 所示。

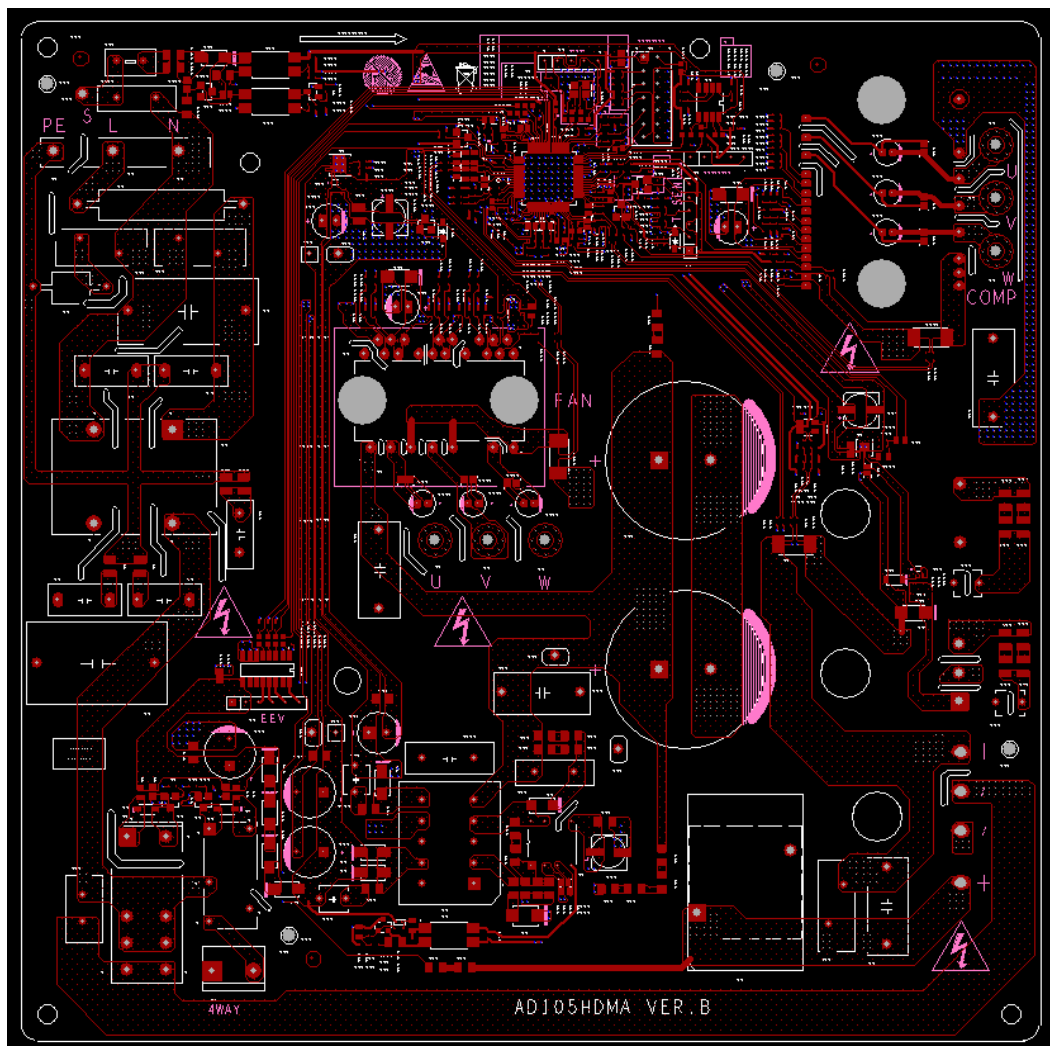
图2-2 LQFP64 MCU 布局 Fanout 图



## 2.2.4 单板布局

两层板解决方案参考设计的单板尺寸信息 195mm\*195mm，PCB 布局示意图如[图 2-3](#) 所示。

图2-3 两层板参考设计 PCB 布局示意图 (Top)



## 2.2.5 布线建议

### 2.2.5.1 高压电源布线要求

- 隔离要求: L、N 线到 E (Earth) 的间距至少 6mm, L、N 线之间间距至少 3.5mm, 高压到低压走线间距至少 3.5mm, 满足不了的需挖槽镂空 (如连接器或器件 PIN 间距满足不了安全间距要求), 增大爬电距离。
- 母线电源经功率器件到功率地的回流路径尽量短。
- 功率地和信号地 (低压地) 需单点接地, 减小功率地对信号地的影响, 可从母线电容或电流采样处接地。

### 2.2.5.2 单层板走线要求

建议单层板布线设计采用以下原则：

- 单层板插件放 TOP 面，贴片放 Bottom 面，走线在 Bottom 面，跳线在 TOP 面。
- 单层板跳线长度必须是 2.5mm 的整数倍，最小长度 5mm，跳线直径 0.8mm，跳线孔直径 0.9 或 1mm，焊盘直径 2mm；尽量将跳线长度控制在 3 种以内。
- 跳线与 SMD 器件空气间隙至少 3mm，当跳线和 SMD 器件管脚是同一网络时可以适当放宽要求；跳线和跳线之间焊盘间距至少 1.5mm，相同网络可以放宽间距要求，平行跳线中心间距至少 2mm。
- 一根 0.8mm 镀锡铁跳线通流能力 1A ~ 2A 左右，可根据实际功耗选择电源跳线数量。

### 2.2.5.3 IPM 布线要求

IPM 模块电路布线有以下建议：

- 各个输入管脚的连线尽量短一点，否则可能引起误动作；另外 RC 滤波网络和外接电容都尽量靠近管脚放置。
- P 管脚的高频非感性平复电容连线尽量短。
- 控制地线和电源地线需要连接在一个点，走线尽量短。
- IPM 的/FO,/SD 连线尽量短。
- VBU、VBV、VBW（自举升压 Vboot 管脚）、U,Vsu、V,Vsv、W,Vsw（电机三相电输出管脚）、NU、NV、NW（下管接功率地管脚）均为高压管脚，走线时注意高压隔离要求，当 IPM 器件自身管脚间距不满足隔离要求时，需要挖槽处理。
- 电流采样精密电阻靠近 NU、NV、NW 管脚放置，保证下管到功率地走线尽量短。
- 电流采样信号走差分，从采样电阻两端差分走线到运放，阻抗不做控制，但线宽线距需统一，保证阻抗连续性和三相采样走线阻抗的一致性。
- 过流信号有两种走线方式，一种是从采样电阻单独再拉一根或一组过流信号到比较器，适用于运放和比较器摆放位置较远；另一种是从电流采样信号末端（靠近运放输入端）分叉走过流信号到比较器，适用于运放和比较位置临近。

### 2.2.5.4 预驱+IGBT 布线要求

预驱+IGBT 模块电路布线具体要求如下：

- 自举升压电容靠近预驱 Vboot 管脚，可以选择大封装电容跨在 Vboot 和 OUT 管脚之间。



- 半桥预驱 MCU 的 Vboot、HVG、OUT 为高压管脚，其走线与其他控制信号或地等低压部分需满足隔离要求。
- 电流采样精密电阻靠近 IGBT 下管的 E 极放置，保证下管到功率地走线尽量短。
- 电流采样信号和过流信号走线规则参考 IPM 模块电路走线要求。

#### 2.2.5.5 电机控制电路布局布线要求

- 外置运放和外置比较器建议靠近 MCU 放置。
- 内置运放的反馈电阻需靠近 MCU 放置，以减小 PGA\_OUT 信号到 PGAIN\_N 的反馈环路走线长度，避免串扰。
- 采样电阻的功率地不要直接连接到 MCU 系统地，避免电机运行时功率地上的噪声直接影响 MCU，造成模拟 IP 工作异常，电机控制环路不稳定。

#### 2.2.5.6 其它数字接口

信号匹配方式直接影响信号质量进而影响 3065A 的工作性能，而匹配方式又与外接器件和走线长度紧密相关，所以建议用户根据具体应用通过板级 SI 仿真来确定各接口信号板级匹配方式，下面是具体部分信号匹配的参考设计：

- 电平有效信号

包括数据信号、地址和非边沿有效的控制信号。

外接多负载时，需要考虑反射、振铃带来的过冲和电平不稳定窗口。采用 T 型拓扑结构通常会得到比较好的信号质量。

驱动单负载时，主要考虑过冲，如果过冲太大，可在驱动端串联 51ohm 电阻。

- 边沿有效类信号

这类信号需要保证边沿的单调性。

#### 2.2.5.7 时钟电路

3065A 时钟基本都在 MCU 内走线，仅有外置晶体有板级走线，其建议如下：

- 晶体与匹配电阻、电容紧凑布局，XIN、XOUT 走线长度不超过 500mil，减小寄生电感。
- 时钟信号应避免靠近其他敏感信号线。
- 避免时钟走线跨参考平面分割，并尽量不要改变参考平面。
- 时钟信号还应避免靠近大噪声源。

# 3 功耗&热设计建议

## 3.1 功耗

MCU 典型场景的功耗实测数据如表 3-1 所示，主要用于前期电源和散热方案设计评估。

- 功耗测试基于 MCU 供电 VCC=3.3V 条件下测试的。
- 下表数据为根据板级抽样实测数据整理，功耗为纯 MCU 的功耗。
- 不同 MCU 功耗略有差异。
- 建议客户根据具体产品应用从下表选择合适的数据预估 MCU 功耗，来指导前期板级电源设计。

表3-1 MCU 典型场景的功耗实测值

MCU	典型场景	MCU 频率 /MHz	典型功耗 /mW (Tj≈30℃)	典型功耗 /mW (Tj≈105℃)	最大功耗 /mW (Tj≈125℃)
3065A	1. 双电机运行+PFC+单电阻采样; 2. 打开 3 个 ADC+3 个 PGA; 3. 串口不断发送数据, 使用 DMA; 4. 打开 10 个 GPIO 口, 驱动能力配 2 挡, 输出 2K 频率方波; 5. 运行一个应用程序。	200	250	264	291
	1. 双电机运行+PFC+单电阻采样;	162.5	220	/	/

MCU	典型场景	MCU 频率 /MHz	典型功耗 /mW (Tj≈30℃)	典型功耗 /mW (Tj≈105℃)	最大功耗 /mW (Tj≈125℃)
	2. 打开 3 个 ADC+3 个 PGA; 3. 串口不断发送数据, 使用 DMA; 4. 打开 10 个 GPIO 口, 驱动能力配 2 挡, 输出 2K 频率方波; 5. 运行一个应用程序。				
	上电开机默认状态	200	98	/	/
		162.5	78	/	/

3.2 热设计

MCU 的热阻参数、长期工作结温和极限结温请参考数据手册。

MCU 的温升通用的热设计建议如下：

- 由于 MCU 功耗较小，如果周围没有非常强的热源，默认不需要加散热片。
- MCU 远离主要热源有利于散热。
- 合理设计结构，保证产品内部与外界有热交换途径有利于散热。
- MCU 处于散热风道的上游有利于散热。
- 对于不用的模块，建议关闭，降低功耗了也有利于散热。
- 单板采用多层板有利于散热。
- MCU 底部及其周边铺完整的地铜皮有利于散热。
- 两层板的不同层之间的铜皮间多打过孔有利于散热。

# 4 EMS 设计建议

## 4.1 EMS 设计建议

对于 EFT、浪涌等干扰源，主要的干扰传输路径是 PCB；所以对于 MCU 这个被干扰源，EMS 能力提升主要的优化措施就是优化 PCB 布局、电源&地平面、电源滤波，通用建议如下（其它结合单板的示意举例请参考硬件 checklist）：

- MCU 周围的地铜皮铺设的尽可能完整，有利于提升抗干扰能力。
- MCU 的电源&地环路尽可能小，有利于提升抗干扰能力。
- 在允许的情况下，建议将 MCU 的下面走一块完整的尽可能大的地平面，MCU 的地尽可能就近接入该地平面，有利于提升抗干扰能力。
- 给 MCU 供电的电源管脚添加合适的大约 100nf 的陶瓷滤波电容，并且尽可能靠近电源管脚放置，有利于提升抗干扰能力。
- 给 MCU 供电的 LDO 或者 DC-DC 前后添加大约 10uF 级别的陶瓷滤波电容，有利于提升抗干扰能力。
- 建议模拟地和数字地尽量不分割，两个地合在一起，有利于 MCU 抗干扰能力。
- 悬空的输入管脚不利于 MCU 的稳定性，建议应用中未使用的引脚应配置为输入并使能内部下拉，有利于 MCU 抗干扰能力。
- 对于涉及浪涌的接插件，TVS 器件需要尽可能靠近板边的信号连接器，TVS 直接连接到最近的地平面。
- 晶体等时钟和高速信号走线建议不要跨分割，容易引起辐射或者引入干扰。

# 5 焊接工艺建议

## 5.1 概述

### 【目的】 Objective

本章提供了客户端在用 MCU SMT 时各温区温度基本设置的参数建议。

### 【适用范围】 Scope

3065A 产品。

### 【基本信息】 Basic information

提供给客户端的产品均为 RoHS 产品（xxxxRBCVxxx 中 R 表示为 RoHS），即均是 Lead-free（无铅）产品；本章主要介绍客户端在使用 MCU 做回流焊时工艺控制：主要是无铅工艺和混合工艺两类。

### 【回流焊工艺控制】 Reflow Chart

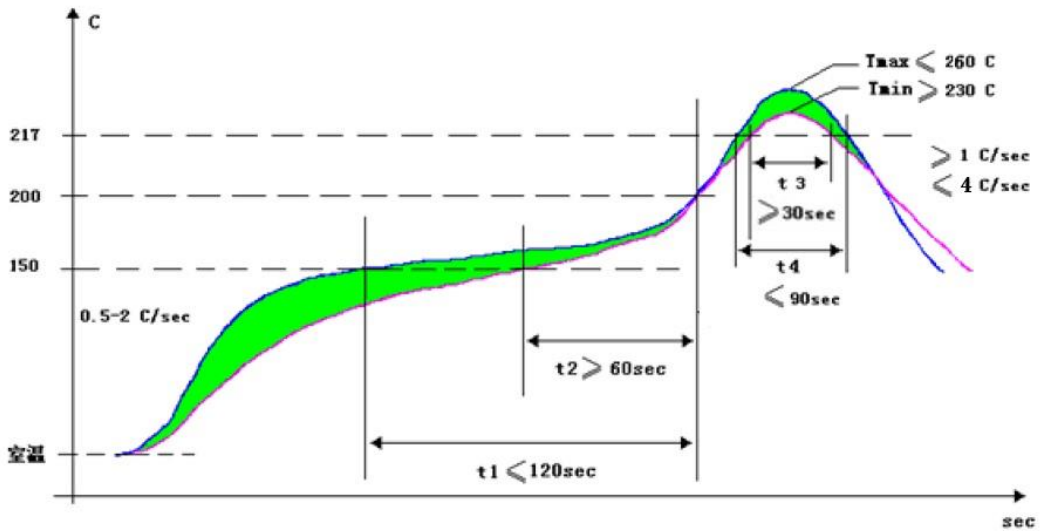
定义说明：

- MCU：给客户的 MCU 均为 ROHS 产品，均满足无铅要求。
- 无铅工艺：所有器件（主板/所有 IC/电容电阻等）均为无铅器件，并使用无铅锡膏的纯无铅工艺。

## 5.2 无铅回流焊工艺参数要求

无铅回流焊接工艺曲线如[图 5-1](#) 所示。

图5-1 无铅回流焊接工艺曲线



无铅回流焊工艺参数如表 5-1 所示。

表5-1 无铅回流焊工艺参数

区域	时间	升温速率	峰值温度	降温速率
预热区（40℃ ~ 150℃）	60 s ~ 150s	≤2.0℃/s	-	-
均温区（150℃ ~ 200℃）	60 s ~ 120s	< 1.0℃/s	-	-
回流区（> 217℃）	30 s ~ 90s	-	230℃ ~260℃	-
冷却区（Tmax ~ 180℃）	-	-	-	1.0℃/s≤Slope≤ 4.0℃/s

说明

- 预热区：温度由 40℃ ~ 150℃，温度上升速率控制在 2℃/s 左右，该温区时间为 60s ~ 150s。
- 均温区：温度由 150℃ ~ 200℃，稳定缓慢升温，温度上升速率小于 1℃/s，且该区域时间控制在 60s~120s（注意：该区域一定缓慢受热，否则易导致焊接不良）。
- 回流区：温度由 217℃ ~ Tmax ~ 217℃，整个区间时间控制在 30s ~ 90s。
- 冷却区：温度由 Tmax ~ 180℃，温度下降速率最大不能超过 4℃/s。

- 温度从室温 25℃升温到 250℃时间不应该超过 6 分钟。
- 该回流焊曲线仅为推荐值，客户端需根据实际生产情况做相应调整。
- 回流时间以 60s~90s 为目标，对于一些热容较大无法满足时间要求的单板可将回流时间放宽至 120s。封装体耐温标准参考 IPC/JEDEC J-STD-020D 标准，封装体测温方法参考 JEP 140 标准。

IPC/JEDEC J-STD-020D 标准，封装体测温方法按照 JEP 140 标准要求：IPC/JEDEC 020D 中的无铅器件封装体耐温标准如表 5-2 所示。

表5-2 IPC/JEDEC 020D 中的无铅器件封装体耐温标准

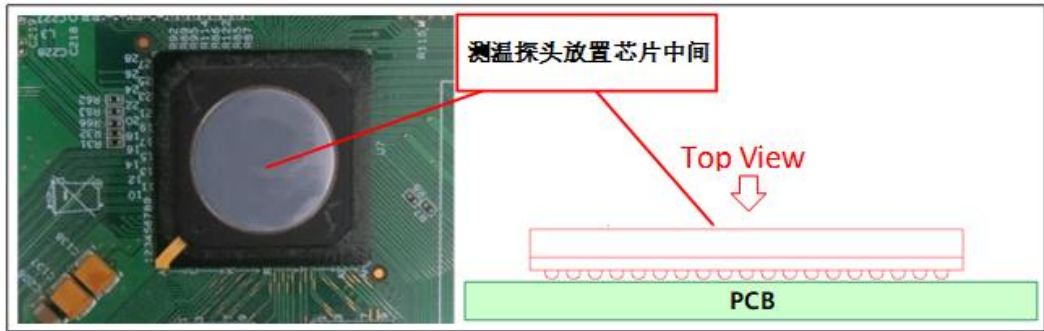
Package Thickness	Volume mm <sup>3</sup> < 350	Volume mm <sup>3</sup> 350~2000	Volume mm <sup>3</sup> > 2000
< 1.6mm	260℃	260℃	260℃
1.6mm ~ 2.5mm	260℃	250℃	245℃
> 2.5mm	250℃	245℃	245℃

体积计算中不计入器件焊端（焊球，引脚）和外部散热片。

回流焊接工艺曲线测量方法：

JEP140 推荐：对于厚度较小的器件，测量封装体温度时，直接将热电偶贴放在器件表面，对于厚度较大的器件，在器件表面钻孔埋入热电偶进行测量。由于量化器件厚度的要求，推荐全部采用在封装体表面钻孔埋入热电偶的方式（特别薄器件，无法钻孔除外），如图 5-2 所示。

图5-2 封装体测温示意图



说明

如果是 QFP 封装的 MCU，直接将测温探头放在管脚处即可。

5.3 混合回流焊工艺参数要求

回流焊接过程中，如果出现器件混装现象，应首先保证无铅器件的正常焊接。具体要求如下：

表5-3 混装回流焊工艺参数表

数值要求		有铅 BGA	无铅 BGA	其他器件
预热区（40℃ ~150℃）	时间	60s ~ 150s		
	升温斜率	< 2.5℃/s		
均温区（150℃ ~183℃）	时间	30s ~ 90s		
	升温斜率	< 1.0℃/s		
回流区（> 183℃）	峰值温度	210℃ ~ 240℃	220℃ ~ 240℃	210℃ ~ 245℃
	时间	30s ~ 120s	60s ~ 120s	30s ~ 120s
冷却区（Tmax - 150℃）	降温斜率	1.0℃/s ≤ Slope ≤ 4.0℃/s		

说明

以上工艺参数要求均针对焊点温度。单板上焊点最热点和最冷点均需要满足以上规范要求。

曲线调制中，还需要满足单板上元器件的封装体耐温要求。封装体耐温标准按照 IPC/JEDEC J-STD-020D 标准，封装体测温方法按照 JEP 140 标准，要求 IPC/JEDEC 020D 中的有铅器件封装体耐温标准如图 5-3 所示。

图5-3 耐温标准

Package Thickness	Volume mm <sup>3</sup> <350	Volume mm <sup>3</sup> ≥350
<2.5 mm	235 °C	220 °C
≥2.5 mm	220 °C	220 °C



体积计算中不计入器件焊端（焊球，引脚）和外部散热片。

JEP140 标准规定测量封装体温度方法同无铅工艺，请参考无铅工艺处详细说明。

潮敏参数

5.4 存放与使用

【存放环境】

建议产品真空包装存放，存放在<30°C/60% RH 下。

【shelf life】（防潮包装后正常存储时间）

存放环境<30°C/60% RH 下，真空包装存放，shelf life（存储期限）不少于 12 个月。

【floor life】

在环境条件<30°C/60%下，floor life 参照表 5-4。

表5-4 floor life 参照表

MS L	Floor life(out of bag) at factory ambient≤30°C/60% RH or as stated
1	Unlimited at ≤30°C/85% RH
2	1 year
2a	4 weeks
3	168 hours
4	72 hours
5	48 hours
5a	24 hours
6	Mandatory bake before use, must be reflowed within the time limit specified on the label

【潮敏产品的使用】

- 产品在≤30°C/60%RH 下连续或累计暴露超过 2 个小时，建议进行 rebake 后再真空干燥包装。

- 产品在 $\leq 30^{\circ}\text{C}/60\%\text{RH}$  下暴露累计没有超过 2 个小时，可以不用 rebake，但要更换新的干燥剂，进行真空干燥包装。

本文没有提到的存储及使用原则，请直接参考 **JEDEC J-STD-033A**。

## 5.5 重新烘烤

**【适用产品】**

所有 IC（潮敏产品）

**【使用范围】**

需要重新烘烤的 IC（潮敏产品）

**【重新烘烤参考表】**

表5-5 重新烘烤参考表

Body thickness	level	bake@125°C	bake@90°C $\leq 5\%\text{RH}$	bake@40°C $\leq 5\%\text{RH}$
$\leq 1.4\text{mm}$	2a	3 hours	11 hours	5 days
	3	7hours	23 hours	9 days
	4	7 hours	23 hours	9 days
	5	7 hours	24 hours	10 days
	5a	10 hours	24 hours	10 days
$\leq 2.0\text{mm}$	2a	16 hours	2 days	22 days
	3	17 hours	2 days	23 days
	4	20 hours	3 days	28 days
	5	25 hours	4 days	35 days
	5a	40 hours	6 days	56 days
$\leq 4.5\text{mm}$	2a	48 hours	7 days	67 days
	3	48 hours	8 days	67 days
	4	48 hours	10 days	67 days
	5	48 hours	10 days	67 days
	5a	48 hours	10 days	67 days

- 此表中显示的均是受潮后，必须的最小的烘烤时间。
- 重新烘烤优先选择低温烘烤。
- 详细情况请参考 JEDEC。

# 6 管脚速查表

3065A	
管脚	名称
1	QDM_INDEX/POE1
2	TRSTN/ADC1_B3/CAPM1
3	ADC1_B4/CAPM2
4	ADC1_B5
5	ADC1_A1
6	ADC1_A2/PGA1IN_P0
7	ADC1_B2/PGA1IN_N0/APT6_A
8	PGA1OUT0
9	ADC1_A3
10	ADC1_A4/APT6_B
11	ADC1_A5/APT7_B
12	ADC1_A6/APT8_B
13	VSS2
14	VDD2
15	APT0_A
16	APT1_A
17	APT2_A
18	APT0_B
19	APT1_B
20	APT2_B

3065A	
21	PGA0IN_P0
22	PGA0IN_N0
23	PGA0OUT
24	VSSA1
25	VDDA1
26	VDDA0
27	VSSA0
28	GPIO4_6
29	GPIO4_7
30	GPIO5_0/POE0
31	GPIO5_5
32	GPIO5_6
33	GPIO5_7
34	VDD1
35	VSS1
36	ADC2_A7
37	ADC2_B0
38	ADC2_A1
39	ADC2_A2/POE2
40	ADC2_B2
41	APT3_A
42	APT4_A
43	APT5_A
44	APT3_B
45	APT4_B
46	APT5_B
47	I2C0_SCL/UART2_TX
48	I2C0_SDA/UART2_RX
49	TCK/SWDCK
50	TMS/SWDIO
51	RSTN

3065A	
52	XTAL_OUT
53	XTAL_IN
54	GPT0
55	GPIO0_6
56	GPIO0_7
57	QDM_A
58	QDM_B
59	Boot/GPIO1_2
60	TDO/GPT1/UART1_RX
61	TDI/CAPM0/UART1_TX
62	VCAP
63	VSS0
64	VDD0

# 7 缩略语

缩略语	英文	中文
APT	Advanced PWM Timer	高级 PWM 定时器
ADC	Anolog to digital Converter	模数转换器
ACMP	Anolog comparator	模拟比较器
CAPM	Capture Module	信号捕获模块
DAC	Digital to anolog Converter	数模转换器
GPT	General PWM timer	通用 PWM 定时器
PGA	Programmable Gain Amplifier	可编程增益放大器
PWM	Pulse Width Modulation	脉宽调制
QDM	Quadrature Decoder Module	正交编码器解码模块