

3065A 系列

# 数据手册

文档版本 03

发布日期 2024-10-11

# 前 言

## 概述

本文档提供 3065A 系列 MCU（Microcontroller Unit）的功能概述、引脚定义、电气特性、封装和订购信息等。有关寄存器信息和更详细描述可参考《3065A 系列技术参考指南》。

## 产品版本

与本文档相对应的产品版本如下。

产品名称	产品版本
3065A 系列	-





## 读者对象

本文档主要适用于以下工程师：

- 技术支持工程师
- 软件/硬件开发工程师

## 符号约定

在本文中可能出现下列标志，它们所代表的含义如下。

符号	说明
 危险	表示如不避免则将会导致死亡或严重伤害的具有高等级风险的危害。
 警告	表示如不避免则可能导致死亡或严重伤害的具有中等级风险的危害。
 注意	表示如不避免则可能导致轻微或中度伤害的具有低等级风险的危害。
须知	用于传递设备或环境安全警示信息。如不避免则可能会导致设备损坏、数据丢失、设备性能降低或其他不可预知的结果。 “须知”不涉及人身伤害。
 说明	对正文中重点信息的补充说明。 “说明”不是安全警示信息，不涉及人身、设备及环境伤害信息。

修订记录

修订日期	版本	修订说明
2024-03-01	01	第 1 次正式版本发布。
2024-04-17	02	第 2 次正式版本发布。 修改 4.8 IO 电气特性章节 IO 电气特性的表 4-11 内容。 修改 2 功能概述章节功能概述内容。 修改 2.6 时钟失效检测 (CFD) 章节时钟失效检测 (CFD) 内容。 修改 2.24 可编程增益放大器 (PGA) 章节可编程增益放大器 (PGA) 内容。
2024-10-11	03	第 3 次正式版本发布。 修改 4.13 内置 32K 振荡器 (LOSC) 章节表 1 内置 32K 振荡器电气特性内容。

目 录

前 言 ..... i

1 说明 ..... 1

2 功能概述 ..... 2

2.1 系统 ..... 3

2.2 处理器 ..... 4

2.3 嵌入式闪存 (eFLASH) ..... 5

2.4 电源控制 (PMC) ..... 6

2.4.1 供电方案 ..... 6

2.4.2 电源监控 ..... 7

2.4.3 低功耗模式 ..... 8

2.5 时钟复位生成 (CRG) ..... 9

2.6 时钟失效检测 (CFD) ..... 10

2.7 时钟监测模块 (CMM) ..... 11

2.8 I/O 复用控制 (IOCMG) ..... 11

2.9 通用 I/O (GPIO) ..... 12

2.10 系统配置控制器 (SYSCFG) ..... 12

2.11 直接存储器访问控制器 (DMA) ..... 12

2.12 循环冗余校验计算单元 (CRC) ..... 13

2.13 信号捕获模块 (CAPM) ..... 13

2.14 正交编码器解码模块 (QDM) ..... 14

2.15 高级 PWM 定时器 (APT) ..... 15

2.16 通用 PWM 定时器 (GPT) ..... 16

2.17 基本定时器 (TIMER) ..... 16

2.18 看门狗 (WDG)	16
2.19 集成电路接口 (I2C)	17
2.20 通用异步收发传输器 (UART)	17
2.21 同步串行外设接口 (SPI)	18
2.22 CAN 控制器	19
2.23 模数转换器 (ADC)	19
2.24 可编程增益放大器 (PGA)	20
2.25 数模转换器 (DAC)	21
2.26 模拟比较器 (ACMP)	21
<b>3 引脚排列、引脚描述 pinout</b>	<b>22</b>
3.1 引脚图	22
3.2 引脚信息	23
3.3 未使用引脚的连接	40
<b>4 电气特性</b>	<b>41</b>
4.1 绝对最大额定值	41
4.2 工作环境参数	42
4.3 供电框图	42
4.4 MCU 功耗	43
4.5 电源上下电斜率	45
4.6 电磁兼容 (EMC) 特性	45
4.7 电气敏感特性	46
4.8 IO 电气特性	46
4.9 RESETN 电气特性	51
4.10 闪存 (Flash memory)	52
4.11 电源管理单元 (PMU)	53
4.12 内置参考电压 (VREFBUF)	54
4.13 内置 32K 振荡器 (LOSC)	56
4.14 内置 25M 振荡器 (HOSC)	56
4.15 锁相环 (PLL)	57
4.16 模数转换器 (ADC)	59
4.17 数模转换器 (DAC)	63

4.18 可编程增益放大器 (PGA) ..... 64

4.19 模拟比较器 (ACMP) ..... 66

4.20 温度传感器 (TSENSOR) ..... 69

4.21 集成电路 (I2C) 接口 ..... 71

4.22 通用异步收发传输器 (UART) ..... 73

4.23 同步串行外设接口 (SPI) ..... 73

4.23.1 Motorola SPI Master 模式时序信息 ..... 73

4.23.2 Motorola SPI Slave 模式时序信息 ..... 75

4.23.3 TI 同步串行接口 Master 模式时序信息 ..... 77

4.23.4 TI 同步串行接口 Slave 模式时序信息 ..... 79

4.23.5 Microwire 接口 Master 模式时序信息..... 81

4.23.6 Microwire 接口 Slave 模式时序信息..... 82

**5 封装信息.....84**

5.1 LQFP64 封装信息..... 84

5.1.1 封装概述..... 84

5.1.1.1 64Pin 封装视图/封装参数..... 84

5.1.1.2 物理参数..... 86

5.2 封装热阻..... 86

**6 订购信息.....88**

**A 缩略语.....89**

# 插图目录

图 2-2 系统功能框图 ..... 4

图 2-3 MCU 供电示意图..... 7

图 2-4 低功耗模式切换示意图..... 8

图 3-1 LQFP64 引脚排列 ..... 22

图 4-1 供电框图 ..... 43

图 4-2 ADC 特性图..... 61

图 4-3 ADC 输入模型..... 61

图 4-4 Vts 随温度变化曲线 ..... 70

图 4-5 I2C 标准协议时序图..... 71

图 4-6 Motorola SPI Master 模式时序图..... 75

图 4-7 Motorola SPI Slave 模式时序图（Clock Phase = 0） ..... 77

图 4-8 Motorola SPI Slave 模式时序图（Clock Phase = 1） ..... 77

图 4-9 TI 同步串行接口 Master 模式时序图 ..... 79

图 4-10 TI 同步串行接口 Slave 模式时序图 ..... 80

图 4-11 Microwire 接口 Master 模式时序图 ..... 82

图 4-12 Microwire 接口 Slave 模式时序图 ..... 83

图 5-1 Top view..... 84

图 5-2 Side view ..... 85

图 6-1 芯片 mark 命名规则 ..... 88

# 表格目录

表 2-1 3065A 系列化特性差异表 ..... 2

表 2-2 读/编程/擦除权限控制关系表 ..... 5

表 3-1 管脚信息表 ..... 23

表 4-1 极限工作条件参数 <sup>a</sup> ..... 41

表 4-2 推荐工作条件 ..... 42

表 4-3 工作电流 <sup>a</sup> ..... 43

表 4-4 sleep 模式工作电流 ..... 44

表 4-5 deepsleep 模式工作电流 ..... 44

表 4-6 shutdown 模式工作电流 ..... 44

表 4-7 电源上下电斜率 ..... 45

表 4-8 EMS 特性 ..... 45

表 4-9 ESD 极限参数 ..... 46

表 4-10 电气敏感度 ..... 46

表 4-11 I/O 静态特性 ..... 46

表 4-12 输出电压特性 <sup>a</sup> ..... 48

表 4-13 输出电流特性 <sup>a</sup> ..... 48

表 4-14 I/O 交流特性 <sup>a</sup> ..... 49

表 4-15 RESETN 引脚特性 <sup>a</sup> ..... 51

表 4-16 闪存特性 ..... 52

表 4-17 闪存耐用性与数据保持特性 ..... 52



表 4-18 输入电源情况 ..... 53

表 4-19 PMU IP 模块一览 ..... 53

表 4-20 内置 VREFBUF 的 IP 模块 ..... 54

表 4-21 内置 BG 级联 VREFBUF 的电气特性 <sup>a</sup> ..... 54

表 4-22 ADCLDO 电气特性 <sup>a</sup> ..... 55

表 4-23 内置 32K 振荡器电气特性 ..... 56

表 4-24 内置 25M 振荡器电气特性 ..... 57

表 4-25 PLL 电气特性 ..... 57

表 4-26 ADC 电气特性 1<sup>a</sup> ..... 59

表 4-27 ADC 电气特性 2<sup>a</sup> ..... 59

表 4-28 ADC 电气特性 3<sup>ab</sup> ..... 60

表 4-29 DAC characteristics ..... 63

表 4-30 PGA 电气特性 <sup>ab</sup> ..... 65

表 4-31 ACMP characteristics ..... 66

表 4-32 TSensor characteristics ..... 69

表 4-33 标准模式 I2C 接口时序参数表 ..... 71

表 4-34 快速模式 I2C 接口时序参数表 ..... 72

表 4-35 Motorola SPI Master 模式时序要求 ..... 73

表 4-36 Motorola SPI Master 模式波形特征 ..... 73

表 4-37 Motorola SPI Slave 模式时序要求 ..... 75

表 4-38 Motorola SPI Slave 模式波形特征 (Clock Phase = 0) ..... 76

表 4-39 Motorola SPI Slave 模式波形特征 (Clock Phase = 1) ..... 76

表 4-40 TI 同步串行接口 Master 模式时序要求 ..... 77

表 4-41 TI 同步串行接口 Master 模式波形特征 ..... 78

表 4-42 TI 同步串行接口 Slave 模式时序要求 ..... 79

表 4-43 TI 同步串行接口 Slave 模式波形特征 ..... 80

表 4-44 Microwire 接口 Master 模式时序要求 ..... 81

表 4-45 Microwire 接口 Master 模式波形特征..... 81

表 4-46 Microwire 接口 Slave 模式时序要求..... 82

表 4-47 Microwire 接口 Slave 模式波形特征..... 83

表 5-1 封装参数表..... 85

表 5-2 3065A 系列封装参数..... 86

表 5-3 封装热阻 ..... 86

表 A-1 缩略语..... 89

# 1 说明

本文档提供有关 3065A 系列产品 MCU 的功能概述、引脚定义、电气特性、封装和订购信息等。有关寄存器信息和更详细描述可参考《3065A 系列技术参考指南》。

# 2 功能概述

3065A 系列产品基于高性能 RISC-V CPU 核，工作频率最高到 200MHz，集成了 FPU (Floating Point Unit) 浮点处理单元，支持浮点乘法，除法和开方等复杂数学运算指令，支持 16KB 的 SRAM (Static Random Access Memory) 和 160KB 的 Flash 存储单元。该 MCU 集成最多 9 组高级 PWM (Pulse Width Modulation) 定时器，最多可支持两路独立电机 PWM 控制和两路 PFC (Power Factor Correction) 控制应用。内置最多 3 个 12bit ADC (Analog Digital Converter) (2MSPS，最多 23 采样通道)，3 个 8bit DAC (Digital-to-analog converter)、1 个正交解码单元 QDM、3 个模拟比较器 ACMP 和 3 个 PGA (Programmable Gain Amplifier) 放大器。最多支持 1 个 SPI (Serial Peripheral Interface)，3 个 UART (Universal Asynchronous Receiver Transmitter)，1 个 I2C (Inter-Integrated Circuit) 等通讯接口，2 个看门狗模块，3 个基本 Timer，1 个系统 Timer，支持多达 52 个通用 GPIO (General-purpose input/output) 管脚。支持环境温度-40℃ ~ +105℃，电压范围 2.6V ~ 3.63V。

表2-1 3065A 系列化特性差异表

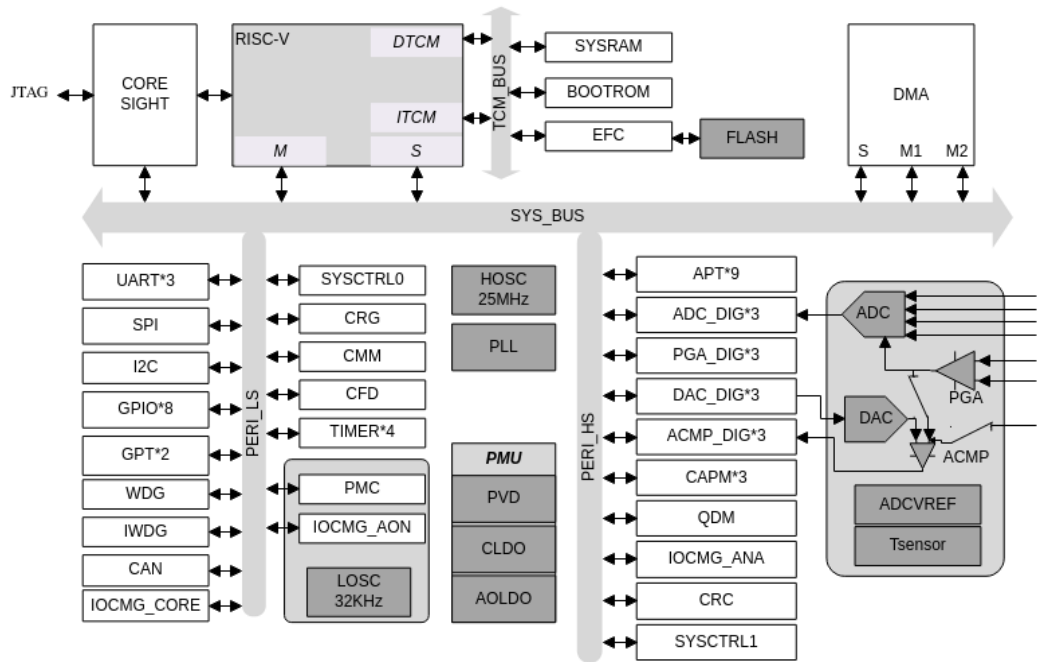
Part Number		3065ARPIRZ
Package		LQFP64
Code Flash		152KB
Data Flash		8KB
SRAM		16KB
CPU		RISC-V 200MHz
		FPU
PWM&Timers	APT 0~8	9 (APT0~8)
	GPT0~1	2
	CAPM0~2	3

Part Number		3065ARPIRZ
	QDM	1
	WDG	2
	Timer0~2	3
Connectivity	SPI	1
	UART0~2	3
	I2C	1
	CAN	1
analog	ADC0~2 (channels)	ADC0~2 (4ch/10ch/9ch)
	DAC0~2	3 (DAC0~2)
	ACMP0~2	3 (ACMP0~2)
	PGA0~2	3 (PGA0~2)
	Tsensor	1
	HOSC	25MHz ±1%
	LOSC	32kHz
GPIO	GPIO0~7	52
	5V 容忍	8

2.1 系统

MCU 集成高性能 RISC-V CPU 内核，可为从片上闪存或 SYSRAM 运行的浮点或定点程序提供高达 200MHz 的信号处理能力。内部集成高性能模拟模块，并与处理单元和 APT 模块紧密耦合，支持更好的实时信号链性能。各种业界通用通信接口（如 UART、I2C、SPI 等）不仅支持与其他设备连接，还提供了多个管脚复用选项，可实现灵活的单板布局。MCU 能够应用于众多场景，如消费类、工业类或 IoT 类。

图2-2 系统功能框图



## 2.2 处理器

处理器是一个基于 RISC-V ISA 设计的 32-bit MCU 核，具有以下特点：

- 支持 RV32IMCF 指令集（I：32bit 整型基础指令集，M：整型乘除扩展，C：16bit 压缩指令扩展，F：单精度浮点扩展）+ 自定义指令集。
- 支持 Machine 和 User 特权模式。
- 支持物理内存保护 PMP（Physical Memory Protection）。
- 单发射 3 级顺序流水线微架构。
- 支持静态分支预测。
- 支持最大 4G Byte 地址空间，具体可访问范围由 MCU 总线架构决定。
- 支持通过 ITCM（Instruction Tightly-Coupled Memory）接口访问指令和数据
- 支持通过 DTCM（Data Tightly-Coupled Memory）接口访问数据。
- 支持系统通过外部 AHB（Advanced High-performance Bus）总线接口（AHBS）访问 ITCM 和 DTCM。
- 支持 AHB 外设总线（AHBM）访问系统外设寄存器。
- 支持小端数据排布。

- 支持 Direct 和 Vector 中断模式。
- 支持 WFI (Wait For Interrupt) 低功耗模式。
- 支持 RISC-V 标准调试机制。

RISC-V 相关文档：

- RISC-V 指令集非特权标准，<https://github.com/riscv/riscv-isa-manual/releases/download/archive/riscv-spec-v2.2.pdf>。
- RISC-V 指令集特权标准，<https://github.com/riscv/riscv-isa-manual/releases/download/archive/riscv-privileged-v1.10.pdf>。
- RISC-V 汇编编程手册，<https://github.com/riscv-non-isa/riscv-asm-manual/blob/master/riscv-asm.md>。
- RISC-V 调试标准，[https://github.com/riscv/riscv-debug-spec/releases/download/task\\_group\\_vote/riscv-debug-draft.pdf](https://github.com/riscv/riscv-debug-spec/releases/download/task_group_vote/riscv-debug-draft.pdf)。

## 2.3 嵌入式闪存 (eFLASH)

提供高达 160KB 的嵌入式闪存，可以用于程序与数据的存储。

提供保护机制控制不同的操作源对 4 个分区读/编程/擦除权限，提供 2 个保护状态控制：

- protection\_level 1：无特殊保护；
- protection\_level 0：调试接口部分区域无法操作。

具体如表 2-2 所示。

表2-2 读/编程/擦除权限控制关系表

区域	protection_level	用户程序			调试接口		
		读	编程	擦除	读	编程	擦除
main_rgn0	1	是	是	是	是	是	是
	0	是	是	是	否	否	否
main_rgn1	1	是	是	是	是	是	是
	0	是	是	是	是	是	是
info_rgn0	1/0	是	否	否	是	否	否

区域	protection_level	用户程序			调试接口		
		读	编程	擦除	读	编程	擦除
info_rgn1	1	是	是	是	是	是	是
	0	是	否	否	是	否	否

- 支持 XIP (eXecute In Place)。
- 支持指令执行加速。
- 支持错误码纠错能力：纠一检二。

2.4 电源控制 (PMC)

PMC (Power Manage Controller) 通过对 MCU 内部电源的管理，实现 MCU 的上/下电时序、开/关机功能和低功耗模式切换。

2.4.1 供电方案

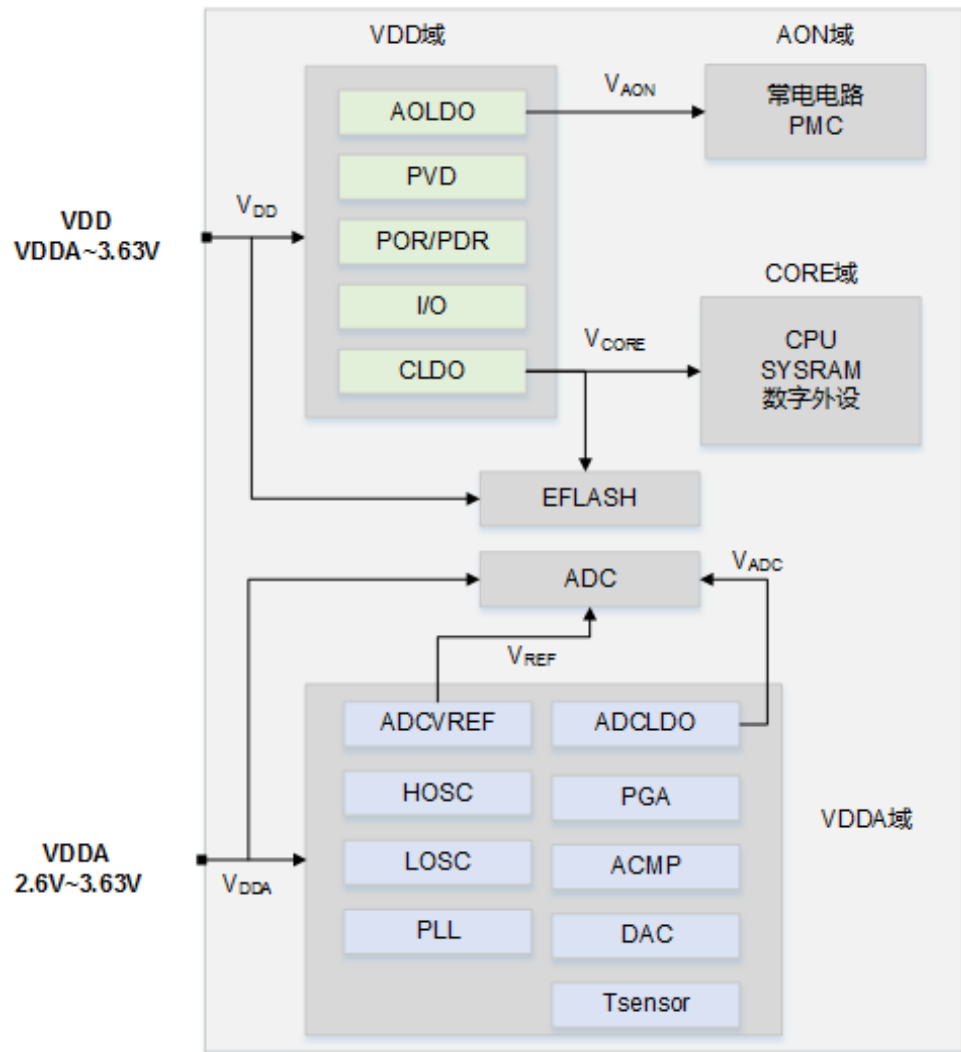
MCU 支持的工作电压范围为 2.6V~3.63V。针对特定外设，MCU 提供了几种不同的电源：

- $V_{DDA}$  是为 ADC、DAC、ACMP (Analog Comparator)、PGA、电压参考缓冲器 (ADCVREF)、温度传感器 (Tsensor)、PLL (Phase Locked Loop)、HOSC、LOSC、ADCLDO 供电的模拟电源，通过  $V_{DDA}$  管脚从外部提供。
- $V_{DD}$  是为内部调压器、嵌入式 FLASH 和 I/O 管脚供电的外部电源，通过 VDD 管脚从外部提供。
- $V_{CORE}$  是 MCU 内部 CORE 域的数字电源，为数字外设、SYSRAM 和 EFLASH 供电。 $V_{CORE}$  由嵌入式线性调压器 CLDO 提供，可配置关闭。
- $V_{AON}$  是 MCU 内部 AON 域的数字电源，为常电电路、PMC 供电。 $V_{AON}$  由嵌入式线性调压器 AOLD0 提供，可配置关闭。AON 域由 LOSC 提供工作时钟。
- $V_{ADC}$  是 MCU 内部 ADC 模拟部分的数字域电源，由嵌入式线性调压器 ADCLDO 提供。
- $V_{REFP}$  是 ADC 模拟部分的参考电压，支持两种电压值 2.0V 和 2.5V，由电压参考缓冲器 ADCVREF 提供。

MCU 电源域示意如图 2-3 所示。



图2-3 MCU 供电示意图



## 2.4.2 电源监控

### 上电复位 (POR) /掉电复位 (PDR)

MCU 具有一个集成的 POR (Power On Reset)/ PDR (Power Down Reset), 在所有功耗模式下都有效。

上电期间, POR 将使 MCU 保持复位状态, 直到 V<sub>DD</sub> 电源电压达到 POR 阈值。此时, 将释放 MCU 复位信号并使能 AOLD0, 并唤醒 CLDO, 系统可以启动。在掉电期间, V<sub>DD</sub> 电源电压降至 PDR 阈值时, MCU 再次被置于复位状态。

## 可编程电压检测器 (PVD)

可以使用 PVD (Programmable Voltage Detector) 监视  $V_{DD}$  电源电压, 当  $V_{DD}$  降至 PVD 下降沿阈值以下或者当  $V_{DD}$  升至 PVD 上升沿阈值以上时, 可以产生 PVD 输出中断。该功能的用处之一是在中断服务程序中执行紧急关闭系统的任务。

### 2.4.3 低功耗模式

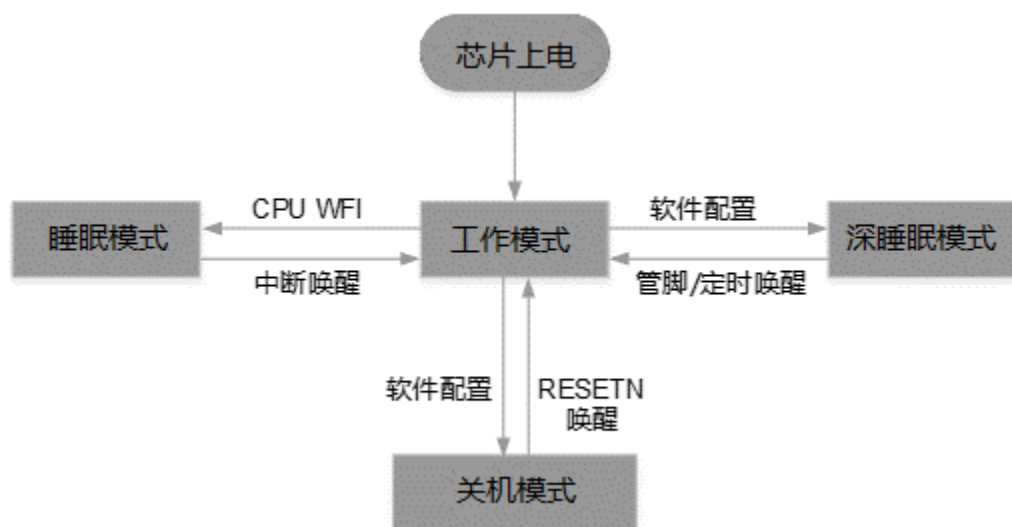
默认情况下, 系统复位或上电复位后, MCU 进入工作模式。系统提供了多个低功耗模式, 可在 CPU 不需要运行时节省功耗。由用户根据应用选择具体的低功耗模式, 以在低功耗、短启动时间和可用唤醒源之间寻求最佳平衡。MCU 有三种低功耗模式:

- 睡眠模式: CPU 时钟关闭, 但所有外设都可以运行, 并在发生中断时唤醒 CPU。
- 深睡眠模式: CLDO 关闭,  $V_{CORE}$  域断电。此时,  $V_{CORE}$  域中的时钟都会停止, PLL、HOSC 和 XTAL (Quartz Crystal Unit) 振荡器被禁止。仅 AONLDO 保持开启, LOSC 正常运行, 为  $V_{AON}$  域提供工作时钟。
- 关机模式: CLDO 和 AOLD0 都关闭,  $V_{CORE}$  域和  $V_{AON}$  域断电。MCU 所有时钟都会停止。

此外, 还可以通过以下方法降低工作模式下的功耗:

- 降低系统时钟频率。
- 不使用某外设时, 关闭其时钟。

图2-4 低功耗模式切换示意图



## 2.5 时钟复位生成 (CRG)

CRG (Clock and Reset Generator) 时钟复位生成器为 MCU 各模块提供时钟和复位控制。将不同的源时钟分发到系统总线和各个外设，也对时钟进行门控管理用于低功耗控制。

MCU 共有 5 种类型的复位源：电源复位、管脚复位、电压监控复位、看门狗复位和软件复位。

源时钟用于衍生 MCU 各模块所需的时钟。MCU 共有三个源时钟资源：HOSC、LOSC、XTAL。

- HOSC

HOSC 是 MCU 集成的高精度高速振荡器，提供 25MHz 时钟 `clk_hosc`。`clk_hosc` 是 MCU CORE 电源域的默认时钟。

- LOSC

LOSC 是 MCU 集成的低速振荡器，提供 32kHz 时钟 `clk_losc`。`clk_losc` 是 MCU AON 电源域的默认时钟，也为 IWDG 模块提供计数时钟。

- XTAL

XTAL 支持高速外部晶体或外部时钟源，提供 2MHz~30MHz 时钟 `clk_xtal`。

衍生时钟为 MCU 内部各模块提供工作时钟，主要有以下时钟资源：

- `clk_hs`

`clk_hs` 为系统主工作时钟，最大支持 200MHz，为 CPU、SYSRAM、高速外设以及总线 `SYS_BUS` 和 `PERI_HS` 提供时钟。高速外设：

- DMA (Direct Memory Access)
- EFC
- CORESIGHT
- APT0~8
- CAPM0~2
- QDM (Quadrature Decoder Module)
- CRC (Cyclic Redundancy Check)
- ADC 控制器 0~2
- PGA 控制器 0~2
- ACMP 控制器 0~2
- DAC 控制器 0~2

- `clk_ls`

clk\_ls 是 clk\_hs 的二分频时钟，为系统低速外设总线 PERI\_LS 提供时钟，也为低速外设提供时钟。还有部分低速外设可以选择 clk\_ls 的 2/4/8 分频作为其工作时钟。低速外设：

- I2C
- GPIO0~7

可选 clk\_ls 分频的低速外设有：

- UART0~2
- SPI
- GPT0/1
- TIMER0~3
- WDG

- clk\_adc

clk\_adc 为 ADC 模拟部分工作时钟，最大支持 40MHz。

- clk\_dac

clk\_dac 为 DAC 模拟部分工作时钟，最大支持 10MHz。

## 2.6 时钟失效检测 (CFD)

CFD (Clock Failure Detector) 时钟失效检测模块用于检测 PLL 的参考时钟是否失效。

CFD 使用参考时钟 (clk\_losc) 对目标时钟 (clk\_pll\_ref) 的 2048 分频时钟进行计数。在每个目标时钟周期开始时 (也就是上一个周期结束时)，清零计数器。计数器 CFDCNT 根据参考时钟 (clk\_losc) 进行增计数。在每个目标时钟周期结束时，保存此时计数值 CFDCNT 到 CFDCNTLOCK 中，表示本次检测结束。如此循环往复，直到 CFDCNTLOCK > CFDWDOH，超过检测窗口上限。此时，CFD 上报时钟失效中断 clk\_fail\_int，停止计数，输出 clock\_fail 硬件信号给 CRG 和 APT0~8 的系统事件 2。CRG 自动执行主时钟保护，也就是将系统主时钟切换到 clk\_losc，主频 32kHz。APT0~8 根据配置的系统事件 2 保护动作，执行输出保护。

CFD 模块有以下特性：

- 支持检测 PLL 参考时钟是否失效。
- 支持检测到失效后自动保护。
- 支持检测到失效后产生系统事件输出到 APT (Advanced PWM Timer)。

CFD 模块功能详细描述请参见《3065A 系列技术参考指南》中“6 时钟失效检测 (CFD)”的内容。

## 2.7 时钟监测模块 (CMM)

CMM (Clock Monitor Module) 时钟监测模块，使用参考时钟来监测目标时钟的频率，功能是检测时钟频率是否偏移。

CMM 使用（分频后的）参考时钟对（分频后的）目标时钟计数。在每个（分频后）目标时钟的周期开始时（也就是上一个周期的结束），清零计数值。每个（分频后）参考时钟，计数值 CMCNT 递增。在每个目标时钟（分频后）的周期结束时，保存此时计数值到 CMCNTLOCK 中，表示本次检测结束。如此循环往复。

CMM 模块有以下特性：

- 支持参考时钟 4 选 1。
- 支持参考时钟最大 32 分频。
- 支持目标时钟 5 选 1。
- 支持目标时钟最大 8192 分频。

CMM 模块功能详细描述请参见《3065A 系列技术参考指南》中“7 时钟频率监控 (CMM)”的内容。

## 2.8 I/O 复用控制 (IOCMG)

IOCMG (I/O Control & Multiplex Generator) 实现对 MCU I/O 管脚的状态控制和功能复用管理。除特殊说明外，所有 I/O 管脚默认为 GPIO 输入功能。

IOCMG 能够为 I/O 管脚提供以下可配置特性：

- 上/下拉。
- 施密特输入开/关。
- 输出驱动能力。
- 输出信号边沿快/慢。
- 数字/模拟模式切换。
- 复用功能选择。

## 2.9 通用 I/O (GPIO)

本系统支持 8 组 GPIO 控制器，即 GPIO0 ~ GPIO7。每组 GPIO 控制器提供 8 个可编程的 GPIO。

每个 GPIO 可以独立配置为输入或者输出，输入和输出的电平状态均可以通过寄存器读出。作为输入 GPIO 时，可作为中断源，中断触发类型可以配置为高电平/低电平/上升沿/下降沿/双沿触发；作为输出 GPIO 时，每个 GPIO 都可以独立地清 0 或置 1。

## 2.10 系统配置控制器 (SYSCFG)

系统控制器 SYSCTRL (System Controller) 包含一组配置寄存器，其主要用途如下：

- 为系统关键寄存器提供写保护控制。
- 系统复位事件次数统计。
- 触发系统软件复位和软件中断。
- 系统状态查询。
- APT 同步启动与管脚事件数字滤波配置。
- DMA 请求线源选择配置。
- TSensor 使能配置。
- ADCVREF 配置。

## 2.11 直接存储器访问控制器 (DMA)

DMA (Direct Memory Access) 是一种高速的数据传输操作，不通过 CPU，在外设和存储器之间直接进行数据传输。DMAC (Direct Memory Access Controller) 直接在存储器和外设、外设和外设、存储器和存储器之间进行数据传输，减轻 CPU 的负担并减少了 CPU 中断处理开销。

DMA 控制器有以下特性：

- 支持 8bit、16bit、32bit 数据位宽传输。
- 支持 4 个 DMA 通道，每个通道可配置用于一种单向传输。
- 提供 2 个位宽为 32bit 的 Master 总线接口用于数据传输。
- 支持软件控制的 DMA 请求。

- 支持 Burst 传输，Burst 长度可配。
- 支持源地址和目的地址可配置为自动递增或不递增。
- 支持链表模式。
- 支持 DMAC 流控和外设流控。

DMA 控制的功能详细描述请参见《3065A 系列技术参考指南》中“11 直接存储器访问控制器(DMA)”的内容。

## 2.12 循环冗余校验计算单元 (CRC)

本系统提供 1 个 CRC 模块。CRC 是循环冗余校验计算单元的简称，支持 4 种算法多项式 (CRC8-07 / CRC16-1021 / CRC16-8005 / CRC32-04C11DB7) 可配，可以被使用以产生 CRC 码值。

CRC 校验通常用来校验数据传输或者存储过程的完整性，是数据通信领域最常用的一种差错校验码。

## 2.13 信号捕获模块 (CAPM)

CAPM (Capture Module) 捕获模块用于捕获 MCU 管脚输入信号的边沿，记录边沿对应的时间戳，可用于通用数字信号捕获场景，也可实现电机专用场景，如：霍尔传感器，PWM 波通信等应用。

CAPM 模块有以下特性：

- 支持 3 通道捕获 (CAPM0, CAPM1, CAPM2)。
- 支持输入滤波 (支持过滤毛刺宽度 1~8192 个时钟周期)，输入预分频 (2~510 偶数分频)。
- 支持输入电平实时检测。
- 支持边沿计数，支持边沿数量比较。
- 支持 32bit 时间计数，支持计数分频。
- 支持单个 CAPM 通道捕获最多 4 个捕获事件，保存最多 4 个捕获事件时间戳，支持捕获溢出检测。
- 支持循环捕获，单轮次捕获。
- 支持时间计数相位同步，APT 硬件同步，支持软件同步。

- 支持工作状态复位，配置寄存器不复位。
- 支持触发 DMA，支持 DMA 传输，支持 DMA 溢出检测。
- 支持仿真器接入。

CAPM 模块功能详细描述请参见《3065A 系列技术参考指南》中“13 捕获模块 (CAPM)”的内容。

## 2.14 正交编码器解码模块 (QDM)

QDM (Quadrature Decoder Module) 用于对接增量编码器，针对增量编码器输出的 A 相，B 相和 Z 相信号进行解码，记录位置信息，方向信息和时间信息。QDM 内部集成了正交解码单元 QDU (Quadrature Decoder Unite)，位置处理单元 PPU (Position Process Unit)，时间戳单元 TSU (Time Stamp Unit)，周期触发单元 PTU (Period Trigger Unit)，实现了多种类型的增量编码器解码，支持 1X/2X/4X 倍频解码，支持位置计数的多种校准模式、初始化模式、锁存模式，可编程的位置区间内计时，可编程的时间区间内计数位置，A/B 相信号看门狗等功能。用于绝对位置记录，相对位置记录，旋转速度计算等应用场景。

QDM 模块有以下特性：

- 支持解码 4 种类型的增量编码器：正交型编码器，脉冲方向型编码器，非标准 TYPE1 型编码器，非标准 TYPE2 型编码器。
- 支持相信号滤波（支持过滤毛刺宽度 1~8192 个时钟周期），支持 A/B/Z 相信号极性选择，支持 A/B 相信号互换。
- 支持倍频解码：1X，2X，4X 倍频解码。
- 支持 PPU 位置计数，位宽 32bit，支持独立使能，支持 3 种计数模式。
- 支持 PPU 位置计数复位，4 种复位模式。
- 支持 PPU 位置计数初始化，3 种初始化模式。
- 支持 PPU 位置计数锁存，3 种 Z 相锁存模式，2 种锁存模式（支持软件触发锁存，PTU 触发锁存）。
- 支持 PPU 位置计数比较功能，支持位置比较缓存模式，支持比较输出同步信号。
- 支持 TSU 时间戳记录，位宽 32bit，可配置的位置区间内，TSU 产生时间戳（记录时间），用于速度计算。
- 支持 PTU 周期触发，位宽 32bit，可配置的时间区间内，触发 PPU 产生位置记录（记录位置）。



- 支持 PTU 看门狗模式，位宽 32bit，检测信号输入。
- 支持 DMA 访问。
- 支持仿真器接入，3 种接入模式。

QDM 功能详细描述请参见《3065A 系列技术参考指南》中“14 正交解码模块(QDM)”的内容。

## 2.15 高级 PWM 定时器 (APT)

APT (Advanced PWM Timer) 高级 PWM (Pulse Width Modulation) 定时器可以产生 PWM 波形，广泛应用于数字电机控制、开关电源控制等领域。可以使用 APT 模块产生 PWM 波去控制开关器件导通和关断，并可以实现 0%~100%范围可编程占空比，支持产生带死区（死区时长可编程）的互补 PWM 波。

APT 模块具有以下特点：

- 工作时钟最高 200MHz，内部模块全同步工作。
- 支持 12 位分频器、16 位计数器。
- 支持递增、递减、先增后减三种计数模式。
- 支持生成两路独立、两路相同或两路互补的 PWM 波。
- 支持在任一路 PWM 波的上升沿和/或下降沿插入死区。
- 支持在发生故障时控制输出波形，以进行保护。
- 支持在设定的时间点，周期性地上报定时中断。
- 支持在检测到异常事件时，上报异常事件中断。
- 支持在设定的时间点，周期性地产生 2 路触发 ADC 采样的信号（SOC (Start Of Conversion) 信号)。
- 支持在设定的时间点，周期性地生 DMA burst 或 DMA single 请求。
- 支持接收其他 APT 或 CAMP (Capture Module) 的同步信号，对内置计时器进行同步。
- 支持与任意 APT 同时启动。
- 支持缓存关键配置参数，在设定的时间或事件到来时，加载参数。

## 2.16 通用 PWM 定时器 (GPT)

GPT (General PWM Timer) 通用 PWM (Pulse Width Modulation) 定时器可以产生一路 PWM 波。

GPT 模块具有以下特点：

- 工作时钟为 `clk_ls` 的 1/2/4/8 分频。
- 支持 26bit 计数器，输出周期可配置。
- 支持 26bit 计数器，输出高电平持续时间可配置。
- 支持 10bit 计数器，输出脉冲个数（最大 1023 个）可配置。可以工作在固定个数输出模式和持续输出模式。

## 2.17 基本定时器 (TIMER)

Timer 模块主要实现定时、计数功能，可以供程序用作定时和计数。其中 `TIMER0/1/2` 为基本 timer，`timer3` 为系统 timer。

Timer 模块具有以下特点：

- 工作时钟为 `clk_ls` 的 1/2/4/8 分频。
- 计数时钟可以是工作时钟的 1/16/256 分频。
- 支持 32bit/16bit 减计数。
- 支持 3 种计数模式：自由运行模式、周期模式和单次计数模式。
- 支持 2 种载入计数初值的方法。
- 支持随时读取当前的计数值。
- 支持在计数值减到 0 时产生中断。
- 支持在计数值减到 0 时产生 DMA burst 或 DMA single 请求。
- 支持在计数值减到 0 时产生触发 ADC 采样的信号。

## 2.18 看门狗 (WDG)

本系统提供 2 个看门狗模块，分为 WDG (Watch Dog) 和 IWDG (Independent Watch Dog)。

WDG 基于总线时钟进行计数，计数支持分频。内部 32bit 减法计数器自由计数，支持超时时间间隔可配置，支持寄存器锁定，支持超时中断和复位信号产生，并在调试模式下自动停止计数。

IWDG 基于内部 LOSC 时钟进行计数，计数不支持分频，除此之外行为与 WDG 一致。

看门狗用于在系统异常情况下，一定时间内发出中断/复位信号，防止 MCU 挂死。

## 2.19 集成电路接口 (I2C)

本系统提供 1 个 I2C master 接口，用于对 I2C 总线上连接的从设备的读写访问。

I2C 控制器具有以下功能特点：

- 支持 Master 接口。
- 支持标准时序和非标准时序。
- 支持 64 x 8bit 的 TX FIFO (First In First Out) 和 64 x 8bit 的 RX FIFO。
- 支持标准地址 (7bit) 和扩展地址 (10bit)。
- 支持标准模式 (100kbit/s) 和快速模式 (400kbit/s)。
- 支持 DMA 操作。
- 支持多主设备时的总线仲裁。
- 支持 Clock synchronization 和 Bit and Byte waiting。
- 支持 General Call 和 Start Byte 功能。
- 不支持 CBUS 器件。

## 2.20 通用异步收发传输器 (UART)

UART 是一个异步串行的通信接口，主要功能是和外围设备的 UART 进行对接，从而实现设备间的通信。

本系统提供 3 个 UART 控制器，其中 UART0/2 为 2 线 UART，UART1 为 4 线 UART，支持硬件流控。

UART 模块有以下特点：

- 支持 256 x 8bit 的发送 FIFO 和 256 x 12bit 的接收 FIFO。

- 支持数据位和停止位的位宽可编程。数据位可通过编程设定为 5/6/7/8bit；停止位可通过编程设定为 1bit 或 2bit。
- 支持奇/偶校验方式、0/1 固定校验或者无校验。
- 支持传输速率（波特率）可编程。
- 支持接收 FIFO 中断、发送 FIFO 中断、接收超时中断、错误中断、调制状态中断。
- 支持初始中断状态查询和屏蔽后中断状态查询。
- 支持通过编程禁止 UART 模块或者 UART 发送/接收功能以降低功耗。
- 支持关断 UART 时钟以节省功耗（通过 CRG 模块配置）。
- 支持 DMA 操作（与 DMA 模块配合使用）。

## 2.21 同步串行外设接口（SPI）

SPI 控制器实现数据的串并、并串转换，可以作为 Master 与外部设备进行同步串行通信，也可作为 Slave 与外设对接。支持 Motorola SPI 接口、TI 串行同步接口和 MicroWire 接口 3 种外设接口协议。

SPI 模块有以下特性：

- 支持接口时钟频率可编程。
- 支持主模式和从模式。
- 支持双片选。
- 支持 256 x 16 bit 的 TX（发送）FIFO 和 256 x 16 bit 的 RX（接收）FIFO。
- 支持 4bit ~ 16bit 可编程串行数据帧长度。
- 支持单帧和连续帧格式。
- 支持 Motorola SPI 全双工工作模式，时钟极性、相位可配置。
- 支持 MicroWire 半双工工作模式。
- 支持 TI 同步串行接口全双工工作模式。
- 支持 DMA 操作。

SPI 功能详细描述请参见《3065A 系列技术参考指南》中“21 同步串行外设接口 (SPI)”的内容。

## 2.22 CAN 控制器

控制器域网 CAN (Controller Area Network) 是国际上应用最广泛的现场总线之一, 具有高性能、高可靠性、高实时性的特点。MCU 中 CAN 控制器支持 CAN Protocol Version 2.0 part A, B。

- CAN 总线控制器的工作时钟可选外置时钟或者 MCU 内置时钟。
- 支持标准技术规范 CAN 2.0A 和 CAN 2.0B。
- 支持多设备时的总线仲裁。
- 支持传输速率可编程, 最高可达 1Mbps。
- 支持 32 个报文对象, 每个报文对象均可编程。
- 支持主动错误和被动错误的自我判定以及故障节点的隔离。
- 支持错误的自我修复。
- 支持自动重传模式。
- 支持报文接收过滤功能。
- 支持中断屏蔽。
- 支持连续报文接收。
- 支持测试模式, 支持 Loop-back、Silent 模式以及两者同时开启。
- 支持 CAN 总线物理层测试, 支持软件强制 TX 输出, 和回读 RX 输入。
- 支持 Basic 模式。

## 2.23 模数转换器 (ADC)

ADC 模块实现模拟信号到数字信号的转换, 采用 SAR ADC (Successive Approximation ADC)。ADC 支持 12bit 采样精度, 最多有 16 个采样通道。支持单次采样模式和连续采样模式, 支持软件过采样, 支持两通道同步采样。

- 12bit 采样精度。
- 16 个模拟输入。
- 具有两个采样保持电路, 分别连接 A/B 两组输入通道。
- 可配置输入信号衰减功能。
- 转换时间最快为 0.5us (2Msps)。
- 可编程控制采样时间。

- 支持误差校准功能。
- 支持单独采样任意模拟输入。
- 支持两个采样保持电路进行同步采样。
- 支持软件过采样。
- 支持单次转换模式。
- 支持连续转换模式。
- 支持阻塞轮询转换模式。
- 具有 16 个独立配置的 SOC。
- 具有两种可配置优先级组。
- 23 个触发源可选择。
- 16 个独立寻址的转换结果寄存器和结束转换标志 EOC (End-of-Conversion)。
- 4 个可灵活配置的中断和 1 个异常中断。
- 支持 DMA 请求。
- 4 个采样后处理模块。

## 2.24 可编程增益放大器 (PGA)

PGA (Programmable Gain Amplifier) 是 A/D 转换器的高性能模拟前端, 该放大器具有失调校准和输入数据选择功能。PGA 集成多个内部增益选项, 用于调整宽范围的输入电压信号, 使 A/D 转换器满量程信号达到均一化, 提高测量精度。

- 全 PMOS 输入级。
- 内部电阻模式, 放大增益可配置为 2、4、8 或 16。
- 外部电阻模式, 灵活可调增益。
- $|\text{输入失调}| < 4\text{mV}$  (校准后)。
- $|\text{增益误差}| < 1.5\%$ 。
- $\text{GBW} > 20\text{MHz}$ 。
- $\text{Slew Rate} > 8\text{V}/\mu\text{s}$ 。
- $\text{PSRR} @ 10\text{kHz} > 50\text{dB}$ 。
- $\text{CMRR} @ 100\text{Hz} > 70\text{dB}$ 。

## 2.25 数模转换器 (DAC)

DAC 将软件配置的 8bit 数字信号，转换成对应的模拟电压量，实现了数字到模拟的转换，转换成模拟信号后便可以进行模拟运算。

- 8bit 分辨率。
- 并行数据输入。
- 300kHz 转换速率。
- 正弦波模式。

## 2.26 模拟比较器 (ACMP)

ACMP 为模拟电压比较器，选择两个输入源进行电压比较，ACMP 的比较信号有三个来源，即管脚输入、DAC 输出或 PGA 输出。

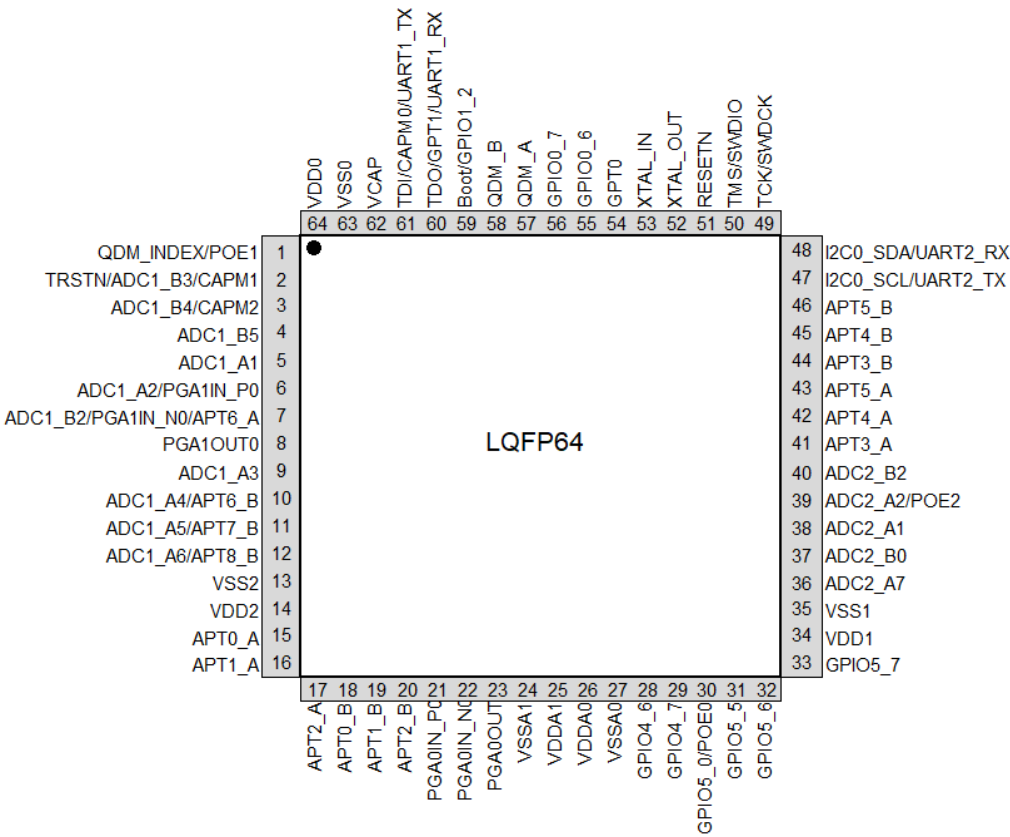
- 包括 3 个 2 输入比较器。
- 4 组比较源可配置选择。
- 最小有效差分输入电压为 20mV。
- 支持轨对轨输入，共模输入电压范围支持 0V~输入电源大小。
- 提供最大 5us 去抖功能。
- 可配置比较结果消隐。

# 3 引脚排列、引脚描述 pinout

## 3.1 引脚图

各种封装的 MCU 引脚排列如图 3-1 所示。

图3-1 LQFP64 引脚排列





3.2 引脚信息

引脚描述和复用关系列表请参考表 3-1。

表3-1 管脚信息表

Pin Number LQFP64	Pin Name	Support 5V Tolerance Input	IO Config Register	Function Description			
				Function Number	Signal Name	Direction	Description
1	QDM_INDEX/POE1	YES	iocmg_17	0	GPIO1_6	B	通用输入输出。
				1	QDM_INDEX	I	QDM 采样输入信号。
				2	POE1	I	APT PWM 输出使能。
				3	QDM_SYNC	O	QDM 采样输入信号。
2	TRSTN/ADC1_B3/CAPM1	-	iocmg_18	0	GPIO1_7	B	通用输入输出。
				1	JTAG_TRSTN	I	JTAG (Joint Test Action Group) 复位信号。
				3	CAPM1_SRC1	I	CAPM 采样输入信号 1。
				4	UART1_CTSN	I	UART1 发送清除信号 (Clear To Send) 。
				5	SPI0_CSNO	B	SPI 片选信号 0, 低有效。
				6	ADTRG1	I	ADC 采样外部触发信号。

Pin Number LQFP64	Pin Name	Support 5V Tolerance Input	IO Config Register	Function Description			
				Function Number	Signal Name	Direction	Description
				8	ADC1_ANA_B3	I	ADC1_B3 通道模拟输入信号。
				9	ACMP1_ANA_N2	I	ACMP1_N2 通道模拟输入信号。
3	ADC1_B4 /CAPM2	-	iocmg_19	0	GPIO2_0	B	通用输入输出。
				3	CAPM2_SRC1	I	CAPM 采样输入信号 1。
				5	SPI0_TXD	O	SPI 发送数据输出。
				8	ADC1_ANA_B4	I	ADC1_B4 通道模拟输入信号。
4	ADC1_B5	-	iocmg_20	0	GPIO2_1	B	通用输入输出。
				3	CAPM0_SRC1	I	CAPM 采样输入信号 1。
				5	SPI0_RXD	I	SPI 接收数据输入。
				8	ADC1_ANA_B5	I	ADC1_B5 通道模拟输入信号。
5	ADC1_A1	-	iocmg_21	0	GPIO2_2	B	通用输入输出。
				2	APT_EVT	I	APT 多功能事

Pin Number	Pin Name	Support 5V Tolerance Input	IO Config Register	Function Description			
				Function Number	Signal Name	Direction	Description
LQFP64					MP4		件 4。
				4	UART1_RTSN	O	UART1 发送请求信号 (Request To Send)。
				5	SPI0_CS N1	B	SPI 片选信号 1, 低有效。
				6	ADST1	O	ADC 状态标识。
				8	ADC1_ANA_A1	I	ADC1_A1 通道模拟输入信号。
				9	ACMP1_ANA_P2	I	ACMP1_P2 通道模拟输入信号。
6	ADC1_A2 /PGA1IN_P0	-	iocmg_22	0	GPIO2_3	B	通用输入输出。
				5	SPI0_CLK	B	SPI 时钟信号。
				8	ADC1_ANA_A2	I	ADC1_A2 通道模拟输入信号。
				9	PGA1_ANA_P0	I	PGA1_P0 通道模拟输入信号。
7	ADC1_B2 /PGA1IN_N0/APT6_A	-	iocmg_23	0	GPIO2_4	B	通用输入输出。
				3	APT6_P	O	APT PWM A

Pin Number LQFP64	Pin Name	Support 5V Tolerance Input	IO Config Register	Function Description			
				Function Number	Signal Name	Direction	Description
					WMA		相输出。
				8	ADC1_A NA_B2	I	ADC1_B2 通道模拟输入信号。
				9	PGA1_A NA_N0	I	PGA1_N0 通道模拟输入信号。
8	PGA1OUT0	-	iocmg_24	0	GPIO2_5	B	通用输入输出。
				3	APT7_P WMA	O	APT PWM A 相输出。
				8	PGA1_A NA_EXT0	O	PGA1 模拟输出信号。
9	ADC1_A3	-	iocmg_25	0	GPIO2_6	B	通用输入输出。
				3	APT8_P WMA	O	APT PWM A 相输出。
				4	POE0	I	APT PWM 输出使能。
				6	ADST0	O	ADC 状态标识。
				8	ADC1_A NA_A3	I	ADC1_A3 通道模拟输入信号。
10	ADC1_A4 /APT6_B	-	iocmg_26	0	GPIO2_7	B	通用输入输出。
				2	ACMP1_OUT	O	ACMP 比较结

Pin Number LQFP64	Pin Name	Support 5V Tolerance Input	IO Config Register	Function Description			
				Function Number	Signal Name	Direction	Description
							果输出信号。
				3	APT6_PWMB	O	APT PWM B 相输出。
				8	ADC1_ANA_A4	I	ADC1_A4 通道模拟输入信号。
11	ADC1_A5 /APT7_B	-	iocmg_27	0	GPIO3_0	B	通用输入输出。
				3	APT7_PWMB	O	APT PWM B 相输出。
				8	ADC1_ANA_A5	I	ADC1_A5 通道模拟输入信号。
				9	ACMP1_ANA_N3	I	ACMP1_N3 通道模拟输入信号。
12	ADC1_A6 /APT8_B	-	iocmg_28	0	GPIO3_1	B	通用输入输出。
				3	APT8_PWMB	O	APT PWM B 相输出。
				8	ADC1_ANA_A6	I	ADC1_A6 通道模拟输入信号。
				9	ACMP1_ANA_P3	I	ACMP1_P3 通道模拟输入信号。
13	VSS2	-	-	-	-	-	数字地。

Pin Number LQFP64	Pin Name	Support 5V Tolerance Input	IO Config Register	Function Description			
				Function Number	Signal Name	Direction	Description
14	VDD2	-	-	-	-	-	数字供电。
15	APT0_A	-	iocmg_32	0	GPIO3_5	B	通用输入输出。
				3	APT0_PWM_A	O	APT PWM A 相输出。
16	APT1_A	-	iocmg_33	0	GPIO3_6	B	通用输入输出。
				3	APT1_PWM_A	O	APT PWM A 相输出。
				8	DAC0_ANA_OUT	O	DAC0 模拟输出信号。
17	APT2_A	-	iocmg_34	0	GPIO3_7	B	通用输入输出。
				3	APT2_PWM_A	O	APT PWM A 相输出。
				8	DAC1_ANA_OUT	O	DAC1 模拟输出信号。
18	APT0_B	-	iocmg_35	0	GPIO4_0	B	通用输入输出。
				3	APT0_PWM_B	O	APT PWM B 相输出。
				8	DAC2_ANA_OUT	O	DAC2 模拟输出信号。
19	APT1_B	-	iocmg_36	0	GPIO4_1	B	通用输入输出。
				3	APT1_PWM_B	O	APT PWM B 相输出。

Pin Number LQFP64	Pin Name	Support 5V Tolerance Input	IO Config Register	Function Description			
				Function Number	Signal Name	Direction	Description
				4	ADC_OB_CLK	O	ADC 采样结果串行输出时钟信号。
20	APT2_B	-	iocmg_37	0	GPIO4_2	B	通用输入输出。
				3	APT2_PWM_B	O	APT PWM B 相输出。
				4	ADC_OB_DATA	O	ADC 采样结果串行输出数据信号。
21	PGA0IN_P0	-	iocmg_38	0	GPIO4_3	B	通用输入输出。
				8	ADC0_ANA_A7	I	ADC0_A7 通道模拟输入信号。
				9	PGA0_ANA_P0	I	PGA0_P0 通道模拟输入信号。
22	PGA0IN_N0	-	iocmg_39	0	GPIO4_4	B	通用输入输出。
				8	ADC0_ANA_B0	I	ADC0_B0 通道模拟输入信号。
				9	PGA0_ANA_N0	I	PGA0_N0 通道模拟输入信号。
23	PGA0OU	-	iocmg_4	0	GPIO4_5	B	通用输入输出。

Pin Number LQFP64	Pin Name	Support 5V Tolerance Input	IO Config Register	Function Description			
				Function Number	Signal Name	Direction	Description
	T		0				出。
				8	PGA0_ANA_EXT0	O	PGA0 模拟输出信号。
24	VSSA1	-	-	-	-	-	模拟地。
25	VDDA1	-	-	-	-	-	模拟供电。
26	VDDA0	-	-	-	-	-	模拟供电。
27	VSSA0	-	-	-	-	-	模拟地。
28	GPIO4_6	-	iocmg_41	0	GPIO4_6	B	通用输入输出。
				6	ADTRG0	I	ADC 采样外部触发信号。
				8	ADC0_ANA_A3	I	ADC0_A3 通道模拟输入信号。
				9	PGA1_ANA_P3	I	PGA1_P3 通道模拟输入信号。
29	GPIO4_7	-	iocmg_42	0	GPIO4_7	B	通用输入输出。
				8	ADC0_ANA_A4	I	ADC0_A4 通道模拟输入信号。
				9	PGA1_ANA_N3	I	PGA1_N3 通道模拟输入信号。
				10	ACMP0_ANA_N1	I	ACMP0_N1 通



Pin Number LQFP64	Pin Name	Support 5V Tolerance Input	IO Config Register	Function Description			
				Function Number	Signal Name	Direction	Description
							道模拟输入信号。
30	GPIO5_0/ POE0	-	iocmg_43	0	GPIO5_0	B	通用输入输出。
				2	ACMP0_OUT	O	ACMP 比较结果输出信号。
				3	APT_EVTMP4	I	APT 多功能事件 4。
				4	POE0	I	APT PWM 输出使能。
				6	ADST0	O	ADC 状态标识。
				9	PGA1_ANA_EXT1	O	PGA1 模拟输出信号。
31	GPIO5_5	-	iocmg_48	0	GPIO5_5	B	通用输入输出。
				1	SYS_RSTN_OUT	O	系统复位输出。 0: 复位; 1: 撤销复位。
				8	ADC2_ANA_B1	I	ADC2_B1 通道模拟输入信号。
				9	PGA2_ANA_P0	I	PGA2_P0 通道模拟输入信号。
32	GPIO5_6	-	iocmg_4	0	GPIO5_6	B	通用输入输

Pin Number LQFP64	Pin Name	Support 5V Tolerance Input	IO Config Register	Function Description			
				Function Number	Signal Name	Direction	Description
			9				出。
				8	ADC2_ANA_A6	I	ADC2_A6 通道模拟输入信号。
				9	PGA2_ANA_N0	I	PGA2_N0 通道模拟输入信号。
33	GPIO5_7	-	iocmg_50	0	GPIO5_7	B	通用输入输出。
				9	PGA2_ANA_EXT0	O	PGA2 模拟输出信号。
34	VDD1	-	-	-	-	-	数字供电。
35	VSS1	-	-	-	-	-	数字地。
36	ADC2_A7	-	iocmg_51	0	GPIO6_0	B	通用输入输出。
				3	UART2_TXD	O	UART2 发送数据。
				8	ADC2_ANA_A7	I	ADC2_A7 通道模拟输入信号。
				9	ACMP2_ANA_N1	I	ACMP2_N1 通道模拟输入信号。
37	ADC2_B0	-	iocmg_52	0	GPIO6_1	B	通用输入输出。
				3	UART2_RXD	I	UART2 接收数

Pin Number LQFP64	Pin Name	Support 5V Tolerance Input	IO Config Register	Function Description			
				Function Number	Signal Name	Direction	Description
							据。
				8	ADC2_ANA_B0	I	ADC2_B0 通道模拟输入信号。
				9	ACMP2_ANA_P1	I	ACMP2_P1 通道模拟输入信号。
38	ADC2_A1	-	iocmg_53	0	GPIO6_2	B	通用输入输出。
				2	ACMP2_OUT	O	ACMP 比较结果输出信号。
				6	ADST2	O	ADC 状态标识。
				8	ADC2_ANA_A1	I	ADC2_A1 通道模拟输入信号。
39	ADC2_A2 /POE2	-	iocmg_54	0	GPIO6_3	B	通用输入输出。
				2	POE2	I	APT PWM 输出使能。
				3	CAN_RX	I	CAN 接收数据。
				6	ADTRG2	I	ADC 采样外部触发信号。
				8	ADC2_ANA_A2	I	ADC2_A2 通道模拟输入信号。

Pin Number LQFP64	Pin Name	Support 5V Tolerance Input	IO Config Register	Function Description			
				Function Number	Signal Name	Direction	Description
40	ADC2_B2	-	iocmg_55	0	GPIO6_4	B	通用输入输出。
				2	APT_EVTMP6	I	APT 多功能事件 6。
				3	CAN_TX	O	CAN 发送数据。
				8	ADC2_ANA_B2	I	ADC2_B2 通道模拟输入信号。
41	APT3_A	-	iocmg_58	0	GPIO6_7	B	通用输入输出。
				1	APT3_PWMA	O	APT PWM A 相输出。
42	APT4_A	-	iocmg_59	0	GPIO7_0	B	通用输入输出。
				1	APT4_PWMA	O	APT PWM A 相输出。
43	APT5_A	-	iocmg_60	0	GPIO7_1	B	通用输入输出。
				1	APT5_PWMA	O	APT PWM A 相输出。
44	APT3_B	-	iocmg_61	0	GPIO7_2	B	通用输入输出。
				1	APT3_PWM_B	O	APT PWM B 相输出。
45	APT4_B	-	iocmg_62	0	GPIO7_3	B	通用输入输出。

Pin Number LQFP64	Pin Name	Support 5V Tolerance Input	IO Config Register	Function Description			
				Function Number	Signal Name	Direction	Description
				1	APT4_PWM_B	O	APT PWM B 相输出。
46	APT5_B	-	iocmg_63	0	GPIO7_4	B	通用输入输出。
				1	APT5_PWM_B	O	APT PWM B 相输出。
47	I2C0_SCL /UART2_TX	-	iocmg_66	0	GPIO7_6	B	通用输入输出。
				1	UART2_TXD	O	UART2 发送数据。
				2	I2C0_SCL	B	I2C 总线 0 时钟。
				3	DS_WAKEUP2	I	deep sleep 唤醒信号。
				4	APT_EVENTIO4	I	APT IO 事件 4。
				8	ADC2_ANAL_A3	I	ADC2_A3 通道模拟输入信号。
48	I2C0_SDA /UART2_RX	-	iocmg_67	0	GPIO7_7	B	通用输入输出。
				1	UART2_RXD	I	UART2 接收数据。
				2	I2C0_SDA	B	I2C 总线 0 数据/地址。
				3	DS_WAKEUP3	I	deep sleep 唤醒信号。

Pin Number LQFP64	Pin Name	Support 5V Tolerance Input	IO Config Register	Function Description			
				Function Number	Signal Name	Direction	Description
				8	ADC2_A NA_A4	I	ADC2_A4 通道模拟输入信号。
49	TCK/SWDCK	-	iocmg_0	0	GPIO0_0	B	通用输入输出。
				1	JTAG_TCK	I	JTAG 时钟输入/SWDCK。
				3	DS_WAKEUP0	I	deep sleep 唤醒信号。
50	TMS/SWDIO	-	iocmg_1	0	GPIO0_1	B	通用输入输出。
				1	JTAG_TMS	B	JTAG 模式选择输入/SWDIO。
				3	DS_WAKEUP1	I	deep sleep 唤醒信号。
51	RESETN	-	-	0	RESETN	I	MCU 硬件复位输入，低有效。
52	XTAL_OUT	-	iocmg_6	0	GPIO0_3	B	通用输入输出。
				2	GPT0_PWM	O	GPT PWM 输出信号。
				4	UART0_TXD	O	UART0 发送数据。
				8	XTAL_OUT	B	晶振输出端/外部时钟输入端。

Pin Number LQFP64	Pin Name	Support 5V Tolerance Input	IO Config Register	Function Description			
				Function Number	Signal Name	Direction	Description
53	XTAL_IN	-	iocmg_7	0	GPIO0_4	B	通用输入输出。
				4	UART0_RXD	I	UART0 接收数据。
				8	XTAL_IN	B	晶振输入端。
54	GPT0	YES	iocmg_8	0	GPIO0_5	B	通用输入输出。
				1	GPT0_PWM	O	GPT PWM 输出信号。
				2	APT_EVTMP5	I	APT 多功能事件 5。
				3	CAPM1_SRC0	I	CAPM 采样输入信号 0。
55	GPIO0_6	YES	iocmg_9	0	GPIO0_6	B	通用输入输出。
				1	CAN_RX	I	CAN 接收数据。
				2	APT_EVTIO5	I	APT IO 事件 5。
56	GPIO0_7	YES	iocmg_10	0	GPIO0_7	B	通用输入输出。
				1	CAN_TX	O	CAN 发送数据。
57	QDM_A	YES	iocmg_11	0	GPIO1_0	B	通用输入输出。
				1	QDM_A	I	QDM 采样输入

Pin Number LQFP64	Pin Name	Support 5V Tolerance Input	IO Config Register	Function Description			
				Function Number	Signal Name	Direction	Description
							信号。
58	QDM_B	YES	iocmg_12	0	GPIO1_1	B	通用输入输出。
				1	QDM_B	I	QDM 采样输入信号。
59	BOOT/GPIO1_2	-	iocmg_13	0	GPIO1_2	B	通用输入输出。
				1	UPDATE_MODE	I	系统升级标志, MCU 上电锁存。  0: NORMAL_MODE;  1: UPDATE_MODE。
				2	TEST_CLOCK	O	测试时钟输出。
				4	UART1_RTSN	O	UART1 发送请求信号 (Request To Send)。
60	TDO/GPT1/UART1_RX	YES	iocmg_14	0	GPIO1_3	B	通用输入输出。
				1	JTAG_TDO	O	JTAG 输出数据。
				2	GPT1_PWM	O	GPT PWM 输出信号。



Pin Number	Pin Name	Support 5V Tolerance Input	IO Config Register	Function Description			
				Function Number	Signal Name	Direction	Description
LQFP64				3	CAPM2_SRC0	I	CAPM 采样输入信号 0。
				4	UART1_RXD	I	UART1 数据接收。
				5	I2C0_SCL	B	I2C 总线 0 时钟。
61	TDI/CAPM0/UART1_TX	YES	iocmg_15	0	GPIO1_4	B	通用输入输出。
				1	JTAG_TDI	I	JTAG 输入数据。
				3	CAPM0_SRC0	I	CAPM 采样输入信号 0。
				4	UART1_TXD	O	UART1 发送数据。
				5	I2C0_SDA	B	I2C 总线 0 数据/地址。
62	VCAP	-	-	-	-	-	将此管脚通过 4.7uF 电容并联 1kΩ电阻连接到数字地。
63	VSS0	-	-	-	-	-	数字地。
64	VDD0	-	-	-	-	-	数字供电。

### 3.3 未使用引脚的连接

对于未使用的引脚，可以采用的连接和配置方法：

1. 外部无连接，引脚配置为 GPIO 输入，并使能内部上拉或下拉。
2. 外部经过电阻上拉或下拉，引脚配置为 GPIO 输入，内部不使能上拉和下拉。

# 4 电气特性

## 4.1 绝对最大额定值

绝对最大额定值仅为应力额定值，并不保证最大值时的功能操作。超过表 4-1 中指定的值可能对 MCU 造成永久性损坏。

须知

极限工作电压参数如表 4-1 所示，超过这些数值，可能导致 MCU 损坏，可能导致可靠性问题。

表4-1 极限工作条件参数<sup>a</sup>

符号	参数	最小值	最大值	单位
V <sub>DD</sub>	数字电源电压	-0.3	4	V
V <sub>DDA</sub>	模拟电源电压 <sup>b</sup>	-0.3	4	V
V <sub>IN</sub>	5V 容忍 IO 输入电压	-0.3	6	V
	其他 IO 输入电压	-0.3	4	V
I <sub>IO</sub>	IO 输出电流	-	±25	mA
T <sub>A</sub>	工作环境温度	-40	+105	°C
T <sub>STG</sub>	存储温度	-55	+150	°C
T <sub>J</sub>	最大结温	-	125	°C

符号	参数	最小值	最大值	单位
a: 设计保证; b: 推荐 $V_{DD}$ 和 $V_{DDA}$ 接同一个电源。				

4.2 工作环境参数

推荐工作条件如表 4-2 所示。

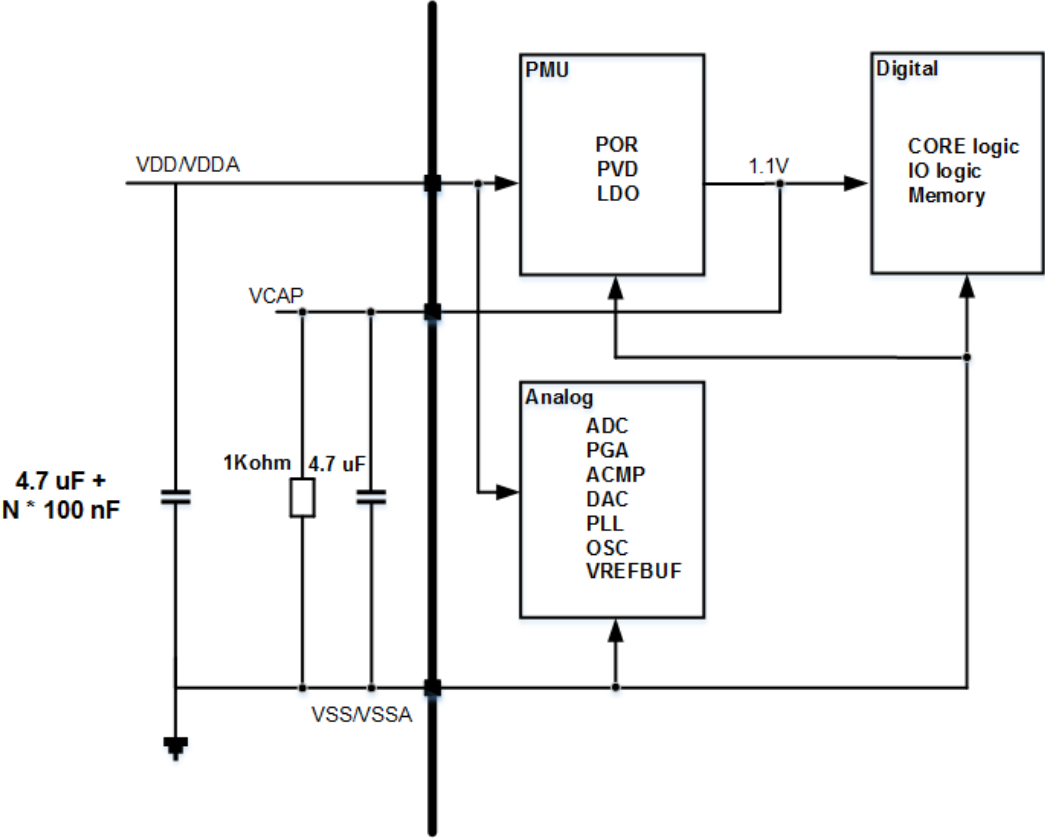
表4-2 推荐工作条件

符号	参数	条件	最小值	典型值	最大值	单位
$V_{DDA}$	模拟电源电压	-	2.6	3.3	3.63	V
$V_{DD}$	数字电源电压	-	$V_{DDA}$	3.3	3.63	V

4.3 供电框图

供电框图如图 4-1 所示。

图4-1 供电框图



4.4 MCU 功耗

表4-3 工作电流<sup>a</sup>

工作条件				典型值 <sup>b</sup>		最大值 <sup>c</sup>		单位
CPU 状态	PLL	MCU 主频	外设时钟	I <sub>VDD</sub>	I <sub>VDDA</sub>	I <sub>VDD</sub>	I <sub>VDDA</sub>	-
执行 while(1)	on	25MHz	on	7.07	22.19	22.84	22.65	mA
执行 while(1)	on	50MHz	on	13.28	22.02	28.79	22.35	mA
执行 while(1)	on	64MHz	on	17.66	22.55	33.29	22.52	mA
执行	on	100MHz	on	24.86	22.53	40.35	22.45	mA

工作条件				典型值 <sup>b</sup>		最大值 <sup>c</sup>		单位
while(1)								
执行 while(1)	on	200MHz	on	45.60	22.70	59.82	22.51	mA

表4-4 sleep 模式工作电流

符号	典型值	单位
I <sub>VDD</sub>	9.3 <sup>d</sup>	mA
I <sub>VDDA</sub>	0.5	mA

表4-5 deepsleep 模式工作电流

符号	典型值	单位
I <sub>VDD</sub>	18.0 <sup>e</sup>	μA
I <sub>VDDA</sub>	2.0	μA

表4-6 shutdown 模式工作电流

符号	典型值	单位
I <sub>VDD</sub>	8.5	μA
I <sub>VDDA</sub>	0.1	μA

- a：数据来源于实验室测试数据，程序在 eflash 中执行。
- b：V<sub>DD</sub>=3.3V，V<sub>DDA</sub>=3.3V，环境温度 25℃。
- c：V<sub>DD</sub>=3.6V，V<sub>DDA</sub>=3.6V，环境温度 105℃。
- d：外设模块关闭，MCU 主频 200MHz。
- e：未使能内部定时唤醒功能。

4.5 电源上下电斜率

表4-7 电源上下电斜率

符号	参数	条件	最小值	最大值	单位
tVDD	V <sub>DD</sub> rise time rate	-	-	15	ms/V
	V <sub>DD</sub> fall time rate	2.4V to 1.4V	6	-	ms/V

4.6 电磁兼容（EMC）特性

EMS（电磁抗干扰）

测试条件：运行一个 LED 闪灯的简单应用程序，然后对 MCU 管脚注入一个干扰信号，不断提高注入的干扰信号的等级，直到 LED 闪灯指示异常。

- ESD (Electrostatic Discharge)：MCU 所有管脚注入 **ESD** 信号，直到出现功能异常。测试需要遵循 IEC 61000-4-2 标准。
- EFT (Electrical Fast Transient)：通过一个 100pF 电容对 VDD 和 VSS 注入一个 EFT 信号，直到出现功能故障，该测试遵循 IEC 61000-4-4 标准。

设备允许程序运行异常，但重启后 MCU 必须能恢复。测试结果如表 4-8 所示。

表4-8 EMS 特性

符号	说明	条件	级别
VFES D	在任意管脚施加极限电压，直到出现功能故障。	VDD = 3.3 V, TA = +25 °C, fHCLK = 200 MHz, 遵循 IEC 61000-4-2	2B
VEFT B	通过一个 100pF 电容对 VDD 和 VSS 施加一个瞬时高压，直到出现功能故障。	VDD = 3.3 V, TA = +25 °C, fHCLK = 200 MHz, 遵循 IEC 61000-4-4	5A

4.7 电气敏感特性

ESD (HBM (Human Body Model)、CDM (Charge Device Model)) 和 Latch UP 按照通用标准测试满足的等级如表 4-9 和表 4-10 所示。

表4-9 ESD 极限参数

符号	描述	条件	等级	最大值	单位
VESD(HBM)	ESD (HBM)	TA=+25°C, 遵循 ANSI/ESDA/JEDEC JS-001	3A	4000	V
VESD(CDM)	ESD (CDM)	TA=+25°C, 遵循 ANSI/ESDA/JEDEC JS-002	CLAS SIII	500	V

表4-10 电气敏感度

符号	描述	条件	等级
LU	静态门锁等级	TA = +105 °C 遵循 JESD78 IC 门锁标准	II level A

4.8 IO 电气特性

一般输入输出特性

表 4-11 中给出的参数是从表 4-1 下进行试验得到的，另有特别说明的除外。所有 I/O 设计均符合 CMOS (Complementary Metal Oxide Semiconductor) 标准。

表4-11 I/O 静态特性

符号	参数	条件	最小值	典型值	最大值	单位
VIL	I/O 输入低电平电压	2.6 V < VDD < 3.63 V	-	-	0.35x VDD <sup>a</sup>	V



符号	参数	条件		最小值	典型值	最大值	单位
VIH	I/O 输入高电平电压	除耐 5V I/O 之外的所有类型 I/O	$2.6\text{ V} < \text{VDD} < 3.63\text{ V}$	$0.65 \times \text{VDD}^{\text{a}}$	-	3.63	V
		耐 5V I/O	$2.6\text{ V} < \text{VDD} < 3.63\text{ V}$	$0.65 \times \text{VDD}^{\text{a}}$	-	5	V
$V_{\text{hys}}^{\text{a}}$	I/O 输入迟滞 I/O input hysteresis	除耐 5V I/O 之外的所有类型 I/O	$2.6\text{ V} < \text{VDD} < 3.63\text{ V}$	-	300	-	mV
		耐 5V I/O	$2.6\text{ V} < \text{VDD} < 3.63\text{ V}$	-	120	-	mV
I <sub>lkg</sub>	输入漏电流 <sup>a</sup>	除耐 5V I/O 之外的所有类型 I/O	$0 < V_{\text{IN}} \leq \text{VDD}$	-	-	±48	nA
		耐 5V I/O	$\text{VDD} < V_{\text{IN}} \leq 5\text{ V}^{\text{a}}$	-	-	476	nA
R <sub>PU</sub>	弱上拉等效电阻 <sup>b</sup>	所有类型 I/O	$V_{\text{IN}} = \text{VSS}$	19	24	29	kΩ
R <sub>PD</sub>	弱下拉等效电阻 <sup>b</sup>	除耐 5V I/O 之外的所有类型 I/O	$V_{\text{IN}} = \text{VDD}$	19	24	29	kΩ
		耐 5V I/O	$V_{\text{IN}} = \text{VDD}$	28	35	49	kΩ
C <sub>IO</sub>	I/O 引脚电容	-		-	3.5	-	pF
a: 设计值。							
b: 上拉电阻和下拉电阻采用真实电阻串联 PMOS/NMOS 开关设计，PMOS/NMOS 等效串联电阻占比约 5%。							

输出电压电平

表 4-12 中给出的参数来自于表 4-1 中总结的环境温度和电源电压条件下进行的试验，另有特别说明的除外。所有 I/O 设计均为符合 CMOS 标准。

表4-12 输出电压特性<sup>a</sup>

符号	参数	条件	最小值	最大值	单位
V <sub>OL</sub>	I/O 管脚输出低电平电压	所有类型 I/O   I <sub>IO</sub>  8 mA VDD ≥ 2.6 V	-	0.45	V
V <sub>OH</sub>	I/O 管脚输出高电平电压		VDD - 0.45	-	V
V <sub>OL</sub> <sup>b</sup>	I/O 管脚输出低电平电压	所有类型 I/O   I <sub>IO</sub>  = 15mA VDD ≥ 2.6 V	-	1.3	V
V <sub>OH</sub> <sup>b</sup>	I/O 管脚输出高电平电压		VDD - 1.3	-	V
a: 所有 I/O (I/O 端口和控制引脚) 输入或输出的电流之和必须始终符合表 4-3 中规定的 VDD 工作电流。					
b: 设计值。					

表4-13 输出电流特性<sup>a</sup>

符号	参数	条件	驱动档位	最小值	最大值	单位
I <sub>OL</sub> <sup>b</sup>	I/O 管脚输出低电平驱动电流 (灌电流)	所有类型 I/O, V <sub>OL</sub> = 0.45V	00	2	4	mA
			01	4	8	mA
			10	6	12	mA
			11	8	16	mA
		所有类型 I/O, V <sub>OL</sub> = 1.3V	00	4	8	mA
			01	8	16	mA
			10	12	24	mA
			11	16	32	mA
I <sub>OH</sub> <sup>b</sup>	I/O 管脚输出高电平驱动电流 (拉电流)	所有类型 I/O, V <sub>OH</sub> = VDD - 0.45V	00	2	4	mA
			01	4	8	mA
			10	6	12	mA
			11	8	16	mA
		所有类型 I/O, V <sub>OH</sub> = VDD - 1.3V	00	4	8	mA
			01	8	16	mA
			10	12	24	mA

符 号	参 数	条 件	驱 动 档 位	最 小 值	最 大 值	单 位
			11	16	32	mA
a: 所有 I/O (I/O 端口和控制引脚) 输入或输出的电流之和必须始终符合表 4-3 中规定的 VDD 工作电流。 b: 设计值。						

输入输出交流特性

表 4-14 中给出的参数来自于表 4-1 中总结的环境温度和电源电压条件下进行的试验, 另有特别说明的除外。

表4-14 I/O 交流特性<sup>a</sup>

驱动档位	符号	参 数	条 件	最 小 值	最 大 值	单 位
00	Fmax	最大频率	C=30 pF, 2.97 V ≤ VDD ≤ 3.63 V	-	50	MHz
			C=30 pF, 2.6 V ≤ VDD ≤ 2.97 V	-	35	MHz
			C=10 pF, 2.97 V ≤ VDD ≤ 3.63 V	-	90	MHz
			C=10 pF, 2.6 V ≤ VDD ≤ 2.97 V	-	70	MHz
	Tr/Tf	输出上升下降时间	C=30 pF, 2.97 V ≤ VDD ≤ 3.63 V	-	4.7	ns
			C=30 pF, 2.6 V ≤ VDD ≤ 2.97 V	-	5.5	ns
			C=10 pF, 2.97 V ≤ VDD ≤ 3.63 V	-	2	ns
			C=10 pF, 2.6 V ≤ VDD ≤ 2.97 V	-	2.3	ns
01	Fmax	最大频率	C=50 pF, 2.97 V ≤ VDD ≤ 3.63 V	-	25	MHz

驱动档位	符号	参数	条件	最小值	最大值	单位
			C=50 pF, 2.6 V ≤ VDD ≤ 2.97 V	-	15	MHz
			C=10 pF, 2.97 V ≤ VDD ≤ 3.63 V	-	70	MHz
			C=10 pF, 2.6 V ≤ VDD ≤ 2.97 V	-	50	MHz
	Tr/Tf	输出上升下降时间	C=50 pF, 2.97 V ≤ VDD ≤ 3.63 V	-	10	ns
			C=50 pF, 2.6 V ≤ VDD ≤ 2.97 V	-	12	ns
			C=10 pF, 2.97 V ≤ VDD ≤ 3.63 V	-	2.5	ns
			C=10 pF, 2.6 V ≤ VDD ≤ 2.97 V	-	3	ns
10	Fmax	最大频率	C=50 pF, 2.97 V ≤ VDD ≤ 3.63 V	-	15	MHz
			C=50 pF, 2.6 V ≤ VDD ≤ 2.97 V	-	10	MHz
			C=10 pF, 2.97 V ≤ VDD ≤ 3.63 V	-	45	MHz
			C=10 pF, 2.6 V ≤ VDD ≤ 2.97 V	-	30	MHz
	Tr/Tf	输出上升下降时间	C=50 pF, 2.97 V ≤ VDD ≤ 3.63 V	-	15	ns
			C=50 pF, 2.6 V ≤ VDD ≤ 2.97 V	-	17.5	ns
			C=10 pF, 2.97 V ≤ VDD ≤ 3.63 V	-	3.6	ns
			C=10 pF, 2.6 V ≤ VDD ≤ 2.97 V	-	4.3	ns
11	Fmax	最大频率	C=50 pF, 2.97 V ≤ VDD ≤ 3.63 V	-	7	MHz
			C=50 pF, 2.6 V ≤ VDD ≤	-	4	MHz

驱动档位	符号	参数	条件	最小值	最大值	单位
			2.97 V			
			C=10 pF, 2.97 V ≤ VDD ≤ 3.63 V	-	30	MHz
			C=10 pF, 2.6 V ≤ VDD ≤ 2.97 V	-	20	MHz
	Tr/Tf	输出上升下降时间	C=50 pF, 2.97 V ≤ VDD ≤ 3.63 V	-	30	ns
			C=50 pF, 2.6 V ≤ VDD ≤ 2.97 V	-	35	ns
			C=10 pF, 2.97 V ≤ VDD ≤ 3.63 V	-	7	ns
			C=10 pF, 2.6 V ≤ VDD ≤ 2.97 V	-	8.2	ns
	a: 设计值					

4.9 RESETN 电气特性

RESETN 输入管脚使用 CMOS 技术。它连接到一个固定上拉电阻 RPU。

表 4-15 中给出的参数来自于表 4-1 中总结的环境温度和电源电压条件下进行的试验，另有特别说明的除外。

表4-15 RESETN 引脚特性<sup>a</sup>

符号	参数	条件	最小值	典型值	最大值	单位
V <sub>IL</sub> (RESETN)	RESETN 输入低电平电压	-	-	-	0.35 x VDD	V
V <sub>IH</sub> (RESETN)	RESETN 输入高电平电压	-	0.65 x VDD	-	-	V
V <sub>hys</sub> (RESETN)	RESETN 施密特触发电压	-	-	300	-	mV

符号	参数	条件	最小值	典型值	最大值	单位
	迟滞					
R <sub>PU</sub>	弱上拉等效电阻 <sup>b</sup>	V <sub>IN</sub> = V <sub>SS</sub>	19.75	24.49	29.46	kΩ
a: 设计值。 b: 上拉电阻采用真实电阻串联 PMOS 开关设计，PMOS 等效串联电阻占比约 5%。						

4.10 闪存 (Flash memory)

闪存特性如表 4-16 所示，闪存耐用性与数据保持特性如表 4-17 所示。

表4-16 闪存特性

符号	参数	条件	典型值	最大值	单位
t <sub>prog</sub>	4 Byte 编程时间	-	100	240	μs
t <sub>prog_row</sub>	512 Byte 编程时间	-	4.6	10.7	ms
t <sub>ERASE</sub>	Page Erase 时间	-	0.8	29.3	ms
t <sub>ME</sub>	Mass Erase 时间	-	20	-	ms
I <sub>dd</sub> (VDD)	Core 电压平均电流	Read	4.11	-	mA
		Program/Erase	0.7	-	mA
I <sub>dd</sub> (VDIO)	平均电流	Read	0.25	-	mA
		Program	6	-	mA
		Erase	4	-	mA

表4-17 闪存耐用性与数据保持特性

符号	参数	条件	最小值	最大值	单位
N <sub>END</sub>	Endurance	T <sub>J</sub> = -40℃	100	-	千次

符号	参数	条件	最小值	最大值	单位
		~+125 °C			
T <sub>DR</sub>	Data retention	T <sub>J</sub> = 125°C	10	-	年

4.11 电源管理单元 (PMU)

- 提供上电解复位电路 (POR), 与 SOC 数字一起完成上电时序。
- 提供数字 Core 域供电。
- 提供电源解复位, Reset 唤醒等功能。
- PMU (Power Manager Unit) 的控制寄存器, MCU 顶层可读写。

表4-18 输入电源情况

符号	参数	正常工作电压范围			单位	备注
		Min	Typ	Max		
V <sub>DD</sub>	外部电源	2.6	3.3	3.63	V	单板提供
V <sub>DD_AON</sub>	常电域电源	-	1.1	-	V	常电域供电
V <sub>DD_CORE</sub>	Core 域电源	-	1.1	-	V	Core 域供电

表4-19 PMU IP 模块一览

模块	默认输出电压 (V)	输出电流 (mA)	负载	输入电源	备注
AONLDO	1.1	2	常电域电路	V <sub>DD</sub>	Capless
CLDO	1.1	80	CLDO 供电 Core 域各数字模块	V <sub>DD</sub>	4.7uF 电容并联 1kΩ 电阻

4.12 内置参考电压 (VREFBUF)

内置 VREFBUF 模块的作用主要为 ADC 电路提供参考比较电压和 ADC 内部数字电路的电源。内置 VREFBUF 的具体电路组成模块及电气特性如表 4-20、表 4-21 和表 4-22 所示。

表4-20 内置 VREFBUF 的 IP 模块

模块	输出(V)	负载	电源 (V)	备注
BG	1.2	VREFBUF 中其他模块	V <sub>DDA</sub>	高性能 BG，采用高阶温度补偿。
ADCLDO	1.1	ADC 数字电路	V <sub>DDA</sub>	-
VREFBUF 0	2.5/2	ADC0	V <sub>DDA</sub>	根据电源电压，选择不同 VREFBUF <sub>x</sub> 输出，提供给 ADC 做参考电压 V <sub>REFP</sub> 。
VREFBUF 1	2.5/2	ADC1	V <sub>DDA</sub>	根据电源电压，选择不同 VREFBUF <sub>x</sub> 输出，提供给 ADC 做参考电压 V <sub>REFP</sub> 。
VREFBUF 2	2.5/2	ADC2	V <sub>DDA</sub>	根据电源电压，选择不同 VREFBUF <sub>x</sub> 输出，提供给 ADC 做参考电压 V <sub>REFP</sub> 。

表4-21 内置 BG 级联 VREFBUF 的电气特性<sup>a</sup>

符号	参数	条件	最小值	典型值	最大值	单位
V <sub>REFP</sub>	输出电压	V <sub>DDA</sub> <2.97 V	-	2	-	V
		V <sub>DDA</sub> ≥2.97 V	-	2.5	-	V
ACC <sub>VREF</sub>	输出电压精度	-	-	±6	-	mV



符号	参数	条件	最小值	典型值	最大值	单位
$V_{VREF}$	温度系数	-40°C~+125°C	-	15	-	ppm/°C
PSRR	电源抑制比	$V_{REFP} = 2V$	-60db@10kHz	-	-	-
		$V_{REFP} = 2.5V$	-50db@10kHz	-	-	-
$I_{DD}$ ( $V_{REF}$ )	功耗	-	-	0.9	-	mA
a: 由设计保证						

表4-22 ADCLDO 电气特性<sup>a</sup>

符号	参数	条件	最小值	典型值	最大值	单位
$V_{DD\_ADCLDO}$	输出电压	3.3V 输入, 1.1V 输出。	-	1.1	-	V
$I_{L\_ADCLDO}$	最大输出电流	-	-	-	5	mA
$ACC_{ADCLDO}$	输出电压精度	-	-2	-	2	%
-	线性调整率	-	-	-	12	mV/V
-	负载调整率	空载到满载	-	-	6	mV
$T_{START}$	输出缓启时间	-	-	400	-	μs

符号	参数	条件	最小值	典型值	最大值	单位
$I_{DD(ADCLDO)}$	功耗	-	-	12	-	$\mu A$
a: 由设计保证						

4.13 内置 32K 振荡器 (LOSC)

内置 32K 振荡器的电气特性如表 4-23 所示。

表4-23 内置 32K 振荡器电气特性

符号	参数	条件	最小值	典型值	最大值	单位
$f_{(LSOSC)}^a$	内置 32K 振荡器频率	$V_{DDA}=3.3V,$ $T_J=27^{\circ}C$	31.68	32	32.32	kHz
		$V_{DDA}=2.6\sim 3.63V,$ $T_J=-40^{\circ}C\sim +125^{\circ}C$	31.04	32	32.96	kHz
$t_{STAB(LSOSC)}$	内置 32K 振荡器频率稳定时间	-	-	80	150	$\mu s$
$I_{DD(LSOSC)}^b$	内置 32K 振荡器工作功耗	-	-	2	6	$\mu A$
a: 仿真和 ATE 测试保证, 封装和老化影响不计入。 b: 由设计保证。						

4.14 内置 25M 振荡器 (HOSC)

内置 25M 振荡器的电气特性如表 4-24 所示。

表4-24 内置 25M 振荡器电气特性

符号	参数	条件	最小值	典型值	最大值	单位
f <sub>(HSOSC)</sub> <sup>a</sup>	内置 25M 振荡器频率  (不使用温度校准)	V <sub>DDA</sub> =2.6V~3.63V , T <sub>J</sub> =-0°C~85°C	24.75 (-1%)	25	25.25 (+1%)	MHz
		V <sub>DDA</sub> =2.6V~3.63V , T <sub>J</sub> =-40°C~+125°C	24.5 (-2%)	-	25.375 (+1.5%)	MHz
	内置 25M 振荡器频率 (使用温度校准) <sup>c</sup>	V <sub>DDA</sub> =2.6V~3.63V , T <sub>J</sub> =-40°C~+125°C	24.75 (-1%)	-	25.25 (+1%)	MHz
t <sub>STAB(HSO SC)</sub>	内置 25M 振荡器频率稳定时间	-	-	140	200	μs
I <sub>DD(HSO SC)</sub> <sup>b</sup>	内置 25M 振荡器工作功耗	-	-	400	500	μA
<p>a: 仿真和 ATE 测试保证, 封装和老化影响不计入。</p> <p>b: 由设计保证。</p> <p>c: 温度校准方法见: 《3065A 系列技术参考指南》中 “5.3.1 源时钟” 的 HOSC 内容。</p>						

4.15 锁相环 (PLL)

锁相环的电气特性如表 4-25 所示。

表4-25 PLL 电气特性

符号	参数	条件	最小值	典型值	最大值	单位
f <sub>PLL_REF</sub>	PLL 输入参考频率 <sup>ab</sup>	-	4	-	30	MHz

符号	参数	条件	最小值	典型值	最大值	单位
f <sub>PLL_PFD</sub>	PLL 内置 PFD 的输入频率 <sup>ab</sup>	-	4	-	7.5	MHz
D <sub>PLL_IN</sub>	PLL 输入参考频率占空比 <sup>a</sup>	-	45	-	55	%
D <sub>PLL_OUT</sub>	PLL 输出时钟占空比 <sup>a</sup>	经过后置分频器	48	50	52	%
f <sub>VCO_OUT</sub>	PLL VCO 输出频率 <sup>a</sup>	不经过后置分频器	100	-	200	MHz
f <sub>PLL_OUT</sub>	PLL 输出频率 <sup>a</sup>	经过后置分频器	3.125	-	200	MHz
t <sub>LOCK</sub>	PLL 锁定时间 <sup>a</sup>	-	-	20	40	μs
Jitter	RMS 周期间抖动 (cycle-to-cycle jitter) <sup>a</sup>	PLL 输出 100MHz, V <sub>DD</sub> 无干扰  (VCO 输出 100MHz, 后置分频器 ÷ 1)	-	50	-	ps
	RMS 周期抖动 (period jitter) <sup>a</sup>		-	40	-	ps
I <sub>DD(PLL)</sub>	PLL V <sub>DD</sub> 功耗 <sup>a</sup>	PLL 100MHz (VCO 输出 100 MHz, 后置分频器 ÷ 1)	-	150	300	μA
		PLL 200MHz (VCO 输出 200 MHz, 后置分频器 ÷ 1)	-	200	400	μA
		PLL 不使能	-	1	-	μA
a: 由设计保证。						
b: f <sub>PLL_PFD</sub> = f <sub>PLL_REF</sub> ÷ 前置分频器分频比。需确保 f <sub>PLL_PFD</sub> 频率处于 4MHz ~ 7.5MHz 之间。						

4.16 模数转换器 (ADC)

模拟转换器的电器特性如表 4-26、表 4-27 和表 4-28 所示。

表4-26 ADC 电气特性 1<sup>a</sup>

符号	参数	条件	最小值	典型值	最大值	单位
f <sub>ADC</sub>	ADC 工作时 钟频率	-	2.35	-	40	MHz
f <sub>s</sub>	采样率	-	0.017	-	2	MSPS
f <sub>TRIG</sub>	外部触发频率	f <sub>ADC</sub> =40 MHz	-	-	2	MHz
V <sub>REFP</sub>	内置参考电压 <sup>b</sup>	V <sub>DDA</sub> <2.97 V	-	2	-	V
		V <sub>DDA</sub> ≥2.97 V	-	2.5	-	V
G <sub>_SH</sub>	内部信号衰减 倍数	V <sub>REFP</sub> =2.5	-	0.75	-	-
		V <sub>REFP</sub> =2	-	0.6	-	-
V <sub>AIN</sub>	输入电压范围 (ADCIN <sub>x</sub> ) <sup>c</sup>	V <sub>DDA</sub> <3.3 V	0	-	V <sub>DDA</sub>	V
		V <sub>DDA</sub> ≥3.3 V	0	-	3.3	V
R <sub>ON_S</sub>	输入导通电阻	-	-	750	-	Ω
C <sub>SH_S</sub>	采样保持电容	-	-	5	-	pF
<p>a: 由设计保证, 如果超过最大值, ADC 无法正常工作。</p> <p>b: 当 V<sub>DDA</sub> 超过 2.97V 时, 配置 V<sub>REFP</sub> 为 2.5V, G<sub>_SH</sub> 为 0.75; V<sub>DDA</sub> 不足 2.97V 时, 配置 V<sub>REFP</sub> 为 2V, G<sub>_SH</sub> 为 0.6。使用该配置可在当前条件下使 ADC 达到性能最优。</p> <p>c: 当 ADCIN<sub>x</sub> 大于最大值时, 将导致不准确的转换。</p>						

表4-27 ADC 电气特性 2<sup>a</sup>

符号	参数	条件	最小值	典型值	最大值	单位
t <sub>PU</sub>	上电时间	-	0.4	-	5000	μs
t <sub>VREFBUF</sub>	VREFBUF F 稳定时	-	-	-	500	μs

符号	参数	条件	最小值	典型值	最大值	单位
	间					
t <sub>CAL</sub>	电容校准时间	-	-	-	270	μs
t <sub>LATR</sub>	触发转换时延	-	0.3	0.3	-	μs
t <sub>SAMP</sub>	采样时间	-	2	-	100	1/f <sub>ADC</sub>
t <sub>HOLD</sub>	保持时间	-	2	-	28	1/f <sub>ADC</sub>
t <sub>CONV</sub>	转换时间	-	-	16	-	1/f <sub>ADC</sub>
t <sub>CONV_TOT</sub>	总采样转换时间	-	20	-	144	1/f <sub>ADC</sub>
I <sub>DD(ADC)</sub>	ADC 功耗	f <sub>s</sub> =2MSPS	4907	5953	7283	μA
		f <sub>s</sub> =1MSPS	-	5305	-	μA
		f <sub>s</sub> =235kSPS	-	4949	-	μA
a: 由设计保证。						

表4-28 ADC 电气特性 3<sup>ab</sup>

符号	参数	条件	最小值	典型值	最大值	单位
Offset Error <sup>b</sup>	失调误差	2.6V ≤ V <sub>DDA</sub> ≤ 3.63V; V <sub>REFP</sub> = 2.5/2V; f <sub>ADC</sub> = 40MHz; f <sub>s</sub> ≤ 2MSPS; T <sub>A</sub> = -40°C ~ +125°C	-	0.75	1.6	LSB
Gain Error <sup>b</sup>	增益误差		-	4	5	LSB
DNL	微分非线性		-	1	1.5	LSB
INL	积分非线性		-	2.5	3	LSB
ENOB	有效位数		10.4	10.7	-	bit
SINAD	信纳比		64.4	66.2	-	dB
SNR	信噪比		64.8	66.7	-	dB

符号	参数	条件	最小值	典型值	最大值	单位
a: 除非另有说明, 典型值基于 $V_{DD}=V_{DDA}=3.3\text{ V}$ , $V_{REFP}=2.5\text{V}/2\text{V}$ , $f_{\text{ADC}}=40\text{MHz}$ , $f_{\text{S}}=2\text{MSPS}$ , $T_{\text{A}}=25^{\circ}\text{C}$ 。						
b: ADC 性能在内部校准后测量。						

图4-2 ADC 特性图

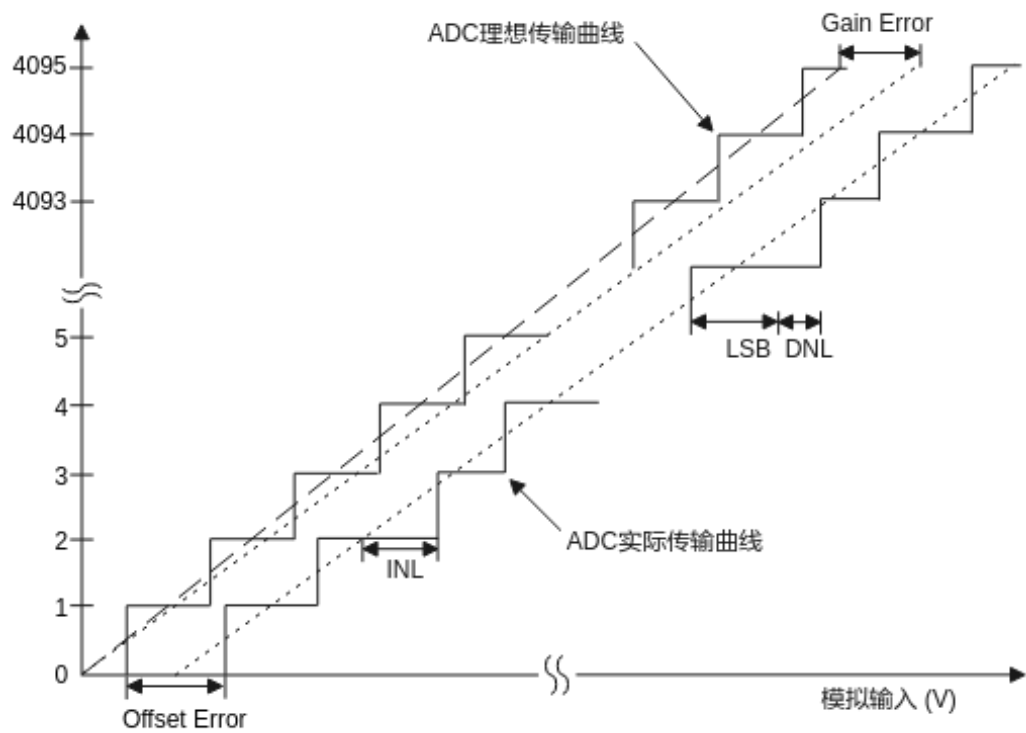
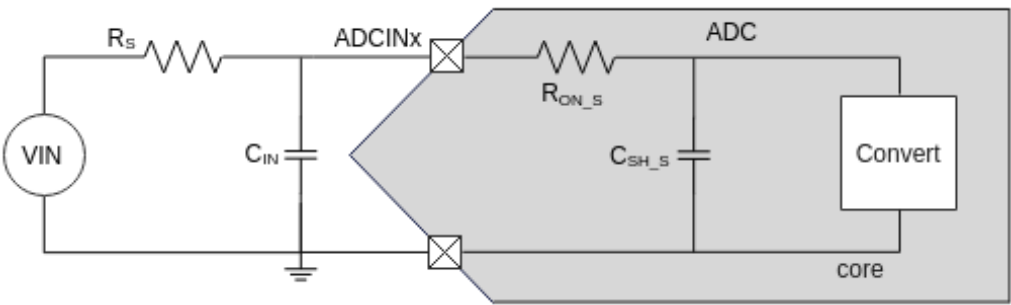


图4-3 ADC 输入模型



1.  $R_{\text{ON}_S}$  和  $C_{\text{SH}_H}$  的值如表 4-26 所示。

2. 在 ADC 的输入通道前加电容  $C_{IN}$  可以提高采样精度，推荐容值为 1nF。
3. 对于一个采样系统，采样时间  $t_{SAMP}$  应包含单板 RC 电路的充放电时间和 MCU RC 电路的充放电时间。

实际应用场景可分为交流采样和直流采样两类：

- a. 交流采样场景：VIN 为剧烈变化的交流信号，例如测量频率为 500kHz，幅值为 2.5V 正弦信号的动态参数。因为 VIN 变化很大，所以电容  $C_{IN}$  和  $C_{SH\_S}$  都需要进行充放电。不同信号源阻抗  $R_S$  所需采样时间  $t_{SAMP}$  的近似值可由以下公式来确定：

$$t_{SAMP} > \left( \ln \left( \frac{2^N}{\text{setting\_error}} \right) - \ln \left( \frac{C_{IN}}{C_{SH\_S}} \right) \right) * ((R_S + R_{ON\_S}) * C_{SH\_S} + R_S * C_{IN})$$

其中，N 为 ADC 的分辨率 12，setting\_error 为可容忍建立误差，通常选取 0.5。

例：N=12

setting\_error=0.5

$R_S=10\Omega$

$C_{IN}=1\text{nF}$

$R_{ON\_S}=750\Omega$

$C_{SH\_S}=5\text{pF}$

$$t_{SAMP} > \left( \ln \left( \frac{2^{12}}{0.5} \right) - \ln \left( \frac{1000}{5} \right) \right) * ((10+750)*5 + 10*1000) = 51\text{ns}$$

ADC 采样时间需要大于 51ns，采样 cycle=1/  $f_{ADC}$ ，因此最小需要配置 3 个采样 cycle@ $f_{ADC}=40\text{MHz}$ 。

#### 须知

当信号源阻抗  $R_S$  很大又要实现高速率转换时，需要使用低阻抗的运算放大器来提高信号源的驱动能力。

- b. 直流采样场景：VIN 为变化非常缓慢的类直流信号，例如测量电源下多个电阻分压的结果。因为 VIN 变化很小，电容  $C_{IN}$  处于充满状态，因此采样时间只需考虑  $C_{SH\_S}$  的充放电过程。采样时间公式简化为：

$$t_{SAMP} > \ln \left( \frac{2^N}{\text{setting\_error}} \right) * (R_S + R_{ON\_S}) * C_{SH\_S}$$

例：N=12



setting\_error=0.5

$R_S=100\Omega$

$R_{ON\_S}=750\Omega$

$C_{SH\_S}=5pF$

$$t_{SAMP} > \ln\left(\frac{2^{12}}{0.5}\right) * ((100+750)*5) = 38ns$$

ADC 采样时间需要大于 38ns，最小需要配置 2 个采样 cycle@ $f_{ADC}=40MHz$ 。

4.17 数模转换器 (DAC)

DAC 为 R2R 类型，8bit 分辨率，支持 300kHz 的转换速率，其特性指标描述如表 4-29 所示。

表4-29 DAC characteristics

符号	参数	条件	最小值	典型值	最大值	单位
AVDD	模拟域电源电压	-	2.6	3.3	3.63	V
VREFP(DAC)	正参考电压	-	2.6	3.3	3.63	V
DVDD	数字域电源电压	-	0.99	1.1	1.21	V
Work Current	AVDD+VREFP(DAC)域工作电流	-	-	-	600	μA
	DVDD 域工作电流	-	-	-	50	μA
Disable Leakage	AVDD 域漏电流	@125°C	-	-	1	μA
	DVDD 域漏电流	@125°C	-	-	0.01	μA
 tstblsb	1lsb 稳定时间	-	-	500	-	ns

符号	参数	条件	最小值	典型值	最大值	单位
$t_d$	延迟时间	-	-	200	-	ns
$t_{sr}$	最大上升沿 响应时间	-	-	-	350	ns
$t_{sf}$	最大下降沿 响应时间	-	-	-	350	ns
SFDR	无杂散动态 范围	-	-	47	-	dB
ENOB	有效 bit 位 数	Bandwidth: 22Hz~20k Hz	-	7.5	-	bit
DNL	微分非线性	-	-4	-	+4	lsb
INL	积分非线性	-	-6	-	+6	lsb
Gain Error	增益误差	-	-	1	2	%
Offset	失调	-	-	-	25	mV

DAC 具有转换模式和测试模式两种工作方式。

- 转换模式由软件进行数据配置，配置 8bit 数字信号，经过模拟 DAC 转换为电压信号。
- 测试模式使能后，DAC 会自动产生 8bit 正弦波数字信号，根据配置的产生间隔 DAC\_CTRL.dac\_test\_num，每隔 dac\_test\_num 个 DAC 时钟（约 300kHz），输出一个正弦波的采样点，一个完整的正弦波周期，共存有 100 个采样点。

DAC 输出电压期望结果为  $V = ( \text{DAC.value} * ( V_{\text{DDA}} - V_{\text{SSA}} ) ) / 256$ 。

## 4.18 可编程增益放大器（PGA）

可编程增益放大器电气特性如表 4-30 所示。

表4-30 PGA 电气特性<sup>ab</sup>

符号	参数	条件	最小值	典型值	最大值	单位
V <sub>OUT</sub>	Output voltage	-	0.2	-	AVDD-0.2	V
CMIR	共模输入范围 <sup>c</sup>	-	0.2	-	AVDD-0.8	V
V <sub>IOFFSET</sub>	输入失调电压	校准前	-	±6	-	mV
		校准后	-	±2	±4	mV
ΔV <sub>IOFFSET</sub>	输入失调电压偏移	-40°C~+100°C	-	2	5	μV/°C
		-100°C~+125°C	-	-	16	μV/°C
I <sub>load</sub>	负载电流	-	-	-	2	mA
I <sub>q</sub>	静态电流	空载	-	2	-	mA
CMRR	共模抑制比	DC	-	90	-	dB
PSRR	电源抑制比	DC	-	105	-	dB
PGA gain	正相增益值	-	-	2	-	-
		-	-	4	-	-
		-	-	8	-	-
		-	-	16	-	-
R <sub>network</sub>	R <sub>network</sub> =R <sub>f</sub> /R <sub>k</sub> <sup>d</sup>	Gain=2	-	8*19/8*19	-	kΩ
		Gain=4	-	12*19/4*19	-	kΩ
		Gain=8	-	14*19/2*19	-	kΩ
		Gain=16	-	15*19/1*19	-	kΩ
PGA gain error	增益误差	内置电阻模式	-1.5%	-	1.5%	-
GBW	不同正相	Gain=2	-	27	-	MHz

符号	参数	条件	最小值	典型值	最大值	单位
@C <sub>load</sub> =5 pF, R <sub>load</sub> =1.5 KΩ	增益下的 带宽值	Gain=4	-	27	-	MHz
		Gain=8	-	25	-	MHz
		Gain=16	-	30	-	MHz
PM	相位裕度	C <sub>load</sub> =5pF	-	60	-	Deg
SR	摆率	C <sub>load</sub> =5pf	15	20	-	V/μs
R <sub>load</sub>	Resistive load	-	1.5	-	-	kΩ
C <sub>load</sub>	Capacitive load	-	-	5	50	pF
en	电压噪声 密度	@1kHz, Output loaded with 1.5kΩ	-	288	-	$\frac{nV}{\sqrt{Hz}}$
		@10kHz, Output loaded with 1.5kΩ	-	122	-	$\frac{nV}{\sqrt{Hz}}$
a: 由设计保证;						
b: 除非另有说明, 典型数据基于 T <sub>A</sub> =25°C, V <sub>DDA</sub> =3.3V;						
c: 增益较大时, 共模输入范围受到输出摆幅的限制;						
d: R <sub>f</sub> 是位于 PGA 输出和反相输入端之间的内置电阻, R <sub>k</sub> 是位于 PGA 反相输入端和地之间的内置电阻, PGA gain =1+R <sub>f</sub> /R <sub>k</sub> 。						

4.19 模拟比较器 (ACMP)

ACMP 为电压比较器, 其特性指标描述如表 4-31 所示。

表4-31 ACMP characteristics

符号	参数	条件	最小值	典型值	最大值	单位
V <sub>COM</sub>	共模电压	-	0	-	AVDD	V
V <sub>DIFF</sub>	有效差分 输入电压	AVDD=3.3V Vcom=0.2V~3.0V REG_CMP_LV[1:	20	-	-	mV

符号	参数	条件	最小值	典型值	最大值	单位
	VINP-VINN	0]=2b00F=100kHz				
		AVDD=3.3V Vcom=0.1V REG_CMP_LV[1:0]=2b00F=100kHz	50	-	-	mV
		AVDD=3.3V Vcom=0V REG_CMP_LV[1:0]=2b00F=100kHz	100	-	-	mV
		AVDD=3.3V Vcom=3.1V REG_CMP_LV[1:0]=2b00F=100kHz	50	-	-	mV
		AVDD=3.3V Vcom=3.2V REG_CMP_LV[1:0]=2b00F=100kHz	100	-	-	mV
		AVDD=3.3V Vcom=3.3V REG_CMP_LV[1:0]=2b00F=100kHz	150	-	-	mV
$T_s$	比较器建立时间	From CMP_EN_LV="1" to CMP_OUT_LV="1"	-	0.5	-	μs
$V_{HYS}$	迟滞电压	REG_CMP_LV[1:0]=2' b00	-	-	-	mV
		REG_CMP_LV[1:0]=2' b01	-	10	-	mV
		REG_CMP_LV[1:0]=2' b10	-	20	-	mV
		REG_CMP_LV[1:0]=2' b11	-	30	-	mV

符号	参数	条件	最小值	典型值	最大值	单位
		0]=2' b11				
$I_{OP}$	比较器工作电流	AVDD=2.6~3.63V VINP=AVDD VINN=0 CMP_EN_LV="1"	-	300	-	μA
$I_{PD}$	漏电电流	Vcc33_cmp=2.6~3.63V CMP_EN_LV="0"	-	10	-	nA
$V_{OS}$	失调电压	Vcc33_cmp=3.3V Vcom=1.65V	-	5	20	mV
$C_{MRR}$	共模抑制比	Vcc33_cmp=3.3V Vcom=1.65V	40	-	-	dB
$P_{SRR}$	电源抑制比	Vcc33_cmp=3.3V Vcom=1.65V f=1Hz~1MHz	-	-60	-	dB
$T_{DLY}$	比较器翻转延时	Vcc33_cmp=3.3V Vcom=1.65V 1.65V/us for VINP&VINN CL=1pF REG_CMP_LV[1:0]=2' b00	-	26	-	ns
		Vcc33_cmp=3.3V Vcom=1.65V 1.65V/us for VINP&VINN CL=1pF REG_CMP_LV[1:0]=2' b01	-	35	-	ns
		Vcc33_cmp=3.3V Vcom=1.65V 1.65V/us for VINP&VINN CL=1pF	-	40	-	ns

符号	参数	条件	最小值	典型值	最大值	单位
		REG_CMP_LV[1:0]=2' b10				
		Vcc33_cmp=3.3V Vcom=1.65V 1.65V/us for VINP&VINN CL=1pF REG_CMP_LV[1:0]=2' b11	-	50	-	ns

ACMP 提供 4 个通道，将对应的使能位置高即可选中相应通道。

ACMP 的数字部分提供去抖和消隐功能，并将处理后的比较结果通过寄存器输出。去抖和消隐功能均可以独立控制使能。

4.20 温度传感器（TSENSOR）

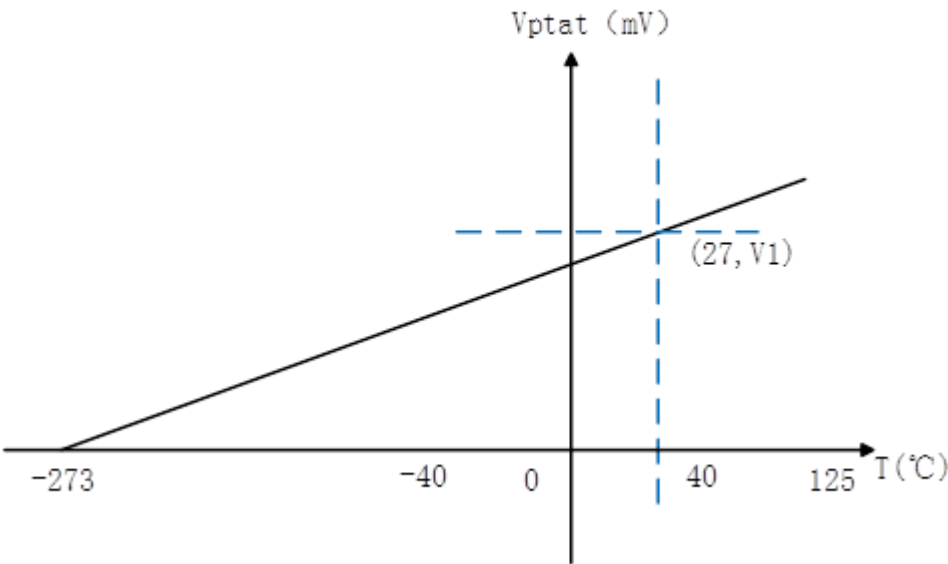
Tsensor 支持-40℃~+125℃范围的检测，输出电压通过 ADC 进行采样，然后将码字转换成温度值。

表4-32 TSensor characteristics

符号	参数	条件	最小值	典型值	最大值	单位
$I_q$	静态电流	AVDD=2.6~3.63V, EN="1"	80	150	250	μA
$I_{pd}$	漏电电流	AVDD=2.6~3.63V, EN="0"	-	5	20	nA
$V_{TSEN\ VPTAT}$	Ts 输出电压	AVDD=2.6~3.63V, Temp=27℃	0.875	0.903	0.927	V
$Y_{TSEN\ VPTAT}$	温度系数	AVDD=2.6~3.63V, Temp=-40 °C	2.85	3	3.07	mV/℃

符号	参数	条件	最小值	典型值	最大值	单位
		~+125℃				
$E_{TSEN\ VPTAT}$	校准前精度	AVDD=2.6~3.63V, Temp=-40~+125℃	-9	-	9	℃
	校准后精度	AVDD=2.6~3.63V, Temp=-40~+125℃	-3	-	3	℃
PSRR	电源抑制比	AVDD=2.6~3.63V, Temp=-40~+125℃	-50	-80	-	dB
$T_{PU}$	$V_{TSEN\ VPTAT}$ 电压建立时间	AVDD=2.6~3.63V, Temp=-40~+125℃	-	40	-	μs

图4-4 Vts 随温度变化曲线



- 1. 常温 27℃条件下，读取 TS 输出的 Vptat 电压设为 V1；
- 2. 写出斜线的函数表达式  $V-0=(V1-0)/(27+273) (T+273)$  ；



3. 由 2 得出  $T=300V/V1-273$ ;

不同温度条件下，读取对应的  $V_{ptat}$  电压值，将其代入 3 中的公式，即可反推出温度值。

4.21 集成电路（I2C）接口

I2C 接口满足 I2C 标准协议的时序要求，标准模式最大支持 100 kbit/s，快速模式最大支持 400 kbit/s。

图4-5 I2C 标准协议时序图

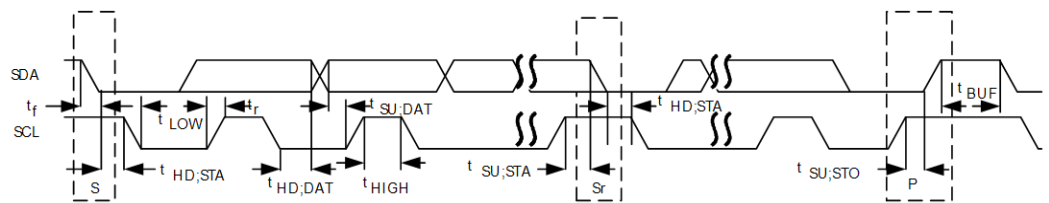


表4-33 标准模式 I2C 接口时序参数表

符号	参数	最小值	最大值	单位
$f_{SCL}$	SCL (Serial Clock Line) 时钟频率	0	100	kHz
$t_{HD,STA}$	启动保持时间	4.0	-	$\mu s$
$t_{LOW}$	SCL 低电平周期	4.7	-	$\mu s$
$t_{HIGH}$	SCL 高电平周期	4.0	-	$\mu s$
$t_{SU,STA}$	启动建立时间	4.7	-	$\mu s$
$t_{HD,DAT}$	数据保持时间	0	3.45	$\mu s$
$t_{SU,DAT}$	数据建立时间	250	-	ns
$t_r$	SDA (Serial Data Line)、SCL 上升时间	-	1000	ns
$t_f$	SDA、SCL 下降时间	-	300	ns

符号	参数	最小值	最大值	单位
t <sub>SU;STO</sub>	结束建立时间	4.0	-	μs
t <sub>BUF</sub>	开始与结束之间的总线释放时间	4.7	-	μs
C <sub>b</sub>	总线负载	-	400	pF

表4-34 快速模式 I2C 接口时序参数表

符号	参数	最小值	最大值	单位
f <sub>SCL</sub>	SCL 时钟频率	0	400	kHz
t <sub>HD;STA</sub>	启动保持时间	0.6	-	μs
t <sub>LOW</sub>	SCL 低电平周期	1.3	-	μs
t <sub>HIGH</sub>	SCL 高电平周期	0.6	-	μs
t <sub>SU;STA</sub>	启动建立时间	0.6	-	μs
t <sub>HD;DAT</sub>	数据保持时间	0	0.9	μs
t <sub>SU;DAT</sub>	数据建立时间	100	-	ns
t <sub>r</sub>	SDA、SCL 上升时间	20	300	ns
t <sub>f</sub>	SDA、SCL 下降时间	20 × ( V <sub>DD</sub> / 5.5V )	300	ns
t <sub>SU;STO</sub>	结束建立时间	0.6	-	μs
t <sub>BUF</sub>	开始与结束之间的总线释放时间	1.3	-	μs
C <sub>b</sub>	总线负载	-	400	pF

## 4.22 通用异步收发传输器 (UART)

UART 波特率配置的典型值为：9,600bit/s、14,400bit/s、19,200bit/s、38,400bit/s、57,600bit/s、76,800bit/s、115,200bit/s、230,400bit/s、460,800bit/s。

波特率计算公式为：当前波特率=uart\_clk/(16 x 分频系数)。用户可以根据需要配置合适的分频系数。

## 4.23 同步串行外设接口 (SPI)

### 4.23.1 Motorola SPI Master 模式时序信息

表4-35 Motorola SPI Master 模式时序要求

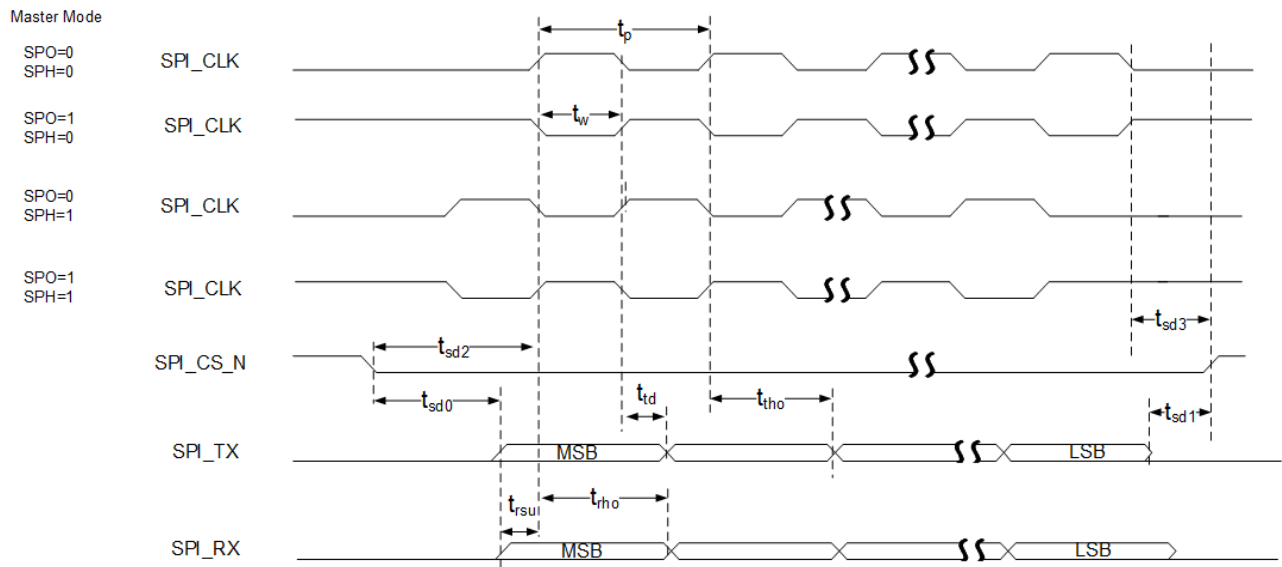
符号	参数	最小值	典型值	最大值	单位
t <sub>rsu</sub>	建立时间， 在 SPI_CLK 有效沿之前 SPI_RX 有 效。	2	-	-	ns
t <sub>rho</sub>	保持时间， 在 SPI_CLK 有效沿之前 SPI_RX 有 效。	1	-	-	ns

表4-36 Motorola SPI Master 模式波形特征

符号	参数	最小值	典型值	最大值	单位
F <sub>SPI_CLK</sub> <sup>a</sup> = 1/t <sub>p</sub>	SPI_CLK 频率 = 1/SPI_CLK 周期	-	-	25	MHz

符号	参数	最小值	典型值	最大值	单位
$t_w$	持续时间, SPI_CLK 高电平和低 电平持续时 间。	-	$0.5 * t_p$	-	ns
$t_{sd0}$	延迟时间, SPI_CS_N 到 SPI_TX。	$t_p - 5.2$	$t_p$	$t_p + 4.2$	ns
$t_{sd1}$	延迟时间, SPI_TX 到 SPI_CS_N 。	$t_p - 4.2$	$t_p$	$t_p + 5.2$	ns
$t_{sd2}$	延迟时间, SPI_CS_N 到 SPI_CLK。	$2.0 * t_p - 5$	$2.0 * t_p$	$2.0 * t_p + 3.6$	ns
$t_{sd3}$	延迟时间, SPI_CLK 到 SPI_CS_N 。	$t_p - 5$	$t_p$	$t_p + 3.6$	ns
$t_{td}$	延迟时间, SPI_CLK 到 SPI_TX。	-3.6	0	3.9	ns
$t_{tho}$	保持时间, SPI_CLK 到 SPI_TX。	$t_p * 0.50 - 3.6$	$t_p * 0.50$	$t_p * 0.50 + 3.9$	ns
a: SPI_CLK 是指 MCU 的 SPI_CLK 管脚, 是 SPI 接口的时钟。F <sub>SPI_CLK</sub> 是指 SPI 接口时钟的频率。					

图4-6 Motorola SPI Master 模式时序图



4.23.2 Motorola SPI Slave 模式时序信息

表4-37 Motorola SPI Slave 模式时序要求

符号	参数	最小值	典型值	最大值	单位
$F_{SPI\_CLK} = 1/t_p$	SPI_CLK 频率 = 1/SPI_CLK 周期	-	5	10	MHz
$t_w$	持续时间, SPI_CLK 高电平和低电平持续时间。	-	$0.5 * t_p$	-	ns
$t_{rsu}$	建立时间, 在 SPI_CLK 有效沿之前 SPI_RX 有效。	2	-	-	ns
$t_{rho}$	保持时间, 在 SPI_CLK 有效沿之前 SPI_RX 有效。	1	-	-	ns
$t_{ssu}$	建立时间, SPI_CS_N 有效到 SPI_CLK 有效。	$2 * T_{clk\_spi}^a + 2$	$2 * t_p$	-	ns
$t_{sho}$	保持时间, SPI_CLK 无效到 SPI_CS_N 无效。	$T_{clk\_spi} + 2.5$	$t_p$	-	ns

符号	参数	最小值	典型值	最大值	单位
a: $T_{clk\_spi}$ 是指 SPI 模块工作参考时钟的周期。					

表4-38 Motorola SPI Slave 模式波形特征 (Clock Phase = 0)

符号	参数	最小值	典型值	最大值	单位
$t_{sd0}$	延迟时间, SPI_CS_N 有效到 SPI_TX 有效。	-	$3 * T_{clk\_spi}^a + 8$	$4 * T_{clk\_spi}^a + 8$	ns
$t_{td}$	延迟时间, SPI_CLK 有效到 SPI_TX 有效。	$3 * T_{clk\_spi}^a + 5$	$3 * T_{clk\_spi}^a + 8$	$4 * T_{clk\_spi}^a + 10$	ns
$t_{tho}$	保持时间, SPI_CLK 有效到 SPI_TX 有效。	$t_p * 0.50$	-	-	ns
a: $T_{clk\_spi}$ 是指 SPI 模块工作参考时钟的周期。					

表4-39 Motorola SPI Slave 模式波形特征 (Clock Phase = 1)

符号	参数	最小值	典型值	最大值	单位
$t_{td}$	延迟时间, SPI_CLK 有效到 SPI_TX 有效。	$3 * T_{clk\_spi}^a + 5$	$3 * T_{clk\_spi}^a + 8$	$4 * T_{clk\_spi}^a + 10$	ns
$t_{tho}$	保持时间, SPI_CLK 有效到 SPI_TX 有效。	$t_p * 0.50$	-	-	ns
a: $T_{clk\_spi}$ 是指 SPI 模块工作参考时钟的周期。					

图4-7 Motorola SPI Slave 模式时序图 (Clock Phase = 0)

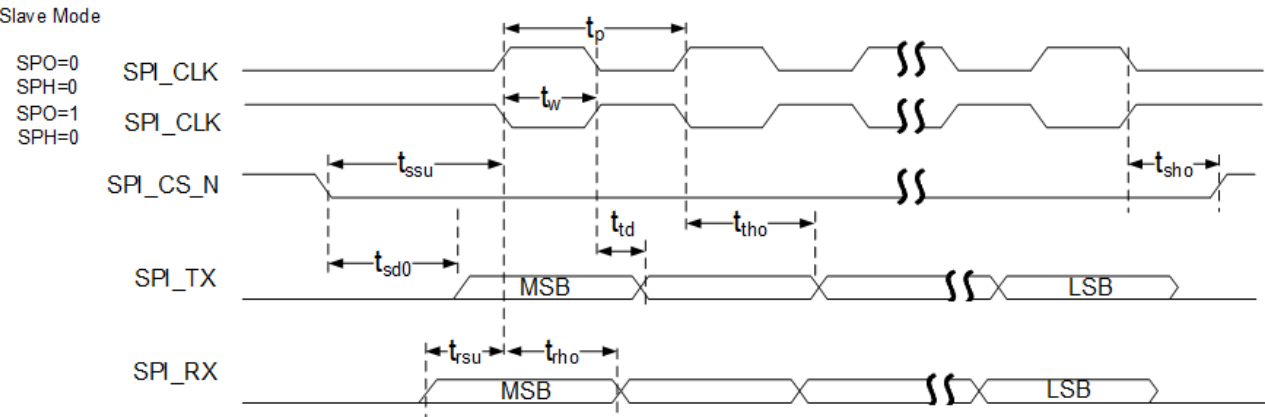
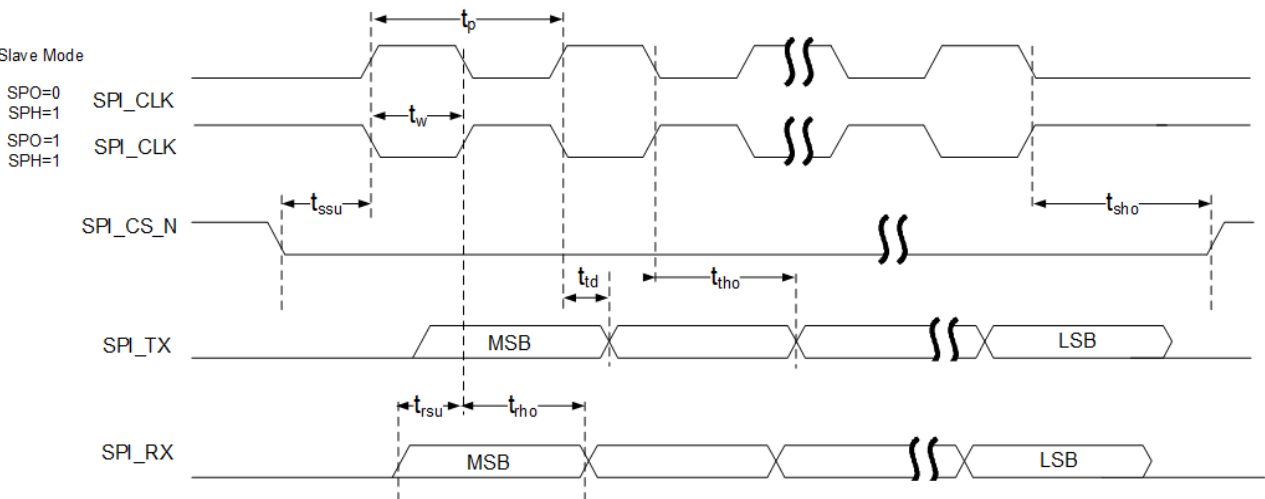


图4-8 Motorola SPI Slave 模式时序图 (Clock Phase = 1)



4.23.3 TI 同步串行接口 Master 模式时序信息

表4-40 TI 同步串行接口 Master 模式时序要求

符号	参数	最小值	典型值	最大值	单位
$t_{rsu}$	建立时间， 在 SPI_CLK 有效沿之前 SPI_RX 有 效。	2	-	-	ns

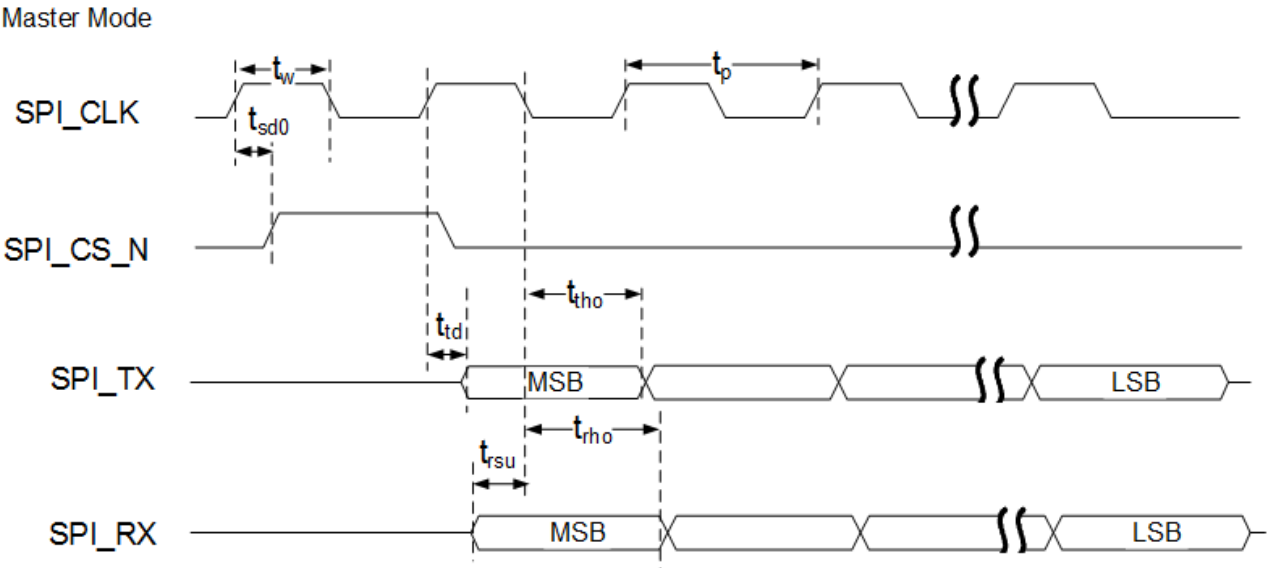
符号	参数	最小值	典型值	最大值	单位
$t_{rho}$	保持时间， 在 SPI_CLK 有效沿之前 SPI_RX 有 效。	1	-	-	ns

表4-41 TI 同步串行接口 Master 模式波形特征

符号	参数	最小值	典型值	最大值	单位
$F_{SPI\_CLK}^a = 1/t_p$	SPI_CLK 频 率 = 1/SPI_CLK 周期	-	-	25	MHz
$t_w$	持续时间， SPI_CLK 高 电平和低电 平持续时 间。	-	$0.5 * t_p$	-	ns
$t_{sd0}$	延迟时间， SPI_CLK 有 效到 SPI_CS_N 。	$t_p - 5$	$t_p$	$t_p + 3.6$	ns
$t_{td}$	延迟时间， SPI_CLK 到 SPI_TX。	-3.6	0	3.9	ns
$t_{tho}$	保持时间， SPI_CLK 到 SPI_TX。	$t_p * 0.50 - 3.6$	$t_p * 0.50$	$t_p * 0.50 + 3.9$	ns
a: SPI_CLK 是指 MCU 的 SPI_CLK 管脚，是 SPI 接口的时钟。F <sub>SPI_CLK</sub> 是指 SPI 接口时钟的频率。					



图4-9 TI 同步串行接口 Master 模式时序图



4.23.4 TI 同步串行接口 Slave 模式时序信息

表4-42 TI 同步串行接口 Slave 模式时序要求

符号	参数	最小值	典型值	最大值	单位
$F_{SPI\_CLK} = 1/t_p$	SPI_CLK 频率 = 1/SPI_CLK 周期	-	5	10	MHz
$t_w$	持续时间, SPI_CLK 高电平和低电平持续时间。	-	$0.5 * t_p$	-	ns
$t_{rsu}$	建立时间, 在 SPI_CLK 有效沿之前 SPI_RX 有效。	2	-	-	ns
$t_{rho}$	保持时间, 在 SPI_CLK 有效沿之前 SPI_RX 有效。	1	-	-	ns
$t_{ssu}$	建立时间, SPI_CS_N 有效到 SPI_CLK 有效。	$2 * T_{clk\_spi}^a + 2$	$2 * t_p$	-	ns
$t_{sho}$	保持时间, SPI_CLK 无效到 SPI_CS_N 无效。	$T_{clk\_spi} + 2.5$	$t_p$	-	ns

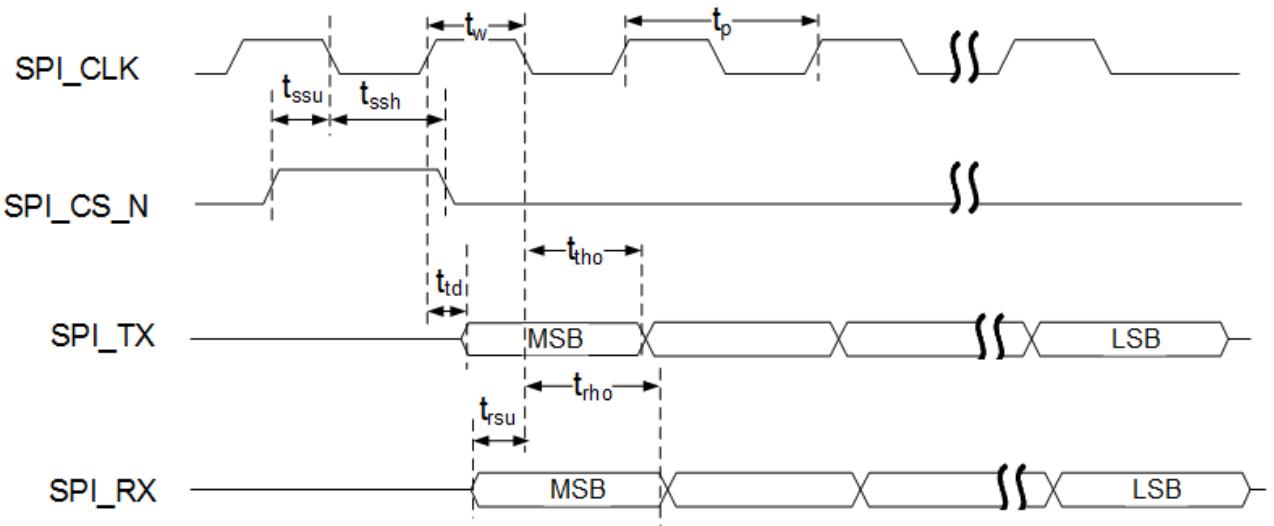
符号	参数	最小值	典型值	最大值	单位
a: $T_{clk\_spi}$ 是指 SPI 模块工作参考时钟的周期。					

表4-43 TI 同步串行接口 Slave 模式波形特征

符号	参数	最小值	典型值	最大值	单位
$t_{td}$	延迟时间, SPI_CLK 有效到 SPI_TX 有效。	$3 * T_{clk\_spi}^a + 5$	$3 * T_{clk\_spi}^a + 8$	$4 * T_{clk\_spi}^a + 10$	ns
$t_{tho}$	保持时间, SPI_CLK 有效到 SPI_TX 有效。	$t_p * 0.50$	-	-	ns
a: $T_{clk\_spi}$ 是指 SPI 模块工作参考时钟的周期。					

图4-10 TI 同步串行接口 Slave 模式时序图

Slave Mode



4.23.5 Microwire 接口 Master 模式时序信息

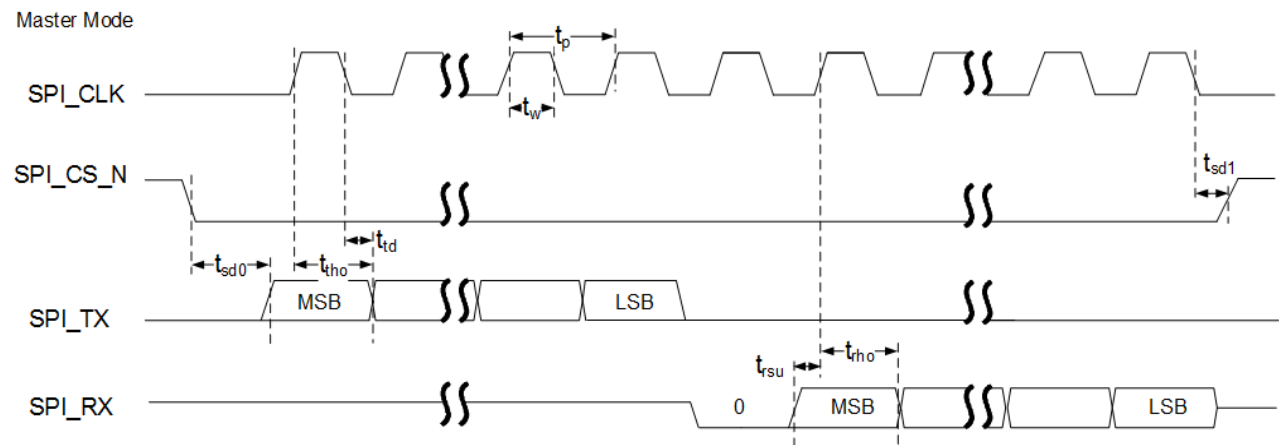
表4-44 Microwire 接口 Master 模式时序要求

符号	参数	最小值	典型值	最大值	单位
$t_{rsu}$	建立时间, 在 SPI_CLK 有效沿之前 SPI_RX 有效。	2	-	-	ns
$t_{rho}$	保持时间, 在 SPI_CLK 有效沿之前 SPI_RX 有效。	1	-	-	ns

表4-45 Microwire 接口 Master 模式波形特征

符号	参数	最小值	典型值	最大值	单位
$F_{SPI\_CLK} = 1/t_p$	SPI_CLK 频率 = 1/SPI_CLK 周期	-	-	25	MHz
$t_w$	持续时间, SPI_CLK 高电平和低电平持续时间。	-	$t_p * 0.50$	-	ns
$t_{sd0}$	延迟时间, SPI_CS_N 有效到 SPI_TX 有效。	$t_p - 5.2$	$t_p$	$t_p + 4.2$	ns
$t_{sd1}$	延迟时间, SPI_CLK 有效到 SPI_CS_N 无效。	$t_p - 5$	$t_p$	$t_p + 3.6$	ns
$t_{tho}$	保持时间, SPI_CLK 到 SPI_TX。	$t_p * 0.50 - 3.6$	$t_p * 0.50$	$t_p * 0.50 + 3.9$	ns

图4-11 Microwire 接口 Master 模式时序图



4.23.6 Microwire 接口 Slave 模式时序信息

表4-46 Microwire 接口 Slave 模式时序要求

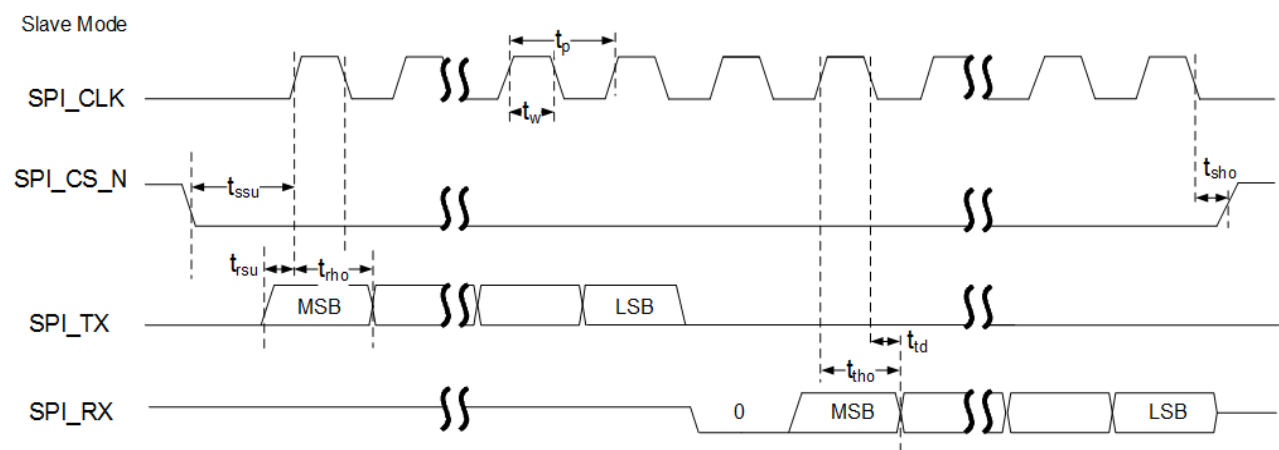
符号	参数	最小值	典型值	最大值	单位
$F_{SPI\_CLK} = 1/t_p$	SPI_CLK 频率 = 1/SPI_CLK 周期	-	5	10	MHz
$t_w$	持续时间, SPI_CLK 高电平和低电平持续时间。	-	$t_p * 0.50$	-	ns
$t_{rsu}$	建立时间, 在 SPI_CLK 有效沿之前 SPI_RX 有效。	2	-	-	ns
$t_{rho}$	保持时间, 在 SPI_CLK 有效沿之前 SPI_RX 有效。	1	-	-	ns
$t_{ssu}$	建立时间, SPI_CS_N 有效到 SPI_CLK 有效。	$2 * T_{clk\_spi}^a + 2$	$2 * t_p$	-	ns
$t_{sho}$	保持时间, SPI_CLK 无效到 SPI_CS_N 无效。	$T_{clk\_spi} + 2.5$	$t_p$	-	ns
a: $T_{clk\_spi}$ 是指 SPI 模块工作参考时钟的周期。					

表4-47 Microwire 接口 Slave 模式波形特征

符号	参数	最小值	典型值	最大值	单位
$t_{td}$	延迟时间, SPI_CLK 有效到 SPI_TX 有效。	$3 * T_{clk\_spi}^a + 5$	$3 * T_{clk\_spi}^a + 8$	$4 * T_{clk\_spi}^a + 10$	ns
$t_{tho}$	保持时间, SPI_CLK 有效到 SPI_TX 有效。	$t_p * 0.50$	-	-	ns

a:  $T_{clk\_spi}$  是指 SPI 模块工作参考时钟的周期。

图4-12 Microwire 接口 Slave 模式时序图



# 5 封装信息

## 5.1 LQFP64 封装信息

### 5.1.1 封装概述

3065A 系列产品采用 LQFP（Low-profile Quad Flat Package）封装，封装 Pin 脚有 64，封装尺寸为 10x10 mmxmm，详细信息请见如下章节。

#### 5.1.1.1 64Pin 封装视图/封装参数

##### 封装视图

64Pin 封装的 Top view、Side view 如图 5-1、图 5-2 所示。

图5-1 Top view

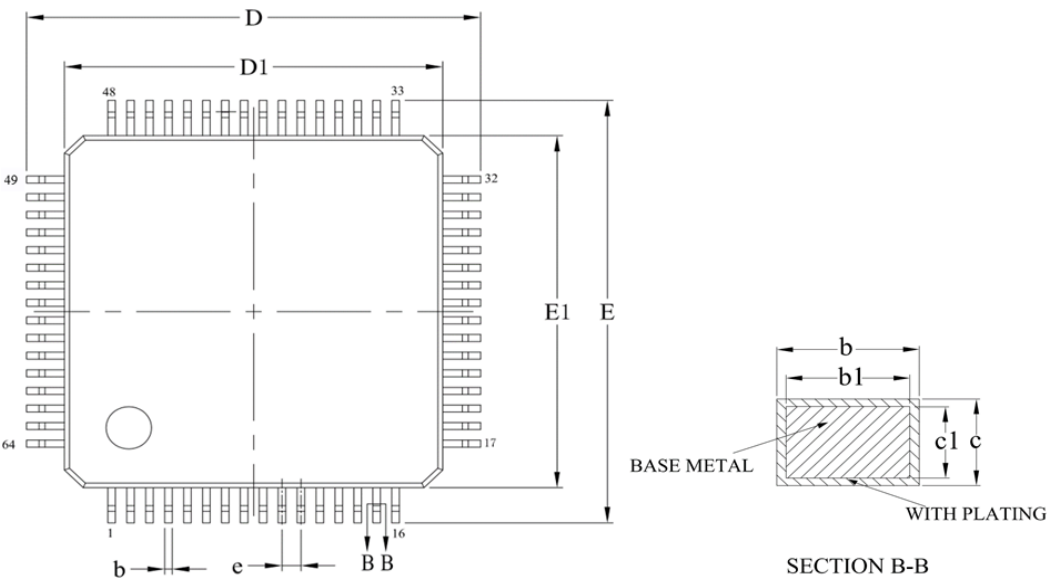
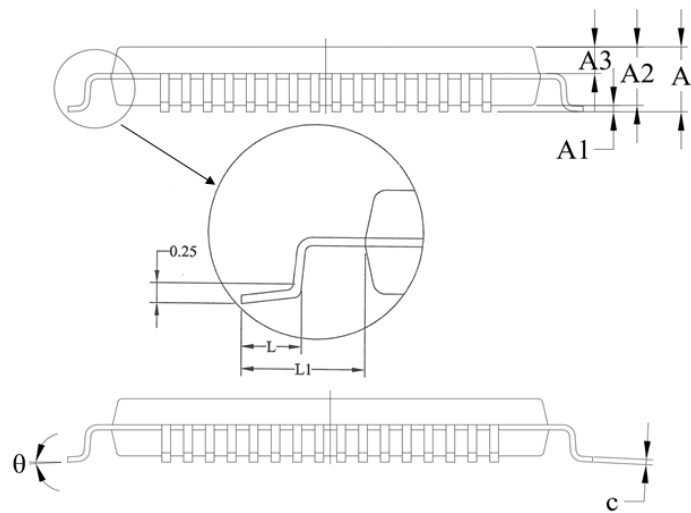


图5-2 Side view



须知

- 图中线性标注尺寸单位为毫米。
- 不包含模料飞边、注浇口毛刺或凸起。
- 尺寸标注参考文件：JEDEC MS-026。

表5-1 封装参数表

参数	尺寸 (mm)		
	最小值	典型值	最大值
A	-	-	1.60
A1	0.05	-	0.15
A2	1.35	1.40	1.45
A3	0.59	0.64	0.69
b	0.18	-	0.26
b1	0.17	0.2	0.23
c	0.13	-	0.17
c1	0.12	0.13	0.14
D	11.80	12.00	12.20
D1	9.90	10.00	10.10

参数	尺寸 (mm)		
	最小值	典型值	最大值
E	11.80	12.00	12.20
E1	9.90	10.00	10.10
e	0.50BSC		
L	0.45	-	0.75
L1	1.00REF		
θ	0	-	7°

5.1.1.2 物理参数

封装物理参数如表 5-2 所示。

表5-2 3065A 系列封装参数

参数	64Pin
封装尺寸	10mm×10mm
管脚间距	0.5mm
管脚总数	64

5.2 封装热阻

在 JEDEC 标准环境中，封装热阻如表 5-3 所示。

表5-3 封装热阻

封装类型	θ <sub>JA</sub> (Thermal resistance of Junction to ambient)	θ <sub>JB</sub> (Thermal resistance of Junction to board)	θ <sub>JC</sub> (Thermal resistance of Junction to case)	Unit
LQFP64 10x10	65.3	52.2	22.2	°C/W



封装类型	$\theta_{JA}$ (Thermal resistance of Junction to ambient)	$\theta_{JB}$ (Thermal resistance of Junction to board)	$\theta_{JC}$ (Thermal resistance of Junction to case)	Unit
mm				

MCU 使用时应确保 MCU 结温不超过目标温度 ( $T_{J\_max}$ : 125°C)。以 JEDEC 标准环境为例, MCU 在特定环境下的耗散功耗应满足以下等式:

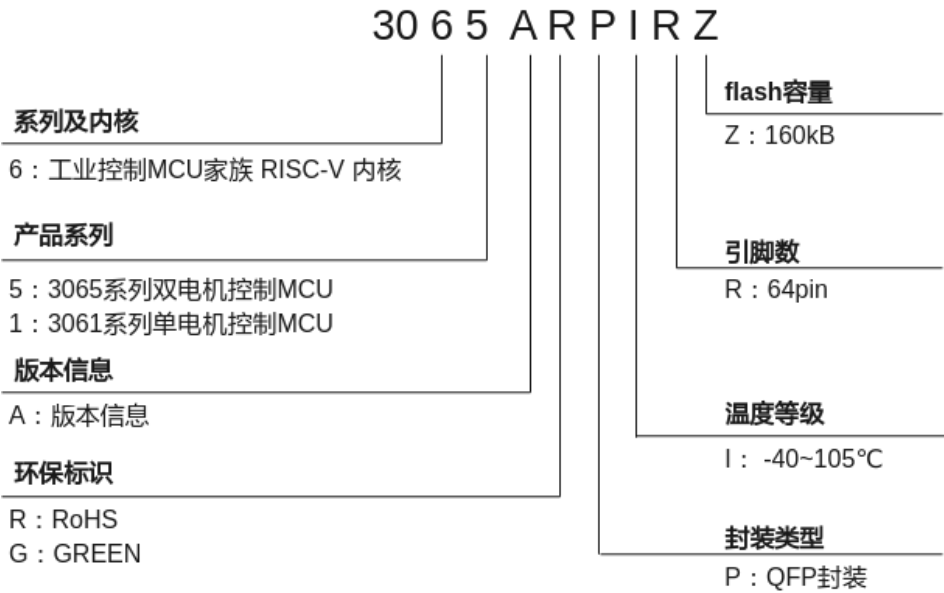
$T_J = T_A + P_H \times \theta_{JA}$  ,  $T_J < T_{J\_max}$

- $\theta_{JA}$ = MCU 与环境温度的热阻。
- $T_J$  = MCU 在施加耗散功耗  $P_H$  达到稳态后结温 (°C)。
- $T_A$ = 环境温度 (°C)。
- $P_H$  = MCU 使用功耗 (W)。

Ref. *JESD51-2, Integrated Circuit Thermal Test Method Environmental Conditions - Natural Convection (Still Air)*.

# 6 订购信息

图6-1 芯片 mark 命名规则



# A 缩略语

表A-1 缩略语

缩略语	英文	中文解释
ACMP	Analog Comparator	模拟比较器
ADC	Analog Digital Converter	模数转换器
AHB	Advanced High-performance Bus	先进高性能总线
APT	Advanced PWM Timer	高级 PWM 定时器
BSC	Basic dimension	基本尺寸
CAMP	Capture Module	捕捉器
CAN	Controller Area Network	控制器域网
CDM	Charge Device Model	器件带电模式
CFD	Clock Failure Detector	时钟失效检测
CMM	Clock Monitor Module	时钟频率监测
CMOS	Complementary Metal Oxide Semiconductor	互补金属氧化物半导体
CRC	Cyclic Redundancy Check	循环冗余校验
CRG	Clock and Reset Generator	时钟复位生成模块
DAC	Digital-to-analog converter	数模转换器
DMA	Direct Memory Access	直接内存访问

缩略语	英文	中文解释
DMAC	Direct Memory Access Controller	直接存储器访问控制器
DTCM	Data Tightly-Coupled Memory	数据紧耦合内存
EFT	Electrical Fast Transient	电快速瞬变脉冲群
EMC	Electromagnetic Compatibility	电磁兼容性
EMS	Electromagnetic Susceptibility	电磁敏感度
EOC	End-of-Conversion	结束转换标志
ESD	Electrostatic Discharge	静电放电
FIFO	First In First Out	先进先出
FPU	Floating Point Unit	浮点处理单元
GPIO	General-purpose input/output	通用输入输出
GPT	General PWM Timer	通用 PWM 定时器
HBM	Human Body Model	人体模式
I2C	Inter-Integrated Circuit	集成电路接口
IOCMG	I/O Control & Multiplex Generater	I/O 复用控制
ITCM	Instruction Tightly-Coupled Memory	指令紧密耦合内存
IWDG	Independent Watch Dog	独立看门狗
JTAG	Joint Test Action Group	联合测试行动小组调试接口
LQFP	Low-profile Quad Flat Package	薄型四方扁平封装
LSB	Least Significant Bit	最低有效位
MCU	Microcontroller Unit	微控制器单元
PDR	Power Down Reset	掉电复位
PFC	Power Factor Correction	功率因数校正
PGA	Programmable Gain Amplifier	可编程增益放大器

缩略语	英文	中文解释
PLL	Phase Locked Loop	锁相环
PMC	Power Manage Controller	电源控制
PMP	Physical Memory Protection	物理内存保护
PMU	Power Manager Unit	电源管理单元
POR	Power On Reset	上电复位
PPU	Position Process Unit	位置处理单元
PTU	Period Trigger Unit	周期触发单元
PVD	Programmable Voltage Detector	可编程电压检测器
PWM	Pulse Width Modulation	脉冲宽度调制
QDM	Quadrature Decoder Module	正交解码模块
QDU	Quadrature Decoder Unite	正交解码单元
REF	Reference dimension	参考尺寸
SARADC	Successive Approximation ADC	逐次逼近型 ADC
SCL	Serial Clock Line	串行时钟线
SDA	Serial Data Line	串行数据线
SOC	Start Of Conversion	启动转换
SPI	Serial Peripheral Interface	串行外设接口
SRAM	Static Random Access Memory	静态随机存取存储器
SYSCTRL	System Controller	系统控制
TSU	Time Stamp Unit	时间戳单元
UART	Universal Asynchronous Receiver Transmitter	通用异步收发传输器
WDG	Watch Dog	看门狗
WFI	Wait For Interrupt	等待中断指令

缩略语	英文	中文解释
XIP	Execute In Place	就地执行
XTAL	Quartz Crystal Unit	石英晶体谐振器