

W25Q64JV



spiFlash®

**3V 64M-BIT
SERIAL FLASH MEMORY WITH
DUAL, QUAD SPI**



Table of Contents

1.	GENERAL DESCRIPTIONS.....	4
2.	FEATURES.....	4
3.	PACKAGE TYPES AND PIN CONFIGURATIONS	5
3.1	Pin Configuration SOIC 208-mil	5
3.2	Pad Configuration WSON 6x5-mm/ 8x6-mm, XSON 4x4-mm.....	5
3.3	Pin Description SOIC 208-mil, WSON 6x5-mm/ 8x6-mm, XSON 4x4-mm.....	5
3.4	Pin Configuration SOIC 300-mil	6
3.5	Pin Description SOIC 300-mil.....	6
3.6	Ball Configuration TFBGA 8x6-mm (5x5 or 6x4 Ball Array)	7
3.7	Ball Description TFBGA 5x5 or 8x6-mm	7
3.8	Ball Configuration WLCSP	8
3.9	Ball Description WLCSP12.....	8
4.	PIN DESCRIPTIONS.....	9
4.1	Chip Select (/CS).....	9
4.2	Serial Data Input, Output and IOs (DI, DO and IO0, IO1, IO2, IO3)	9
4.3	Write Protect (/WP).....	9
4.4	HOLD (/HOLD)	9
4.5	Serial Clock (CLK)	9
4.6	Reset (/RESET) ⁽¹⁾	9
5.	BLOCK DIAGRAM	10
6.	FUNCTIONAL DESCRIPTIONS.....	11
6.1	Standard SPI Instructions	11
6.2	Dual SPI Instructions	11
6.3	Quad SPI Instructions.....	11
6.4	Software Reset & Hardware /RESET pin	11
6.5	Write Protection	12
6.5.1	Write Protect Features	12
7.	STATUS AND CONFIGURATION REGISTERS.....	13
7.1	Status Registers	13
7.1.1	Erase/Write In Progress (BUSY) – Status Only.....	13
7.1.2	Write Enable Latch (WEL) – Status Only.....	13
7.1.3	Block Protect Bits (BP2, BP1, BP0) – Volatile/Non-Volatile Writable.....	13
7.1.4	Top/Bottom Block Protect (TB) – Volatile/Non-Volatile Writable.....	14
7.1.5	Sector/Block Protect Bit (SEC) – Volatile/Non-Volatile Writable	14
7.1.6	Complement Protect (CMP) – Volatile/Non-Volatile Writable	14
7.1.1	Status Register Protect (SRP, SRL) – Volatile/Non-Volatile Writable	15
7.1.2	Erase/Program Suspend Status (SUS) – Status Only.....	16
7.1.3	Security Register Lock Bits (LB3, LB2, LB1) – Volatile/Non-Volatile OTP Writable.....	16
7.1.4	Quad Enable (QE) – Volatile/Non-Volatile Writable	16
7.1.5	Write Protect Selection (WPS) – Volatile/Non-Volatile Writable	17
7.1.6	Output Driver Strength (DRV1, DRV0) – Volatile/Non-Volatile Writable	17



7.1.7	Reserved Bits – <i>Non Functional</i>	17
7.1.8	Status Register Memory Protection (WPS = 0, CMP = 0)	18
7.1.9	Status Register Memory Protection (WPS = 0, CMP = 1)	19
7.1.10	Individual Block Memory Protection (WPS=1)	20
8.	INSTRUCTIONS	21
8.1	Device ID and Instruction Set Tables	21
8.1.1	Manufacturer and Device Identification.....	21
8.1.2	Instruction Set Table 1 (Standard SPI Instructions) ⁽¹⁾	22
8.1.3	Instruction Set Table 2 (Dual/Quad SPI Instructions) ⁽¹⁾	23
8.2	Instruction Descriptions	24
8.2.1	Write Enable (06h)	24
8.2.2	Write Enable for Volatile Status Register (50h).....	24
8.2.3	Write Disable (04h)	25
8.2.4	Read Status Register-1 (05h), Status Register-2 (35h) & Status Register-3 (15h)	25
8.2.5	Write Status Register-1 (01h), Status Register-2 (31h) & Status Register-3 (11h)	26
8.2.6	Read Data (03h)	28
8.2.7	Fast Read (0Bh)	29
8.2.8	Fast Read Dual Output (3Bh)	30
8.2.9	Fast Read Quad Output (6Bh)	31
8.2.10	Fast Read Dual I/O (BBh)	32
8.2.11	Fast Read Quad I/O (EBh).....	33
8.2.12	Set Burst with Wrap (77h).....	34
8.2.13	Page Program (02h)	35
8.2.14	Quad Input Page Program (32h).....	36
8.3	Sector Erase (20h)	37
8.3.1	32KB Block Erase (52h).....	38
8.3.2	64KB Block Erase (D8h)	39
8.3.3	Chip Erase (C7h / 60h)	40
8.3.4	Erase / Program Suspend (75h)	41
8.3.5	Erase / Program Resume (7Ah).....	42
8.3.6	Power-down (B9h)	43
8.3.7	Release Power-down / Device ID (ABh)	44
8.3.8	Read Manufacturer / Device ID (90h)	45
8.3.9	Read Manufacturer / Device ID Dual I/O (92h)	46
8.3.10	Read Manufacturer / Device ID Quad I/O (94h).....	47
8.3.11	Read Unique ID Number (4Bh).....	48
8.3.12	Read JEDEC ID (9Fh)	49
8.3.13	Read SFDP Register (5Ah).....	50
8.3.14	Erase Security Registers (44h)	51
8.3.15	Program Security Registers (42h).....	52
8.3.16	Read Security Registers (48h).....	53
8.3.18	Individual Block/Sector Lock (36h).....	54
8.3.19	Individual Block/Sector Unlock (39h)	55
8.3.20	Read Block/Sector Lock (3Dh).....	56
8.3.21	Global Block/Sector Lock (7Eh)	57



8.3.22	Global Block/Sector Unlock (98h)	57
8.3.23	Enable Reset (66h) and Reset Device (99h)	58
9.	ELECTRICAL CHARACTERISTICS.....	59
9.1	Absolute Maximum Ratings (1)	59
9.2	Operating Ranges	59
9.3	Power-Up Power-Down Timing and Requirements	60
9.4	DC Electrical Characteristics-.....	61
9.5	AC Measurement Conditions	62
9.6	AC Electrical Characteristics ⁽⁶⁾	63
9.7	Serial Output Timing.....	65
9.8	Serial Input Timing.....	65
9.9	/WP Timing	65
10.	PACKAGE SPECIFICATIONS	66
10.1	8-Pin SOIC 208-mil (Package Code SS).....	66
10.2	8-Pad WSON 6x5-mm (Package Code ZP)	67
10.3	8-Pad WSON 8x6mm (Package Code ZE)	68
10.4	8-Pad XSON 4x4x0.45-mm (Package Code XG)	69
10.5	16-Pin SOIC 300-mil (Package Code SF).....	70
10.7	24-Ball TFBGA 8x6-mm (Package Code TB, 5x5 Ball Array)	71
10.8	24-Ball TFBGA 8x6-mm (Package Code TC, 6x4 ball array).....	72
10.9	12-Ball WLCSP (Package Code BY).....	73
11.	ORDERING INFORMATION	74
11.1	Valid Part Numbers and Top Side Marking	75
12.	REVISION JISTORY.....	77



1. 一般说明

W25Q64JV (64M位) 串行闪存为空间，引脚和电源有限的系统提供了一种存储解决方案。25Q系列提供了超越普通串行闪存设备的灵活性和性能。它们非常适合将代码映射到RAM，直接从Dual / Quad SPI (XIP) 执行代码以及存储语音，文本和数据的理想选择。该器件采用2.7V至3.6V的电源供电，关断电流消耗低至1μA。所有设备均以节省空间的包装形式提供。

W25Q64JV阵列分为32,768个可编程页面，每个页面256字节。一次最多可以编程256个字节。可以按16组（4KB扇区擦除），128组（32KB块擦除），256组（64KB块擦除）或整个芯片（芯片擦除）擦除页面。W25Q64JV分别具有2,048个可擦除扇区和128个可擦除块。4KB的小扇区为需要数据和参数存储的应用程序提供了更大的灵活性。（参见图2。）

W25Q64JV支持标准串行外围设备接口（SPI），双/四I/O SPI：串行时钟，芯片选择，串行数据I/O0 (DI)，I/O1 (DO)，I/O2和I/O3。支持W25Q64JV的SPI时钟频率高达133MHz，当使用快速读取双/四通道I/O时，双I/O的等效时钟速率为266MHz (133MHz x 2)，而四通道I/O的等效时钟速率为532MHz (133MHz x 4)。这些传输速率可以超过标准的异步8位和16位并行闪存。

此外，该设备还支持JEDEC标准制造商和设备ID，以及一个64位的唯一序列号和三个256字节的安全寄存器。

2. 特点

①新的SpiFlash存储器系列

- W25Q64JV: 64M位/ 8M字节
- 标准SPI: CLK, / CS, DI, DO
- 双SPI: CLK, / CS, IO0, IO1
- 四路SPI: CLK, / CS, IO0, IO1, IO2, IO3
- 软件和硬件重置 (1)

②最高性能的串行闪存

- 133MHz单，双/四路SPI时钟
- 等效于266 / 532MHz的Dual / Quad SPI
- 最小每个扇区100K编程擦除周期
- 保留超过20年的数据

③低功耗，宽温度范围

- 2.7至3.6V单电源
- <1 ·A掉电（典型值）
- -40 °C至+ 85 °C的工作范围
- -40 °C至+ 105 °C的工作范围

④具有4KB扇区的灵活体系结构

- 统一扇区/块擦除 (4K / 32K / 64K字节)
- 每个可编程页面编程1到256字节
- 擦除/程序暂停和恢复

⑤高级安全功能

- 软件和硬件写保护
- 特殊的OTP保护
- 顶部/底部，互补阵列保护
- 单个块/扇区阵列保护
- 每个设备的64位唯一ID
- 可发现参数 (SFDP) 寄存器
- 3X256字节安全寄存器
- 易失性和非易失性状态寄存器位
- ### ⑥节省空间的包装
- 8引脚SOIC 208-mil
- 8片WSON 6x5-mm / 8x6-mm
- 16针SOIC 300密耳
- 8片XSON 4x4-mm
- 24球TFBGA 8x6-mm (6x4球阵列)
- 24球TFBGA 8x6-mm (6x4 / 5x5球阵列)
- 12球WLCSP
- 联系华邦以获得KGD和其他选项

Note: 1. Hardware /RESET pin is only available on TFBGA or SOIC16 packages



3. PACKAGE TYPES AND PIN CONFIGURATIONS

3.1 Pin Configuration SOIC 208-mil

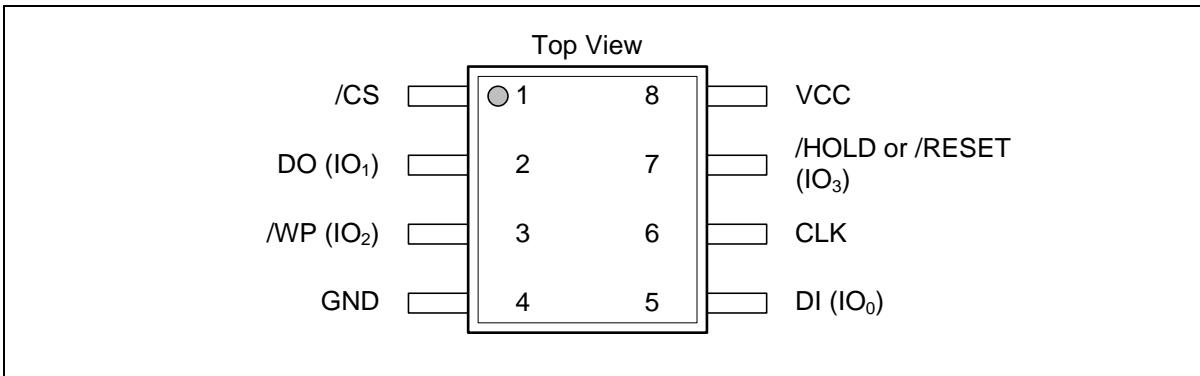


Figure 1a. W25Q64JV Pin Assignments, 8-pin SOIC 208-mil (Package Code SS)

3.2 Pad Configuration WSON 6x5-mm/ 8x6-mm, XSON 4x4-mm

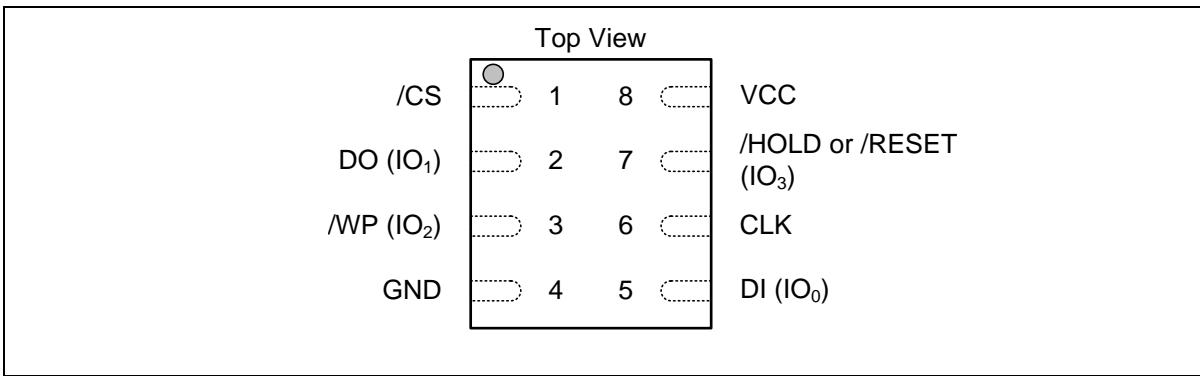


Figure 1b. W25Q64JV Pad Assignments, 8-pad WSON 6x5-mm/8x6 (Package Code ZP, ZE)

3.3 Pin Description SOIC 208-mil, WSON 6x5-mm/ 8x6-mm, XSON 4x4-mm

PAD NO.	PAD NAME	I/O	FUNCTION
1	/CS	I	Chip Select Input
2	DO (IO1)	I/O	Data Output (Data Input Output 1) ⁽¹⁾
3	/WP (IO2)	I/O	Write Protect Input (Data Input Output 2) ⁽²⁾
4	GND		Ground
5	DI (IO0)	I/O	Data Input (Data Input Output 0) ⁽¹⁾
6	CLK	I	Serial Clock Input
7	/HOLD or /RESET (IO3)	I/O	Hold or Reset Input (Data Input Output 3) ⁽²⁾
8	VCC		Power Supply

Notes:

1. IO0 and IO1 are used for Standard and Dual SPI instructions
2. IO0 – IO3 are used for Quad SPI instructions, /HOLD (or /RESET) function is only available for Standard/Dual SPI.



3.4 Pin Configuration SOIC 300-mil

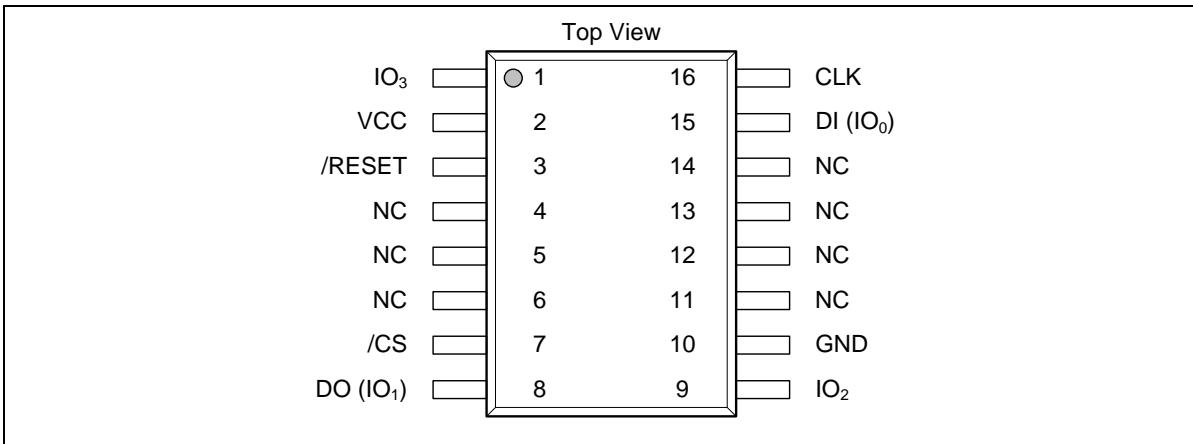


Figure 1c. W25Q64JV Pin Assignments, 16-pin SOIC 300-mil (Package Code SF)

3.5 Pin Description SOIC 300-mil

PIN NO.	PIN NAME	I/O	FUNCTION
1	/HOLD or /RESET (IO3)	I/O	Hold or Reset Input (Data Input Output 3) ⁽²⁾
2	VCC		Power Supply
3	/RESET	I	Reset Input ⁽³⁾
4	N/C		No Connect
5	N/C		No Connect
6	N/C		No Connect
7	/CS	I	Chip Select Input
8	DO (IO1)	I/O	Data Output (Data Input Output 1) ⁽¹⁾
9	WP (IO2)	I/O	Write Protect Input (Data Input Output 2) ⁽²⁾
10	GND		Ground
11	N/C		No Connect
12	N/C		No Connect
13	N/C		No Connect
14	N/C		No Connect
15	DI (IO0)	I/O	Data Input (Data Input Output 0) ⁽¹⁾
16	CLK	I	Serial Clock Input

Notes:

1. IO0 and IO1 are used for Standard and Dual SPI instructions.
2. IO0 – IO3 are used for Quad SPI instructions, /HOLD (or /RESET) function is only available for Standard/Dual SPI.
3. The /RESET pin is a dedicated hardware reset pin regardless of device settings or operation states. If the hardware reset function is not used, this pin can be left floating or connected to VCC in the system.



3.6 Ball Configuration TFBGA 8x6-mm (5x5 or 6x4 Ball Array)

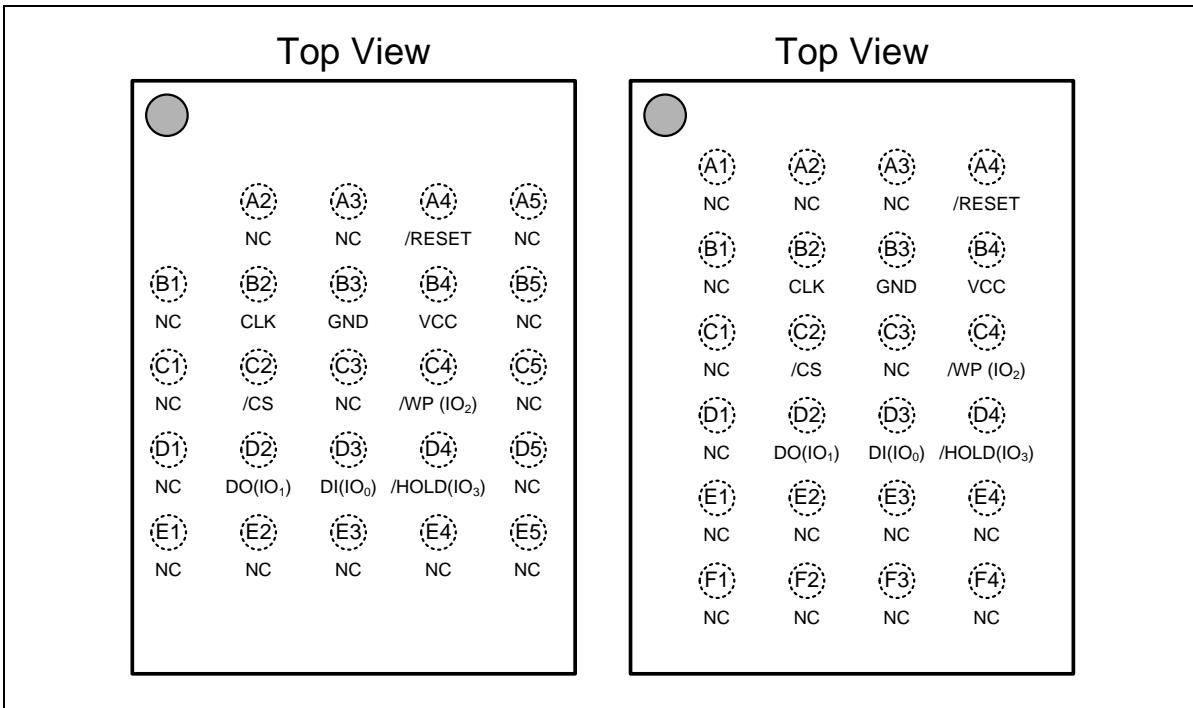


Figure 1d. W25Q64JV Ball Assignments, 24-ball TFBGA 8x6-mm (Package Code TB/TC)

3.7 Ball Description TFBGA 5x5 or 8x6-mm

BALL NO.	PIN NAME	I/O	FUNCTION
A4	/RESET	I	Reset Input ⁽³⁾
B2	CLK	I	Serial Clock Input
B3	GND		Ground
B4	VCC		Power Supply
C2	/CS	I	Chip Select Input
C4	/WP (IO2)	I/O	Write Protect Input (Data Input Output 2) ⁽²⁾
D2	DO (IO1)	I/O	Data Output (Data Input Output 1) ⁽¹⁾
D3	DI (IO0)	I/O	Data Input (Data Input Output 0) ⁽¹⁾
D4	/HOLD (IO3)	I/O	Hold or Reset Input (Data Input Output 3) ⁽²⁾
Multiple	NC		No Connect

Notes:

1. IO0 and IO1 are used for Standard and Dual SPI instructions
2. IO0 – IO3 are used for Quad SPI instructions, /HOLD (or /RESET) function is only available for Standard/Dual SPI.
3. The /RESET pin is a dedicated hardware reset pin regardless of device settings or operation states.
If the hardware reset function is not used, this pin can be left floating or connected to VCC in the system



3.8 Ball Configuration WLCSP

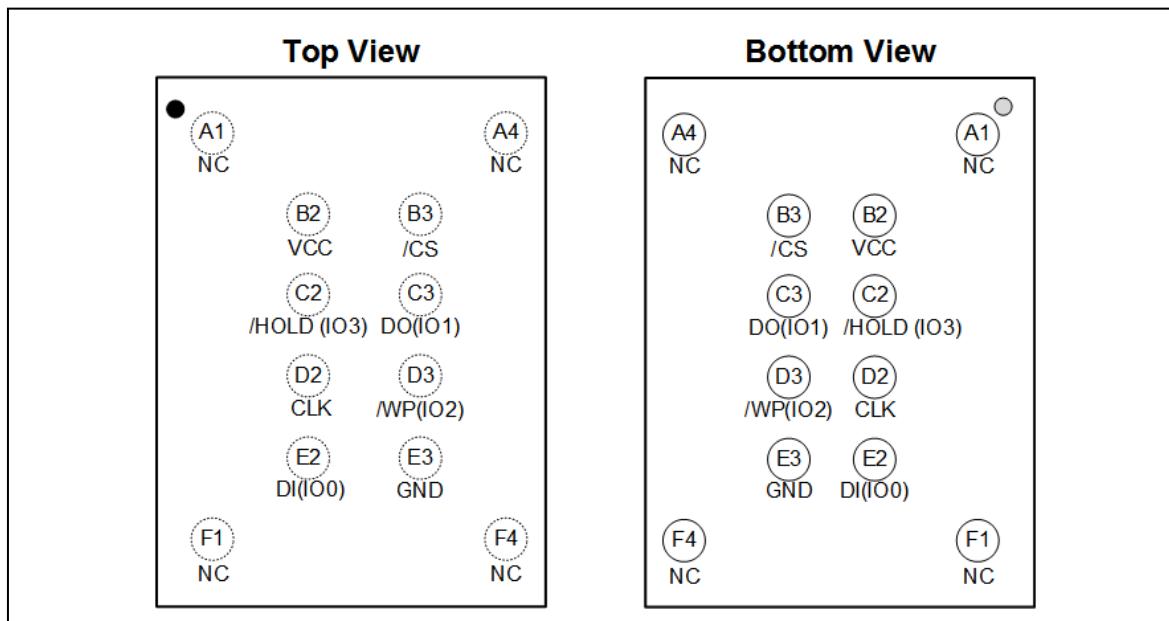


Figure 1e. W25Q64JV Ball Assignments, 12-ball WLCSP (Package Code BY)

3.9 Ball Description WLCSP12

BALL NO.	PIN NAME	I/O	FUNCTION
B2	VCC		Power Supply
B3	/CS	I	Chip Select Input
C2	/HOLD or /RESET (IO3)	I/O	Hold Input or /RESET (Data Input Output 3) ⁽²⁾
C3	DO (IO1)	I/O	Data Output (Data Input Output 1) ⁽¹⁾
D2	CLK	I	Serial Clock Input
D3	/WP (IO2)	I/O	Write Protect Input (Data Input Output 2) ⁽²⁾
E2	DI (IO0)	I/O	Data Input (Data Input Output 0) ⁽¹⁾
E3	GND		Ground

Notes:

1. IO0 and IO1 are used for Standard and Dual SPI instructions
2. IO0 – IO3 are used for Quad SPI instructions, /HOLD (or /RESET) function is only available for Standard/Dual SPI.



4. PIN DESCRIPTIONS

4.1 Chip Select (/CS)

SPI片选 (/ CS) 引脚启用和禁用器件操作。 / CS为高电平时，取消选择器件，并且串行数据输出 (DO或IO0, IO1, IO2, IO3) 引脚处于高阻态。 取消选择时，除非正在进行内部擦除，编程或写入状态寄存器周期，否则设备的功耗将处于待机状态。 将/ CS调低时，将选择设备，功耗将增加到活动水平，并且可以将指令写入设备或从设备读取数据。 上电后，/ CS必须从高电平转换为低电平，然后才能接受新指令。 / CS输入必须在加电和断电时跟踪VCC电源电平（请参见“写保护”和图58）。 如果需要，可以使用/ CS引脚上的上拉电阻器来完成此操作。

4.2 Serial Data Input, Output and IOs (DI, DO and IO0, IO1, IO2, IO3)

W25Q64JV支持标准SPI，双SPI和四SPI操作。 标准SPI指令使用单向DI（输入）引脚在串行时钟 (CLK) 输入引脚的上升沿将指令，地址或数据串行写入器件。 标准SPI还使用单向DO（输出）在CLK的下降沿从器件读取数据或状态。

双通道和四通道SPI指令使用双向IO引脚在CLK的上升沿向器件串行写入指令，地址或数据，并在CLK的下降沿从器件读取数据或状态。 Quad SPI指令要求设置状态寄存器2中的非易失性Quad Enable位 (QE)。 当QE = 1时，/ WP引脚变为IO2，/ HOLD引脚变为IO3。

4.3 Write Protect (/WP)

写保护 (/WP) 引脚可用于防止状态寄存器被写入。与状态寄存器的块保护 (CMP, SEC, TB, BP2, BP1和BP0) 位和状态寄存器保护 (SRP) 位一起使用时，只有4KB扇区的一部分或整个存储器阵列都可以受到硬件保护。 / WP引脚为低电平有效。

4.4 HOLD (/HOLD)

/ HOLD引脚允许设备在被主动选择时暂停。当/ HOLD变为低电平而/ CS处于低电平时，DO引脚将处于高阻抗状态，而DI和CLK引脚上的信号将被忽略（无关紧要）。当/ HOLD变高时，设备操作可以恢复。当多个设备共享相同的SPI信号时，/ HOLD功能可能非常有用。 / HOLD引脚为低电平有效。当状态寄存器2的QE位设置为Quad I/O时，/ HOLD引脚功能不可用，因为该引脚用于IO3。有关Quad I/O操作的引脚配置，请参见图1a-c。

4.5 Serial Clock (CLK)

SPI串行时钟输入 (CLK) 引脚提供了串行输入和输出操作的时序。（“请参阅SPI操作”）

4.6 Reset (/RESET)⁽¹⁾

SOIC-16和TFBGA封装上有专用的硬件/ RESET引脚。当其被驱动为低电平至少1μs时，该设备将终止任何外部或内部操作，并返回其上电状态。

Note:

1. Hardware /RESET pin is available on SOIC-16 or TFBGA; please contact Winbond for this package.



5. BLOCK DIAGRAM

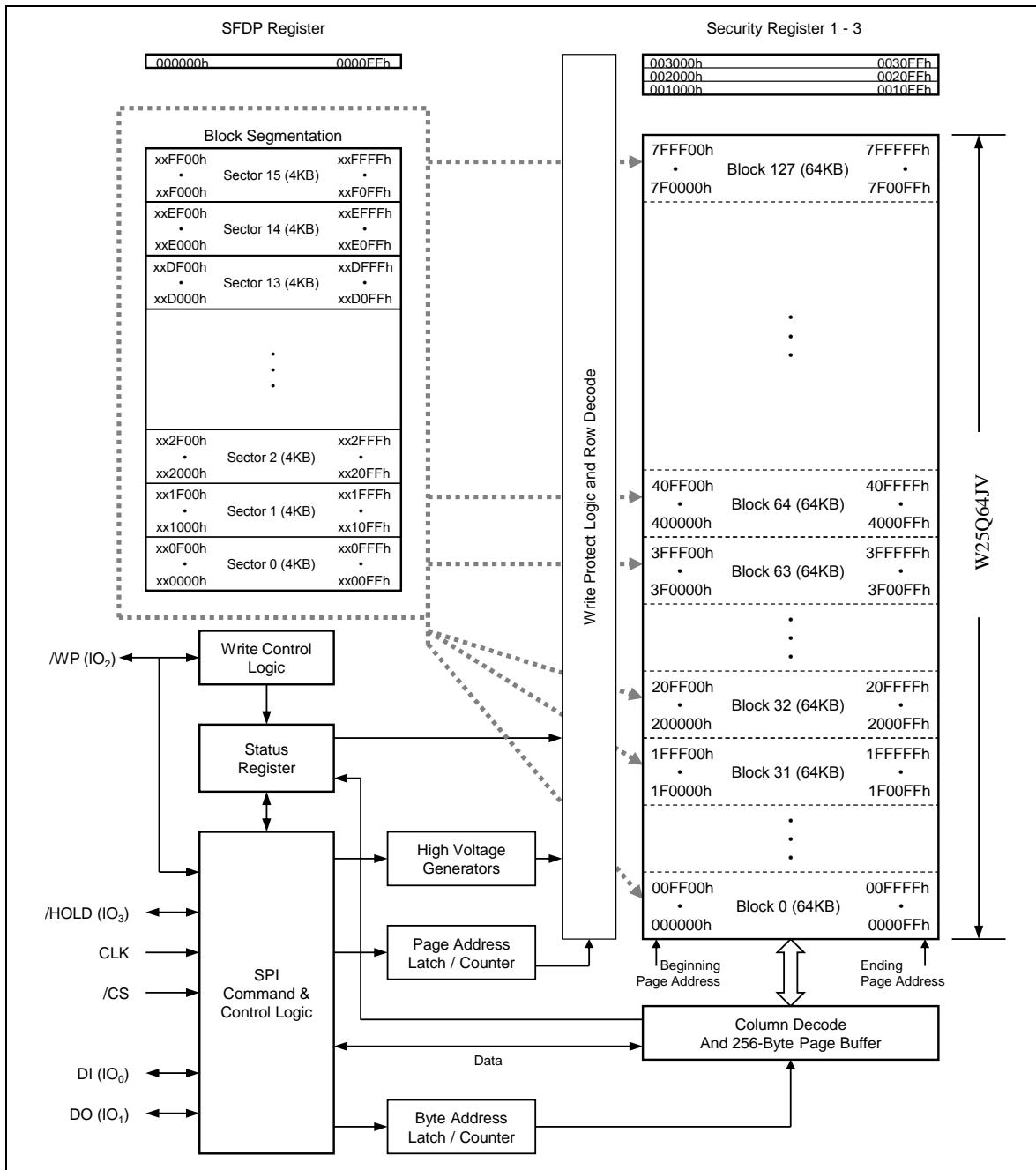


Figure 2. W25Q64JV Serial Flash Memory Block Diagram



6. 功能说明

6.1 标准SPI指令

可通过SPI兼容总线访问W25Q64JV，该总线包含四个信号：串行时钟（CLK），芯片选择（/ CS），串行数据输入（DI）和串行数据输出（DO）。标准SPI指令使用DI输入引脚在CLK的上升沿将指令，地址或数据串行写入器件。DO输出引脚用于在CLK的下降沿从器件读取数据或状态。支持SPI总线操作模式0（0,0）和3（1,1）。当SPI总线主机处于待机状态且数据未传输至串行闪存时，模式0与模式3之间的主要区别在于CLK信号的正常状态。对于模式0，在/ CS的下降沿和上升沿，CLK信号通常为低电平。对于模式3，CLK信号通常在/ CS的下降沿和上升沿为高电平。

6.2 Dual SPI Instructions

当使用诸如“快速读取双路输出（3Bh）”和“快速读取双路I / O（BBh）”之类的指令时，W25Q64JV支持双路SPI操作。这些指令允许数据以普通串行闪存设备速率的2到3倍传输到设备或从设备传输数据。Dual SPI Read指令非常适合在加电（代码共享）时快速将代码下载到RAM或直接从SPI总线（XIP）执行非速度关键的代码。当使用双SPI指令时，DI和DO引脚变为双向I / O引脚：IO0和IO1。

6.3 Quad SPI Instructions

当使用诸如“快速读取四线输出（6Bh）”和“快速读取四线I / O（EBh）”之类的指令时，W25Q64JV支持四线SPI操作。这些指令允许将数据传输到设备或从设备传输数据的速度是普通串行闪存的四到六倍。Quad Read指令极大地改善了连续访问和随机访问的传输速率，从而允许快速将代码映射到RAM或直接从SPI总线（XIP）执行。当使用Quad SPI指令时，DI和DO引脚变为双向IO0和IO1，另外还有I / O引脚：IO2，IO3。Quad SPI指令要求设置状态寄存器2中的非易失性Quad Enable位（QE）。

6.4 Software Reset & Hardware /RESET pin

可以通过软件复位序列将W25Q64JV复位为初始开机状态。此序列必须包括两个连续的指令：启用复位（66h）和复位（99h）。如果指令序列被成功接受，则设备将花费大约30 μ s（tRST）进行复位。复位期间将不接受任何指令。对于SOIC-16和TFBGA封装，W25Q64JV提供了专用的硬件/ RESET引脚。将/ RESET引脚驱动为低电平至少1 μ s（tRESET *）的时间，将中断正在进行的外部/内部操作，并将器件复位为其初始上电状态。硬件/ RESET引脚的优先级高于其他SPI输入信号（/ CS，CLK，IO）。

笔记：

1. 1.硬件/ RESET引脚在SOIC-16或TFBGA上可用；请联系Winbond获取他的包裹。
2. 虽然更快的/ RESET脉冲（短至几百纳秒）通常会使设备复位，但建议最小为1 μ s，以确保可靠的操作。
3. SOIC-16和TFBGA-24封装上的专用/ RESET引脚有一个内部上拉电阻。如果不需要复位功能，则该引脚可以在系统中悬空。



6.5 写保护

使用非易失性存储器的应用程序必须考虑噪声和其他不利系统状况的可能性，这些状况可能会损害数据完整性。为了解决这个问题，W25Q64JV提供了几种保护数据免受意外写入的方法。

6.5.1 写保护功能

- ①当VCC低于阈值时，设备复位
- ②上电后禁用延时写
- ③写入启用/禁用指令以及擦除或编程后自动禁用写入
- ④使用状态寄存器的软件和硬件（/ WP引脚）写保护
- ⑤附加的单个块/扇区锁，用于阵列保护
- ⑥使用掉电指令进行写保护
- ⑦锁定状态寄存器的写保护，直到下次上电
- ⑧使用状态寄存器对阵列和安全寄存器进行一次编程（OTP）写保护
- *注意：此功能可在特殊流程下使用。请联系华邦了解详情。

上电或掉电时，当VCC低于VWI的阈值时，W25Q64JV将保持复位状态（请参见上电时序和电压电平和图43）。复位时，所有操作都将被禁用，并且不会识别任何指令。在上电期间以及VCC电压超过VWI之后，所有与编程和擦除相关的指令将进一步禁用，延时时间为tPUW。这包括写使能，页面编程，扇区擦除，块擦除，芯片擦除和写状态寄存器指令。请注意，片选引脚（/ CS）必须在上电时跟踪VCC电源电平，直到达到VCC-min电平和tVSL时间延迟为止，并且还必须在断电时跟踪VCC电源电平，以防止产生不利的命令。顺序。如果需要，可以使用/ CS上的上拉电阻器来完成此操作。

上电后，状态寄存器的写使能锁存器（WEL）设置为0时，器件自动进入禁止写状态。在分页编程，扇区擦除，块擦除，芯片擦除之前，必须发出写使能指令或写入状态寄存器指令将被接受。完成程序，擦除或写入指令后，写入使能锁存器（WEL）会自动清除为禁止写入状态0。

使用写状态寄存器指令并设置状态寄存器保护（SRP，SRL）和块保护（CMP，TB，BP [3: 0]）位可以简化软件控制的写保护。这些设置允许将部分或整个内存阵列配置为只读。与写保护（/ WP）引脚结合使用，可以在硬件控制下启用或禁用对状态寄存器的更改。有关更多信息，请参见状态寄存器部分。此外，掉电指令提供了额外的写保护级别，因为除了释放掉电指令外，所有指令均被忽略。

W25Q64JV还提供了使用单个块锁的另一种写保护方法。每个64KB块（顶部和底部块除外，总共126个块）以及顶部/底部块中的每个4KB扇区（总共32个扇区）都配备有独立块锁定位。当锁定位为0时，可以擦除或编程相应的扇区或块；否则为0。当锁定位设置为1时，将忽略发给相应扇区或块的擦除或编程命令。当设备加电时，所有Individual Block Lock位将为1，因此整个存储器阵列均受到保护，不会被擦除/编程。必须发出“单个块解锁（39h）”指令来解锁任何特定的扇区或块。

状态寄存器3中的WPS位用于决定应使用哪种写保护方案。当WPS = 0（出厂默认设置）时，设备将仅利用CMP，SEC，TB，BP [2: 0]位来保护阵列的特定区域。当WPS = 1时，设备将利用单个块锁进行写保护。



7. 状态和配置寄存器

W25Q64JV提供了三个状态和配置寄存器。读取状态寄存器-1/2/3指令可用于提供有关闪存阵列可用性的状态，无论该设备是启用写操作还是禁用写操作，写保护状态，Quad SPI设置，安全寄存器锁定状态，擦除/程序挂起状态，输出驱动器强度，上电。写状态寄存器指令可用于配置设备写保护功能，Quad SPI设置，安全寄存器OTP锁定和输出驱动器强度。对状态寄存器的写访问由非易失性状态寄存器保护位（SRL）的状态，写使能指令以及在标准/双SPI操作期间控制

7.1 状态寄存器

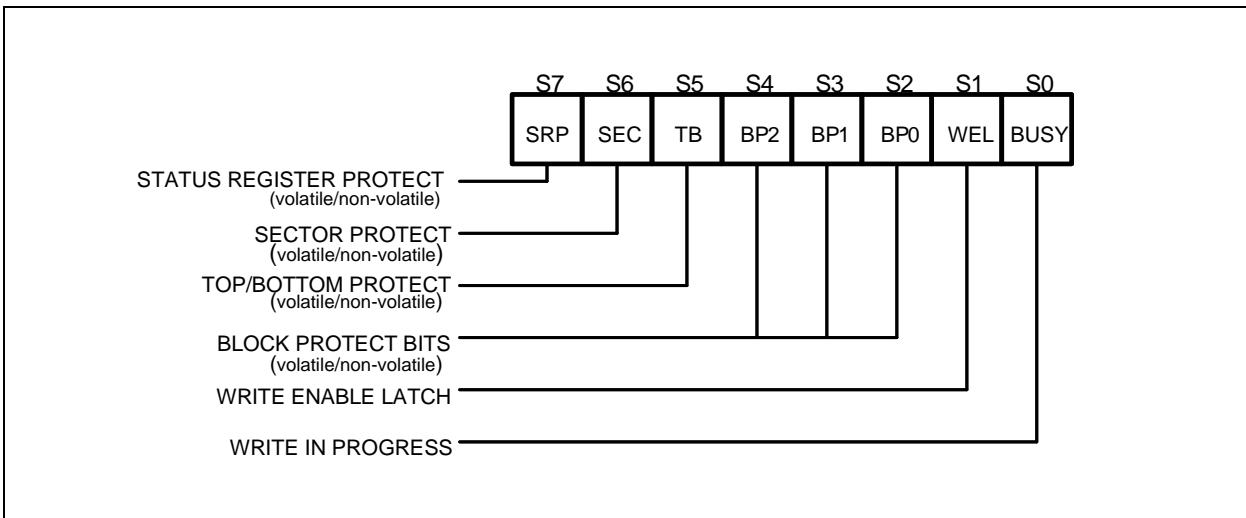


Figure 4a. Status Register-1

7.1.1 正在进行擦除/写入（BUSY） -仅限状态

BUSY是状态寄存器（S0）中的只读位，当设备正在执行页面程序，四页程序，扇区擦除，块擦除，芯片擦除，写状态寄存器或擦除/程序安全性时，状态位设置为1。注册指令。在这段时间内，器件将忽略除读取状态寄存器和擦除/程序挂起指令以外的其他指令（请参见AC特性中的tW, tPP, tSE, tBE和tCE）。当编程，擦除或写入状态/安全寄存器指令完成时，BUSY位将被清除为0状态，表明器件已准备好接受进一步的指令。

7.1.2 写使能锁存器（WE） -仅状态

写使能锁存器（WEL）是状态寄存器（S1）中的只读位，在执行写使能指令后将其设置为1。禁止写设备时，WEL状态位被清除为0。上电时或在以下任何指令后发生写禁用状态：写禁用，页面编程，四页编程，扇区擦除，块擦除，芯片擦除，写状态寄存器，擦除安全寄存器和程序安全寄存器。

7.1.3 块保护位（BP2, BP1, BP0） -易失/非易失性可写

块保护位（BP2, BP1, BP0）是状态寄存器（S4, S3和S2）中的非易失性读/写位，它们提供写保护控制和状态。可以使用写状态寄存器指令来设置块保护位（有关交流特性，请参见tW）。可以不通过编程和擦除指令保护所有，全部或部分存储阵列（请参见状态寄存器存储保护表）。块保护位的出厂默认设置为0，所有阵列均不受保护。



7.1.4顶部/底部保护 (**TB**) -易失性/非易失性可写

非易失性高/低位 (**TB**) 用于控制块保护位 (BP2, BP1, BP0) 是否受阵列的高位 (**TB = 0**) 或低位 (**TB = 1**) 的保护，如状态寄存器中所示 内存保护表。出厂默认设置为**TB = 0**。根据**SRP / SRL**和**WEL**位的状态，可以使用写状态寄存器指令设置**TB**位。

7.1.5扇区/块保护位 (**SEC**) -易失性/非易失性可写

The non-volatile Sector/Block Protect bit (**SEC**) controls if the Block Protect Bits (BP2, BP1, BP0) protect either 4KB Sectors (**SEC=1**) or 64KB Blocks (**SEC=0**) in the Top (**TB=0**) or the Bottom (**TB=1**) of the array as shown in the Status Register Memory Protection table. The default setting is **SEC=0**.

7.1.6补码保护 (**CMP**) -易失性/非易失性可写

补码保护位 (**CMP**) 是状态寄存器 (**S14**) 中的非易失性读/写位。它与**SEC**, **TB**, **BP2**, **BP1**和**BP0**位结合使用，为阵列保护提供了更大的灵活性。将**CMP**设置为1后，由**SEC**, **TB**, **BP2**, **BP1**和**BP0**设置的先前阵列保护将被颠倒。例如，当**CMP = 0**时，可以保护顶部的64KB块，而数组的其余部分则不受保护。当**CMP = 1**时，顶部的64KB块将不受保护，而阵列的其余部分变为只读。有关详细信息，请参考状态寄存器存储器保护表。默认设置为**CMP = 0**。



7.1.1 状态寄存器保护 (SRP, SRL) - 易失性/非易失性可写

W25Q64JV提供了三个状态和配置寄存器。读取状态寄存器-1/2/3指令可用于提供有关闪存阵列可用性的状态，无论该设备是启用写操作还是禁用写操作，写保护状态，Quad SPI设置，安全寄存器锁定状态，擦除/程序挂起状态和输出驱动器强度，写入状态寄存器指令可用于配置设备写保护功能，四路SPI设置，安全寄存器OTP锁定，输出驱动器。对状态寄存器的写访问由非易失性状态寄存器保护位 (SRP, SRL) 的状态，写使能指令以及在标准/双路SPI操作期间/ WP引脚控制。

SRL	SRP	/WP	Status Register	Description
0	0	X	Software Protection	/WP pin has no control. The Status register can be written to after a Write Enable instruction, WEL=1. [Factory Default]
0	1	0	Hardware Protected	When /WP pin is low the Status Register locked and cannot be written to.
0	1	1	Hardware Unprotected	When /WP pin is high the Status register is unlocked and can be written to after a Write Enable instruction, WEL=1.
1	X	X	Power Supply Lock-Down	Status Register is protected and cannot be written to again until the next power-down, power-up cycle. ⁽¹⁾
1	X	X	One Time Program ⁽²⁾	Status Register is permanently protected and cannot be written to. (enabled by adding prefix command AAh, 55h)

1. When SRL =1, a power-down, power-up cycle will change SRL =0 state.
2. Please contact Winbond for details regarding the special instruction sequence.

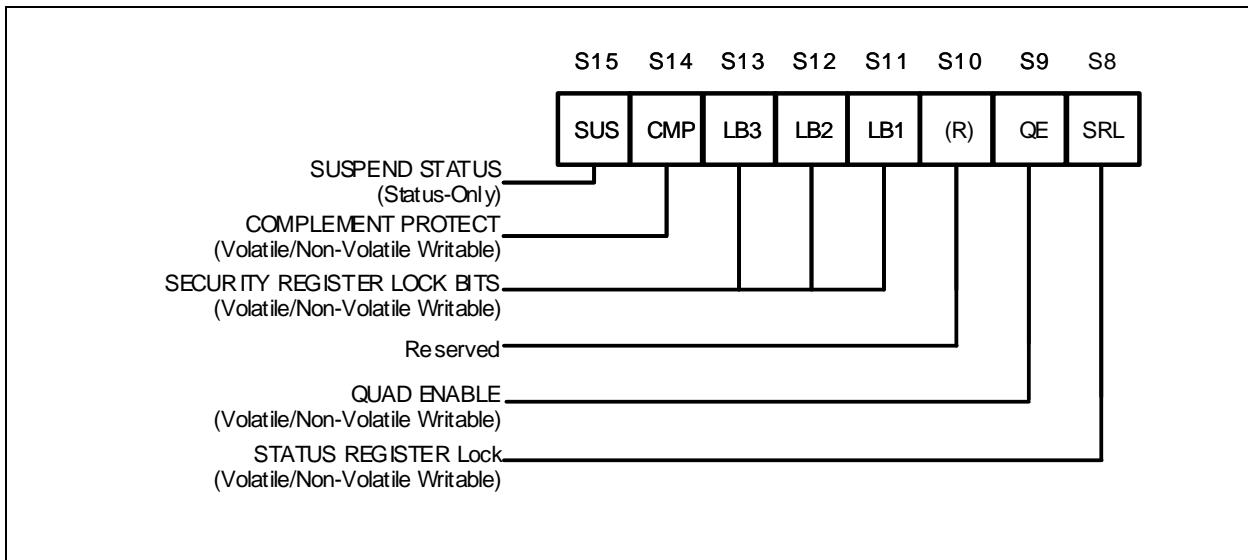


Figure 4b. Status Register-2

7.1.2 Erase/Program Suspend Status (SUS) – *Status Only*

The Suspend Status bit is a read only bit in the status register (S15) that is set to 1 after executing a Erase/Program Suspend (75h) instruction. The SUS status bit is cleared to 0 by Erase/Program Resume (7Ah) instruction as well as a power-down, power-up cycle.

7.1.3 Security Register Lock Bits (LB3, LB2, LB1) – *Volatile/Non-Volatile OTP Writable*

The Security Register Lock Bits (LB3, LB2, LB1) are non-volatile One Time Program (OTP) bits in Status Register (S13, S12, S11) that provide the write protect control and status to the Security Registers. The default state of LB3-1 is 0, Security Registers are unlocked. LB3-1 can be set to 1 individually using the Write Status Register instruction. LB3-1 are One Time Programmable (OTP), once it's set to 1, the corresponding 256-Byte Security Register will become read-only permanently.

7.1.4 Quad Enable (QE) – *Volatile/Non-Volatile Writable*

The Quad Enable (QE) bit is a non-volatile read/write bit in the status register (S9) that enables Quad SPI operation. When the QE bit is set to a 0 state (factory default for part numbers with ordering options “IM” & “JM”), the /HOLD are enabled, the device operates in Standard/Dual SPI modes. When the QE bit is set to a 1 (factory fixed default for part numbers with ordering options “IQ” & “JQ”), the Quad IO2 and IO3 pins are enabled, and /HOLD function is disabled, the device operates in Standard/Dual/Quad SPI modes.

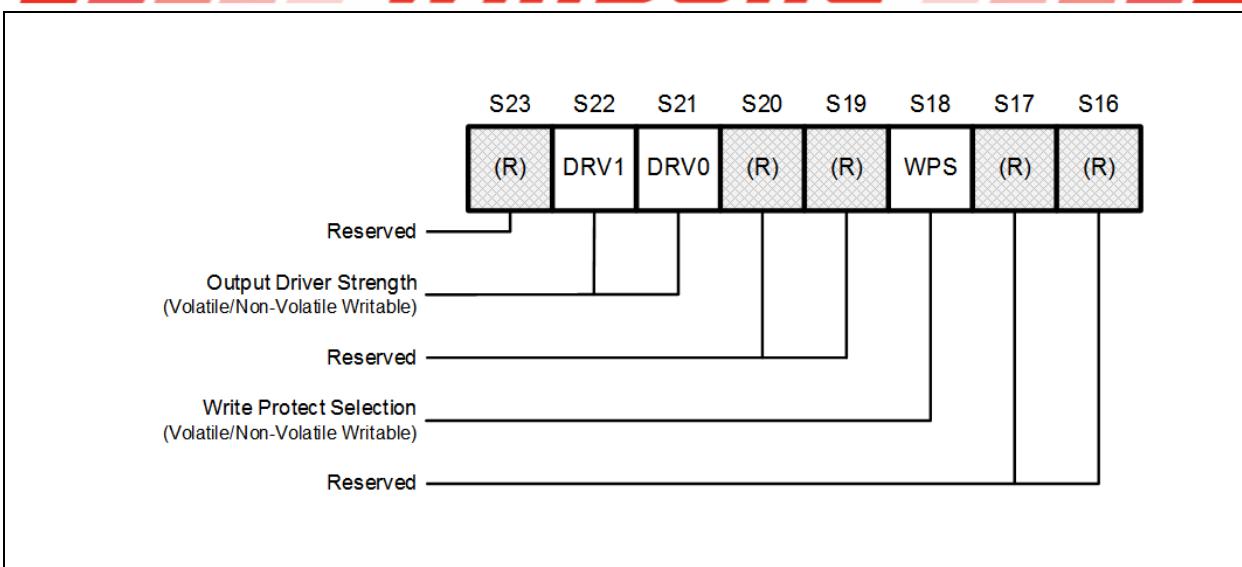


Figure 4c. Status Register-3

7.1.5 Write Protect Selection (WPS) – Volatile/Non-Volatile Writable

The WPS bit is used to select which Write Protect scheme should be used. When WPS=0, the device will use the combination of CMP, SEC, TB, BP[2:0] bits to protect a specific area of the memory array. When WPS=1, the device will utilize the Individual Block Locks to protect any individual sector or blocks. The default value for all Individual Block Lock bits is 1 upon device power on or after reset.

7.1.6 Output Driver Strength (DRV1, DRV0) – Volatile/Non-Volatile Writable

The DRV1 & DRV0 bits are used to determine the output driver strength for the Read operations.

DRV1, DRV0	Driver Strength
0, 0	100%
0, 1	75%
1, 0	50%
1, 1	25% (default)

7.1.7 Reserved Bits – Non Functional

There are a few reserved Status Register bits that may be read out as a “0” or “1”. It is recommended to ignore the values of those bits. During a “Write Status Register” instruction, the Reserved Bits can be written as “0”, but there will not be any effects.



7.1.8 状态寄存器存储器保护 (WPS = 0, CMP = 0)

STATUS REGISTER ⁽¹⁾					W25Q64JV (64M-BIT) MEMORY PROTECTION ⁽³⁾			
SEC	TB	BP2	BP1	BP0	PROTECTED BLOCK(S)	PROTECTED ADDRESSES	PROTECTED DENSITY	PROTECTED PORTION ⁽²⁾
X	X	0	0	0	NONE	NONE	NONE	NONE
0	0	0	0	1	126 and 127	7E0000h – 7FFFFFh	128KB	Upper 1/64
0	0	0	1	0	124 thru 127	7C0000h – 7FFFFFh	256KB	Upper 1/32
0	0	0	1	1	120 thru 127	780000h – 7FFFFFh	512KB	Upper 1/16
0	0	1	0	0	112 thru 127	700000h – 7FFFFFh	1MB	Upper 1/8
0	0	1	0	1	96 thru 127	600000h – 7FFFFFh	2MB	Upper 1/4
0	0	1	1	0	64 thru 127	400000h – 7FFFFFh	4MB	Upper 1/2
0	1	0	0	1	0 and 1	000000h – 01FFFFh	128KB	Lower 1/64
0	1	0	1	0	0 thru 3	000000h – 03FFFFh	256KB	Lower 1/32
0	1	0	1	1	0 thru 7	000000h – 07FFFFh	512KB	Lower 1/16
0	1	1	0	0	0 thru 15	000000h – 0FFFFFh	1MB	Lower 1/8
0	1	1	0	1	0 thru 31	000000h – 1FFFFFh	2MB	Lower 1/4
0	1	1	1	0	0 thru 63	000000h – 3FFFFFh	4MB	Lower 1/2
X	X	1	1	1	0 thru 127	000000h – 7FFFFFh	8MB	ALL
1	0	0	0	1	127	7FF000h – 7FFFFFh	4KB	U – 1/2048
1	0	0	1	0	127	7FE000h – 7FFFFFh	8KB	U – 1/1024
1	0	0	1	1	127	7FC000h – 7FFFFFh	16KB	U – 1/512
1	0	1	0	X	127	7F8000h – 7FFFFFh	32KB	U – 1/256
1	1	0	0	1	0	000000h – 000FFFh	4KB	L – 1/2048
1	1	0	1	0	0	000000h – 001FFFh	8KB	L – 1/1024
1	1	0	1	1	0	000000h – 003FFFh	16KB	L – 1/512
1	1	1	0	X	0	000000h – 007FFFh	32KB	L – 1/256

Notes:

1. X = don't care
2. L = Lower; U = Upper
3. If any Erase or Program command specifies a memory region that contains protected data portion, this command will be ignored.



7.1.9 Status Register Memory Protection (WPS = 0, CMP = 1)

STATUS REGISTER ⁽¹⁾					W25Q64JV (64M-BIT) MEMORY PROTECTION ⁽³⁾			
SEC	TB	BP2	BP1	BP0	PROTECTED BLOCK(S)	PROTECTED ADDRESSES	PROTECTED DENSITY	PROTECTED PORTION ⁽²⁾
X	X	0	0	0	0 thru 127	000000h – 7FFFFFFh	8MB	ALL
0	0	0	0	1	0 thru 125	000000h – 7DFFFFFFh	8,064KB	Lower 63/64
0	0	0	1	0	0 thru 123	000000h – 7BFFFFFFh	7,936KB	Lower 31/32
0	0	0	1	1	0 thru 119	000000h – 77FFFFFFh	7,680KB	Lower 15/16
0	0	1	0	0	0 thru 111	000000h – 6FFFFFFh	7MB	Lower 7/8
0	0	1	0	1	0 thru 95	000000h – 5FFFFFFh	5MB	Lower 3/4
0	0	1	1	0	0 thru 63	000000h – 3FFFFFFh	4MB	Lower 1/2
0	1	0	0	1	2 thru 127	020000h – 7FFFFFFh	8,064KB	Upper 63/64
0	1	0	1	0	4 thru 127	040000h – 7FFFFFFh	7,936KB	Upper 31/32
0	1	0	1	1	8 thru 127	080000h – 7FFFFFFh	7,680KB	Upper 15/16
0	1	1	0	0	16 thru 127	100000h – 7FFFFFFh	7MB	Upper 7/8
0	1	1	0	1	32 thru 127	200000h – 7FFFFFFh	5MB	Upper 3/4
0	1	1	1	0	64 thru 127	400000h – 7FFFFFFh	4MB	Upper 1/2
X	X	1	1	1	NONE	NONE	NONE	NONE
1	0	0	0	1	0 thru 127	000000h – 7FEFFFFh	8,188KB	L – 2047/2048
1	0	0	1	0	0 thru 127	000000h – 7FDFFFFFFh	8,184KB	L – 1023/1024
1	0	0	1	1	0 thru 127	000000h – 7FBFFFFFFh	8,176KB	L – 511/512
1	0	1	0	X	0 thru 127	000000h – 7F7FFFFFFh	8,160KB	L – 255/256
1	1	0	0	1	0 thru 127	001000h – 7FFFFFFh	8,188KB	L – 2047/2048
1	1	0	1	0	0 thru 127	002000h – 7FFFFFFh	8,184KB	L – 1023/1024
1	1	0	1	1	0 thru 127	004000h – 7FFFFFFh	8,176KB	L – 511/512
1	1	1	0	X	0 thru 127	008000h – 7FFFFFFh	8,160KB	L – 255/256

Notes:

1. X = don't care
2. L = Lower; U = Upper
3. If any Erase or Program command specifies a memory region that contains protected data portion, this command will be ignored.



7.1.10 Individual Block Memory Protection (WPS=1)

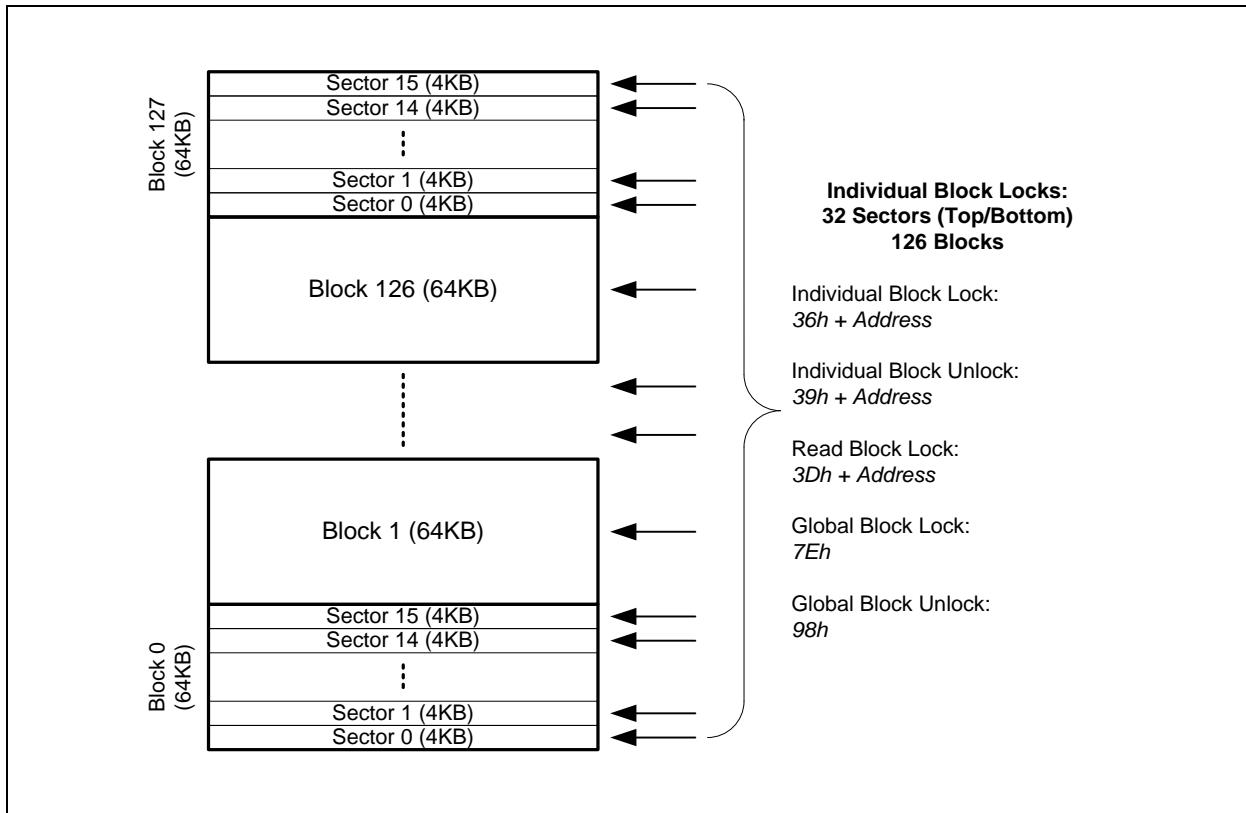


Figure 4d. Individual Block/Sector Locks

Notes:

1. Individual Block/Sector protection is only valid when WPS=1.
2. All individual block/sector lock bits are set to 1 by default after power up, all memory array is protected.



8.使用说明

W25Q64JV的Standard / Dual / Quad SPI指令集包含48条基本指令，这些指令通过SPI总线进行完全控制（请参见表1-2中的指令集）。指令从片选（/ CS）的下降沿开始。时钟输入到DI输入的数据的第一个字节提供了指令代码。DI输入上的数据在时钟的上升沿采样，最高有效位（MSB）在前。指令的长度从单个字节到几个字节不等，后面可能跟着地址字节，数据字节，伪字节（无关紧要），有时还包括它们的组合。指令在边沿/ CS的上升沿完成。每个指令的时钟相关时序图包含在图5至57中。所有读取指令都可以在任何时钟位之后完成。但是，所有写，编程或擦除指令都必须在字节边界上完成（在将完整的8位时钟输出后，/ CS驱动为高电平），否则该指令将被忽略。此功能进一步保护了设备免于意外写入。此外，在对存储器进行编程或擦除时，或者在写入状态寄存器时，将忽略除读取状态寄存器外的所有指令，直到编程或擦除周期完成为止。

8.1 设备ID和指令集表

8.1.1 制造商和设备标识

制造商编号	(MF7 - MF0)	
Winbond Serial Flash	EFh	
设备ID	(ID7 - ID0)	(ID15 - ID0)
Instruction	ABh, 90h, 92h, 94h	9Fh
W25Q64JV-IQ/JQ	16h	4017h
W25Q64JV-IM/JM*	16h	7017h

Note: For DTR, QPI supporting, please refer to W25Q64JV DTR datasheet.



8.1.2 指令集表1 (标准SPI指令) (1)

Data Input Output	Byte 1	Byte 2	Byte 3	Byte 4	Byte 5	Byte 6	Byte 7
Number of Clock⁽¹⁻¹⁻¹⁾	8	8	8	8	8	8	8
Write Enable 写使能	06h						
Volatile SR Write Enable 易失性SR写使能	50h						
Write Disable 写禁止	04h						
Release Power-down / ID 释放掉电/ ID	ABh	Dummy	Dummy	Dummy	(ID7-ID0) ⁽²⁾		
Manufacturer/Device ID 制造商/设备ID	90h	Dummy	Dummy	00h	(MF7-MF0)	(ID7-ID0)	
JEDEC ID	9Fh	(MF7-MF0)	(ID15-ID8)	(ID7-ID0)			
Read Unique ID 读取唯一ID	4Bh	Dummy	Dummy	Dummy	Dummy	(UID63-0)	
Read Data 读取资料	03h	A23-A16	A15-A8	A7-A0	(D7-D0)		
Fast Read 快速阅读	0Bh	A23-A16	A15-A8	A7-A0	Dummy	(D7-D0)	
Page Program 页面程序	02h	A23-A16	A15-A8	A7-A0	D7-D0	D7-D0 ⁽³⁾	
Sector Erase (4KB) 扇区擦除 (4KB)	20h	A23-A16	A15-A8	A7-A0			
Block Erase (32KB) 块擦除 (32KB)	52h	A23-A16	A15-A8	A7-A0			
Block Erase (64KB) 块擦除 (64KB)	D8h	A23-A16	A15-A8	A7-A0			
Chip Erase 芯片擦除	C7h/60h						
Read Status Register-1 读取状态寄存器1	05h	(S7-S0) ⁽²⁾					
Write Status Register-1 ⁽⁴⁾ 写状态寄存器-1	01h	(S7-S0) ⁽⁴⁾					
Read Status Register-2 读取状态寄存器2	35h	(S15-S8) ⁽²⁾					
Write Status Register-2 写状态寄存器2	31h	(S15-S8)					
Read Status Register-3 读取状态寄存器3	15h	(S23-S16) ⁽²⁾					
Write Status Register-3 写状态寄存器3	11h	(S23-S16)					
Read SFDP Register 读取SFDP寄存器	5Ah	00h	00h	A7-A0	dummy	(D7-0)	
Erase Security Register ⁽⁵⁾ 擦除安全寄存器	44h	A23-A16	A15-A8	A7-A0			
Program Security Register 5 程序安全寄存器	42h	A23-A16	A15-A8	A7-A0	D7-D0	D7-D0 ⁽³⁾	
Read Security Register ⁽⁵⁾ 读安全寄存器	48h	A23-A16	A15-A8	A7-A0	Dummy	(D7-D0)	
Global Block Lock 全局块锁	7Eh						
Global Block Unlock 全局块解锁	98h						
Read Block Lock 读取块锁	3Dh	A23-A16	A15-A8	A7-A0	(L7-L0)		
Individual Block Lock 个体锁	36h	A23-A16	A15-A8	A7-A0			
Individual Block Unlock 单个块解锁	39h	A23-A16	A15-A8	A7-A0			
Erase / Program Suspend 擦除/程序暂停	75h						
Erase / Program Resume 擦除/程序恢复	7Ah						
Power-down 掉电	B9h						
Enable Reset 启用重置	66h						
Reset Device 重置设备	99h						



8.1.3指令集表2 (双/四SPI指令) (1)

Data Input Output	Byte 1	Byte 2	Byte 3	Byte 4	Byte 5	Byte 6	Byte 7	Byte 8	Byte 9
Number of Clock ₍₁₋₁₋₂₎	8	8	8	8	4	4	4	4	4
Fast Read Dual Output	3Bh	A23-A16	A15-A8	A7-A0	Dummy	Dummy	(D7-D0) ⁽⁷⁾		
Number of Clock ₍₁₋₂₋₂₎	8	4	4	4	4	4	4	4	4
Fast Read Dual I/O	BBh	A23-A16 ⁽⁶⁾	A15-A8 ⁽⁶⁾	A7-A0 ⁽⁶⁾	Dummy ⁽¹¹⁾	(D7-D0) ⁽⁷⁾			
Mfr./Device ID Dual I/O	92h	A23-A16 ⁽⁶⁾	A15-A8 ⁽⁶⁾	00 ⁽⁶⁾	Dummy ⁽¹¹⁾	(MF7-MF0)	(ID7-ID0) ⁽⁷⁾		
Number of Clock ₍₁₋₁₋₄₎	8	8	8	8	2	2	2	2	2
Quad Input Page Program	32h	A23-A16	A15-A8	A7-A0	(D7-D0) ⁽⁹⁾	(D7-D0) ⁽³⁾	...		
Fast Read Quad Output	6Bh	A23-A16	A15-A8	A7-A0	Dummy	Dummy	Dummy	Dummy	(D7-D0) ⁽¹⁰⁾
Number of Clock ₍₁₋₄₋₄₎	8	2 ⁽⁸⁾	2 ⁽⁸⁾	2 ⁽⁸⁾	2	2	2	2	2
Mfr./Device ID Quad I/O	94h	A23-A16	A15-A8	00	Dummy ⁽¹¹⁾	Dummy	Dummy	(MF7-MF0)	(ID7-ID0)
Fast Read Quad I/O	EBh	A23-A16	A15-A8	A7-A0	Dummy ⁽¹¹⁾	Dummy	Dummy	(D7-D0)	
Set Burst with Wrap	77h	Dummy	Dummy	Dummy	W8-W0				

1.数据字节先移位最高有效位。 带有括号“()”的数据的字节字段表示从设备通过1个，2个或4个IO引脚输出的数据。

2.状态寄存器的内容和设备ID将连续重复，直到CS终止指令为止。

3.页编程，四页程序和程序安全寄存器至少需要一个字节的数据输入，最多256个字节的数据输入。如果发送给设备的数据超过256个字节，则寻址将换行到页面的开头，并覆盖以前发送的数据。

4.写入状态寄存器1 (01h) 也可用于对状态寄存器1和2进行编程，请参见第8.2.5节。

5.证券登记地址：

安全寄存器1：A23-16 = 00h; A15-8 = 10小时； A7-0 =字节地址

安全寄存器2：A23-16 = 00h; A15-8 = 20小时； A7-0 =字节地址

安全寄存器3：A23-16 = 00h; A15-8 = 30小时； A7-0 =字节地址

6.双路SPI地址输入格式：

IO0 = A22, A20, A18, A16, A14, A12, A10, A8 A6, A4, A2, A0, M6, M4, M2, M0

IO1 = A23, A21, A19, A17, A15, A13, A11, A9 A7, A5, A3, A1, M7, M5, M3, M1

7.双路SPI数据输出格式：

IO0 = (D6, D4, D2, D0)

IO1 = (D7, D5, D3, D1)

8.四路SPI地址输入格式：

IO0 = A20, A16, A12, A8, A4, A0, M4, M0

IO1 = A21, A17, A13, A9, A5, A1, M5, M1

IO2 = A22, A18, A14, A10, A6, A2, M6, M2

IO3 = A23, A19, A15, A11, A7, A3, M7, M3

Set Burst with Wrap input format:

IO0 = x, x, x, x, x, x, W4, x

IO1 = x, x, x, x, x, x, W5, x

IO2 = x, x, x, x, x, x, W6, x

IO3 = x, x, x, x, x, x, x, x

9.四路SPI数据输入/输出格式：

IO0 = (D4, D0,)

IO1 = (D5, D1,)

IO2 = (D6, D2,)

IO3 = (D7, D3,)

10.快速读取Quad I / O数据输出格式：

IO0 = (x, x, x, x, D4, D0, D4, D0)

IO1 = (x, x, x, x, D5, D1, D5, D1)

IO2 = (x, x, x, x, D6, D2, D6, D2)

IO3 = (x, x, x, x, D7, D3, D7, D3)

11.第一个虚拟是M7-M0，应设置为Fxh



8.2 指令说明

8.2.1 写使能 (06h)

写使能指令（图5）将状态寄存器中的写使能锁存（WEL）位设置为1。必须在每个页面编程，四页页面编程，扇区擦除，块擦除，芯片擦除，写入状态寄存器和擦除/程序安全性寄存器指令。通过将/CS驱动为低电平，在CLK的上升沿将指令代码“06h”移入数据输入（DI）引脚，然后将/CS驱动为高电平，即可输入写使能指令。

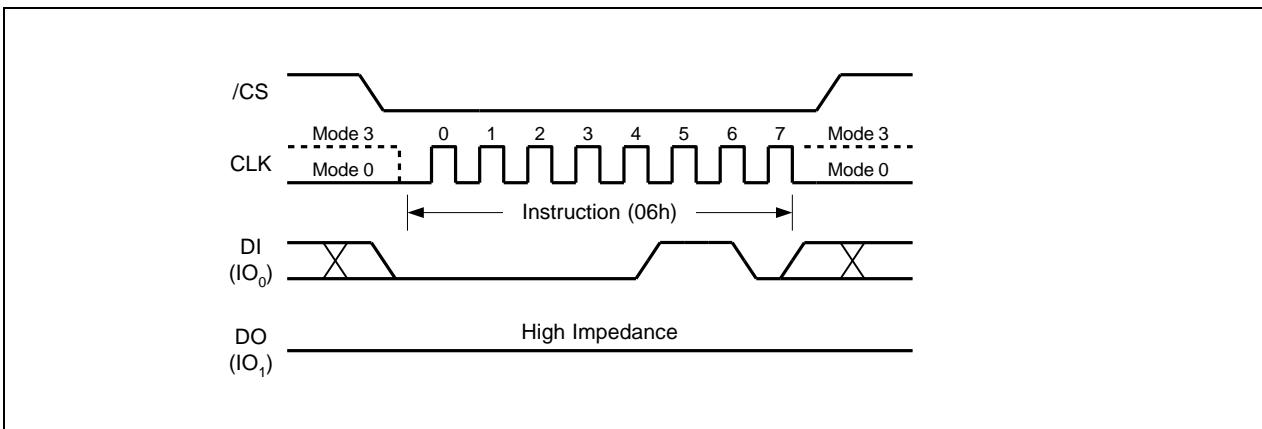


Figure 5. Write Enable Instruction for SPI Mode

8.2.2 易失性状态寄存器的写使能 (50h)

7.1节中描述的非易失性状态寄存器位也可以写为易失性位。这为快速更改系统配置和存储器保护方案提供了更大的灵活性，而无需等待典型的非易失性位写入周期或影响状态寄存器非易失性位的耐久性。要将易失性值写入状态寄存器位，必须在写状态寄存器（01h）指令之前发出易失性状态寄存器（50h）的写使能指令。易失性状态寄存器指令的写使能（图6）不会设置写使能锁存（WEL）位，仅对写状态寄存器指令更改易失性状态寄存器的位值有效。

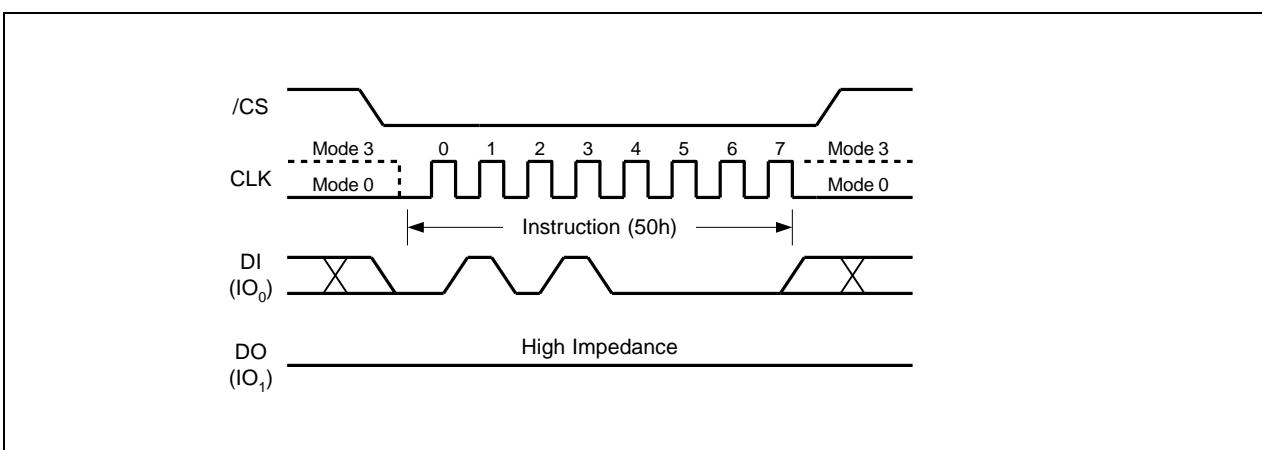


Figure 6. Write Enable for Volatile Status Register Instruction for SPI Mode



8.2.3 禁止写入 (04h)

Write Disable指令(图7)将状态寄存器中的Write Enable Latch (WEL)位重置为0。通过将/CS驱动为低电平，将指令代码“04h”移至DI引脚，然后输入，即可输入Write Disable指令。将/CS调高。注意，上电后以及写状态寄存器，擦除/程序安全寄存器，页面编程，四页页面编程，扇区擦除，块擦除，芯片擦除和复位指令完成后，WEL位将自动复位。

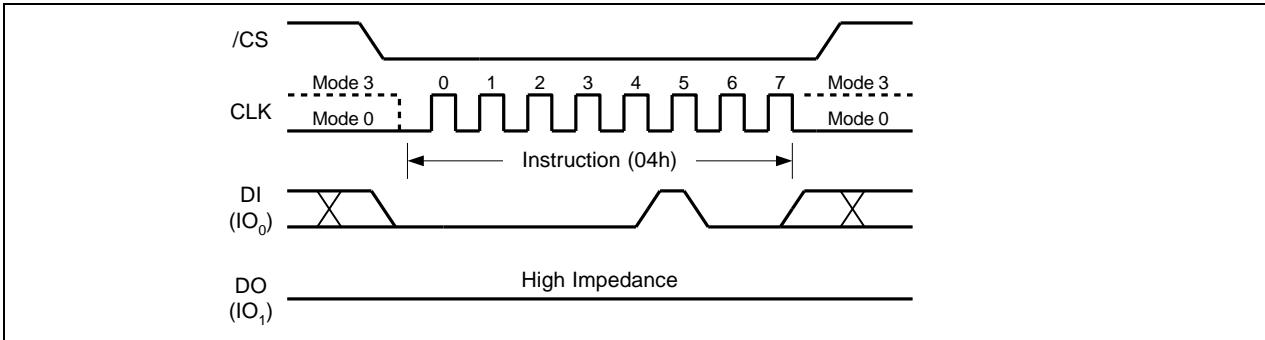


Figure 7. Write Disable Instruction for SPI Mode

8.2.4 读取状态寄存器1 (05h)，状态寄存器2 (35h) 和状态寄存器3 (15h)

读取状态寄存器指令允许读取8位状态寄存器。通过将/CS驱动为低电平并将状态寄存器1的指令代码“05h”，状态寄存器2的“35h”或状态寄存器3的“15h”转移到CLK的上升沿的DI引脚中来输入指令。然后，状态寄存器位在CLK下降沿的DO引脚上移出，最高有效位(MSB)首先移出，如图8所示。有关状态寄存器的说明，请参见7.1节。

读取状态寄存器指令可以随时使用，即使正在进行编程，擦除或写入状态寄存器周期时也是如此。这样可以检查BUSY状态位，以确定周期何时完成以及器件是否可以接受另一条指令。状态寄存器可以连续读取，如图8所示。该指令通过将/CS驱动为高电平来完成。

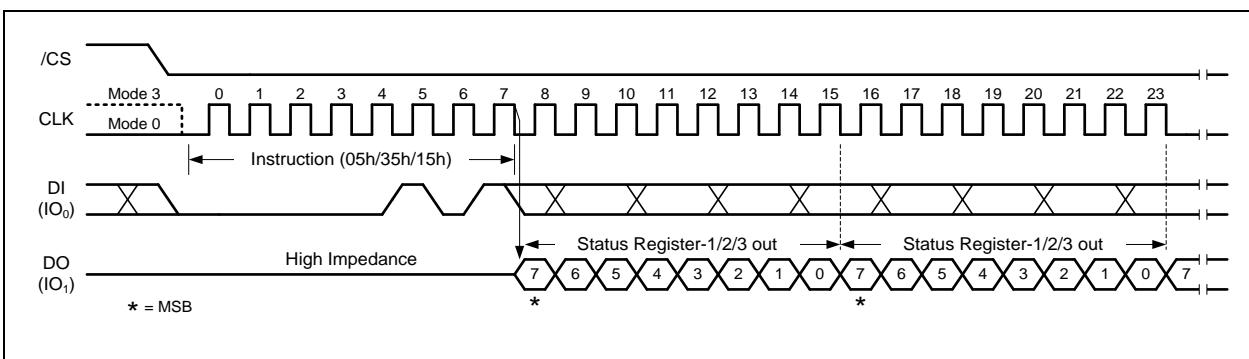


Figure 8. Read Status Register Instruction



8.2.5 写入状态寄存器1 (01h) , 状态寄存器2 (31h) 和状态寄存器3 (11h)

写入状态寄存器指令允许对状态寄存器进行写入。可写的状态寄存器位包括：状态寄存器1中的SEC, TB, BP [2: 0]; 状态寄存器2中的CMP, LB [3: 1], QE, SRL; 状态寄存器3中的DRV1, DRV0, WPS。所有其他状态寄存器位的位置都是只读的，并且不受写状态寄存器指令的影响。LB [3: 1]是非易失性OTP位，一旦将其设置为1，就不能将其清除为0。

要写入非易失性状态寄存器位，必须预先执行标准的写使能 (06h) 指令，器件才能接受写入状态寄存器指令（状态寄存器位WEL必须等于1）。一旦使能写操作，就可以通过将/CS驱动为低电平输入指令，发送指令代码“01h / 31h / 11h”，然后如图9a所示写入状态寄存器数据字节。

要写入易失性状态寄存器位，必须先执行易失性状态寄存器 (50h) 的写使能指令（状态寄存器位WEL保持为0），然后再执行写状态寄存器指令。但是，由于对这些位进行了OTP保护，因此SRL和LB [3: 1]无法从“1”更改为“0”。断电或执行软件/硬件复位后，易失性状态寄存器位的值将丢失，而非易失性状态寄存器位的值将恢复。

在非易失性状态寄存器写操作期间 (06h与01h / 31h / 11h结合使用)，/CS被驱动为高电平后，自定时写状态寄存器周期将开始持续t_W的时间（请参见AC特性）。在写状态寄存器周期进行期间，仍可以访问读状态寄存器指令以检查BUSY位的状态。在写状态寄存器周期中，BUSY位为1，在周期结束时为0，准备再次接受其他指令。写状态寄存器周期完成后，状态寄存器中的写使能锁存 (WEL) 位将被清除为0。

在易失性状态寄存器写操作期间 (50h与01h / 31h / 11h结合使用)，将/CS驱动为高电平后，状态寄存器位将在t_{SHSL2}的时间段内刷新为新值（请参见AC特性）。在状态寄存器位刷新期间，BUSY位将保持为0。

有关状态寄存器的说明，请参见第7.1节。

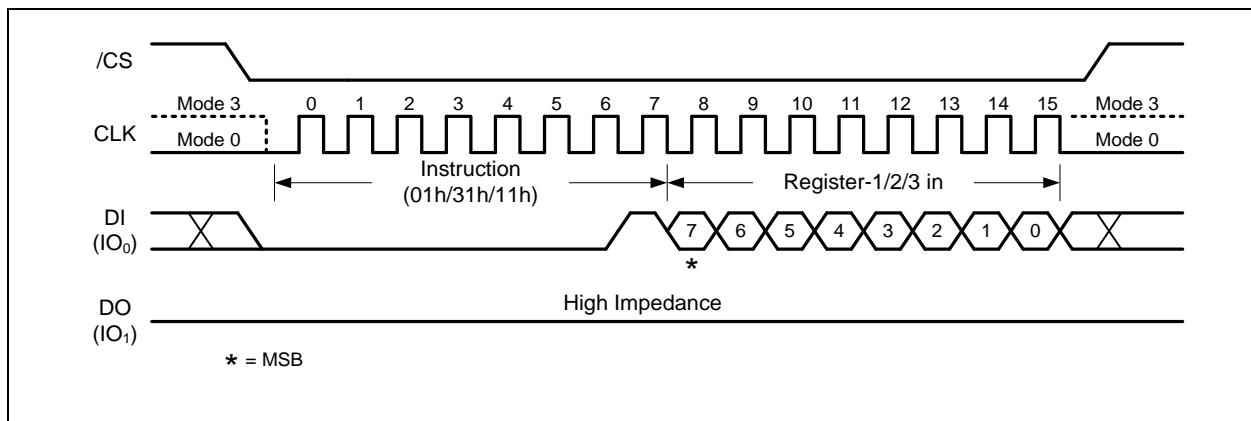


Figure 9a. Write Status Register-1/2/3 Instruction



W25Q64JV还向后兼容Winbond的前几代串行闪存，其中可以使用单个“写入状态寄存器1（01h）”命令来写入状态寄存器1和2。为了完成写状态寄存器-1 & 2指令，必须在输入第16位数据之后将/ CS引脚驱动为高电平，如图9c所示。如果在第八个时钟之后将/ CS驱动为高电平，则写入状态寄存器1（01h）指令将仅对状态寄存器1进行编程，而状态寄存器2将不受影响（上一代将清除CMP和QE位）。

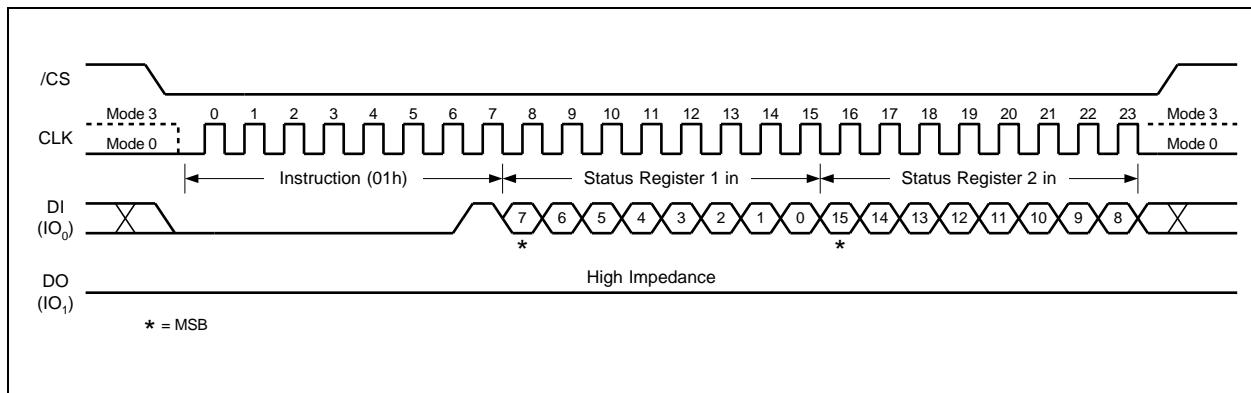


Figure 9c. Write Status Register-1/2 Instruction



8.2.6 读取数据 (03h)

读取数据指令允许从存储器中顺序读取一个或多个数据字节。通过将/CS引脚驱动为低电平，然后将指令代码“03h”和随后的24位地址(A23-A0)移入DI引脚，可以启动指令。代码和地址位在CLK引脚的上升沿锁存。接收到地址后，寻址的存储单元的数据字节将在CLK的下降沿的DO引脚上移出，最高有效位(MSB)在前。每个数据字节移出后，地址会自动递增到下一个更高的地址，以允许连续的数据流。这意味着只要时钟持续，就可以用一条指令访问整个存储器。通过将/CS驱动为高电平来完成该指令。

读数据指令序列如图14所示。如果在执行擦除、编程或写周期(BUSY = 1)时发出了读数据指令，则该指令将被忽略，并且不会对当前周期产生任何影响。读取数据指令允许时钟速率从D.C.到最大值fR(请参阅AC电气特性)。

仅在标准SPI模式下才支持读数据(03h)指令。

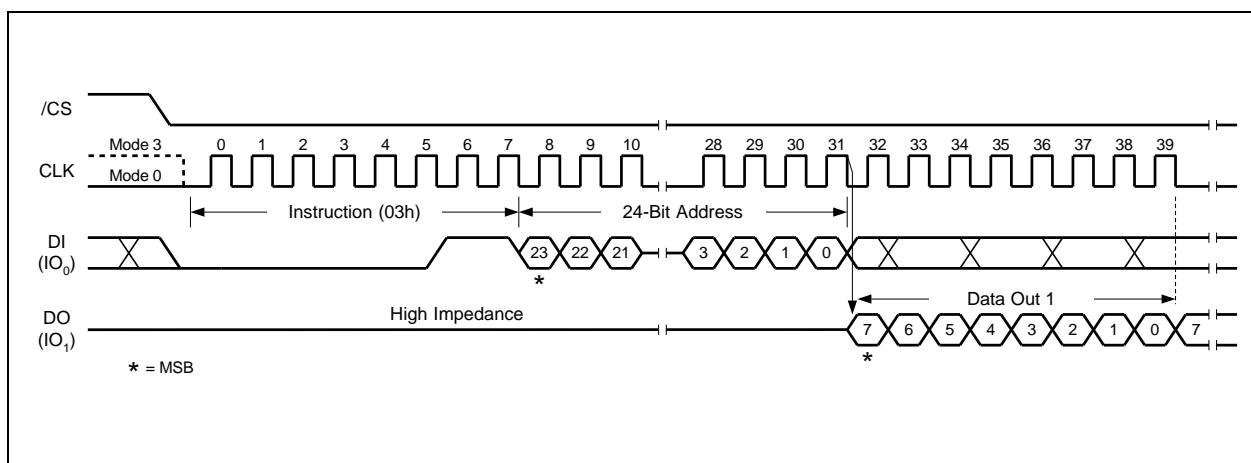


Figure 14. Read Data Instruction



8.2.7 快速读取 (0Bh)

快速读取指令与读取数据指令相似，不同之处在于它可以在FR的最高频率下运行（请参阅AC电气特性）。这是通过在24位地址之后添加八个“虚拟”时钟来实现的，如图16所示。虚拟时钟为设备内部电路提供了额外的时间来设置初始地址。在虚拟时钟期间，DO引脚上的数据值为“无关紧要”。

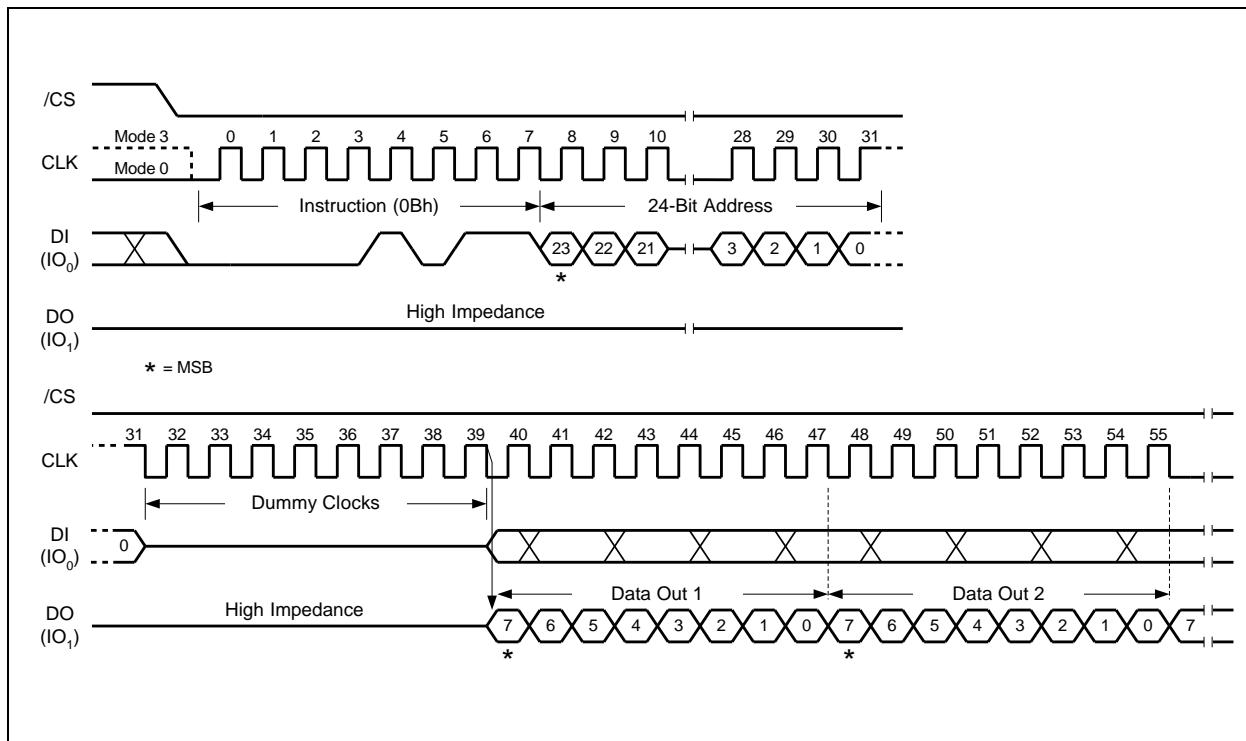


Figure 16. Fast Read Instruction



8.2.8 快速读取双路输出 (3Bh)

快速读取双路输出 (3Bh) 指令与标准快速读取 (0Bh) 指令相似，不同之处在于数据是在两个引脚上输出的。IO0和IO1。这样就可以以标准SPI器件两倍的速率传输数据。快速读取双输出指令非常适合在加电时将代码从闪存快速下载到RAM或将代码段缓存到RAM以便执行的应用程序。

与快速读取指令类似，快速读取双路输出指令可以在FR的最高频率下运行（请参阅AC电气特性）。这是通过在24位地址之后添加八个“虚拟”时钟来实现的，如图18所示。虚拟时钟为设备的内部电路提供了额外的时间来设置初始地址。虚拟时钟期间的输入数据为“无关”。但是，在第一个数据输出时钟的下降沿之前，IO0引脚应为高阻态。

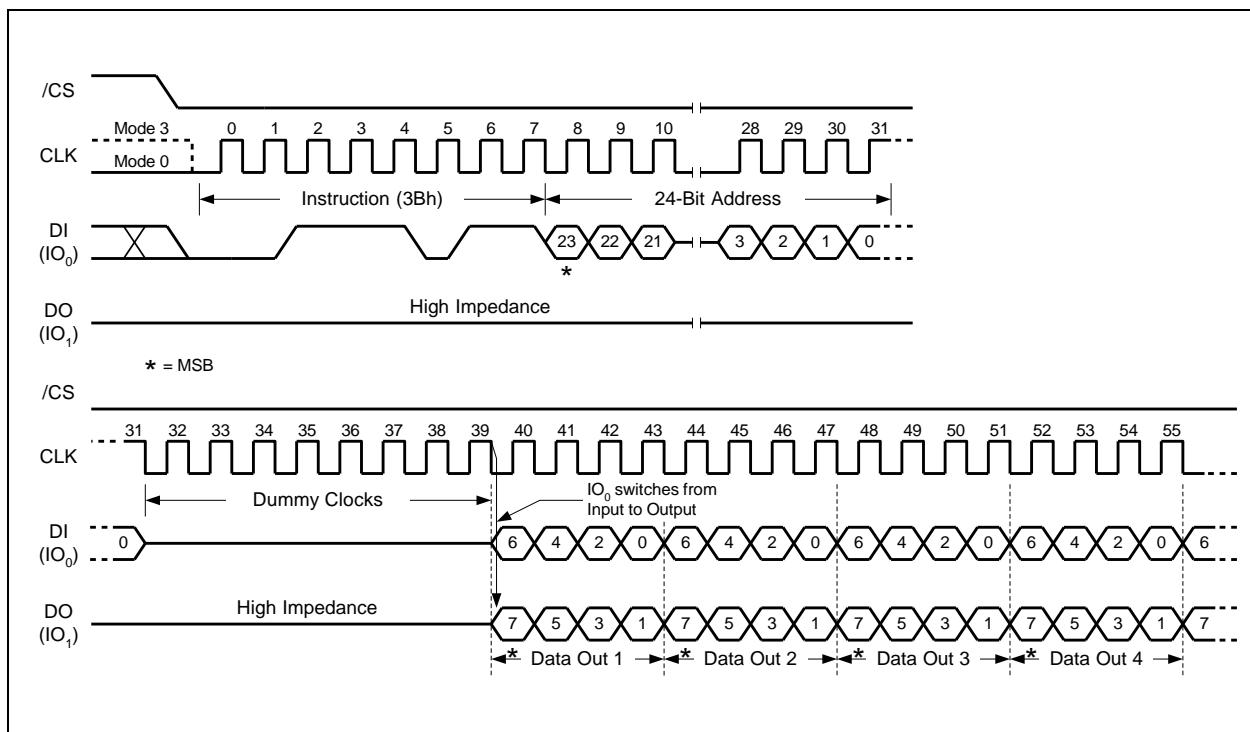


Figure 18. Fast Read Dual Output Instruction



8.2.9 快速读取四路输出 (6Bh)

快速读取四路输出 (6Bh) 指令与快速读取双路输出 (3Bh) 指令类似，不同之处在于，数据在四个引脚 IO0, IO1, IO2 和 IO3 上输出。在设备接受快速读取四线输出指令之前，必须将状态寄存器2中的四线使能 (QE) 位设置为1。快速读取四路输出指令允许以标准SPI器件速率的四倍传输数据。

快速读取四路输出指令可以在FR的最高频率下运行（请参见AC电气特性）。这是通过在24位地址之后添加八个“虚拟”时钟来实现的，如图20所示。虚拟时钟为设备的内部电路提供了额外的时间来设置初始地址。虚拟时钟期间的输入数据为“无关”。但是，在第一个数据输出时钟的下降沿之前，IO引脚应为高阻态。

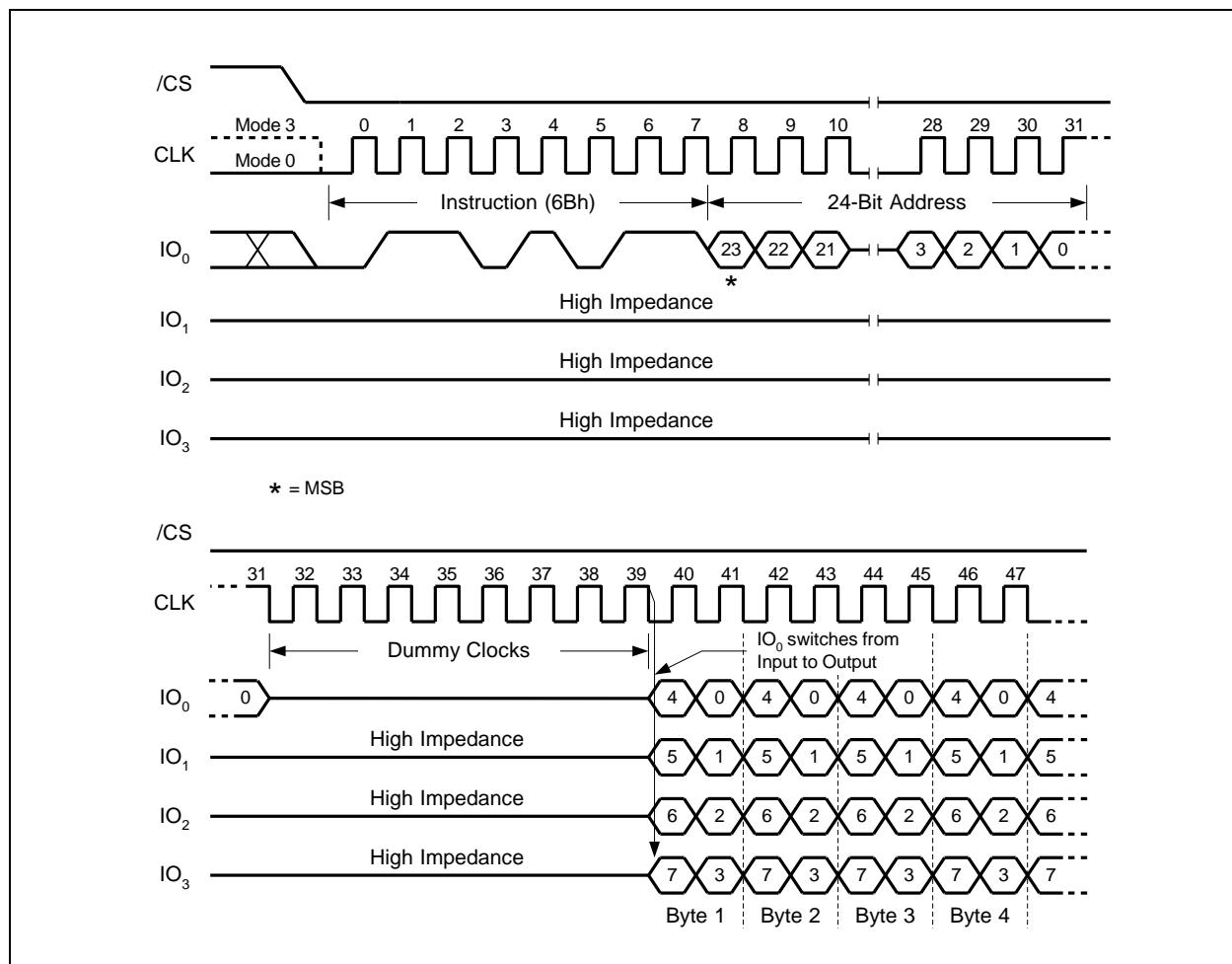


Figure 20. Fast Read Quad Output Instruction



8.2.10 快速读取双I / O (BBh)

快速读取双I / O (BBh) 指令可改善随机访问，同时保持两个IO引脚IO0和IO1。它类似于快速读取双路输出 (3Bh) 指令，但具有每个时钟输入两位的地址位 (A23-0) 的功能。在某些应用中，这种减少的指令开销可能允许直接从Dual SPI执行代码执行 (XIP)。

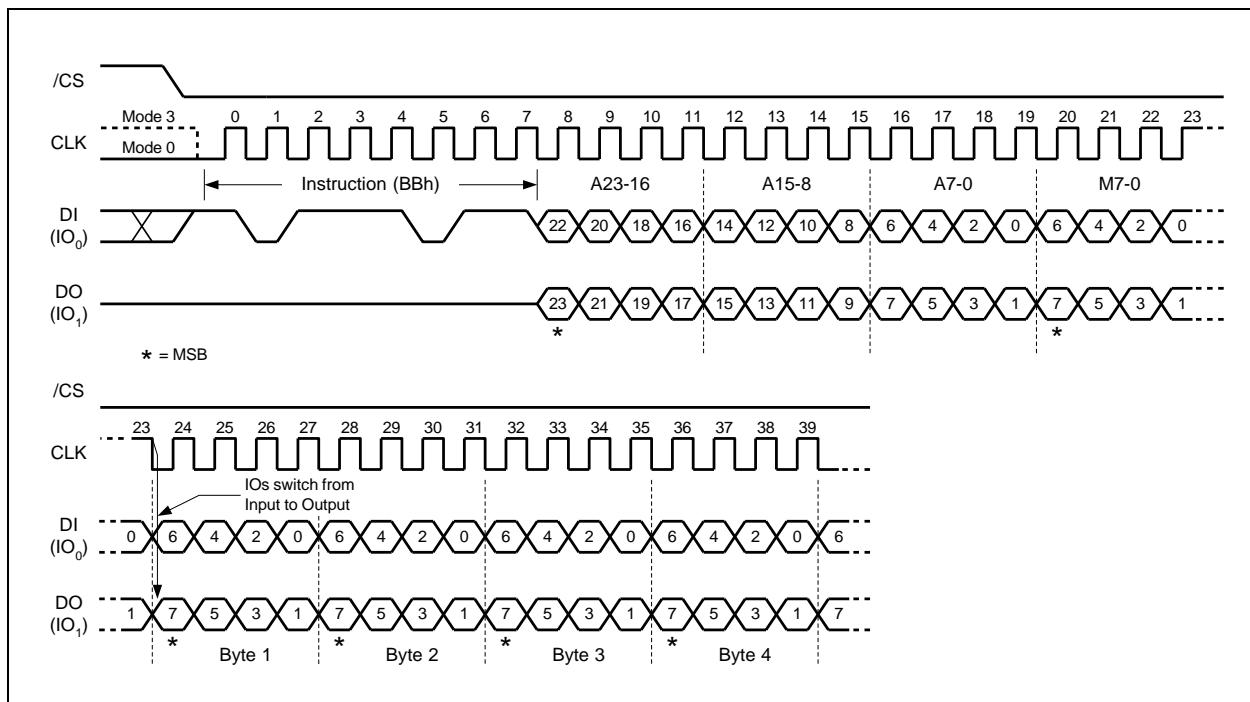


Figure 22. Fast Read Dual I/O Instruction (M5-4=Fxh)



8.2.11 快速读取四路I / O (EBh)

快速读取四通道I / O (EBh) 指令与快速读取双通道I / O (BBh) 指令相似，不同之处在于地址和数据位通过四个引脚IO0, IO1, IO2和IO3输入和输出，而四个虚拟时钟为在输出数据之前，需要在SPI模式下进行。Quad I / O大大减少了指令开销，从而可以直接从Quad SPI更快地随机访问代码执行 (XIP)。必须将状态寄存器2的Quad Enable位 (QE) 设置为启用快速读取Quad I / O指令。

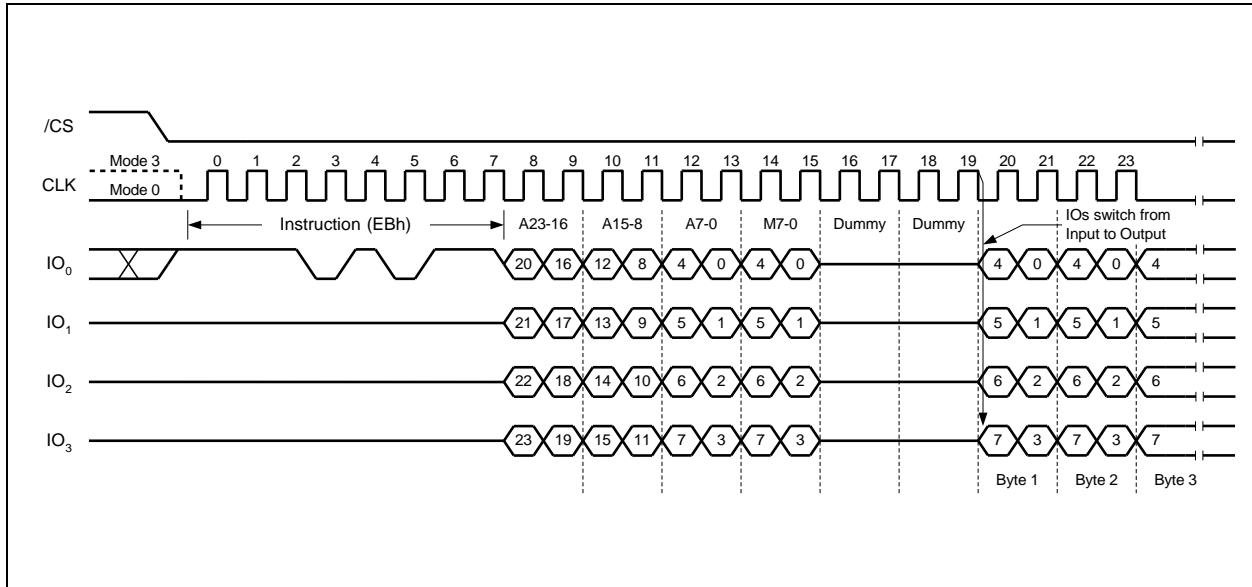


Figure 24a. Fast Read Quad I/O Instruction (M7-M0 should be set to Fxh)

在标准SPI模式下，具有“8/16/32/64字节环绕”的快速读取四路I / O

通过在EBh之前发出“使用包装设置突发”(77h)命令，还可以使用快速读取Quad I / O指令来访问页面中的特定部分。“使用包装设置突发”(77h)命令可以启用或禁用以下EBh命令的“包装”功能。启用“环绕”后，可以将正在访问的数据限制为256字节页面的8、16、32或64字节部分。输出数据从指令中指定的起始地址开始，一旦到达8/16/32/64字节节的结束边界，输出将自动环绕到开始边界，直到/ CS被拉高以终止命令。

带包装的突发功能使使用缓存的应用程序可以快速获取关键地址，然后在固定长度(8/16/32/64字节)的数据内填充缓存，而无需发出多个读取命令。

“使用包装设置突发”指令允许设置三个“包装位”W6-4。W4位用于启用或禁用“环绕”操作，而W6-5用于指定页面内环绕部分的长度。有关详细说明，请参见第8.2.37节。



8.2.12

Set Burst with Wrap (77h)

在标准SPI模式下，“设置自动换行突发 (77h) ”指令与“快速读取Quad I / O”指令一起使用可访问256字节页内固定长度的8/16/32/64字节。某些应用程序可以从此功能中受益，并提高整体系统代码的执行性能。

与Quad I / O指令相似，通过将CS引脚驱动为低电平，然后将指令代码“77h”紧随其后的是24个虚拟位和8个“Wrap Bits”(W7-0)，来启动带包装置位突发指令。指令序列如图28所示。不使用换行位W7和低位半字节W3-0。

W6, W5	W4 = 0		W4 = 1 (DEFAULT)	
	Wrap Around	Wrap Length	Wrap Around	Wrap Length
0 0	Yes	8-byte	No	N/A
0 1	Yes	16-byte	No	N/A
1 0	Yes	32-byte	No	N/A
1 1	Yes	64-byte	No	N/A

Once W6-4 is set by a Set Burst with Wrap instruction, the following “Fast Read Quad I/O” instructions will use the W6-4 setting to access the 8/16/32/64-byte section within any page. To exit the “Wrap Around” function and return to normal read operation, another Set Burst with Wrap instruction should be issued to set W4 = 1. The default value of W4 upon power on or after a software/hardware reset is 1.

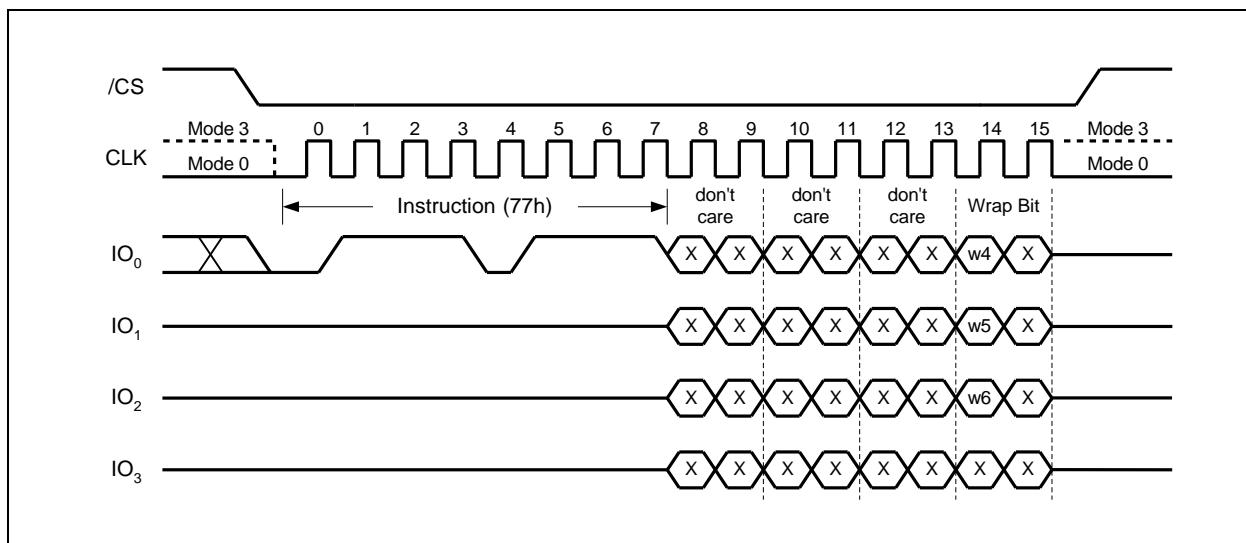


Figure 28. Set Burst with Wrap Instruction



8.2.13

页面程序 (02h)

页面编程指令允许从一个字节到256字节（一页）的数据在先前擦除的（FFh）存储器位置进行编程。在器件接受页面编程指令（状态寄存器位WEL = 1）之前，必须执行写使能指令。通过将/CS引脚驱动为低电平，然后将指令代码“02h”，然后是24位地址（A23-A0）和至少一个数据字节，移入DI引脚，可以启动指令。在将数据发送到设备时，/CS引脚在整个指令期间必须保持低电平。Page Program指令序列如图29所示。

如果要对整个256字节的页面进行编程，则应将最后一个地址字节（8个最低有效地址位）设置为0。如果最后一个地址字节不为零，并且时钟数超过了剩余的页面长度，则寻址将换行到页面的开头。在某些情况下，可以编程少于256个字节（部分页），而不会影响同一页中的其他字节。执行部分页面编程的一个条件是时钟数不能超过剩余页面长度。如果发送给设备的字节数超过256，则寻址将绕到页面的开头，并覆盖先前发送的数据。

与写和擦除指令一样，必须将最后一个字节的第八位锁存后，将/CS引脚驱动为高电平。如果不这样做，将不会执行页面编程指令。/CS被驱动为高电平后，自定时页面编程指令将开始一段tpp的持续时间（请参见AC特性）。在页面编程周期进行期间，仍可以访问读取状态寄存器指令以检查BUSY位的状态。在页面编程周期中，BUSY位为1，在周期结束且设备准备好再次接受其他指令时，BUSY位为0。页面编程周期结束后，状态寄存器中的写使能锁存（WEL）位被清除为0。如果寻址的页面受块保护（CMP，SEC，TB，BP2）保护，则将不执行页面编程指令。, BP1和BP0) 位或单个块/扇区锁定。

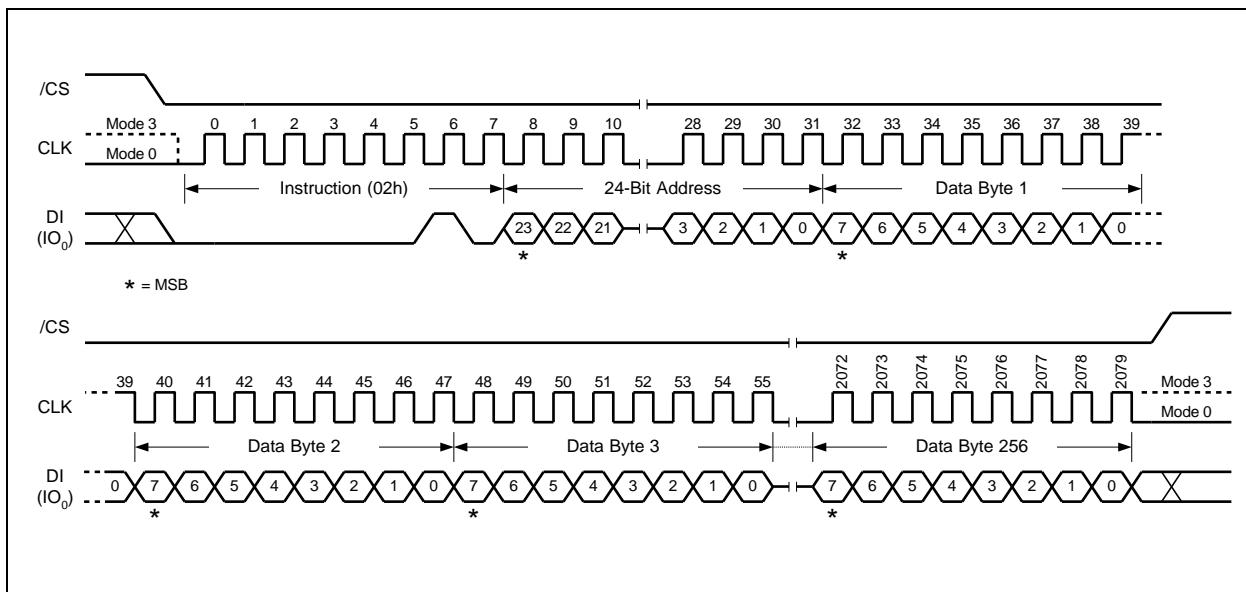


Figure 29. Page Program Instruction



8.2.14 四输入页面程序 (32h)

四页编程指令允许使用四个引脚 (IO0, IO1, IO2和IO3) 在先前擦除的 (FFh) 存储器位置编程多达256个字节的数据。四页程序可以为时钟速度小于5MHz的PROM编程器和应用程序提高性能。具有更快时钟速度的系统将无法从“四页编程”指令中获得太多收益，因为固有的页编程时间远大于写入数据所需的时间。

要使用四页程序，必须将状态寄存器2中的四元使能 (QE) 位设置为1。必须执行一条写使能指令，然后设备才能接受四元页程序指令 (状态寄存器1, WEL = 1)。通过将/ CS引脚驱动为低电平，然后将指令代码 “32h” 紧随其后的是24位地址 (A23-A0) 和至少一个数据字节，移入IO引脚，即可启动指令。在将数据发送到设备时，/ CS引脚在整个指令期间必须保持低电平。Quad Page Program的所有其他功能与标准Page Program相同。四页程序指令序列如图30所示。

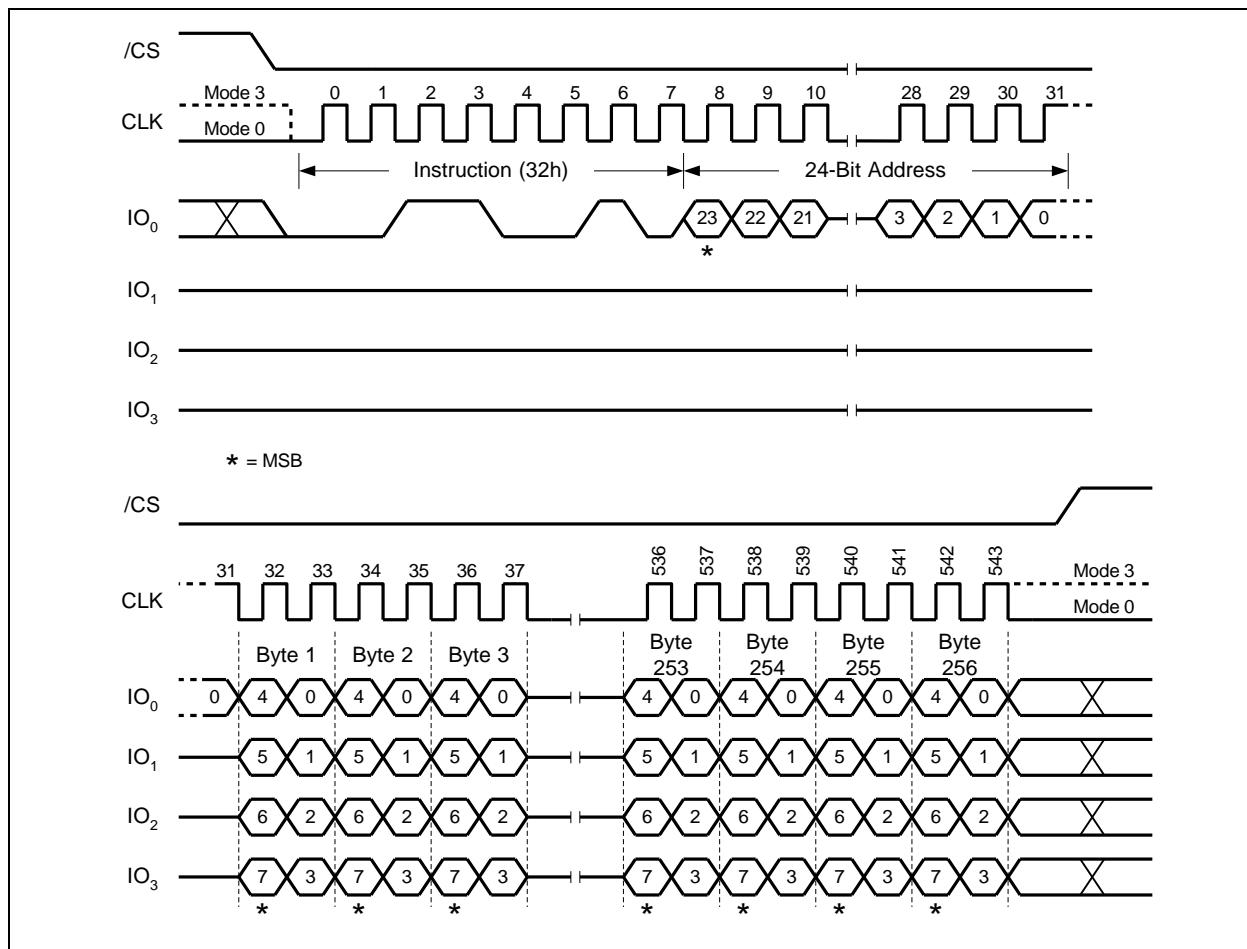


Figure 30. Quad Input Page Program Instruction



8.3 扇区擦除 (20h)

扇区擦除指令将指定扇区（4K字节）内的所有内存设置为全1（FFh）的擦除状态。在器件接受扇区擦除指令之前（状态寄存器位WEL必须等于1），必须执行写使能指令。通过将/CS引脚驱动为低电平并在24位扇区地址（A23-A0）之后移动指令代码“20h”来启动指令。扇区擦除指令序列如图31所示。

在最后一个字节的第八位被锁存后，必须将/CS引脚驱动为高电平。如果不这样做，将不执行扇区擦除指令。/CS被驱动为高电平后，自定时扇区擦除指令将在tSE的持续时间内开始（请参见AC特性）。在扇区擦除周期进行期间，仍可以访问读取状态寄存器指令以检查BUSY位的状态。在扇区擦除周期中，BUSY位为1，在周期结束且设备准备好再次接受其他指令时，BUSY位为0。扇区擦除周期结束后，状态寄存器中的写使能锁存（WEL）位被清除为0。如果所寻址的页面受块保护（CMP，SEC，TB，BP2）保护，则将不执行扇区擦除指令。（，BP1和BP0）位或单个块/扇区锁。

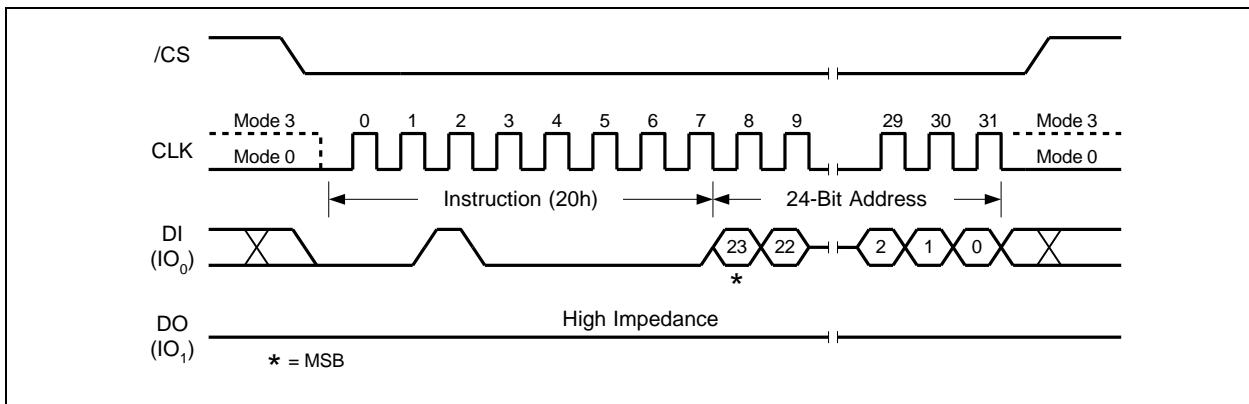


Figure 31. Sector Erase Instruction



8.3.1 32KB块擦除 (52h)

块擦除指令将指定块（32K字节）内的所有内存设置为全1（FFh）的擦除状态。器件接受块擦除指令之前，必须先执行写使能指令（状态寄存器位WEL必须等于1）。通过将/CS引脚驱动为低电平并将指令代码“52h”移至24位块地址（A23-A0），可以启动指令。块擦除指令序列如图32所示。

在最后一个字节的第八位被锁存后，必须将/CS引脚驱动为高电平。如果不这样做，将不会执行块擦除指令。/CS被驱动为高电平后，自定时块擦除指令将在持续时间tBE1内开始（请参见AC特性）。在块擦除周期进行期间，仍可以访问读取状态寄存器指令以检查BUSY位的状态。在块擦除周期中，BUSY位为1，在周期结束且设备准备好再次接受其他指令时，BUSY位为0。块擦除周期完成后，状态寄存器中的写使能锁存（WEL）位被清除为0。如果所寻址的页面受块保护（CMP，SEC，TB，BP2）保护，则将不执行块擦除指令。, BP1和BP0位或单个块/扇区锁定。

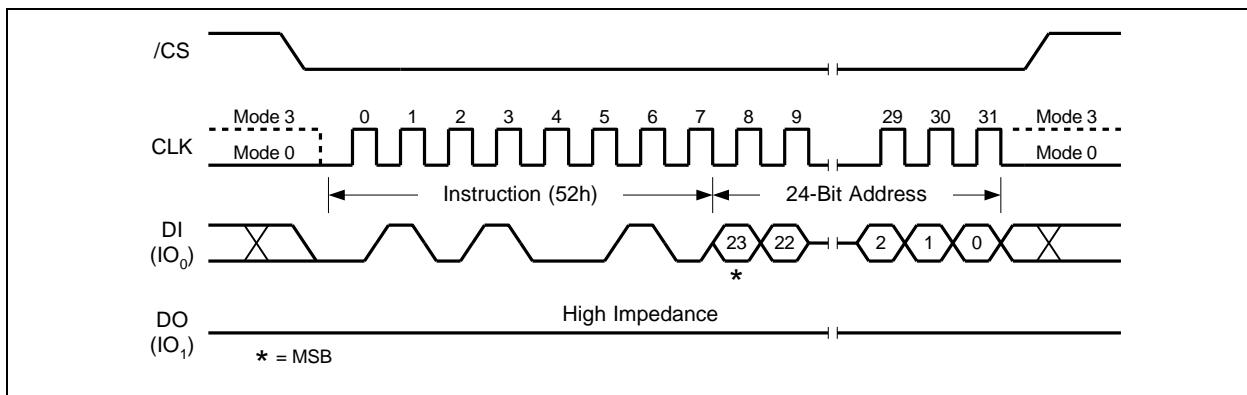


Figure 32. 32KB Block Erase Instruction



8.3.2 64KB块擦除 (D8h)

块擦除指令将指定块（64K字节）内的所有内存设置为全1（FFh）的擦除状态。器件接受块擦除指令之前，必须先执行写使能指令（状态寄存器位WEL必须等于1）。通过将/CS引脚驱动为低电平并将指令代码“D8h”移至24位块地址（A23-A0），可以启动指令。块擦除指令序列如图33所示。

在最后一个字节的第八位被锁存后，必须将/CS引脚驱动为高电平。如果不这样做，将不会执行块擦除指令。/CS被驱动为高电平后，自定时块擦除指令将在持续时间tBE内开始（请参见AC特性）。在块擦除周期进行期间，仍可以访问读取状态寄存器指令以检查BUSY位的状态。在块擦除周期中，BUSY位为1，在周期结束且设备准备好再次接受其他指令时，BUSY位为0。块擦除周期完成后，状态寄存器中的写使能锁存（WEL）位被清除为0。如果所寻址的页面受块保护（CMP，SEC，TB，BP2）保护，则将不执行块擦除指令。, BP1和BP0位或单个块/扇区锁定。

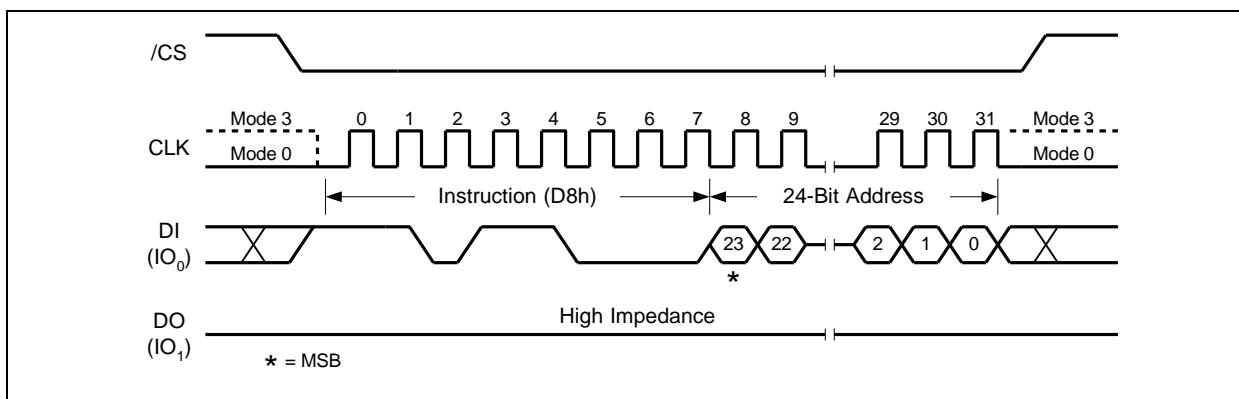


Figure 33. 64KB Block Erase Instruction



8.3.3 芯片擦除 (C7h / 60h)

芯片擦除指令将设备内的所有存储器设置为全1的擦除状态 (FFh)。器件接受芯片擦除指令之前，必须先执行写使能指令（状态寄存器位WEL必须等于1）。通过将/CS引脚驱动为低电平并将指令代码“C7h”或“60h”移位来启动指令。芯片擦除指令序列如图34所示。

第八位锁存后，必须将/CS引脚驱动为高电平。如果不这样做，将不执行Chip Erase指令。/CS被驱动为高电平后，自定时芯片擦除指令将在tCE的持续时间内开始（请参见AC特性）。在芯片擦除周期进行期间，仍可以访问读取状态寄存器指令以检查BUSY位的状态。在芯片擦除周期中，BUSY位为1，完成后变为0，器件准备再次接受其他指令。芯片擦除周期完成后，状态寄存器中的写使能锁存（WEL）位被清除为0。如果任何存储器区域受块保护（CMP，SEC，TB，BP2）保护，则将不执行Chip Erase指令。BP1和BP0位或单个块/扇区锁定。

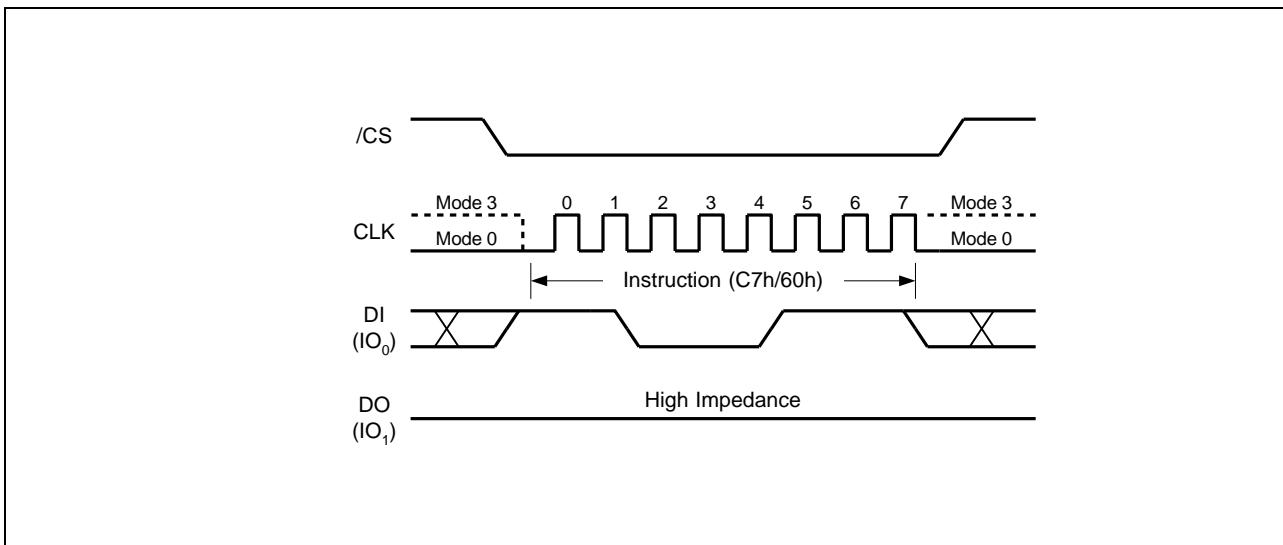


Figure 34. Chip Erase Instruction



8.3.4 擦除/程序暂停(75h)

擦除/程序暂停指令“75h”允许系统中断扇区或块擦除操作或页面编程操作，然后从任何其他扇区或块中读取数据或将数据编程/擦除到任何其他扇区或块中。擦除/程序挂起指令序列如图35所示。

擦除暂停期间不允许写入状态寄存器指令(01h)和擦除指令(20h, 52h, D8h, C7h, 60h, 44h)。擦除挂起仅在扇区或块擦除操作期间有效。如果在芯片擦除操作期间写入，则擦除挂起指令将被忽略。程序挂起期间不允许写入状态寄存器指令(01h)和程序指令(02h, 32h, 42h)。程序挂起仅在分页程序或四分页程序操作期间有效。

仅当在进行扇区或块擦除或页面编程操作的过程中，状态寄存器中的SUS位等于0而忙位等于1时，设备才会接受擦除/程序暂停指令“75h”。如果SUS位等于1或BUSY位等于0，则器件将忽略挂起指令。要暂停擦除或编程操作，最多需要“tSUS”时间（请参见AC特性）。擦除/程序暂停后，状态寄存器中的BUSY位将在“tSUS”内从1清除为0，状态寄存器中的SUS位将立即从0设置为1。对于先前恢复的擦除/编程操作，还要求不要在前面的恢复指令“7Ah”之后的最短时间“tSUS”之前发出“Suspend”指令“75h”。

在“擦除/程序”挂起状态期间意外关闭电源将重置设备并释放挂起状态。状态寄存器中的SUS位也将重置为0。被挂起的页面、扇区或块中的数据可能会损坏。建议用户实施系统设计技术以防止意外的电源中断，并在擦除/编程暂停状态下保持数据完整性。

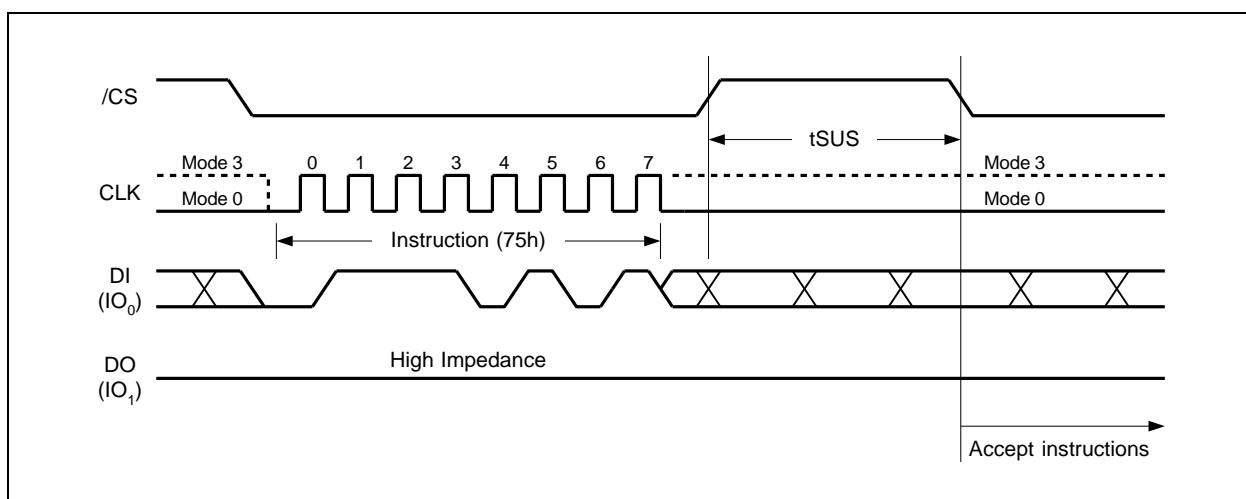


Figure 35. Erase/Program Suspend Instruction



8.3.5 擦除/程序恢复 (7Ah)

必须写入擦除/程序恢复指令“7Ah”，以在擦除/程序暂停后恢复扇区或块擦除操作或页面编程操作。仅当状态寄存器中的SUS位等于1并且BUSY位等于0时，设备才会接受恢复指令“7Ah”。发出后，SUS位将立即从1清除为0，而BUSY位将被清除。在200ns内从0设置为1，然后Sector或Block将完成擦除操作，或者页面将完成编程操作。如果SUS位等于0或BUSY位等于1，则设备将忽略恢复指令“7Ah”。擦除/程序恢复指令序列如图36所示。

如果先前的“擦除/程序暂停”操作被意外关闭而中断，则恢复指令将被忽略。还要求在先前的恢复指令之后的“t_{SUS}”的最短时间内，不要发布后续的擦除/程序暂停指令。

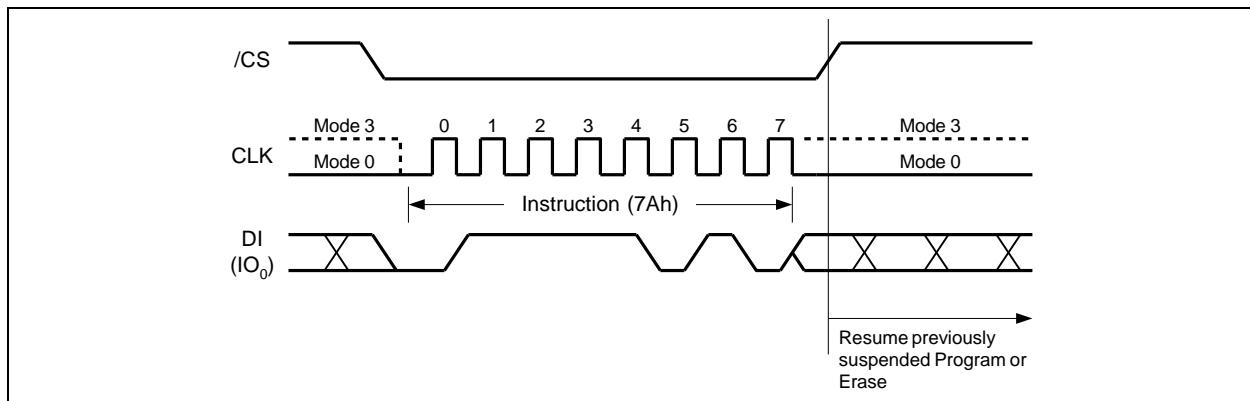


Figure 36. Erase/Program Resume Instruction



8.3.6掉电 (B9h)

尽管正常工作期间的待机电流相对较低，但是通过掉电指令可以进一步降低待机电流。较低的功耗使掉电指令对电池供电的应用特别有用（请参见“AC特性”中的ICC1和ICC2）。通过将/CS引脚驱动为低电平并移位指令代码“B9h”来启动指令，如图37所示。

第八位锁存后，必须将/CS引脚驱动为高电平。如果不这样做，将不执行掉电指令。将/CS驱动为高电平后，将在tDP的持续时间内进入掉电状态（请参见AC特性）。在掉电状态下，仅会识别将设备恢复到正常工作状态的释放掉电/设备ID (ABh) 指令。所有其他指令都将被忽略。这包括读取状态寄存器指令，该指令在正常操作期间始终可用。忽略一条指令即可使掉电状态成为确保最大写保护的有用条件。在正常工作状态下，器件始终使用ICC1的待机电流上电。

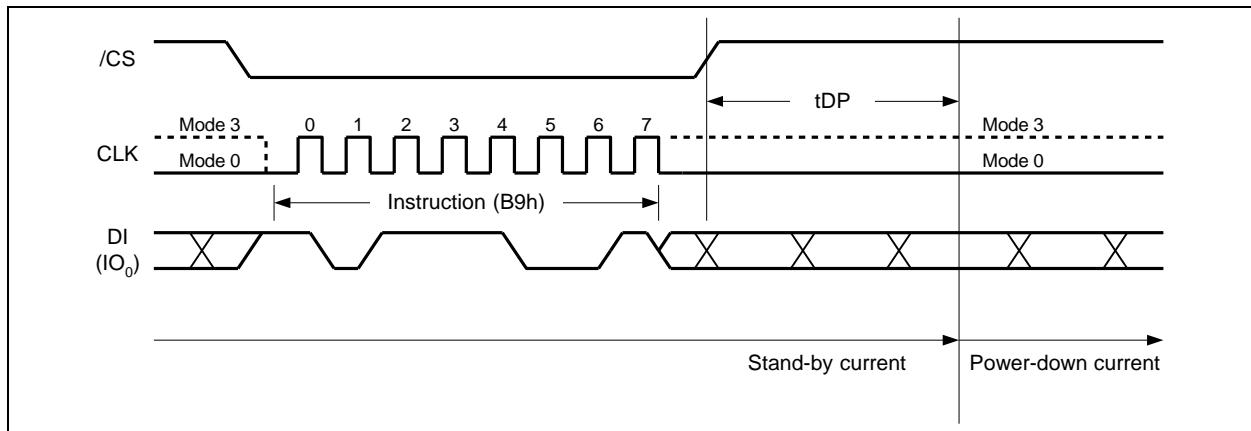


Figure 37. Deep Power-down Instruction



8.3.7 释放掉电/设备ID (ABh)

掉电释放/设备ID指令是多用途指令。它可用于从断电状态释放设备，或获取设备的电子标识（ID）编号。

为了使器件从掉电状态释放，可通过将/CS引脚驱动为低电平，将指令代码“ABh”移位并将/CS驱动为高电平来发出指令，如图38a所示。从断电状态释放将花费tRES1的时间（请参见AC特性），然后设备才能恢复正常运行并接受其他指令。/CS引脚必须在tRES1时间段内保持高电平。

当仅在不处于掉电状态时用于获取设备ID时，通过将/CS引脚驱动为低电平并将指令代码“ABh”紧随其后的是3个虚拟字节来启动指令。然后，设备ID位在CLK的下降沿移出，最高有效位（MSB）在前。W25Q64JV的设备ID值在制造商和设备标识表中列出。可以连续读取设备ID。通过将/CS驱动为高电平来完成该指令。

当用于将设备从掉电状态释放并获得设备ID时，指令与先前描述的相同，如图38b所示，不同之处在于/CS被驱动为高电平后必须保持高电平持续时间为tRES2（请参阅AC特性）。在这段时间之后，设备将恢复正常运行，并接受其他说明。如果在执行擦除、编程或写入周期时（当BUSY等于1时）发出了“掉电释放/设备ID”指令，则该指令将被忽略，并且不会对当前周期产生任何影响。

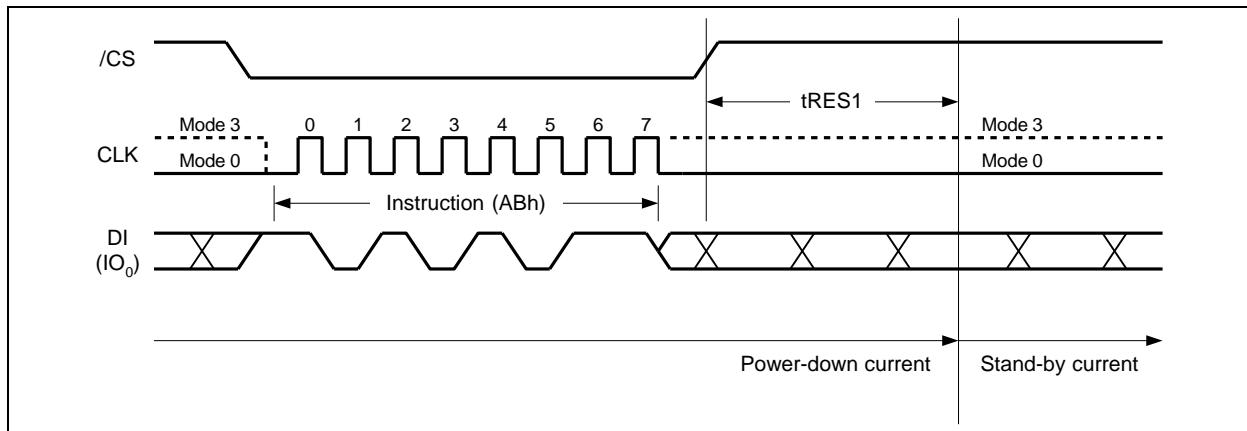


Figure 38a. Release Power-down Instruction

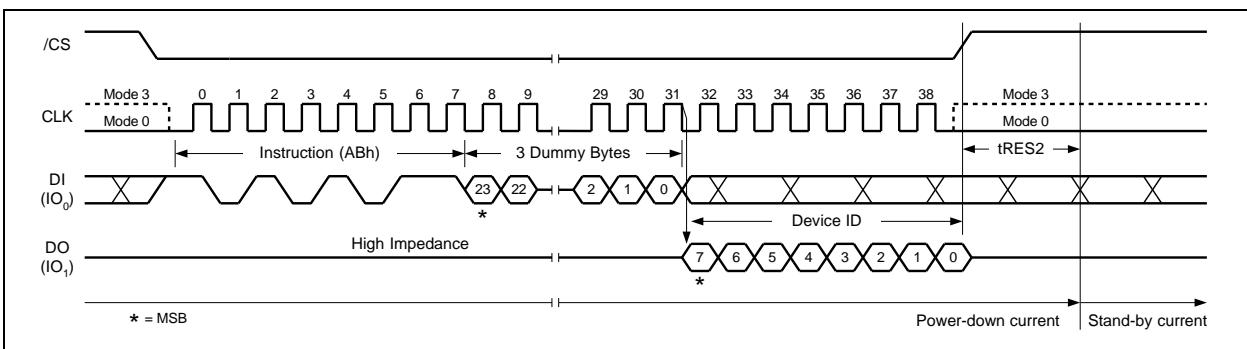


Figure 38c. Release Power-down / Device ID Instruction



8.3.8 读取制造商/设备ID (90h)

“读取制造商/设备ID”指令是“掉电/设备ID释放”指令的替代方法，该指令同时提供JEDEC分配的制造商ID和特定的设备ID。

读取制造商/设备ID指令与关机/设备ID释放指令非常相似。通过将/CS引脚驱动为低电平并转移指令代码“90h”，后跟000000h的24位地址（A23-A0），可以启动指令。之后，首先在CLK的下降沿以最高有效位（MSB）移出Winbond的制造商ID（EFh）和设备ID，如图39所示。W25Q64JV的设备ID值在制造商和设备标识表。通过将/CS驱动为高电平来完成该指令。

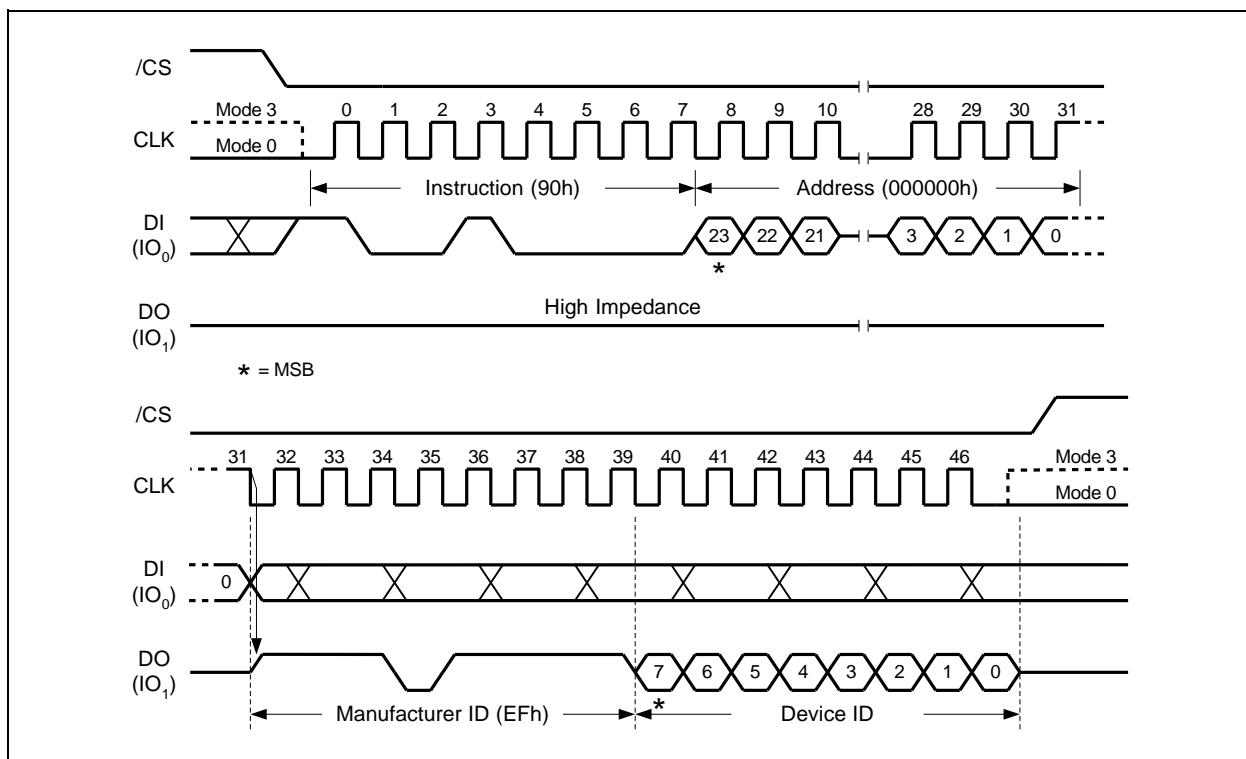


Figure 39. Read Manufacturer / Device ID Instruction



8.3.9 读取制造商/设备ID双I / O (92h)

“读取制造商/设备ID”双重I / O指令是“读取制造商/设备ID”指令的替代方法，该指令以2倍速提供JEDEC分配的制造商ID和特定设备ID。

读取制造商/设备ID双I / O指令类似于快速读取双I / O指令。通过将/ CS引脚驱动为低电平并移位指令代码“92h”，后跟一个000000h的24位地址（A23-A0），可以启动该指令，但是每个时钟可以输入两位。之后，华邦的制造商ID（EFh）和设备ID在CLK的下降沿每个时钟移出2位，首先是最高有效位（MSB），如图40所示。W25Q64JV的设备ID值为 在制造商和设备标识表中列出。可以连续读取制造商和设备ID，彼此交替读取。通过将/ CS驱动为高电平来完成该指令。

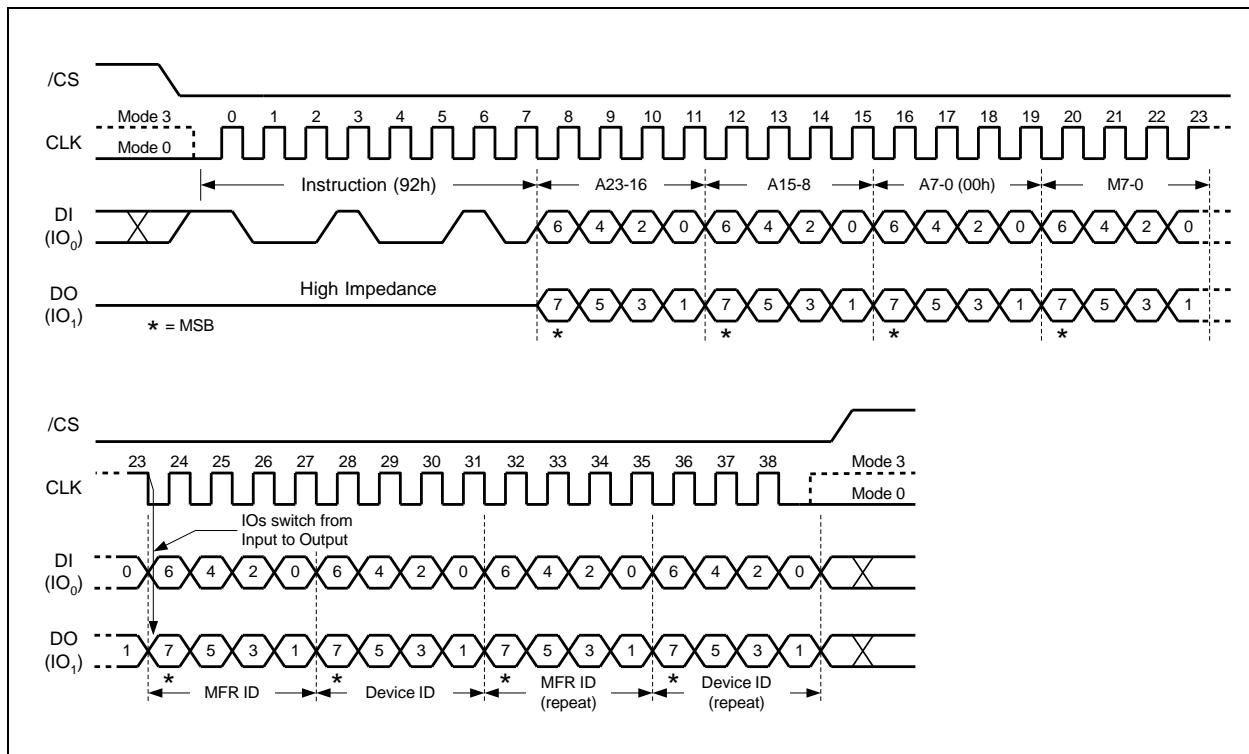


Figure 40. Read Manufacturer / Device ID Dual I/O Instruction

Note:

The “Continuous Read Mode” bits M(7-0) must be set to Fxh to be compatible with Fast Read Dual I/O instruction.



8.3.10 读取制造商/设备ID Quad I / O (94h)

读取制造商/设备ID Quad I / O指令是读取制造商/设备ID指令的替代方法，该指令以4倍速提供JEDEC分配的制造商ID和特定的设备ID。

读取制造商/设备ID Quad I / O指令类似于快速读取Quad I / O指令。通过将/CS引脚驱动为低电平并移位指令代码“94h”，然后进行四个时钟虚拟周期，然后执行000000h的24位地址（A23-A0），即可启动该指令，但具有输入地址位的能力每个时钟四位。之后，华邦的制造商ID（EFh）和设备ID在CLK的下降沿每个时钟移出四位，首先是最高有效位（MSB），如图41所示。可以读取制造商和设备ID。不断地，从一个到另一个。通过将/CS驱动为高电平来完成该指令。

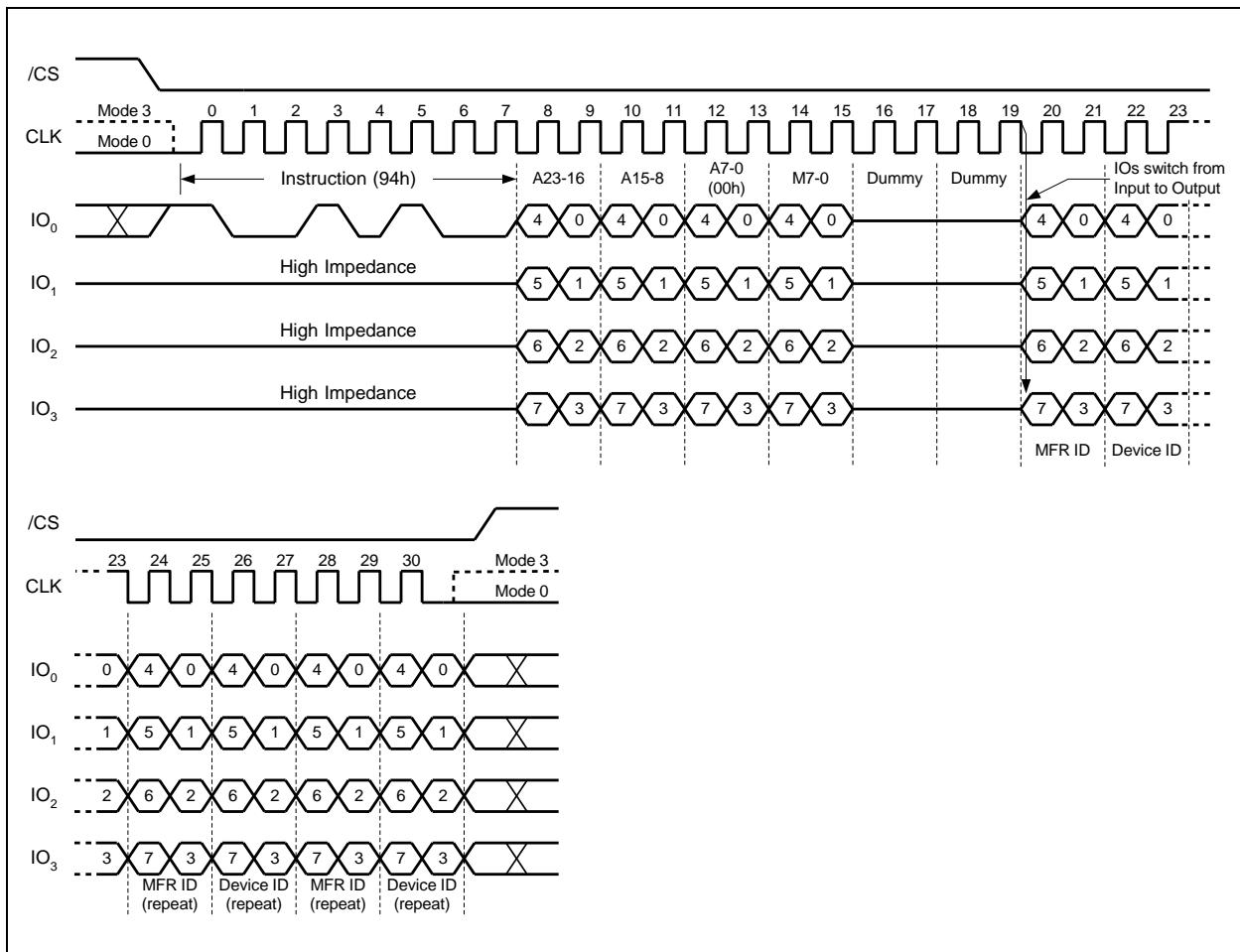


Figure 41. Read Manufacturer / Device ID Quad I/O Instruction

Note:

The “Continuous Read Mode” bits M(7-0) must be set to Fxh to be compatible with Fast Read Quad I/O instruction.



8.3.11 读取唯一ID号 (4Bh)

“读取唯一ID号”指令可访问每个W25Q64JV器件唯一的出厂设置的只读64位数字。ID号可以与用户软件方法结合使用，以帮助防止系统的复制或克隆。通过将/CS引脚驱动为低电平并将指令代码“4Bh”移位后跟4个字节的虚拟时钟，可以启动读取唯一ID指令。之后，如图42所示，在CLK的下降沿移出64位ID。

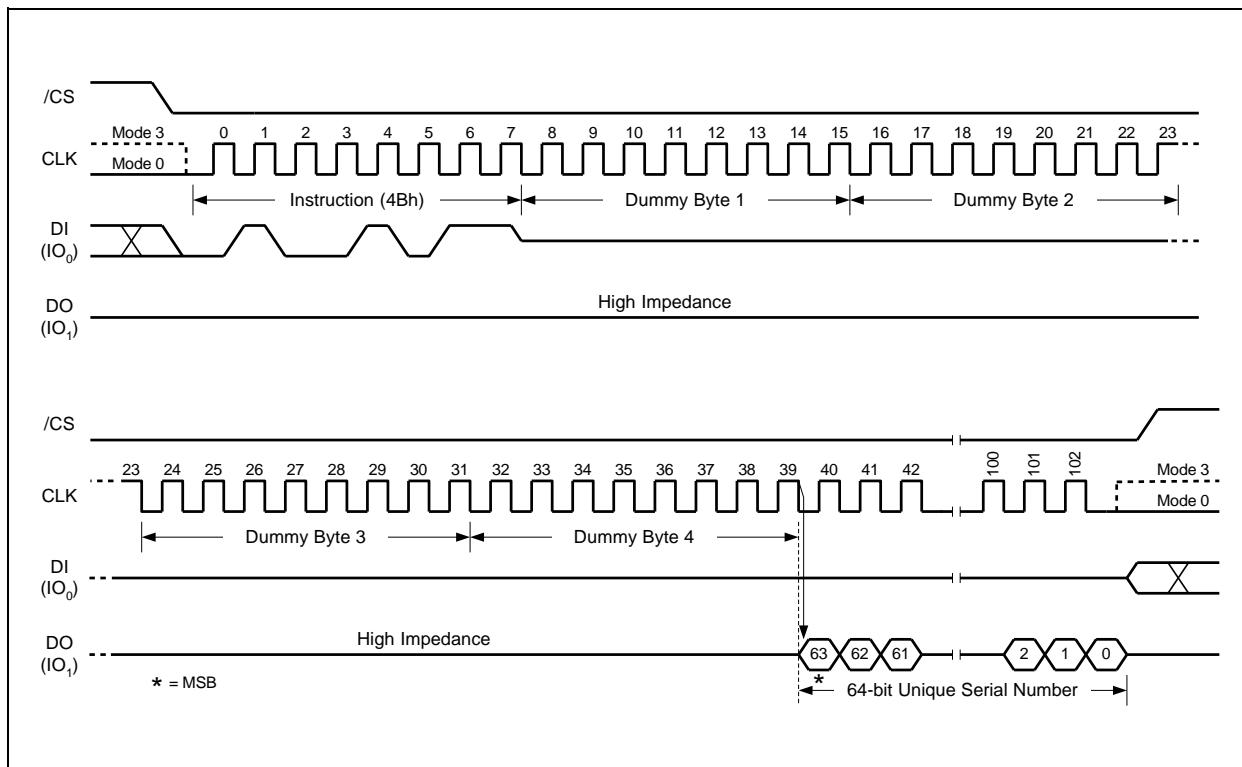


Figure 42. Read Unique ID Number Instruction



8.3.12 读取JEDEC ID(9Fh)

出于兼容性原因，W25Q64JV提供了几条指令以电子方式确定设备的身份。Read JEDEC ID指令与2003年采用的SPI兼容串行存储器的JEDEC标准兼容。该指令通过将/CS引脚驱动为低电平并将指令代码“9Fh”移位来启动。然后，JEDEC为华邦(EFh)分配的制造商ID字节和两个设备ID字节，即存储器类型(ID15-ID8)和容量(ID7-ID0)在CLK的下降沿移出，其中最高有效位(MSB)首先为。如图43所示。有关存储器类型和容量值，请参阅制造商和设备标识表。

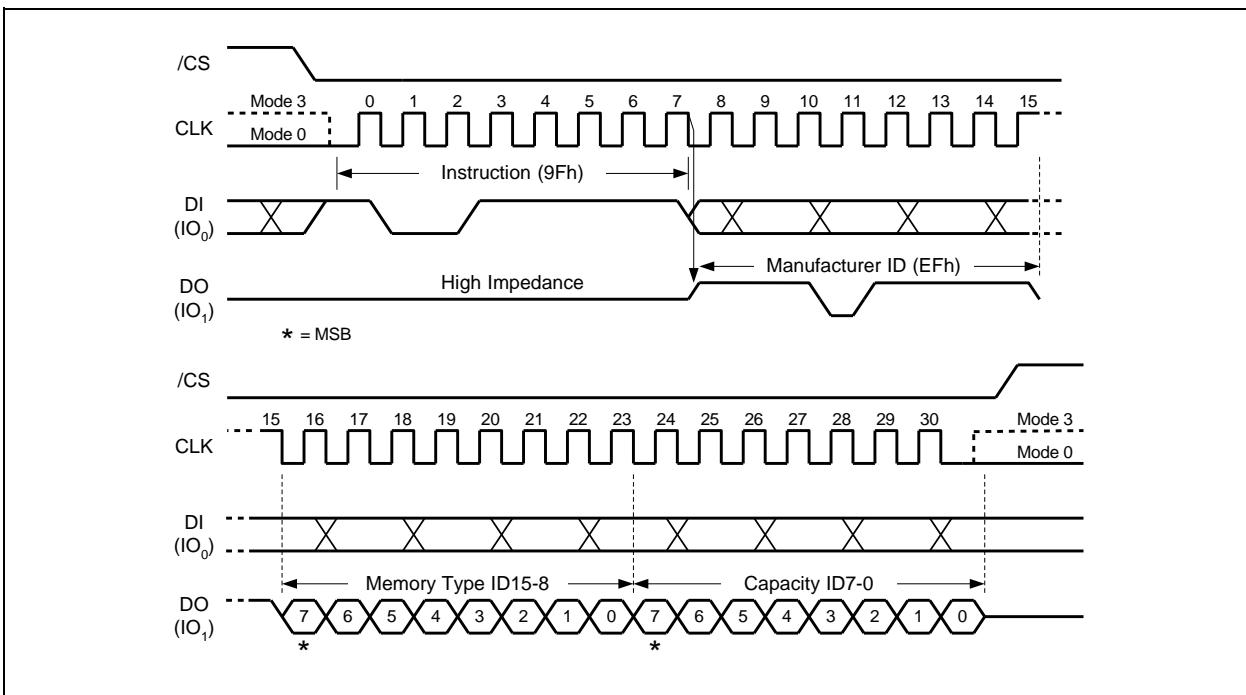


Figure 43. Read JEDEC ID Instruction



8.3.13 读取SFDP寄存器 (5Ah)

W25Q64JV具有一个256字节串行闪存可发现参数（SFDP）寄存器，该寄存器包含有关设备配置，可用指令和其他功能的信息。SFDP参数存储在一个或多个参数标识（PID）表中。当前仅指定了一个PID表，但将来可能会添加更多。读取SFDP寄存器指令与2010年最初为PC和其他应用程序建立的SFDP标准以及2011年发布的JEDEC标准JESD216系列兼容。2011年6月之后出厂的大多数Winbond SpiFlash存储器（日期代码1124及以后）支持适用数据表中指定的SFDP功能。

通过将/CS引脚驱动为低电平并将指令代码“5Ah”紧随其后的24位地址（A23-A0）（1）移入DI引脚，即可启动SFSF读取指令。在第40个CLK的下降沿以最高有效位（MSB）首先移出SFDP寄存器的内容之前，还需要八个“虚拟”时钟，如图44所示。有关SFDP寄存器的值和说明，请参考Winbond SFDP定义表的应用说明。

注1：A23-A8 = 0; A7-A0用于定义256字节SFDP寄存器的起始字节地址。

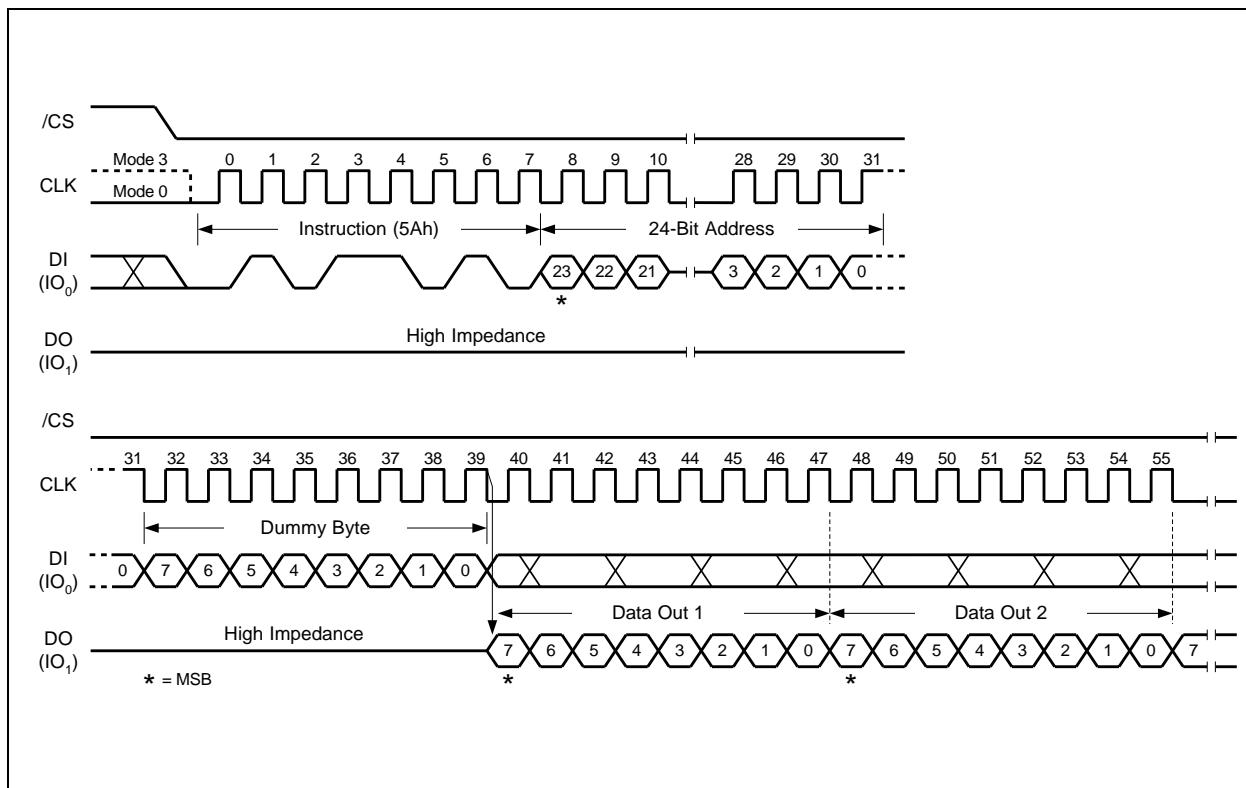


Figure 44. Read SFDP Register Instruction Sequence Diagram



8.3.14

擦除安全寄存器 (44h)

W25Q64JV提供了三个256字节的安全寄存器，可以分别对其进行擦除和编程。系统制造商可以使用这些寄存器与主内存阵列分开存储安全性和其他重要信息。

擦除安全寄存器指令与扇区擦除指令相似。在设备接受擦除安全寄存器指令之前（状态寄存器位WEL必须等于1），必须执行写使能指令。通过将/CS引脚驱动为低电平，并转移指令代码“44h”，后跟一个24位地址（A23-A0），以擦除三个安全寄存器之一，从而启动指令。

ADDRESS	A23-16	A15-12	A11-8	A7-0
Security Register #1	00h	0 0 1	0 0 0	Don't Care
Security Register #2	00h	0 0 1 0	0 0 0	Don't Care
Security Register #3	00h	0 0 1 1	0 0 0	Don't Care

擦除安全寄存器指令序列如图45所示。/CS引脚必须在锁存最后一个字节的第八位之后将其驱动为高电平。如果不这样做，指令将不会执行。将/CS驱动为高电平后，自定时擦除安全寄存器操作将在tSE的持续时间内开始（请参见AC特性）。在进行擦除安全寄存器周期时，仍可以访问读取状态寄存器指令以检查BUSY位的状态。在擦除周期中，BUSY位为1，在该周期结束且设备准备再次接受其他指令时，BUSY位为0。擦除安全寄存器周期完成后，状态寄存器中的写使能锁存（WEL）位被清除为0。状态寄存器2中的安全寄存器锁定位（LB3-1）可用于OTP保护安全寄存器。一旦将锁定位设置为1，相应的安全寄存器将被永久锁定，对该寄存器的擦除安全寄存器指令将被忽略（有关详细说明，请参见7.1.8节）。

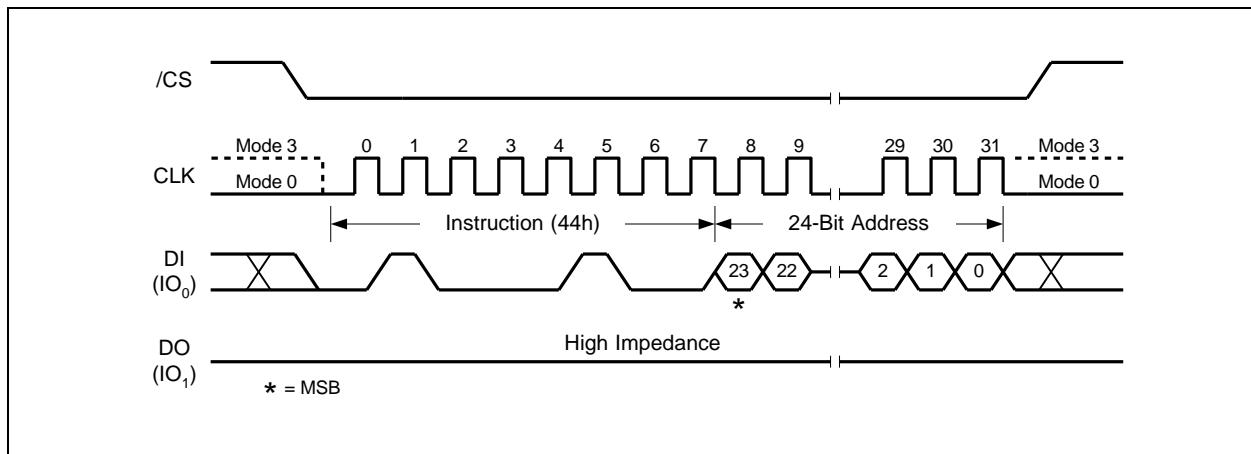


Figure 45. Erase Security Registers Instruction



8.3.15 程序安全寄存器 (42h)

程序安全寄存器指令类似于页面程序指令。它允许从一个字节到256个字节的安全寄存器数据在先前擦除的 (FFh) 存储器位置进行编程。器件将接受程序安全寄存器指令 (状态寄存器位WEL = 1) 之前，必须先执行写使能指令。通过将/CS引脚驱动为低电平，然后将指令代码“42h”紧随其后的是24位地址 (A23-A0) 和至少一个数据字节，移入DI引脚来启动指令。在将数据发送到设备时，/CS引脚在整个指令期间必须保持低电平。

ADDRESS	A23-16	A15-12	A11-8	A7-0
Security Register #1	00h	0 0 0 1	0 0 0 0	Byte Address
Security Register #2	00h	0 0 1 0	0 0 0 0	Byte Address
Security Register #3	00h	0 0 1 1	0 0 0 0	Byte Address

程序安全寄存器指令序列如图46所示。状态寄存器2中的安全寄存器锁定位 (LB3-1) 可用于OTP保护安全寄存器。一旦锁定位设置为1，相应的安全寄存器将被永久锁定，对该寄存器的程序安全寄存器指令将被忽略（有关详细说明，请参见7.1.8, 8.2.25）。

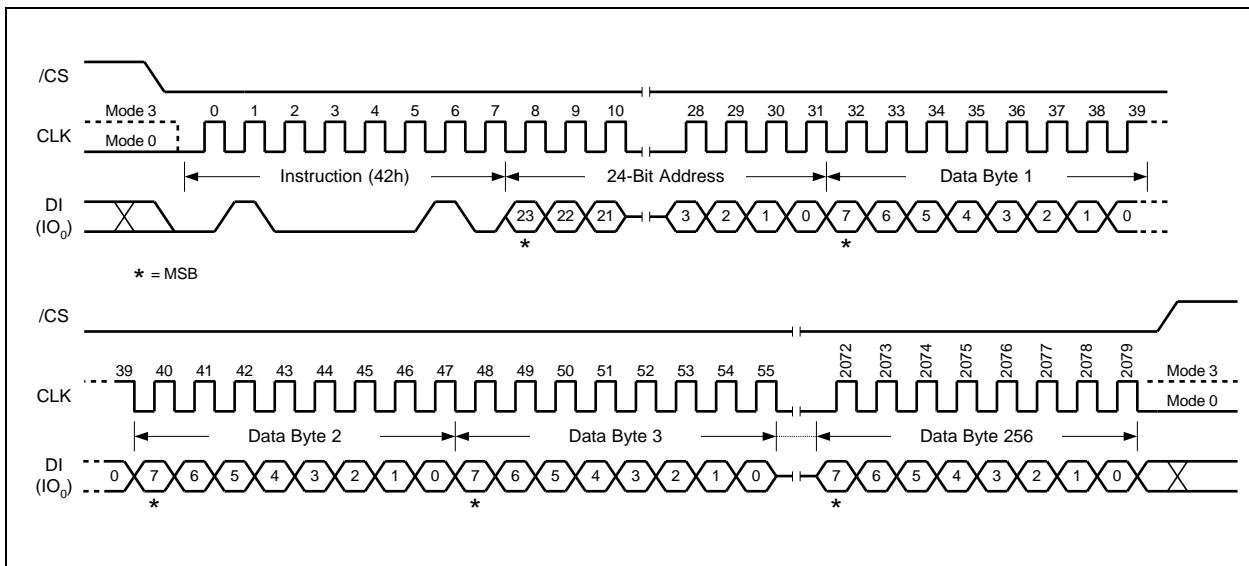


Figure 46. Program Security Registers Instruction



8.3.16

读取安全寄存器 (48h)

读取安全寄存器指令类似于快速读取指令，并允许从四个安全寄存器之一中顺序读取一个或多个数据字节。通过将/CS引脚驱动为低电平，然后将指令代码“48h”紧随其后的是24位地址（A23-A0）和八个“虚拟”时钟进入DI引脚，从而启动指令。代码和地址位在CLK引脚的上升沿锁存。接收到地址后，寻址的存储单元的数据字节将在CLK的下降沿的DO引脚上移出，最高有效位（MSB）在前。每个数据字节移出后，字节地址将自动递增到下一个字节地址。一旦字节地址到达寄存器的最后一个字节（字节地址FFh），它将复位为地址00h（寄存器的第一个字节），并继续递增。通过将/CS驱动为高电平来完成该指令。读安全寄存器指令序列如图47所示。如果在执行擦除，编程或写周期（BUSY = 1）时发出了读安全寄存器指令，则该指令将被忽略，并且不会对当前周期产生任何影响。读取安全寄存器指令允许时钟速率从DC到最大FR（请参阅AC电气特性）。

ADDRESS	A23-16	A15-12	A11-8	A7-0
Security Register #1	00h	0 0 0 1	0 0 0 0	Byte Address
Security Register #2	00h	0 0 1 0	0 0 0 0	Byte Address
Security Register #3	00h	0 0 1 1	0 0 0 0	Byte Address

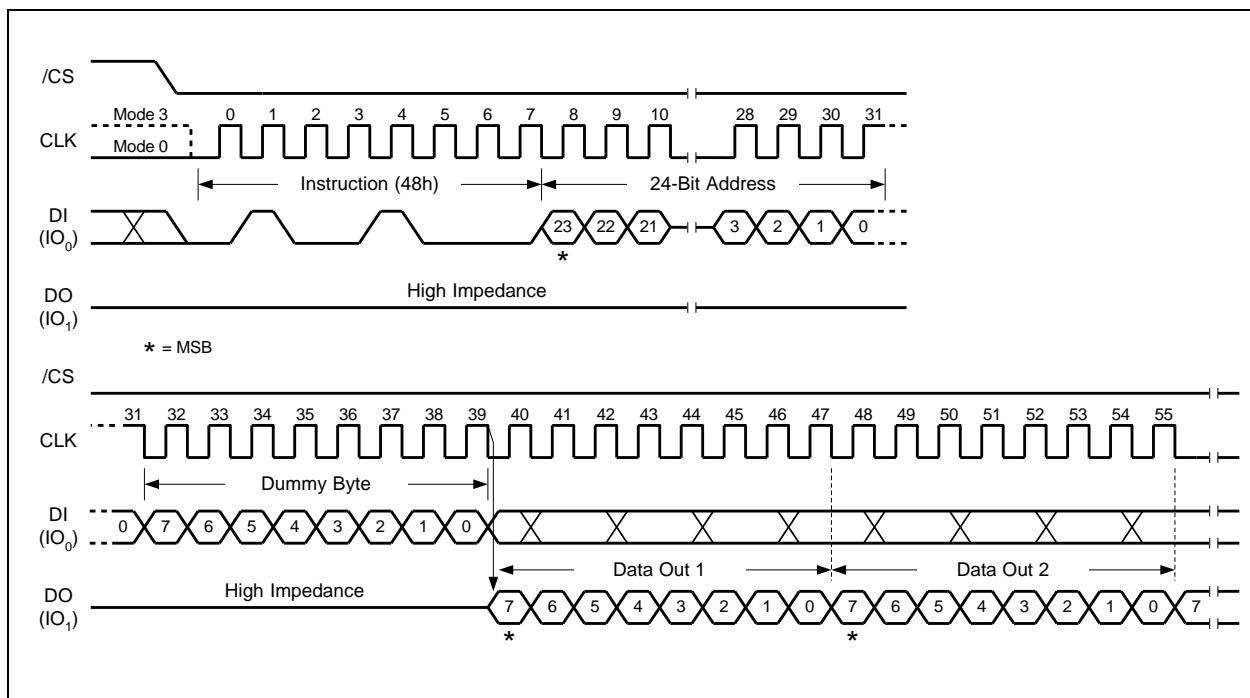


Figure 47. Read Security Registers Instruction



8.3.18 单个块/扇区锁定 (36h)

单个块/扇区锁提供了一种保护内存阵列免受不良擦除/编程影响的替代方法。为了使用单个块/扇区锁定，必须将状态寄存器3中的WPS位设置为1。如果WPS = 0，则写保护将由CMP, SEC, TB, BP [2:0] 状态寄存器中的[0]位。单个块/扇区锁定位是易失性位。器件加电后或复位后的默认值为1，因此整个存储器阵列都受到保护。

要锁定如图4d所示的特定块或扇区，必须通过将/CS驱动为低电平，在CLK的上升沿将指令代码“36h”移入数据输入(DI)引脚来发出单个块/扇区锁定命令。然后是24位地址，然后将/CS驱动为高电平。在器件接受单独的块/扇区锁定指令(状态寄存器位WEL = 1)之前，必须先执行写使能指令。

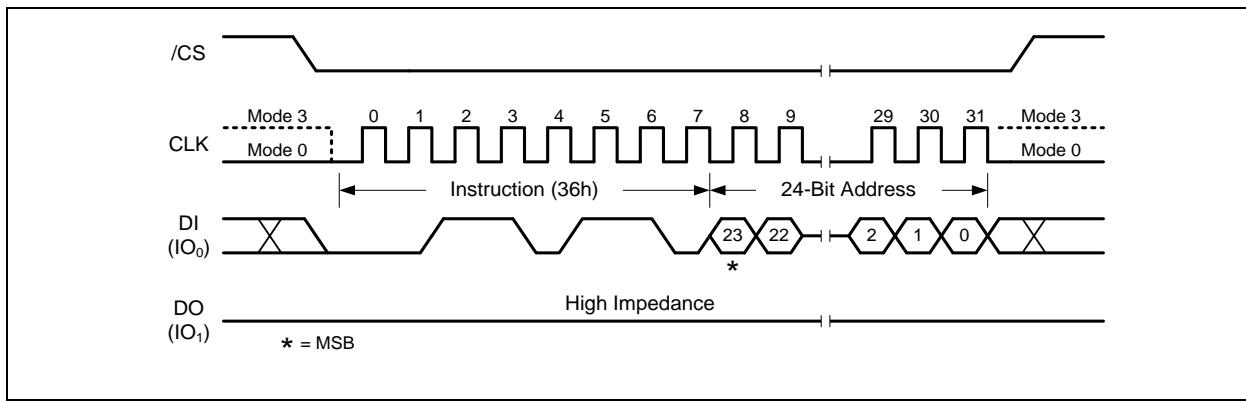


Figure 53. Individual Block/Sector Lock Instruction



8.3.19 单个块/扇区解锁 (39h)

单个块/扇区锁提供了一种保护内存阵列免受不良擦除/编程影响的替代方法。为了使用单个块/扇区锁定，必须将状态寄存器3中的WPS位设置为1。如果WPS = 0，则写保护将由CMP, SEC, TB, BP [2:0] 状态寄存器中的[0]位。单个块/扇区锁定位是易失性位。器件加电后或复位后的默认值为1，因此整个存储器阵列都受到保护。

要解锁特定的块或扇区，如图4d所示，必须通过将/CS驱动为低电平，在CLK的上升沿将指令代码“39h”移入数据输入(DI)引脚来发出单个块/扇区解锁命令。其后是24位地址，然后将/CS驱动为高电平。在器件接受单独的块/扇区解锁指令(状态寄存器位WEL = 1)之前，必须先执行写使能指令。

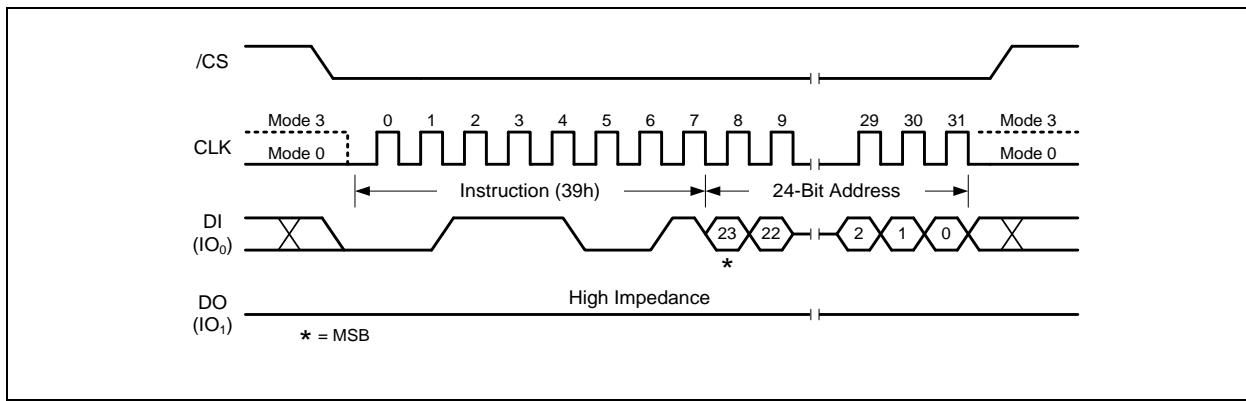


Figure 54. Individual Block Unlock Instruction



8.3.20 读取块/扇区锁定 (3Dh)

单个块/扇区锁提供了一种保护内存阵列免受不良擦除/编程影响的替代方法。为了使用单个块/扇区锁，必须将状态寄存器3中的WPS位设置为1。如果WPS = 0，则写保护将由CMP, SEC, TB, BP [2: 状态寄存器中的[0]位]。单个块/扇区锁定位是易失性位。器件加电后或复位后的默认值为1，因此整个存储器阵列都受到保护。

要读出特定块或扇区的锁定位值，如图4d所示，必须通过将/CS驱动为低电平，将指令代码“3Dh”移入数据输入(DI)引脚来发出“读取块/扇区锁定”命令在CLK的上升沿，然后是24位地址。块/扇区锁定位的值将在CLK的下降沿的DO引脚上移出，如图55所示，最高有效位(MSB)在前。如果最低有效位(LSB)为1，则对应的块/扇区被锁定；如果LSB = 0，则相应的块/扇区被解锁，可以执行擦除/编程操作。

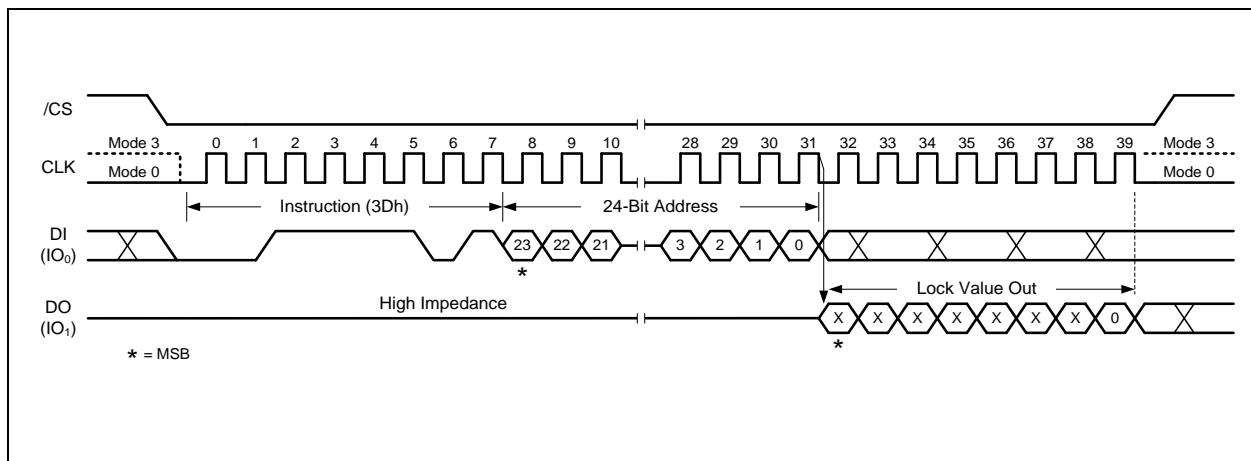


Figure 55. Read Block Lock Instruction



8.3.21

全局块/扇区锁定(7Eh)

全局块/扇区锁定指令可将所有块/扇区锁定位设置为1。必须通过将/CS驱动为低电平，在CLK的上升沿将指令代码“7Eh”移入数据输入(DI)引脚，然后将/CS驱动为高电平来发出该命令。器件将接受全局块/扇区锁定指令(状态寄存器位WEL = 1)之前，必须先执行写使能指令。

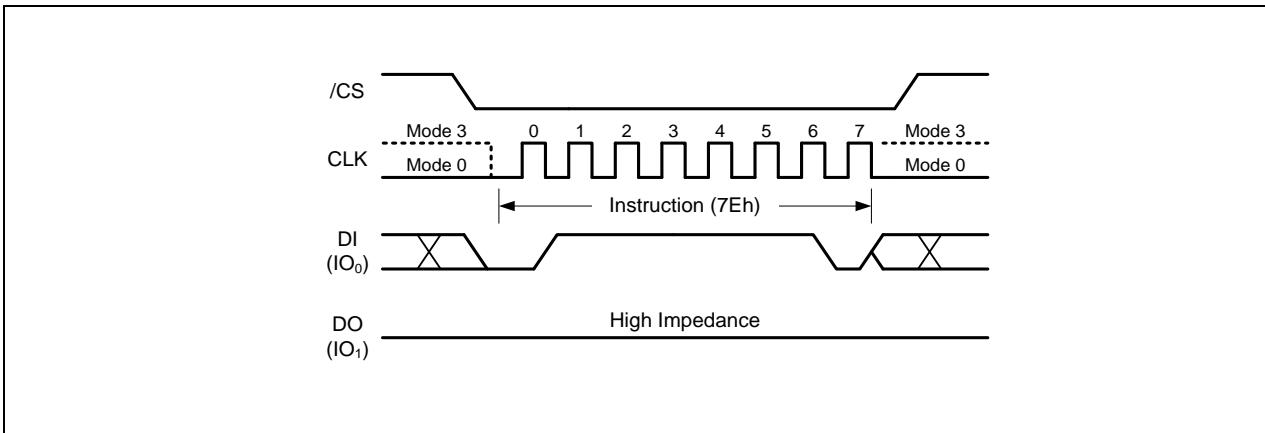


Figure 56. Global Block Lock Instruction for SPI Mode

8.3.22

全局块/扇区解锁(98h)

全局块/扇区解锁指令可将所有块/扇区锁定位设置为0。必须通过将/CS驱动为低电平，在CLK的上升沿将指令代码“98h”移入数据输入(DI)引脚，然后将/CS驱动为高电平来发出该命令。器件将接受全局块/扇区解锁指令(状态寄存器位WEL = 1)之前，必须先执行写使能指令。

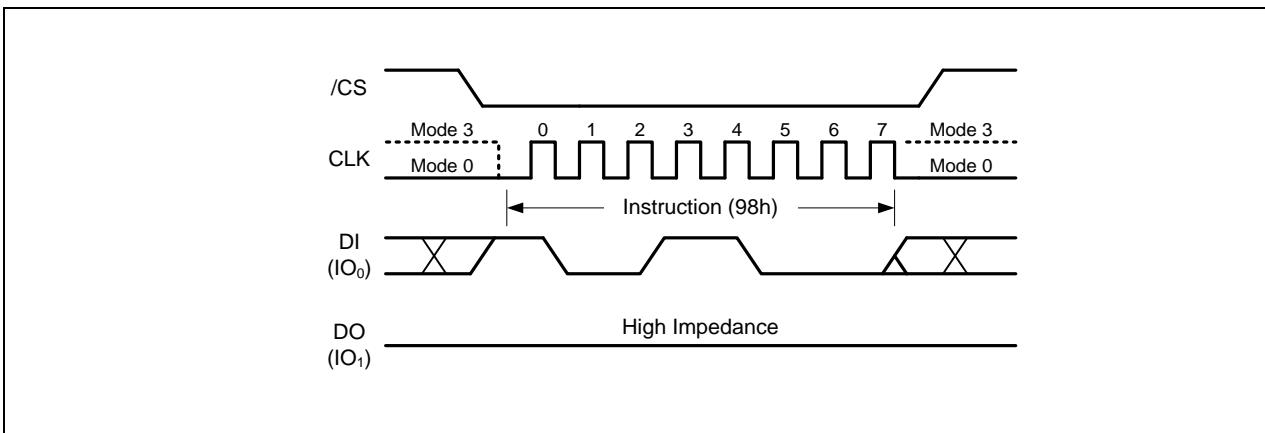


Figure 57. Global Block Unlock Instruction for SPI Mode



8.3.23 启用重置 (66h) 和重置设备 (99h)

由于体积小和引脚数量的限制，W25Q64JV提供了软件复位指令，而不是专用的RESET引脚。一旦接受了复位指令，任何正在进行的内部操作都将被终止，器件将返回其默认的上电状态，并丢失所有当前的易失性设置，例如易失性状态寄存器位，写使能锁存 (WEL) 状态，编程/擦除挂起状态，读取参数设置 (P7-P0) 和换行位设置 (W6-W4)。

可以在SPI模式下发出“启用复位 (66h)”和“复位 (99h)”指令。为避免意外重置，必须按顺序发布两个说明。在“启用重置 (66h)”命令之后，除了“重置 (99h)”以外的任何其他命令都将禁用“重置启用”状态。需要新的序列“启用复位 (66h)”和“复位 (99h)”来复位设备。一旦设备接受了复位命令，设备将花费大约 $t_{RST} = 30\mu s$ 进行复位。在此期间，将不接受任何命令。

如果设备接受了复位命令序列，则如果正在进行或暂停的内部擦除或编程操作，可能会发生数据损坏。建议在发出复位命令序列之前检查状态寄存器中的BUSY位和SUS位。

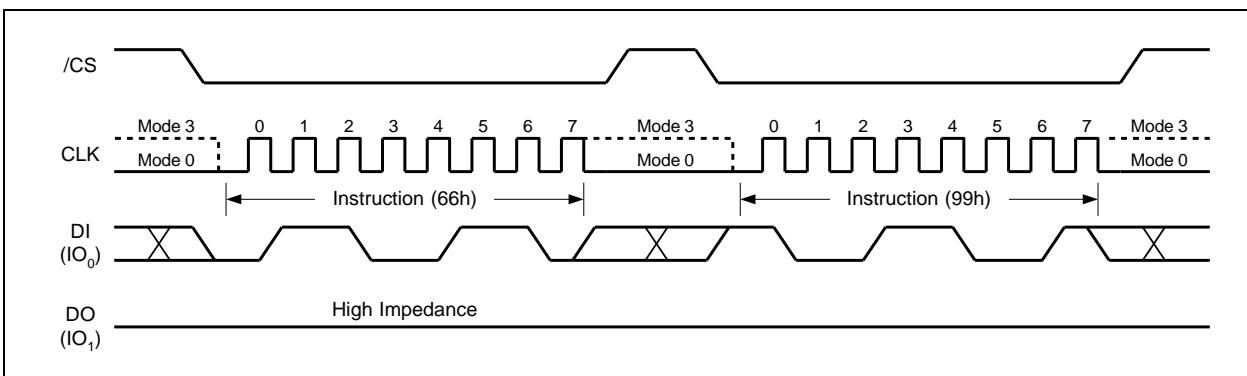


Figure 58. Enable Reset and Reset Instruction Sequence



9.电气特性

9.1 Absolute Maximum Ratings⁽¹⁾

PARAMETERS	SYMBOL	CONDITIONS	RANGE	UNIT
Supply Voltage	VCC		-0.6 to 4.6	V
Voltage Applied to Any Pin	VIO	Relative to Ground	-0.6 to VCC+0.4	V
Transient Voltage on any Pin	VIOT	<20nS Transient Relative to Ground	-2.0V to VCC+2.0V	V
Storage Temperature	TSTG		-65 to +150	°C
Lead Temperature	TLEAD		See Note ⁽²⁾	°C
Electrostatic Discharge Voltage	VESD	Human Body Model ⁽³⁾	-2000 to +2000	V

Notes:

1. This device has been designed and tested for the specified operation ranges. Proper operation outside of these levels is not guaranteed. Exposure to absolute maximum ratings may affect device reliability. Exposure beyond absolute maximum ratings may cause permanent damage.
2. Compliant with JEDEC Standard J-STD-20C for small body Sn-Pb or Pb-free (Green) assembly and the European directive on restrictions on hazardous substances (RoHS) 2002/95/EU.
3. JEDEC Std JESD22-A114A (C1=100pF, R1=1500 ohms, R2=500 ohms).

9.2 Operating Ranges

PARAMETER	SYMBOL	CONDITIONS	SPEC		UNIT
			MIN	MAX	
Supply Voltage ⁽¹⁾	VCC	F _R = 133MHz, f _R = 50MHz	3.0	3.6	V
		F _R = 104MHz, f _R = 50MHz	2.7	3.0	V
Ambient Temperature, Operating	TA	Industrial	-40	+85	°C
		Industrial Plus	-40	+105	°C

Note:

1. VCC voltage during Read can operate across the min and max range but should not exceed ±10% of the programming (erase/write) voltage.



9.3 上电掉电时序和要求

PARAMETER	SYMBOL	SPEC		UNIT
		MIN	MAX	
VCC (min) to /CS Low	tVSL ⁽¹⁾	20		μs
Time Delay Before Write Instruction	tPUW ⁽¹⁾	5		ms
Write Inhibit Threshold Voltage	VWI ⁽¹⁾	1.0	2.0	V

Note:

1. These parameters are characterized only.

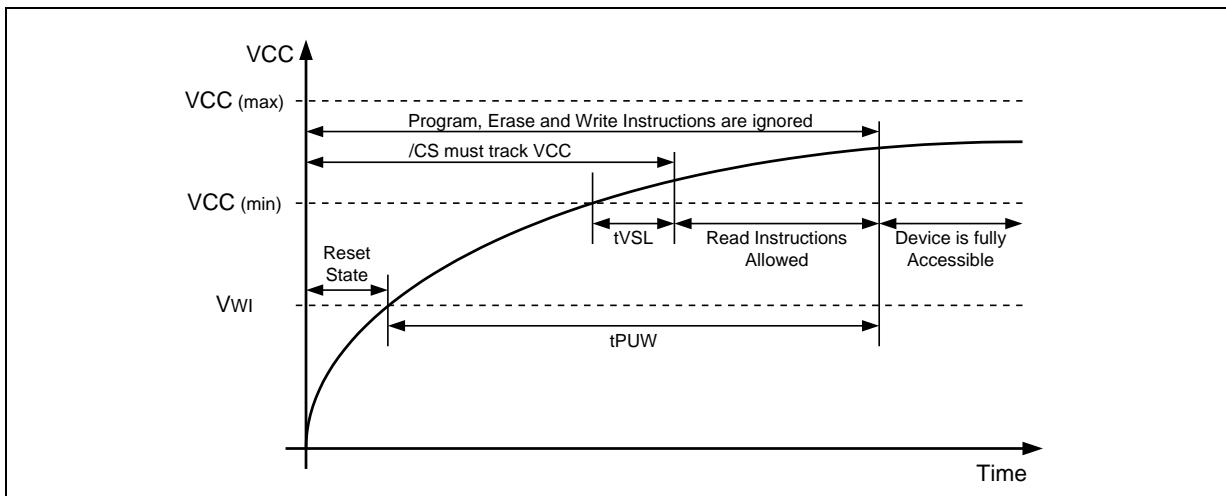


Figure 58a. Power-up Timing and Voltage Levels

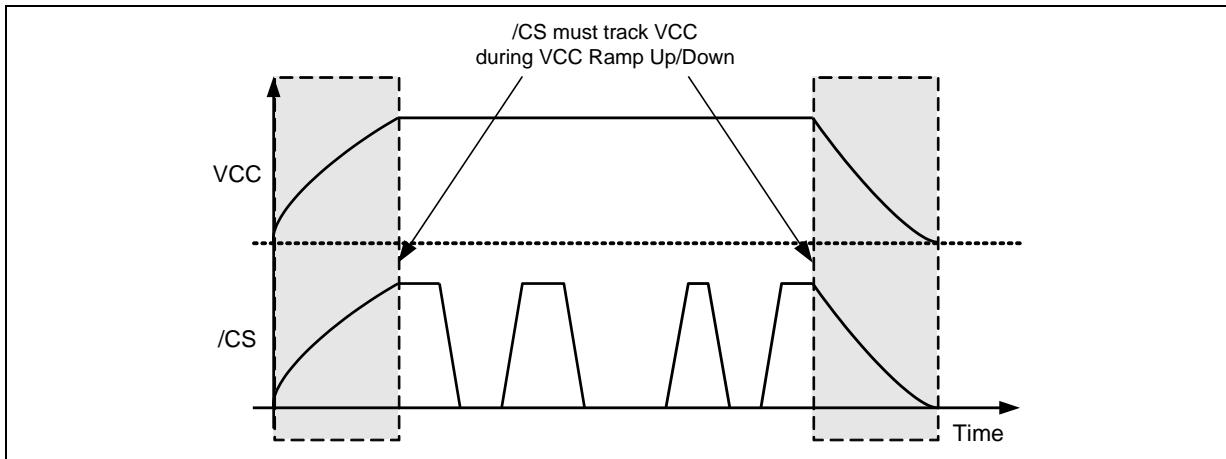


Figure 58b. Power-up, Power-Down Requirement



9.4 DC Electrical Characteristics-

PARAMETER	SYMBOL	CONDITIONS	SPEC			UNIT
			MIN	TYP	MAX	
Input Capacitance	C _{IN} ⁽¹⁾	V _{IN} = 0V ⁽¹⁾			6	pF
Output Capacitance	C _{OUT} ⁽¹⁾	V _{OUT} = 0V ⁽¹⁾			8	pF
Input Leakage	I _{LI}				±2	µA
I/O Leakage	I _{LO}				±2	µA
Standby Current	I _{CC1}	/CS = VCC, VIN = GND or VCC		10	50	µA
Power-down Current	I _{CC2}	/CS = VCC, VIN = GND or VCC		1	15	µA
Current Read Data / Dual /Quad 50MHz ⁽²⁾	I _{CC3}	C = 0.1 VCC / 0.9 VCC DO = Open		8	15	mA
Current Read Data / Dual /Quad 80MHz ⁽²⁾	I _{CC3}	C = 0.1 VCC / 0.9 VCC DO = Open		10	18	mA
Current Read Data / Dual Output Read/Quad Output Read 104MHz ⁽²⁾	I _{CC3}	C = 0.1 VCC / 0.9 VCC DO = Open		12	20	mA
Current Write Status Register	I _{CC4}	/CS = VCC		20	25	mA
Current Page Program	I _{CC5}	/CS = VCC		20	25	mA
Current Sector/Block Erase	I _{CC6}	/CS = VCC		20	25	mA
Current Chip Erase	I _{CC7}	/CS = VCC		20	25	mA
Input Low Voltage	V _{IL}		-0.5		VCC × 0.3	V
Input High Voltage	V _{IH}		VCC × 0.7		VCC + 0.4	V
Output Low Voltage	V _{OL}	I _{OL} = 100 µA			0.2	V
Output High Voltage	V _{OH}	I _{OH} = -100 µA	VCC - 0.2			V

Notes:

- Tested on sample basis and specified through design and characterization data. TA = 25° C, VCC = 3.0V.
- Checker Board Pattern.



9.5 AC Measurement Conditions

PARAMETER	SYMBOL	SPEC		UNIT
		MIN	MAX	
Load Capacitance	CL		30	pF
Input Rise and Fall Times	TR, TF		5	ns
Input Pulse Voltages	VIN	0.1 VCC to 0.9 VCC		V
Input Timing Reference Voltages	IN	0.3 VCC to 0.7 VCC		V
Output Timing Reference Voltages	OUT	0.5 VCC to 0.5 VCC		V

Note:

1. Output Hi-Z is defined as the point where data out is no longer driven.

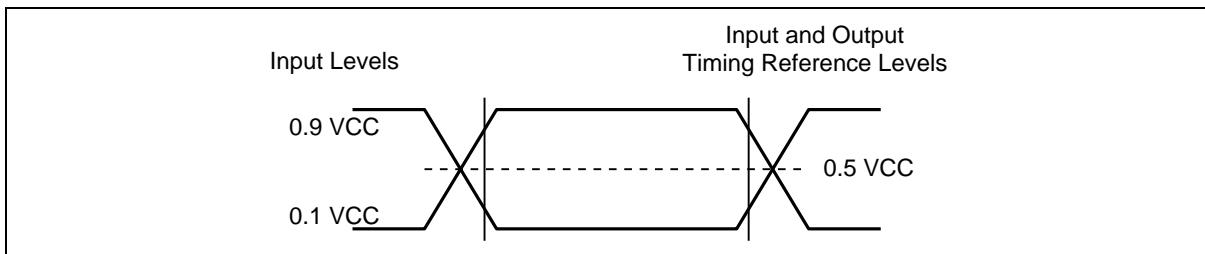


Figure 59. AC Measurement I/O Waveform



9.6 交流电特性 (6)

DESCRIPTION	SYMBOL	ALT	SPEC			UNIT
			MIN	TYP	MAX	
Clock frequency except for Read Data (03h) instructions (3.0V-3.6V)	f_R	f_{C1}	D.C.		133	MHz
Clock frequency except for Read Data (03h) instructions(2.7V-3.0V)	f_R	f_{C2}	D.C.		104	MHz
Clock frequency for Read Data instruction (03h)	f_R		D.C.		50	MHz
Clock High, Low Time for all instructions except for Read Data (03h)	$t_{CLH}, t_{CLL}^{(1)}$		45% PC			ns
Clock High, Low Time for Read Data (03h) instruction	$t_{CRLH}, t_{CRLL}^{(1)}$		45% PC			ns
Clock Rise Time peak to peak	$t_{CLCH}^{(2)}$		0.1			V/ns
Clock Fall Time peak to peak	$t_{CHCL}^{(2)}$		0.1			V/ns
/CS Active Setup Time relative to CLK	t_{SLCH}	t_{CSS}	3			ns
/CS Not Active Hold Time relative to CLK	t_{CHSL}		3			ns
Data In Setup Time	t_{DVCH}	t_{DSU}	1			ns
Data In Hold Time	t_{CHDX}	t_{DH}	2			ns
/CS Active Hold Time relative to CLK	t_{CHSH}		3			ns
/CS Not Active Setup Time relative to CLK	t_{SHCH}		3			ns
/CS Deselect Time (for Read)	t_{SHSL1}	t_{CSH}	10			ns
/CS Deselect Time (for Erase or Program or Write)	t_{SHSL2}	t_{CSH}	50			ns
Output Disable Time	$t_{HQZ}^{(2)}$	t_{DIS}			7	ns
Clock Low to Output Valid 2.7V-3.6V	t_{CLQV}	t_V			6	ns
Output Hold Time	t_{CLQX}	t_{HO}	1.5			ns

Continued – next page AC Electrical Characteristics (cont'd)



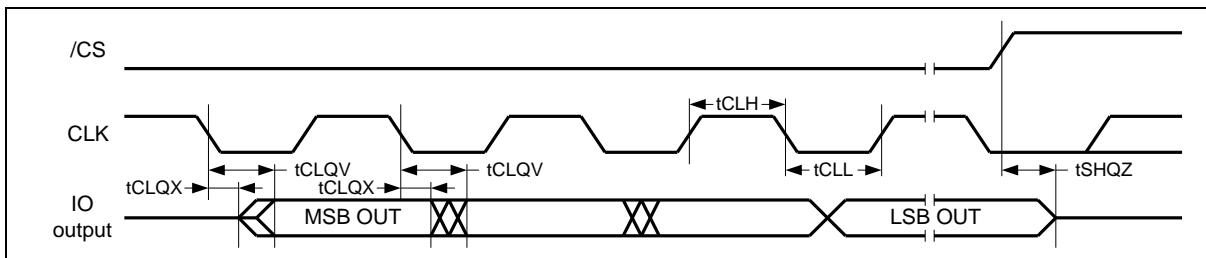
DESCRIPTION	SYMBOL	ALT	SPEC			UNIT
			MIN	TYP	MAX	
Write Protect Setup Time Before /CS Low	tWHS _L ⁽³⁾		20			ns
Write Protect Hold Time After /CS High	tSHWL ⁽³⁾		100			ns
/CS High to Power-down Mode	tDP ⁽²⁾				3	μs
/CS High to Standby Mode without ID Read	tRES1 ⁽²⁾				3	μs
/CS High to Standby Mode with ID Read	tRES2 ⁽²⁾				1.8	μs
/CS High to next Instruction after Suspend	tsUS ⁽²⁾				20	μs
/CS High to next Instruction after Reset	tRST ⁽²⁾				30	μs
/RESET pin Low period to reset the device	tRESET ⁽²⁾		1 ⁽⁵⁾			μs
Write Status Register Time	tw			10	15	ms
Page Program Time	tPP			0.4	3	ms
Sector Erase Time (4KB)	tSE			45	400	ms
Block Erase Time (32KB)	tBE ₁			120	1,600	ms
Block Erase Time (64KB)	tBE ₂			150	2,000	ms
Chip Erase Time	tCE			20	100	s

Notes:

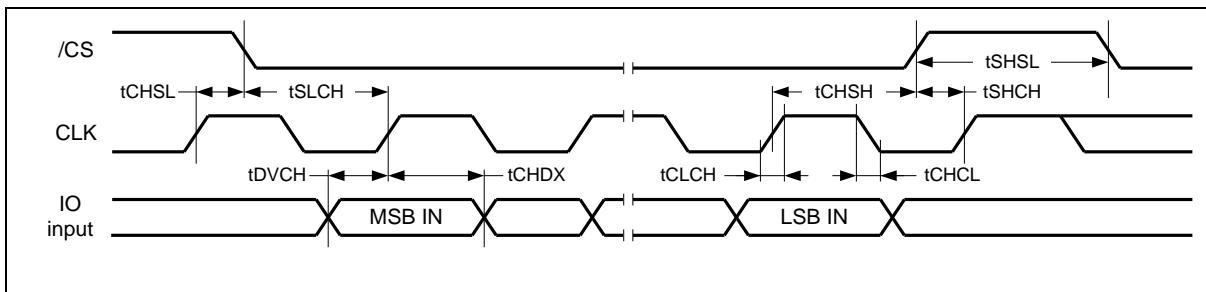
1. Clock high or Clock low must be more than or equal to 45%Pc. $P_c=1/fC_{(MAX)}$
2. Value guaranteed by design and/or characterization, not 100% tested in production.
3. Only applicable as a constraint for a Write Status Register instruction when SRP=1.
4. It's possible to reset the device with shorter tRESET (as short as a few hundred ns), a 1us minimum is recommended to ensure reliable operation.
5. Tested on sample basis and specified through design and characterization data. TA = 25° C, VCC = 3.0V, 25% driver strength.
6. 4-bytes address alignment for Quad Read, start address from [A1,A0]=(0,0).



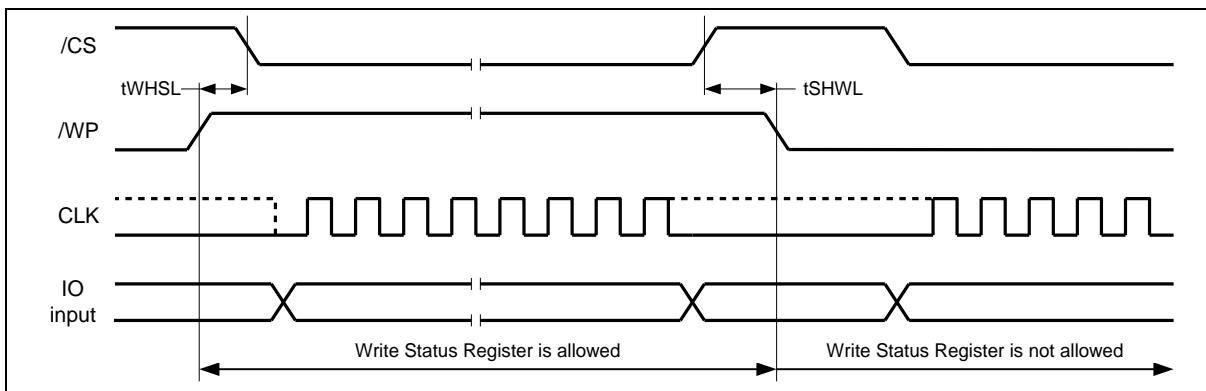
9.7 Serial Output Timing



9.8 Serial Input Timing



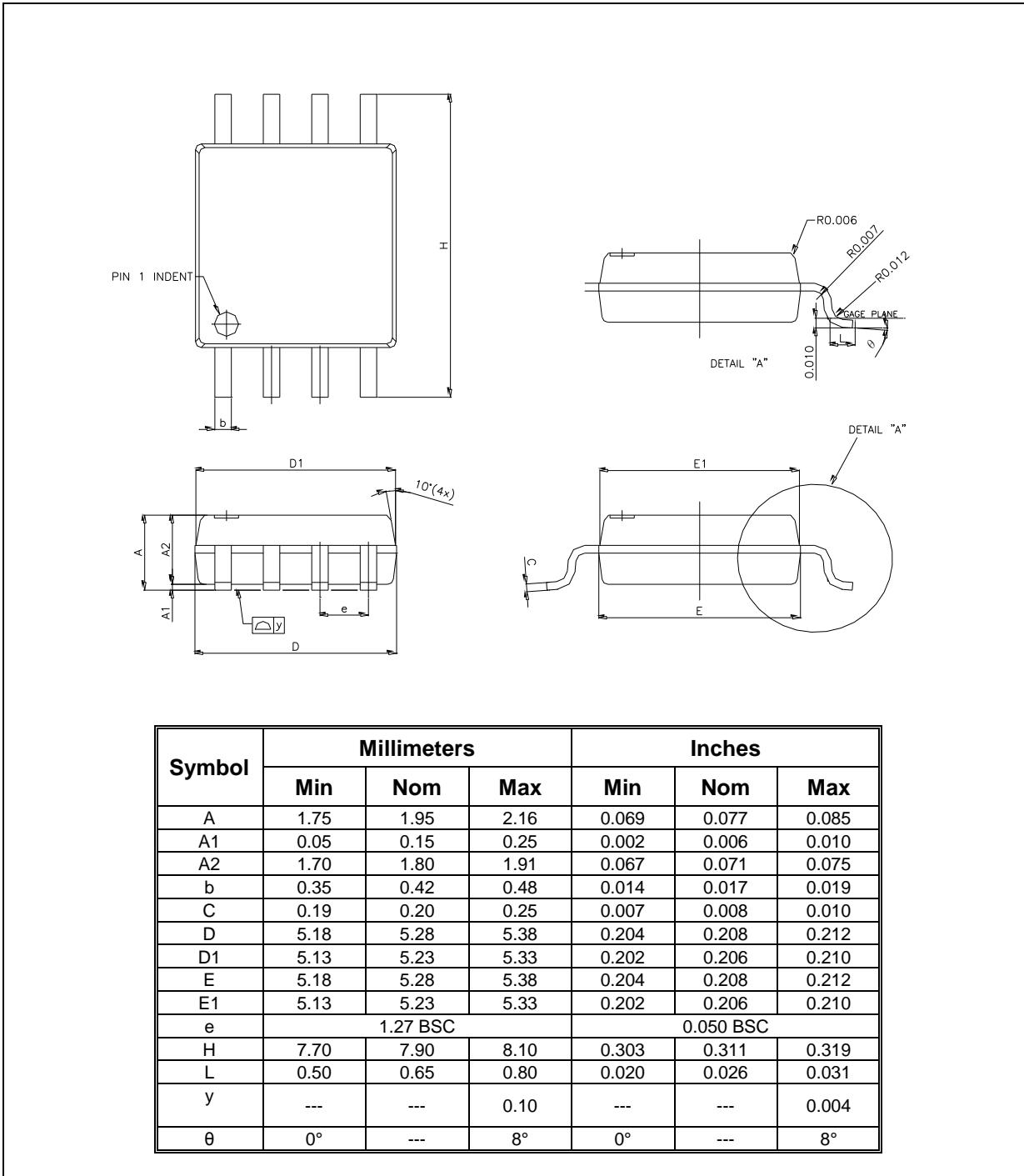
9.9 /WP Timing





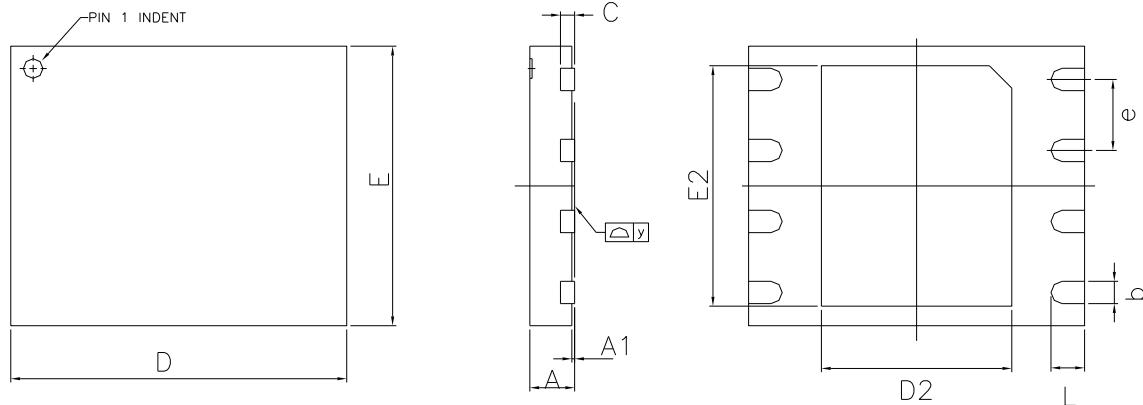
10. PACKAGE SPECIFICATIONS

10.1 8-Pin SOIC 208-mil (Package Code SS)





10.2 8-Pad WSON 6x5-mm (Package Code ZP)



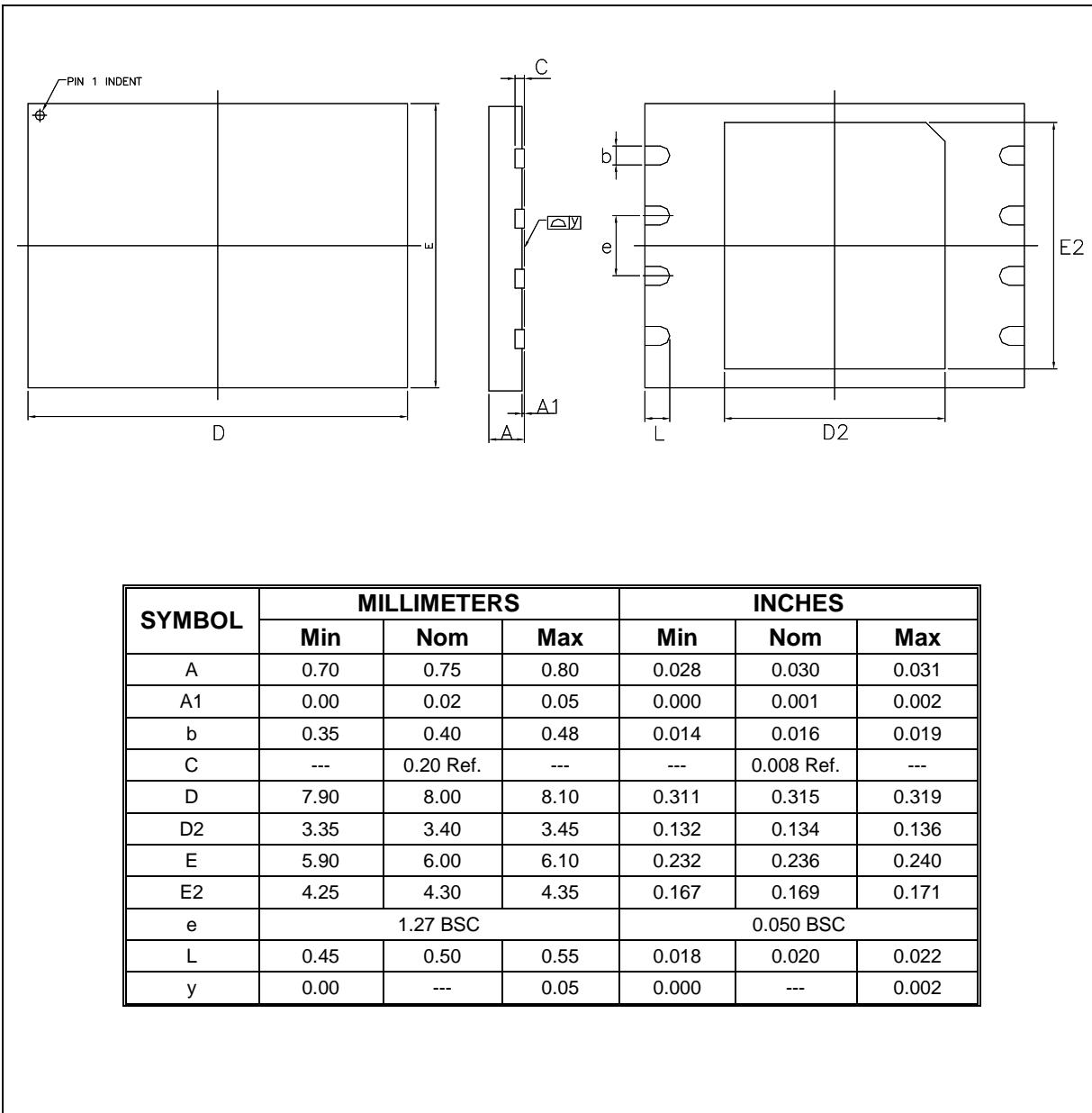
Symbol	Millimeters			Inches		
	Min	Nom	Max	Min	Nom	Max
A	0.70	0.75	0.80	0.028	0.030	0.031
A1	0.00	0.02	0.05	0.000	0.001	0.002
b	0.35	0.40	0.48	0.014	0.016	0.019
C	---	0.20 REF	---	---	0.008 REF	---
D	5.90	6.00	6.10	0.232	0.236	0.240
D2	3.35	3.40	3.45	0.132	0.134	0.136
E	4.90	5.00	5.10	0.193	0.197	0.201
E2	4.25	4.30	4.35	0.167	0.169	0.171
e	1.27 BSC			0.050 BSC		
L	0.55	0.60	0.65	0.022	0.024	0.026
y	0.00	---	0.075	0.000	---	0.003

Note:

The metal pad area on the bottom center of the package is not connected to any internal electrical signals. It can be left floating or connected to the device ground (GND pin). Avoid placement of exposed PCB vias under the pad.



10.3 8-Pad WSON 8x6mm (Package Code ZE)

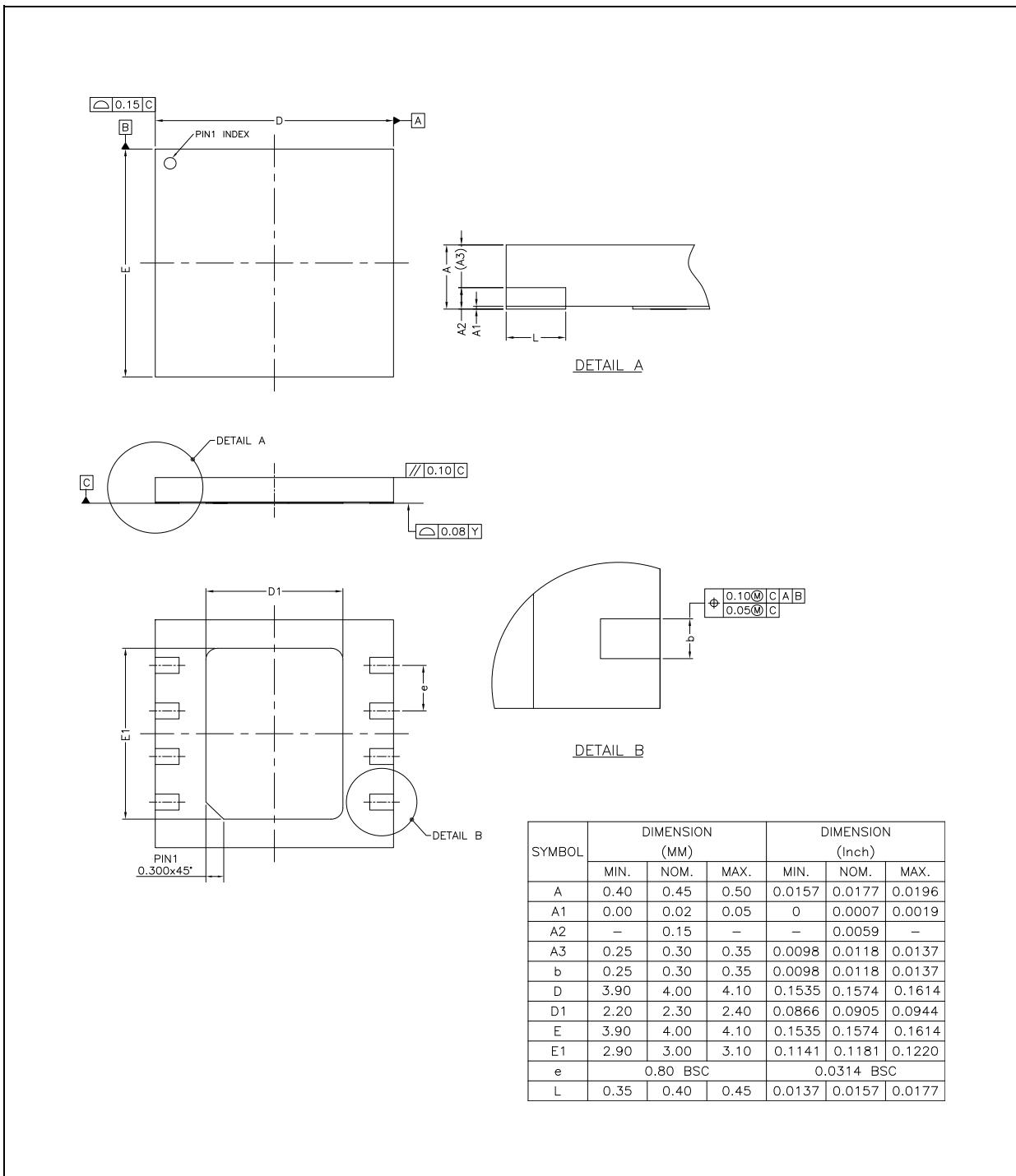


Note:

The metal pad area on the bottom center of the package is not connected to any internal electrical signals. It can be left floating or connected to the device ground (GND pin). Avoid placement of exposed PCB vias under the pad.

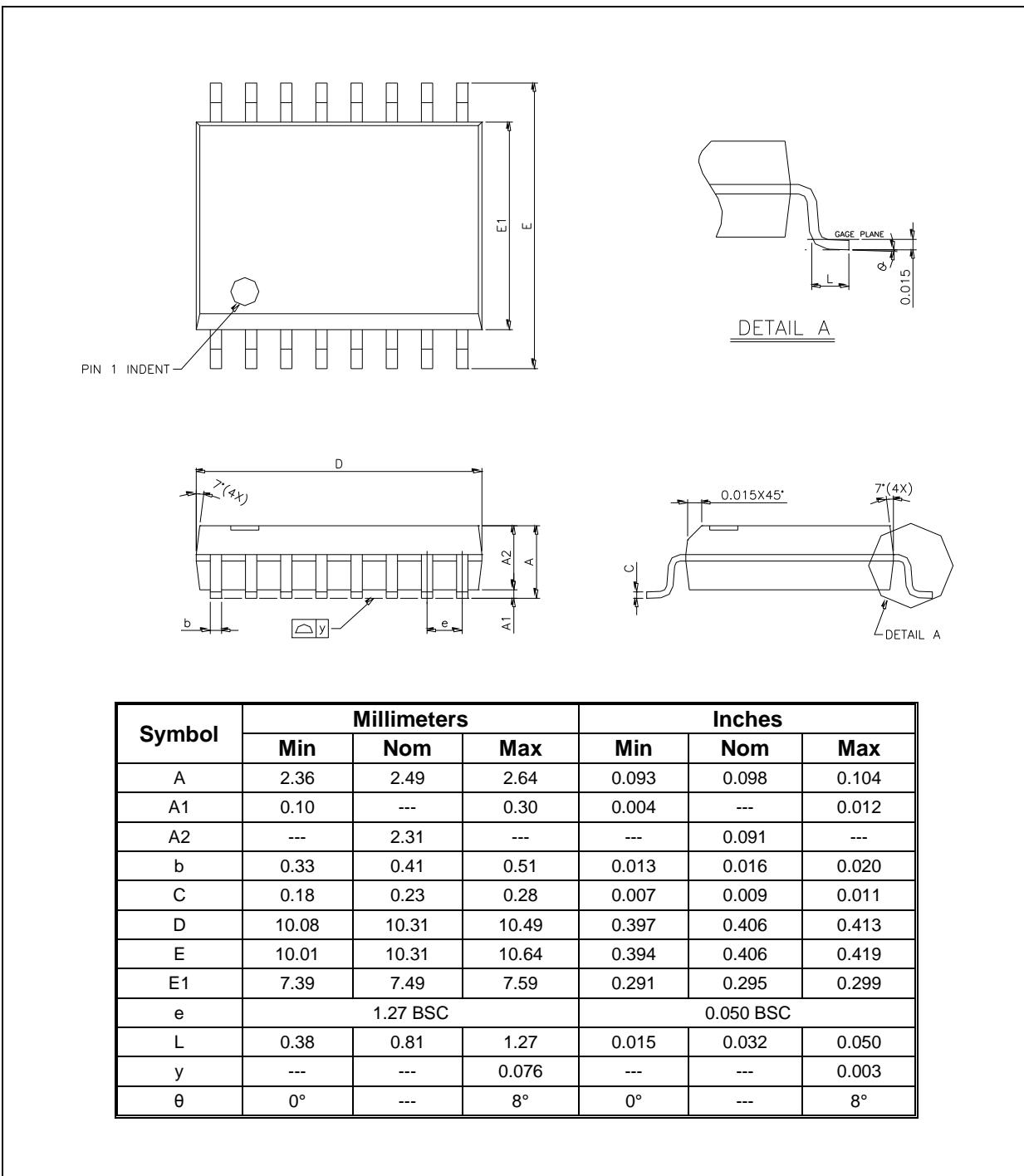


10.4 8-Pad XSON 4x4x0.45-mm (Package Code XG)



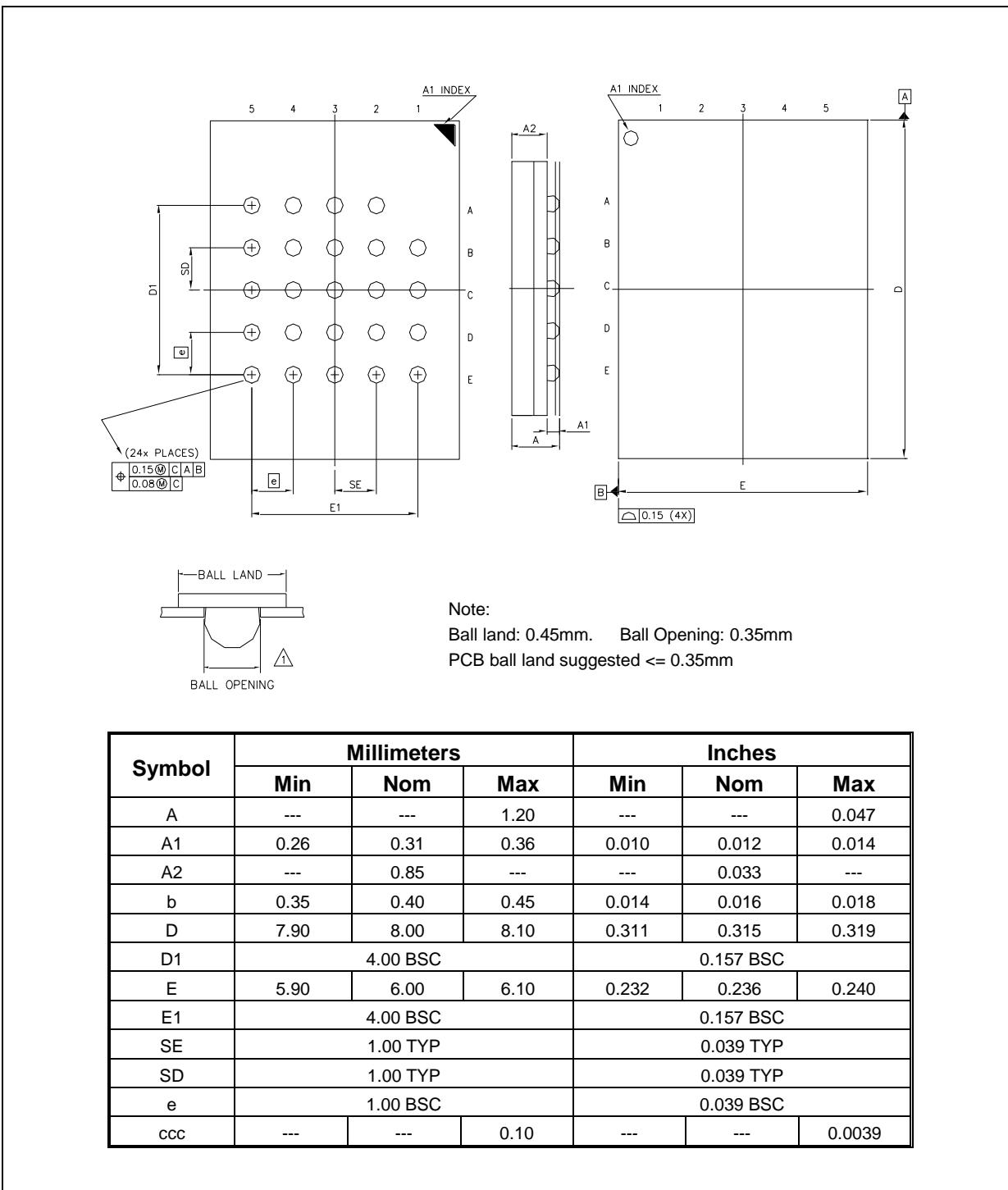


10.5 16-Pin SOIC 300-mil (Package Code SF)



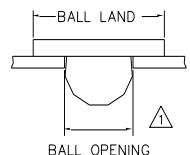
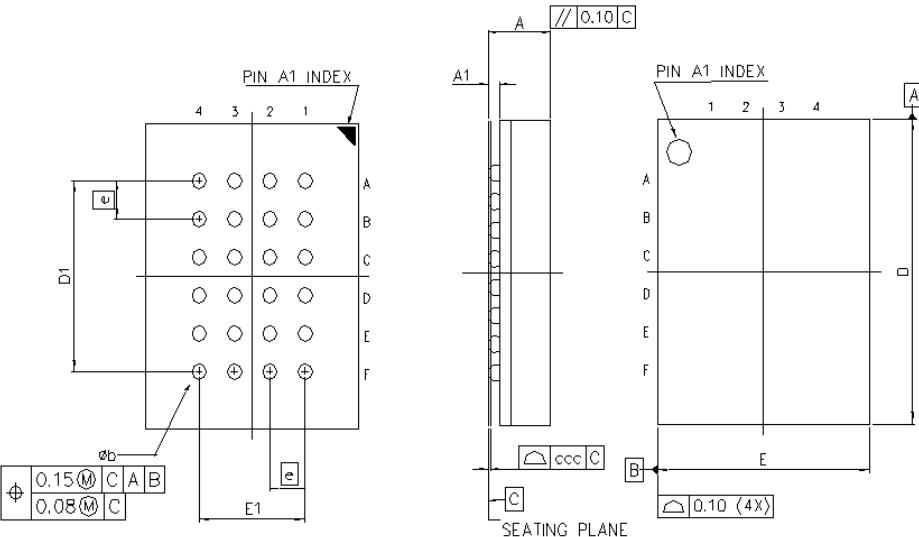


10.7 24-Ball TFBGA 8x6-mm (Package Code TB, 5x5 Ball Array)





10.8 24-Ball TFBGA 8x6-mm (Package Code TC, 6x4 ball array)



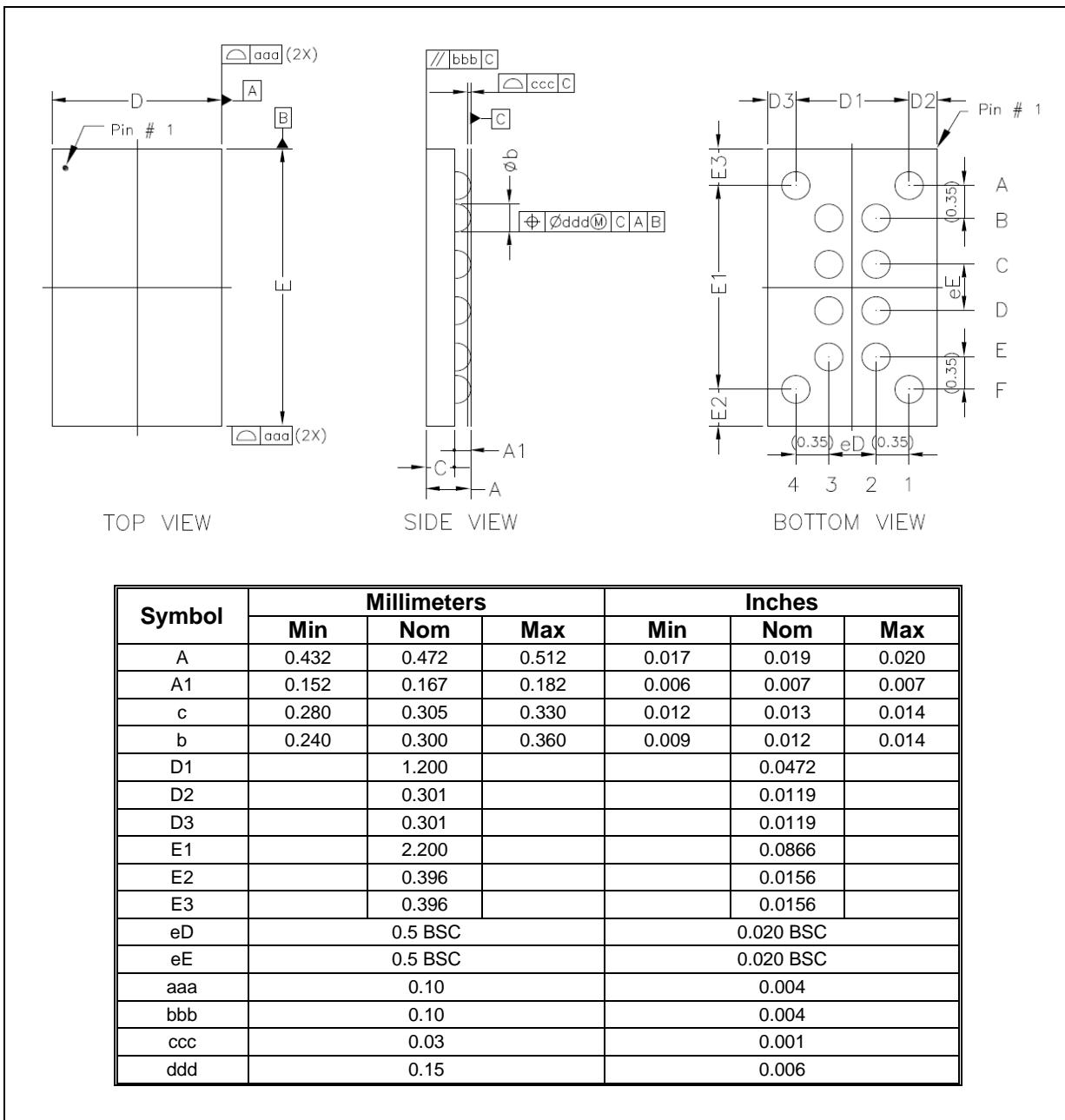
Note:

Ball land: 0.45mm. Ball Opening: 0.35mm
PCB ball land suggested <= 0.35mm

Symbol	Millimeters			Inches		
	Min	Nom	Max	Min	Nom	Max
A	---	---	1.20	---	---	0.047
A1	0.25	0.30	0.35	0.010	0.012	0.014
b	0.35	0.40	0.45	0.014	0.016	0.018
D	7.95	8.00	8.05	0.313	0.315	0.317
D1	5.00 BSC			0.197 BSC		
E	5.95	6.00	6.05	0.234	0.236	0.238
E1	3.00 BSC			0.118 BSC		
e	1.00 BSC			0.039 BSC		
ccc	---	---	0.10	---	---	0.039



10.9 12-Ball WLCSP (Package Code BY)

**Notes:**

- Dimension b is measured at the maximum solder bump diameter, parallel to primary datum C.
- Dimension D and E; please contact Winbond for details.



11. ORDERING INFORMATION

Company Prefix

W = Winbond

W⁽¹⁾ 25Q 64J V xx⁽²⁾ I X

Product Family

25Q = SpiFlash Serial Flash Memory with 4KB sectors, Dual/Quad I/O

Product Number / Density

64J = 64M-bit

Supply Voltage

V = 2.7V to 3.6V

Package Type

SS = 8-pin SOIC 208-mil
ZP = WSON8 6x5-mm
XG = XSON 4x4x0.45-mm
TC = TFBGA 8x6-mm (6x4 ball array)

SF = 16-pin SOIC 300-mil
ZE = WSON8 8x6-mm
TB = TFBGA 8x6-mm (5x5 ball array)
BY = 12-ball WLCSP

Temperature Range

I = Industrial (-40°C to +85°C) J = Industrial Plus (-40°C to +105°C)

Special Options^(3,4)

Q⁽⁵⁾ = Green Package (Lead-free, RoHS Compliant, Halogen-free (TBBA), Antimony-Oxide-free Sb₂O₃) with QE = 1 (fixed) in Status register-2. Backward compatible to FV family.

M⁽⁶⁾ = Green Package (Lead-free, RoHS Compliant, Halogen-free (TBBA), Antimony-Oxide-free Sb₂O₃) with QE = 0 (programmable) in Status register-2. New device ID is used to identify JV family

Notes:

1. The "W" prefix is not included on the part marking.
2. Only the 2nd letter is used for the part marking; WSON package type ZP is not used for the part marking.
3. Standard bulk shipments are in Tube (shape E). Please specify alternate packing method, such as Tape and Reel (shape T) or Tray (shape S), when placing orders.
4. For shipments with OTP feature enabled, please specify when placing orders.
5. /HOLD function is disabled to support Standard, Dual and Quad I/O without user setting.
6. For DTR, QPI supporting, please refer to W25Q64JV DTR datasheet.



11.1 Valid Part Numbers and Top Side Marking

The following table provides the valid part numbers for the W25Q64JV SpiFlash Memory. Please contact Winbond for specific availability by density and package type. Winbond SpiFlash memories use a 12-digit Product Number for ordering. However, due to limited space, the Top Side Marking on all packages uses an abbreviated 10-digit number.

W25Q64JV-IQ/JQ valid part numbers:

PACKAGE TYPE	DENSITY	PRODUCT NUMBER	TOP SIDE MARKING
SS SOIC-8 208-mil	64M-bit	W25Q64JVSSIQ W25Q64JVSSJQ	25Q64JVSIQ 25Q64JVSJQ
SF SOIC-16 300-mil	64M-bit	W25Q64JVSFIQ W25Q64JVSFJQ	25Q64JVFIQ 25Q64JVFJQ
ZP⁽¹⁾ WSON-8 6x5-mm	64M-bit	W25Q64JVZPIQ W25Q64JVZPJQ	25Q64JVIQ 25Q64JVJQ
ZE⁽¹⁾ WSON-8 8x6-mm	64M-bit	W25Q64JVZEIQ W25Q64JVZEJQ	25Q64JVIQ 25Q64JVJQ
XG XSON-8 4x4-mm	64M-bit	W25Q64JVXGIQ W25Q64JVXGJQ	Q64JVXGIQ Q64JVXGJQ
TB⁽²⁾ TFBGA-24 8x6-mm (5x5 Ball Array)	64M-bit	W25Q64JVTBIQ W25Q64JVTBJQ	25Q64JVBIQ 25Q64JVBJQ
TC⁽²⁾ TFBGA-24 8x6-mm (6x4 Ball Array)	64M-bit	W25Q64JVTCIQ W25Q64JVTCJQ	25Q64JVCIQ 25Q64JVCJQ
BY⁽²⁾ 12-ball WLCSP	64M-bit	W25Q64JVBYIQ	6CJI •Qyw ⁽⁴⁾

W25Q64JV-IM/JM⁽³⁾ valid part numbers:

PACKAGE TYPE	DENSITY	PRODUCT NUMBER	TOP SIDE MARKING
SS SOIC-8 208-mil	64M-bit	W25Q64JVSSIM W25Q64JVSSJM	25Q64JVSIM 25Q64JVSJM
SF SOIC-16 300-mil	64M-bit	W25Q64JVSFIM W25Q64JVSFJM	25Q64JVFIM 25Q64JVFJM
ZP WSON-8 6x5-mm	64M-bit	W25Q64JVZPIM W25Q64JVZPJMJ	25Q64JVIM 25Q64JVJM
ZE⁽¹⁾ WSON-8 8x6-mm	64M-bit	W25Q64JVZEIM W25Q64JVZEJM	25Q64JVIM 25Q64JVJM
XG XSON-8 4x4-mm	64M-bit	W25Q64JVXGIM W25Q64JVXGJM	Q64JVXGIM Q64JVXGJM
TB⁽²⁾ TFBGA-24 8x6-mm (5x5 Ball Array)	64M-bit	W25Q64JVTBIM	25Q64JVBIM

Note:

1. For WSON packages, the package type ZP and ZE is not used in the top side marking.
2. These package types are special order, please contact Winbond for more information
3. For DTR, QPI supporting, please refer to W25Q64JV DTR datasheet.
4. yw: year/ week.



12. REVISION HISTORY

VERSION	DATE	PAGE	DESCRIPTION
A	2015/01/07		New Create Datasheet
B	2016/04/12		Removed "Preliminary"
C	2016/06/03	16 73-76	Updated QE description Added TFBGA information
D	2016/08/30	4 8	Added data retention Added TFBGA 5X5
E	2016/10/24		Removed PDIP 8 information
F	2016/11/15	12	Updated Status Register-1 table
G	2016/12/14	4-5, 67, 71-72	Updated XSON package information
H	2017/05/11	20, 73-74	Updated /WP information Updated W25Q64JV-IM order information
I	2017/11/22	8, 72-75	Added WLCSP package type
J	2018/03/27	12, 13 61,63,64 4, 74-76	Updated OTP Notice and SR1 Figure Updated ICC3, tPP, tSLCH, tCHSL, tDVCH, tCHDX Added industrial plus information

Trademarks

Winbond and *SpiFlash* are trademarks of *Winbond Electronics Corporation*. All other marks are the property of their respective owner.

Important Notice

Winbond products are not designed, intended, authorized or warranted for use as components in systems or equipment intended for surgical implantation, atomic energy control instruments, airplane or spaceship instruments, transportation instruments, traffic signal instruments, combustion control instruments, or for other applications intended to support or sustain life. Furthermore, *Winbond* products are not intended for applications wherein failure of *Winbond* products could result or lead to a situation wherein personal injury, death or severe property or environmental damage could occur. *Winbond* customers using or selling these products for use in such applications do so at their own risk and agree to fully indemnify *Winbond* for any damages resulting from such improper use or sales.

Information in this document is provided solely in connection with Winbond products. Winbond reserves the right to make changes, corrections, modifications or improvements to this document and the products and services described herein at any time, without notice.

Please note that all data and specifications are subject to change without notice.
All the trademarks of products and companies mentioned in this datasheet belong to their respective owners.