

**Phần 1 điểm****Câu 1.1 Xác định chỉ tiêu kỹ thuật hệ thống:**

- Chất lượng hoạt động: tốc độ, công suất...
- Các tính năng hệ thống phải/có thể đáp ứng
- Kích thước vật lý
- Kỹ thuật/phương pháp thiết kế
- Công nghệ sử dụng để SX.

***Ý nghĩa:***

Xác định chỉ tiêu kỹ thuật của một hệ thống là bước sự thỏa hiệp (compromise) giữa các yêu cầu của thị trường, công nghệ và tính khả thi về mặt thương mại (economical viability). Kết quả của giai đoạn này là các thông số cần thiết về kích cỡ, tốc độ, công suất cũng như là các tính năng của hệ thống.

**Câu 1.2 Thiết kế kiến trúc của hệ thống:**

- Kiến trúc tập lệnh rút gọn RISC / phức tạp CISC.
- Số lượng các bộ ALU.
- Các đơn vị dấu phẩy động.
- Số lượng và cấu trúc các pipeline.
- Kích cỡ bộ nhớ đệm cache.

***Ý nghĩa:***

Các ước lượng bước đầu này có vai trò quyết định đến việc xác định tính khả thi của sản phẩm trong giai đoạn đưa sản phẩm ra thị trường (giai đoạn thương mại hóa sản phẩm - a market segment).

**Câu 1.3 Thiết kế các khối chức năng - hoạt động của hệ thống:**

- Xác định các khối chức năng chính của hệ thống.
- Mô tả tương tác giữa chúng.
- Hoạt động của các khối dưới tác động đầu vào/ra và nhịp đồng hồ.
- Kỹ thuật/phương pháp TK.
- Công nghệ sử dụng để SX.
- Cho phép mô phỏng hệ thống nhanh.

***Ý nghĩa:***

Các thông tin thu được này giúp cải thiện quá trình thiết kế tổng thể và giảm nhỏ sự phức tạp của các quá trình thiết kế tiếp sau. Thiết kế chức năng hoặc hoạt động của hệ thống cung cấp một mô phỏng (emulation) nhanh của hệ thống và cho phép rà soát lỗi (debugging) toàn bộ hệ thống một cách nhanh chóng.

**Câu 1.4 Thiết kế Logic:**

- Chu trình điều khiển của hệ thống.
- Độ rộng của các đơn vị dữ liệu, thanh ghi, các phép toán. Mô tả RTL.
- Các biểu thức logic Bool tối thiểu.
- Kích cỡ bộ nhớ đệm.

**Ý nghĩa:**

Mô tả này bao gồm các biểu thức Boolean và các thông tin định thời. Mô tả này có thể được dùng trong mô phỏng và kiểm tra tính đúng đắn của thiết kế.

**Câu 1.5 Thiết kế mạch:**

- Cụ thể hóa các thiết kế logic của hệ thống.
- Hiện thực hóa thành mạch điện các biểu thức logic.
- Thực hiện bằng các phần tử ô chuẩn (standard cell)/ cổng/ transistor và các kết nối giữa các phần tử.
- Kiểm tra tính đúng đắn mỗi phần tử và nhịp định thời của chúng.

**Ý nghĩa:**

Việc thiết kế mạch là có ý nghĩa phát triển một mạch điện cụ thể dựa trên thiết kế lô-gíc đã có ở bước trước đó.

**Câu 1.6 Thiết kế vật lý:**

- Chuyển đổi hình học và bố trí layout các thành phần của mạch điện:
- Chuyển các thành phần mạch sang dạng hình học (hình dạng, lớp) thích hợp.
- Tuân thủ các luật thiết kế.
- Phân định vùng các thành phần.
- Định tuyến các đường nối các đường dữ liệu.
- Ước lượng vùng diện tích cần thiết.

**Ý nghĩa:**

Bước thiết kế vật lý thực hiện sắp xếp và trải (layout) các thành phần của mạch.

**Câu 1.7 Sản xuất chip:**

- Layout hoàn thiện được chuyển thành các băng với các mẫu mặt nạ thích hợp.
- Dựa trên các mặt nạ, quá trình sản xuất tạo các vùng bán dẫn/loại bỏ các vùng.
- Kiểm tra tính đúng đắn mỗi phần tử và nhịp định thời của chúng.

**Ý nghĩa:**

Sau khi thực hiện thiết kế layout và kiểm tra tính đúng đắn của thiết kế, thiết kế đã sẵn sàng cho việc sản xuất. Thực hiện công việc sản xuất nhằm đưa ra sản phẩm thực tế hướng tới thương mại.

**Câu 1.8 Đóng gói, kiểm tra và sửa lỗi:**

- Cắt các chip riêng rẽ.
- Đóng gói: Các chip sử dụng trong các bảng mạch in được đóng gói trong gói 2 hàng chân, hoặc với mảng lưới các chân, hoặc với mảng lưới các đầu hoặc trong gói phẳng vuông.
- Các chip được sử dụng trong các khối đa chip (Multi-Chip Modules) thì không cần đóng gói, bởi vì các chip MCM thường được sử dụng trần.

**Ý nghĩa:**

Bước quan trọng để mỗi chip được đóng gói và kiểm tra để đảm bảo rằng chúng thỏa mãn các chỉ tiêu kỹ thuật thiết kế cũng như hoạt động đúng với các chức năng thiết kế.

**Câu 1.9 Xu hướng công nghệ trong chu trình TK hệ thống VLSI:**

- Tăng trở liên kết. Tăng diện tích kết nối.
- Tăng số lượng lớp kim loại.
- Tăng các yêu cầu hoạch định trước.
- Tổng hợp logic / Tổng hợp mức cao.

**Câu 1.10 Liệt kê các phương pháp đóng gói chip, ưu nhược điểm của từng phương pháp:**

Ba phương pháp chính:

- **DIP (Dual In-Line Package):** Kiểu đóng gói hàng đôi này có ở các con chip dạng "bộ" (bug) truyền thống. yêu cầu công nghệ thấp nhưng công kênh, số lượng chân hạn chế.
- **SIP (Single In-Line Package):** Đóng gói hàng đơn này với các chân cắm chạy thành một hàng như một cây lược. Yêu cầu công nghệ thấp nhưng tổn diện tích board mạch.
- **PGA (Pin-Grid Array):** Kiểu đóng gói chân sắp xếp thành vỉ như lưới này được dùng cho những con chip hình vuông với các chân cắm được bố trí trong những ô vuông đồng tâm. Gọn gàng, kích thước nhỏ, dễ dàng lắp đặt, tuy nhiên chi phí đắt, công nghệ phức tạp.

**Câu 1.11 Tại sao công nghệ bán dẫn Silic vẫn sẽ là công nghệ đc lựa chọn phổ biến?**

- Silic phổ biến thứ 2 trên TĐ sau oxy (khoảng 28%) (Nguồn: đất sét, thạch anh, cát...)
- Có tính chất điện môi thích hợp:
  - Đủ lớn để giảm dung kháng khi được sử dụng như tụ điện.
  - Đủ nhỏ để hệ số thời gian trễ RC không giới hạn tần số cực đại của thiết bị.
- Có giá trị điện trường đánh thủng cao nhất trong các chất cách điện.
- Các tính chất điện rất tốt: Không tạo ra việc tái hợp điện tử-lỗ trống, không tạo ra vùng tích điện.
- Rất ổn định và trơ về mặt hóa học.

**Câu 1.12 Tại sao phải SX tấm wafer từ thanh Silic đơn thể?**

Các tinh thể si-líc được hình thành và cắt gọt để tạo thành các tấm wafer. Do đó, để sản xuất các chip VLSI với kích thước cực kỳ nhỏ các tấm wafer được yêu cầu phải được đánh bóng gần tuyệt đối.

**Câu 1.13 So sánh ưu nhược điểm quang khắc dùng UV và khắc tia điện tử (EBL):**

- Quá trình quang khắc được sử dụng để làm hình ảnh 2-D từ mặt nạ được sao vào bề mặt tấm đế.
  - Phủ lớp cản quang (photoresist) -> Chiếu UV qua mặt nạ -> Loại bỏ vùng chất cản quang bị chiếu (cản quang dương)/không bị chiếu (cản quang âm)
  - Quá trình quang khắc được thực hiện một cách lặp đi lặp lại cho mỗi lớp cùng với các mặt nạ riêng rẽ cho mỗi lớp đó.
  - Chất cản quang âm ít được sử dụng hơn chất cản quang dương vì độ phân giải kém hơn.
- Với các hệ thống/thiết bị sử dụng công nghệ  $\mu$  mật độ cao thì quá trình quang khắc được thay bằng quá trình khắc tia điện tử (EBL):
  - Mẫu có thể tạo trực tiếp từ dữ liệu số.
  - Thực hiện trực tiếp (không cần ảnh mặt nạ).
  - Các mẫu khác nhau có thể tiến hành trên các vùng Wafer khác nhau.
  - Sự thay đổi mẫu dễ dàng và nhanh gọn.
  - Giá thành trang thiết bị cao.
  - Thời gian cần thiết để hoàn thành quá trình cho một tấm Wafer lớn.

**Câu 1.14 Khuếch tán lựa chọn là gì?**

- Để tạo ra các loại si-líc khác nhau, tức là tỷ lệ các tạp chất khác nhau, thì cần thêm quá trình xử lý nữa được thực hiện. Vì các vùng này phải được định vị và xác định kích thước 1 cách chính xác. Khả năng của lớp SiO<sub>2</sub> hoạt động như 1 rào chắn đối với quá trình đưa vào các tạp chất là một yếu tố quan trọng trong quá trình này và được gọi là quá trình khuếch tán lựa chọn:
- Lớp SiO<sub>2</sub> được sử dụng như một mặt nạ mẫu. Những chỗ không có SiO<sub>2</sub> cho phép các nguyên tử dopant đi qua vào trong wafer và do đó làm thay đổi các tính chất của si-líc. Những chỗ có lớp SiO<sub>2</sub> bao phủ ngăn chặn sự thâm nhập của các nguyên tử dopant.

**Câu 1.15 So sánh ưu nhược điểm tạo cực cửa = kim loại và = polysilicon:**

- Polysilicon: loại vật liệu bền vững (rất hiếm các phản ứng tương tác với các vật liệu lân cận). Sử dụng trong các kết nối cực cửa hoặc các kết nối ngắn mà có dòng nhỏ.
- Kim loại: tốc độ dẫn cao hơn polysilicon 3 – 5 lần; điện trở nhỏ hơn; có hiện tượng PƯ tương tác với các vật liệu lân cận.
  - Các lớp kết nối kim loại ở lớp sâu thường được bọc bởi Si<sub>3</sub>N<sub>4</sub> hoặc TiN.
  - Lớp kết nối trên cùng luôn được tạo bằng kim loại.
  - Các lớp kết nối kim loại thường được tạo bằng cách sử dụng phương pháp PVD.

**Câu 1.16 Nội ý nghĩa của công nghệ tạo giếng đôi trong công nghệ CMOS:**

- Cho phép tạo cả n-well và p-well trên cùng một đế bán dẫn
- Tối ưu hóa các tham số (hệ số khuếch đại, điện áp ngưỡng, ...) của các transistor nMOS và pMOS. Loại bỏ sự chênh lệch nồng độ pha tạp → tránh được hiện tượng không cân xứng các tham số của cực мэ́ng.

**Câu 1.17 Nội ý nghĩa của công nghệ Silic trên tấm đế cách ly (SOI):**

- Cho phép tạo các trans nMOS và pMOS cạnh kề nhau nhưng hoàn toàn tách biệt và độc lập nhau => tránh được vấn đề treo.
- Cho phép tăng mật độ tích hợp (do không cần các vùng tạo giếng).
- Các dung kháng ký sinh thấp hơn so với các quá trình n-well và p-well hoặc twin-tub. Không gặp phải vấn đề hiệu ứng thân.

**Câu 1.18 Phân loại transistor MOSFET: MOSFET kênh cảm ứng**

- **MOSFET kênh cảm ứng (E-MOSFET):** Không có vùng kênh dẫn dòng ở điều kiện phân cực cực cửa bằng 0. Kênh dẫn được tạo ra bằng cách cung cấp điện áp phân cực vào cực cổng lớn hơn một mức ngưỡng => tạo lớp đảo.
- **MOSFET kênh đặt sẵn (D-MOSFET):** Có vùng kênh dẫn dòng ở điều kiện phân cực cực cửa bằng 0. Kênh dẫn tồn tại sẵn ngay khi phân cực cực cửa bằng 0: sử dụng việc cấy ghép ion chọn lọc vào vùng kênh tạo kênh dẫn sẵn.
- **Transistor MOSFET kênh dẫn n:** nMOS. Để bán dẫn loại p, các cực S và D là vùng pha tạp n+. Kênh dẫn được tạo là loại n.
- **Transistor MOSFET kênh dẫn p:** pMOS. Để bán dẫn loại n, các cực S và D là vùng pha tạp p+. Kênh dẫn được tạo là loại p.

**Câu 1.19 Điện áp ngưỡng của transistor MOSFET phụ thuộc vào những yếu tố nào?**

- Chênh lệch công giữa cực cửa và kênh dẫn.
- Điện áp cực cửa để thay đổi thế năng bề mặt.
- Điện áp cực cửa để tạo vùng nghèo điện tích bề mặt.
- Điện áp để tạo chênh lệch điện tích cố định trong vùng cực cửa ô-xít và trong tiếp giáp Si-SiO<sub>2</sub>.

**Câu 1.20 Hiệu ứng thân đế là gì?**

- Để có thể đạt được các mức điện áp ngưỡng thấp (cỡ 0,6-1,0V) thì cần phải có hoặc là giếng khuếch tán sâu hoặc trở kháng giếng phải cao. Các tiếp giáp sâu kéo theo một không gian giữa các transistor n và p lớn hơn vì tính chất một phía của quá trình khuếch tán. Và kết quả là yêu cầu chip có diện tích lớn hơn.
- Mặt khác, trở kháng cao có thể làm gia tăng các vấn đề chột. Nhằm đạt được mức điện thế ngưỡng hẹp chấp nhận được trong quá trình p-well, mật độ giếng phải cỡ gấp đôi mật độ doping trong đế, và bằng cách đó tạo ra hiệu ứng thân cho các thiết bị kênh n có được lớn hơn cho các transistor kênh p.

**Câu 1.21 Hiệu ứng thay đổi độ dài kênh dẫn:**

- Ở mức điện áp ngưỡng  $V_T$ , với số lượng điện tử tập trung tại biên của vùng kênh đủ lớn, nó sẽ hình thành một lớp đảo chiều một lớp các điện tử dày đặc đủ để tạo ra một dòng giữa cực nguồn và cực máng. Kích thước của vùng kênh được xác định tương đối theo chiều của dòng điện chạy. Nói một cách cụ thể là chiều dài kênh  $L$  được tính dọc theo hướng của dòng điện từ cực nguồn tới cực

máng, và bề rộng của kênh  $W$  là chiều vuông góc với chiều dòng điện.

- Độ lớn của dòng điện chạy là một hàm của tỷ số  $W/L$ . Cũng tương tự như dòng điện, trở kháng thân thay đổi theo chiều dài và chiều rộng của kênh: tăng bề rộng kênh làm tăng mật cắt vùng dẫn, trong khi tăng chiều dài kênh làm tăng khoảng cách mà dòng điện cần thiết phải chạy qua trong kênh.
- Chú ý rằng, các transistor kênh p cũng có cấu trúc tương tự như các transistor kênh n, tuy nhiên các vật liệu sử dụng là đối ngược: tức là thay đổi p và n cho nhau. Transistor kênh p dẫn bằng cách tạo thành vùng đảo của các lỗ trống trong kênh loại n. Do đó, để thấy điện áp cực cửa-cực nguồn phải là điện áp âm để cho phép transistor dẫn dòng

**Câu 1.22 Nguyên tắc, ý nghĩa của việc đo lường các tham số:  $V_{TH0}$ ,  $\lambda$ ,  $\gamma$ ,  $K_N$ ,  $K_P$**

Để tăng tính chính xác của các công thức xây dựng dựa trên xấp xỉ thì các tham số trong công thức phải đo lường bằng thực nghiệm một cách cẩn thận:

$V_{TH0}$ : điện áp ngưỡng với phân cực để bằng 0

$$V_{TH0} = \Phi_{GC} - 2\Phi_F$$

$\gamma$ : hệ số hiệu ứng thân.

$$\gamma = \frac{\sqrt{2qN_a\epsilon_{Si}}}{C_{ox}}$$

$\lambda$ : hệ số điều chỉnh độ dài kênh dẫn (quyết định độ dốc đặc tuyến dòng-áp ở vùng bão hòa).

$$1 - \frac{\Delta L}{L} \approx 1 - \lambda V_{DS}$$

$k_n, k_p$ : Các tham số hỗ dẫn.

$$k_n = \mu_n C_{ox} \frac{W}{L}, \quad k_p = \mu_p C_{ox} \frac{W}{L}$$

**Câu 1.23 Nguyên nhân gây ra dòng thứ cấp, ảnh hưởng của nó:**

- Thu nhỏ kích thước thiết bị xuống mức thấp nhất có thể => Đặc tính hoạt động của thiết bị sẽ thay đổi.
- Ngưỡng thế năng trong thiết bị kích thước nhỏ được điều khiển bởi cả VGS và VDS. Nếu  $V_{DS} \uparrow \rightarrow$  ngưỡng thế năng  $\downarrow \Rightarrow$  Sự suy giảm



ngưỡng do điện thế cực D. Tạo ra dòng dẫn ngay cả khi  $V_{GS} < V_{T0}$ :  
Dòng dẫn ngưỡng thứ cấp.

- Một sự thay đổi dòng nhỏ cũng có thể gây ảnh hưởng đến hoạt động của mạch

**Câu 1.24 Nguyên nhân gây ra hiện tượng đâm xuyên, ảnh hưởng của nó:**

Trong các thiết bị kích thước nhỏ, L là độ dày vùng nghèo của các tiếp xúc cực S và D.

Nếu các điện áp phân cực cực D  $\uparrow \rightarrow$  Vùng nghèo cực D mở rộng về phía cực S  $\rightarrow$  Hai vùng nghèo có thể chồng lấn nhau  $\Rightarrow$  Sự đâm xuyên.

Điện áp cực cửa không còn tính điều khiển với dòng cực máng  $\rightarrow$  Dòng cực máng  $\uparrow$  đột ngột. Sự tăng dòng đột ngột có thể phá hỏng vĩnh viễn thiết bị (làm nóng chảy vật liệu bên trong thiết bị).

**Câu 1.25 Nguyên nhân gây ra hiện tượng đánh thủng lớp oxit bề mặt, ảnh hưởng của nó:**

- Độ dày lớp ô-xít cực cửa khi thu nhỏ với hệ số tỷ lệ S:  $t_{ox} * S$
- Bị hạn chế bởi giới hạn vật lý (sự khó khăn trong công nghệ chế tạo)
- Sự hình thành không đồng nhất của lớp ô-xít rất mỏng tạo thành các vùng khuyết  $\rightarrow$  Có thể gây ra sự ngắn mạch giữa cực cửa và đế.
- Độ mỏng của lớp ô-xít cực cửa cũng bị giới hạn bởi hiện tượng đánh thủng bởi điện trường vuông góc (có giá trị đủ lớn)  $\Rightarrow$  hỏng thiết bị.

**Câu 1.26 Nguyên nhân gây ra hiện tượng nóng dòng hạt, ảnh hưởng của nó:**

- Việc giảm nhỏ các kích thước mà vẫn giữ nguyên điện áp, đồng nghĩa với việc tăng nồng độ pha tạp  $\rightarrow$  Các thành phần điện trường  $E_x, E_y$  trong kênh dẫn tăng mạnh.
- Các hạt dẫn đạt được động năng đủ lớn: hiện tượng "nóng" dòng hạt.
- Dòng hạt "nóng" có thể chích vào lớp ô-xít cực cửa gây ra sự thay đổi cố định phân bố điện tích tại tiếp giáp ô-xít cực cửa  $\rightarrow$  Làm xấu đi đặc tính V-A của thiết bị.

**Câu 1.27 Tại sao phải tuân thủ luật thiết kế, có những luật nào:**

Các luật TK cung cấp mối liên hệ thông tin cần thiết giữa người thiết kế mạch và kỹ sư thực hiện quá trình SX. Mục đích chính của các



luật thiết kế là nhằm đạt được mạch với sản lượng tối ưu trong 1 vùng diện tích nhỏ nhất có thể mà ko phải đánh đổi bằng độ tin cậy của mạch.

- ⇒ Luật TK là 1 ranh giới để đảm bảo sự hoạt động của mạch. Nếu bề rộng các đường được thiết kế quá nhỏ thì có thể dẫn đến khả năng các đường sẽ bị đứt quãng.
- ⇒ Luật TK là 1 ranh giới để đảm bảo sự hoạt động của mạch. Nếu bề rộng các đường được thiết kế quá nhỏ thì có thể dẫn đến khả năng các đường sẽ bị đứt quãng.

VD: luật  $\mu$ ,  $\alpha$ ,  $\lambda$

**Câu 1.28 So sánh ưu nhược điểm các luật thiết kế đã học:**

- Các luật thiết kế  $\mu$  thường được cho như một danh sách các kích thước đặc trưng tối thiểu và các khoảng cách cho tất cả các mặt nạ được yêu cầu trong một quá trình sản xuất nào đó. Chẳng hạn, bề rộng lớp thinox tối thiểu có thể được cụ thể hóa là 4  $\mu\text{m}$ . Đây là kiểu thông thường cho sản xuất công nghiệp.
- Trong các luật  $\alpha$ , kích thước đặc trưng cơ bản và kích thước lưới tối thiểu cần thiết được mô tả bằng các hàm của  $\alpha$ . Các hệ số  $\alpha$  có thể có mối liên hệ thông qua một hệ số không đổi.
- Các luật thiết kế dựa trên  $\lambda$  chỉ dựa trên một tham số  $\lambda$  duy nhất, đặc trưng cho đặc trưng tuyến tính - độ phân giải của quá trình thực hiện wafer hoàn chỉnh - và cho phép việc tỷ lệ bậc một

**Câu 1.29 Thông số hóa quá trình là gì, cho VD:**

- Khi các công cụ tự động trở lên phổ biến, sự cần thiết về việc hiểu biết chi tiết các luật thiết kế đối với các nhà thiết kế không còn quá quan trọng. Tuy nhiên, các công cụ thiết kế phải có một dạng thức mà trong đó các luật thiết kế cho một quá trình phải được trình bày rõ ràng.
- Nếu các luật cần để thông tin giữa các công cụ, thì một dạng thức dữ liệu phải được thiết kế để có thể cung cấp cho một giao tiếp thích hợp.
- Ý tưởng chính là xác định các cấu trúc quan tâm và trình bày các thuật toán mà có thể được sử dụng để xây dựng các cấu trúc đó. Khoảng cách của những cấu trúc này từ các cấu trúc khác thu được bằng cách áp dụng các luật khoảng cách thông thường đã biết.

⇒ VD: Các luật về khoảng cách:

$$ND\_PD\_SP = NDIFF \text{ TO } PDIFF \text{ SPACING} = 8 * LAMBDA$$

$ND\_ND\_SP = NDIFF \text{ TO } NDIFF \text{ SPACING} = 2 * LAMBDA$

$PD\_PD=SP = PDIFF \text{ TO } PDIFF \text{ SPACING} = 2 * LAMBDA$

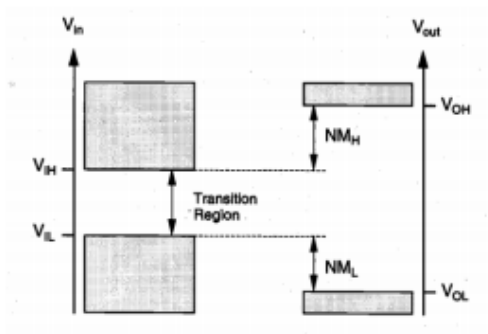
**Câu 1.30 So sánh ưu nhược điểm của các loại cấu trúc logic CMOS đã học:**

- **Logic bù CMOS:** Tất cả các cổng bù này có thể được thiết kế như các mạch không tỉ lệ (ratioless).
- **Logic giả nMOS:** Đây là một mở rộng của một mạch đảo. Vấn đề chính mà loại cổng này là sự tiêu tán công suất tĩnh xảy ra bất cứ khi nào chuỗi kéo xuống được mở.
- **Logic CMOS động:** Vấn đề trong cấu trúc này các đầu vào có thể chỉ nạp trong giai đoạn tiền nạp.
- **Logic CMOS định thời:** Công suất tiêu tán nhỏ. Có thời gian nâng (rise) và xuống (fall) lớn hơn do các transistor nhíp đồng hồ nối tiếp (series clocking transistor).
- **Logic đô-mi-nô CMOS:** Một cấu trúc cải tiến của cấu trúc lô-gic CMOS định thời cho phép một đồng hồ đơn lẻ thực hiện tiền nạp và đánh giá một tập mắc nối tiếp (cascade) của các khối lô-gic động. Cấu trúc này liên quan đến việc sử dụng một bộ đệm CMOS tĩnh trong mỗi cổng lô-gic
- **Logic chuyển mạch điện áp:** Đây là một kiểu vi phân của mạch lô-gic bởi vì nó yêu cầu cả tín hiệu "thật" (true) và tín hiệu bù. Có tốc độ hoạt động chậm hơn cổng bù thông thường sử dụng một cây lô-gic loại p và cây lô-gic loại n cần được nối với các cổng.
- **Logic đô-mi-nô cải tiến:** Các vấn đề gặp phải
  - Đáp ứng tốc độ kém của các khối lô-gic loại p,
  - Hiện tượng tái phân tán nạp,
  - Sự giảm độ dự trữ chống nhiễu (noise margin).

**Điểm mạnh**

- Vùng diện tích nhỏ hơn các cổng tĩnh đầy đủ.
- Các dung kháng ký sinh nhỏ hơn, và do đó có tốc độ cao hơn.
- Mạch có thể hoạt động không có lỗi nếu được thiết kế một cách cẩn thận.
- **Logic transistor thông qua:** là cấu trúc lô-gic transistor thông qua (còn gọi là cấu trúc lô-gic dẫn - pass transistor logic. Phương pháp này đạt được một cổng tĩnh với công suất tiêu tán một chiều bằng không.

**Câu 1.31 Khả năng chống nhiễu & mức kháng nhiễu của 1 cổng đảo:**



- Mức chịu đựng nhiễu (noise tolerance) còn được gọi là mức dự trữ chống nhiễu (noise margin): NM

- ▶ Cho mức tín hiệu thấp:  
 $NM_L = V_{IL} - V_{OL}$
- ▶ Cho mức tín hiệu cao:  
 $NM_H = V_{OH} - V_{IH}$



- Điện áp ra tương ứng khi điện áp vào chịu tác động bởi nhiễu  $\Delta V_{\text{nhiều}}$ :

$$V'_{out} = f(V_{in} + \Delta V_{\text{nhiều}})$$

- ▶  $\Rightarrow V'_{out} = f(V_{in}) + \frac{dV_{out}}{dV_{in}} \Delta V_{\text{nhiều}} + \text{các thành phần bậc cao (có thể bỏ qua)}$
- ▶  $\Rightarrow$  Điện áp đầu ra khi có nhiễu = Điện áp đầu ra khi không có nhiễu + Hệ số khuếch đại của cổng  $\times$  Lượng nhiễu tác động.
  - ★ Nếu độ lớn hệ số khuếch đại điện áp nhỏ hơn 1 thì nhiễu ở đầu vào không bị khuếch đại  $\Rightarrow$  Sự thay đổi do nhiễu đầu vào ở đầu ra nhỏ
  - ★ Nếu độ lớn hệ số khuếch đại điện áp lớn hơn 1 thì nhiễu ở đầu vào được khuếch đại  $\Rightarrow$  Sự thay đổi do nhiễu đầu vào ở đầu ra rất lớn
  - ★  $\Rightarrow$  Biên các vùng tín hiệu hợp lệ là các điểm điện áp ứng với hệ số khuếch đại có độ lớn bằng 1.

**Câu 1.32 Cách xác định công suất tiêu thụ DC của 1 cổng đảo? Tại sao cần quan tâm đến công suất tiêu thụ của các phần tử trong hệ thống VLSI:**

- Khi  $V_{in} = V_{OL}$ 
  - ▶ Transistor ngắt.
  - ▶  $I_D = I_R = 0$  (bỏ qua dòng rò)
  - ▶  $\Rightarrow$  Công suất tiêu thụ DC bằng 0.
- Khi  $V_{in} = V_{OH}$ 
  - ▶ Cả transistor và tải  $R_L$  dẫn dòng.
  - ▶  $V_{out} = V_{OL}$
  - ▶  $\Rightarrow I_D = I_R = \frac{V_{DD} - V_{OL}}{R_L}$
  - ▶  $\Rightarrow$  Công suất tiêu thụ DC bằng  $\frac{V_{DD} - V_{OL}}{R_L} V_{DD}$ .
- Giả sử điện áp vào ở mức thấp chiếm 50% thời gian làm việc của cổng
  - ▶  $\Rightarrow$  Công suất tiêu thụ trung bình của cổng đảo với tải trở kháng

$$P_{DC(\text{trung bình})} = \frac{V_{DD}}{2} \frac{V_{DD} - V_{OL}}{2}$$



- ▶ Việc tỏa nhiệt cho các chip VLSI trở thành một nhiệm vụ cực kỳ cần thiết và rất tốn kém.
- ▶  $\Rightarrow$  Việc giảm công suất tiêu thụ của mạch ở cả chế độ hoạt động DC và chế độ động là một nhiệm vụ quan trọng của việc thiết kế mạch.
- ▶ Công suất tiêu thụ một chiều (ở trạng thái ổn định - steady state hay ở chế độ chờ - standby mode):  $P_{DC} = V_{DD}I_{DC}$ 
  - ★ Khi công nghệ tiến đến các kích thước dưới  $\mu$  thì công suất tiêu thụ ở chế độ chờ tăng do hiệu ứng dẫn dòng ngưỡng thứ cấp.
  - ★ Giả sử mạch làm việc với mức lô-gic "0" khoảng 50% thời gian  $\Rightarrow$ 

$$P_{DC} = \frac{V_{DD}}{2} \left( I_{DC}(V_{in} = \text{mức thấp}) + I_{DC}(V_{in} = \text{mức cao}) \right)$$
- ▶ Công suất tiêu thụ DC là một trong các yếu tố quan trọng cho việc thiết kế lựa chọn phương thức thực hiện mạch với một nhiệm vụ thiết kế xác định.

**Câu 1.33 So sánh việc thực hiện tải bằng vùng khuếch tán và bằng dải polysilicon trong cấu trúc cổng đảo dùng tải trở kháng:**

**- Khuếch tán**

- Quá trình khuếch tán lựa chọn yêu cầu (liên quan - entail):
  - Tạo các cửa sổ ở trên lớp SiO<sub>2</sub> đã hình thành trên bề mặt wafer.
  - Loại bỏ phần SiO<sub>2</sub> (không loại bỏ si-líc) với một kỹ thuật khắc thích hợp.
  - Đưa phần si-líc lộ ra đối với nguồn tạp chất.
- Điểm mạnh của công nghệ:
  - Các mẫu có thể được tạo trực tiếp từ dữ liệu số.
  - Không cần thiết các ảnh cứng trung gian như là các mặt nạ, nói cách khác, quá trình thực hiện có thể thực hiện một cách trực tiếp.
  - Các mẫu khác nhau có thể được phân chia trên các khu khác nhau của wafer mà không gặp sự khó khăn nào.
  - Sự thay đổi giữa các mẫu có thể được tiến hành một cách nhanh gọn.

**- Polysilicon:**

- Dạng này của si-líc thường được sử dụng như là một kết nối giữa các mạch tích hợp si-líc hoặc những cực cửa (gate electrode) trong các transistor MOS.
- Các bước cần thiết của quá trình tạo cổng si-líc điển hình liên quan đến các quá trình sử dụng mặt nạ quang (photomasking) và quá trình khắc ô-xít (oxide etching), trong đó các quá trình này có thể được lặp một số lần trong suốt quá trình thực hiện.

**Câu 1.34 So sánh các chiến lược clock trong TK hệ thống VLSI:**

- **Chiến lược đồng hồ 2-pha giả:** Chiến lược đồng hồ 2-pha giả sử dụng sơ đồ đồng hồ nMOS không chồng lấn nhau 2-pha. Do đó, chúng ta có  $\phi_1, \phi_2, \phi_3$  và  $\phi_4$  hay lên đến bốn pha đồng hồ để chạy vòng quanh một chip
- **Chiến lược đồng hồ 2-pha:** giảm số lượng đường dẫn nhịp đồng hồ.
- **Chiến lược đồng hồ 4-pha:** bổ sung một pha "giữ" làm đơn giản hóa việc thiết kế lô-gic. Tuy nhiên, nhược điểm là số lượng đồng hồ mà phải được tạo ra.
- **Chiến lược đồng hồ giả 4-pha:** là 1 chiến lược phổ thông nhất bởi vì nó cho phép xây dựng bất cứ dạng thức lô-gic nào bằng việc tạo ra đồng hồ on-chip thích hợp.

**Câu 1.35 Nguyên tắc TK cấu trúc I/O:**

- Các chân đế I/O thường được SX với độ cao và bề rộng không đổi với các điểm liên kết ở những vị trí xác định cụ thể. Kích thước của các chân đế được xác định thông thường bằng kích thước tối thiểu mà một dây hàn có thể đưa dc vào. Ngoài ra, một vị trí cố định cho VDD, VSS và các dây dẫn điều khiển toàn cục khác cũng là một điểm mạnh.
- Bề rộng bus nguồn và đất có thể được tính toán để cung cấp các điện áp tốt. Nhiều chân đế nguồn và đất có thể được sử dụng để nhằm giảm nhiễu.

**1.36 So sánh ưu nhược điểm các bộ cộng:**

- **Bộ cộng tổ hợp:** phương pháp đơn giản nhất để thiết kế tuy nhiên trễ tổng lớn, cần được giảm thiểu.
- **Bộ cộng tổ hợp động:**
  - Có 1 bit trễ để dẫn tín hiệu mang trở lại bộ cộng, và một tín hiệu mang xác lập lại và một tín hiệu thiết lập ban đầu. Điều này cho phép bộ cộng hoạt động như là một bộ trừ bằng cách xác lập tín hiệu mang tại chu kỳ đầu tiên và đảo một cách logic số bị trừ.
  - Một vấn đề có thể xảy ra là cực cửa tích điện và phân bố lên các điểm không tích điện

- **Bộ cộng cực cửa:**
  - Nó có ưu điểm là có cùng thời gian trễ của cả hai chân SUM và CARRY. Hơn nữa, các tín hiệu ở chân SUM và CARRY là không đảo.
  - Nhược điểm :Tốn tài nguyên( số lượng transistor sử dụng).
- **Bộ cộng mang khóa đầu :**
  - **Ưu điểm:** Cải thiện trễ của tín hiệu của các bit nối vào.
  - **Nhược điểm:** Kích thước của các cực cửa cần cho việc thiết kế sơ đồ của bộ cộng mang khóa đầu là không thể.
- **Bộ cộng mang Manchester:**
  - **Ưu điểm:** Ảnh hưởng của chuỗi mang domino có thể được tăng cường. Tốc độ tính toán nhanh
  - **Nhược điểm:** Phức tạp, khó thực hiện hơn các loại thông thường khác.
- **Bộ cộng khóa đầu mang nhị phân:**
  - **Ưu điểm:** Tính liên kết của toán tử cho phép thực hiện các thành phần đã được kết hợp trong cấu trúc dạng cây nhị phân.
  - **Nhược điểm:** Cấu trúc khóa đầu chỉ thực hiện khi cây nhị phân theo sau là cây nhị phân đảo.
- **Bộ cộng lựa chọn mang:**

**Ưu điểm:** Tăng tốc độ của bộ cộng.Kết hợp cả hai thuộc tính động tĩnh.

**Nhược điểm:** Sử dụng trên thiết kế cố định.

### Câu 1.37 So sánh ưu nhược điểm các bộ đếm:

- **Bộ đếm không đồng bộ :** xung đồng hồ của mỗi tầng được thực hiện bởi bộ đếm tầng trước nó, và do đó thời gian cần thiết để ổn định là khá dài đối với một dãy các bộ đếm.
- **Bộ đếm đồng bộ:** Các bộ đếm đồng bộ yêu cầu một tín hiệu khóa đầu được tạo ra. Các bộ đếm này có xu hướng thiết kế phức tạp hơn so với các bộ đếm không đồng bộ, nhưng lại có ưu điểm là các tầng được khóa lại đồng thời và sự thay đổi của đầu ra là đồng thời

### 1.38 So sánh ưu nhược điểm các bộ nhân:

- **Mạch nhân mảng không dấu :**
  - **Ưu điểm:**
    - Vì mảng có cấu trúc có quy luật, và sử dụng một loại ô duy nhất, do đó dễ dàng thiết kế và thực hiện layout.



- Bộ cộng trong nó có thể dễ dàng được pipeline với việc đặt các thanh ghi giữa các hàng.
- **Nhược điểm:** Trong thực tế, các mạch điện được gán cho các khối hình chữ nhật trong quá trình hoạch định vị trí, do đó khối hình bình hành (parallelogram shape) làm lãng phí không gian.
- **Mạch nhân mảng bù 2:**
  - **Ưu điểm:**
    - Mạch nhân Baugh-Wooley cải tiến giảm nhỏ số các tích thành phần bằng các tính trước các tổng của các hằng số 1 và đẩy một số trong các thành phần lên trên thành các cột bổ sung.
    - Các mảng dấu và không dấu là tương tự nhau ở điểm một mảng duy nhất có thể được sử dụng cho cả hai mục đích nếu các cổng XOR được sử dụng để đảo có điều kiện một số trong các thành phần phụ thuộc vào thức làm việc.
  - **Nhược điểm:** Phép nhân của các số bù 2 đầu tiên có vẻ khó hơn bởi vì một số tích thành phần là âm và phải được trừ đi.

### Câu 1.39 Trình bày phương pháp mã hóa Booth trong việc phân tích thiết kế bộ nhân

- Các bộ nhân mảng đề cập trong các phần trên tính toán các tích thành phần theo cơ số 2, tức là bằng cách mỗi lần quan sát một bit của bộ nhân. Các bộ nhân cơ số 2  $r$  tạo ra  $N/r$  tích thành phần, mỗi một tích thành phần sẽ phụ thuộc vào  $r$  bit của bộ nhân. Càng ít số tích thành phần sẽ dẫn đến mảng CSA nhỏ hơn và nhanh hơn.
- Trong một bộ nhân mã hóa Booth cơ số 4, mỗi nhóm ba bit (một cặp, cùng với một bit bậc cao nhất của cặp trước đó) được giải mã thành một số đường lựa chọn ( $X_i$ ,  $2X_i$ , và  $M_i$ , được cho trong các cột bên phải của bảng 4.2) và được kích qua hàng tích thành phần.
- Trong một bộ nhân không dấu, các tích thành phần âm phải được mở rộng dấu để được tính tổng một cách chính xác.

### Câu 1.40 Trình bày phương pháp cây Wallace trong việc phân tích và thiết kế bộ nhân:

- Chúng ta dễ thấy rằng phép cộng theo cột rất chậm bởi vì chỉ có một bộ CSA hoạt động ở một thời điểm. Một cách để tăng tốc độ phép cộng theo cột là việc thực hiện tính tổng các tích thành phần song song thay vì nối tiếp (lần lượt). Phương pháp cây Wallace là lựa chọn thích hợp.

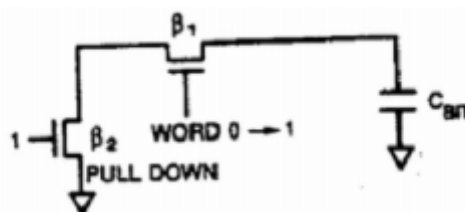


- Cây Wallace cần  $\log_{3/2}(N/2)$  mức của các bộ cộng (3,2) để giảm N đầu vào xuống thành hai đầu ra dạng dư thừa lưu nhớ. Tuy nhiên việc định tuyến giữa các mức trở lên rất phức tạp. Ngoài ra, dây dẫn càng dài thì dung kháng của dây càng lớn và sơ đồ cây trở lên bất thường rất khó thực hiện layout.
- Trong quá trình hoạt động, nó tạo ra một giá trị trung gian được nhớ vào cột kế tiếp, và chấp nhận một nhớ từ cột trước đó, do đó thường được gọi là một bộ đếm (5,3). Chỉ có  $\log_{3/2}(N/2)$  mức của các bộ nén [4:2] được yêu cầu, mặc dù mỗi một bộ có độ trễ lớn hơn của một bộ CSA.
- Khả năng tạo ra layout bình thường và khả năng định đường cũng làm cho bộ nhân cây nhị phân được chú ý nhiều hơn

**Câu 1.41 Các loại bộ ghi dịch thông thường:**

- **Bộ ghi dịch lô-gic:** Thực hiện việc dịch một số sang trái hoặc phải và điền vào các vị trí trống các bit 0.  
VD:  $1111 \gg 1 = 0111$ ;  $1111 \ll 1 = 1110$ .
- **Bộ ghi dịch số học:** Cũng tương tự như bộ ghi dịch lô-gic, nhưng điền vào các vị trí trống các bit ở vị trí cuối cùng.  
Ví dụ  $1011 \ggg 1 = 1101$ ;  $1011 \lll 1 = 0110$ .
- **Bộ ghi dịch vòng (quay):** quay vòng các số theo vòng tròn sao cho các vị trí trống được điền đầy bởi các bit được dịch ra khỏi ở phía đầu cuối bộ ghi  
VD:  $1011 \text{ ROR } 1 = 1101$ ;  $1011 \text{ ROL } 1 = 0111$

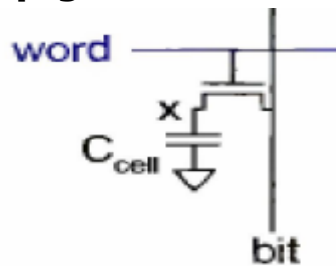
**Câu 1.42 Cấu trúc, h/động của 1 ô nhớ SRAM (12-T, 6-T, 3-T):**



Thao tác đọc trong một SRAM

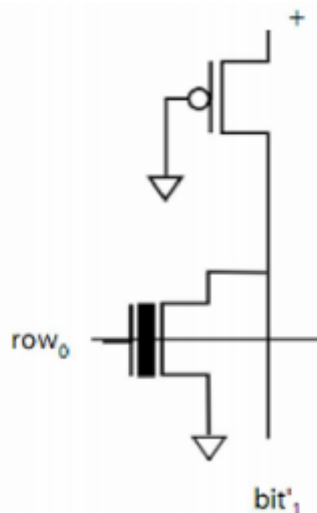
- Quá trình đọc: các dòng bit đầu tiên được tiền nạp ở mức cao và một được kéo xuống bởi cell SRAM qua transistor truy xuất.
- Quá trình ghi: một dòng bit hoặc phần bù của nó được kéo tích cực xuống mức thấp và giá trị mức thấp này chế ngự cell để thực hiện việc ghi giá trị mới.

**Câu 1.43 Cấu trúc, h/động của 1 ô nhớ DRAM (1-T, 4-T):**



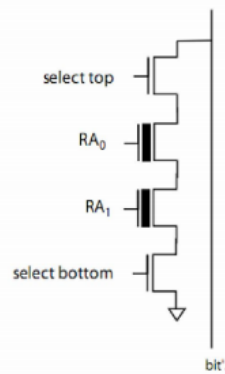
- Thao tác đọc: dòng bit đầu tiên được tiền nạp tới điện áp  $V_{DD}/2$ . Khi dòng từ nâng cao, tụ điện chia sẻ điện tích nạp của nó với dòng bit, và tạo ra một thay đổi điện áp  $\Delta V$ . Thao tác đọc xáo trộn các nội dung của cell, do đó cell phải được ghi lại sau mỗi thao tác đọc.
- Thao tác viết: dòng bit được kéo lên cao hoặc xuống thấp và điện áp được áp đặt nên tụ.

**Câu 1.44 Cấu trúc, h/động của 1 ô nhớ Flash 1-bit dùng NOR:**



- Một cell Flash NOR với transistor kéo-lên. Flash NOR tương tự về mặt cấu trúc với bộ ROM, ngoại trừ mỗi giao cắt của dòng từ/bit được cấu trúc với một transistor cực cổng động.
- Flash NOR có thể được sử dụng như một bộ nhớ truy xuất ngẫu nhiên, giống như với bất kỳ bộ ROM nào khác.
- Khi cực cổng động được nạp, nó làm transistor thông; khi cổng động được xả, nó làm transistor ngắt. Điện tích nạp trên cực cổng động sẽ có thể duy trì trong thời gian hàng năm.

**Câu 1.45 Cấu trúc, h/động của 1 ô nhớ Flash 2-bít dùng NAND:**



- Hai bit lưu trữ được truy xuất bằng cách sử dụng các tín hiệu RA. Các liên kết nối tiếp NAND được bảo vệ bằng các transistor loại n.
- Để thực hiện việc lập trình một cell, chúng ta có thể đặt SELECT TOP lên một mức điện áp cao, đặt SELECT BOTTOM xuống đất, và RA để điều khiển transistor mong muốn lên mức điện áp cao. Để ngăn chặn các cột lân cận không bị lập trình, chúng ta đặt các RA khác ở một mức điện áp trung gian. Các transistor này sau đó được kiểm soát nhưng không được lập trình. Giá trị được lập trình được đặt trên dòng bit.

**Câu 1.46 Chiến lược phân cấp trong thiết kế hệ thống VLSI:**

- Là việc sử dụng chiến lược phân cấp, hay còn được gọi là chiến lược chia để trị, liên quan đến việc chia nhỏ một hệ thống thành các mô-đun, và sau đó lặp lại quá trình cho mỗi mô-đun cho đến khi độ phức tạp của mỗi mô-đun con ở mức độ chi tiết có thể hiểu được một cách thích hợp.
- Khái niệm "phân cấp song song" cũng có thể được sử dụng để gom các mô tả trong mỗi miền mô tả biểu diễn một thiết kế.
- Chiến lược phân cấp cho phép sử dụng của các thành phần ảo (virtual component), các phiên bản mềm của các IC đóng gói truyền thống. Chúng có thể được cung cấp bởi các nhà cung cấp IP (intellectual property) độc lập hoặc có thể được sử dụng lại từ các sản phẩm phát triển trước đây.

**Câu 1.47 Chiến lược phân chia đều đặn trong TK hệ thống VLSI:**

- Là phép phân cấp ko những với tiêu chí đơn giản hóa hệ thống mà còn đảm bảo các module con tương tự nhau nhất có thể.
- Chiến lược đều đặn có thể được thực hiện ở mọi cấp độ thiết kế, cho phép giảm nhỏ số module khác nhau cần thiết kế và kiểm tra tính hợp lệ.

**Câu 1.48 Chiến lược modul hóa trong TK hệ thống VLSI:**

- Là việc xác định rõ ràng các chức năng và giao tiếp của các khối chức năng.
- Cho phép việc thiết kế các khối hoặc các module độc lập với nhau => thực hiện quá trình thiết kế.
- Việc xác định và phân định tốt các chức năng và các tín hiệu giao tiếp có thể cho phép sử dụng các module tổng quát trong các thiết kế khác nhau.

**Câu 1.49 Chiến lược cục bộ hóa trong TK hệ thống VLSI:**

- Các chi tiết bên trong mỗi khối đc xem xét ở mức cục bộ.
- Chỉ là các kết nối giữa các khối lân cận nhau => Tránh được các kết nối khoảng cách dài => Giảm được trễ kết nối lớn.

**Câu 1.50 Các mức kiểm thử, ý nghĩa vai trò:**

Việc kiểm tra và thử nghiệm có vai trò quan trọng sống còn đối vs sự thành công của một chip 1 hệ thống VLSI; Là 1 quá trình tốn công sức và thời gian. Gồm 3 loại chính:

- **Kiểm tra & thử nghiệm lô-gic:** xem xét chip có thực hiện đúng các chức năng đã đc thiết kế hay ko. Thực hiện trước khi thực hiện quá trình xuất bản để bắt đầu quá trình SX.  
Đơn giản và trực quan (vì gắn liền với các chức năng đã ấn định trước). Chỉ thích hợp với các hệ thống có độ phức tạp nhỏ hoặc vừa phải.
- **Kiểm tra & thử nghiệm trên lô chip SX thử nghiệm:** kiểm định tính hoạt động ổn định của mẻ chip thử nghiệm được SX.
- **Kiểm tra & thử nghiệm sản xuất:** kiểm tra và thử nghiệm tính hoạt động đúng đắn của mỗi transistor, mỗi cổng logic, mỗi thành phần lưu trữ. Thực hiện trên mỗi chip được SX trước khi chúng được đóng gói và chuyển đến khách hàng.

**Câu 1.51 So sánh các kiểu thiết kế (design styles) đã học:**

- **Full-custom design style:** Dạng thức hình học và vị trí của mọi transistor đc tìm kiếm và xác định tối ưu 1 cách riêng biệt.  
Thời gian thiết kế dài.  
Cho phép linh động và thuận lợi xem xét mọi khía cạnh tối ưu của thiết kế.  
Kết quả thiết kế có chất lượng và độ tin cậy cao (tốc độ hoạt động cao, ổn định, công suất tiêu tán nhỏ,...).  
Cho phép người thiết kế ở mức logic tập trung vào phần thiết kế của mình.

- **Semi-custom design style:** dựa trên các cấu trúc cơ bản có sẵn; các cell chuẩn.  
Thời gian thiết kế ngắn.  
Kém linh động và không thuận lợi cho việc nâng cao chất lượng của thiết kế.  
Kết quả thiết kế có chất lượng và độ tin cậy kém hơn kiểu TK trên.
- **Programmable design styles:** FPGA chứa khoảng hàng chục đến hàng trăm nghìn cổng logic với các kết nối có thể lập trình đc cho phép người sử dụng lập trình cấu trúc phần cứng nhằm hiện thực chức năng mong muốn.  
Định hình cấu trúc hệ thống nhanh, thiết kế chip hiệu quả với giá thành thấp

**Câu 1.52 Có những loại hệ thống Layout phổ biến nào? tại sao phải dùng chúng:**

- **Layout kí hiệu lưới thô:** chia bề mặt chip thành các lưới có khoảng cách đều nhau theo 2 chiều X, Y. Kích thước của lưới biểu diễn đặc trưng tối thiểu hoặc dung sai vị trí mong muốn trong một quá trình SX xác định và thường được lựa chọn bằng sự tham khảo kín giữa các nhà phát triển công cụ thiết kế và các kỹ sư quá trình sản xuất bán dẫn. Với mỗi sự kết hợp các lớp mặt nạ tồn tại ở một vị trí của lưới, một ký hiệu được xác định.
- **Layout ma trận cổng:** cải thiện layout ký hiệu lưới thô bằng cách cung cấp một kiểu layout quy luật trong đó một ma trận giao các hàng khuếch tán transistor và các cột si-líc đa tinh thể được sử dụng. Giao của một hàng và một cột là vị trí của một transistor tiềm tàng
- **Layout hình que:** Các ký hiệu đồ họa được định vị tương đối với nhau thay vì định vị cố định và được liên kết với nhau bằng các que màu biểu diễn các lớp liên kết mức mặt nạ. đơn giản hóa layout bằng giấy và bút chì trước khi thực hiện việc chuyển số hóa layout.
- **Layout kí hiệu lưới ảo:** vẽ dựa trên kinh nghiệm đạt được trong các hệ thống ký hiệu lưới thô, ma trận cổng, các hệ thống layout hình que, và các hệ thống khác.  
\*\*Việc thực hiện layout thông thường đầy đủ ở mức mặt nạ là một quá trình dễ mắc lỗi, tốn thời gian. Khi sử dụng các hệ thống layout việc thiết kế mức thấp các ô trong dạng một ký hiệu ở mức mạch điện của các miêu tả trừu tượng, và do đó làm các nhà thiết kế khỏi nhiệm vụ nặng nề của việc phải thực hiện các luật thiết kế hình học.

**Câu 1.53 So sánh ưu nhược điểm của các loại layout đã học:**

- **Layout kí hiệu lưới thô:**
  - Kích thước của lưới biểu diễn đặc trưng tối thiểu hoặc dung sai vị trí mong muốn trong một quá trình sản xuất xác định và thường được lựa chọn bằng sự tham khảo kín giữa các nhà phát triển công cụ thiết kế và các kỹ sư quá trình sản xuất bán dẫn.
- **Layout ma trận cổng:**
  - Đường dẫn kim loại có thể chạy theo chiều ngang và chiều dọc. Bất cứ đường nào có sự khác biệt với kích thước tối thiểu (chẳng hạn các ray cung cấp nguồn) phải được cụ thể hóa thủ công
  - Các transistor có thể chỉ tồn tại trên các cột si-líc đa tinh thể
  - Dải si-líc đa tinh thể chạy chỉ theo một hướng và chiều dài và bề rộng là hằng số.
- **Layout hình que:**
  - Các ký hiệu đồ họa được định vị tương đối với nhau thay vì định vị cố định và được liên kết với nhau bằng các que màu biểu diễn các lớp liên kết mức mặt nạ
- **Layout kí hiệu lưới ảo:**
  - Thiết kế topology không bị ràng buộc bởi các luật thiết kế.
  - Thiết kế nhanh thông qua việc sử dụng các liên kết điểm.
  - Các thuật toán dựa trên lưới nhanh cho việc kiểm định (audit) tính kết nối, việc nén, và các quá trình khác.
  - Khả năng cho phép các ô tham số hóa với việc tạo ra khối hình học tự động.
  - Lắp ghép mô-đun phân cấp.
  - Mục tiêu tự nhiên cho các trình biên dịch si-líc mức cao (tự do với cấu trúc hình học).

**Phần 2 điểm****Câu 2.1 Quá trình tạo tấm Wafer**

Vật liệu thô sử dụng trong các nhà máy sản xuất chất bán dẫn hiện đại là tấm wafer hay các đĩa si-líc với đường kính thay đổi từ khoảng 75mm đến 150mm và bề dày nhỏ hơn 1mm. Các tấm Wafer được cắt từ các thỏi si-líc đơn tinh thể si-líc mà các thỏi này được kéo từ phần nấu chảy si-líc đa tinh thể nguyên chất. Phương pháp này gọi là phương pháp Czochralski và đang là một phương pháp phổ biến nhất để sản xuất vật liệu đơn tinh thể. Một lượng có điều khiển các tạp chất được thêm vào quá trình nóng chảy để tạo ra tinh thể với các tính chất điện như mong muốn. Định hướng của tinh thể được quyết định bởi một tinh thể mẫu được nhúng vào dung dịch nóng chảy để khởi đầu quá trình hình thành tinh thể đơn. Dung dịch nóng chảy được chứa trong một nồi nấu thạch anh bao bọc bởi một lò nung than. Lò than được đốt bằng cảm ứng từ cao tần và duy trì ở nhiệt độ cao hơn nhiệt độ nóng chảy của si-líc vài độ ( $\approx 1425^{\circ}\text{C}$ ). Không khí phía bên trên lò thường là khí hê-li hoặc a-gôn.

Sau khi tinh thể mẫu được nhúng vào phần tan chảy, tinh thể mẫu được rút một cách từ từ theo phương thẳng đứng khỏi nồi nấu đồng thời được quay tròn. Phần tan chảy si-líc đa tinh thể đầu tiên làm chảy phần mũi của thanh mẫu và khi nó được kéo lên, quá trình đông kết xảy ra. Khi phần tan chảy đông kết, nó hình thành tinh thể đơn theo tinh thể của thanh mẫu. Quá trình này tiếp tục cho đến khi hết dung dịch tan chảy si-líc đa tinh thể. Đường kính của thanh kéo được quyết định bởi vận tốc kéo thanh mẫu và vận tốc quay khi kéo. Vận tốc hình thành tinh thể đơn thường trong khoảng từ 30 đến 180mm/giờ.

Quá trình cắt thành các tấm wafer thường được thực hiện bằng các lưỡi cắt kim cương. Các tấm wafer thường có độ dày từ 0.25 đến 1.0mm phụ thuộc vào đường kính của nó. Sau khi cắt, ít nhất một mặt của tấm được đánh bóng cho đến khi tạo được mặt phẳng như gương không có vết xước.

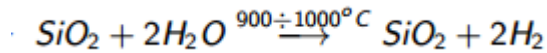
**Câu 2.2 Trình bày quá trình ô-xi-hóa để tạo lớp  $\text{SiO}_2$** 

Có rất nhiều cấu trúc và kỹ thuật sản xuất được sử dụng để làm mạch tích hợp dựa trên các tính chất của ô-xit si-líc,  $\text{SiO}_2$ . Do vậy việc sản xuất tin cậy của  $\text{SiO}_2$  rất quan trọng.

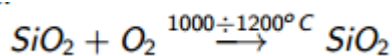


Việc ô-xi-hóa si-líc đạt được bằng cách nung các tấm wafer si-líc trong môi trường ô-xi-hóa chẳng hạn khí ô-xi hoặc hơi nước. Có hai phương pháp ô-xi-hóa phổ biến là:

**Ô-xi-hóa ướt - Wet Oxidation:** Đây là quá trình ô-xi-hóa khi môi trường ô-xi-hóa có chứa hơi nước. Nhiệt độ của lò nung thường được giữ trong khoảng 900°C đến 1000°C. Quá trình ô-xi-hóa ướt là một quá trình xử lý nhanh.



**Ô-xi-hóa khô - Dry Oxidation:** Quá trình ô-xi-hóa khô là quá trình ô-xi-hóa khi môi trường ô-xi-hóa chứa khí ô-xi nguyên chất. Nhiệt độ lò nung thường được giữ ở mức 1200°C để đạt được tốc độ hình thành hợp lý.



### Câu 2.3 Trình bày quá trình quang khắc

- Quá trình quang khắc được sử dụng để xử lý một cách có lựa chọn các lớp trong đó hình ảnh mong muốn 2D từ mặt nạ được sao vào bề mặt tấm đế.

Phủ lớp cản quang (photoreist) → Chiếu UV qua mặt nạ mẫu → Loại bỏ vùng chất cản quang bị chiếu (chất cản quang dương)/ không bị chiếu (chất cản quang âm)

- Quá trình quang khắc được thực hiện một cách lặp đi lặp lại cho mỗi lớp cùng với các mặt nạ riêng rẽ cho mỗi lớp đó.
- Chất cản quang âm ít được sử dụng hơn chất cản quang dương vì độ phân giải (resolution) kém hơn chất cản quang dương
- Với các hệ thống/ thiết bị sử dụng công nghệ  $\mu$  mật độ cao thì quá trình quang khắc được thay bằng quá trình khắc tia điện tử (Electron Beam lithography-EBL)

Mẫu có thể tạo trực tiếp từ dữ liệu số. Có thể thực hiện trực tiếp (Không cần ảnh mặt nạ trung gian). Các mẫu khác nhau có thể tiến hành trên các vùng Wafer khác nhau. Sự thay đổi mẫu dễ dàng và nhanh gọn. Bề rộng giới hạn giảm nhỏ  $\sim 0.5\mu$  ( $\sim 0.8\mu$  với UV)

Giá thành trang thiết bị cao. Thời gian cần thiết để hoàn thành quá trình cho một tấm Wafer lớn.

- Vùng không được bao phủ lớp cản quang cứng hóa lớp  $\text{SiO}_2$  sẽ được khắc đi
- Có hai phương pháp khắc phổ biến:
  - Sử dụng dung dịch hóa học (axit HF) – Wet etching
  - Sử dụng quá trình plasma- Dry etching

### **Câu 2.4 Trình bày quá trình tạo cổng MOSFET(n-MOS/p-MOS) đơn giản.**

- Đầu tiên, tấm wafer được phủ một lớp SiO<sub>2</sub> dày. Vùng ô-xít được khắc tới lớp si-líc ở nơi mà transistor sẽ được định vị. Một lớp mỏng SiO<sub>2</sub> được hình thành trên bề mặt lớp si-líc.
- Tiếp đến si-líc đa tinh thể được lắng trên toàn bộ bề mặt wafer và được khắc để tạo thành các kết nối và các cổng của transistor.
- Toàn bộ wafer sau đó được đưa vào chịu tác động của nguồn dopant, kết quả là các tiếp giáp khuếch tán được hình thành trên lớp đế.
- Cuối cùng, toàn bộ cấu trúc lại được bao phủ bởi một lớp SiO<sub>2</sub> và các lỗ liên kết được khắc để tạo tiếp xúc với các lớp bên dưới.

### **Câu 2.5 Trình bày quá trình tạo giếng p( p- well)**

- ❖ P- well được tạo trên tấm đế bán dẫn n
  - Sử dụng tấm đế bán dẫn n pha tạp với nồng độ vừa phải → Tạo lớp silic ô-xít → Phủ lớp cản quang → Khắc với mặt nạ định hình vùng cho p-well → Tạp chất loại p được phun vào vùng định hình cho p-well.
  - Quá trình gia nhiệt có thể được tiến hành sau khi phun nhằm tái phân bố nồng độ hạt pha tạp.
  - p-well trở thành các tấm đế mới cho các transistor kênh n (n-type, nMOS).
  - Độ sâu của p- well và nồng độ pha tạp của giếng có ảnh hưởng đến mức điện thế ngưỡng của các transistor nMOS
  - Quá trình khuếch tán tạo p-well cần tiến hành một cách thận trọng
  - Thường các transistor nMOS tạo trong các p-well có chất lượng kém hơn các nMOS tạo trực tiếp đế p nguyên thủy  
P-well cho phép cân bằng giữa nMOS và pMOS
  - Các pMOS thường có hệ số khuếch đại thấp hơn các nMOS  
p-well cho phép giảm nhỏ sự khác biệt.

### **Câu 2.6 trình bày quá trình tạo giếng n( n-well)**

- ❖ n- well được tạo trên tấm đế bán dẫn p
  - Sử dụng tấm đế bán dẫn p pha tạp với nồng độ vừa phải → Tạo lớp silic ô-xít → Phủ lớp cản quang → Khắc với mặt nạ định hình vùng cho n-well → Tạp chất loại n được phun vào vùng định hình cho n-well.
  - Quá trình gia nhiệt có thể được tiến hành sau khi phun nhằm tái phân bố nồng độ hạt pha tạp.

- n-well trở thành các tấm đế mới cho các transistor kênh p (p-type, pMOS)

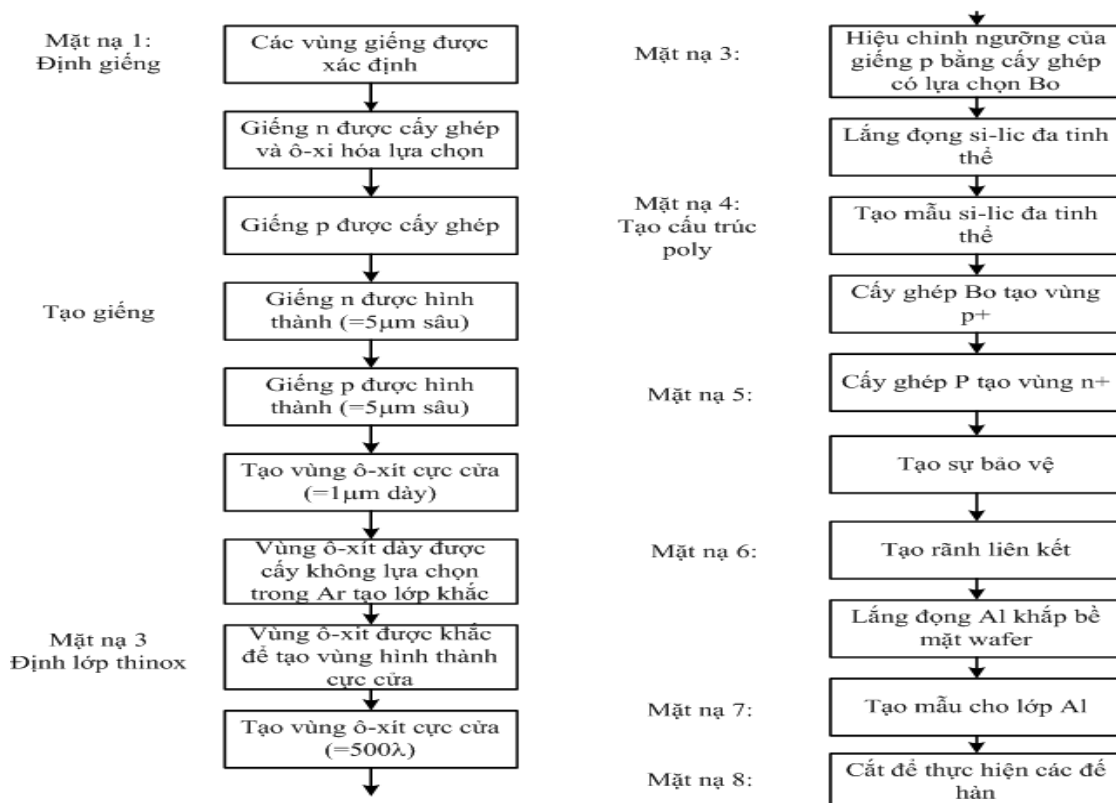
## Câu 2.7 Trình bày quá trình tạo giếng đôi

Công nghệ CMOS ống đôi (twin-tub) cung cấp cơ sở cho việc tối ưu hóa sự phân tách của các transistor loại n và loại p và do đó nó cho phép việc tối ưu điện thế ngưỡng, hiệu ứng thân, và độ lợi với các thiết bị kênh n và kênh p có thể được thực hiện một cách độc lập. Một cách tổng quát, quá trình xuất phát từ vật liệu hoặc là đế  $n^+$  hoặc là đế  $p^-$  với một lớp epitaxi được pha nhẹ nhằm chống lại vấn đề latch-up. Mục tiêu của epitaxy (có nghĩa là được sắp xếp dựa theo) là để hình thành các lớp si-líc có độ tinh khiết cao với độ dày được kiểm soát và nồng độ hạt dopant được xác định (determine) một cách chính xác được phân bố đồng đều khắp các lớp. Các tính chất điện của lớp này được quyết định bởi hạt dopant và mật độ của nó trong si-líc.

Thứ tự của quá trình, cũng tương tự như với quá trình p-well ngoài quá trình hình thành ống nơi mà cả giếng p và giếng n được sử dụng, yêu cầu các bước sau:

Tạo ống → Khắc lớp ô-xít mỏng → Cấy các cực nguồn và cực máng → Xác định các nút cắt liên kết → Phủ lớp kim loại

Các bước tạo giếng đôi:

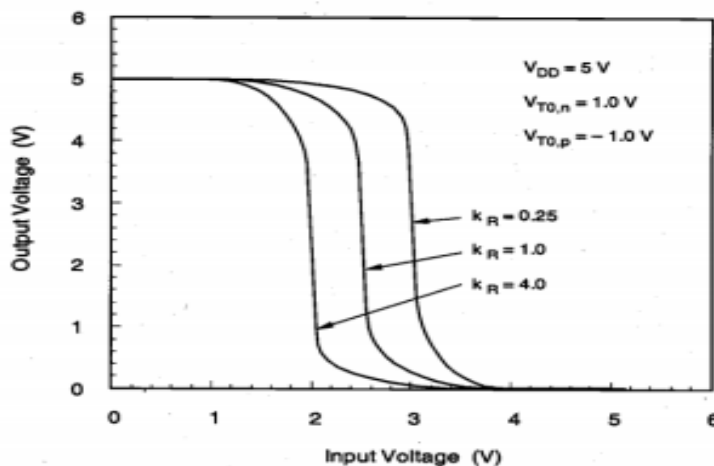


**Câu 2.8 Trình bày Quá trình SX cổng CMOS trên tấm đế cách ly:**

- Một màng mỏng ( $7-8\mu\text{m}$ ) si-líc loại n với nồng độ tạp chất nhỏ (lightly) được hình thành trên một tấm cách điện.
- Một phép khắc không đồng nhất được sử dụng để khắc đi si-líc ngoại trừ vùng mà sự khuếch tán (n hoặc p) cần phải thực hiện.
- Các đảo p được hình thành tiếp theo bằng cách che (masking) các đảo n với chất phản quang.
- Các đảo p tiếp đến được bao phủ bởi một chất phản quang và một tạp chất loại n, chẳng hạn phốt-pho, được cấy để tạo thành các đảo n. Các đảo n là nơi sẽ hình thành các thiết bị kênh p
- Một lớp ô-xít cực cổng mỏng (khoảng  $500-600\text{\AA}$ ) được hình thành trên toàn bộ cấu trúc si-líc. Quá trình này thường được thực hiện bằng phương pháp ô-xi-hóa nhiệt.
- Một màng mỏng si-líc đa tinh thể được lắng đọng lên trên lớp ô-xít vừa tạo. Thông thường, phốt-pho được thêm vào trong quá trình lắng đọng si-líc đa tinh thể nhằm giảm nhỏ trở kháng của nó.
- Phần si-líc đa tinh thể sau đó được tạo mẫu bằng phương pháp tạo mặt nạ quang (photomasking) và được khắc. Quá trình này tạo (define) lớp si-líc đa tinh thể trong cấu trúc
- Bước tiếp theo là việc hình thành các cực nguồn và cực máng pha tạp n (n-doped) của các thiết bị kênh n trong các đảo p. Sau bước này, các thiết bị kênh n được hoàn thành
- Các thiết bị kênh p được tạo trong bước tiếp theo bằng cách che các đảo p và cấy các tạp chất loại p chẳng hạn như B.
- Một lớp kính phốt-pho hoặc một số chất cách điện khác, chẳng hạn như  $\text{SiO}_2$  được lắng trên toàn bộ cấu trúc. Phần kính (glass) sau đó được khắc tại các vị trí nút cắt tiếp điểm. Một lớp kim loại được tạo ra bằng cách làm bốc bay nhôm trên toàn bộ cấu trúc sau đó khắc chỉ để lại các đường dẫn kim loại mong muốn. Kim loại nhôm sẽ chảy qua các nút cắt tiếp xúc để tạo liên kết với các vùng khuếch tán hoặc các vùng si-líc đa tinh thể.
- Công đoạn cuối cùng là một lớp bảo vệ của lớp kính phốt-pho được lắng đọng và được khắc làm hở các điểm nối dây.

## Câu 2.9 Trình bày quá trình công nghệ CMOS cho một cổng đảo đơn giản

- Bài toán thiết kế cổng đảo CMOS trở thành bài toán thiết kế để có được điện áp  $V_{th}$  ở một giá trị mong muốn.
- Cho trước  $V_{DD}$ ,  $V_{T0,nMOS}$ ,  $V_{T0,pMOS}$ , mức  $V_{th}$  mong muốn.
  - ▶  $k_R$  cần thiết:  $k_R = \frac{k_n}{k_p} = \left( \frac{V_{DD} + V_{T0,pMOS} - V_{th}}{V_{th} - V_{T0,nMOS}} \right)^2$
- Với mong muốn điện áp ngưỡng lý tưởng  $V_{th,ideal} = \frac{1}{2} V_{DD}$ 
  - ▶  $\Rightarrow k_{R,ideal} = \left( \frac{k_n}{k_p} \right)_{ideal} = \left( \frac{0.5V_{DD} + V_{T0,pMOS}}{0.5V_{DD} - V_{T0,nMOS}} \right)^2$
- Với mong muốn đạt được các đặc tuyến vào ra đối xứng hoàn toàn  $\Rightarrow V_{T0,nMOS} = V_{T0,pMOS} = V_{T0}$ 
  - ▶  $\Rightarrow k_{R,cổng\ đảo\ đối\ xứng} = 1$
  - ▶ Giả sử  $t_{ox}$  và  $C_{ox}$  của nMOS và pMOS giống nhau:
    - ★ Điều kiện cho cổng đảo đối xứng lý tưởng trở thành
 
$$\frac{\left( \frac{W}{L} \right)_{nMOS}}{\left( \frac{W}{L} \right)_{pMOS}} = \frac{\mu_p}{\mu_n} \approx \frac{230cm^2/V.s}{580cm^2/V.s} \Rightarrow \left( \frac{W}{L} \right)_{pMOS} \approx 2.5 \left( \frac{W}{L} \right)_{nMOS}$$



- Khi  $k_R \uparrow \Rightarrow V_{th} \downarrow$
- Xem xét cổng đảo CMOS đối xứng với  $V_{T0,nMOS} = |V_{T0,pMOS}|$  và  $k_R = 1$ 
  - ▶  $\Rightarrow V_{IL} = \frac{1}{8}(3V_{DD} + 2V_{T0,nMOS})$
  - ▶  $\Rightarrow V_{IH} = \frac{1}{8}(5V_{DD} - 2V_{T0,nMOS})$ 
    - ★  $V_{IL} + V_{IH} = V_{DD}$
  - ▶  $\Rightarrow NM_L = V_{IL} - V_{OL} = V_{IL}$
  - ▶  $\Rightarrow NM_H = V_{OH} - V_{IH} = V_{DD} - V_{IH}$

**Câu 2.10 Trình bày cấu trúc và nguyên lý hoạt động của một cấu trúc MOS đơn giản( n-type/p-type) khi điện áp phân cực thay đổi.**

**- Cấu trúc đơn giản gồm 3 lớp:**

Để bán dẫn pha tạp.

Lớp SiO<sub>2</sub>.

Cực cửa kim loại (hoặc polysilicon).

**- Nguyên lý hoạt động**

Giả sử điện thế tấm đế được nối đất  $V_b = 0$

Tùy theo điện thế đặt vào cực cửa mà cấu trúc MOS có 3 chế độ làm việc sau:

**• Chế độ tích lũy**

Điện thế đặt lên cực cửa  $V_g < 0$

+ Hạt dẫn đa số tập trung tại bề mặt tiếp xúc tấm đế lớp SiO<sub>2</sub>

+ Tại lớp tiếp xúc, nồng độ hạt dẫn đa số > nồng độ hạt dẫn đa số ở điều kiện cân bằng.

+ Tại lớp tiếp xúc, nồng độ hạt dẫn thiểu số giảm

+ Điện trường lớp SiO<sub>2</sub> hướng vuông góc về phía cực cửa

+ các dải năng lượng bị bẻ lên gần bề mặt

**• Chế độ suy giảm**

Một mức điện thế dương nhỏ được đặt vào cực cửa ( $V_g > 0$ , nhỏ)

+ Điện trường lớp SiO<sub>2</sub> hướng về phía đế

+ các dải năng lượng bị bẻ xuống gần bề mặt

+ gần vùng tiếp xúc hạt dẫn đa số bị đẩy về phía đế → Để lại vùng nghèo → gần như không có hạt dẫn.

**• Chế độ đảo**

Một mức điện thế dương tăng lên được đặt vào cực cửa ( $V_g > 0$ , lớn)

+ Thế năng bề tăng lên các dải năng lượng càng bị bẻ cong xuống

+ Mức năng lượng  $E_i$  nhỏ hơn mức Fermi  $E_{F_p}$  tại bề mặt:

Vùng đế bán dẫn gần bề mặt trở thành loại n

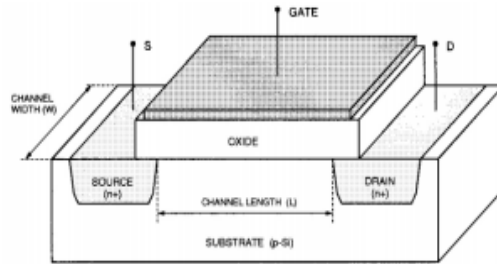
Vùng này tạo thành lớp đảo, bề mặt đảo: mật độ hạt dẫn thiểu số lớn hơn mật độ hạt dẫn đa số

Lớp đảo có thể được sử dụng cho việc dẫn dòng giữa các cực của transistor MOS



## Câu 2.11 Trình bày cấu trúc và nguyên lý hoạt động của một transistor MOSFET ( n/p-D/E- MOSFET)

- Cấu trúc



Hình: Cấu trúc của một transistor MOSFET kênh dẫn n loại tăng cường © Kang et al.

- Thiết bị bốn cực: thân đế bán dẫn loại p (B), vùng bán dẫn pha tạp  $n+$  tương ứng với cực nguồn (S) và cực máng (D), lớp cách ly cực cửa  $SiO_2$  với cực cửa kim loại (hoặc polysilicon)
- Vùng cực S và D được pha tạp  $n+$ :
  - ▶ Là các cực dẫn dòng của transistor.
  - ▶ Có các kích thước đặc trưng:  $L$  (chiều dài kênh dẫn);  $W$  (bề rộng kênh dẫn).
  - ▶ **Chú ý:** thiết bị hoàn toàn đối xứng về mặt hình học với cực S và D, vai trò các cực này được quyết định khi nối với điện áp phân cực ngoài và chiều dòng điện.

### ❖ Nguyên lý hoạt động

#### Nguyên lý làm việc đơn giản

Thiết bị làm việc dựa vào việc điều khiển dòng dẫn trên kênh dẫn giữa cực nguồn và cực máng bằng cách sử dụng điện trường tạo ra bởi sự thay đổi điện áp đặt vào cực cửa.

Có 3 chế độ làm việc:

**+ Chế độ ngắt:**  $0 < V_{GS} < V_{T0}$

Hạt dẫn đa số bị đẩy khỏi bề mặt về phía tấm đế, bề mặt tấm đế bị làm nghèo.

Việc dẫn dòng giữa các cực nguồn và cực máng là không thể:  $I_D \approx 0$ .

**+ Chế độ tuyến tính:**  $V_{GS} > V_{T0}$

Khi mức thế năng bề mặt đạt  $\Phi_S = -\Phi_F \Rightarrow$  Tạo lớp bề mặt đảo  $\Rightarrow$  Hạt dẫn thiểu số được hút về phía bề mặt tạo thành kênh dẫn giữa S và D.

Cho phép dòng điện giữa S và D nếu có sự chênh lệch điện áp giữa chúng.

Việc tiếp tục tăng điện áp  $V_{GS}$  trên mức ngưỡng sẽ ko ảnh hưởng đến thế năng bề mặt và độ rộng vùng nghèo.

**+ Chế độ bão hòa**

$V_{DS} = V_{DSAT} \Rightarrow$  Điện tích đảo tại cực D giảm đến 0: Điểm ngắt

$V_{DS} > V_{DSAT}$ :



Vùng bề mặt nghèo tạo ra ở phía cực D; Vùng nghèo mở rộng về phía cực S khi VDS tiếp tục tăng.

Chiều dài hiệu dụng kênh ↓.

ID không phụ thuộc vào VDS

Một điện trường mạnh hình thành giữa cuối kênh dẫn và biên của cực B.

### **Câu 2.12 Trình bày việc Thu nhỏ kích thước theo phương pháp Full Scaling, ảnh hưởng của nó đối với hoạt động transistor.**

Việc thu nhỏ các kích thước theo tỷ lệ S nhưng đảm bảo bảo toàn độ lớn biên độ của điện trường bên trong thiết bị.

- Tất cả các thể năng cũng phải giảm nhỏ với cùng tỷ lệ S.

Ảnh hưởng đến điện áp ngưỡng VT0.

Phương trình Poisson tăng với hệ số S.

- Công suất tiêu tán của transistor khi thu nhỏ được giảm bởi tỷ lệ S.  
+ Đây là một trong các đặc tính quan trọng của việc thu nhỏ kích thước đầy đủ  
+ mật độ công suất tiêu tán trên mỗi đơn vị diện tích không đổi
- Thời gian phóng nạp tụ được cải thiện đáng kể.
- Việc thu nhỏ đầy đủ còn làm giảm các tụ và điện trở ký sinh. Chất lượng hoạt động chung của thiết bị được cải thiện.
- Việc các kích thước bị thay đổi đồng loạt bằng full- Scaling làm cho nhiều giới hạn vật lý trở nên không thể bỏ qua, hạn chế tính khả thi của việc thu nhỏ kích thước ở một số chiều nhất định của thiết bị.

### **Câu 2.13 Trình bày việc thu nhỏ kích thước theo phương pháp Constant – Voltage scaling và ảnh hưởng của nó tới hoạt động transistor**

- Việc giảm nhỏ các điện áp có thể không thực tế trong nhiều ứng dụng trong đó mạch giao tiếp có yêu cầu một mức điện áp chuẩn.

Việc thu nhỏ kích thước với các điện thế không đổi thường được sử dụng nhiều hơn

#### **Constant-Voltage Scaling**

Việc thu nhỏ bằng cách giảm tất cả các kích thước với hệ số tỷ lệ S trong khi điện áp nguồn cung cấp và các điện áp các cực không đổi.

- Mật độ pha tạp phải tăng  $S^2$  để đảm bảo toàn quan hệ điện trường – điện tích.

- Các đặc tính của thiết bị khi thực hiện việc thu nhỏ kích thước mà vẫn giữ các điện áp không đổi thay đổi khác với trường hợp thu nhỏ đã biết.
- Sự gia tăng mật độ dòng cực máng, mật độ công suất tiêu tán với hệ số  $S^3$  dẫn tới một vấn đề nghiêm trọng với tính tin cậy của thiết bị.  
Sự di trú điện tử, suy giảm dòng hạt, đánh thủng lớp ô-xit, sự quá áp
- Việc các kích thước bị thay đổi đồng loạt bằng voltage – constant scaling làm cho nhiều giới hạn vật lý trở nên không thể bỏ qua, hạn chế tính khả thi của việc thu nhỏ kích thước ở một số chiều nhất định của thiết bị.

### Câu 2.14 trình bày các hiệu ứng của kênh dẫn ngắn

Với kênh dẫn ngắn có 2 hiện tượng vật lý phát sinh:

#### ❖ Sự hạn chế đặc tính trôi của electron trong kênh dẫn

- Thành phần điện trường  $E_y$  tăng.
  - ▶  $\Rightarrow$  Tốc độ trôi  $v_d$  của electron  $\rightarrow$  bão hòa.
  - ▶  $\Rightarrow$  Ảnh hưởng rất lớn đến đặc tuyến V-A của transistor.
- Một transistor kênh dẫn ngắn được cho là rơi vào chế độ bão hòa nếu vận tốc hạt dẫn trong kênh đạt đến giá trị khoảng 90% vận tốc giới hạn.
- Với kênh dẫn ngắn, ảnh hưởng của thành phần điện trường  $E_x$  lên vận tốc hạt dẫn trong kênh không thể bỏ qua.
  - ▶  $E_x$  ảnh hưởng đến sự phân tán hạt dẫn  $\Rightarrow$  Độ linh động bề mặt giảm đi so với độ linh động trong tấm đế.

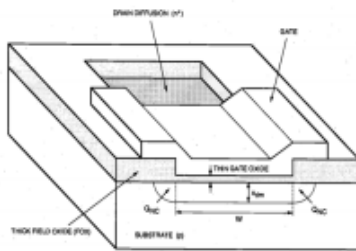
#### ❖ Sự thay đổi điện áp ngưỡng

- Với kênh dẫn ngắn, các vùng cực S và D pha tạp  $n+$  tạo ra một lượng lớn điện tích vùng nghèo  $\Rightarrow$  các vùng nghèo do tiếp giáp P-N tại các cực S và D không thể bỏ qua.
  - ▶ Biểu thức  $V_T$  đã tính với mô hình kênh dẫn dài đã đánh giá một cách thái quá điện tích vùng nghèo do tác động của điện áp cực cửa.
  - ▶  $V_T$  đã tính với mô hình kênh dẫn dài lớn hơn giá trị điện áp ngưỡng của thiết bị có kênh dẫn ngắn.
- Vì điện tích vùng nghèo trên thân đế giảm  $\Rightarrow$  Điện áp ngưỡng phải được thay đổi để biểu diễn sự suy giảm này.
  - ▶  $V_{T0(\text{kênh dẫn ngắn})} = V_{T0} - \Delta V_{T0}$
- Sự suy giảm biểu diễn sự khác biệt về điện tích vùng nghèo hình chữ nhật và hình thang.
- Điện tích vùng nghèo trên thân đế (trong vùng hình thang):  

$$Q_{B0} = -(1 - \frac{\Delta L_S + \Delta L_D}{2L}) \sqrt{2q\epsilon_{Si} N_a |2\Phi_F|}$$

## Câu 2.15 trình bày các hiệu ứng với kênh dẫn hẹp

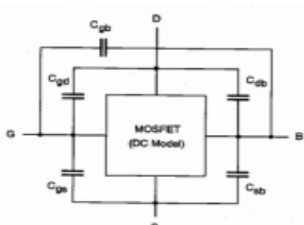
- Một transistor có kênh dẫn hẹp nếu bề rộng  $W$  của nó có thể so sánh được với bề dày cực đại vùng nghèo  $x_{dm}$ .
- Cũng giống trường hợp độ dài kênh dẫn ngắn, trường hợp kênh dẫn hẹp cũng dẫn đến một số thay đổi không thể bỏ qua.
  - ▶ Sự thay đổi điện áp ngưỡng (sự tăng lên) là một hiệu ứng quan trọng nhất.



- Lớp ô-xít cực cửa trên vùng kênh có độ dày  $t_{ox}$  trong khi các vùng lân cận được bao phủ bởi vùng ô-xít dày.
- $\Rightarrow$  Có một vùng nghèo mỏng hình thành phía dưới vùng ô-xít dày.
- $\Rightarrow$  Điện áp cực cửa phải mất một phần để bù phần tương ứng với điện tích lớp nghèo của vùng này để có thể hình thành được kênh dẫn.
  - ▶ Điện tích của vùng nghèo rìa này được bỏ qua trong mô hình kênh dẫn dài.
- $V_{T0(\text{kênh dẫn hẹp})} = V_{T0} + \Delta V_{T0}$
- $\Delta V_{T0} = \frac{1}{C_{ox}} \sqrt{2q\epsilon_{Si} N_a |2\Phi_F| \frac{\kappa x_{dm}}{W}}$ 
  - ▶  $\kappa$  là hệ số thực nghiệm, phụ thuộc vào hình dạng của vùng nghèo rìa hình thành.
  - ▶ Nếu vùng nghèo rìa có dạng 1/4 đường tròn thì  $\kappa = \frac{\pi}{2}$
  - ▶ Công thức này có thể được thay đổi cho các thiết bị có các hình dạng khác nhau cũng như các quá trình sản xuất khác nhau (LOCOS - LOCAL Oxidation of Silicon, LOCOS rãnh sâu, MOS với vùng ô-xít dày).
- $\Delta V_{T0} \propto \frac{x_{dm}}{W}$ 
  - ▶  $\Rightarrow \Delta V_{T0}$  có giá trị đáng kể nếu  $W$  có thể so sánh được với  $x_{dm}$

## Câu 2.16 xác định các điện dung ký sinh liên quan đến các lớp o- xit của một transistor ở các chế độ hoạt động khác nhau.

Các điện dung liên quan đến lớp ô-xít cực cửa



- Thành phần độc lập với các điện áp phân cực:
  - ▶  $C_{gs(overlap)}, C_{gd(overlap)}$ .
- Thành phần liên quan đến tương tác giữa điện áp cực cửa và điện tích trên kênh:
  - ▶  $C_{gs}, C_{gd}, C_{gb}$ .
- Vùng bao trùm đối xứng có độ dài  $L_D$  và bề rộng  $W$ :
  - ▶  $C_{gs(overlap)} = C_{ox} W L_D$
  - ▶  $C_{gd(overlap)} = C_{ox} W L_D$
- Điện dung cực cửa-kênh dẫn

Có 3 chế độ làm việc

- **Chế độ ngắt:**

Ko tồn tại kênh dẫn nổi bề mặt cực cửa với S và D:

$$C_{gs} = 0, C_{gd} = 0, C_{gb} = C_{ox}.WL.$$

- **Chế độ tuyến tính:**

Lớp đảo chặn tác động của điện trường cực cửa lên đế:

$$C_{gb} = 0; C_{gs} \approx C_{gd} \approx 1/2 C_{ox}.WL.$$

- **Chế độ bão hòa:**

Lớp đảo bị ngắt tại cực D:  $C_{gd} = 0$ ;

$$\text{Vẫn tồn tại lớp đảo: } C_{gb} = 0; C_{gs} \approx 2/3 C_{ox}.WL.$$

**Câu 2.17 xác định các điện dung ký sinh liên quan đến các lớp tiếp giáp của 1 transistor.**

Các điện dung phụ thuộc vào điện áp phân cực:

- $C_{sb}, C_{db}$ : do vùng nghèo điện tích xung quanh cực S và cực B gắn trên tấm đế
- Việc tính toán các điện dung do các lớp tiếp xúc phức tạp  
Liên quan đến hình dạng 3 chiều của vùng khuếch tán cực S và D trên tấm đế
- Các vùng tiếp xúc cực S và D với tấm đế trong điều kiện làm việc bình thường là phân cực ngược  
Các giá trị điện dung sẽ là hàm của điện áp phân cực
- Vùng khuếch tán n+ tạo ra 1 loại các mặt tiếp xúc P-N với lớp đế xung quanh đánh số từ 1 tới 5
- Kích thước của hình hộp chữ nhật mô tả vùng khuếch tán n+ là W, Y và  $x_j$
- Để đơn giản giả sử các tiếp xúc P-N dạng bước
- Do sự khác biệt nồng độ pha tạp các điện dung của các lớp tiếp xúc phía ngoài khác với các điện dung các tiếp xúc khác.

**Câu 2.18 Trình bày các phương pháp thực hiện một cổng đảo đơn giản? So sánh ưu nhược điểm của các phương pháp thực hiện.**

Có nhiều phương án thay đổi trong topology có thể được sử dụng để cho phép thực hiện sơ đồ các liên kết không đồng phẳng. Chẳng hạn, nếu một dây dẫn kim loại phải đi qua phần giữa của một ô (cell) từ phía tận cùng bên trái của cell đến tận cùng bên phải, khi đó trong layout này, các dải kim loại nằm ngang nối với một đường si-líc đa tinh thể thẳng đứng, đường mà nối với các cực máng của các transistor. Một cách khác, nếu một đường dây

kim loại cần phải đi qua từ phía trái sang phía phải ở phần đầu (top) hoặc đáy (bottom) của cell, các liên kết từ nguồn và đất đến các transistor có thể được tạo trong lớp khuếch tán thích hợp. Với phương án này, trong thực tế, làm cho bộ đảo trong suốt với các liên kết kim loại nằm ngang các liên kết mà có thể phải được định tuyến xuyên qua cell.

Việc chạy một liên kết si-líc đa tinh thể từ trái sang phải phải được hoàn thành bên dưới hoặc bên trên các transistor, với các transistor sử dụng các liên kết bằng kim loại tới nguồn và đất. Dải si-líc đa tinh thể chạy từ phía trái sang phía phải qua phần giữa của cell cần có một dải kim loại. Một phương án khác, layout của bộ đảo có thể được tái xây dựng để sử dụng các transistor định hướng thẳng đứng. Việc bổ sung một lớp kim loại thứ hai cho phép thêm sự tự do của các liên kết với hai lớp liên kết khác. Lớp kim loại thứ hai có thể được sử dụng để chạy các đường dẫn cung cấp nguồn  $V_{DD}$  và  $V_{SS}$ . Một cách khác, lớp kim loại thứ hai có thể được sử dụng để giữ (strap) các dải si-líc đa tinh thể theo kiểu liên kết song song nhằm giảm trễ do các đường chạy si-líc đa tinh thể dài. Trong các trường hợp này, các layout vẫn cơ bản là không đổi ngoại trừ các dây dẫn kim loại thứ hai được thêm vào và các mẫu (stub) liên kết kim loại thứ nhất

Một bộ đảo lớn có thể được xây dựng từ nhiều bộ đảo nhỏ được nối song song.

### Câu 2.19 các loại trễ và tính toán sơ bộ trễ cho một cổng đảo CMOS đơn giản.

- $\tau_{PHL}$ : độ trễ tín hiệu đầu vào-đầu ra khi chuyển trạng thái đầu ra từ cao xuống thấp
  - ▶ Là độ trễ giữa mức chuyển ứng với 50% của tín hiệu vào khi tăng lên và mức chuyển ứng với 50% của tín hiệu ra khi giảm xuống.
- $\tau_{PLH}$ : độ trễ tín hiệu đầu vào-đầu ra khi chuyển trạng thái đầu ra từ thấp lên cao
  - ▶ Là độ trễ giữa mức chuyển ứng với 50% của tín hiệu vào khi giảm xuống và mức chuyển ứng với 50% của tín hiệu ra khi tăng lên.

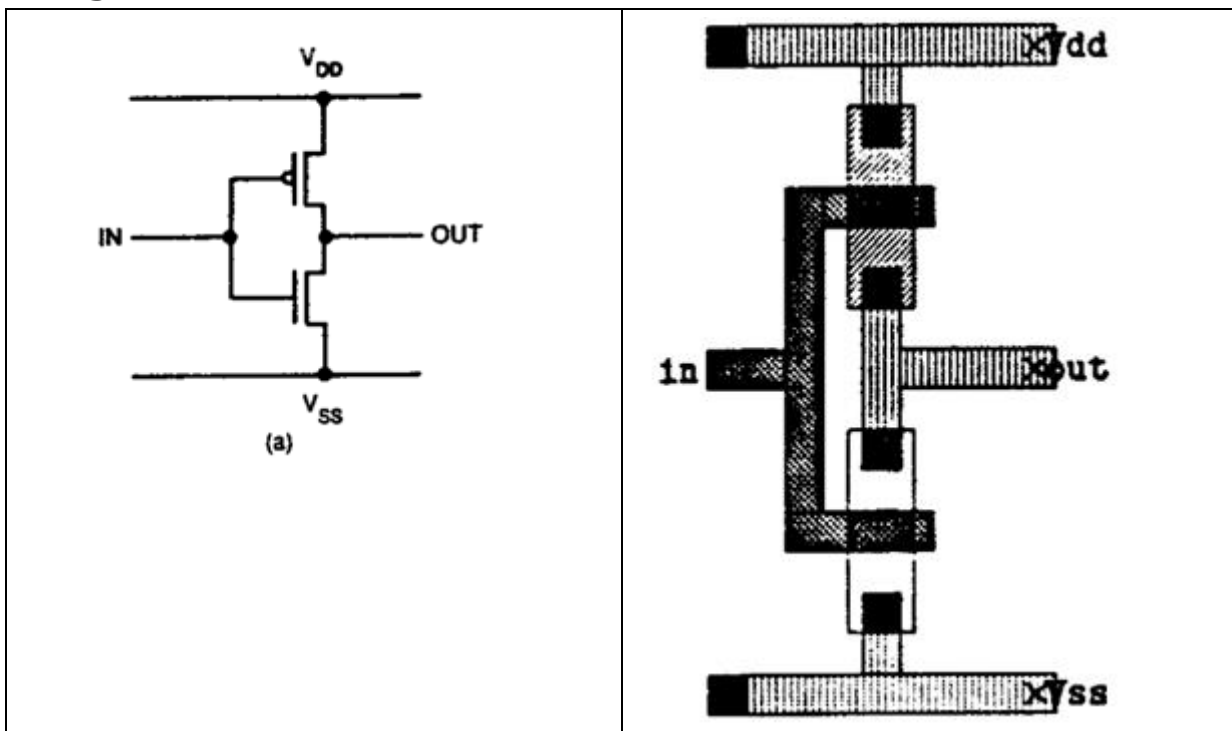


## Tính toán độ trễ cho một cổng đảo:

- Khi điện áp vào chuyển từ mức cao xuống mức thấp:
  - ▶ nMOS dẫn chính ngất.
  - ▶ Tụ  $C_{load}$  được nạp thông qua nMOS tải.
  - ▶  $\Rightarrow C_{load} \frac{dV_{out}}{dt} = i_{D,load}(V_{out})$
- nMOS tải đầu tiên thông bão hòa, sau đó thông tuyến tính khi điện áp ra tăng trên mức  $(V_{DD} + V_{T,load})$  trong đó  $V_{T,load} < 0$ 
  - ▶ Khi  $V_{out} \leq V_{DD} - |V_{T,load}|$ : nMOS thông bão hòa:
    - ★  $i_{D,load}(sat) = \frac{k_{n,load}}{2} (|V_{T,load}|)^2$
  - ▶ Khi  $V_{out} > V_{DD} - |V_{T,load}|$ : nMOS thông tuyến tính:
    - ★  $i_{D,load}(linear) = \frac{k_{n,load}}{2} [2|V_{T,load}|(V_{DD} - V_{out}) - (V_{DD} - V_{out})^2]$
- $\Rightarrow$

$$\begin{aligned} \tau_{PLH} &= C_{load} \left( \int_{V_{out}=V_{OL}}^{V_{out}=V_{DD}-|V_{T,load}|} \frac{dV_{out}}{i_{D,load}(sat)} + \int_{V_{out}=V_{DD}-|V_{T,load}|}^{V_{out}=V_{50\%}} \frac{dV_{out}}{i_{D,load}(linear)} \right) \\ &= \frac{C_{load}}{k_{n,load}|V_{T,load}|} \left( \frac{2(V_{DD} - |V_{T,load}| - V_{OL})}{|V_{T,load}|} + \ln \left( \frac{2|V_{T,load}| - (V_{DD} - V_{50\%})}{V_{DD} - V_{50\%}} \right) \right) \end{aligned}$$

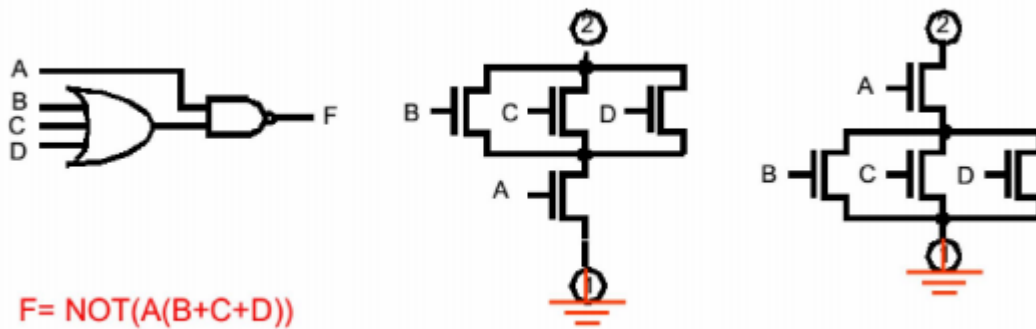
**Câu 2.20** Xét một cổng đảo CMOS đơn giản. Thực hiện lựa chọn kiến trúc mạch sử dụng hệ thống layout hình que phác thảo layout cho cổng đảo.



**Câu 2.21 Xét một cổng AND CMOS đơn giản. Thực hiện lựa chọn kiến trúc mạch sử dụng hệ thống layout hình que phác thảo layout cho cổng AND**

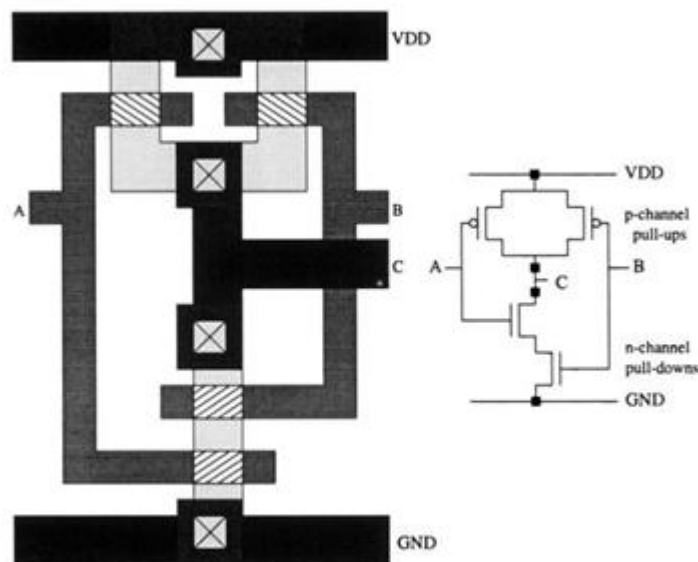
**Câu 2.22 Xét một cổng OR CMOS đơn giản. Thực hiện lựa chọn kiến trúc mạch sử dụng hệ thống layout hình que phác thảo layout cho cổng OR.**

AND, OR CMOS:



Hình vẽ cho 2 bài 2.21 và 2.22

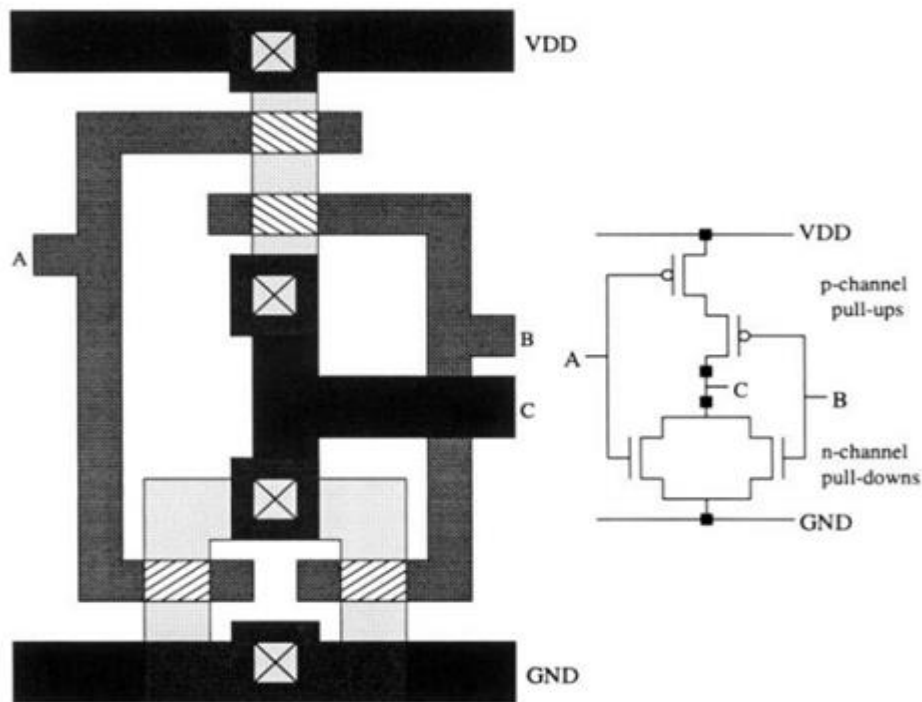
**Câu 2.23 Xét một cổng NAND CMOS đơn giản. Thực hiện lựa chọn kiến trúc mạch sử dụng hệ thống layout hình que phác thảo layout cho cổng NAND.**



Hình 3.30 Layout có thể của cổng NAND với cấu trúc CMOS



**Câu 2.24 Xét một cổng NOR CMOS đơn giản. Thực hiện lựa chọn kiến trúc mạch sử dụng hệ thống layout hình que phác thảo layout cho cổng NOR**



Hình 3.33 Layout có thể của cổng NOR với cấu trúc CMOS

### Câu 3.6

#### Ví dụ

Dữ liệu đo lường của một transistor MOSFET được cho trong bảng. Xác định loại transistor, tính các tham số  $k_n$ ,  $V_{T0}$ , và  $\gamma$ . Giả sử  $\Phi_F = -0.3V$

$V_{GS}[V]$	$V_{DS}[V]$	$V_{SB}[V]$	$I_D[\mu A]$
3	3	0	97
4	4	0	235
5	5	0	433
3	3	3	59
4	4	3	173
5	5	3	347

- Transistor dẫn dòng ( $I_D > 0$ ) khi  $V_{GS} > 0$  và  $V_{DS} > 0 \Rightarrow$  Transistor là nMOS.
- Giả sử nMOS là loại kênh cảm ứng  $\Rightarrow$  Transistor hoạt động ở chế độ bão hòa khi  $V_{GS} = V_{DS}$ .

- ▶ Bỏ qua hiệu ứng do sự thay đổi độ dài kênh dẫn  $\Rightarrow \sqrt{I_D} = \sqrt{\frac{k_n}{2}}(V_{GS} - V_T)$
- ▶ Lấy bất cứ hai cặp giá trị ( $V_{GS1}, I_{D1}$ ) và ( $V_{GS2}, I_{D2}$ )

$$\sqrt{\frac{k_n}{2}} = \frac{\sqrt{I_{D1}} - \sqrt{I_{D2}}}{V_{GS1} - V_{GS2}} = \frac{\sqrt{433\mu A} - \sqrt{97\mu A}}{5V - 3V} = 5.48 \times 10^{-3} A^{1/2}/V$$

$$\Rightarrow k_n = 60 \times 10^{-6} A/V = 60\mu A/V^2$$

- Ngoại suy đường  $\sqrt{\phantom{x}}$  của  $I_D$  theo  $V_{GS}$ , giao với trục hoành (khi  $V_{SB} = 0$ ) cho giá trị  $V_{T0}$ :

$$V_{T0} = V_{GS} - \sqrt{\frac{2I_D}{k_n}} = 1.2V$$

- Một cách tương tự, điện áp ngưỡng ứng với  $V_{SB} \neq 0$ , ví dụ  $V_{SB} = 3V$ :

$$V_T = V_{GS} - \sqrt{\frac{2I_D}{k_n}} = 4V - \sqrt{\frac{2 \times 173\mu A}{60\mu A/V^2}} = 1.6V$$

$\Rightarrow$

$$\gamma = \frac{V_T - V_{T0}}{\sqrt{|2\Phi_F| + V_{SB}} - \sqrt{|2\Phi_F|}} = \frac{1.6 - 1.2}{\sqrt{0.6 + 3} - \sqrt{0.6}} = 0.36V^{1/2}$$

“TRUST ME”

