

Vũ Quang Sang

Date:

No:

1. Nguyên lý thiết kế bỏ như phân 4 bit cho 2 số:

- Đầu vào: 2 số nhị phân có độ dài 4 bit là A và B
- Phương pháp nhân:

- + Mỗi bit của số B được kiểm tra
- + Nếu bit của B là 0, không thay đổi
- + Nếu bit của B là 1, số A được cộng vào 1 thanh ghi đặc biệt là Accumulator.

- Phương pháp cộng:

- + Kết quả của mỗi phép cộng được tích hợp vào 1 bảng kết quả
- + Bảng kết quả bao gồm các ô lưu giá trị của các phép cộng giữa A và Accumulator.
- + Kết quả của từng phép cộng được lưu vào bảng kết quả dựa trên vị trí của bit trong số B

- Right shift:

- + Sau mỗi bước cộng, cả A và Accumulator được dịch phải 1 bit
- + Dịch phải này tạo ra 1 liên ứng nhân 2.

- Lặp lại: Quá trình trên được lặp lại cho đến khi tất cả các bit của B được kiểm tra.

- Kết quả: kết quả được lưu vào Accumulator.

2. a)  $V_{TH} = \phi_{ms} + 2\phi_F + \frac{Q_{ox}}{C_{ox}}$

Date:

No:

$$\phi_F = kT \ln \left( \frac{N_D}{N_i} \right) = 8,617 \cdot 10^{-5} \cdot 300 \cdot \ln \left( \frac{2 \cdot 10^{20}}{1,5 \cdot 10^{10}} \right)$$

$$= 0,6 \text{ (eV)}$$

$$Q_{ox} = \sqrt{4 \epsilon \epsilon_{ox} \phi_F N_A}$$

$$= \sqrt{4 \cdot 1,6 \cdot 10^{-19} \cdot 3,9 \cdot 10^{-13} \cdot 0,6 \cdot 10^{16}}$$

$$= 3,87 \cdot 10^{-8} \text{ (eV)}$$

$$C_{ox} = \frac{\epsilon_{ox}}{t_{ox}} = \frac{3,9 \cdot 10^{-13}}{6 \cdot 10^{-6}} = 6,5 \cdot 10^{-8} \text{ (eV)}$$

$$\Rightarrow V_{TH} = 0 + 2 \cdot 0,6 + \frac{3,87 \cdot 10^{-8}}{6,5 \cdot 10^{-8}} \approx 1,795 \text{ (eV)}$$

b) Nếu  $V_{TH} = 2,5$

$$\Rightarrow \phi_{ms} = 2,5 - 1,795 = 0,705 \text{ (eV)}$$

$\Rightarrow$  pha tạp loại nMOS

Nếu  $V_{TH} = -2,5$

$$\Rightarrow \phi_{ms} = -4,295 \text{ (eV)}$$

$\Rightarrow$  pha tạp loại pMOS



3. a)

entity Bai3 is

port (

A, B, C, D, M, N : in STD\_LOGIC;

F : out STD\_LOGIC

);

end Bai3;

Architecture Behavioral of Bai3 is

Signal input-1, input-2, output-1, output-2 : STD\_LOGIC;

Component OR\_GATE

port (

input-A, input-B : in STD\_LOGIC;

output-C : out STD\_LOGIC

);

end component;

Component AND\_GATE

port (

input-A, input-B : in STD\_LOGIC;

output-C : out STD\_LOGIC;

);

end component;

Begin

U1 : OR\_GATE port map (A, B, input-1);

U2 : OR\_GATE port map (C, D, input-2);

U3 : OR\_GATE port map (input-1, input-2, output-1);

U4 : OR\_GATE port map (M, N, output-2);

U5 : AND\_GATE port map (output-1, output-2, F);

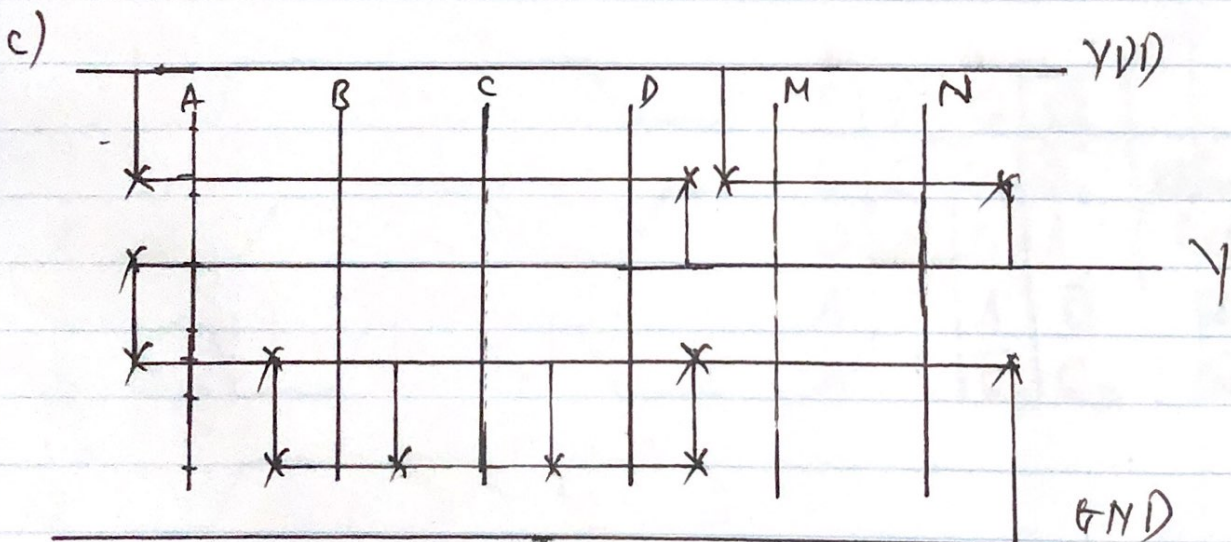
end Behavioral;

b) module CMOS\_logic (  
 input A, B, C, D, M, N,  
 output F  
 ) ;

nmos (A, z1, VDD, 0);  
 nmos (B, z2, z1, 0);  
 nmos (C, z3, z2, 0);  
 nmos (D, z4, z3, 0);  
 nmos (M, z5, VDD, 0);  
 nmos (N, z6, z5, 0);

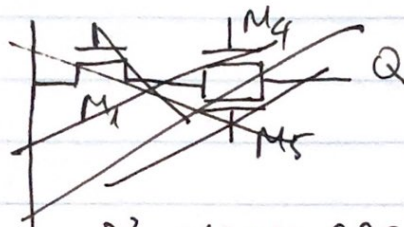
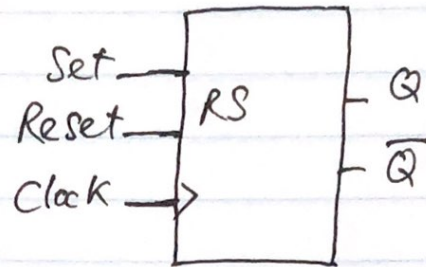
pmos (z1, z2, VDD, 1);  
 pmos (z3, z4, VDD, 1);  
 pmos (z5, z6, VDD, 1);

assign F = z4 & z6;  
 endmodule;

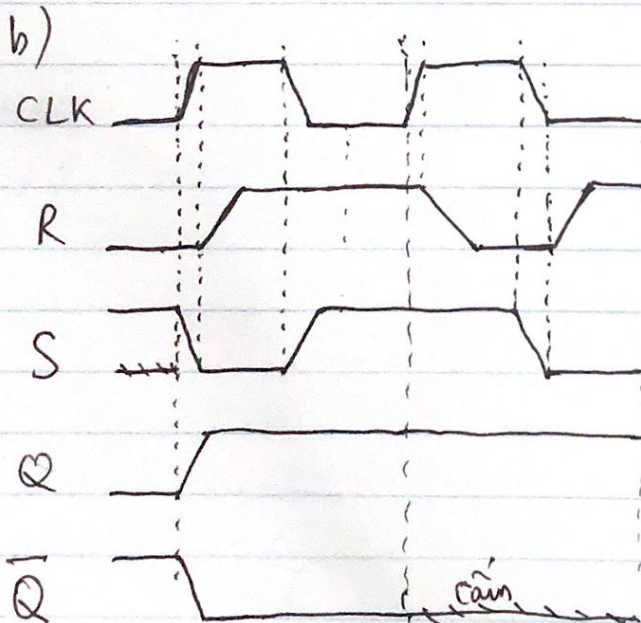
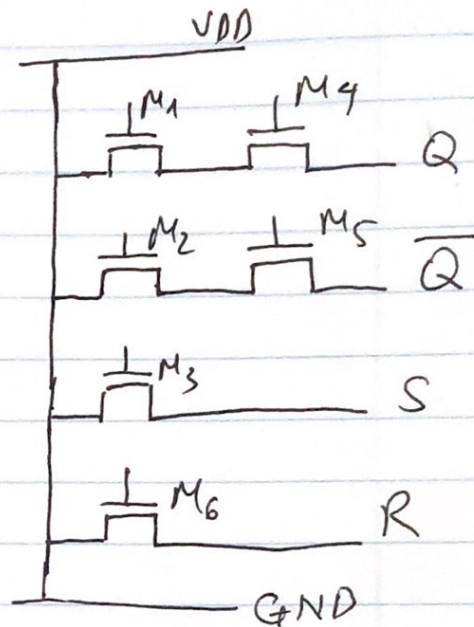




4.a) Để thiết kế 1 RS flip-flop hoạt động ở sườn dương, hoạt động với dạng sóng, sử dụng cổng NAND và NOR kết hợp với các transistor MOSFET.



- +)  $M_1, M_2, M_3$ : cổng NAND (RS) để xử lý Set và Reset
- +)  $M_4, M_5$ : tạo cổng NOR
- +)  $M_6$ : chuyển đổi  $Q, \bar{Q}$  phi S và R mức cao



S	R	Q	$\bar{Q}$	
0	0	$Q_0$	$\bar{Q}_0$	không đổi
0	1	0	1	Reset
1	0	1	0	Set
1	1	$\bar{Q}_0$	$Q_0$	Cần