

## CÁC CÂU HỎI VẤN ĐÁP

### Loại 1:

#### 1) Transistor p,n MOS được cấu tạo như thế nào?

Transistor MOS (Metal-Oxide-Semiconductor) là một loại transistor được sử dụng rộng rãi trong công nghệ điện tử. Có hai loại chính của transistor MOS là transistor MOSFET (Metal-Oxide-Semiconductor Field-Effect Transistor), gồm transistor MOSFET P-type (p-MOSFET) và transistor MOSFET N-type (n-MOSFET). Dưới đây là cấu tạo cơ bản của chúng:

1. Tấm đế (Substrate): Là một tấm bán dẫn (thường là silicon) được tạo ra từ vật liệu p-type, pha tạp chủ yếu là lỗ trống (holes); n-type, pha tạp là electron.
2. Cổng (Gate): Là một lớp của vật liệu đa pha tạp (poly-silicon) được kết nối với nguồn điện để tạo ra trường điện khi có điện áp được áp dụng.
3. Lớp ô-xít (Oxide Layer): Là lớp oxit (thường là  $\text{SiO}_2$ ) tạo ra giữa tấm đế và cổng để tách chúng và tạo điện trường điều khiển.
4. Nguồn (Source) và Dòng chảy (Drain): Là hai điểm kết nối với tấm đế, với nguồn thường nằm gần cổng và dòng chảy ở xa cổng.

Khi có điện áp được áp dụng tại cổng, một trường điện được tạo ra, và nó kiểm soát dòng điện giữa nguồn và dòng chảy. Khi có điện áp ở cổng, -MOSFET dẫn dòng điện.

#### 2) Etching là gì? Có mấy loại? Wet etching và Dry etching khác nhau như thế nào?

**\*\*Etching là gì?\*\***

Etching là một quy trình chế tạo trong công nghệ chế tạo mạch tích hợp và mạch in, loại bỏ các vùng không mong muốn của lớp vật liệu bằng cách sử dụng các chất hóa học. Quá trình này thường được sử dụng để tạo ra các cấu trúc chính xác và chi tiết trên bề mặt vật liệu.

**\*\*Có mấy loại etching?\*\***

Có hai loại chính của etching là wet etching (etching ướt) và dry etching (etching khô).

1. Wet Etching (Etching ướt): Trong wet etching, vật liệu được loại bỏ bằng cách sử dụng dung dịch hóa chất ướt. Dung dịch hóa chất này có thể là axit hoặc dung dịch kiềm (thường là axit HF để loại bỏ  $\text{SiO}_2$ ). Wet etching thường được sử dụng để tạo ra các cấu trúc chi tiết và mịn. Tuy nhiên, nó có thể khó kiểm soát hơn so với dry etching.

2. Dry Etching (Etching khô): Trong dry etching, vật liệu được loại bỏ bằng cách sử dụng plasma hoặc tác động của các chất hóa học không chứa dung môi nước. Dry etching thường có khả năng kiểm soát cao hơn so với wet etching, nhưng nó có thể tạo ra bề mặt không đồng nhất hơn.

**\*\*Sự khác nhau giữa Wet Etching và Dry Etching:\*\***

1. Chất lỏng sử dụng:

- Wet Etching: Sử dụng dung dịch hóa chất ướt như axit hoặc kiềm.
- Dry Etching: Sử dụng plasma hoặc các chất hóa học không chứa dung môi nước.

2. Kiểm soát:

- Wet Etching: Thường khó kiểm soát hơn so với dry etching.
- Dry Etching: Có khả năng kiểm soát cao hơn, đặc biệt là trong việc tạo ra các cấu trúc chính xác và đồng nhất.

3. Tốc độ:

- Wet Etching: Thường có tốc độ etching cao hơn.
- Dry Etching: Tốc độ etching thường thấp hơn so với wet etching.

4. Ứng dụng:

- Wet Etching: Thường được sử dụng trong các ứng dụng yêu cầu độ chính xác và mịn cao.
- Dry Etching: Thường được sử dụng trong các ứng dụng yêu cầu kiểm soát cao và các chi tiết phức tạp.

Cả hai phương pháp etching đều có ưu và nhược điểm của mình và thường được sử dụng tùy thuộc vào yêu cầu cụ thể của quy trình sản xuất.

### 3) Mức điện áp ngưỡng $V_t$ của Transistor là gì?

- Mức điện áp ngưỡng ( $V_t$ ) của một transistor MOSFET (Metal-Oxide-Semiconductor Field-Effect Transistor) là mức điện áp tại đó transistor bắt đầu dẫn dòng điện giữa nguồn và dòng chảy.  $V_t$  thường được ký hiệu là ngưỡng điện áp Gate-Source (Gate-Source Threshold Voltage).
- Mức  $V_t$  là một tham số quan trọng và ảnh hưởng đến hoạt động của transistor. Khi điện áp Gate-Source ( $V_{gs}$ ) vượt qua  $V_t$ , transistor bắt đầu dẫn dòng, và đối với transistor N-type (n-MOSFET), nó sẽ dẫn dòng từ nguồn đến dòng chảy. Ngược lại, đối với transistor P-type (p-MOSFET), nó sẽ dẫn dòng từ dòng chảy đến nguồn.
- Mức  $V_t$  phụ thuộc vào nhiều yếu tố bao gồm thiết kế của transistor, nền (substrate) của transistor (p hoặc n-type), và các tham số quy trình sản xuất.
- Ở mức  $V_t$ , transistor chưa hoàn toàn dẫn dòng và hoạt động ở khu vực "cut-off" hoặc "triode". Khi  $V_{gs}$  vượt quá  $V_t$ , transistor chuyển sang khu vực "saturation" và bắt đầu dẫn dòng mạnh mẽ hơn.  $V_t$  là một trong những tham số cơ bản quyết định hiệu suất và hoạt động của transistor MOSFET.

### 4) Mạch trạng thái tristate là gì? Bảng chân lý của nó như thế nào?

- Mạch trạng thái tristate là một loại mạch logic có khả năng ở trong một trong ba trạng thái: trạng thái logic 0, trạng thái logic 1, hoặc trạng thái tristate (hoặc high-impedance state). Trạng thái tristate cho phép mạch có thể "tắt" đầu ra của nó và trở thành một trạng thái nghỉ với electrical high impedance (trở kháng điện cao).
- Bảng chân lý của mạch trạng thái tristate:

Một mạch trạng thái tristate thường có ba trạng thái đầu ra khả dụng: 0, 1, và Z (trạng thái tristate)

Enable	Input	Output	
-----	-----	-----	
0	0	Z	(Trạng thái tristate)
0	1	Z	
1	0	0	
1	1	1	

Trong bảng trên:

+ Khi tín hiệu Enable (E) là 0, mạch trở thành trạng thái tristate và đầu ra là trạng thái nghỉ, biểu thị bằng (Z) (hoặc có thể là bất kỳ biểu tượng nào đó thể hiện trạng thái tristate).

+ Khi (E) là 1, đầu ra sẽ tuân theo giá trị của đầu vào (0 hoặc 1).

- Ứng dụng của mạch trạng thái tristate:

Mạch trạng thái tristate thường được sử dụng trong các ứng dụng nơi nhiều thiết bị chia sẻ một đường truyền dữ liệu chung. Khi một thiết bị không hoạt động, nó có thể chuyển sang trạng thái tristate để không ảnh hưởng đến các thiết bị khác trên cùng đường truyền. Điều này giúp giảm xung đột và tăng khả năng linh hoạt của hệ thống.

### 5) Mạch chốt D-latch cấu tạo như thế nào? Nguyên lý hoạt động?

- Mạch chốt D-latch là một loại mạch latches (chốt) được sử dụng để lưu trữ một bit dữ liệu. Nó thường được sử dụng trong các ứng dụng nơi một lượng dữ liệu cần được giữ lại và được cập nhật chỉ khi cần thiết. Dưới đây là cấu tạo cơ bản và nguyên lý hoạt động của mạch chốt D-latch:

- Cấu tạo của Mạch Chốt D-latch:

Mạch chốt D-latch thường bao gồm hai cổng chồng lên nhau: cổng chốt (latch) và cổng kích thích (enable). Cấu trúc cơ bản của mạch chốt D-latch có thể được mô tả như sau:

1. Cổng Chốt (Latch): Gồm hai cổng NAND hoặc NOR được kết nối chồng lên nhau để tạo ra một lặp điều hòa (feedback loop).
2. Cổng Kích Thích (Enable): Điều khiển việc kích thích (enable) hoặc ngắt kết nối lặp điều hòa.
3. Đầu vào D (Data): Đây là tín hiệu dữ liệu đầu vào mà bạn muốn lưu trữ.
4. Đầu ra Q: Đây là tín hiệu đầu ra của mạch chốt.

- Nguyên Lý Hoạt Động:

Nguyên lý hoạt động của mạch chốt D-latch được mô tả bởi các bước sau:

1. Khi cổng kích thích (enable) được kích hoạt, mạch chốt D-latch hoạt động.
2. Đầu vào dữ liệu D được đưa vào mạch.

3. Cổng chốt tạo ra một lặp điều hòa (feedback loop). Nếu có tín hiệu D thay đổi, nó sẽ được lan truyền xung quanh lặp và cuối cùng ảnh hưởng đến đầu ra Q.

4. Khi cổng kích thích bị ngắt, mạch chốt giữ lại trạng thái của nó cho đến khi cổng kích thích được kích hoạt trở lại.

Mạch chốt D-latch được sử dụng để lưu trữ dữ liệu tạm thời và cung cấp khả năng lưu giữ dữ liệu đồng bộ với tín hiệu kích thích.

### 6) Luật Lambda để làm gì? Lưu ý gì khi thực hiện luật Lambda trong thiết kế VLSI.

- Luật Lambda là một nguyên tắc quan trọng trong thiết kế VLSI (Very Large Scale Integration) để đảm bảo đồng nhất và kiểm soát các chiều dài kích thước trong mạch tích hợp. Lambda thường được đặc trưng bằng kích thước của một cổng logic tiêu chuẩn và được sử dụng để xác định kích thước của các thành phần khác nhau trong mạch.

- Mục đích của Luật Lambda:

1. Tính Đồng Nhất: Một trong những mục tiêu chính của Luật Lambda là đảm bảo các kích thước của các thành phần trong mạch tích hợp là đồng nhất. Điều này giúp đơn giản hóa quá trình thiết kế và làm cho mạch trở nên dễ kiểm soát hơn.

2. Thuận Tiện Cho Đo Lường và Mô phỏng: Kích thước Lambda được chọn để làm cho các phép đo và mô phỏng trở nên thuận tiện. Các công cụ và kỹ thuật tính toán thường dựa trên kích thước Lambda để đơn giản hóa quy trình thiết kế và kiểm soát.

3. Mô phỏng Đồng Nhất: Sử dụng kích thước Lambda giúp mô phỏng mạch trở nên đồng nhất giữa các công nghệ và quy trình sản xuất khác nhau.

- Lưu ý khi Thực Hiện Luật Lambda trong Thiết Kế VLSI:

1. Chọn Giá Trị Lambda Phù Hợp: Giá trị Lambda phải được chọn sao cho phản ánh đúng kích thước mong muốn trong quy mô thiết kế và sản xuất. Việc chọn giá trị Lambda quá nhỏ hoặc quá lớn có thể làm cho quá trình thiết kế và mô phỏng trở nên không hiệu quả.

2. Đảm Bảo Tính Tương Thích Đồng Nhất: Mọi thành phần trong mạch nên tuân theo luật Lambda để đảm bảo đồng nhất trong quy trình sản xuất và giữa các công nghệ khác nhau.

3. Kiểm Soát Chiều Dài và Rộng Của Mạch: Kích thước của mạch nên được thiết kế sao cho chúng tuân theo các bước Lambda, giúp kiểm soát chiều dài và rộng của mạch.

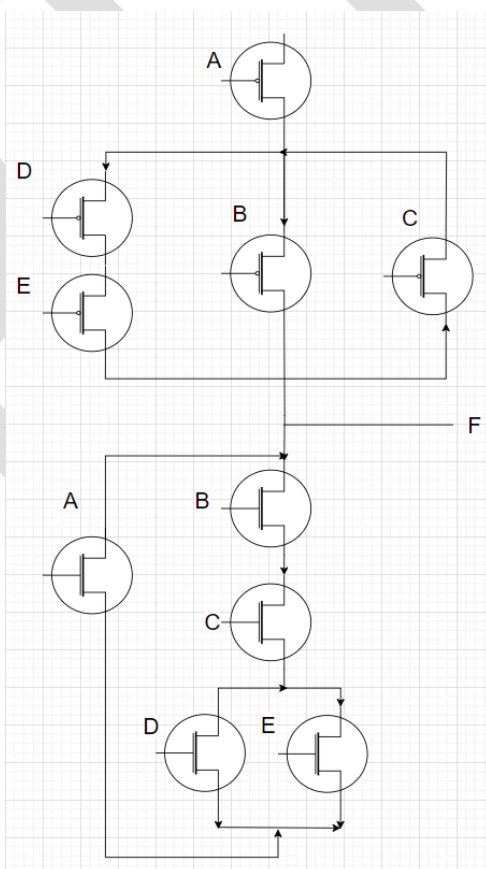
4. Quản Lý Rủi Ro: Khi thực hiện thiết kế VLSI, cần quản lý rủi ro đối với các vấn đề như độ trễ và tiêu hao công suất, đặc biệt là khi thay đổi kích thước của các thành phần theo Luật Lambda.

5. Cập Nhật Theo Công Nghệ Mới: Khi công nghệ sản xuất cải tiến, giá trị Lambda có thể thay đổi, do đó cần cập nhật thiết kế để đảm bảo tính đồng nhất và tương thích với công nghệ mới.

Luật Lambda là một phương tiện hữu ích để giúp kiểm soát và đồng nhất kích thước trong thiết kế VLSI và là một quy tắc quan trọng trong quá trình thiết kế và sản xuất mạch tích hợp.

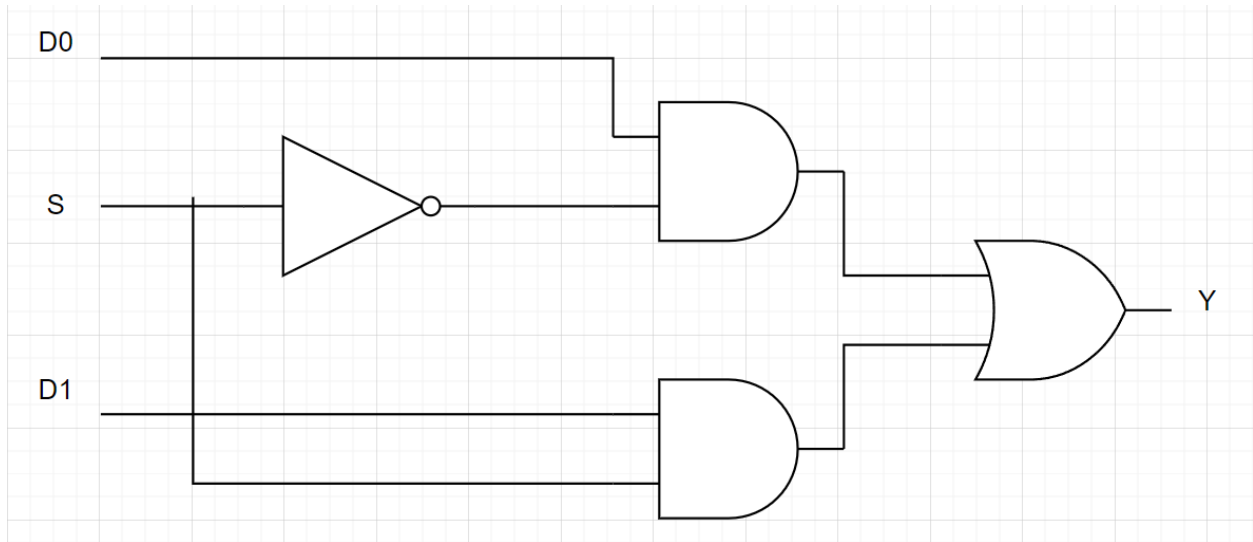
## Loại 2:

1) Thiết kế mạch mức Transistor MOS của mạch tổ hợp sau:  $F = \overline{A + B.C.(D + E)}$

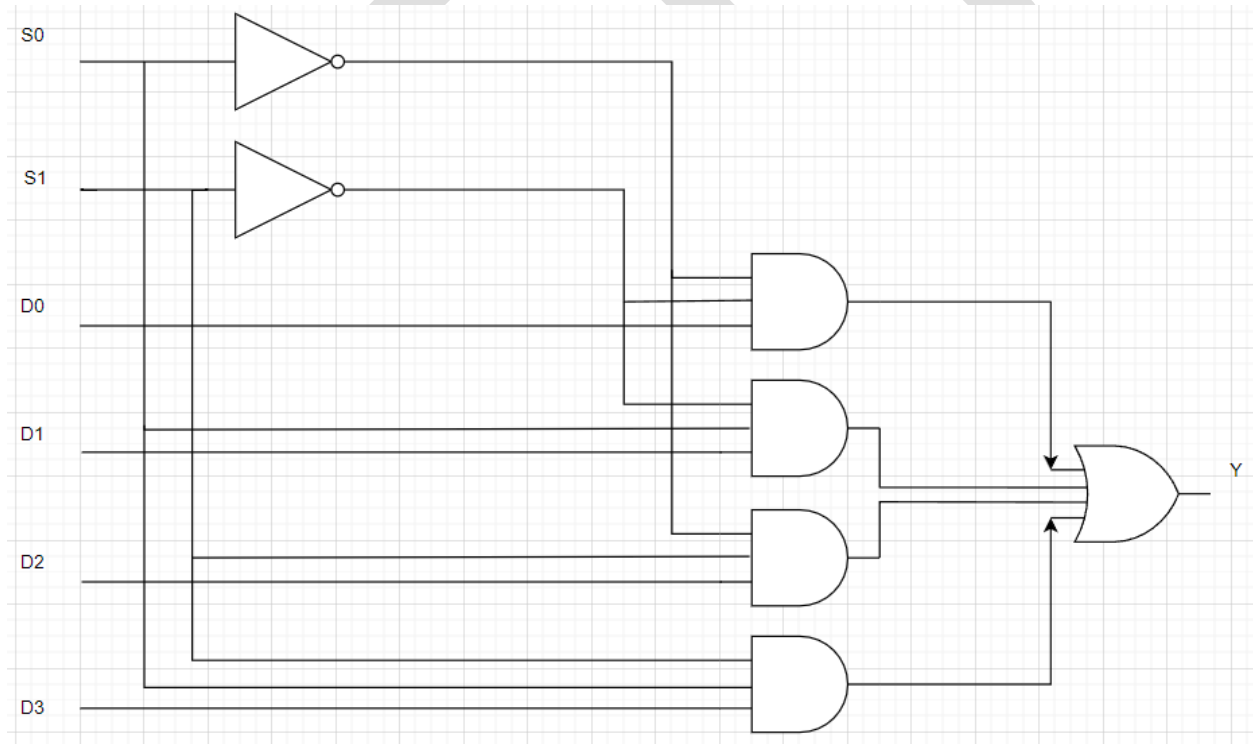


## 2) Phác họa sơ đồ của một mạch MUX 2:1, 4:1, 8:1.

Mux 2 :1 :  $Y = D_0.\bar{S} + D_1.S$

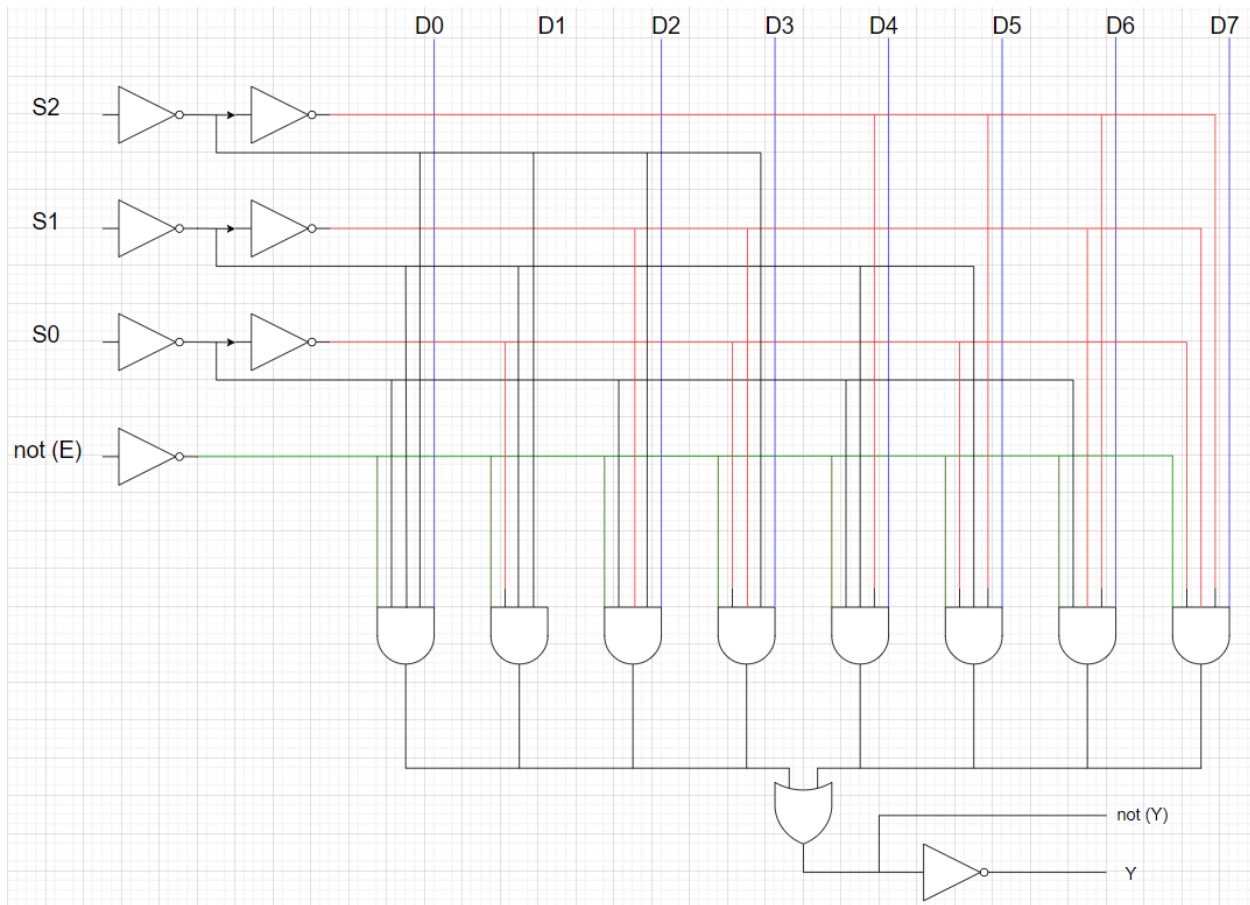


Mux 4 :1 :  $Y = D_0.\bar{S}_1.\bar{S}_0 + D_1.\bar{S}_1.S_0 + D_2.S_1.\bar{S}_0 + D_3.S_1.S_0$



Mux 8 :1 :

$$Y = D_0.\bar{S}_2.\bar{S}_1.\bar{S}_0 + D_1.\bar{S}_2.\bar{S}_1.S_0 + D_2.\bar{S}_2.S_1.\bar{S}_0 + D_3.\bar{S}_2.S_1.S_0 + D_4.S_2.\bar{S}_1.\bar{S}_0 + D_5.S_2.\bar{S}_1.S_0 + D_6.S_2.S_1.\bar{S}_0 + D_7.S_2.S_1.S_0$$



### 3) Nguyên tắc thiết kế cổng đảo INVERTER

Nguyên tắc thiết kế cổng đảo (INVERTER) trong mạch logic là chuyển đổi một tín hiệu đầu vào logic thành đối của nó. Dưới đây là một số nguyên tắc quan trọng khi thiết kế cổng đảo:

#### 1. Cấu Tạo Cơ Bản

- Cổng đảo thông thường được xây dựng bằng một transistor PMOS và một transistor NMOS được kết nối chồng lên nhau.
- Đầu vào của cổng đảo được đưa vào cổng Gate của cả hai transistor.

#### 2. Kích Thước Transistor:

- Kích thước của transistor PMOS và NMOS được chọn sao cho đảm bảo độ đối xứng và đảm bảo rằng thời gian tải và thời gian xả đều nhau.

#### 3. Chọn Điện Áp Ngưỡng (Threshold Voltage):



- Điện áp ngưỡng của transistor PMOS và NMOS nên được chọn để đảm bảo rằng cổng đảo hoạt động ổn định và có độ tương thích với môi trường logic xung quanh.

#### 4. Thiết Kế Độ Tải và Độ Xả Cân Bằng:

- Đảm bảo transistor PMOS và NMOS có độ tải và độ xả cân bằng sẽ giúp cổng đảo hoạt động hiệu quả và đảm bảo rằng thời gian tải và thời gian xả đều nhau.

#### 5. Đảm Bảo Độ Tương Thích:

- Thiết kế cổng đảo sao cho nó tương thích với các tín hiệu logic khác trong mạch.

#### 6. Minh Họa Bảng Chân Lý:

- Xác định bảng chân lý của cổng đảo để đảm bảo rằng nó hoạt động chính xác.

#### 7. Kiểm Soát Các Thông Số Điện Áp:

- Kiểm soát các thông số điện áp như điện áp nguồn và điện áp ngưỡng để đảm bảo rằng cổng đảo hoạt động đúng trong mọi điều kiện.

#### 8. Kiểm Tra Tải và Xả:

- Đảm bảo rằng cổng đảo có khả năng tải và xả đủ để đáp ứng yêu cầu của mạch lớn hơn.

#### 9. Sử Dụng Kỹ Thuật Dạng N-Chân và P-Chân:

- Sử dụng kỹ thuật dạng N-chân và P-chân để giảm tiêu hao công suất.

Những nguyên tắc trên đều quan trọng để đảm bảo cổng đảo hoạt động ổn định và hiệu quả trong mạch logic.

### 4) Nguyên tắc thiết kế cổng NAND

Nguyên tắc thiết kế cổng NAND trong mạch logic dựa trên kết hợp các transistor MOS để tạo ra chức năng logic NAND. Dưới đây là một số nguyên tắc quan trọng khi thiết kế cổng NAND:

#### 1. Cấu Trúc Cơ Bản:

- Cổng NAND thường được xây dựng bằng cách kết hợp một transistor PMOS và nhiều transistor NMOS.

#### 2. Đầu Vào:

- Cổng NAND có hai hoặc nhiều hơn đầu vào. Mỗi đầu vào được kết nối đến một transistor NMOS.

### 3. Kết Hợp Đầu Vào:

- Đầu ra của các transistor NMOS được kết nối thông qua một transistor PMOS, tạo thành cấu trúc kết hợp các transistor.

### 4. Điều Khiển Đầu Ra:

- Các đầu ra của transistor NMOS được kết hợp thông qua một transistor PMOS được kết nối đến nguồn điện.

### 5. Kiểm Soát Điều Khiển:

- Kích thước của các transistor PMOS và NMOS được kiểm soát để đảm bảo rằng cổng NAND hoạt động đúng và đáp ứng yêu cầu của mạch logic.

### 6. Đối Xứng:

- Đảm bảo rằng cổng NAND là đối xứng, nghĩa là khi cả các đầu vào đều ở mức logic cao, đầu ra là mức logic thấp.

### 7. Kích Thước Transistor:

- Kích thước của transistor PMOS và NMOS được chọn sao cho đảm bảo cân bằng giữa thời gian tải và thời gian xả.

### 8. Kiểm Soát Điện Áp Ngưỡng:

- Kiểm soát điện áp ngưỡng của transistor PMOS và NMOS để đảm bảo rằng cổng NAND hoạt động đúng trong mọi điều kiện.

### 9. Kiểm Soát Tải và Xả:

- Đảm bảo rằng cổng NAND có khả năng tải và xả đủ để đáp ứng yêu cầu của mạch lớn hơn.

### 10. Kiểm Tra Tích Hợp:

- Kiểm tra tích hợp cổng NAND với các cấu trúc mạch khác để đảm bảo tương thích.

### 11. Đánh Giá Hiệu Suất và Tiêu Hao Công Suất:

- Đánh giá hiệu suất và tiêu hao công suất của cổng NAND để đảm bảo rằng nó đáp ứng các yêu cầu thiết kế.

Cổng NAND là một trong những cổng logic quan trọng và thường được sử dụng trong mạch logic kết hợp. Các nguyên tắc thiết kế nêu trên giúp đảm bảo rằng cổng NAND hoạt động đúng và hiệu quả trong môi trường logic.

### 5) Thiết kế $F = A + B \cdot (C + D + E)$ thì cần những bước thực hiện gì?

Để thiết kế mạch tổ hợp cho hàm logic  $(F = A + B \cdot (C + D + E))$ , bạn có thể thực hiện các bước sau:

#### 1. Phân Tích Hàm Logic:

- F có dạng  $A + B \cdot (C + D + E)$ .
- Có thể sử dụng các phép đại số Boolean để đơn giản hóa biểu thức.

#### 2. Chuyển Đổi Biểu Thức Logic:

- Sử dụng phép phân phối để đơn giản hóa biểu thức:

$$F = A + BC + BD + BE$$

#### 3. Phân Tích Biểu Thức Logic:

- F có thể được xem xét là tổng của các sản phẩm logic.

#### 4. Tạo Biểu Đồ Mức Transistor MOS:

- Sử dụng cổng AND và OR để thể hiện biểu thức logic.
- Với mỗi sản phẩm logic, sử dụng cổng AND.
- Gộp các cổng AND bằng cổng OR.

#### 5. Chọn Kích Thước Transistor:

- Chọn kích thước của transistor PMOS và NMOS sao cho đảm bảo ổn định và tối ưu.

#### 6. Kiểm Soát Các Thông Số Điện Áp:

- Đảm bảo rằng các thông số điện áp như điện áp nguồn và điện áp ngưỡng đủ để đảm bảo hoạt động chính xác của mạch.

#### 7. Kiểm Tra Tải và Xả:

- Đảm bảo rằng mạch có khả năng tải và xả đủ để đáp ứng yêu cầu của mạch lớn hơn.

### 8. Minh Họa Bảng Chân Lý:

- Xác định bảng chân lý của mạch để đảm bảo rằng nó hoạt động đúng.

### 9. Đánh Giá Hiệu Suất và Tiêu Hao Công Suất:

- Đánh giá hiệu suất và tiêu hao công suất của mạch để đảm bảo rằng nó đáp ứng yêu cầu của ứng dụng.

### 10. Thử Nghiệm và Kiểm Tra:

- Thực hiện các bước thử nghiệm và kiểm tra để đảm bảo rằng mạch hoạt động đúng và ổn định.

Bằng cách thực hiện những bước trên, bạn có thể thiết kế một mạch tổ hợp để thực hiện hàm logic  $F = A + B(C + D + E)$

## 6) Sơ đồ hình que Stick Diagram làm gì? Biểu diễn thế nào?

Sơ đồ hình que (Stick Diagram) trong thiết kế VLSI (Very Large Scale Integration) là một phương tiện biểu diễn hình ảnh đơn giản của cấu trúc mạch trên một chip IC (Integrated Circuit). Sơ đồ hình que giúp biểu diễn cấu trúc mạch và kết nối giữa các thành phần mạch một cách tổng quan. Dưới đây là một số điểm quan trọng về sơ đồ hình que:

Mục Đích của Sơ Đồ Hình Que:

#### 1. Biểu Diễn Tổng Quan Mạch:

- Sơ đồ hình que được sử dụng để biểu diễn tổng quan cấu trúc mạch và các thành phần quan trọng trên một chip.

#### 2. Mô tả Kết Nối Cơ Bản:

- Nó mô tả cách các thành phần mạch được kết nối với nhau, đặc biệt là các kết nối cơ bản như kết nối đường dẫn và nút điện.

#### 3. Đơn Giản và Dễ Hiểu:

- Sơ đồ hình que cung cấp một biểu diễn đơn giản và dễ hiểu của mạch mà không cần chi tiết hóa quá nhiều.

## Biểu Diễn Trong Sơ Đồ Hình Que:

### 1. Thanh Que (Stick):

- Mỗi thành phần mạch được biểu diễn bằng các thanh que, thường là các đường thẳng (stick) hoặc cụm đường thẳng đại diện cho transistor MOS hay các kết nối.

### 2. Hướng Đường Dẫn:

- Hướng của các đường dẫn được mô tả bằng cách vẽ thanh que theo hướng chảy của dòng điện.

### 3. Chiều Dài Đường Dẫn:

- Chiều dài của thanh que có thể thể hiện kích thước tương đối giữa các thành phần mạch.

### 4. Kết Nối và Nút Điện:

- Kết nối giữa các thanh que được biểu diễn bằng cách chồng chúng hoặc sắp xếp chúng gần nhau.

### 5. Biểu Diễn Vùng Điện Tích:

- Stick diagram cũng có thể được sử dụng để biểu diễn vùng điện tích của các thành phần mạch, như vùng điện tích của transistor MOS.

Sơ đồ hình que giúp các kỹ sư thiết kế chip có cái nhìn tổng quan về cấu trúc mạch và là một công cụ hữu ích trong quá trình thiết kế IC. Tuy nhiên, nó thường không thể thay thế cho các công cụ mô phỏng chi tiết hơn khi cần phân tích và mô phỏng đặc tính chi tiết của mạch.