

NGÂN HÀNG CÂU HỎI THI TỰ LUẬN

Tên học phần: ĐIỆN TỬ SỐ

Mã học phần: ELE 1309

Thời gian thi : 90 phút.

Ngành đào tạo : Điện tử - Viễn thông và Điện – Điện tử. Trình độ đào tạo: Đại học

1. Ngân hàng câu hỏi thi

• Câu hỏi loại 1.5 điểm

Câu hỏi 1.1: (A) Tối ưu hàm sau về dạng NAND 2 lối vào:

$$F = \overline{C}.D + A.B.\overline{C} + \overline{A}.C + \overline{B}.C$$

Câu hỏi 1.2: (A) Tối ưu hàm sau về dạng NAND 2 lối vào:

$$F = A.C + B.C.D + \overline{A}.\overline{B}.\overline{D}$$

Câu hỏi 1.3: (A) Tối ưu hàm sau về dạng NAND 2 lối vào:

$$F = A.\overline{C} + A.B.\overline{D} + \overline{C}.D + \overline{A}.\overline{B}.D$$

Câu hỏi 1.4: (A) Chuyển các hàm logic sau sang dạng chuẩn của minterm?

a) $\overline{A.B.(CD + \overline{A.B})}$

b) $(A + \overline{B}).(B + \overline{C}).(C + \overline{D})$

Câu hỏi 1.5: (A) Chuyển các hàm logic sau sang dạng chuẩn của maxterm?

a) $\overline{A.(B + \overline{A.C}).(\overline{A + B.C})}$

b) $(A + \overline{B}).(B + \overline{C}).(C + \overline{D})$

Câu hỏi 1.6: (B) Một DRAM có dung lượng nhớ là 64 kbyte thì cần bao nhiêu đầu vào/ra? Nó chứa được bao nhiêu từ nhị phân 8 bit? Vẽ sơ đồ khối của bộ nhớ?

Câu hỏi 1.7: (B) Tính dung lượng (bit) của 1 RAM, biết bộ nhớ có 11 lối vào địa chỉ và 8 lối vào/ra dữ liệu. Vẽ sơ đồ khối tổng quát của bộ nhớ ?

Câu hỏi 1.8 (B) Cho ROM có dung lượng $1k \times 8$. Hãy mở rộng dung lượng nhớ từ ($1k \times 8$) bit thành ($2k \times 8$) bit?

Câu hỏi 1.9 (B) Cho ROM có dung lượng $2k \times 8$. Hãy mở rộng dung lượng nhớ từ ($2k \times 8$) bit thành ($8k \times 8$) bit?

Câu hỏi 1.10: (C)

- a. Cho từ mã thông tin là 1011 1011, hãy xây dựng từ mã Hamming lẻ.
- b. Giả sử từ mã lẻ thu được là 1010 0101 0101. Hãy kiểm tra tính chính xác của từ mã. Nếu sai thì sửa.

Câu hỏi 1.11: (C)

- a. Cho từ mã thông tin là 1001 1011, hãy xây dựng từ mã Hamming chẵn.
- b. Giả sử từ mã chẵn thu được là 1101 1101 1100. Hãy kiểm tra tính chính xác của từ mã. Nếu sai thì sửa.

Câu hỏi 1.12: (C)

- a. Cho từ mã thông tin là 1 1001 0101, hãy xây dựng từ mã Hamming chẵn.
- b. Giả sử từ mã chẵn thu được là 1 1011 1010 1100 10 1111 0110. Hãy kiểm tra tính chính xác của từ mã. Nếu sai thì sửa.

Câu hỏi 1.13: (C) Cho chuỗi bit thông tin: 11 0100 1110.

- a. Xây dựng mã Hamming lẻ
- b. Cho ví dụ về cách sửa sai của mã

Câu hỏi 1.14: (C) Cho chuỗi bit thông tin: 10 0110 1011.

- a. Xây dựng mã Hamming chẵn
- b. Cho ví dụ về cách sửa sai của mã

Câu hỏi 1.15: (B) Cho bộ giải mã $3:8$ dùng IC 74138, hãy mở rộng dung lượng thành $5:32$. (chỉ vẽ sơ đồ khối)

Câu hỏi 1.16: (B) Cho bộ giải mã $2:4$ có một đầu cho phép (E) hoạt động ở mức thấp, hãy mở rộng dung lượng thành $4:16$ (chỉ vẽ sơ đồ khối).

Câu hỏi 1.17: (B) Cho bộ giải mã $2:4$ có một đầu cho phép (E) hoạt động ở mức cao, hãy mở rộng dung lượng thành $4:16$ (chỉ vẽ sơ đồ khối).

Câu hỏi 1.18: (B) Cho bộ giải mã $2:4$ có một đầu cho phép (E) hoạt động ở mức cao, hãy mở rộng dung lượng thành $5:32$ (chỉ vẽ sơ đồ khối).

Câu hỏi 1.19: (B) Cho bộ giải mã 2:4 có một đầu cho phép (E) hoạt động ở mức thấp, hãy mở rộng dung lượng thành 5:32 (chỉ vẽ sơ đồ khối).

Câu hỏi 1.20: (B) Cho bộ hợp kênh 2:1, hãy xây dựng thành bộ hợp kênh 8:1 (chỉ vẽ sơ đồ khối).

Câu hỏi 1.21: (D) Cho hàm

$$F(A,B,C,D) = \sum(5,8,9,12,13)$$

Hãy thiết kế mạch thực hiện hàm F chỉ sử dụng:

- a) IC 74138 (decoder 3:8, đầu ra tích cực thấp) và cổng logic.
- b) Bộ giải mã 2:4 và có đầu cho phép tích cực thấp.

Câu hỏi 1.22: (D) Cho hàm

$$F(A,B,C,D) = \sum(1,3,5,8,9,11)$$

Hãy thiết kế mạch thực hiện hàm F_1 và F_2 chỉ sử dụng:

- a) IC 74138 (decoder 3:8, đầu ra tích cực thấp) và cổng logic.
- b) Bộ giải mã 2:4 và có đầu cho phép tích cực thấp

Câu hỏi 1.23: (D) Cho hàm $F(A,B,C,D) = \sum(0,1,5,6,8,9,11,13,14)$. Hãy xây dựng hàm F bằng cách sử dụng (vẽ sơ đồ khối) :

- a) MUX 8:1.
- b) MUX 4:1.

Câu hỏi 1.24. (D) Thiết kế mạch tổ hợp kiểm tra hai từ mã (A và B) 4 bit và hiển thị kết quả nếu từ mã A lớn hơn từ mã B.

Câu hỏi 1.25. (D) Hãy xây dựng hàm logic sau (vẽ sơ đồ khối):

$$F(A,B,C,D) = \sum(1,8,9,10,11,13,15) \text{ bằng cách sử dụng :}$$

- a) Bộ hợp kênh 8:1.
- b) Bộ giải mã 4:16 và cổng logic.

Câu hỏi 1.26. (D) Dùng MUX 4 lối vào dữ liệu, 1 lối ra để thực hiện hàm sau:

- a) $F = AB + \overline{A}C + BC$
- b) $F = AB + \overline{A}C + D$

Câu hỏi 1.27. (D) Hãy xây dựng hàm logic

$F(A,B,C,D) = \overline{A}.\overline{B}.(\overline{A} + C + D).(A + \overline{C} + D)$ bằng cách sử dụng (chỉ cần vẽ sơ đồ khối):

a) Bộ hợp kênh 8:1.

b) Bộ giải mã 4:16 và cổng logic.

Câu hỏi 1.28: (C) Cho bảng chuyển đổi trạng thái sau, hãy tính và hoàn thiện đầu ra theo thời gian (giả sử trạng thái ban đầu của đầu ra là 00):

n	n+1		Z	
	X=0	X=1	X=0	X=1
Q_1Q_2	Q_1Q_2	Q_1Q_2		
00	00	10	0	1
01	00	00	0	0
10	11	01	1	1
11	10	10	1	0

X	0 1 0 0 1 1 1 0
Q_1	
Q_2	
Z	

Câu hỏi 1.29: (C) Cho bảng chuyển đổi trạng thái sau, hãy tính và hoàn thiện đầu ra theo thời gian (giả sử trạng thái ban đầu của đầu ra là A):

n	n+1		Z
(Q)	X=0 (Q)	X=1 (Q)	
A	A	B	1
B	D	C	1
C	D	C	0
D	A	B	0

X	0 1 0 1 0 1 1 1 0 1 0 0 0 0
Q	

Câu hỏi 1.30: (C) Cho bảng chuyển đổi trạng thái sau, hãy tính và hoàn thiện đầu ra theo thời gian (giả sử trạng thái ban đầu của đầu ra là 00):

n	n+1	
	X=0	X=1
Q_1Q_2	Q_1Q_2	Q_1Q_2
00	01	11
01	00	10
10	00	01
11	10	11

X	1 0 1 1 1 0
Q_1	
Q_2	

• **Câu hỏi loại 3 điểm**

Câu hỏi 3.1: (A) Thiết kế mạch chuyển mã nhị phân sang mã Gray 4 bit, sử dụng:

- Các cổng logic (sơ đồ khối, bảng trạng thái, hàm ra).
- Mạch giải mã (decoder) 4:16 (sơ đồ khối).

Câu hỏi 3.2: (A) Thiết kế mạch chuyển mã Gray 4 bit sang mã nhị phân, sử dụng:

- Các cổng logic (sơ đồ khối, bảng trạng thái, hàm ra).
- Mạch giải mã (decoder) 4:16 (sơ đồ khối).

Câu hỏi 3.3: (A) Cho một hệ tổ hợp hoạt động theo bảng 1.

E	A	B	Y_0	Y_1	Y_2	Y_3
0	x	x	1	1	1	1
1	0	0	0	1	1	1
1	0	1	1	0	1	1
1	1	0	1	1	0	1
1	1	1	1	1	1	0

Bảng 1. Bảng trạng thái

- Thiết kế hệ tổ hợp này dùng toàn cổng NOT và NAND 3 lối vào.
- Dùng hệ tổ hợp đã thiết kế ở câu a (vẽ ở dạng sơ đồ khối) và một cổng AND 2 lối vào để thực hiện một hệ tổ hợp $F(X,Y,Z) = \Sigma(2,3,4,6) + \Sigma_d(0,7)$

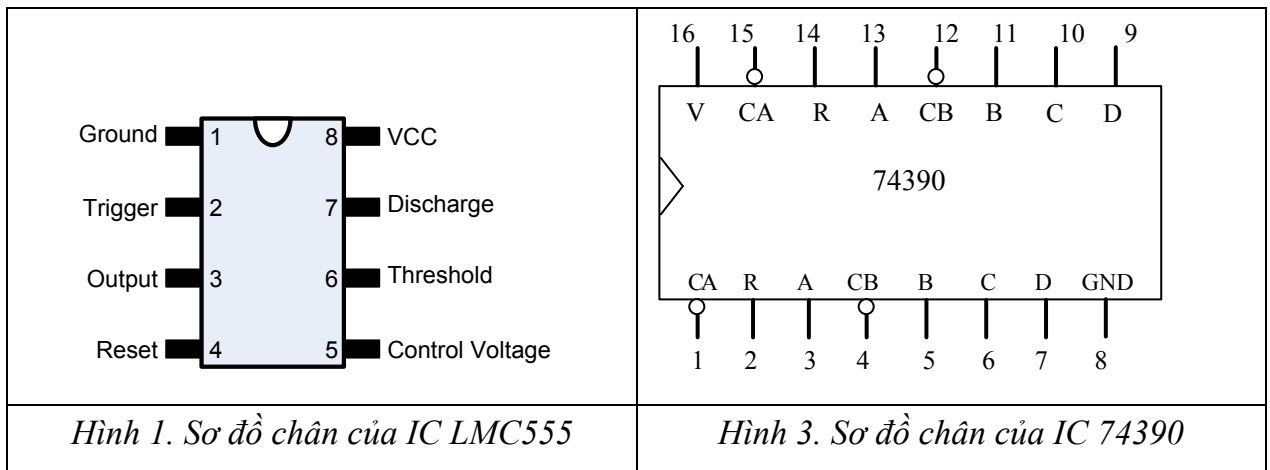
Câu hỏi 3.4: (A) Cho một hệ tổ hợp hoạt động theo bảng 1.

E	A	B	Y_0	Y_1	Y_2	Y_3
1	x	x	0	0	0	0
0	0	0	1	0	0	0
0	0	1	0	1	0	0
0	1	0	0	0	1	0
0	1	1	0	0	0	1

Bảng 1. Bảng trạng thái

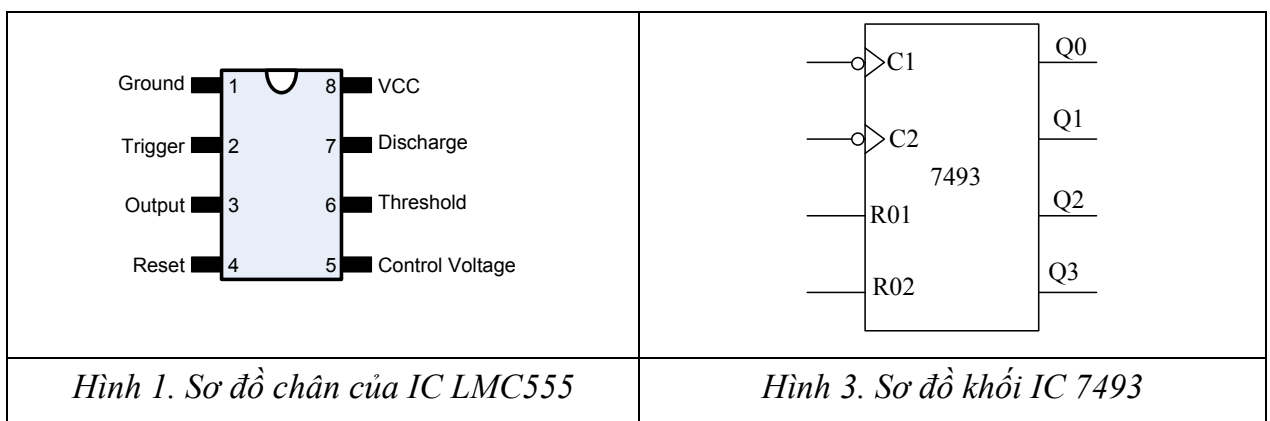
- Thiết kế hệ tổ hợp này dùng toàn cổng NOT và NAND 3 lối vào.
- Dùng hệ tổ hợp đã thiết kế ở câu a (vẽ ở dạng sơ đồ khối) và một cổng AND 2 lối vào để thực hiện một hệ tổ hợp $F(X,Y,Z) = \Sigma(2,3,4,6) + \Sigma_d(0,7)$

Câu hỏi 3.5: (A) Cho IC 555 và IC 74390 như hình 1 và hình 2:



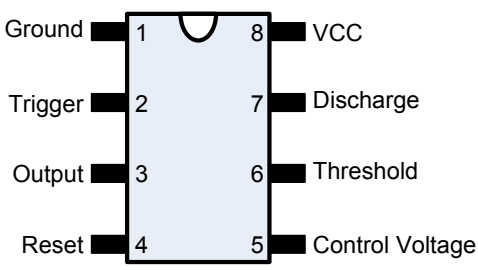
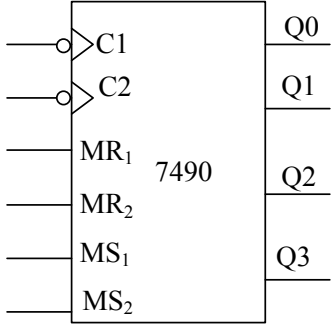
- Hãy vẽ sơ đồ tạo mạch đa hài và tính R và C để đầu ra có dãy xung vuông đều với tần số 90 Hz? (chọn 1 trong các giá trị C sau: 4.7 μ F; 6.8 μ F; 10 μ F; 47 μ F)
- Từ câu a) hãy sử dụng IC đếm để tạo thành bộ chia tần với tần số ở lối ra $Z=10\text{Hz}$ (vẽ sơ đồ khối).

Câu hỏi 3.6: (A) Cho IC 555 và IC 7493 như hình 1 và hình 2:



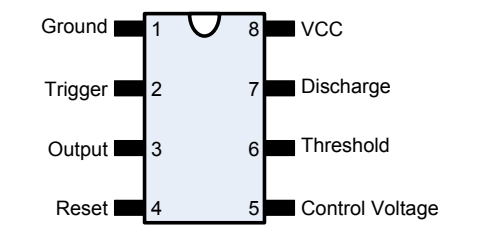
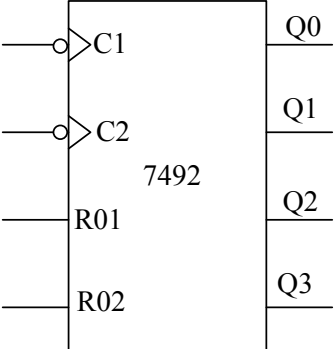
- a) Hãy vẽ sơ đồ tạo mạch đa hài và tính R và C để đầu ra có dãy xung vuông đều với tần số 60 Hz? (chọn 1 trong các giá trị C sau: 4.7 μ F; 6.8 μ F; 10 μ F; 47 μ F)
- b) Từ câu a) hãy sử dụng IC đếm để tạo thành bộ chia tần với tần số ở lối ra Z = 10Hz (vẽ sơ đồ khối).

Câu hỏi 3.7: (A) Cho IC 555 và IC 7490 như hình 1 và hình 2:

	
<p><i>Hình 1. Sơ đồ chân của IC LMC555</i></p>	<p><i>Hình 3. Sơ đồ khối IC 7490</i></p>

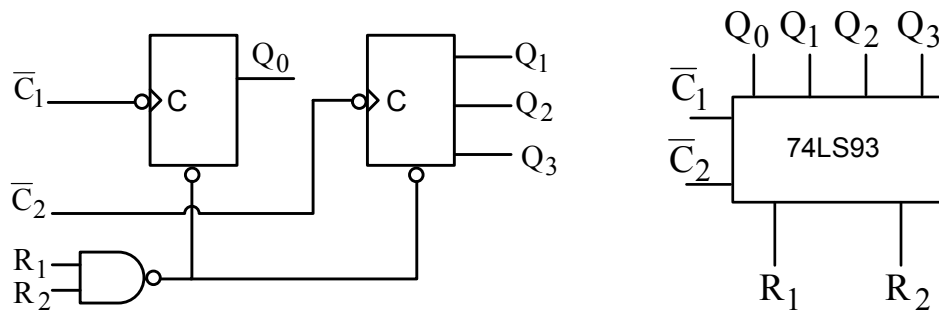
- a) Hãy vẽ sơ đồ tạo mạch đa hài và tính R và C để đầu ra có dãy xung vuông đều với tần số 90 Hz? (chọn 1 trong các giá trị C sau: 4.7 μ F; 6.8 μ F; 10 μ F; 47 μ F)
- b) Từ câu a) hãy sử dụng IC đếm để tạo thành bộ chia tần với tần số ở lối ra Z = 10Hz (vẽ sơ đồ khối).

Câu hỏi 3.8: (A) Cho IC 555 và IC 7492 như hình 1 và hình 2:

	
<p><i>Hình 1. Sơ đồ chân của IC LMC555</i></p>	<p><i>Hình 3. Sơ đồ khối IC 7492</i></p>

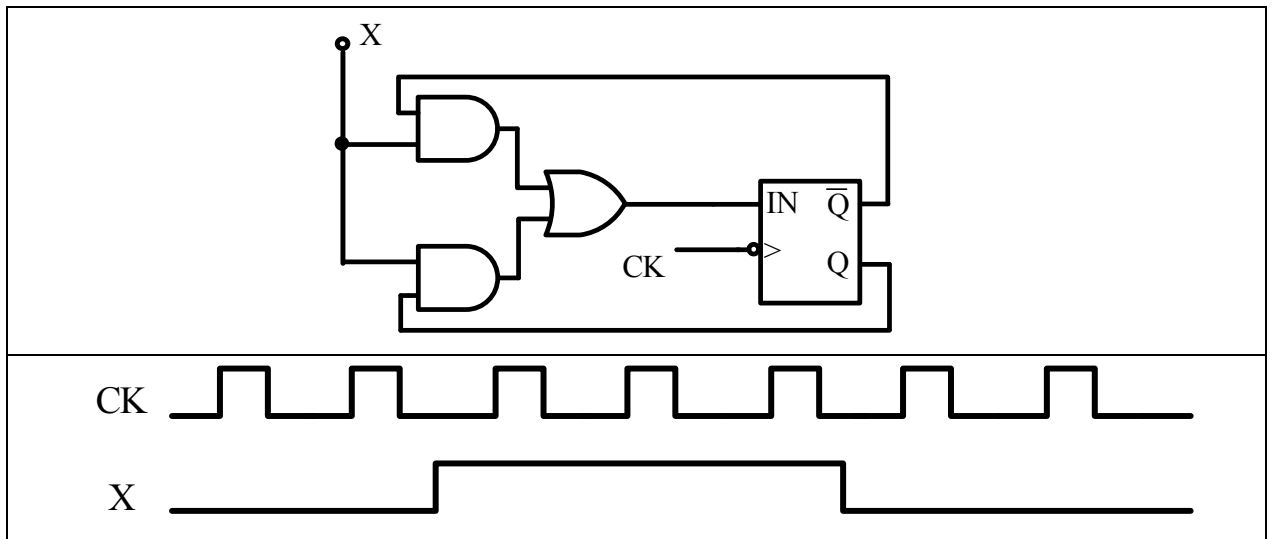
- a) Hãy vẽ sơ đồ tạo mạch đa hài và tính R và C để đầu ra có dãy xung vuông đều với tần số 60 Hz? (chọn 1 trong các giá trị C sau: 4.7 μ F; 6.8 μ F; 10 μ F; 47 μ F)
- b) Từ câu a) hãy sử dụng IC đếm để tạo thành bộ chia tần với tần số ở lối ra Z = 10Hz (vẽ sơ đồ khối).

Câu hỏi 3.9: (A) Cho sơ đồ của bộ đếm nhị phân 4 bit như hình vẽ. Hãy thực hiện các Mod đếm có thể (không dùng các cổng ngoài)



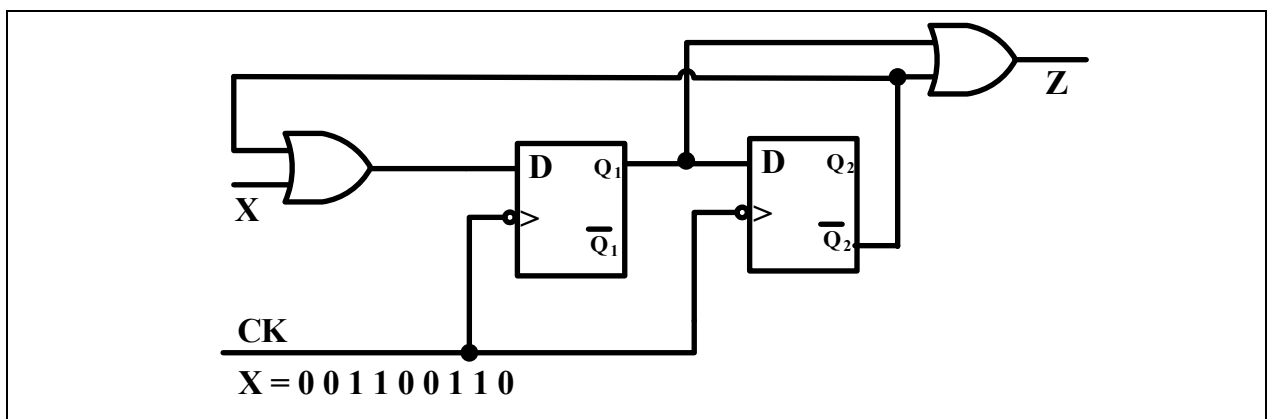
Câu hỏi 3.10 (B) Cho mạch điện như hình vẽ. Hoàn thiện giản đồ xung sau trong hai trường hợp:

- Trigơ trong mạch là trigơ D.
- Trigơ trong mạch là trigơ T.

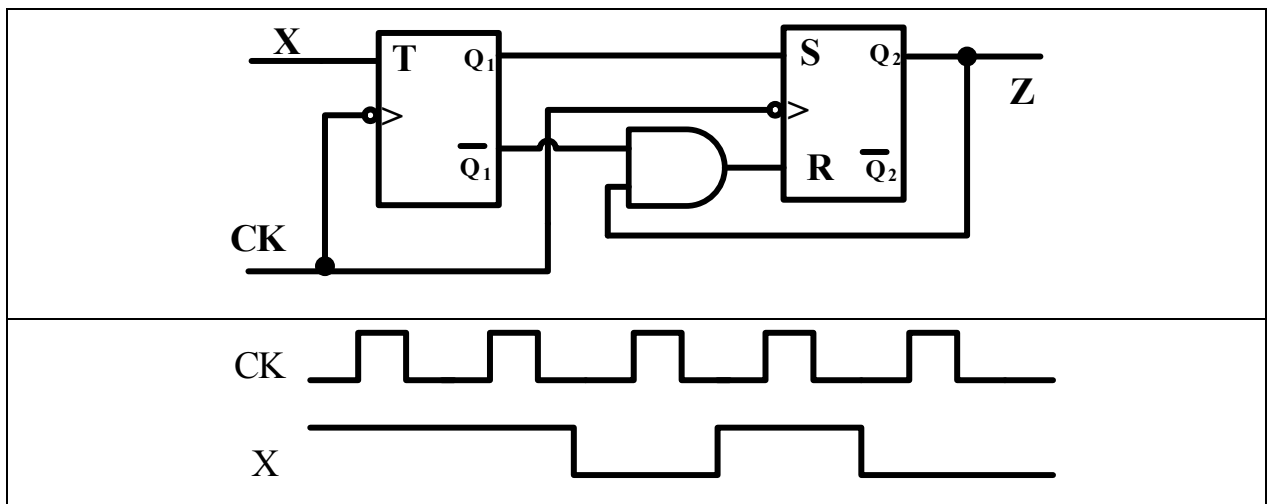


Câu hỏi 3.11: (B) Cho mạch như hình vẽ sau:

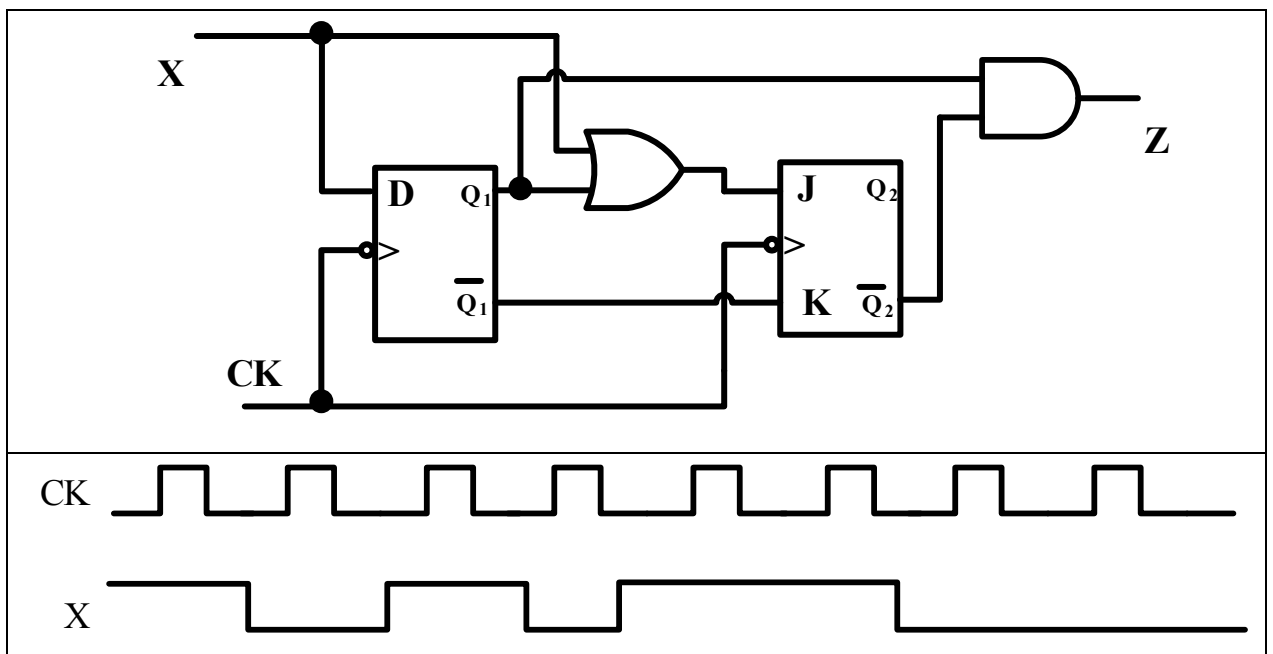
- Lập bảng trạng thái.
- Hoàn thiện đầu ra Z theo thời gian với đầu vào là X có dạng như trong hình vẽ. Giả sử trạng thái đầu ra ban đầu bằng 0.



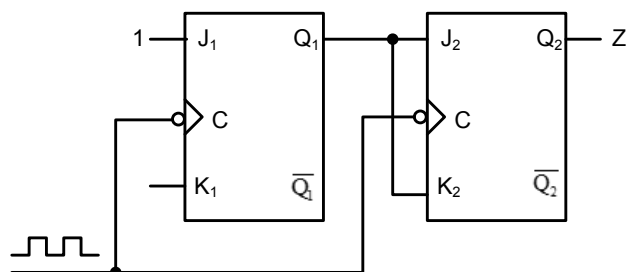
Câu hỏi 3.12 (B) Cho mạch điện như hình vẽ. Vẽ dạng xung của Z:



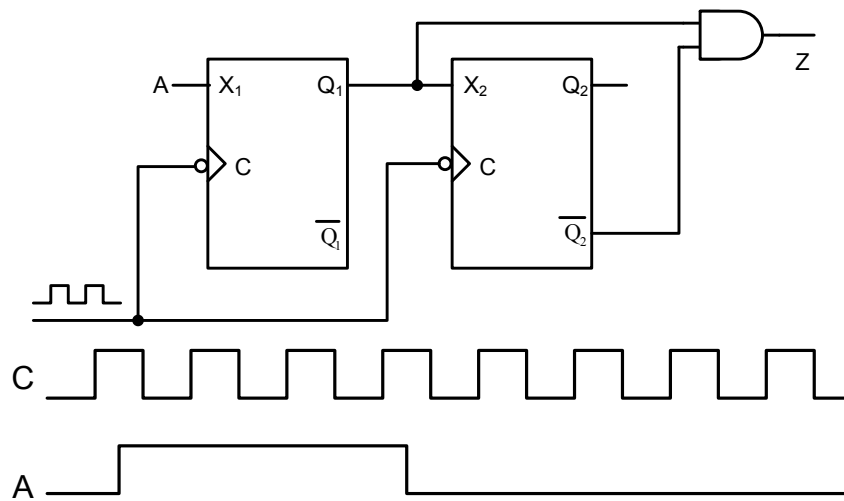
Câu hỏi 3.13 (B) Cho mạch điện như hình vẽ. Hoàn thiện giản đồ xung sau:



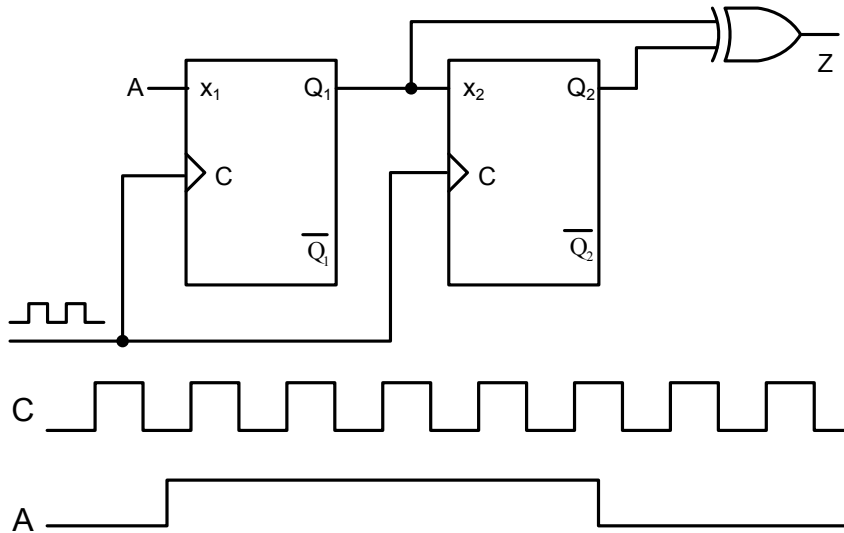
Câu hỏi 3.14 (B) Cho sơ đồ logic hình vẽ, hãy vẽ dạng xung đầu ra Q_1 và Q_2 ở hai trường hợp: $K_1 = 0$ và $K_1 = 1$, biết xung vào có dạng vuông đều.



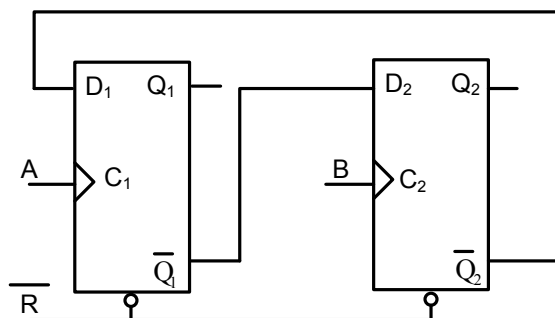
Câu hỏi 3.15 (B) Cho sơ đồ logic hình vẽ, hãy vẽ dạng xung đầu ra Z theo dạng xung vào đã cho trong hai trường hợp: X là trigơ D và trigơ T.

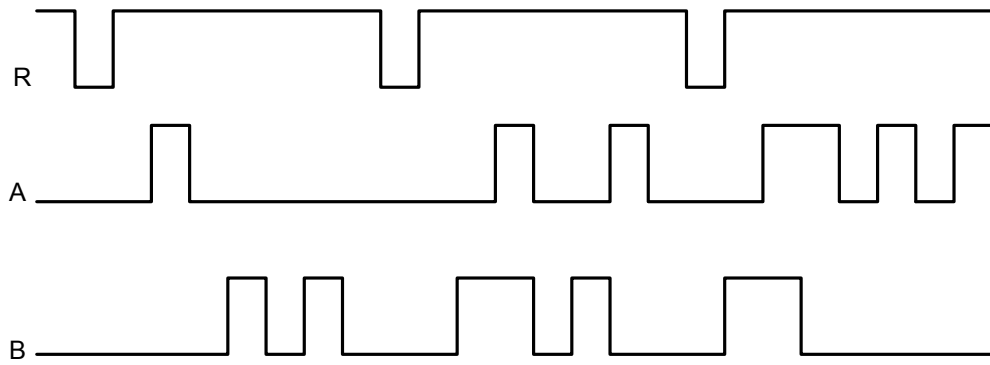


Câu hỏi 3.16 (B) Cho sơ đồ logic hình vẽ, hãy vẽ dạng xung đầu ra Z theo dạng xung vào đã cho trong hai trường hợp: X là trigơ D và trigơ T.



Câu hỏi 3.17 (B) Cho sơ đồ logic hình vẽ, hãy vẽ dạng xung đầu ra Q_1 và Q_2 theo dạng xung đã cho





Câu hỏi 3.18: (C) Thiết kế mạch tuần tự, biết bảng chuyển đổi trạng thái có dạng. (trigo JK)

S^n	S^{n+1}		Z	
	$X = 0$	$X = 1$	$X = 0$	$X = 1$
A	A	C	0	1
B	A	A	0	0
C	D	B	1	1
D	C	C	1	0

Câu hỏi 3.19: (C) Thiết kế mạch tuần tự, biết bảng chuyển đổi trạng thái có dạng.

S^n	S^{n+1}		Z
	$X = 0$	$X = 1$	
A	A	B	1
B	D	C	1
C	D	C	0
D	A	B	0

Câu hỏi 3.20: (C) Thiết kế mạch tuần tự, biết bảng chuyển đổi trạng thái có dạng:

S^n	S^{n+1}		Z	
	$X = 0$	$X = 1$	$X = 0$	$X = 1$
A	A	C	0	1
B	A	A	0	0
C	D	B	1	1
D	C	C	1	0

Câu hỏi 3.21: (C) Thiết kế mạch tuần tự, biết bảng chuyển đổi trạng thái có dạng.

S^n	S^{n+1}		Z
	$X = 0$	$X = 1$	
A	A	B	0
B	C	B	0
C	A	D	0
D	C	B	1

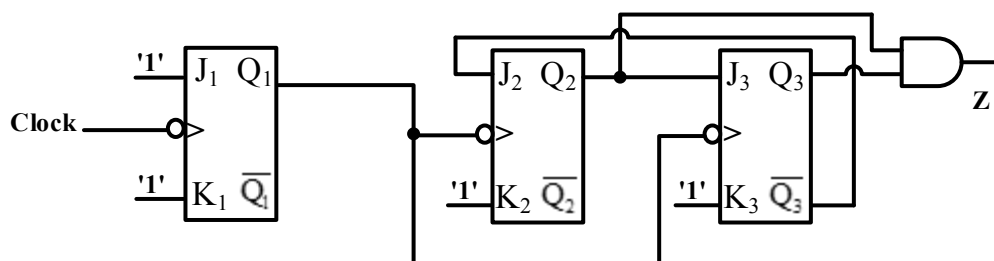
Câu hỏi 3.22: (C) Thiết kế bộ đếm lùi Mod 7 sử dụng trigơ JK?

Câu hỏi 3.23: (C) Thiết kế bộ đếm lùi Mod 6 không đồng bộ sử dụng trigơ T?

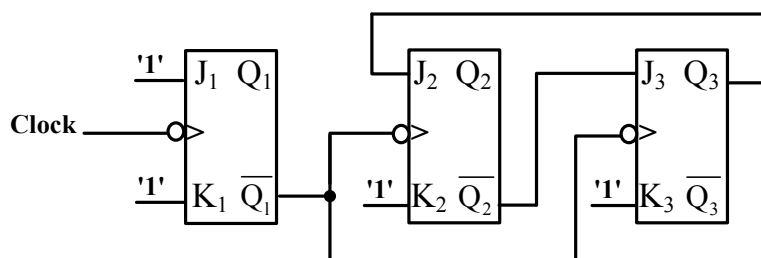
Câu hỏi 3.24 (C) Thiết kế bộ đếm đồng bộ hoạt động theo trình tự sau 1 4 3 6 2 5 và lặp lại?

Câu hỏi 3.25 (C) Thiết kế bộ đếm đồng bộ hoạt động theo trình tự sau 1 3 4 7 6 và lặp lại?

Câu hỏi 3.26: (D) Phân tích mạch tuần tự sau và cho biết chức năng của mạch? Giả sử trạng thái ban đầu là 000.

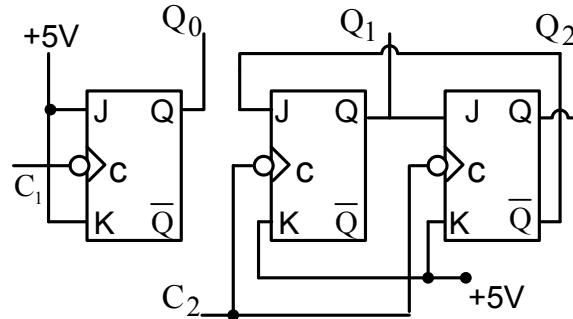


Câu hỏi 3.27: (D) Phân tích mạch tuần tự sau và cho biết chức năng của mạch?

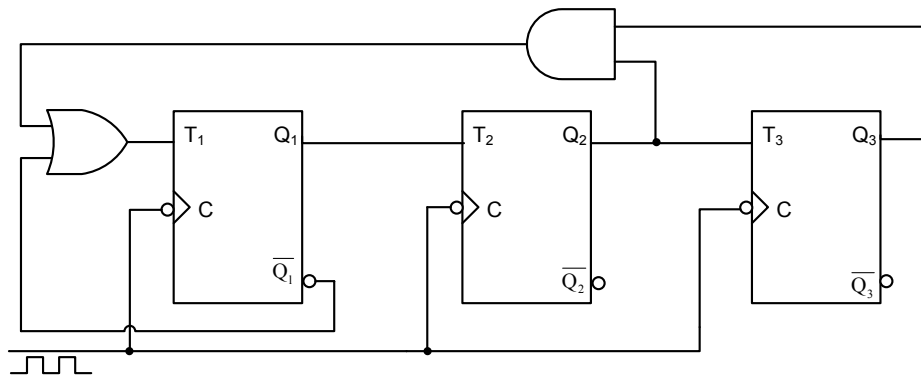


Câu hỏi 3.28: (D) Cho sơ đồ mạch tuần tự như hình vẽ. Hãy xây dựng bảng trạng thái ứng với 2 trường hợp.

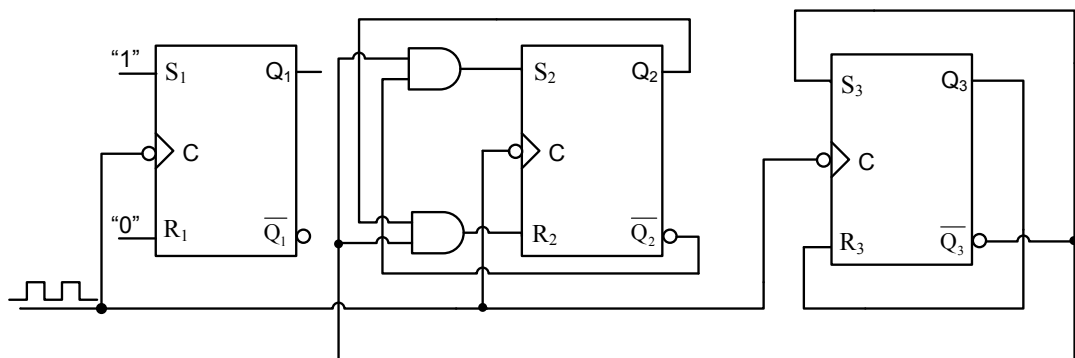
- a) Q_0 được nối với C_2
- b) Q_2 được nối với C_1
- c) Cho nhận xét về mã lỗi ra 2 trường hợp trên.



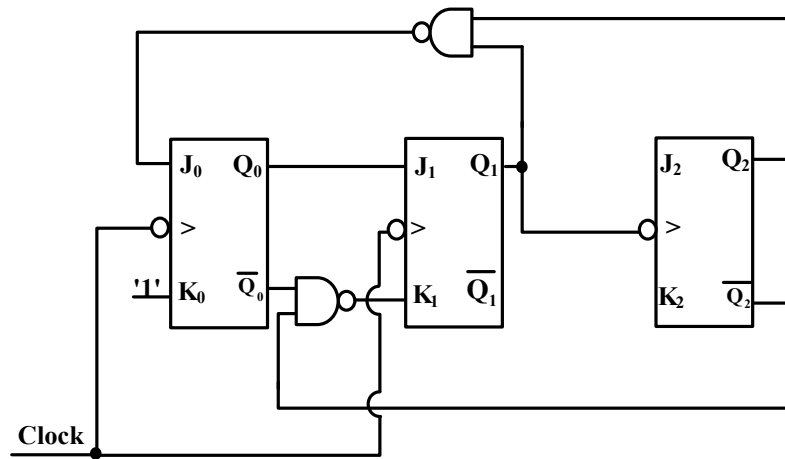
Câu hỏi 3.29: (D) Phân tích mạch điện như hình vẽ. Mạch có tự khởi động được không? Giải thích? Vẽ giản đồ xung ở lối ra các FF theo xung CK, biết trạng thái ban đầu là $Q_3Q_2Q_1 = 011$.



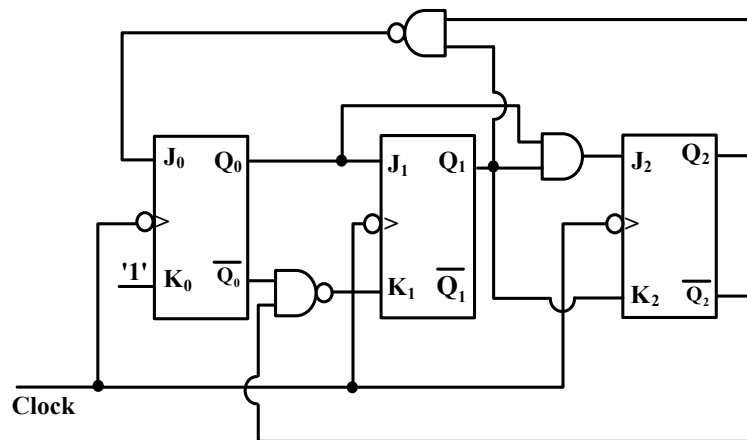
Câu hỏi 3.30: (D) Phân tích mạch điện như hình vẽ và cho biết chức năng của mạch?



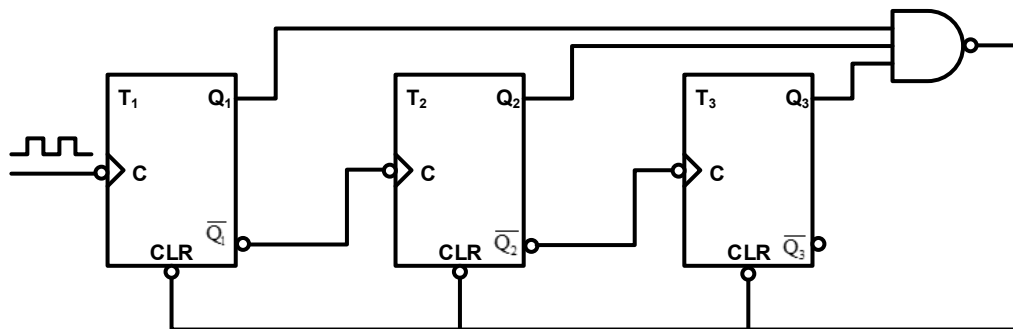
Câu hỏi 3.31: (D) Phân tích mạch điện như hình vẽ và cho biết chức năng của mạch?



Câu hỏi 3.32 (D) Phân tích mạch điện như hình vẽ và cho biết chức năng của mạch?



Câu hỏi 3.33: (D) Phân tích mạch điện như hình vẽ và cho biết chức năng của mạch?



• **Câu hỏi loại 4 điểm**

Câu hỏi 4.1: (D) Thiết kế mạch kiểm tra dãy xung theo phương pháp bảng chuyển đổi trạng thái với giả thiết: Dữ liệu nhị phân được đưa vào đầu D, mỗi bit đồng bộ với một xung đồng hồ trên đường C. Tín hiệu được đưa ra đầu Z khi mỗi lần chuỗi bit “1101” xuất hiện.

Câu hỏi 4.2: (D) Thiết kế mạch tuần tự đồng bộ kiểm tra dãy tín hiệu vào theo phương pháp bảng chuyển đổi trạng thái. Tín hiệu nhị phân được đưa đến đầu vào nhờ xung clock, nếu tín hiệu vào có dạng 1011 thì lỗi ra Z sẽ bằng 1, các trường hợp còn lại $Z = 0$.

Câu hỏi 4.3: (D) Thiết kế mạch tuần tự đồng bộ kiểm tra dãy tín hiệu vào theo phương pháp bảng chuyển đổi trạng thái. Tín hiệu nhị phân được đưa đến đầu vào nhờ xung clock, nếu tín hiệu vào có dạng 1001 thì lỗi ra Z sẽ bằng 1, các trường hợp còn lại $Z = 0$.

Câu hỏi 4.4: (D) Thiết kế mạch tuần tự (theo phương pháp bảng chuyển đổi trạng thái) dùng trigơ JK để kiểm tra dãy tín hiệu vào có độ dài bằng 4. Tín hiệu nhị phân được đưa liên tiếp đến đầu vào nhờ xung clock, nếu tín hiệu vào có dạng 0010, 0100, 1010 hoặc 1100 thì lỗi ra Z sẽ bằng 1, các trường hợp còn lại $Z = 0$.

Câu hỏi 4.5: (D) Thiết kế mạch tuần tự (theo phương pháp bảng chuyển đổi trạng thái) dùng trigơ JK để kiểm tra dãy tín hiệu vào có độ dài bằng 4. Tín hiệu nhị phân được đưa liên tiếp đến đầu vào nhờ xung clock, nếu tín hiệu vào có dạng 0000, 0010, 1000 hoặc 1010 thì lỗi ra Z sẽ bằng 1, các trường hợp còn lại $Z = 0$.

Câu hỏi 4.6: (D) Thiết kế mạch tuần tự (theo phương pháp bảng chuyển đổi trạng thái) dùng trigơ JK để kiểm tra dãy tín hiệu vào có độ dài bằng 4. Tín hiệu nhị phân được đưa liên tiếp đến đầu vào nhờ xung clock, nếu tín hiệu vào có dạng 0001, 0011, 1001 hoặc 1011 thì lỗi ra Z sẽ bằng 1, các trường hợp còn lại $Z = 0$.

Câu hỏi 4.7: (D) Thiết kế mạch tuần tự (theo phương pháp bảng chuyển đổi trạng thái) dùng trigơ JK để kiểm tra dãy tín hiệu vào có độ dài bằng 4. Tín hiệu nhị phân được đưa liên tiếp đến đầu vào nhờ xung clock, nếu tín hiệu vào có dạng 0101, 0111, 1101 hoặc 1111 thì lỗi ra Z sẽ bằng 1, các trường hợp còn lại $Z = 0$.

Câu hỏi 4.8: (D) Thiết kế mạch tuần tự (theo phương pháp bảng chuyển đổi trạng thái) dùng trigơ JK để kiểm tra dãy tín hiệu vào. Tín hiệu nhị phân được đưa liên tiếp đến đầu vào nhờ xung clock, nếu tín hiệu vào có dạng 0001 0111 1001 1111 thì lỗi ra Z sẽ bằng 0001 0001 0001 0001.

Câu hỏi 4.9: (D) Thiết kế mạch tuần tự (theo phương pháp bảng chuyển đổi trạng thái) dùng trigơ JK để kiểm tra dãy tín hiệu vào. Tín hiệu nhị phân được đưa liên tiếp đến đầu vào nhờ xung clock, nếu tín hiệu vào có dạng 0000 0110 1000 1110 thì lỗi ra Z sẽ bằng 0001 0001 0001 0001.

Câu hỏi 4.10: (C) Dùng trigơ JK để thiết kế mạch kiểm tra các đoạn 3 bit (theo phương pháp đồ hình trạng thái) với giả thiết: Dữ liệu nhị phân được đưa vào đầu D, mỗi bit đồng bộ với một xung đồng hồ trên đường C. Tín hiệu được đưa ra đầu Z khi nào hai bit cuối cùng của đoạn có giá trị là “11”.

Câu hỏi 4.11: (C) Dùng trigơ JK để thiết kế mạch kiểm tra các đoạn 3 bit (theo phương pháp đồ hình trạng thái) với giả thiết: Dữ liệu nhị phân được đưa vào đầu D, mỗi bit đồng bộ với một xung đồng hồ trên đường C. Tín hiệu được đưa ra đầu Z khi nào hai bit cuối cùng của đoạn có giá trị là “00”.

Câu hỏi 4.12: (C) Thiết kế mạch tuần tự (theo phương pháp đồ hình trạng thái) thực hiện nhiệm vụ kiểm tra dãy tín hiệu vào ở dạng nhị phân có độ dài bằng 3 được đưa vào đầu X. Nếu dãy tín hiệu vào có dạng là 001 hoặc 000 thì $Z = 1$. Các trường hợp khác $Z = 0$.

Câu hỏi 4.13: (C) Thiết kế mạch tuần tự (theo phương pháp đồ hình trạng thái) thực hiện nhiệm vụ kiểm tra dãy tín hiệu vào ở dạng nhị phân có độ dài bằng 3 được đưa vào đầu X. Nếu dãy tín hiệu vào có dạng là 101 hoặc 100 thì $Z = 1$. Các trường hợp khác $Z = 0$.

Câu hỏi 4.14: (C) Thiết kế mạch tuần tự đồng bộ để kiểm tra tính chẵn lẻ của một dãy dữ liệu nhị phân liên tục được đưa đến đầu vào. Nếu số bit 1 nhận được là lẻ thì mạch sẽ đưa ra tín hiệu ra là $Z=1$, chẵn bit 1 thì mạch đưa ra tín hiệu ra $Z=0$. Nếu hai bit 0 liên tiếp ở đầu vào thì mạch sẽ quay trở lại trạng thái ban đầu và lại bắt đầu kiểm tra dãy dữ liệu mới.

Câu hỏi 4.15: (C) Một máy bán hàng tự động sẽ thả kẹo sau khi nhận được 15 xu. Máy có một khe nhận tiền xu gồm đồng 5 xu và 10 xu, mỗi lần nhận một xu. Nếu đưa vào nhiều hơn 15 xu, máy sẽ trả lại tiền thừa. Sau khi sản phẩm được đưa ra, máy sẽ trở lại trạng thái đợi ban đầu. Hãy thiết kế mạch tuần tự đồng bộ dùng trigơ JK để mô phỏng mạch điều khiển của máy bán hàng tự động.

Câu hỏi 4.16: (C) Một máy bán hàng tự động sẽ thả kẹo sau khi nhận được 15 xu. Máy có một khe nhận tiền xu gồm đồng 5 xu và 10 xu, mỗi lần nhận một xu. Nếu đưa vào nhiều hơn 15 xu, máy sẽ trả lại tiền thừa. Sau khi sản phẩm được đưa ra, máy sẽ trở lại trạng thái đợi ban đầu. Hãy thiết kế mạch tuần tự đồng bộ dùng trigơ T để mô phỏng mạch điều khiển của máy bán hàng tự động.

Câu hỏi 4.17: (C) Thiết kế mạch tuần tự (theo phương pháp đồ hình trạng thái) dùng trigơ JK để kiểm tra dãy tín hiệu vào. Tín hiệu nhị phân được đưa liên tiếp đến đầu vào nhờ xung clock. Lỗi ra $Z = 1$ nếu tín hiệu vào có 4 hoặc nhiều hơn 4 bit 1 hoặc có 2 hoặc nhiều hơn 2 bit 0. Ví dụ:

X	0	1	1	0	0	1	0	0	1	1	1	1	1	0	0	0	1
Z	-	0	0	0	1	0	0	1	0	0	0	1	1	0	1	1	0

Câu hỏi 4.18: (C) Thiết kế mạch tuần tự (theo phương pháp đồ hình trạng thái) dùng trigơ JK để kiểm tra dãy tín hiệu vào. Tín hiệu nhị phân được đưa liên tiếp đến đầu vào nhờ xung clock. Lỗi ra $Z = 1$ nếu tín hiệu vào có dạng 010, giả sử cho phép tín hiệu xếp chồng lên nhau. Ví dụ:

X	1	1	0	1	0	1	0	1	0	0	1	0	0	1	0	0	1	1	0
Z	0	0	0	0	1	0	1	0	1	0	0	1	0	0	1	0	0	0	0

Câu hỏi 4.19: (C) Thiết kế mạch tuần tự (theo phương pháp đồ hình trạng thái) dùng trigơ JK để kiểm tra dãy tín hiệu vào. Tín hiệu nhị phân được đưa liên tiếp đến đầu vào nhờ xung clock. Lỗi ra $Z = 1$ nếu tín hiệu vào có dạng 1010 sau 4 xung clock, giả sử cho phép tín hiệu xếp chồng lên nhau.

X	1	1	0	1	0	1	1	1	0	1	0	1	0	1	0	0
Z	0	0	0	0	1	0	0	0	0	0	1	0	1	0	1	0

Câu hỏi 4.20: (C) Thiết kế mạch tuần tự (theo phương pháp đồ hình trạng thái) dùng trigơ JK để kiểm tra dãy tín hiệu vào. Tín hiệu nhị phân được đưa liên tiếp đến đầu vào nhờ xung clock. Lỗi ra $Z = 1$ nếu tín hiệu vào có dạng 1010 sau 4 xung clock, giả sử không cho phép tín hiệu xếp chồng lên nhau.

X	1	1	0	1	0	1	1	1	0	1	0	1	0	1	0	0
Z	0	0	0	0	1	0	0	0	0	0	1	0	0	0	1	0

2. Đề xuất các phương án tổ hợp câu hỏi thi thành các đề thi

- Đề thi có thể được tổ hợp ngẫu nhiên gồm 4 Câu hỏi : 2 câu 1,5 điểm, 1 câu 3 điểm, 1 câu 4 điểm. Mỗi đề gồm 4 câu bao gồm đủ 4 loại A, B, C, D.
- Thời gian thi : 90 phút.

3. Hướng dẫn cần thiết khác:

Ngân hàng câu hỏi thi này đã được thông qua bộ môn và nhóm cán bộ giảng dạy học phần.

Hà Nội, ngày 10 tháng 11 năm 2013

Trưởng khoa

Trưởng bộ môn

Giảng viên chủ trì biên soạn

TS. Đặng Hoài Bắc

TS. Đặng Hoài Bắc

ThS.Trần Thị Thúy Hà