



HỌC VIỆN CÔNG NGHỆ BƯU CHÍNH VIỄN THÔNG



BÀI GIẢNG MÔN

ĐIỆN TỬ SỐ

Giảng viên:

Vũ Anh Đào

Điện thoại/E-mail:

vuanhdaoptit@gmail.com

Bộ môn:

Kỹ thuật điện tử

Học kỳ/Năm biên soạn: 2021

Giới thiệu môn học

Mục đích:

- Trang bị cho sinh viên phương pháp phân tích, thiết kế, chế tạo một hệ thống số; các kiến thức phần cứng, phần mềm, mối liên hệ giữa phần cứng, phần mềm.

*** Đối tượng: Đại học điện tử + Viễn thông**

*** Thời lượng: 3 tín chỉ (45 tiết)**

- Lý thuyết : 33 tiết
- Bài tập lớn: 6 tiết
- Kiểm tra : 2 tiết
- Thí nghiệm: 4 tiết

*** Điểm thành phần:**

- Bài tập lớn : 20%
- Kiểm tra : 10%
- Thí nghiệm : 10%
- Thi kết thúc học phần : 60%

Nội dung

Chương 1: Hệ đếm

Chương 2: Đại số Boole và các phương pháp biểu diễn hàm

Chương 3: Cổng logic

Chương 4: Mạch logic tổ hợp

Chương 5: Mạch logic tuần tự

Chương 6: Mạch phát xung và tạo dạng xung

Chương 7: Bộ nhớ bán dẫn

HỆ ĐẾM

Hệ đếm (1)

- ❖ Khái niệm chung
- ❖ Biểu diễn số
- ❖ Chuyển đổi giữa các hệ đếm
- ❖ Số nhị phân có dấu
- ❖ Dấu phẩy động

Hệ đếm (2)

❖ Khái niệm chung

- ✓ Dùng một số hữu hạn các ký hiệu ghép với nhau theo qui ước về vị trí, số ký hiệu (r) là cơ số.
 - ✓ Giá trị biểu diễn của các ký hiệu được phân biệt thông qua trọng số r^i , với i là số nguyên dương hoặc âm.
- ❖ Tên gọi, ký hiệu và cơ số của một vài hệ đếm thông dụng

Tên hệ đếm	Số ký hiệu	Cơ số (r)
Hệ nhị phân (Binary)	0, 1	2
Hệ bát phân (Octal)	0, 1, 2, 3, 4, 5, 6, 7	8
Hệ thập phân (Decimal)	0, 1, 2, 3, 4, 5, 6, 7, 8, 9	10
Hệ thập lục phân (Hexadecimal)	0, 1, 2, 3, 4, 5, 6, 7, 8, 9, A, B, C, D, E, F	16

Chú ý: Gọi hệ đếm theo cơ số. VD: hệ nhị phân = Hệ cơ số 2...

Hệ đếm (3)

❖ Biểu diễn số tổng quát:

$$N = a_{n-1} \times r^{n-1} + \dots + a_1 \times r^1 + a_0 \times r^0 + a_{-1} \times r^{-1} + \dots + a_{-m} \times r^{-m}$$
$$= \sum_{i=n-1}^{-m} a_i \times r^i$$

Trong đó N là giá trị, a là hệ số nhân; n là số chữ số phần nguyên; m là số chữ số phần phân số.

❖ Thêm chỉ số để tránh nhầm lẫn giữa các hệ, VD: 36_{10} , 36_8 ...❖ Hệ thập phân (Decimal): $r = 10$. VD:

$$1265.34 = 1 \times 10^3 + 2 \times 10^2 + 6 \times 10^1 + 5 \times 10^0 + 3 \times 10^{-1} + 4 \times 10^{-2}$$

✓ **Ưu:** dễ nhận biết, biểu diễn gọn, ít thời gian viết và đọc.

✓ **Nhược:** Khó thể hiện bằng thiết bị kỹ thuật

Hệ đếm (4)

❖ Hệ nhị phân (Binary): $r = 2$. VD:

$$1010.01_2 = 1 \times 2^3 + 0 \times 2^2 + 1 \times 2^1 + 0 \times 2^0 + 0 \times 2^{-1} + 1 \times 2^{-2}$$

❖ Ưu: Dễ thể hiện bằng các thiết bị cơ, điện, là ngôn ngữ của mạch logic, thiết bị tính toán hiện đại - ngôn ngữ máy.

✓ Nhược: Biểu diễn dài, mất nhiều thời gian viết, đọc.

✓ Các phép tính:

➤ Cộng: $0 + 0 = 0$, $1 + 0 = 1$, $1 + 1 = 10$

➤ Trừ: $0 - 0 = 0$; $1 - 1 = 0$; $1 - 0 = 1$; $10 - 1 = 1$ (mượn 1)

➤ Nhân: $0 \times 0 = 0$, $0 \times 1 = 0$, $1 \times 0 = 0$, $1 \times 1 = 1$

➤ Chia: Tương tự phép chia 2 số thập phân

❖ VD: $1011101_2 + 10010111$ $1110101_2 + 100011$



BÀI GIẢNG MÔN ĐIỆN TỬ SỐ

Hệ đếm (5)

- ❖ **Hệ bát phân (Octal):** $r = 8 = 2^3 \rightarrow$ thay bằng 3 bit nhị phân:

$$1234.56_8 = 1 \times 8^3 + 2 \times 8^2 + 3 \times 8^1 + 4 \times 8^0 + 5 \times 8^{-1} + 6 \times 8^{-2}$$

$$= 001\ 010\ 011\ 100.101\ 110$$

- ❖ **Phép cộng:** cộng hai hoặc nhiều chữ số cùng trọng số lớn hơn hoặc bằng 8 phải nhớ lên chữ số có trọng số lớn hơn liền kề.
- ❖ **Phép trừ:** mượn 1 ở chữ số có trọng số lớn hơn thì cộng thêm 8.

$3\ 7\ 6_8$	$3\ 5\ 7_8$	$2\ 4\ 5_8$	$5\ 2\ 1_8$	$5\ 2\ 3_8$	$6\ 1\ 1_8$
+	+	-	-	+	-
$\underline{5\ 3\ 4_8}$	$\underline{4\ 3\ 6_8}$	$\underline{1\ 7\ 6_8}$	$\underline{3\ 5\ 2_8}$	$\underline{7\ 6\ 7_8}$	$\underline{5\ 2\ 7_8}$
$1\ 1\ 3\ 2_8$	$1\ 0\ 1\ 5_8$	$0\ 4\ 7_8$	$1\ 4\ 7_8$		

Hệ đếm (6)

❖ **Hệ thập lục phân (HexaDecimal):** $r = 16 = 2^4$

$$4ABF = 4 \times 16^3 + 10 \times 16^2 + 11 \times 16^1 + 15 \times 16^0$$

$$= 0100 \ 1010 \ 1011 \ 1111$$

❖ **Phép cộng:** cộng hai hoặc nhiều chữ số cùng trọng số lớn hơn hoặc bằng 16 phải nhớ lên chữ số có trọng số lớn hơn liền kề.

8 A C	9 9 D
+	+
9 8 F	7 5 E
1 2 3 B	

❖ **Phép trừ:** mượn 1 ở chữ số có trọng số lớn hơn thì cộng thêm 16.

3 5 8	4 2 5
-	-
1 A D	3 C F
1 A B	

❖ **Phép nhân:** đổi về số thập phân rồi thực hiện

Hệ đếm (7)❖ **Chuyển đổi cơ số giữa các hệ đếm**

- **Chuyển từ hệ cơ số 10 sang các hệ khác**

Ví dụ: Đổi số 22.125_{10} , 83.87_{10} sang số nhị phân

- **Phần nguyên:**
 - ✓ Chia liên tiếp phần nguyên của số thập phân cho cơ số của hệ cần chuyển đến, số dư sau mỗi lần chia viết đảo ngược trật tự là kết quả cần tìm.
 - ✓ Phép chia dừng lại khi kết quả lần chia cuối cùng bằng 0.
- **Phần phân số:**
 - ✓ Nhân liên tiếp phần phân số của số thập phân với cơ số của hệ cần chuyển đến, phần nguyên thu được sau mỗi lần nhân, viết tuần tự là kết quả cần tìm.
 - ✓ Phép nhân dừng lại khi phần phân số triệt tiêu.

Hệ đếm (8)

❖ **Đổi số 22.125_{10} sang số nhị phân**

Phần nguyên

Bước	Chia	Được	Dư	
1	22/2	11	0	LSB
2	11/2	5	1	
3	5/2	2	1	
4	2/2	1	0	
5	1/2	0	1	MSB

Phần phân số

Bước	Nhân	KQ	Phần nguyên
1	0.125×2	0.25	0
2	0.25×2	0.5	0
3	0.5×2	1	1
4	0×2	0	0

Kết quả biểu diễn nhị phân: 10110.001

Bài tập: chuyển số 83.87_{10} sang số nhị phân

Hệ đếm (9)

❖ Đổi một biểu diễn trong hệ bất kì sang hệ 10

- Công thức chuyển đổi:

$$N_{10} = a_{n-1} \times r^{n-1} + a_{n-2} \times r^{n-2} \dots + a_0 \times r^0 + a_{-1} \times r^{-1} + \dots + a_{-m} \times r^{-m}$$

- Thực hiện lấy tổng vế phải sẽ có kết quả cần tìm. Trong biểu thức trên, a_i và r là hệ số và cơ số hệ có biểu diễn.
- Ví dụ: Chuyển 1101110.10_2 sang hệ thập phân

$$\begin{aligned} N_{10} &= 1 \times 2^6 + 1 \times 2^5 + 0 \times 2^4 + 1 \times 2^3 + 1 \times 2^2 + 1 \times 2^1 + 0 \times 2^0 + 1 \times 2^{-1} + 0 \times 2^{-2} \\ &= 64 + 32 + 0 + 8 + 4 + 2 + 0 + 0.5 + 0 = 110.5 \end{aligned}$$

❖ Đổi các số từ hệ nhị phân sang hệ cơ số 8, 16

- Nhóm các cặp 3(hoặc 4 bit) từ bit LSB lại thành từng nhóm, chuyển nhóm đó sang Octal (hoặc hex). Nếu nhóm cuối thiếu bit thì thêm 0 vào cho đủ nhóm.

Hệ đếm (10)

❖ Số nhị phân có dấu

- Sử dụng một bit dấu: '0' là dương (+), '1' là âm (-). VD: số 6: **00000110**, số -6: **10000110**.
- Sử dụng phép bù 1: Lấy bù 1 các bit trị số (đảo của các bit). VD: số 4: **00000100**, số -4: **111111011**.
- Sử dụng phép bù 2: Số dương là số nhị phân không bù, số âm được biểu diễn qua bù 2 (bù 1 cộng 1).
- ✓ Bù 2 theo phương pháp xen kẽ: từ bit LSB, dịch về bên trái, giữ nguyên các bit cho đến gặp bit 1 đầu tiên và lấy bù các bit còn lại. Bit dấu giữ nguyên. VD: số 4: **00000100**, số -4: **111111100**.

❖ VD. Tìm bù 1 và bù 2 của các số sau:

10010101; 01101011; 10110111

Hệ đếm (11)

❖ Phép cộng theo bù 1

- **Hai số cùng dấu:** cộng trị số, dấu chung.
- **Số dương > số âm:** cộng trị số của số dương với bù 1 của số âm. Bit tràn vào kết quả trung gian. Dấu dương.
- **Số dương < số âm:** cộng trị số của số dương với bù 1 của số âm. Lấy bù 1 của tổng trung gian. Dấu âm.

❖ VD:

$ \begin{array}{r} 00000101_2 \quad (5_{10}) \\ + 00000111_2 \quad (7_{10}) \\ \hline 00001100_2 \quad (12_{10}) \end{array} $	$ \begin{array}{r} 11111010_2 \quad (-5_{10}) \\ + 11111000_2 \quad (-7_{10}) \\ \hline 111110010_2 \\ \downarrow \quad + \\ \text{Bit tràn} \rightarrow 1 \\ \hline 11110011_2 \quad (-12) \end{array} $
---------------------------------------------------------------------------------------------------------------------------------------	----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------

Hệ đếm (12)

$$\begin{array}{r}
 00001010_2 \quad (+10_{10}) \\
 + 11111010_2 \quad (-5_{10}) \\
 \hline
 100000100_2 \\
 \downarrow \quad + \\
 \text{Bít tràn} \rightarrow 1 \\
 \hline
 00000101_2 \quad (+5_{10})
 \end{array}$$

$$\begin{array}{r}
 11110101_2 \quad (-10_{10}) \\
 + 00000101_2 \quad (+5_{10}) \\
 \hline
 11111010_2 \quad (-5_{10})
 \end{array}$$

❖ Phép cộng theo bù 2

- **Hai số dương:** cộng bình thường, dấu dương.
- **Hai số âm:** lấy bù 2 cả hai số và cộng, kết quả ở dạng bù 2.
- **Số dương > số âm:** số dương cộng với bù 2 của số âm. Kết quả bao gồm cả bit dấu, bit tràn bỏ đi.
- **Số dương < số âm:** số dương cộng với bù 2 của số âm. Kết quả ở dạng bù 2 của số dương tương ứng. Bit dấu là 1.

Hệ đếm (13)

$$\begin{array}{r}
 00001011_2 \quad (11_{10}) \\
 + 00000111_2 \quad (7_{10}) \\
 \hline
 00010010_2 \quad (18_{10})
 \end{array}$$

$$\begin{array}{r}
 00001011_2 \quad (+11_{10}) \\
 + 11111001_2 \quad (-7_{10}) \\
 \hline
 100000100_2
 \end{array}$$

↓

Bít tràn → bỏ đi

$$\begin{array}{r}
 00000100_2 \quad (+4_{10})
 \end{array}$$

$$\begin{array}{r}
 11110101_2 \quad (-11_{10}) \\
 + 11111001_2 \quad (-7_{10}) \\
 \hline
 111101110_2
 \end{array}$$

↓

Bít tràn → bỏ đi

$$\begin{array}{r}
 11101110_2 \quad (-18_{10})
 \end{array}$$

$$\begin{array}{r}
 11110101_2 \quad (-11_{10}) \\
 + 00000111_2 \quad (+7_{10}) \\
 \hline
 11111100_2 \quad (-4_{10})
 \end{array}$$

Hệ đếm (14)

❖ Dấu phẩy động

- VD: $197,627_{10} = 197627 \times 10^{-3}$; $97,627_{10} = 0,197627 \times 10^{+3}$
- Gồm hai phần: số mũ E (phần đặc tính) và phần định trị M (trường phân số). E từ 5 đến 20 bit, M từ 8 đến 200 bit và:

$$X = 2^{E_x} (M_x) \quad 1/2 \leq |M| \leq 1$$

- Giả sử $X = 2^{E_x} (M_x)$ và $Y = 2^{E_y} (M_y)$ thì:
- Nhân: $Z = X.Y = 2^{E_x + E_y} (M_x.M_y) = 2^{E_z} M_z$
- Chia: $W = X/Y = 2^{E_x - E_y} (M_x / M_y) = 2^{E_w} M_w$
- Tổng(hiệu): đưa các số hạng về cùng số mũ, số mũ của tổng(hiệu) là số mũ chung, định trị của tổng(hiệu) là tổng(hiệu) các định trị.

Hệ đếm (15)

- ❖ Đổi số Binary sau sang dạng Octal: 0101111101001110
A) 57514 B) 57515 C) 57516 D) 57517
- ❖ Thực hiện phép tính: $132,44_{16} + 215,02_{16}$.
 - A) 347,46 B) 357,46 C) 347,56 D) 357,67
- ❖ Thực hiện phép cộng hai số có dấu sau theo bù 1:
 $0000\ 1101_2 + 1000\ 1011_2$
 - A) 0000 0101 B) 0000 0100 C) 0000 0011 D) 0000 0010
- ❖ Thực hiện phép cộng hai số có dấu sau theo bù 2:
 $0000\ 1101_2 - 1001\ 1000_2$
 - A) 1000 1110 B) 1000 1011 C) 1000 1100 D) 1000 1110

ĐẠI SỐ BOOLE VÀ CÁC PHƯƠNG PHÁP BIỂU DIỄN HÀM

Đại số Boole và các phương pháp biểu diễn hàm(1)

Nội dung

- ❖ Đại số Boole
- ❖ Các phương pháp biểu diễn hàm Boole
- ❖ Các phương pháp rút gọn hàm

Đại số Boole và các phương pháp biểu diễn hàm(2)

❖ Đại số Boole

Stt	Tên gọi	Dạng tích	Dạng tổng
1	Đồng nhất	$X.1 = X$	$X + 0 = X$
2	Phần tử 0, 1	$X.0 = 0$	$X + 1 = 1$
3	Bù	$X.\bar{X} = 0$	$X + \bar{X} = 1$
4	Bất biến	$X.X = X$	$X + X = X$
5	Hấp thụ	$X + X.Y = X$	$X.(X + Y) = X$
6	Phủ định đúp	$\bar{\bar{X}} = X$	
7	Định lý DeMorgan	$\overline{X.Y.Z} = \bar{X} + \bar{Y} + \bar{Z}$	$\overline{X + .Y + .Z} = \bar{X}.\bar{Y}.\bar{Z}$

▪ Các định luật cơ bản:

- ✓ Hoán vị: $X.Y = Y.X$, $X + Y = Y + X$
- ✓ Kết hợp: $X.(Y.Z) = (X.Y).Z$, $X + (Y + Z) = (X + Y) + Z$
- ✓ Phân phối: $X.(Y + Z) = X.Y + X.Z$, $(X + Y).(X + Z) = X + Y.Z$

Đại số Boole và các phương pháp biểu diễn hàm(3)

❖ Các phương pháp biểu diễn hàm Boole

- ✓ Bảng trạng thái
- ✓ Bảng các nô (Karnaugh)
- ✓ Phương pháp đại số

❖ Bảng trạng thái

- ✓ Liệt kê giá trị mỗi biến và hàm theo từng cột riêng.
- ✓ Hàm n biến có 2^n tổ hợp độc lập gọi là các *hạng tích (minterm)*.
- ✓ Ưu: Rõ ràng, trực quan.
- ✓ Nhược: Phức tạp nếu nhiều biến

m	A	B	C	f
m_0	0	0	0	0
m_1	0	0	1	0
m_2	0	1	0	0
m_3	0	1	1	0
m_4	1	0	0	0
m_5	1	0	1	0
m_6	1	1	0	0
m_7	1	1	1	1

Đại số Boole và các phương pháp biểu diễn hàm(4)

❖ Bảng Karnaugh

- Tổ chức của bảng Các nô:
 - ✓ Biến được viết theo một dòng và một cột
 - ✓ Một hàm logic có n biến sẽ có 2^n ô.
 - ✓ Mỗi ô thể hiện một hạng tích hay một hạng tổng, các hạng tích trong hai ô *kế cận* chỉ khác nhau một biến.
- Tính tuần hoàn của bảng Các nô:
 - ✓ Các ô *kế cận khác nhau một biến*
- Thiết lập bảng Các nô của một hàm:
 - ✓ Dạng **tổng các tích**, ghi 1 vào các ô ứng với hạng tích có mặt trong biểu diễn
 - ✓ Dạng **tích các tổng**, ghi 0 vào các ô ứng với hạng tổng

A \ BC	00	01	11	10
0				
1				

Đại số Boole và các phương pháp biểu diễn hàm(5)

❖ Phương pháp đại số

- 2 dạng biểu diễn: *tuyển* (tổng các tích) & *hội* (tích các tổng).
- ✓ Dạng tuyển: Mỗi số hạng là một *hạng tích* hay *mintex*, m_i .
- ✓ Dạng hội: Mỗi thừa số là *hạng tổng* hay *maxtex*, M_i .
- Dạng *chuẩn*: mỗi số hạng có đủ mặt các biến, là duy nhất.
- Tổng quát, hàm logic n biến dạng tổng các tích:

hoặc tích các tổng:

$$f(X_{n-1}, \dots, X_0) = \sum_{i=0}^{2^n-1} a_i m_i$$

$$f(X_{n-1}, \dots, X_0) = \prod_{i=0}^{2^n-1} (a_i + M_i)$$

$a_i = '0'$ hoặc $'1'$. Đối với một hàm: *mintex* là bù của *maxtex*.

Đại số Boole và các phương pháp biểu diễn hàm(6)

Có 3 phương pháp rút gọn hàm:

- ✓ Phương pháp đại số
- ✓ Phương pháp bảng Karnaugh
- ✓ Phương pháp Quine Mc. Cluskey

❖ **Phương pháp đại số**

- Dựa vào các định lý để đưa biểu thức về dạng tối giản.
- Ví dụ: Biến đổi hàm logic sau về dạng tối giản:

$$f = AB + \bar{A}C + BC$$

Áp dụng định lý $A + \bar{A} = 1$, $X + XY = X$ ta có:

$$\begin{aligned} f &= AB + \bar{A}C + BC(A + \bar{A}) \\ &= AB + ABC + \bar{A}C + \bar{A}BC \\ &= AB + \bar{A}C \end{aligned}$$

Đại số Boole và các phương pháp biểu diễn hàm(7)

- Ví dụ: Hãy đưa hàm logic về dạng tối giản:

$$f = AB + BCD + \bar{A}C + \bar{B}C$$

Áp dụng định lý $A + \bar{A} = 1$, $X + XY = X$ ta có:

$$\begin{aligned} f &= AB + BCD(A + \bar{A}) + \bar{A}C + \bar{B}C \\ &= (AB + ABCD) + (\bar{A}BCD + \bar{A}C) + \bar{B}C \\ &= AB + \bar{A}C + \bar{B}C = AB + \overline{AB}.C \\ &= AB(1 + C) + \overline{AB}.C \\ &= AB + C \end{aligned}$$

Bài tập: Tối giản hàm sau theo phương pháp đại số:

$$f = A\bar{D} + \bar{B}D + \bar{B}CD + \bar{A}CD + ABC$$

Đại số Boole và các phương pháp biểu diễn hàm(8)

❖ Phương pháp bảng Karnaugh

- Rút gọn các hàm có số biến không vượt quá 5.
- Các bước tối thiểu hóa:
 - ✓ Gộp 2^i ô kề cận có giá trị '1' (hoặc '0') thành từng nhóm. Gộp các ô '0' được biểu thức hàm bù.
 - ✓ Thay mỗi nhóm bằng một hạng tích mới.
 - ✓ Cộng các hạng tích mới.
- Ví dụ: Tối giản hàm:

$$f = AB + BCD + \bar{A}C + \bar{B}C$$

Kết quả: $f = AB + C$

Bài tập: $f(A, B, C, D) = \sum(0, 1, 2, 3, 5, 7, 8, 9, 10, 13)$

CD \ AB	00	01	11	10
00			1	1
01			1	1
11	1	1	1	1
10			1	1

$f_1 = AB$

$f_2 = C$

Đại số Boole và các phương pháp biểu diễn hàm(9)

❖ Phương pháp Quine Mc. Cluskey

- Tối thiểu hóa hàm nhiều biến nhờ máy tính.
- Các bước tối thiểu hóa:
 - ✓ Lập bảng liệt kê các hạng tích dưới dạng nhị phân theo từng nhóm với số bit 1 giống nhau và xếp theo số bit 1 tăng dần.
 - ✓ Gộp 2 hạng tích của mỗi cặp nhóm chỉ khác nhau 1 bit để tạo các nhóm mới. Trong mỗi nhóm mới, giữ lại các biến giống nhau, biến bỏ đi thay bằng một dấu ngang (-).

Lặp lại cho đến khi trong các nhóm tạo thành không còn khả năng gộp nữa. Mỗi lần rút gọn, ta đánh dấu # vào các hạng ghép cặp được. Các hạng không đánh dấu trong mỗi lần rút gọn sẽ được tập hợp lại để lựa chọn biểu thức tối giản.

Đại số Boole và các phương pháp biểu diễn hàm(10)

- Ví dụ: $f(A,B,C,D) = \sum(10, 11, 12, 13, 14, 15)$
- Bước 1: Lập bảng

Bảng a		Bảng b	
Hạng tích sắp xếp	Nhị phân (ABCD)	Rút gọn lần 1 (ABCD)	Rút gọn lần thứ 2 (ABCD)
10	1 0 1 0	1 0 1 - # (10,11)	1 1 - - (12,13,14,15)
<u>12</u>	<u>1 1 0 0</u>	1 - 1 0 # (10,14)	1 - 1 - (10,11,14,15)
11	1 0 1 1	1 1 0 - # (12,13)	
13	1 1 0 1	<u>1 1 - 0</u> # (12,14)	
<u>14</u>	<u>1 1 1 0</u>	1 - 1 1 # (11,15)	
15	1 1 1 1	1 1 - 1 # (13,15)	
		1 1 1 - # (14,15)	

- Bước 2: Nhóm hạng tích:

$$f(A,B,C,D) = AB + AC$$

A BCD	10	11	12	13	14	15
1 1 - -			x	x	x	x
1 - 1 -	x	x			x	x

CỔNG LOGIC

Cổng logic(1)

- ❖ **Nội dung**
 - ✓ Các cổng logic và các tham số chính
 - ✓ Các họ cổng logic
 - ✓ Giao tiếp giữa các cổng logic cơ bản
- ❖ **Các cổng logic và các tham số chính**
 - ✓ Cổng logic cơ bản
 - ✓ Một số cổng ghép thông dụng
 - ✓ Logic dương và logic âm
 - ✓ Các tham số chính

Cổng logic(2)

❖ Cổng logic cơ bản: AND, OR, NOT

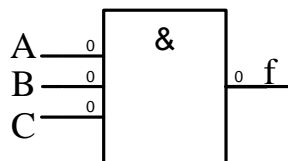
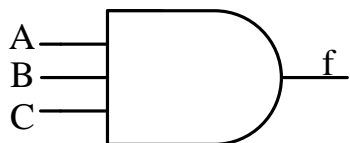
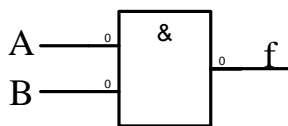
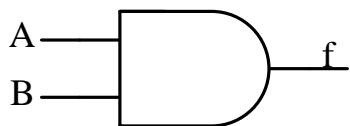
❖ Cổng AND

- Hàm ra của cổng AND 2 và nhiều biến vào như sau:

$$f = f(A, B) = AB;$$

$$f = f(A, B, C, D, \dots) = A.B.C.D\dots$$

Ký hiệu cổng AND



Chuẩn ANSI

Chuẩn IEEE

BTT cổng AND 2 lối vào

A	B	f
0	0	0
0	1	0
1	0	0
1	1	1

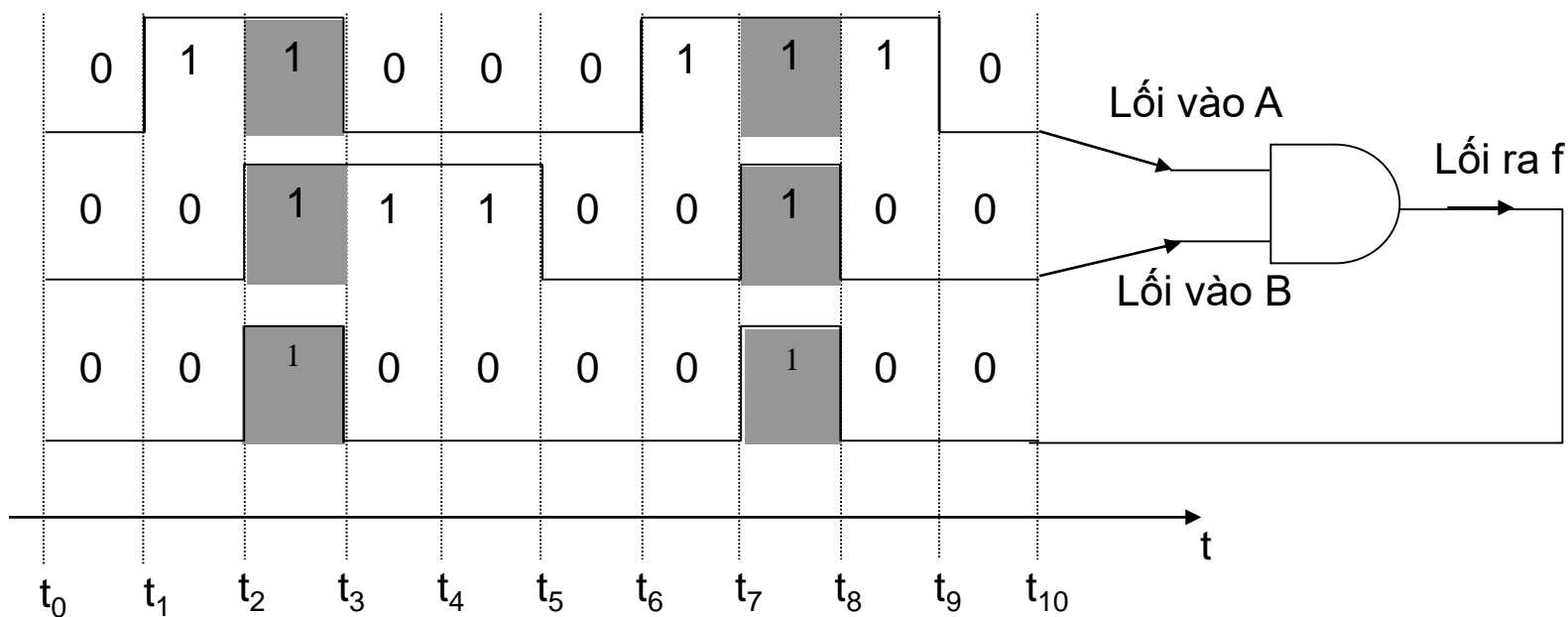
Theo giá trị logic

A	B	f
L	L	L
L	H	L
H	L	L
H	H	H

Theo mức logic

Cổng logic(3)

- Đồ thị dạng xung vào/ra của cổng AND:



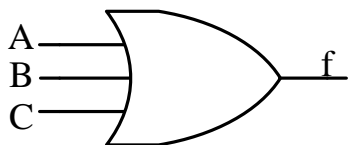
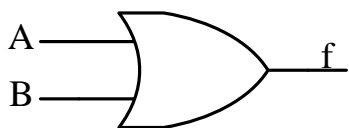
Cổng logic(4)

❖ Cổng OR

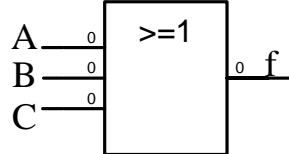
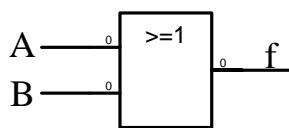
- Hàm ra của cổng OR 2 và nhiều biến vào như sau:

$$f = f(A, B) = A + B; \quad f = f(A, B, C, D, \dots) = A + B + C + D + \dots$$

Ký hiệu cổng OR



Chuẩn ANSI



Chuẩn IEEE

Bảng trạng thái cổng OR 2 lối vào

A	B	f
0	0	0
0	1	1
1	0	1
1	1	1

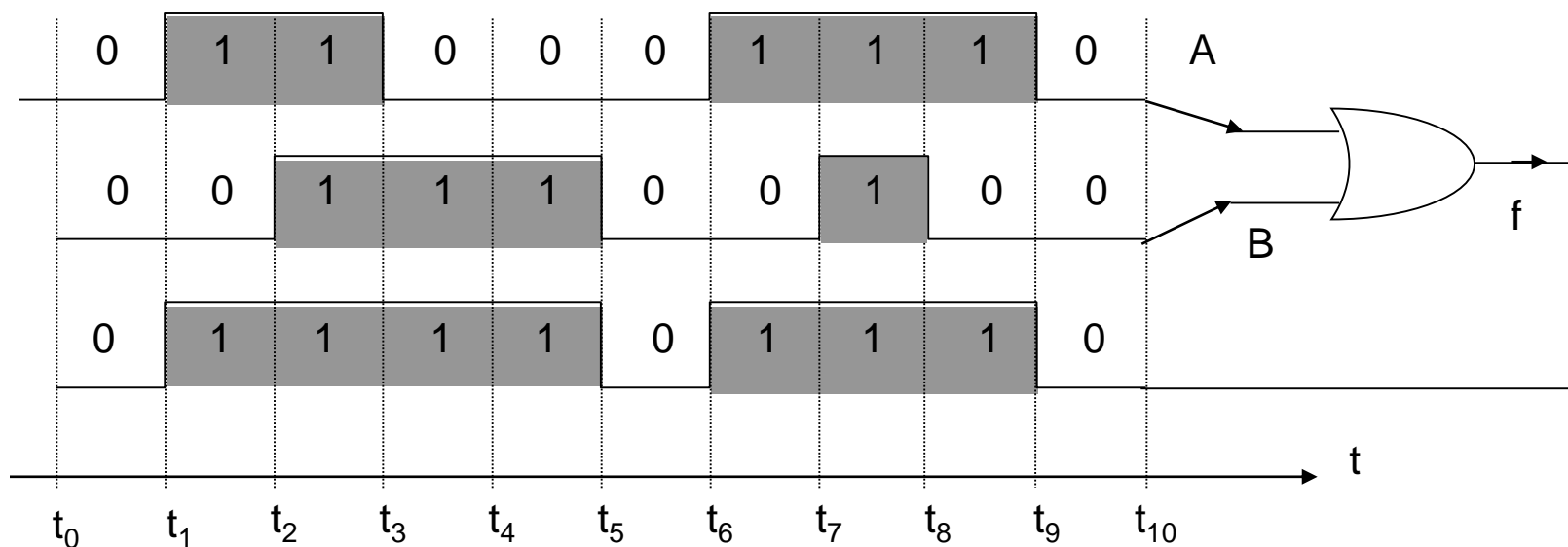
Theo giá trị logic

A	B	f
L	L	L
L	H	H
H	L	H
H	H	H

Theo mức logic

Cổng logic(5)

- Đồ thị dạng xung của cổng OR:

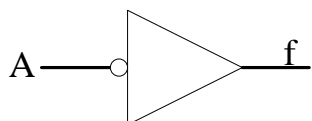
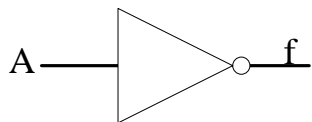


Cổng logic(6)

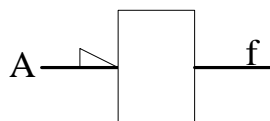
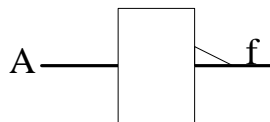
❖ Cổng NOT

- Hàm ra của cổng NOT: $f = \bar{A}$

Ký hiệu cổng NOT



Chuẩn ANSI



Chuẩn IEEE

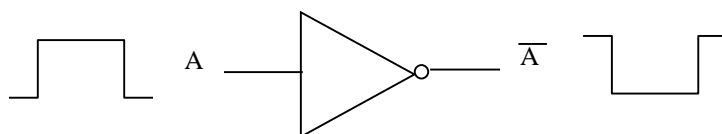
Bảng trạng thái cổng NOT

A	f
0	1
1	0

Theo giá trị logic

A	f
L	H
H	L

Theo mức logic



Dạng xung ra

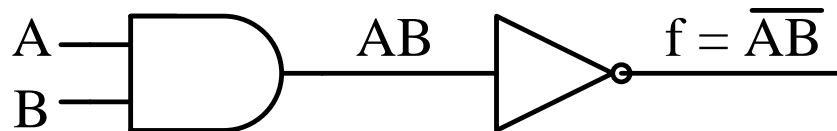
Cổng logic(7)

❖ Một số cổng ghép thông dụng: NAND, NOR, XOR, XNOR

▪ **Cổng NAND**

✓ **NAND= AND + NOT**

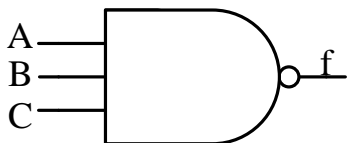
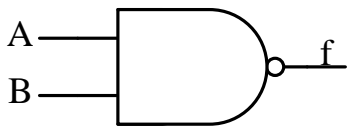
✓ **Hàm ra của cổng NAND:** $f = \overline{AB}$



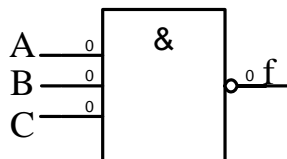
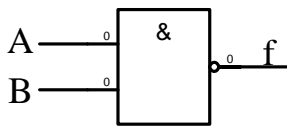
$$f = \overline{AB}$$

$$f = \overline{ABCD\dots}$$

Ký hiệu cổng NAND



Chuẩn ANSI



Chuẩn IEEE

Bảng trạng thái cổng NAND 2 lối vào

A	B	f
0	0	1
0	1	1
1	0	1
1	1	0

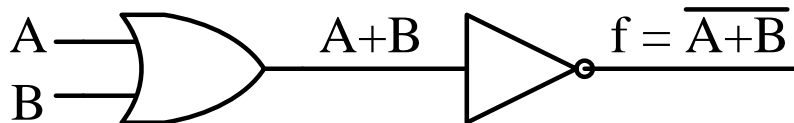
Theo giá trị logic

A	B	f
L	L	H
L	H	H
H	L	H
H	H	L

Theo mức logic

Cổng logic(8)

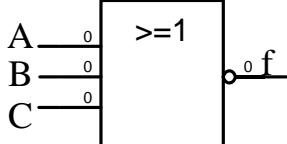
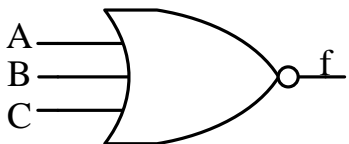
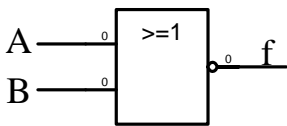
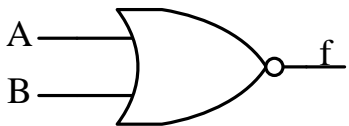
- **Cổng NOR:** NOR= OR+ NOT



- ✓ Hàm ra cổng NOR: $f = \overline{A + B}$

$$f = \overline{A + B + C + D + \dots}$$

Ký hiệu cổng NOR



Chuẩn ANSI

Chuẩn IEEE

Bảng trạng thái cổng NOR 2 lối vào

A	B	f
0	0	1
0	1	0
1	0	0
1	1	0

Theo giá trị logic

A	B	f
L	L	H
L	H	L
H	L	L
H	H	L

Theo mức logic

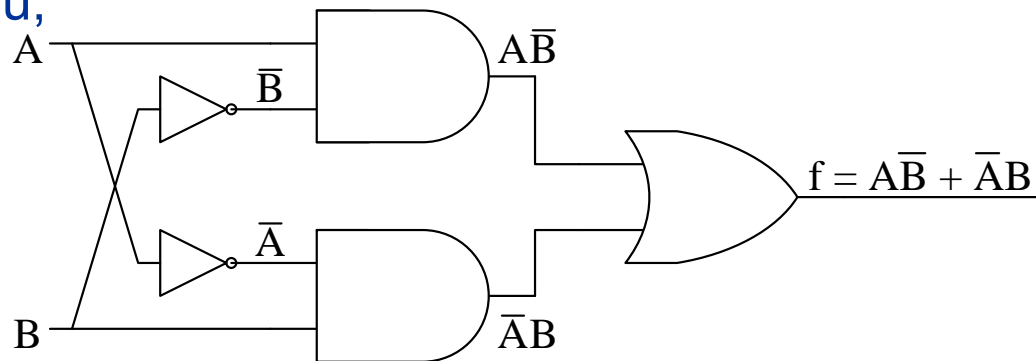
Cổng logic(9)

- **Cổng XOR:** (cổng khác dấu, cổng cộng modul 2).

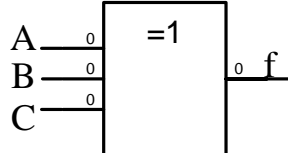
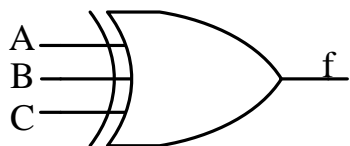
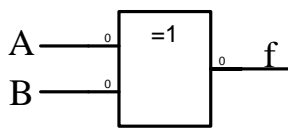
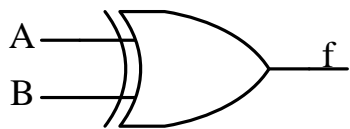
✓ Hàm ra của cổng XOR:

$$f = A\bar{B} + \bar{A}B$$

$$f = A \oplus B$$



Ký hiệu cổng XOR



Chuẩn ANSI

Chuẩn IEEE

Bảng trạng thái cổng XOR 2 lối vào

A	B	f
0	0	0
0	1	1
1	0	1
1	1	0

Theo giá trị logic

A	B	f
L	L	L
L	H	H
H	L	H
H	H	L

Theo mức logic

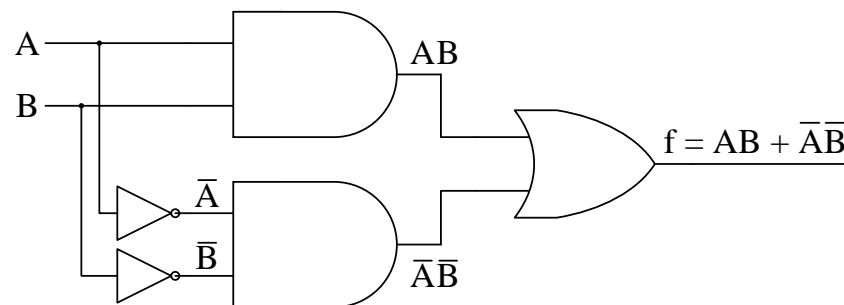
Cổng logic(10)

❖ **Cổng XNOR:** (cổng cùng dấu, cổng cộng modul 2).

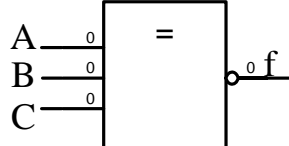
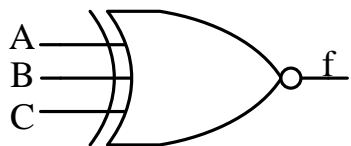
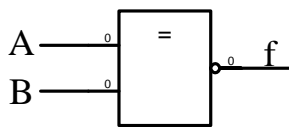
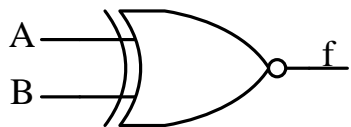
❖ Hàm ra của cổng XNOR:

$$f = AB + \bar{A}\bar{B}$$

$$f = \overline{A \oplus B} = A \sim B$$



Ký hiệu cổng XNOR



Chuẩn ANSI

Chuẩn IEEE

Bảng trạng thái cổng XNOR 2 lối vào

A	B	f
0	0	1
0	1	0
1	0	0
1	1	1

Theo giá trị logic

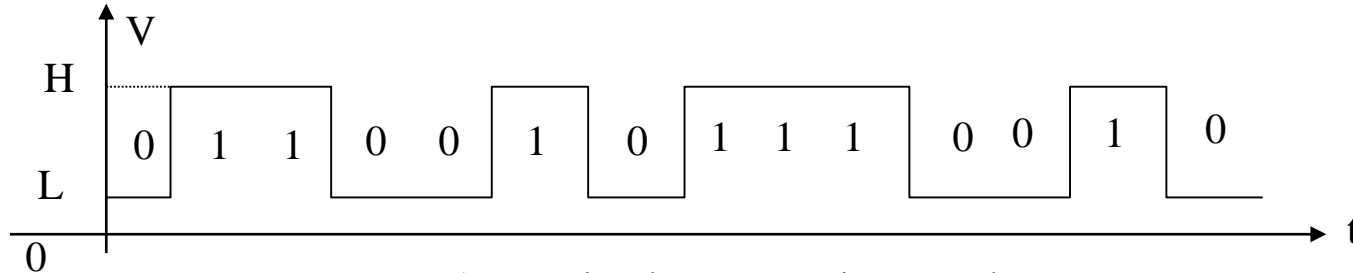
A	B	f
L	L	H
L	H	L
H	L	L
H	H	H

Theo mức logic

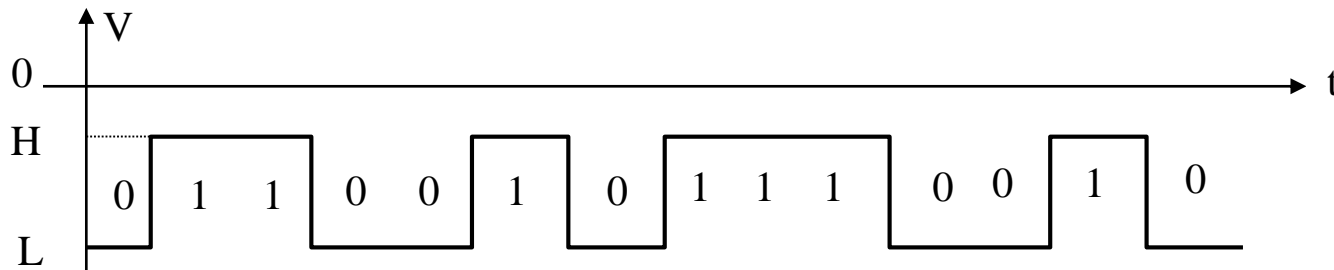
Cổng logic(11)

Logic dương và logic âm

- ❖ *Logic dương*: ($V_H > V_L$).
- ❖ *Logic âm*: là đảo của logic dương ($V_H < V_L$).
 - Khái niệm logic âm thường được dùng để biểu diễn trị các biến.
 - Logic âm và mức âm của logic là hoàn toàn khác nhau.



a) Logic dương với mức dương.

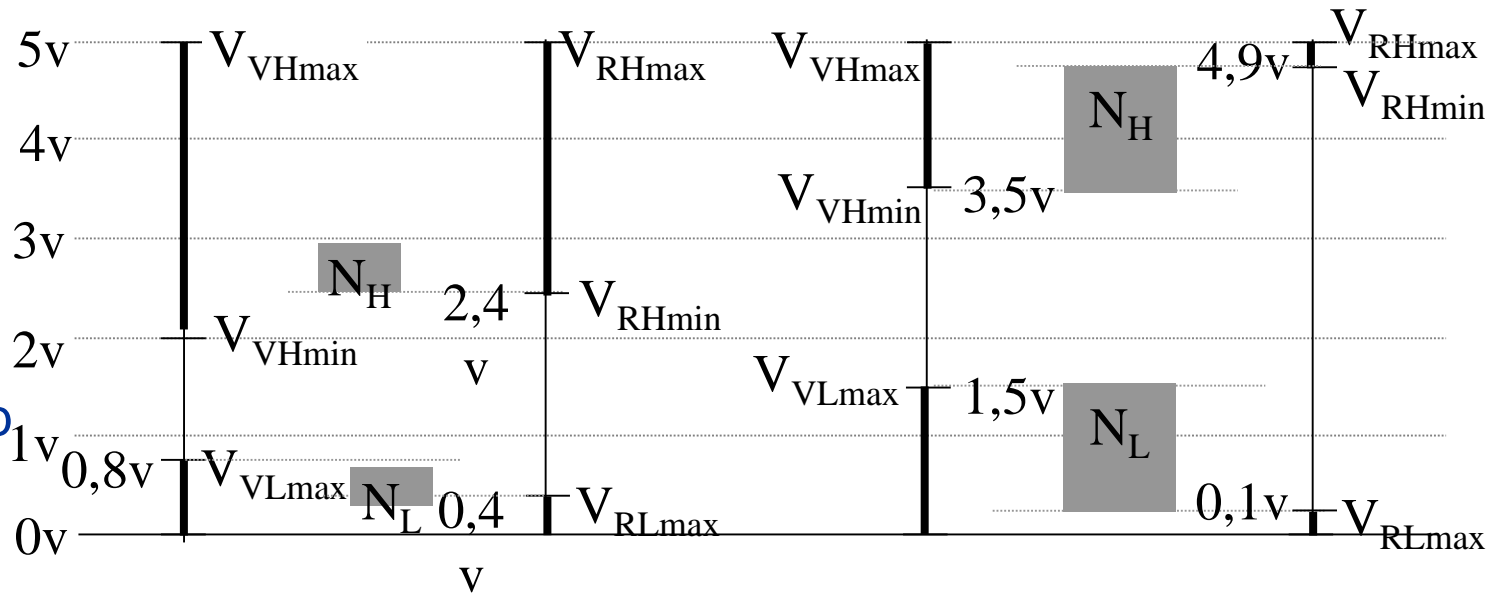


b) Logic dương với mức âm.

Cổng logic(12)

Các tham số chính cổng logic

- Mức logic
- Độ chống nhiễu
- Hệ số ghép tải K
- Công suất tiêu thụ
- Trễ truyền lan
- ❖ **Mức logic**

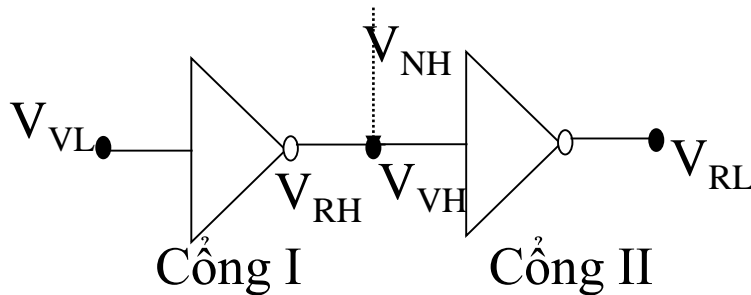


Là V in/out của cổng tương ứng với logic "1" và logic "0", phụ thuộc V_{CC} (TTL) và V_{DD} (MOS).

Note: điện áp đầu vào > V nguồn nuôi → hỏng cổng.

Cổng logic(13)

- ❖ **Độ chống nhiễu:** mức nhiễu lớn nhất tác động tới lối vào/ra của cổng mà chưa làm thay đổi trạng thái vốn có của nó.



a) Nhiều mức cao

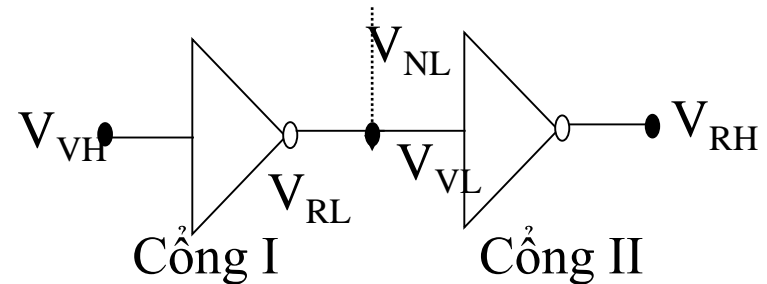
$$V_{RHmin} + V_{NH} \geq V_{VHmin}$$

$$\text{TTL: } \Leftrightarrow V_{NH} \geq V_{VHmin} - V_{RHmin}$$

$$V_{NL} \geq 2V - 2,4V = -0,4V$$

CMOS:

$$V_{NL} \geq 3,5V - 4,9V = -1,4V$$



b) Nhiều mức thấp

$$V_{RLmax} + V_{NL} \leq V_{VLmax}$$

$$\Leftrightarrow V_{NL} \leq V_{VLmax} - V_{RLmax}$$

TTL:

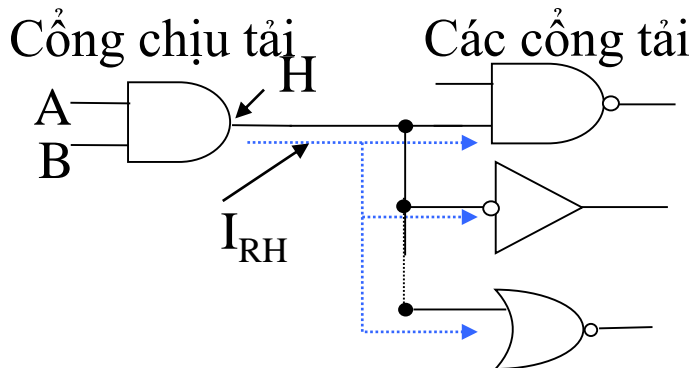
$$V_{NL} \leq 0,8V - 0,4V = 0,4V$$

CMOS:

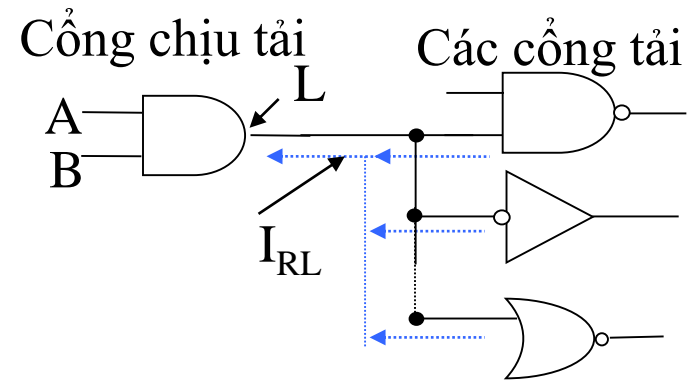
$$V_{NL} \leq 1,5V - 0,1V = 1,4V$$

Cổng logic(14)

- ❖ **Hệ số ghép tải K:** Cho biết khả năng nối được bao nhiêu lối vào tới đầu ra của 1 cổng đã cho, phụ thuộc dòng ra (hay dòng phun) của cổng chịu tải và dòng vào (hay dòng hút) của các cổng tải ở cả hai trạng thái H, L.



a) Mức ra của cổng chịu tải là H



b) Mức ra của cổng chịu tải là L

Công thức tính hệ số ghép tải:

$I_{RL} = 1,6\text{mA}$ gọi là đơn vị ghép tải (D_t)

$$K_t = \frac{I_{RL\max}}{I_{RL}}$$

Cổng logic(15)

❖ Công suất tiêu thụ:

- Hai trạng thái tiêu thụ dòng của cổng logic

I_{CCH} - Là dòng tiêu thụ khi đầu ra lấy mức H,

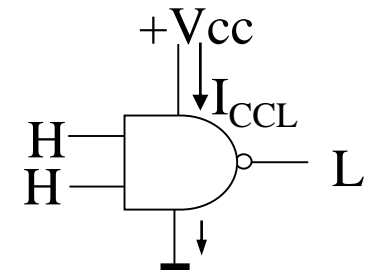
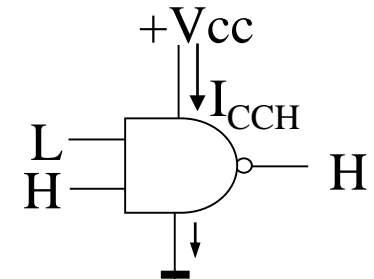
I_{CCL} - Là dòng tiêu thụ khi đầu ra lấy mức L.

- Theo thống kê, tín hiệu số có tỷ lệ bit H / bit L khoảng 50%. Do đó, dòng tiêu thụ trung bình I_{CC} được tính theo công thức:

$$I_{CC} = (I_{CCH} + I_{CCL}) / 2$$

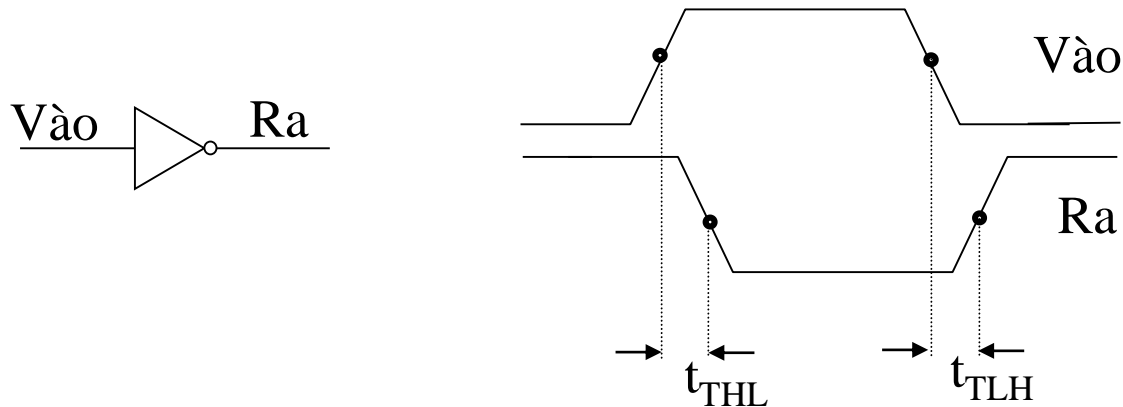
- Công suất tiêu thụ trung bình của mỗi cổng sẽ là:

$$P_0 = I_{CC} \cdot V_{CC}$$



Cổng logic(16)

- ❖ **Trễ truyền lan:** là thời gian tín hiệu đi qua một cổng



- ❖ Xảy ra tại cả hai sườn của xung ra. Nếu kí hiệu trễ truyền lan ứng với sườn trước là t_{THL} và sườn sau là t_{TLH} thì trễ truyền lan trung bình là:

$$t_{Tbtb} = (t_{THL} + t_{TLH})/2$$

- ❖ Thời gian trễ truyền lan hạn chế tần số công tác của cổng. Trễ càng lớn thì tần số công tác cực đại càng thấp.

Cổng logic(17)

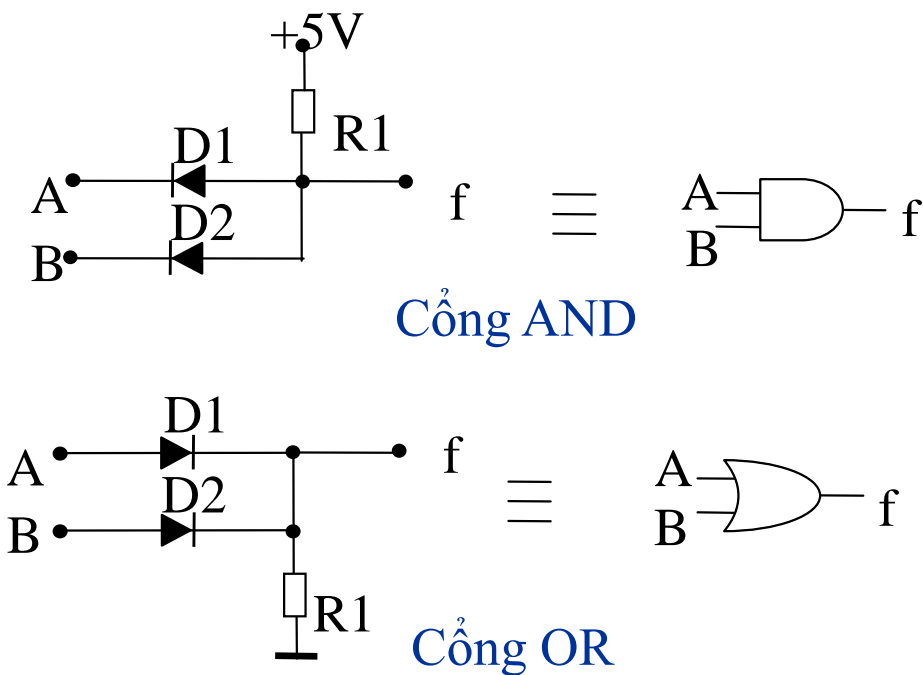
❖ Các họ cổng logic:

- Họ DDL
- Họ DTL
- Họ RTL
- Họ TTL
- Họ MOS FET

Cổng logic(18)

❖ **Họ DDL (Diode Diode Logic):** do các diode bán dẫn tạo thành.

Cổng AND, OR 2 lối vào họ DDL:



Bảng trạng thái

thể hiện nguyên lý hoạt động của các cổng AND, OR họ DDL

AND		
A(v)	B(v)	f(v)
0	0	0,7
0	3	0,7
3	0	0,7
3	3	4,7

OR		
A(v)	B(v)	f(v)
0	0	0
0	5	4,3
5	0	4,3
5	5	4,3

Theo mức điện áp vào/ra

Cổng logic(19)

❖ *Ưu điểm :*

- Mạch điện đơn giản, dễ tạo ra các cổng AND, OR nhiều lối vào. Ưu điểm này cho phép xây dựng các ma trận diode với nhiều ứng dụng khác nhau;
- Tăng tần số công tác bằng cách chọn các diode chuyển mạch nhanh;
- Công suất tiêu thụ nhỏ.

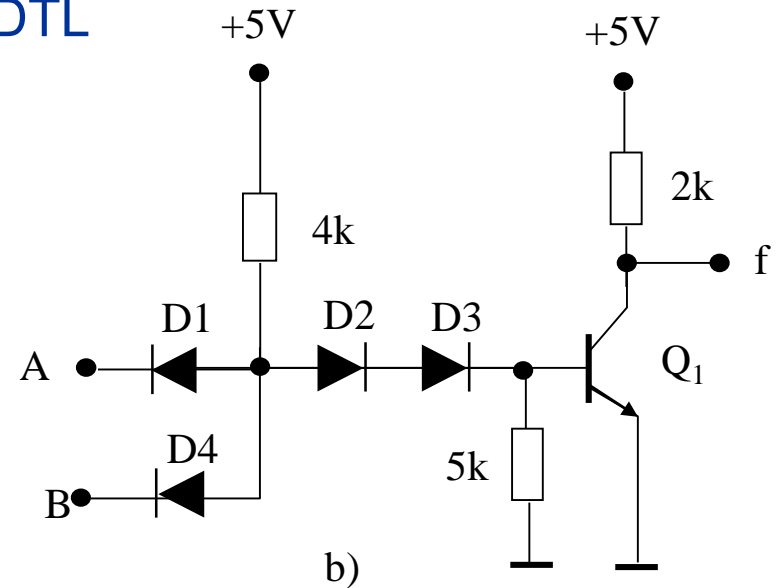
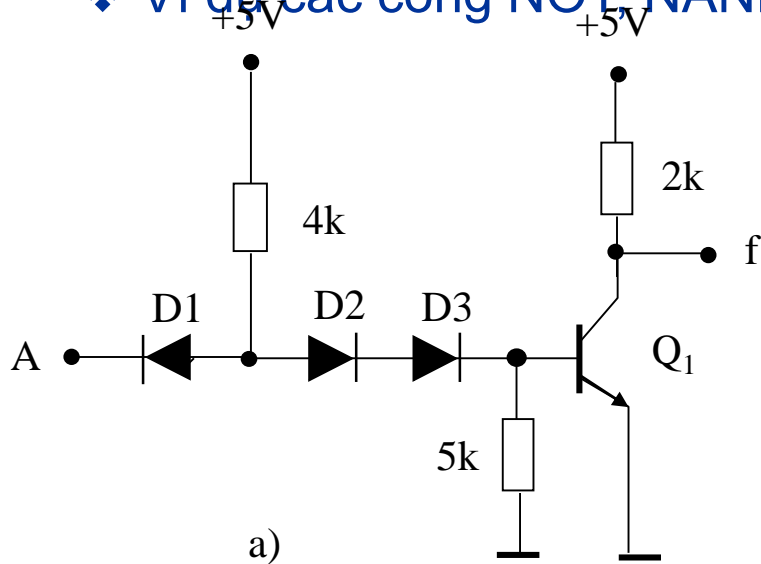
❖ *Nhược điểm :*

- Độ phòng vệ nhiễu thấp (V_{RL} lớn)
- Hệ số ghép tải nhỏ.

Cải thiện độ phòng vệ nhiễu: ghép nối tiếp ở mạch ra một diode. Tuy nhiên, khi đó V_{RH} cũng bị sụt đi 0,6V.

Cổng logic(20)

- ❖ **Họ DTL (Diode Transistor Logic):** Mặc nối tiếp với cổng DDL một transistor công tác ở chế độ khoá (thực hiện chức năng đảo) là họ DTL.
- ❖ Ví dụ các cổng NOT, NAND thuộc họ DTL



- ❖ Tương tự, có thể tạo cổng NOR hoặc các cổng liên hợp phức tạp hơn.

Cổng logic(21)

❖ Ưu điểm:

- Trong hai trường hợp trên, nhờ các diode D2, D3 độ chống nhiễu trên lối vào của Q_1 được cải thiện.
- Mức logic thấp tại lối ra f giảm xuống khoảng 0,2 V (bằng thế bão hoà U_{CE} của Q_1).
- Do I_{RHmax} và I_{RLmax} của bán dẫn có thể lớn hơn nhiều so với diode nên hệ số ghép tải của cổng cũng tăng lên.

❖ Nhược điểm:

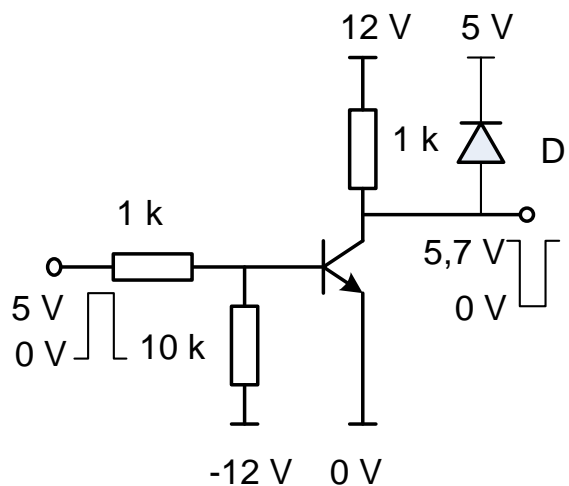
- Vì tải của các cổng là điện trở nên hệ số ghép tải (đặc biệt đối với NH) còn bị hạn chế,
- Trễ truyền lan của họ cổng này còn lớn.

Những tồn tại trên sẽ được khắc phục từng phần ở các họ cổng sau.

Cổng logic(22)

❖ Họ RTL (Resistor Transistor Logic):

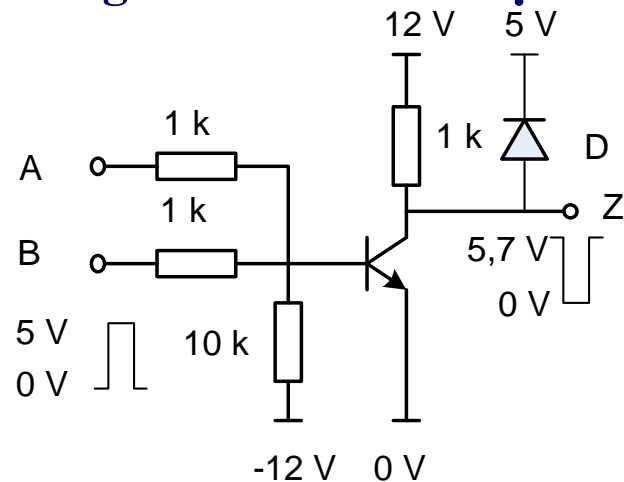
Cổng NOT họ RTL



Bảng trạng thái

A(V)	f(V)
0	5,7
5	0

Cổng NOR 2 lối vào họ RTL



Bảng trạng thái

A(V)	B(V)	f(V)
0	0	5,7
0	5	0
5	0	0
5	5	0

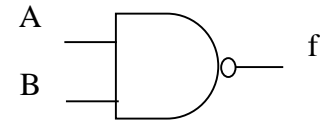
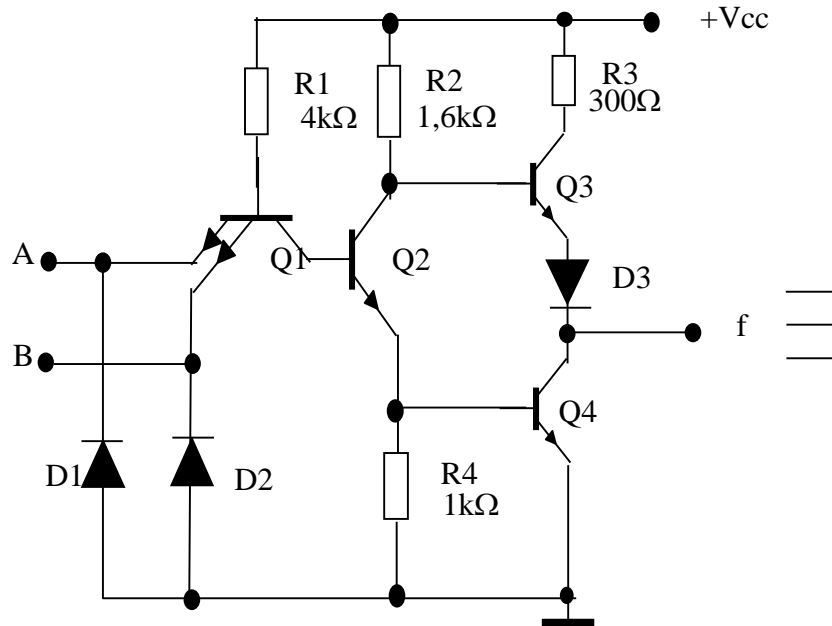
Cổng logic(23)

- ❖ **Họ TTL (Transistor Transistor Logic):** Thay các điốt đầu vào họ DTL thành transistor đa lớp tiếp giáp BE.
 - Một số mạch TTL
 - Mạch cổng NAND
 - Mạch cổng OR
 - Mạch cổng collector để hở
 - Mạch cổng TTL 3 trạng thái
 - Họ TTL có diode Schottky (TTL + S)

Cổng logic(24)

❖ **Mạch NAND TTL:** có thể được chia ra thành 3 phần.

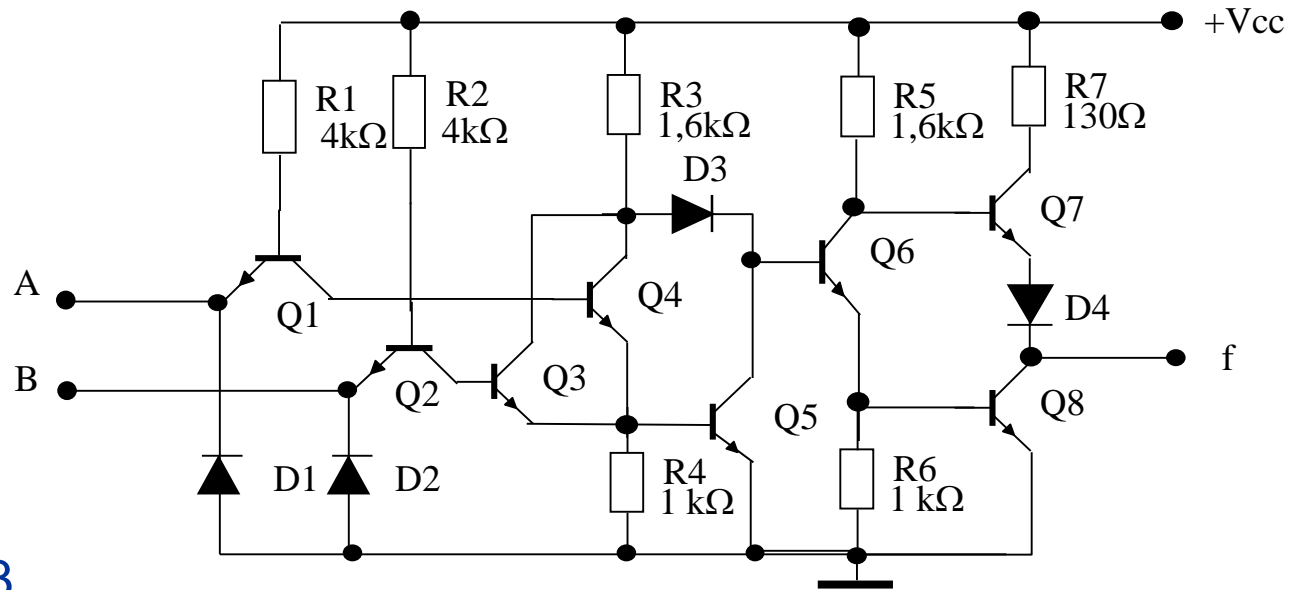
- Mạch đầu vào: gồm Transistor Q1; trở R1; diode D1, D2. thực hiện chức năng NAND.
- Mạch giữa: gồm Transistor Q2; trở R2, R4.
- Mạch đầu ra: gồm Q3, Q4, R3 và diode D3.



Cổng logic(25)

- **Mạch OR TTL:** có thể được chia ra thành 3 phần.

- **Mạch đầu vào:** gồm Transistor Q1, Q2, Q3; trở R1, R2; diode D1, D2 thực hiện chức năng OR.
- **Mạch giữa:** gồm Transistor Q4, Q5; trở R3, R4; diode D3.
- **Mạch đầu ra:** gồm Q6, Q7, Q8; trở R5, R6, R7 và diode D4.



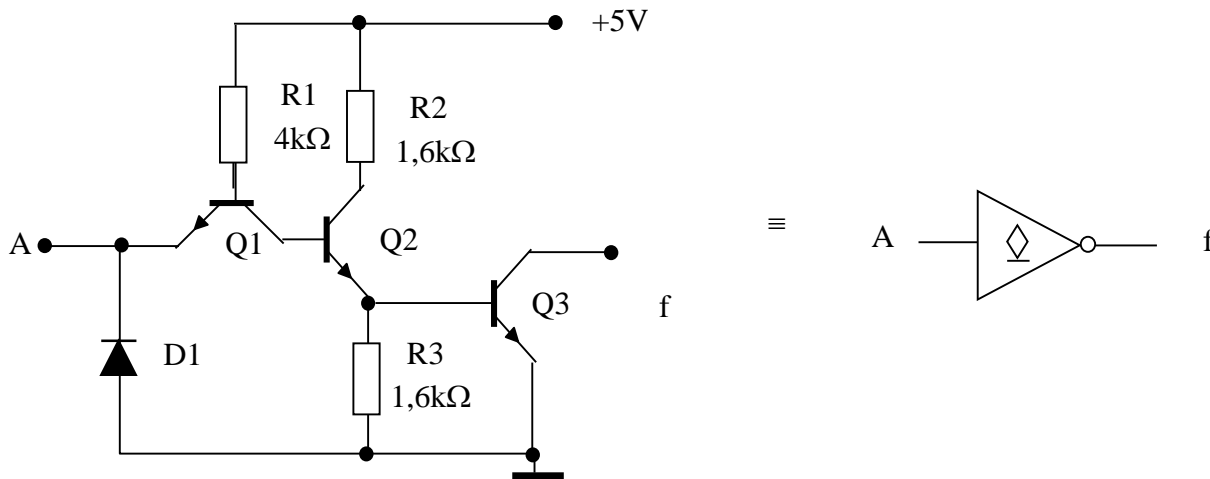
Sơ đồ mạch điện của một cổng OR
TTL 2 lối vào.

**Nguyên lý hoạt động của mạch
vào này giống cổng NAND**

Cổng logic(26)

❖ Mạch cổng collector để hở

- Khắc phục nhược điểm của họ cổng TTL: có mạch ra khép kín là hệ số tải đầu ra không thể thay đổi, nên nhiều khi gây khó khăn trong việc kết nối với đầu vào của các mạch điện tử tầng sau.

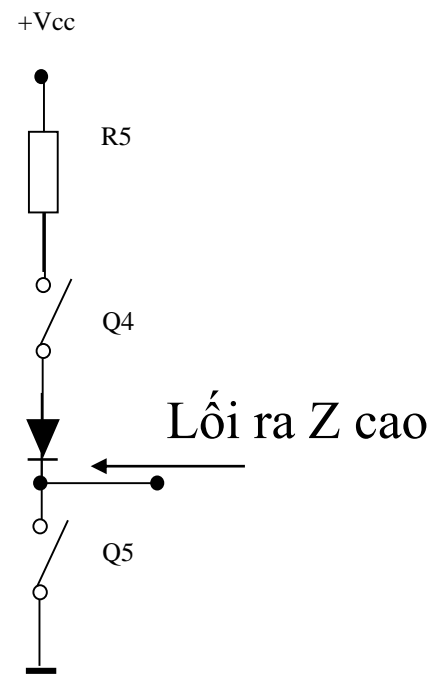
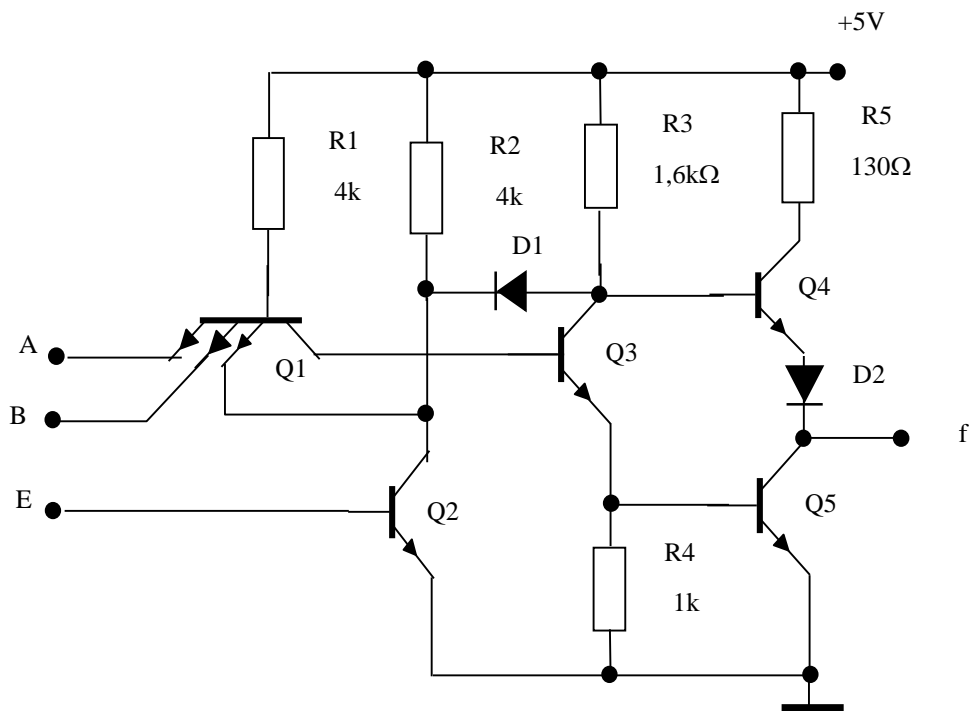


- Nhược điểm: tần số hoạt động của mạch sẽ giảm xuống do phải sử dụng điện trở gánh ngoài.

- Hình trên là sơ đồ của một cổng TTL đảo collector hở tiêu chuẩn. Muốn đưa cổng vào hoạt động, cần đấu thêm trở gánh ngoài, từ cực collector đến +Vcc.

Cổng logic(27)

❖ Mạch cổng TTL 3 trạng thái



Cổng logic(28)

❖ **Họ MOSFET (bán dẫn trường):** dùng để xây dựng mạch điện các loại cổng logic. Đặc điểm chung và nổi bật của họ này là:

- Mạch điện chỉ bao gồm các MOS FET mà không có điện trở
- Dải điện thế công tác rộng, có thể từ +3 đến +15 V
- Độ trễ thời gian lớn, nhưng công suất tiêu thụ rất bé

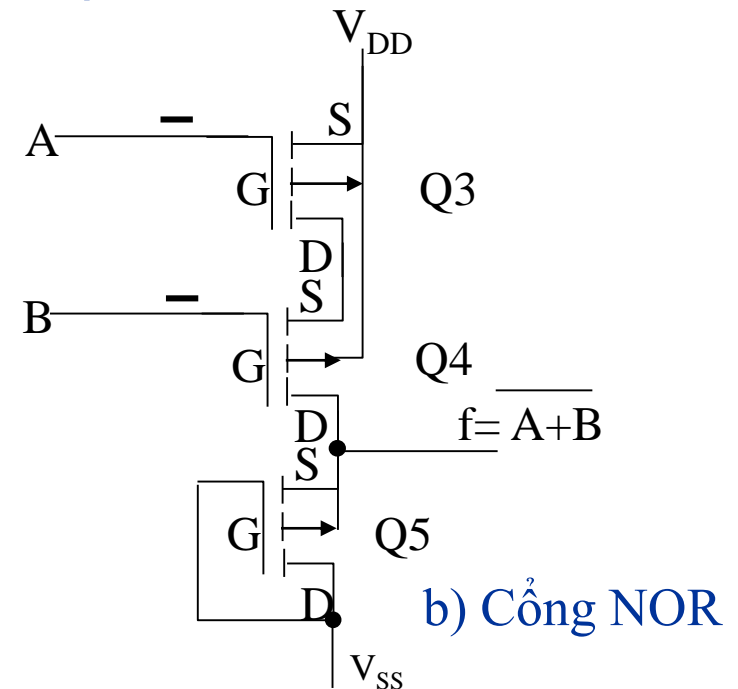
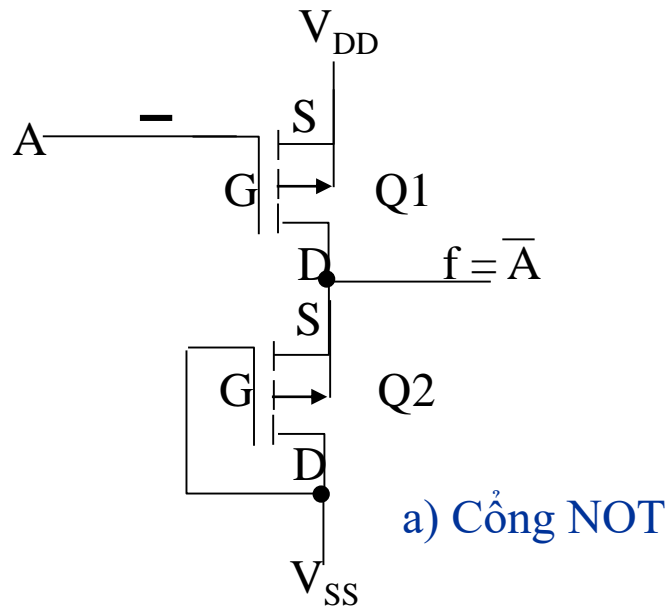
Tuỳ theo loại MOS FET được sử dụng, họ này được chia ra các tiểu họ:

- PMOS
- NMOS
- CMOS
- Cổng truyền dẫn

Cổng logic(29)

- ❖ **PMOS:** chỉ dùng MOSFET có kênh dẫn loại P. Công nghệ PMOS cho phép sản xuất các mạch tích hợp với mật độ cao nhất.

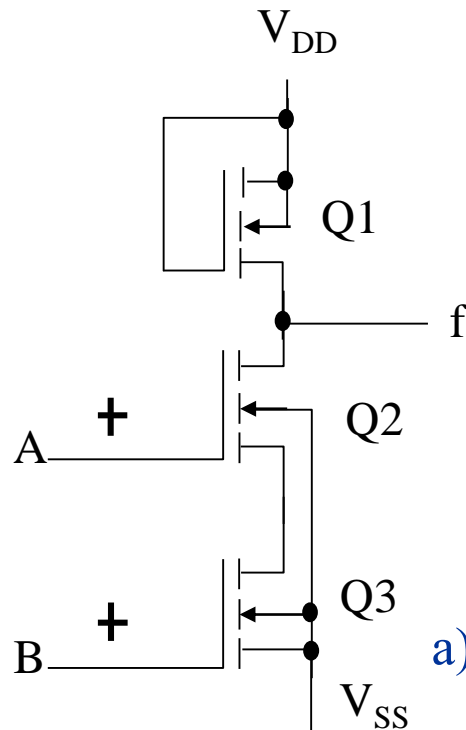
Hình dưới là sơ đồ cổng NOT và cổng NOR loại PMOS. Ở đây MOSFET Q2, Q5 đóng chức năng các điện trở.



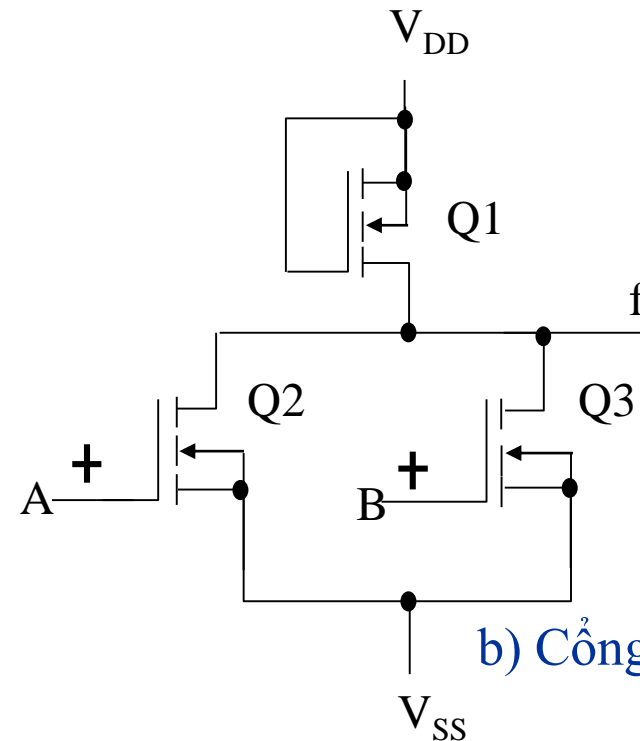
Cổng logic(30)

❖ **NMOS:** chỉ dùng MOSFET có kênh dẫn loại N.

Hình dưới là sơ đồ cổng NAND và cổng NOR loại NMOS. Ở đây MOSFET Q1 đóng vai trò điện trở.



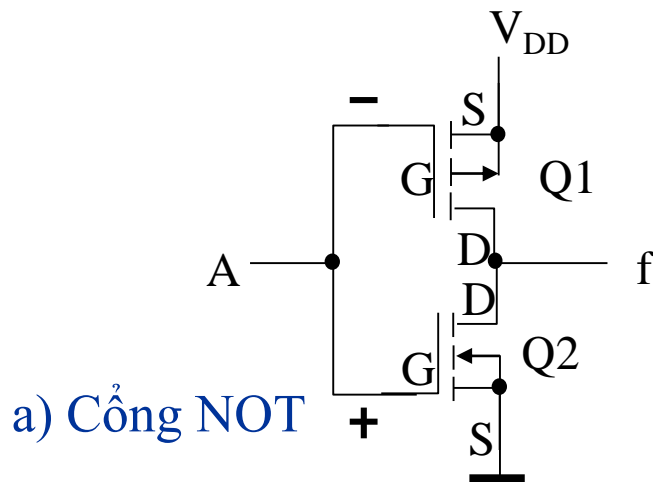
a) Cổng NAND



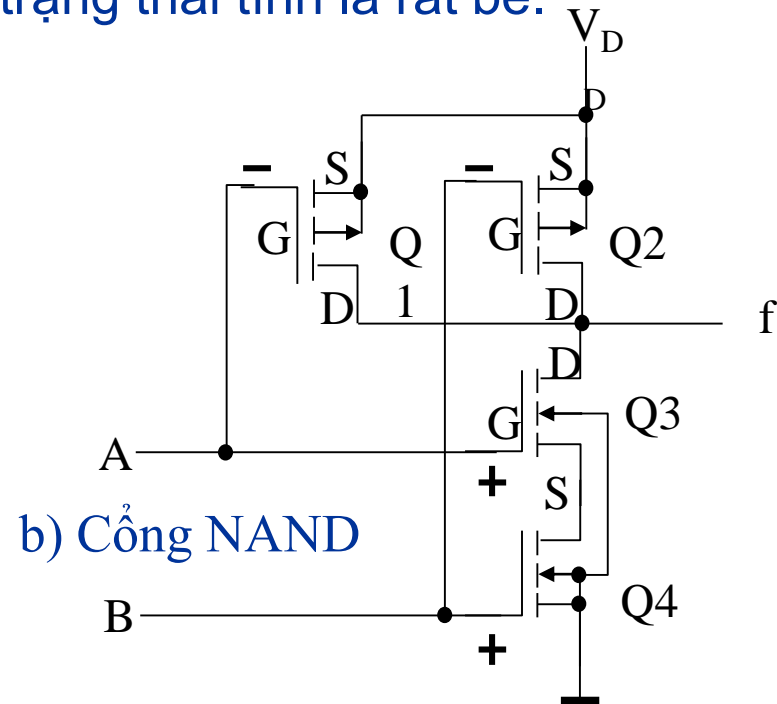
b) Cổng NOR

Cổng logic(31)

- ❖ **CMOS** – Complementary MOS. Mạch điện của họ cổng logic này sử dụng cả hai loại MOS FET kênh dẫn P và kênh dẫn N. Bởi vậy có hiện tượng bù dòng điện trong mạch. Chính vì thế mà công suất tiêu thụ của họ cổng, đặc biệt trong trạng thái tĩnh là rất bé.



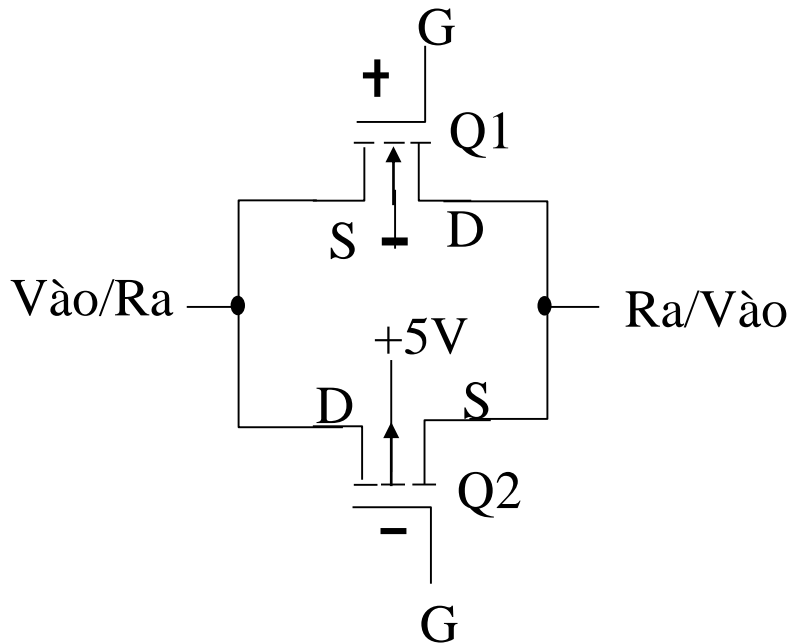
a) Cổng NOT



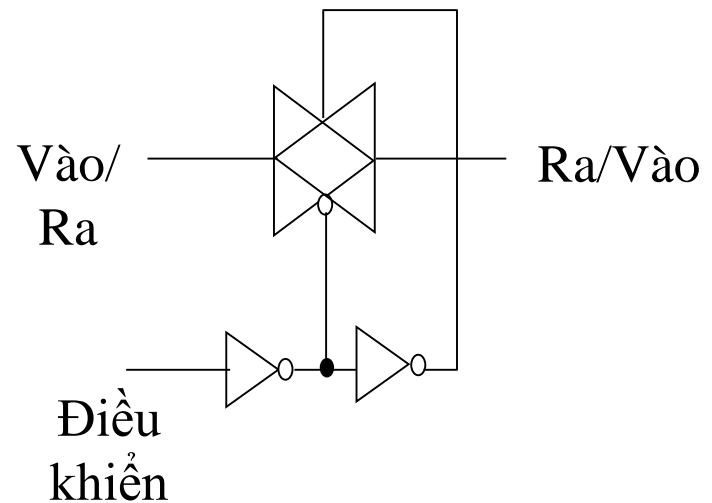
b) Cổng NAND

Cổng logic(32)

- ❖ **Cổng truyền dẫn:** Dựa trên công nghệ CMOS, người ta sản xuất loại cổng có thể cho qua cả tín hiệu số lẫn tín hiệu tương tự.



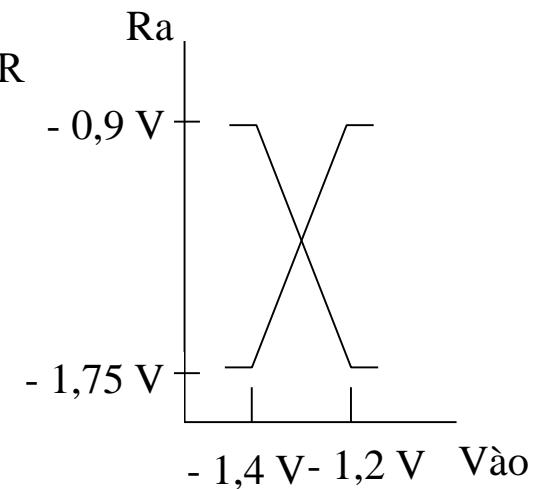
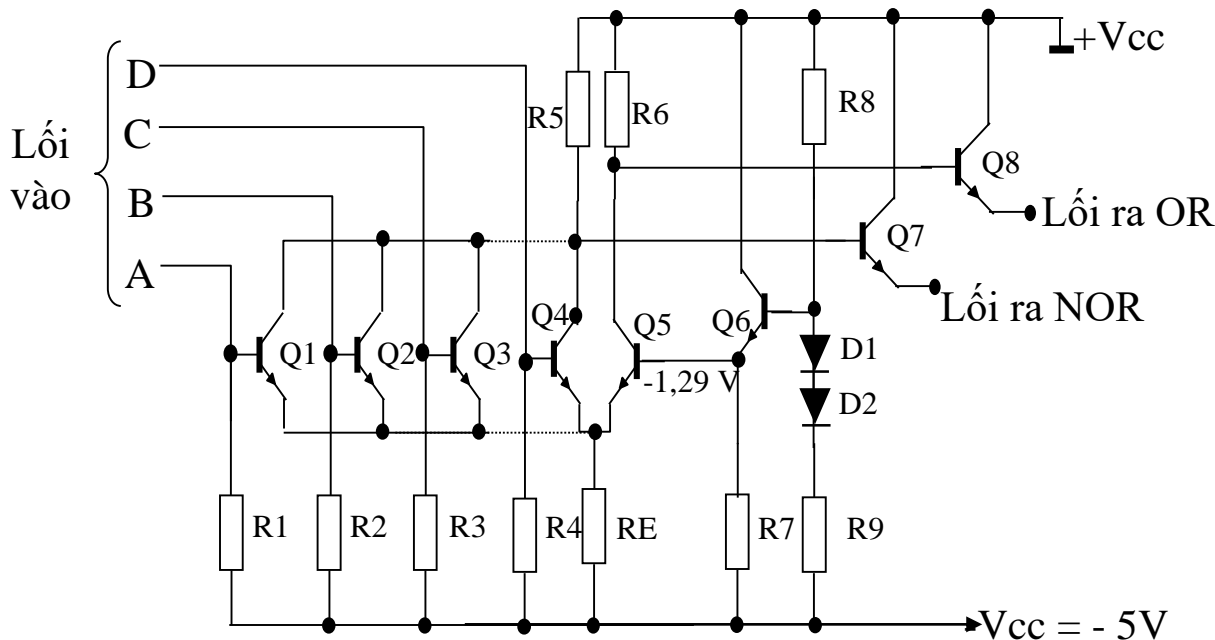
a) Mạch điện



b) Ký hiệu

Cổng logic(33)

- ❖ **ECL (Emitter Coupled Logic):** cực E của một số bán dẫn nối chung với nhau. Sử dụng công nghệ TTL nhưng cấu trúc mạch khác họ TTL.



a) Mạch điện nguyên lý

b) Đồ thị mức vào/ra

Cổng logic(34)

- ❖ **Giao tiếp giữa các cổng logic cơ bản**
 - Giao tiếp giữa TTL và CMOS
 - Giao tiếp giữa CMOS và TTL

MẠCH LOGIC TỔ HỢP

Mạch logic tổ hợp(1)

❖ Nội dung:

- Khái niệm chung
- Phân tích mạch logic tổ hợp
- Thiết kế mạch logic tổ hợp
- Mạch mã hóa và giải mã
- Bộ hợp kênh và phân kênh
- Mạch số học
- Mạch tạo và kiểm tra chẵn lẻ
- Đơn vị số học và logic (ALU)
- Hazzards

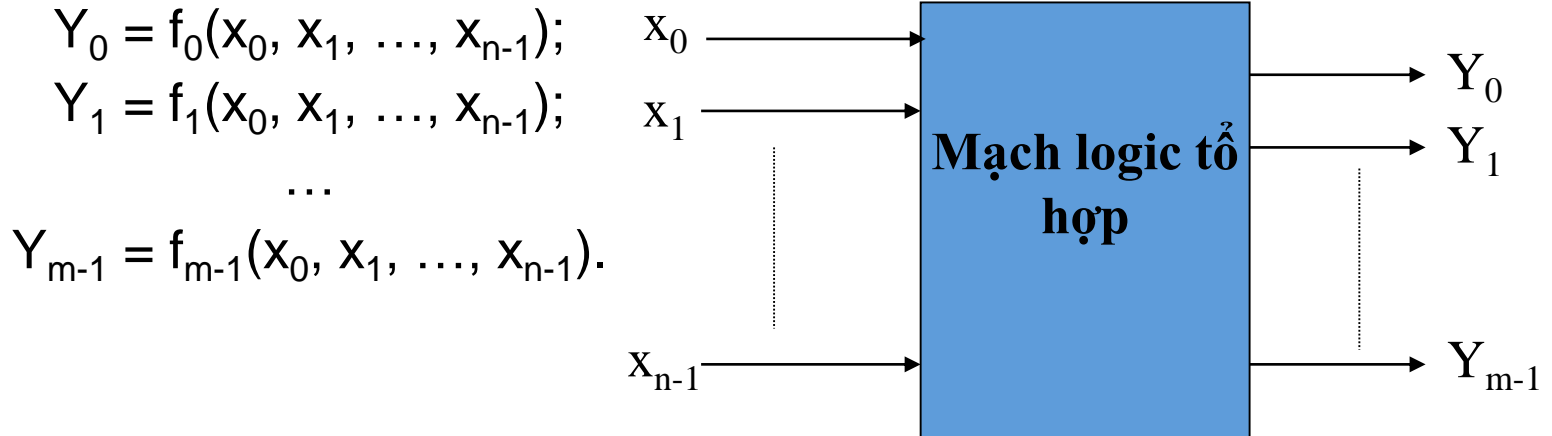
Mạch logic tổ hợp(2)

❖ Khái niệm chung

- Đặc điểm:
 - ✓ Tín hiệu đầu ra chỉ phụ thuộc các tín hiệu đầu vào nên trạng thái ra chỉ tồn tại trong thời gian có tác động vào
 - ✓ Được tạo ra từ các cổng logic.
- Phương pháp biểu diễn chức năng logic
 - ✓ Hàm số logic, bảng trạng thái, bảng Cacar nô (Karnaugh), cũng có khi biểu thị bằng đồ thị thời gian dạng xung.
 - ✓ Đối với vi mạch cỡ nhỏ (SSI) thường biểu diễn bằng hàm logic.
 - ✓ Đối với vi mạch cỡ vừa (MSI) thường biểu diễn bằng bảng trạng thái.

Mạch logic tổ hợp(3)

- Mạch logic tổ hợp có thể có n lối vào và m lối ra. Mỗi lối ra là một hàm của các biến vào.



- Thể loại của mạch logic tổ hợp rất phong phú. Phạm vi ứng dụng của chúng cũng rất rộng.

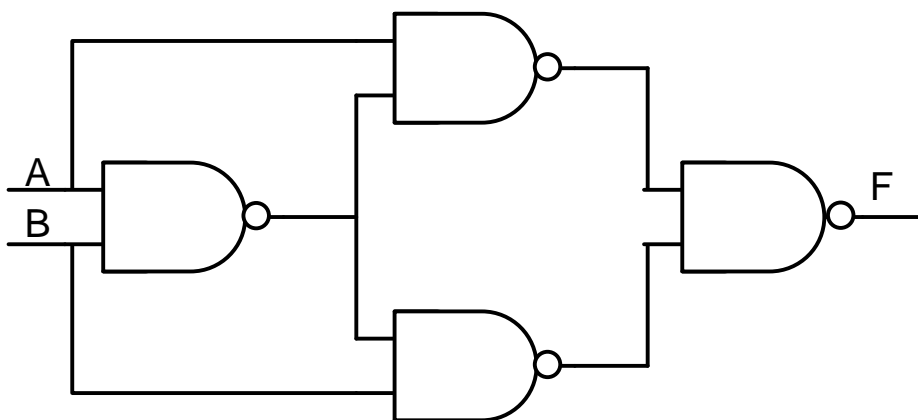
Mạch logic tổ hợp(4)

❖ Phân tích mạch logic tổ hợp

- Định nghĩa: là đánh giá, phê phán một mạch. Trên cơ sở đó, có thể rút gọn, chuyển đổi dạng thực hiện của mạch điện để có được lời giải tối ưu theo một nghĩa nào đấy.
- Mạch tổ hợp có thể bao gồm hai hay nhiều tầng, mức độ phức tạp của của mạch cũng rất khác nhau. Thực hiện:
 - ✓ Nếu mạch đơn giản thì ta tiến hành lập bảng trạng thái, viết biểu thức, rút gọn, tối ưu (nếu cần) và cuối cùng vẽ lại mạch điện.
 - ✓ Nếu mạch phức tạp thì ta tiến hành phân đoạn mạch để viết biểu thức, sau đó rút gọn, tối ưu (nếu cần) và cuối cùng vẽ lại mạch điện.

Mạch logic tổ hợp(5)

• Ví dụ: Cho mạch logic tổ hợp như hình vẽ:



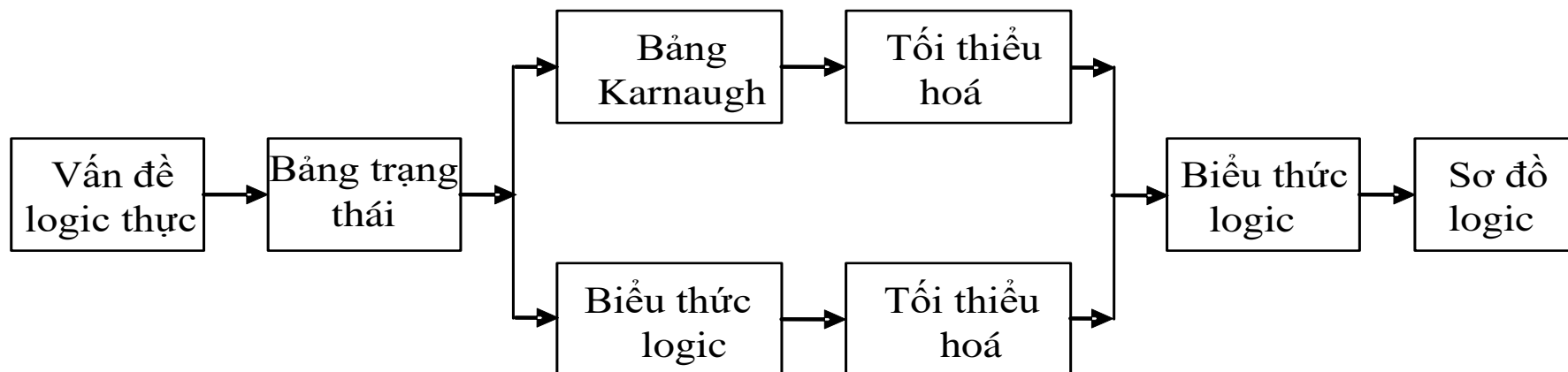
A	B	$F=A\oplus B$
0	0	0
0	1	1
1	0	1
1	1	0

- Từ hình vẽ, ta lập được bảng TT.
- Hàm F tương đương với đầu ra cổng cộng khác dấu

Mạch logic tổ hợp(6)

❖ Thiết kế mạch logic tổ hợp:

1. Gắn hàm, biến, xác lập mối quan hệ logic giữa hàm và các biến đó;
2. Lập bảng trạng thái tương ứng;
3. Từ bảng trạng thái có thể viết trực tiếp biểu thức đầu ra hoặc thiết lập bảng Các nô tương ứng;
4. Dùng phương pháp thích hợp để rút gọn, đưa hàm về dạng tối giản hoặc tối ưu theo mong muốn;
5. Vẽ mạch điện thể hiện.



Mạch logic tổ hợp(7)

- ❖ **Ví dụ:** Một ngôi nhà hai tầng. Lắp hai công tắc tại hai tầng, sao cho ở tầng nào cũng có thể bật hoặc tắt đèn. Hãy thiết kế một mạch logic mô phỏng hệ thống đó?

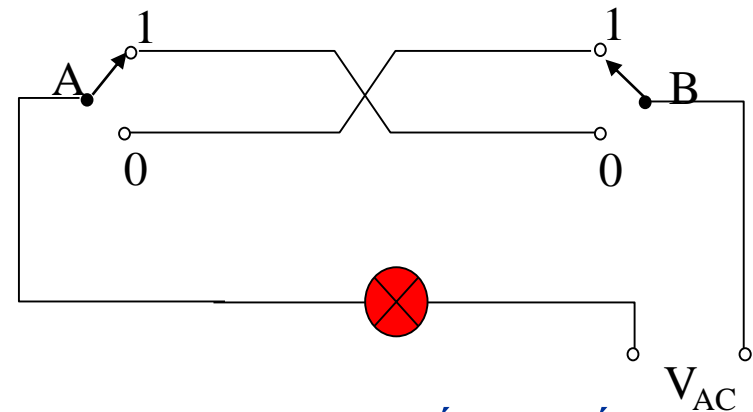
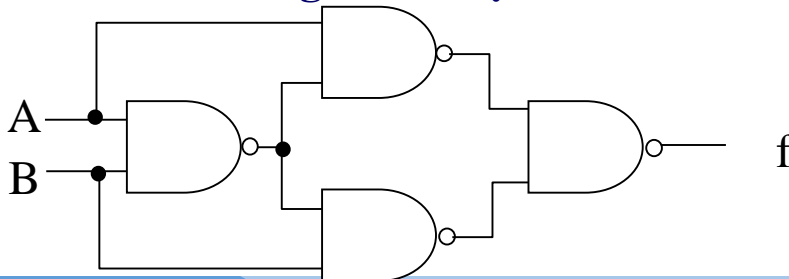
- ❖ **Lời giải:**

Hệ thống chiếu sáng như sơ đồ

Biểu thức của hàm là:

$$f = \overline{A}B + A\overline{B} = A \oplus B \quad \text{hay} \quad f = \overline{\overline{A}B} \overline{\overline{A}B} = \overline{\overline{A}B} \overline{A\overline{B}}$$

Sơ đồ logic thể hiện hàm f



Mạch điện của hệ thống chiếu sáng

Bảng trạng thái

A	B	f
0	0	0
0	1	1
1	0	1
1	1	0

Mạch logic tổ hợp(8)

❖ Mạch mã hóa:

- Mã hoá: dùng văn tự, ký hiệu, mã để biểu thị đối tượng.
- Bộ mã hoá là mạch điện thao tác mã hoá, có nhiều bộ mã hoá khác nhau, bộ mã hoá nhị phân, bộ mã hoá nhị - thập phân, bộ mã hoá ưu tiên v.v.
- Mã nhị phân n bit có 2^n trạng thái, có thể biểu thị 2^n tín hiệu. Để tiến hành mã hoá N tín hiệu, cần sử dụng n bit sao cho $2^n \geq N$.
- Một số loại mã thông dụng
 - Mã BCD và mã dư 3
 - Mã Gray
 - Mã chẵn, lẻ
- Mạch mã hoá
 - Mạch mã hoá từ thập phân sang BCD 8421
 - Mạch mã hoá ưu tiên

Mạch logic tổ hợp(9)

❖ Mạch giải mã:

- Giải mã: quá trình phiên dịch hàm đã được gán bằng một từ mã.
- Mạch điện thực hiện giải mã gọi là bộ giải mã.
- Bộ giải mã biến đổi từ mã thành tín hiệu ở đầu ra.
- Mạch giải mã
 - Mạch giải mã 7 đoạn
 - Mạch giải mã nhị phân

Mạch logic tổ hợp(10)

❖ MÃ BCD (Binary Coded Decimal):

- Cấu tạo: dùng từ nhị phân 4 bit để mã hóa 10 kí hiệu thập phân, cách biểu diễn theo thập phân. Ví dụ: các chữ số thập phân được nhị phân hoá theo trọng số $2^3, 2^2, 2^1, 2^0$ nên có 6 tổ hợp dư, ứng với các số thập phân 10,11,12,13,14 và 15.
- Ứng dụng: Máy có thể thực hiện trực tiếp các phép tính cộng, trừ, nhân, chia theo mã BCD.
- Nhược điểm: tồn tại tổ hợp toàn Zero, gây khó khăn trong việc đồng bộ khi truyền dẫn tín hiệu.

❖ Mã Dư-3

- Cấu tạo: = BCD + 3 vào mỗi tổ hợp mã. Như vậy, mã không bao gồm tổ hợp toàn Zero.
- Ứng dụng: để truyền dẫn tín hiệu, không dùng tính toán trực tiếp.

Thập phân	BCD 8421	Mã Dư 3
0	0000	0011
1	0001	0100
2	0010	0101
3	0011	0110
4	0100	0111
5	0101	1000
6	0110	1001
7	0111	1010
8	1000	1011
9	1001	1100

Mạch logic tổ hợp(11)

- ❖ **Mã Gray:** còn được gọi là mã cách 1, là loại mã mà các tổ hợp mã kế nhau chỉ khác nhau duy nhất 1 bit. Loại mã này không có tính trọng số. Do đó, giá trị thập phân đã được mã hóa chỉ được giải mã thông qua bảng mã mà không thể tính theo tổng trọng số như đối với mã BCD.
- ❖ Mã Gray có thể được tổ chức theo nhiều bit. Bởi vậy, có thể đếm theo mã Gray.
- ❖ Tương tự như mã BCD, ngoài mã Gray chính còn có mã Gray dư-3.

Thập phân	Gray	Gray Dư 3
0	0000	0010
1	0001	0110
2	0011	0111
3	0010	0101
4	0110	0100
5	0111	1100
6	0101	1101
7	0100	1111
8	1100	1110
9	1101	1010
10	1111	1011
11	1110	1001
12	1010	1000
13	1011	0000
14	1001	0001
15	1000	0011

Mạch logic tổ hợp(12)

- Mã chẵn lẻ:** Mã chẵn và mã lẻ là hai loại mã có khả năng phát hiện lỗi hay dùng nhất. Để thiết lập loại mã này ta chỉ cần thêm một bit chẵn/ lẻ (bit parity) vào tổ hợp mã đã cho, nếu tổng số bit 1 trong từ mã (bit tin tức + bit chẵn/lẻ) là chẵn thì ta được mã chẵn và ngược lại ta được mã lẻ.

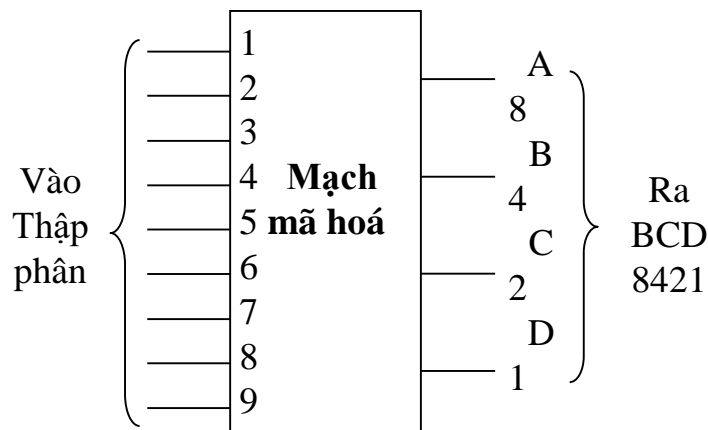
BCD 8421	BCD 8421chẵn P_C		BCD 8421 lẻ P_L	
0000	0000	0	0000	1
0001	0001	1	0001	0
0010	0010	1	0010	0
0011	0011	0	0011	1
0100	0100	1	0100	0
0101	0101	0	0101	1
0110	0110	0	0110	1
0111	0111	1	0111	0
1000	1000	1	1000	0
1001	1001	0	1001	1

Mạch logic tổ hợp(13)

❖ Mạch mã hoá từ thập phân sang BCD 8421

- 9 lối vào (biến), 4 lối ra A, B, C, D (hàm) thể hiện tổ hợp mã tương ứng với mỗi chữ số thập phân trên lối vào theo trọng số 8421.

Sơ đồ khối của mạch mã hóa



Bảng trạng thái

Vào thập phân	Ra BCD 8 4 2 1
1	0 0 0 1
2	0 0 1 0
3	0 0 1 1
4	0 1 0 0
5	0 1 0 1
6	0 1 1 0
7	0 1 1 1
8	1 0 0 0
9	1 0 0 1

- Từ bảng trạng thái ta viết được các hàm ra:

$$\begin{aligned}
 A &= 8 + 9 &&= \Sigma (8,9) \\
 B &= 4 + 5 + 6 + 7 &&= \Sigma (4,5,6,7) \\
 C &= 2 + 3 + 6 + 7 &&= \Sigma (2,3,6,7) \\
 D &= 1 + 3 + 5 + 7 + 9 &&= \Sigma (1,3,5,7,9)
 \end{aligned}$$

Mạch logic tổ hợp(14)

❖ Mạch mã hoá từ thập phân sang BCD 8421:

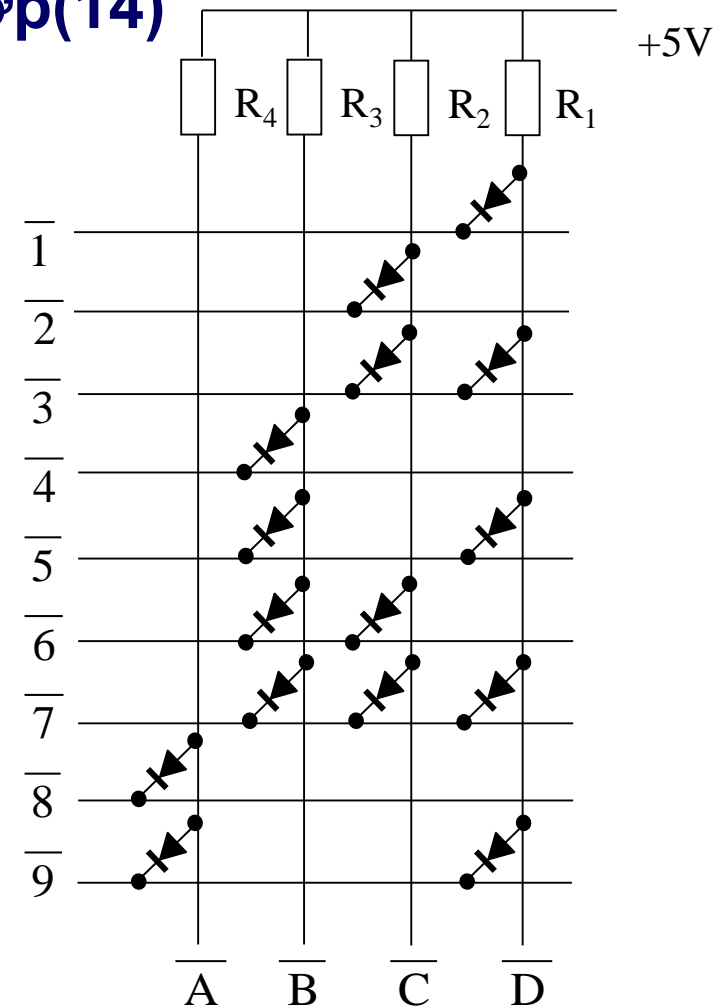
- Hoặc dùng ma trận diode (cổng OR)
- Hoặc có thể được viết lại như sau (dùng định lý DeMorgan) và dùng ma trận diode (cổng AND)

$$\overline{A} = \overline{8+9} = \overline{8} \cdot \overline{9}$$

$$\overline{B} = \overline{4+5+6+7} = \overline{4} \cdot \overline{5} \cdot \overline{6} \cdot \overline{7}$$

$$\overline{C} = \overline{2+3+6+7} = \overline{2} \cdot \overline{3} \cdot \overline{6} \cdot \overline{7}$$

$$\overline{D} = \overline{1+3+5+7+9} = \overline{1} \cdot \overline{3} \cdot \overline{5} \cdot \overline{7} \cdot \overline{9}$$



Mạch điện của bộ mã hoá dùng diode

Mạch logic tổ hợp(15)

❖ Mạch mã hóa ưu tiên:

- Trong bộ mã hoá vừa xét trên, tại một thời điểm chỉ có 1 tín hiệu đầu vào tác động.
- Để giải quyết trường hợp có nhiều đầu vào tác động đồng thời ta có bộ mã hoá ưu tiên. Trong các trường hợp này thì bộ mã hoá ưu tiên chỉ tiến hành mã hoá tín hiệu vào nào có cấp ưu tiên cao nhất ở thời điểm xét. Việc xác định cấp ưu tiên cho mỗi tín hiệu vào là do người thiết kế mạch.
- Xét nguyên tắc hoạt động và quá trình thiết kế của bộ mã hoá ưu tiên thập phân – nhị phân 9 lối vào, 4 lối ra.

Mạch logic tổ hợp(16)

- D sẽ lấy logic 1 ứng với đầu vào là 1, 3, 5, 7, 9. Tuy nhiên, lỗi vào 1 chỉ hiệu lực khi tất cả các lỗi vào cao hơn đều bằng 0...

D="1" nếu

- 1="1" và 2,4,6,8 bằng "0"
- 3="1" và 4,6,8 bằng "0"
- 5="1" và 6,8 bằng "0"
- 7="1" và 8 bằng "0"
- 9="1"

- Tương tự:

$$\Rightarrow D = 1.\bar{2}.\bar{4}.\bar{6}.\bar{8} + 3.\bar{4}.\bar{6}.\bar{8} + 5.\bar{6}.\bar{8} + 7.\bar{8} + 9$$

$$C = 2.\bar{4}.\bar{5}.\bar{8}.\bar{9} + 3.\bar{4}.\bar{5}.\bar{8}.\bar{9} + 6.\bar{8}.\bar{9} + 7.\bar{8}.\bar{9}$$

$$B = 4.\bar{8}.\bar{9} + 5.\bar{8}.\bar{9} + 6.\bar{8}.\bar{9} + 7.\bar{8}.\bar{9}$$

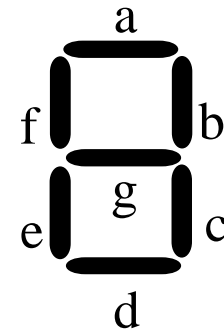
$$A = 8 + 9$$

Vào thập phân									Ra BCD			
1	2	3	4	5	6	7	8	9	8	4	2	1
0	0	0	0	0	0	0	0	0	0	0	0	0
1	0	0	0	0	0	0	0	0	0	0	0	1
X	1	0	0	0	0	0	0	0	0	0	1	0
X	X	1	0	0	0	0	0	0	0	0	1	1
X	X	X	1	0	0	0	0	0	0	1	0	0
X	X	X	X	1	0	0	0	0	0	1	0	1
X	X	X	X	X	1	0	0	0	0	1	1	0
X	X	X	X	X	X	1	0	0	0	1	1	1
X	X	X	X	X	X	X	1	0	1	0	0	0
X	X	X	X	X	X	X	X	1	1	0	0	1

Mạch logic tổ hợp(17)

❖ Mạch giải mã 7 đoạn

- Dụng cụ 7 đoạn
- ✓ Để hiển thị chữ số của một hệ đếm phân bất kỳ.
- ✓ Các đoạn phải có khả năng hiển thị trong các điều kiện ánh sáng khác nhau và tốc độ chuyển mạch phải đủ lớn. Trong kĩ thuật số, các đoạn thường được dùng là LED hoặc LCD.
- ✓ Đối với LED, mỗi đoạn là một Diode phát quang và khi có dòng điện đi qua đủ lớn (5 đến 30 mA) thì đoạn tương ứng sẽ sáng.
- ✓ Ngoài 7 đoạn sáng chính, mỗi LED cũng có thêm Diode để hiển thị dấu phân số khi cần thiết. LED có hai loại chính: LED Anốt chung và Ktốt chung, logic của tín hiệu điều khiển hai loại này là ngược nhau.

Cấu tạo dụng cụ 7
đoạn sáng

Mạch logic tổ hợp(18)

❖ Mạch giải mã 7 đoạn

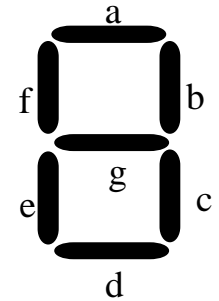
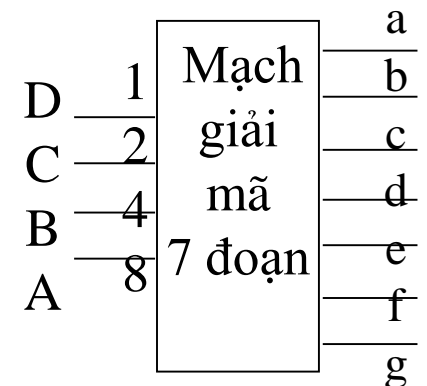
- 4 lối vào và 7 lối ra.
- đoạn a sẽ sáng khi hiển thị chữ số : 0 hoặc 2, hoặc 3, hoặc 5, hoặc 7, hoặc 8, hoặc 9.

$$a = \sum (0,2,3,5,6,7,8,9).$$
- Tương tự:

$$b = \sum (0,1,2,3,4,7,8,9), \quad c = \sum (0,1,3,4,5,6,7,8,9),$$

$$d = \sum (0,2,3,5,6,8,9), \quad e = \sum (0,2,6,8),$$

$$f = \sum (0,4,5,6,8,9), \quad g = \sum (2,3,4,5,6,8,9).$$
- IC 7447, 74247 (Anốt chung), 7448 (K chung), 4511 (CMOS) là các IC giải mã từ NBCD sang thập phân theo phương pháp hiển thị 7 đoạn.

Dụng cụ 7 đoạn
sáng

Sơ đồ khối

Mạch logic tổ hợp(19)

❖ Mạch giải mã nhị phân:

- Là bộ giải mã "1 từ n ", bộ giải mã địa chỉ hoặc bộ chọn địa chỉ nhị phân. Chức năng của nó là lựa chọn duy nhất một lối ra (lấy giá trị 1 hoặc 0), khi tác động tới đầu vào một số nhị phân.



Sơ đồ khối của bộ giải mã nhị phân

- Số nhị phân là n bit (n lối vào) sẽ nhận diện được 2^n địa chỉ khác nhau (trên 2^n lối ra). Nói khác đi, mạch chọn địa chỉ nhị phân là một mạch logic tổ hợp có n lối vào và 2^n lối ra, nếu tác động tới đầu vào một số nhị phân thì chỉ duy nhất một lối ra được lựa chọn, lấy giá trị 1 (tích cực cao) hoặc 0 (tích cực thấp), các lối ra còn lại đều không được lựa chọn, lấy giá trị 0 hoặc 1.

Mạch logic tổ hợp(20)

❖ Bộ hợp kênh và phân kênh:

■ Bộ hợp kênh (MUX-Multiplexer)

- **Định nghĩa:** Bộ hợp kênh là mạch có 2^n lối vào dữ liệu, n lối vào điều khiển, 1 lối vào chọn mạch và 1 lối ra.
- Tùy theo giá trị của n lối vào điều khiển mà lối ra sẽ bằng một trong những giá trị ở lối vào (X_j). Nếu giá trị thập phân của n lối vào điều khiển bằng j thì $Y = X_j$.

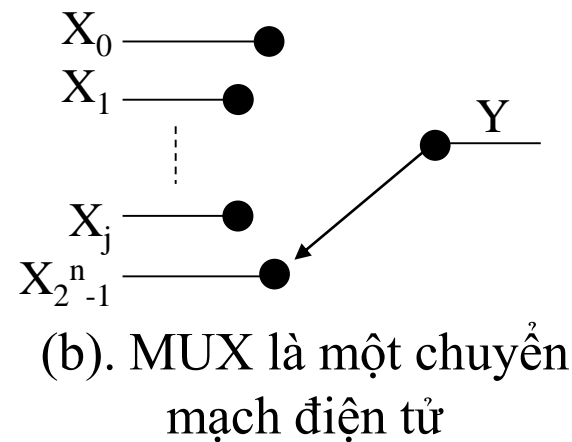
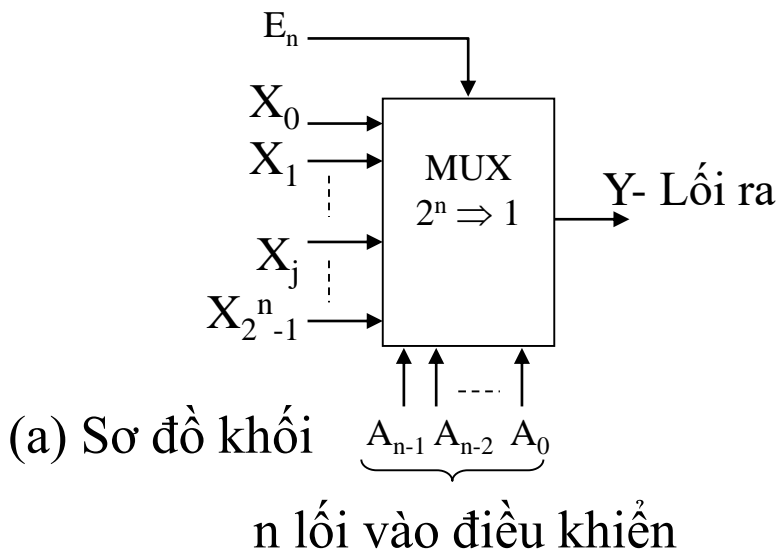
■ Bộ phân kênh (DEMUX-DeMultiplexer)

- **Định nghĩa:** Bộ phân kênh là mạch có 1 lối vào dữ liệu, n lối vào điều khiển, 1 lối vào chọn mạch và 2^n lối ra.
- Tùy theo giá trị của n lối vào điều khiển mà lối ra thứ i (Y_i) sẽ bằng giá trị của lối vào. Cụ thể nếu gọi n lối vào điều khiển là $A_{n-1}A_{n-2}...A_0$ thì $Y_i = X$ khi $(A_{n-1}A_{n-2}...A_0)_2 = (i)_{10}$.

Mạch logic tổ hợp(21)

❖ **MUX:** Phương trình tín hiệu ra của MUX $2^n \Rightarrow 1$:

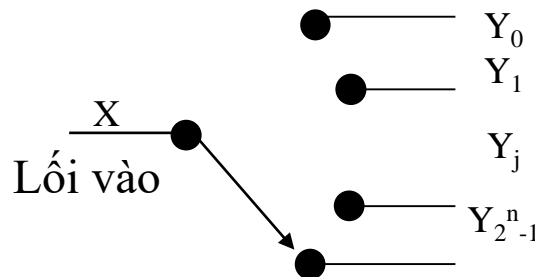
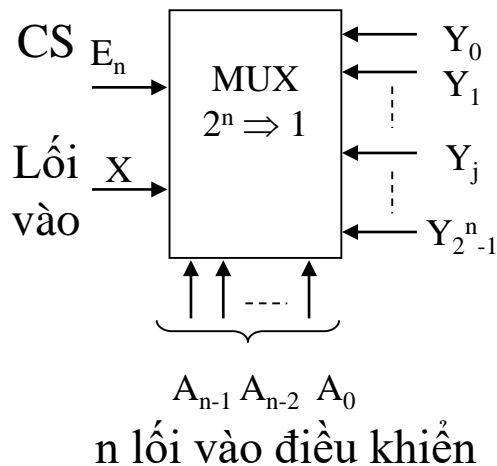
$$Y = X_0 (\overline{A_{n-1}} \overline{A_{n-2}} \dots \overline{A_i} \dots \overline{A_0}) + X_1 (\overline{A_{n-1}} \overline{A_{n-2}} \dots \overline{A_i} \dots A_0) + \dots + X_{2^n-1} (A_{n-1} A_{n-2} \dots A_i \dots A_1 A_0)$$



- MUX là chuyển mạch điện tử dùng các tín hiệu điều khiển để điều khiển sự nối mạch của lối ra với 1 trong số 2^n lối vào.
- MUX được dùng như 1 phần tử vạn năng để xây dựng những mạch tổ hợp khác.
- IC 74151 là bộ MUX 8 lối vào dữ liệu - 1 lối ra.

Mạch logic tổ hợp(22)

❖ **DMUX:** Phương trình tín hiệu ra của DEMUX 1 $\Rightarrow 2^n$:



$$Y_0 = X \cdot \bar{A}_{n-1} \bar{A}_{n-2} \dots \bar{A}_i \dots \bar{A}_0$$

$$Y_1 = X \cdot \bar{A}_{n-1} \bar{A}_{n-2} \dots \bar{A}_i \dots A_1 A_0$$

.....

$$Y_{2^n-1} = X \cdot A_{n-1} \cdot A_{n-2} \dots A_i \dots A_0$$

(a) Sơ đồ khối (b). DEMUX là một chuyển mạch điện tử

- Bộ phân kênh còn được gọi là bộ giải mã 1 trong 2^n . Tại một thời điểm chỉ có 1 trong số 2^n lối ra ở mức tích cực.
- IC 74138 là bộ DEMUX 1 lối vào dữ liệu - 8 lối ra.

Mạch logic tổ hợp(23)

- ❖ **Mạch bán tổng (Half Adder - HA)**
- ❖ Mạch cộng bán phần có 2 đầu vào:
 - A_i là chữ số cột thứ i của số A .
 - B_i là chữ số cột thứ i của số B .
- ❖ Mạch có 2 đầu ra:
 - S_i là kết quả phép cộng ở cột thứ i .
 - C_i là giá trị nhớ sang cột có trọng số cao hơn kế tiếp.

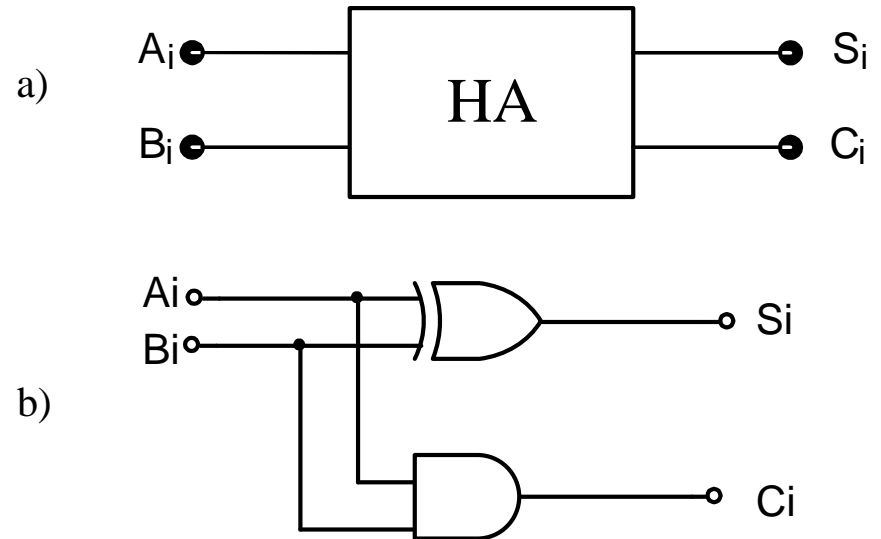
A_i	B_i	S_i	C_i
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

Mạch logic tổ hợp(24)

- ❖ Hình vẽ là sơ đồ khối và sơ đồ logic của HA.
- ❖ Ta có:

$$S_i = A_i \oplus B_i$$

$$C_i = A_i \cdot B_i$$



Mạch logic tổ hợp(25)

- ❖ **Mạch toàn tổng (Full Adder - FA):** Mạch logic thực hiện phép cộng hai số nhị phân 1 bit có lối nhớ đầu vào
- ❖ Mạch có 3 đầu vào:
 - Ai là chữ số cột thứ i của số A.
 - Bi là chữ số cột thứ i của số B.
 - Ci-1 là bit nhớ của trọng số nhỏ hơn liền kề chuyển đến
- ❖ Mạch có 2 đầu ra:
 - Si là kết quả phép cộng ở cột thứ i.
 - Ci là bit nhớ sang trọng số lớn hơn kế tiếp.
- ❖ Bảng trạng thái của FA được trình bày ở bảng sau:

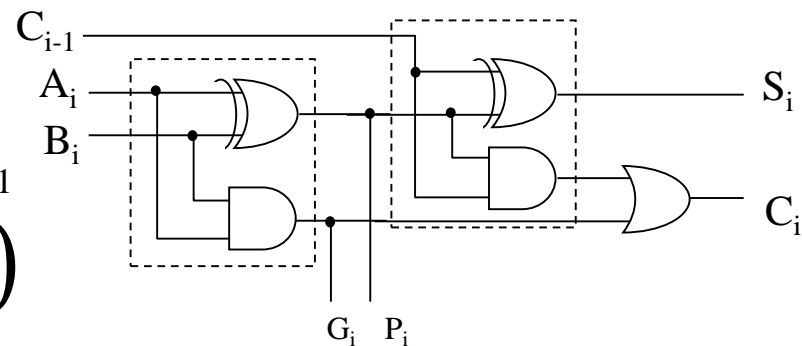
Mạch logic tổ hợp(26)

Bảng trạng thái				
C_{i-1}	A_i	B_i	S_i	C_i
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

Mạch logic tổ hợp(27)

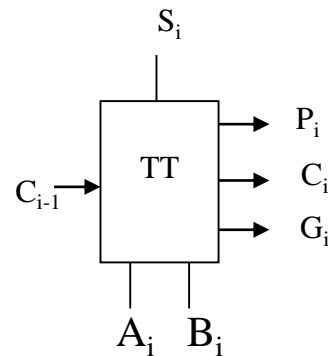
❖ Từ bảng trạng thái suy ra hàm logic của FA:

$$\begin{aligned} S_i &= \bar{A}_i \cdot \bar{B}_i C_{i-1} + \bar{A}_i B_i \bar{C}_{i-1} + A_i \bar{B}_i \bar{C}_{i-1} + A_i B_i C_{i-1} \\ &= \bar{A}_i (\bar{B}_i C_{i-1} + B_i \bar{C}_{i-1}) + A_i (\bar{B}_i \bar{C}_{i-1} + B_i C_{i-1}) \\ &= A_i \oplus B_i \oplus C_{i-1} \end{aligned}$$



a) Mạch điện

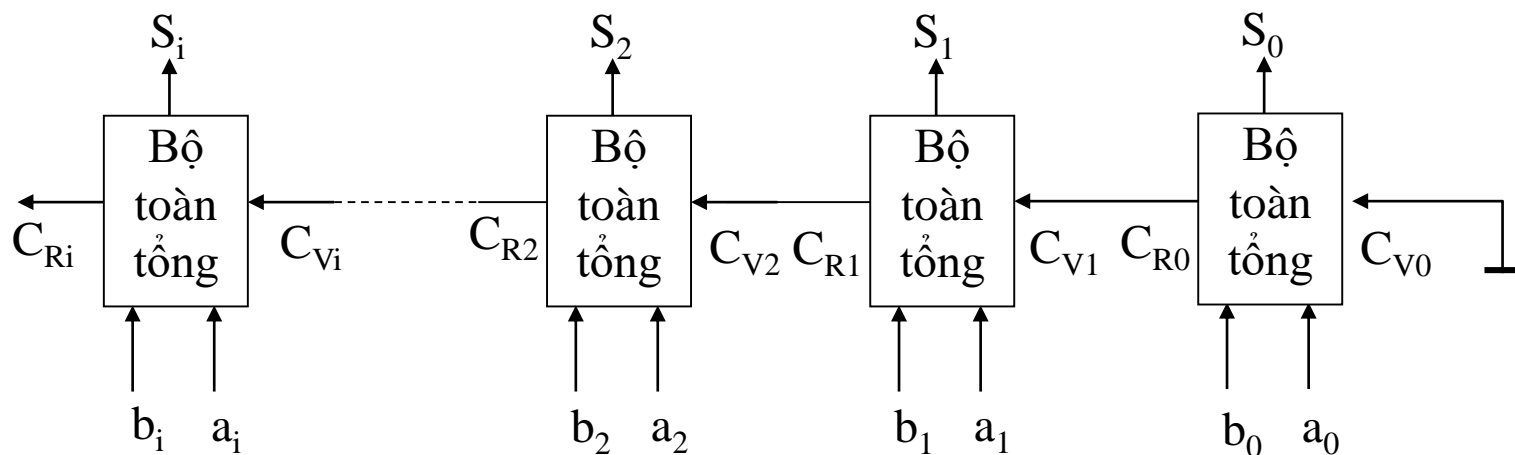
$$C_i = \bar{A}_i \cdot B_i C_{i-1} + A_i \bar{B}_i C_{i-1} + A_i B_i \bar{C}_{i-1} + A_i B_i C_{i-1}$$



b) Ký hiệu

Mạch logic tổ hợp(28)

- ❖ **Mạch cộng nhị phân song song:** ghép nhiều bộ cộng hai số nhị một bit lại với nhau để thực hiện phép cộng hai số nhị phân nhiều bit.



- Để giảm bớt mức độ phức tạp của mạch, trong thực tế người ta thường sản xuất bộ tổng 4 bit. Muốn cộng nhiều bit, có thể hợp nối tiếp một vài bộ tổng một bit theo phương pháp nêu trên.
- Bộ cộng thông dụng hiện nay là 7483. IC này được sản xuất theo hai loại: 7483 và 7483A với logic vào, ra khác nhau.

Mạch logic tổ hợp(29)

- ❖ **Mạch so sánh:** Trong các hệ thống số, đặc biệt là trong máy tính, thường thực hiện việc so sánh hai số.
 - Hai số cần so sánh có thể là các số nhị phân, có thể là các ký tự đã mã hoá nhị phân.
 - Mạch so sánh có thể hoạt động theo kiểu nối tiếp hoặc theo kiểu song song. Trong phần này ta sẽ nghiên cứu bộ so sánh theo kiểu song song.
 - Bộ so sánh bằng nhau
 - Bộ so sánh bằng nhau 1 bit
 - Bộ so sánh bằng nhau 4 bit
 - Bộ so sánh
 - Bộ so sánh 1 bit
 - Bộ so sánh 4 bit (So sánh lớn hơn)

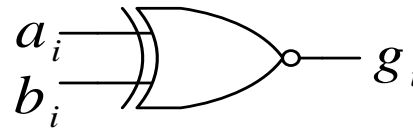
Mạch logic tổ hợp(30)

❖ Bộ so sánh bằng nhau 1 bit

- Xét 2 bit a_i và b_i , gọi g_i là kết quả so sánh.
- Ta có:

$$g_i = \overline{a_i} \cdot \overline{b_i} + a_i \cdot b_i = \overline{a_i \oplus b_i}$$

Sơ đồ logic của hàm ra
bộ so sánh bằng 1 bit



Bảng trạng thái của bộ
so sánh bằng 1 bit

a_i	b_i	g_i
0	0	1
0	1	0
1	0	0
1	1	1

❖ Bộ so sánh bằng nhau 4 bit

- So sánh hai số nhị phân 4 bit $A = a_3a_2a_1a_0$ với $B = b_3b_2b_1b_0$.
Có $A = B \Leftrightarrow a_3 = b_3, a_2 = b_2, a_1 = b_1, a_0 = b_0$.
- Biểu thức đầu ra tương ứng là: $G = g_3g_2g_1g_0$ với:

$$g_3 = \overline{a_3 \oplus b_3}, \quad g_2 = \overline{a_2 \oplus b_2}, \quad g_1 = \overline{a_1 \oplus b_1}, \quad g_0 = \overline{a_0 \oplus b_0}$$

Mạch logic tổ hợp(31)

❖ Bộ so sánh 1 bit

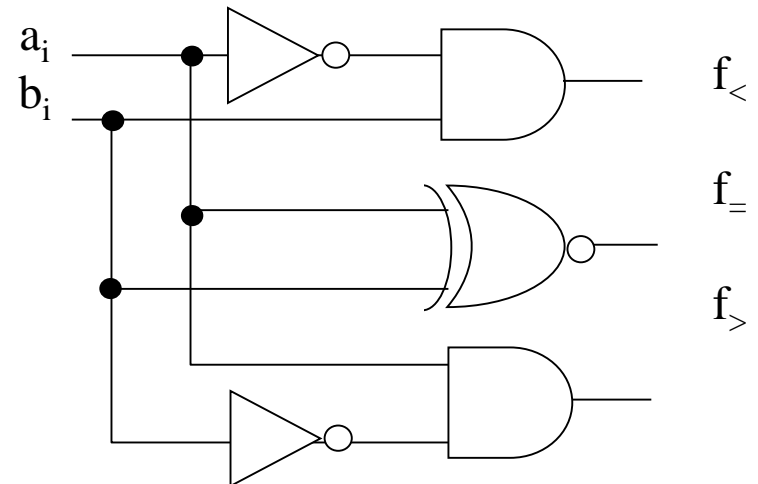
Bảng trạng thái của mạch so sánh				
a_i	b_i	$f_{<}$	$f_{=}$	$f_{>}$
0	0	0	1	0
0	1	1	0	0
1	0	0	0	1
1	1	0	1	0

$$f_{<} = \overline{a_i} \cdot b_i$$

❖ Biểu thức đầu ra: $f_{=} = \overline{a_i \oplus b_i}$

$$f_{>} = a_i \cdot \overline{b_i}$$

Mạch điện của bộ so sánh 1 bit



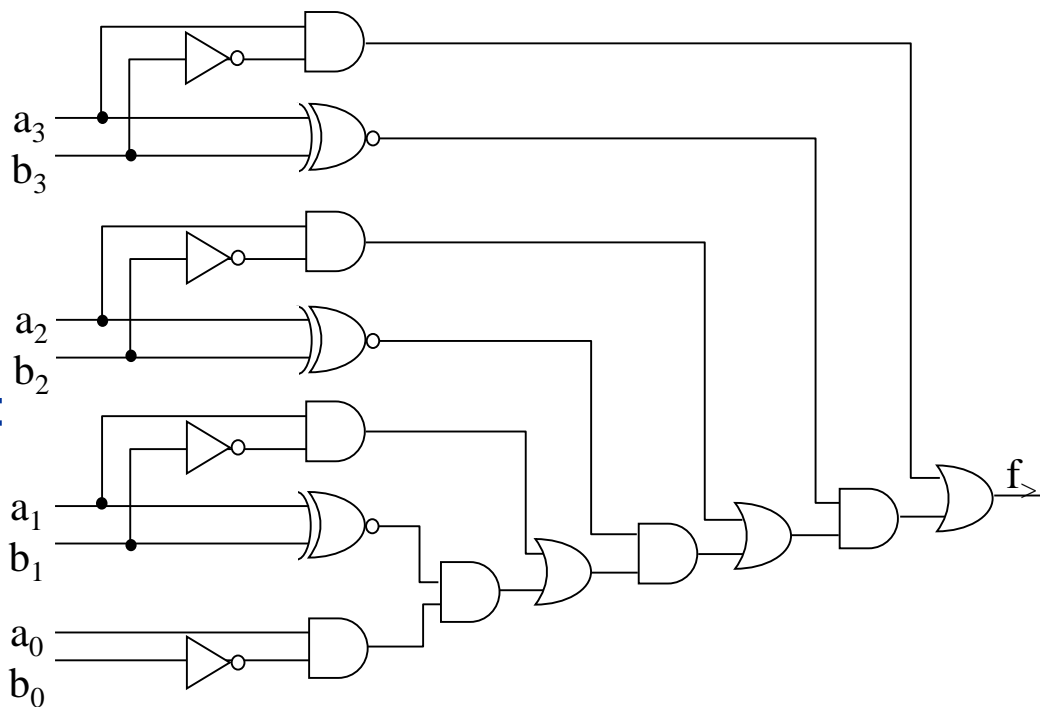
Mạch logic tổ hợp(32)

❖ Bộ so sánh 4 bit: $A = a_3a_2a_1a_0, B = b_3b_2b_1b_0$. $A > B$ khi:

- hoặc $a_3 > b_3$,
- hoặc $a_3 = b_3$, và $a_2 > b_2$,
- hoặc $a_3 = b_3$, và $a_2 = b_2$,
và $a_1 > b_1$,
- hoặc $a_3 = b_3$, và $a_2 = b_2$,
và $a_1 = b_1$, và $a_0 > b_0$.

Từ đó ta có biểu thức hàm ra là:

$$f_{>} = a_3 \cdot \overline{b_3} + \overline{a_3 \oplus b_3} \cdot a_2 \cdot \overline{b_2} + \overline{a_3 \oplus b_3} \cdot \overline{a_2 \oplus b_2} \cdot a_1 \cdot \overline{b_1} + \overline{a_3 \oplus b_3} \cdot \overline{a_2 \oplus b_2} \cdot \overline{a_1 \oplus b_1} \cdot a_0 \cdot \overline{b_0}$$

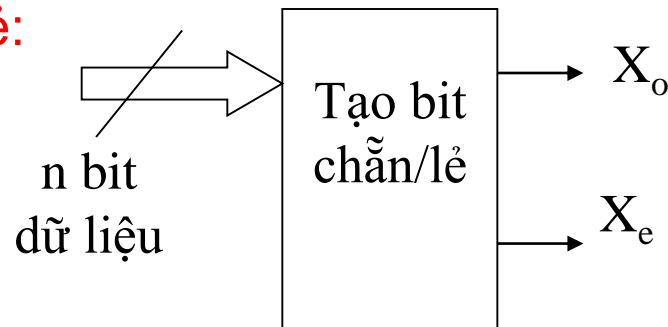


Mạch logic tổ hợp(33)

- ❖ **Mạch tạo và kiểm tra chẵn lẻ:** Có nhiều phương pháp mã hoá dữ liệu để phát hiện lỗi và sửa lỗi khi truyền dữ liệu từ nơi này sang nơi khác. Phương pháp đơn giản nhất là thêm một bit vào dữ liệu được truyền đi sao cho số chữ số 1 trong dữ liệu luôn là chẵn hoặc lẻ. Bit thêm vào đó được gọi là bit chẵn/lẻ.
 - Để thực hiện được việc truyền dữ liệu theo kiểu đưa thêm bit chẵn, lẻ vào dữ liệu chúng ta phải:
 - Xây dựng sơ đồ tạo được bit chẵn, lẻ để thêm vào n bit dữ liệu.
 - Xây dựng sơ đồ kiểm tra hệ xem đó là hệ chẵn hay lẻ với $(n + 1)$ bit ở đầu vào (n bit dữ liệu, 1 bit chẵn/lẻ).

Mạch logic tổ hợp(34)

❖ Mạch tạo bit chẵn/lẻ:



❖ Xét trường hợp 3 bit dữ liệu d_1, d_2, d_3

❖ Gọi X_e, X_o là 2 bit chẵn, lẻ thêm vào dữ liệu.

❖ Từ bảng trạng thái ta thấy $X_o = \overline{X_e}$ hay $X_e = \overline{X_o}$

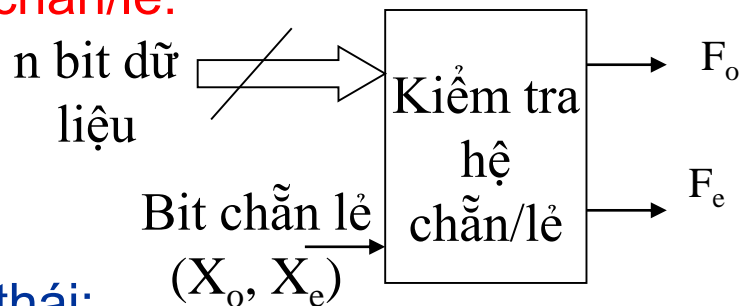
❖ Và biểu thức dựa vào d_1, d_2, d_3 là

$$X_o = \overline{X_e} = \overline{d_1 \oplus d_2 \oplus d_3}$$

Bảng trạng thái của mạch tạo bit chẵn lẻ				
Vào			Ra	
d_1	d_2	d_3	X_e	X_o
0	0	0	0	1
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	0

Mạch logic tổ hợp(35)

❖ Mạch kiểm tra chẵn/lẻ:



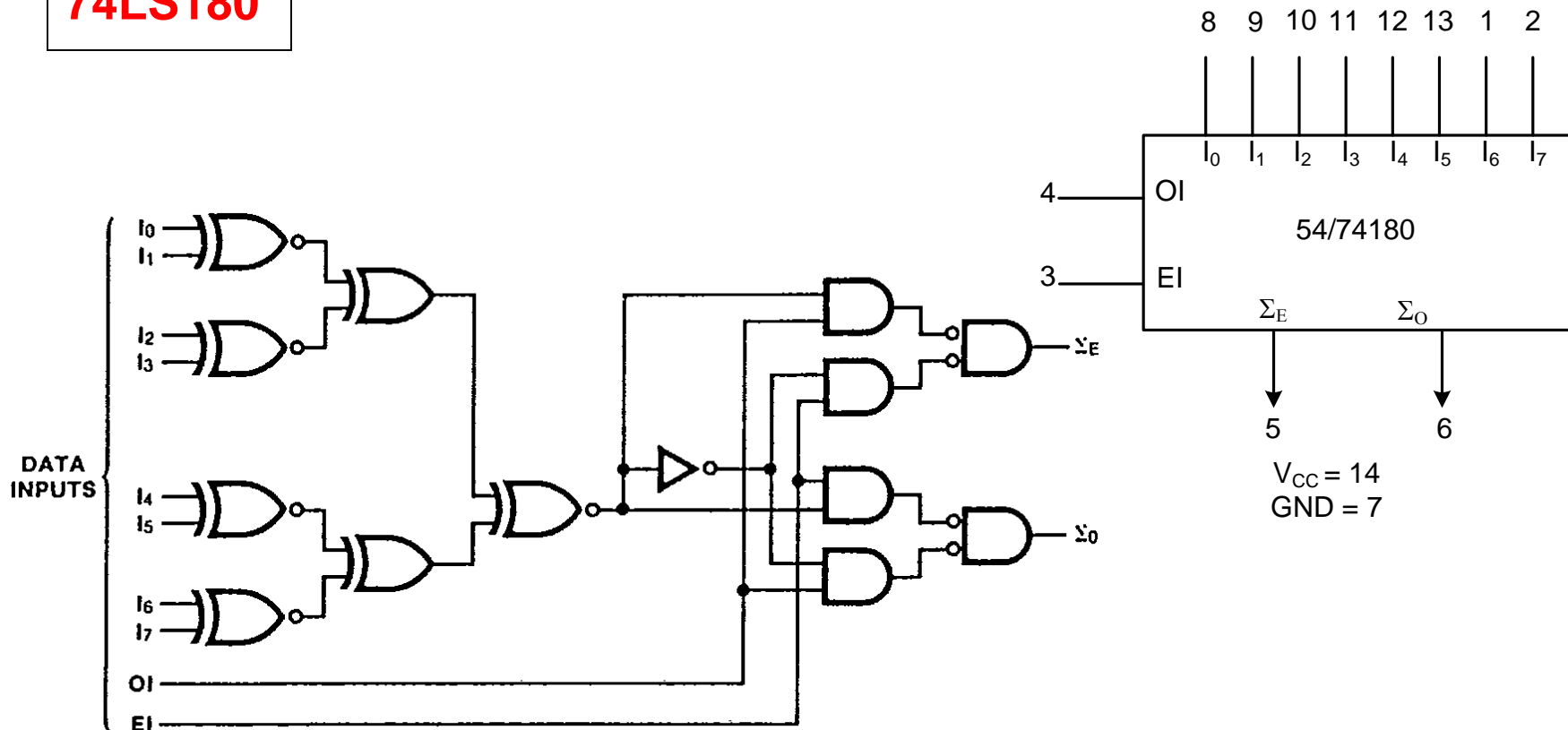
❖ Từ bảng trạng thái:

- $F_e = 1$ nếu hệ là chẵn (F_e chỉ ra tính chẵn của hệ).
 - $F_o = 1$ nếu hệ là lẻ (F_o chỉ ra tính lẻ của hệ).
- ❖ Hai hàm kiểm tra chẵn/lẻ luôn là phủ định của nhau. Do tính chất của hàm cộng XOR, ta có:
- $F_o = d_1 \oplus d_2 \oplus d_3 \oplus X$
 - $F_e = \overline{F_o}$

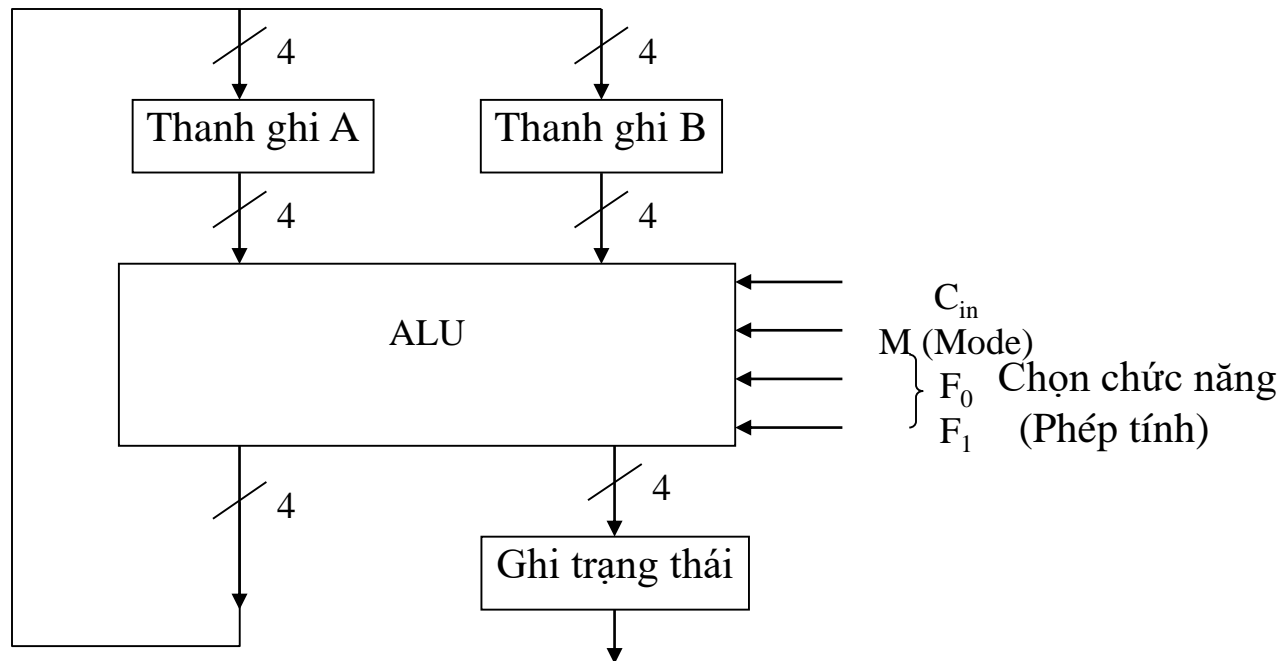
Vào				Ra	
d_1	d_2	d_3	X	F_o	F_e
0	0	0	0	0	1
0	0	0	1	1	0
0	0	1	0	1	0
0	0	1	1	0	1
0	1	0	0	1	0
0	1	0	1	0	1
0	1	1	0	0	1
0	1	1	1	1	0
1	0	0	0	1	0
1	0	0	1	0	1
1	0	1	0	0	1
1	0	1	1	1	0
1	1	0	0	0	1
1	1	0	1	1	0
1	1	1	0	1	0
1	1	1	1	0	1

Mạch logic tổ hợp(36)

74LS180



Mạch logic tổ hợp(37)



- ❖ **Đơn vị số học và logic (ALU - Arithmetic Logic Unit):** bao gồm 2 khối chính là khối logic và khối số học và một khối ghép kênh.
- Khối logic: Thực hiện phép tính logic: AND, OR, NOT, XOR.
 - Khối số học: Thực hiện phép tính số học: cộng, trừ, tăng 1, giảm 1.

Mạch logic tổ hợp(38)

- ❖ **Hazzards/Glitch:** Hazard còn được gọi là sự "sai nhầm", hoạt động lúc được lúc không của mạch logic.
 - Xảy ra trong một mạch điện hoàn toàn không bị hỏng linh kiện làm cho mạch hoạt động không có sự tin cậy.
 - Hiện tượng của Hazard trong mạch tổ hợp có thể gặp là:
 - Hazard chỉ xuất hiện một lần và không bao giờ gặp lại nữa.
 - Hazard có thể xuất hiện nhiều lần (theo một chu kỳ nào đó hoặc không theo một chu kỳ nào).
 - Hazard có thể do chính chức năng của mạch điện gây ra. Đây là trường hợp khó giải quyết nhất khi thiết kế.

Mạch logic tổ hợp(39)

- ❖ Bản chất của hazzards
 - Do sự chạy đua giữa các tín hiệu
 - VD: demo trên Logicworks
- ❖ Phân loại hazzard
 - Hazzard tĩnh : Đầu ra chỉ xuống 0 hoặc 1 một lần
 - Hazzard động : Đầu ra có thể thay đổi nhiều hơn 1 lần

MẠCH LOGIC TUẦN TỰ

Mạch logic tuần tự(1)

❖ **Nội dung:**

- Khái niệm chung
- Phần tử nhớ trong mạch tuần tự
- Phương pháp mô tả mạch tuần tự
- Phân tích và thiết kế mạch tuần tự
- Mạch tuần tự đồng bộ
- Mạch tuần tự không đồng bộ
- Hiện tượng chu kỳ và chạy đua trong mạch không đồng bộ
- Một số mạch tuần tự thông dụng

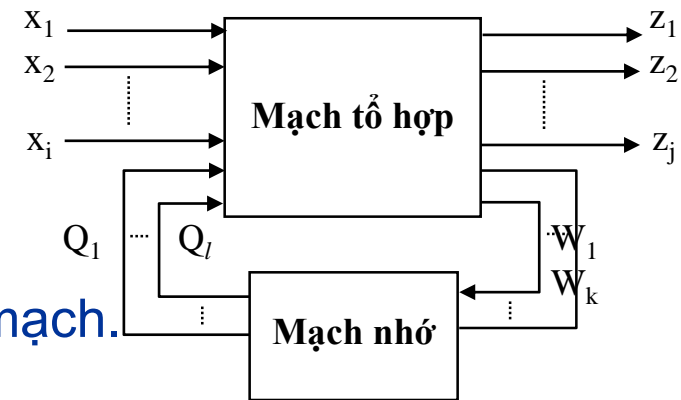
Mạch logic tuần tự(2)

❖ Khái niệm chung

- Còn gọi là mạch dãy - Sequential Circuit.
- Trạng thái của mạch phụ thuộc đầu vào và trạng thái bên trong trước đó của mạch. Nói cách khác các hệ thống này làm việc theo nguyên tắc có nhớ.

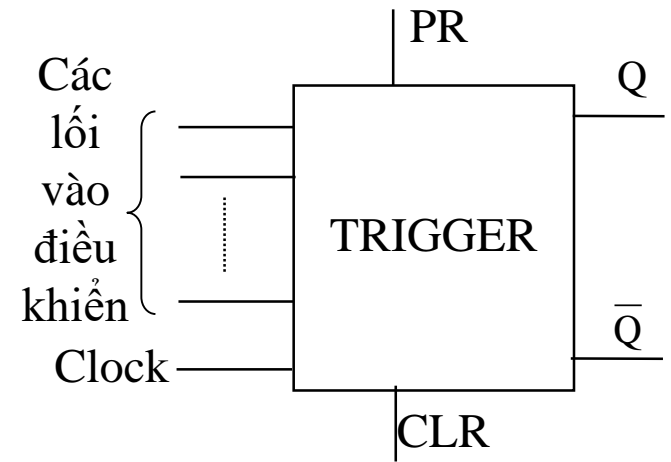
❖ Mô hình toán học

- $Z = f(Q, X)$
 - X - tập tín hiệu vào.
 - Q - tập trạng thái trong trước đó của mạch.
 - W - hàm kích và Z - các hàm ra
- Biểu diễn khác: $Z = f(Q(n), X)$; $Q(n+1) = f(Q(n), X)$
 - $Q(n+1)$: là trạng thái tiếp theo của mạch.
 - $Q(n)$: là trạng thái bên trong trước đó.



Mạch logic tuần tự(3)

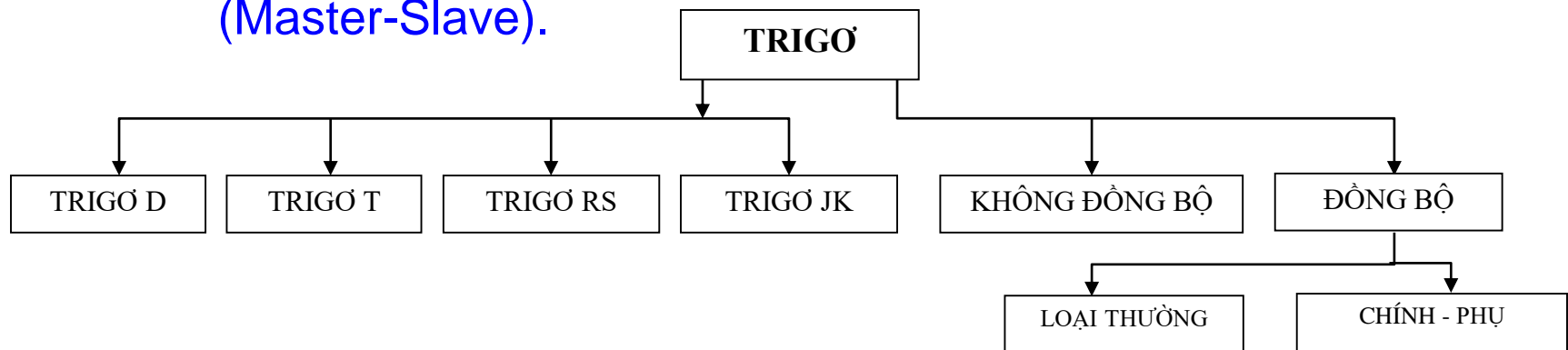
- ❖ **Trigger:** là phần tử nhớ một trong hai trạng thái 0 và 1.
- Trigo^o có từ 1 đến một vài lối điều khiển, có hai lối ra luôn luôn ngược nhau là Q và \bar{Q} . Tùy từng loại trigo có thể có thêm các lối vào lập (PRESET) và lối vào xóa (CLEAR). Ngoài ra, trigo còn có lối vào đồng bộ (CLOCK). Hình bên là sơ đồ khối tổng quát của trigo.



Mạch logic tuần tự(4)

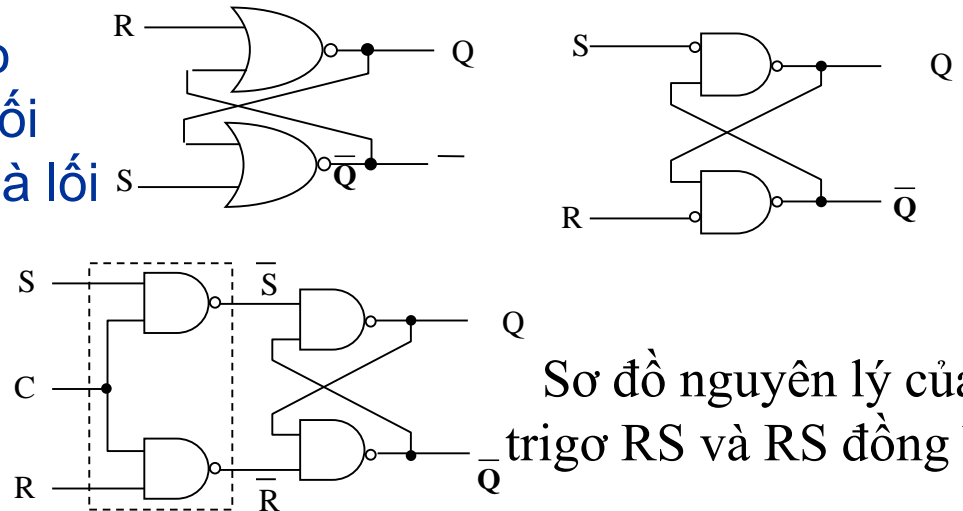
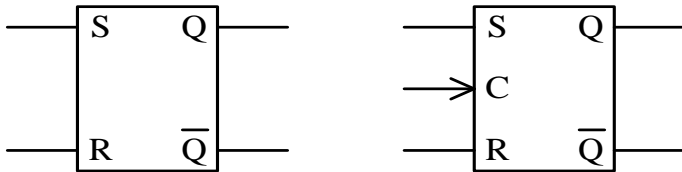
❖ Phân loại:

- Theo chức năng làm việc của của các lối vào điều khiển:
 - Trơ 1 lối vào như trơ D, T;
 - Trơ 2 lối vào như trơ RS, trơ JK.
- Theo phương thức hoạt động:
 - Trơ không đồng bộ
 - Trơ đồng bộ, có hai loại: trơ thường và trơ chính-phụ (Master-Slave).



Mạch logic tuần tự(5)

- ❖ **Trigger RS**: là loại có hai lối vào điều khiển S, R. Chân S gọi là lối vào "lập" (SET) và R được gọi là lối vào "xoá" (RESET).



Sơ đồ nguyên lý của
trigơ RS và RS đồng bộ

Bảng TT của trigơ RS

S	R	Q^k	Mod hoạt động
0	0	Q	Nhớ
0	1	0	Xóa
1	0	1	Lập
1	1	X	Cấm

Bảng TT của trigơ RS đồng bộ cổng
NAND

C	S	R	Q^k	Mod hoạt động
0	X	X	Q	Nhớ
1	0	0	Q	Nhớ
1	0	1	0	Xóa
1	1	0	1	Lập
1	1	1	X	Cấm

Mạch logic tuần tự(6)

❖ Tri gơ RS không đồng bộ:

Bảng trạng thái

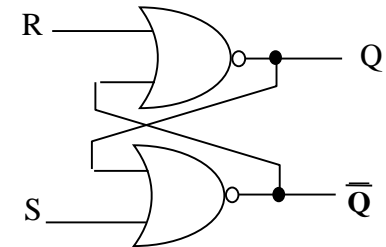
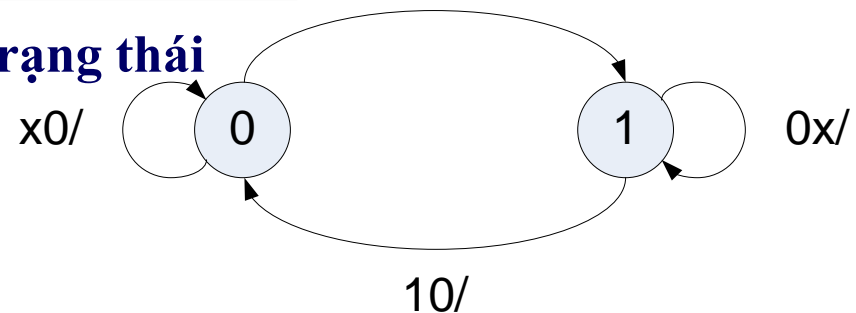
Q	R	S	Q ^k
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	X
1	0	0	1
1	0	1	1
1	1	0	0
1	1	1	X

Biểu thức:
$$\begin{cases} Q^K = S + \bar{R} \cdot Q \\ RS = 0 \text{ (Điều kiện để tránh tổ hợp cấm)} \end{cases}$$

Bảng Các nô

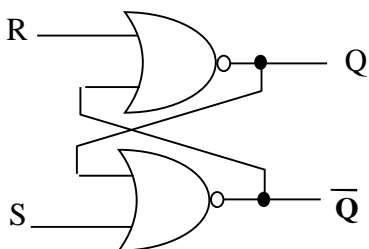
RS \ Q	00	01	11	10
0	0	1	X	0
1	1	1	X	0

Đồ hình trạng thái



Mạch logic tuần tự(7)

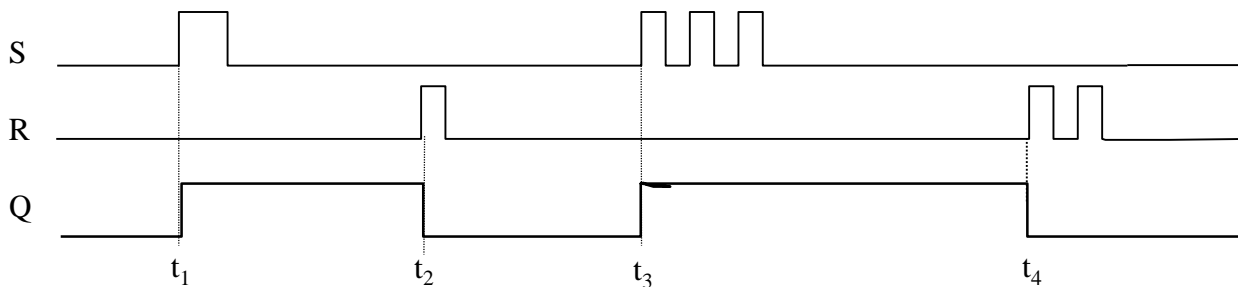
❖ Tri gơ RS không đồng bộ:



Bảng trạng thái

Q	R	S	Q ^k
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	X
1	0	0	1
1	0	1	1
1	1	0	0
1	1	1	X

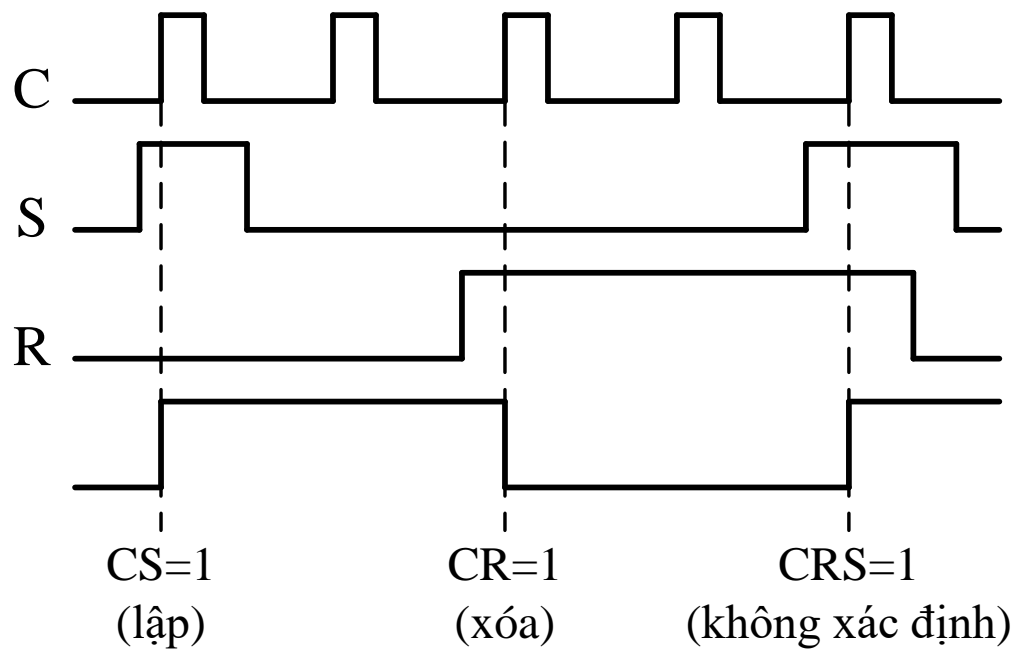
Đồ thị dạng xung:



Mạch logic tuần tự(8)

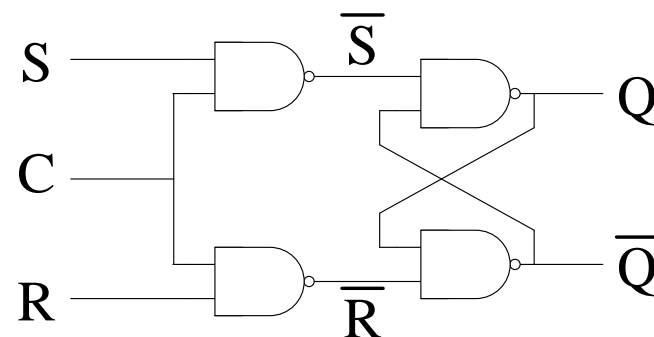
❖ Trì gơ RS đồng bộ

Đồ thị dạng xung



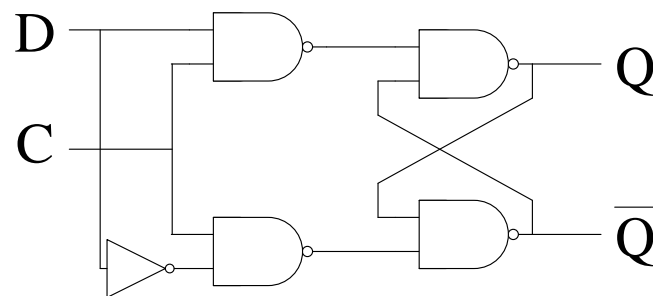
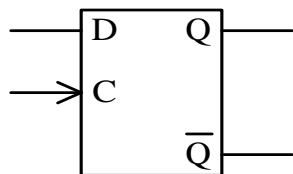
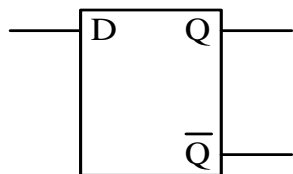
Bảng TT của trigơ RS đồng bộ cổng NAND

C	S	R	Q^k	Mod h.động
0	X	X	Q	Nhớ
1	0	0	Q	Nhớ
1	0	1	0	Xóa
1	1	0	1	Lập
1	1	1	X	Cấm



Mạch logic tuần tự(9)

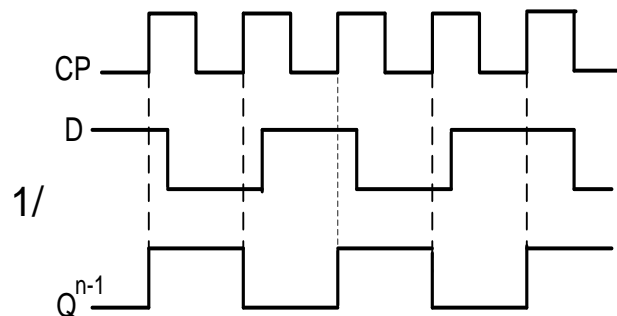
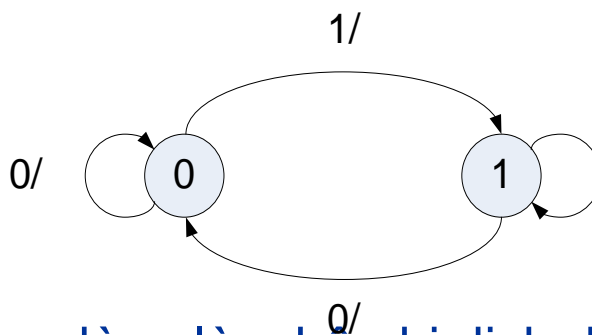
- ❖ **Trigơ D:** là loại trigơ có một lối vào điều khiển D.
- ❖ **Biểu thức:** $Q^k = D$, khi có sườn Clock.



Bảng trạng thái

Q	D	Q^k
0	0	0
0	1	1
1	0	0
1	1	1

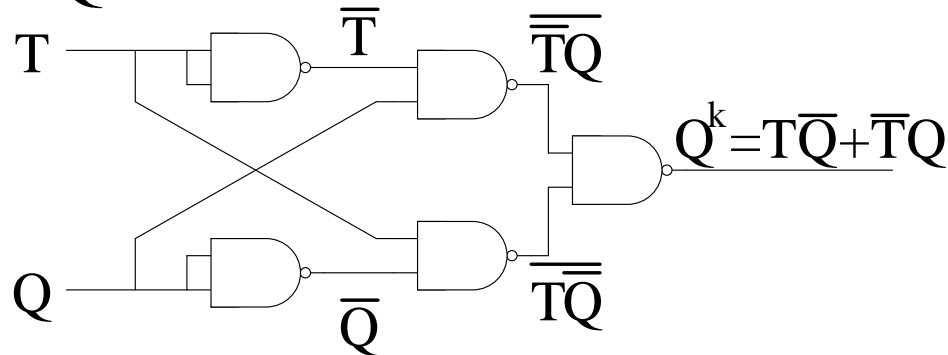
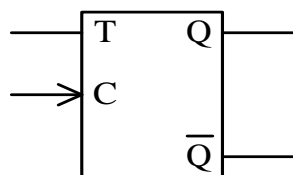
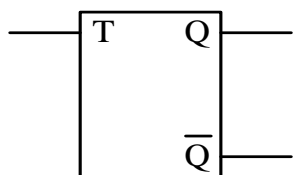
Đồ hình trạng thái



- ❖ **Ứng dụng:** thường dùng làm bộ ghi dịch dữ liệu hay bộ chốt dữ liệu.

Mạch logic tuần tự(10)

- ❖ **Trigơ T:** là loại trigơ có một lối vào điều khiển T. Mỗi khi có xung tới lối vào T thì lối ra Q sẽ thay đổi trạng thái.
- ❖ Biểu thức: $Q^k = \bar{T}Q + T\bar{Q} = T \oplus Q$
- ❖ Sơ đồ khối:



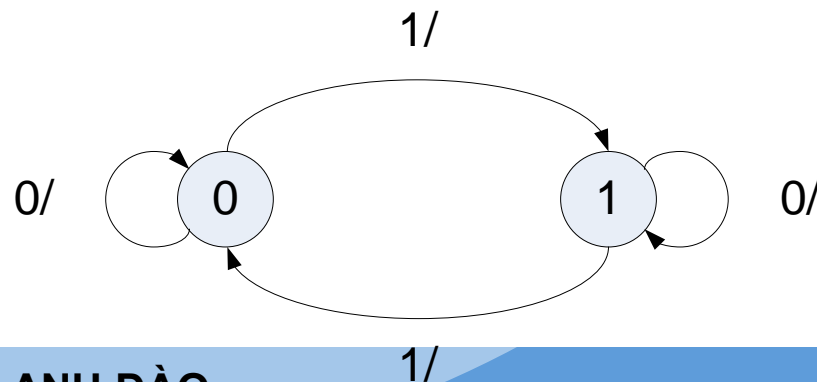
Bảng trạng thái

T	Q	Q^k
0	0	0
0	1	1
1	0	1
1	1	0

Bảng TT rút gọn

T	Q^k
0	Q
1	\bar{Q}

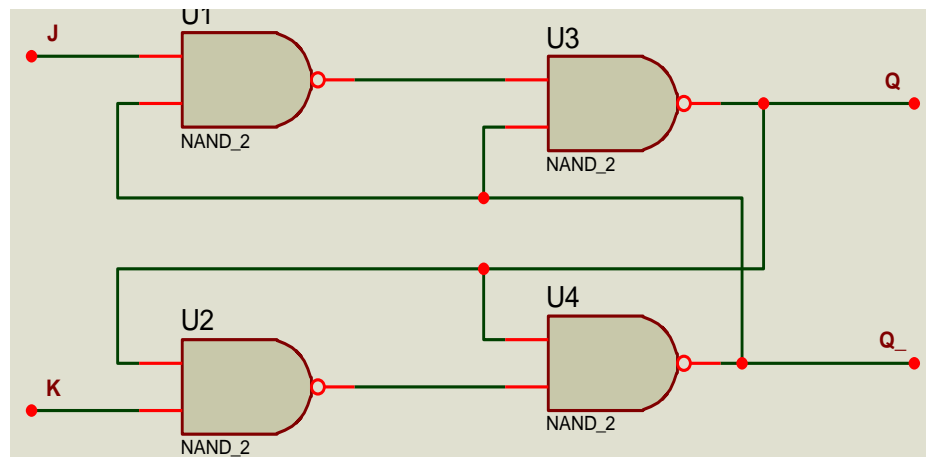
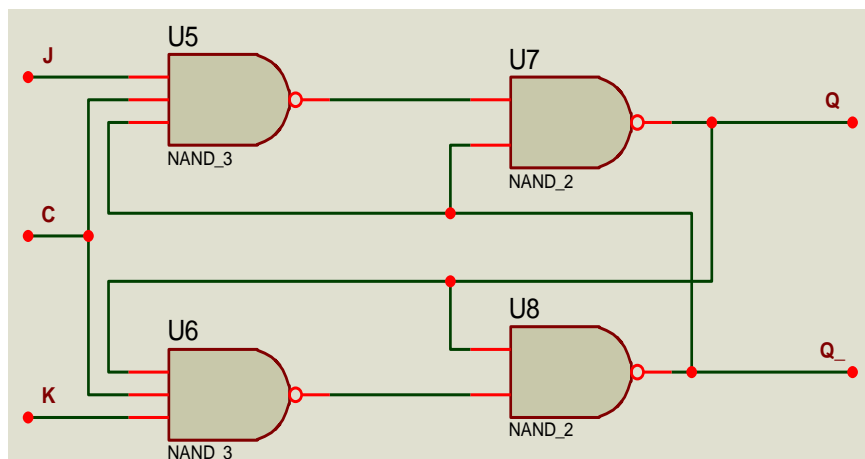
Đồ hình trạng thái



Mạch logic tuần tự(11)

❖ **Trigơ JK:** là loại trigơ có hai lối vào điều khiển J, K.

- Ưu điểm hơn trigơ RS là không còn tồn tại tổ hợp cấm bằng các đường hồi tiếp từ Q về chân R và từ \bar{Q} về S.
- Trigơ JK còn có thêm đầu vào đồng bộ C. Trigơ có thể lập hay xoá trong khoảng thời gian ứng với sườn âm hoặc sườn dương của xung đồng bộ C. Ta nói, trigơ JK thuộc loại *đồng bộ*.



Mạch logic tuần tự(12)

Bảng TT đầy đủ			
J	K	Q	Q^k
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

Bảng TT rút gọn		
J	K	Q^k
0	0	Q
0	1	0
1	0	1
1	1	Q'

Bảng TT của trigơ JK đồng bộ			
C	J	K	Q^k
0	X	X	Q
1	0	0	Q
	0	1	0
	1	0	1
	1	1	Q'

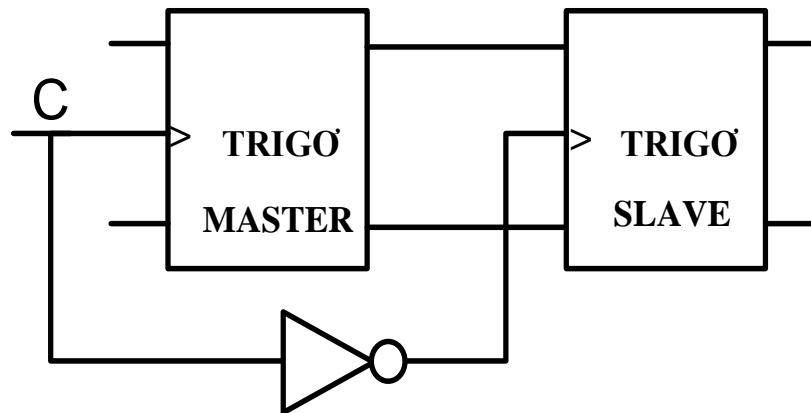
Mạch logic tuần tự(13)

Bảng hàm kích thích của các loại Trigo

Q	Q^k	S	R	J	K	T	D
0	0	0	X	0	X	0	0
0	1	1	0	1	X	1	1
1	0	0	1	X	1	1	0
1	1	X	0	X	0	0	1

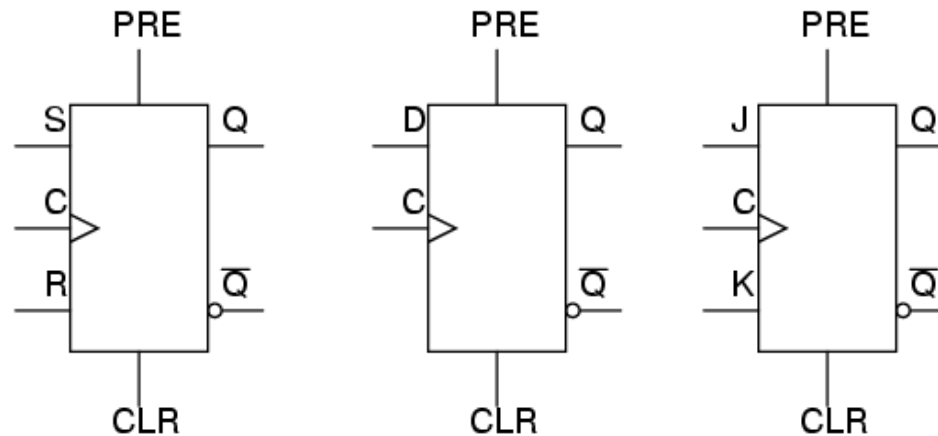
Mạch logic tuần tự(14)

- ❖ **Trigơ Chính-Phụ (Master-Slave):** Do các loại trigơ đồng bộ trên đều hoạt động tại sườn dương hay sườn âm của xung nhịp nên khi làm việc ở tần số cao thì lối ra Q không đáp ứng kịp với sự thay đổi của xung nhịp, nên mạch hoạt động ở tình trạng không được tin cậy.
- ❖ Lối ra của trigơ MS thay đổi tại sườn dương và sườn âm của xung nhịp. Cấu trúc của 2 trigơ giống nhau xung Clock ngược nhau để đảm bảo sao cho tại mỗi sườn của xung sẽ có một trigơ hoạt động.



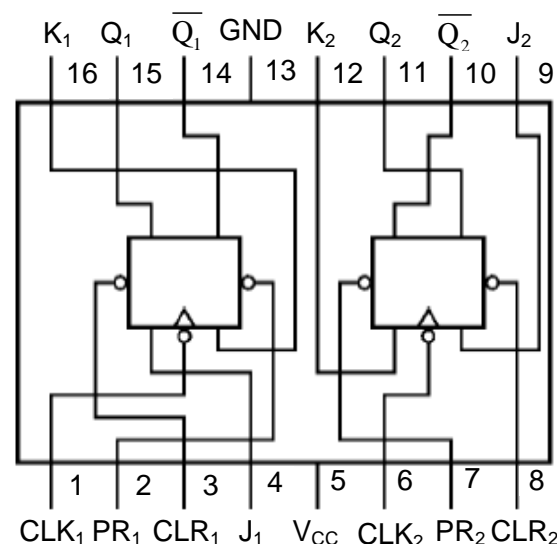
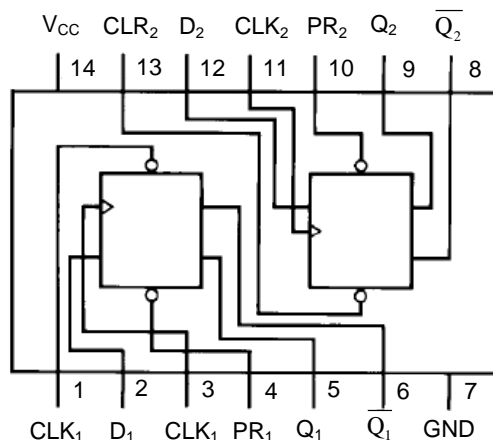
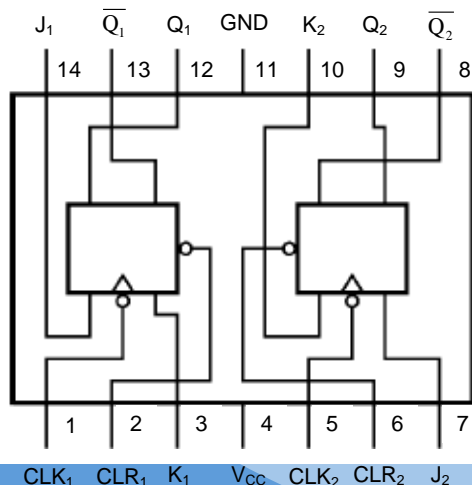
Mạch logic tuần tự(15)

- ❖ Lỗi vào không đồng bộ của Trigơ:
- ❖ Các lỗi vào dữ liệu thông thường của trigơ như D, S, R, J hoặc K là những lỗi vào đồng bộ
- ❖ Các trigơ còn có thêm 2 đầu vào không đồng bộ, các lỗi này tác động trực tiếp lên các lỗi ra mà không phụ thuộc vào xung Clock
- ❖ Các lỗi vào này thường được ký hiệu là: PRE (lập) và CLR (R -xóa) hoặc $\overline{\text{PRE}}$ và $\overline{\text{CLR}}$ ($\overline{\text{R}}$)



Mạch logic tuần tự(16)

- ❖ Một số IC Trơ thông dụng
- ❖ Trơ JK: IC 54/7473- IC này gồm hai trơ JK, hoạt động tại sườn âm của xung Clock
- ❖ Trơ D: IC 54/7474- IC này gồm hai trơ D có lỗi vào xóa và lỗi vào lập, hoạt động tại sườn dương của xung Clock
- ❖ Trơ JK: IC 54/7476- IC này gồm hai trơ JK có lỗi vào xóa và lỗi vào lập, hoạt động tại sườn âm của xung Clock.



Mạch logic tuần tự(17)

❖ Phương pháp mô tả mạch tuần tự:

- Phương trình logic (hay phương pháp đại số)
 - Dùng các phương trình logic để mô tả trạng thái và đầu ra.
- Bảng trạng thái
 - Bảng chuyển đổi trạng thái
 - Bảng tín hiệu ra
- Đồ hình trạng thái
 - Mô hình Mealy thực hiện ánh xạ
 - Mô hình Moore
- Đồ thị dạng xung

Mạch logic tuần tự(18)

❖ Bảng trạng thái:

- Bao gồm các hàng và các cột
- Các hàng ghi các trạng thái trong
- Các cột ghi các giá trị của tín hiệu vào.
- Các ô ghi giá trị các trạng thái trong kế tiếp mà mạch sẽ chuyển đến ứng với các giá trị ở hàng và cột

Trạng thái trong	Tín hiệu vào					Trạng thái kế tiếp Qk
	V S	V1	V2	Vn	
	S ₁				→	
	S ₂					
	.					
www.ptit.edu.vn S _n						

Mạch logic tuần tự(19)

❖ Bảng trạng thái:

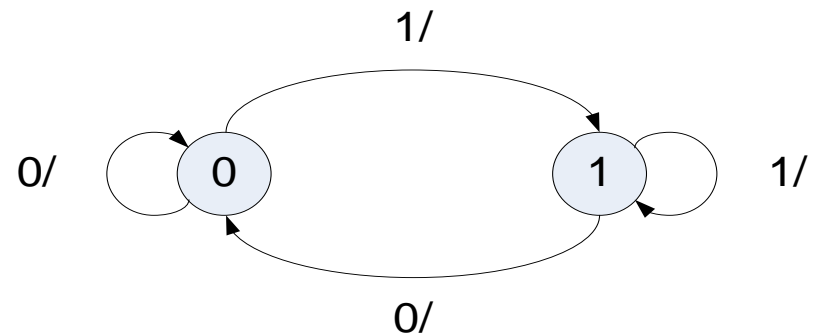
- Các hàng của bảng ghi các trạng thái trong
- Các cột ghi các tín hiệu vào.
- Các ô ghi giá trị của tín hiệu ra tương ứng.

Trạng thái trong Q_i^{n+1}	Tín hiệu vào					Trạng thái kế tiếp Q^{n+1}
	V	V_1	V_2	V_n	
	S					
	S_1				\rightarrow	
	S_2					
	$:$					
	S_n					

Mạch logic tuần tự(20)

❖ **Đồ hình trạng thái:** là hình vẽ phản ánh quy luật chuyển đổi trạng thái và tình trạng các giá trị ở lối vào và lối ra tương ứng của mạch tuần tự.

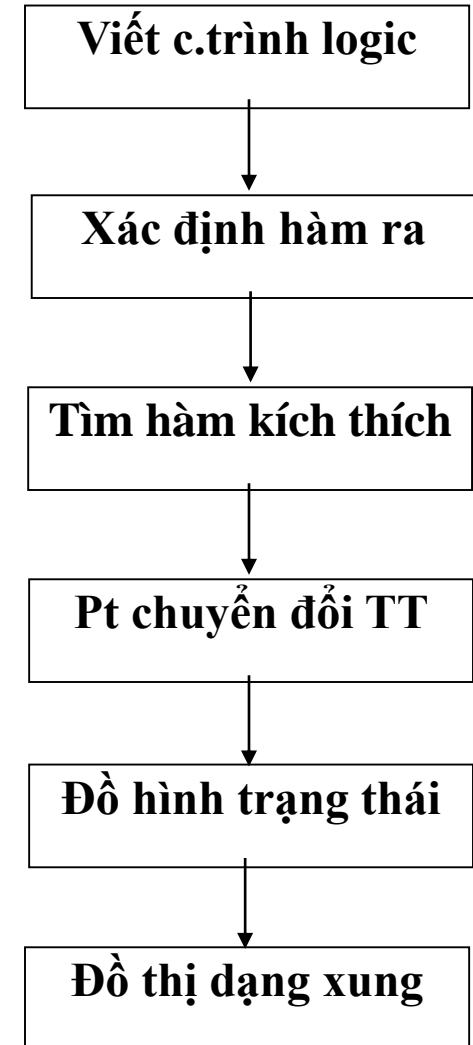
- Đồ hình trạng thái là một đồ hình có hướng gồm hai tập:
- M - Tập các đỉnh và K - Tập các cung có hướng.
- Mô hình Mealy
- Mô hình Moore



Q	D	Q ^k
0	0	0
0	1	1
1	0	0
1	1	1

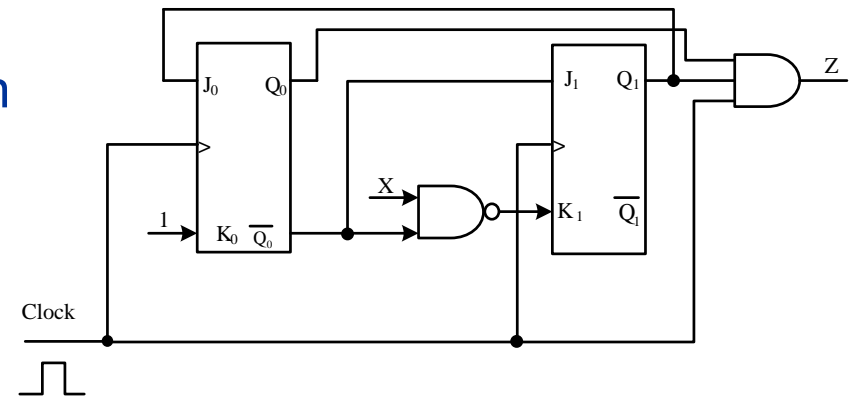
Mạch logic tuần tự(21)

- ❖ **Phân tích mạch tuần tự - Lý thuyết**
- ❖ **Viết chương trình logic:**
 - Viết chương trình logic cho lối vào đồng bộ, điều kiện chuyển trạng thái của các phần tử nhớ.
- ❖ **Xác định hàm ra:**
- ❖ **Tìm hàm kích thích:**
 - Viết phương trình chuyển đổi trạng thái (chính là phương trình đặc trưng của TG đã cho).
- ❖ **Phương trình chuyển đổi trạng thái:**
 - Thay số tổ hợp trạng thái vào các phương trình kích thích, phương trình chuyển đổi trạng thái để tính bảng chuyển đổi trạng thái.
- ❖ **Vẽ đồ hình trạng thái dưới dạng nhị phân hoặc dạng rút gọn**
- ❖ **Vẽ đồ thị dạng xung gồm:**
 - Clock, xung của mỗi biến trạng thái và xung ra.



Mạch logic tuần tự(22)

- ❖ Phân tích mạch tuần tự - Ví dụ
- ❖ *Bước 1:* Sơ đồ có hai đầu vào là tín hiệu X và xung nhịp Clock. Có một tín hiệu Z ra, mạch sử dụng hai phần tử nhớ là hai trigơ JK (Q_0 và Q_1).
- ❖ *Bước 2:* Xác định đầu vào, đầu ra và số trạng thái trong của mạch.
 - Mạch này có thể được biểu diễn bằng một “hộp đen” có hai đầu vào và một đầu ra. Do mạch được cấu tạo bằng hai trigơ nên số trạng thái có thể có của mạch là 4. Cụ thể là: $Q_1Q_0 = 00, 01, 10$ và 11 .



Mạch logic tuần tự(23)

❖ *Bước 3:* Xác định phương trình hàm ra và hàm kích cho trigơ.

- Từ sơ đồ trên ta tìm được:
- Phương trình hàm ra: $Z = C Q_1 Q_0$
- Phương trình hàm kích
 - $J_0 = Q_1$; $K_0 = 1$
 - $J_1 = \overline{Q_0}$; $K_1 = X \overline{Q_0} = \overline{X} + Q_0$

❖ *Bước 4.* Bảng chuyển đổi trạng thái

- Phương trình đặc trưng của trigơ JK là: $Q^k = J \overline{Q} + \overline{K} Q$
- Phương trình chuyển đổi trạng thái:

$$Q_0^k = J_0 \overline{Q_0} + \overline{K_0} Q_0 = Q_1 \overline{Q_0}$$

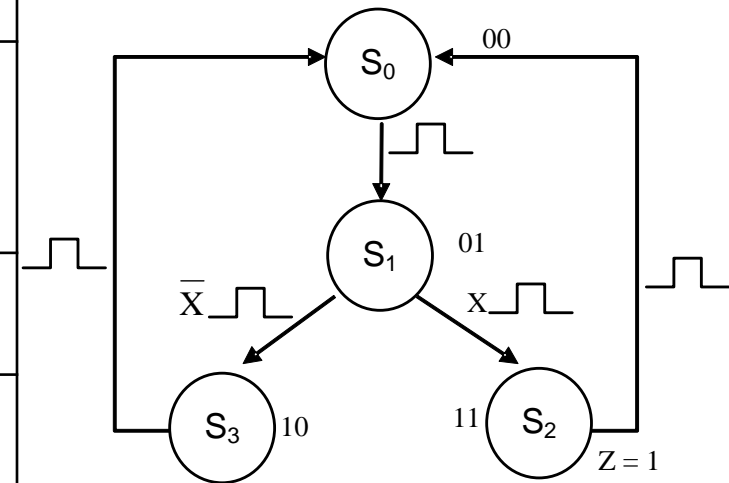
$$Q_1^k = J_1 \overline{Q_1} + \overline{K_1} Q_1 = \overline{Q_0} \overline{Q_1} + \overline{\overline{X} + Q_0} Q_1 = \overline{Q_0} \overline{Q_1} + X \overline{Q_0} Q_1$$

Mạch logic tuần tự(24)

❖ *Bước 5: Đồ hình trạng thái.*

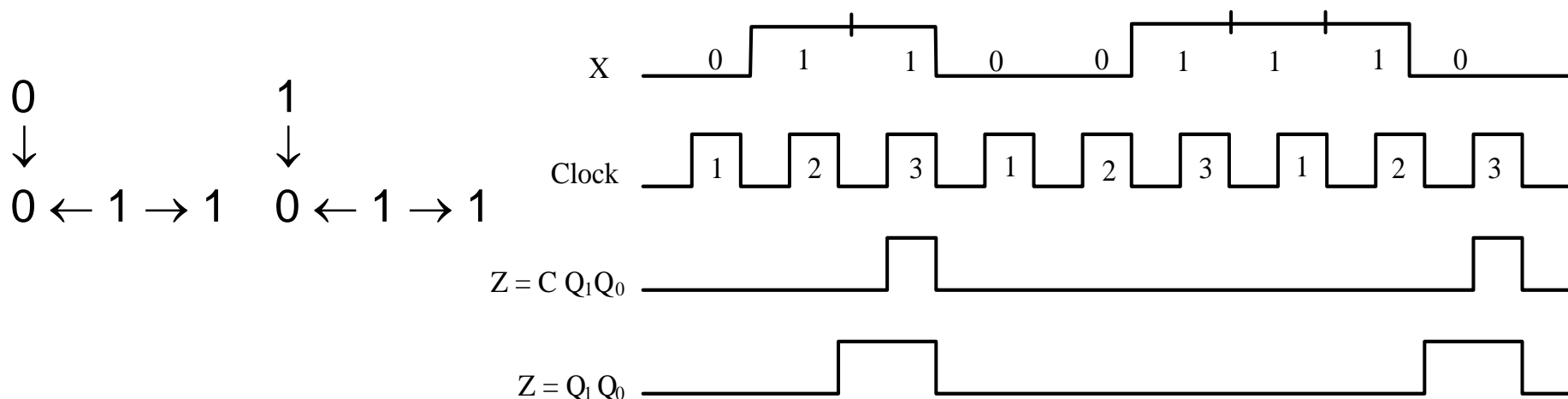
	Trạng thái hiện tại	Trạng thái kế tiếp		Tín hiệu ra	
		$X=0$ Q_0Q_1 1	$X=1$ Q_0Q_1	$X=0$ Z	$X=1$ Z
S	00	01	01	0	0
S	01	10	11	0	0
S	11	00	00	1	1
S	10	00	00	0	0

Bảng chuyển đổi trạng thái



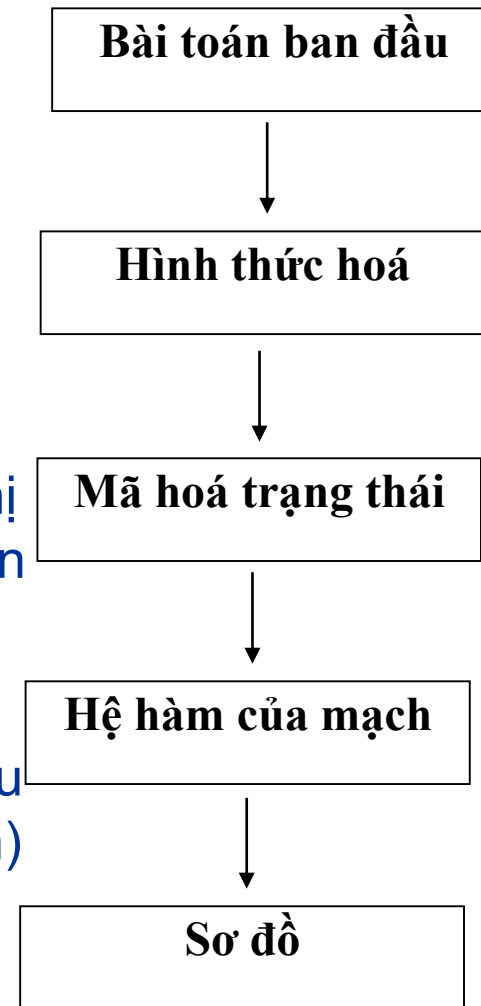
Mạch logic tuần tự(25)

- ❖ *Bước 6:* Chức năng của mạch: Theo đồ hình trạng thái:
- ❖ $S_0 \rightarrow S1 \rightarrow S2 \rightarrow S0$ và $S0 \rightarrow S1 \rightarrow S3 \rightarrow S0$.
- ❖ Theo $S0 \rightarrow S1 \rightarrow S2 \rightarrow S0$, $Z = 1$ khi có xung nhịp thứ 3.
- ❖ Theo $S0 \rightarrow S1 \rightarrow S3 \rightarrow S0$, $Z = 0$. Vậy chỉ xét trường hợp có $Z=1$: $S0 \rightarrow S1$ chỉ phụ thuộc vào clock; $S1 \rightarrow S2$ nhờ tác động của xung nhịp và sự tác động của tín hiệu vào $X = 1$; $S2 \rightarrow S0$ chỉ nhờ tác động của xung nhịp mà không phụ thuộc vào tín hiệu vào



Mạch logic tuần tự(26)

- ❖ **Thiết kế mạch tuần tự - Lý thuyết**
- ❖ Bài toán ban đầu:
 - Mô tả bằng ngôn ngữ/lưu đồ thuật toán.
- ❖ Hình thức hoá:
 - Lập bảng trạng thái/đồ hình trạng thái, rút gọn
- ❖ Mã hoá trạng thái:
 - Mã hoá tín hiệu vào/ra/trạng thái trong thành mã nhị phân (hoặc mã khác) có tập tín hiệu vào là X, tập tín hiệu ra là Y, tập các trạng thái trong là Q.
- ❖ Hệ hàm của mạch:
 - Xác định hệ phương trình logic của mạch → tối thiểu hoá. Viết phương trình hàm kích cho trigơ (nếu cần)
- ❖ Xây dựng sơ đồ:
 - Từ hệ phương trình tối giản → xây dựng mạch điện

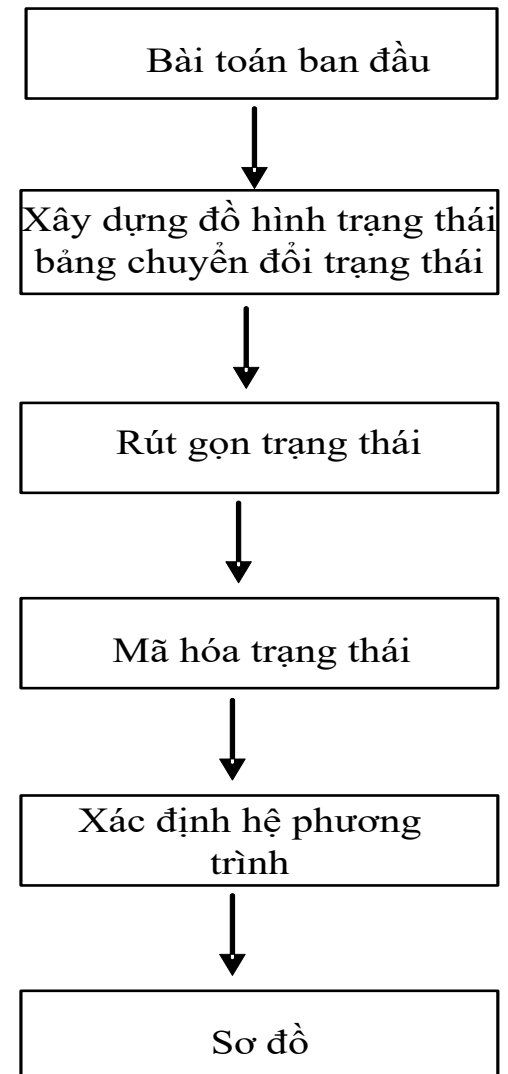


Mạch logic tuần tự(27)

- ❖ **Thiết kế mạch tuần tự - Ví dụ**
- ❖ Bài toán :Thiết kế mạch điều khiển đèn đường
- ❖ Hình thức hóa và mã hóa
 - Ký hiệu trạng thái các đèn (sáng: 1, tắt 0)
 - Tính toán số trạng thái
 - Vẽ sơ đồ trạng thái
 - Mã hóa trạng thái
 - Xây dựng bảng sự thật
- ❖ Xây dựng hàm
 - Từ bảng sự thật, rút gọn và xây dựng hàm
- ❖ Xây dựng sơ đồ mạch
 - Xây dựng sơ đồ mạch từ các phương trình đại số logic.

Mạch logic tuần tự(28)

- ❖ **Mạch tuần tự đồng bộ:**
- ❖ *Bước 1:* Gán hàm/biến và xác định quan hệ.
- ❖ *Bước 2:* Xây dựng đồ hình trạng thái, bảng chuyển đổi trạng thái và hàm ra.
- ❖ *Bước 3:* Rút gọn trạng thái
- ❖ *Bước 4:* Mã hoá trạng thái.
- ❖ *Bước 5:* Xác định hệ phương trình của mạch:
 - + Lập bảng chuyển đổi trạng thái và tín hiệu ra, từ đó xác định các phương trình kích cho các trigo.
 - + Dựa trực tiếp vào đồ hình trạng thái, viết hệ phương trình Ton, Toff của các trigo và phương trình hàm ra.
- ❖ *Bước 6:* Vẽ sơ đồ thực hiện.



Mạch logic tuần tự(29)

- ❖ **Mạch tuần tự không đồng bộ**
- ❖ *Bước 1:* Gán hàm/biến và xác định quan hệ.
- ❖ *Bước 2:* Xây dựng đồ hình trạng thái, bảng chuyển đổi trạng thái và hàm ra.
- ❖ *Bước 3:* Rút gọn trạng thái (tối thiểu hoá trạng thái).
- ❖ *Bước 4:* Mã hoá trạng thái.
- ❖ *Bước 5:* Xác định hệ phương trình của mạch:
 - Viết phương trình định thời.
 - Viết phương trình kích cho các trigơ và phương trình hàm ra.
- ❖ *Bước 6:* Vẽ sơ đồ thực hiện.

Mạch logic tuần tự(30)

❖ Các cách thiết kế mạch tuần tự:

❖ **Cách 1:** Dựa vào bảng chuyển đổi trạng thái.

A, B, ...N là các biến nhị phân mã hoá các trạng thái trong của mạch.

$X_1, X_2 \dots X_m$ là các tín hiệu vào; $Z_1, Z_2 \dots Z_m$ là các tín hiệu ra.

Dựa vào bảng chuyển đổi trạng thái xác định hệ phương trình:

$$A_k = f_A (A, B, \dots N, X_1, X_2 \dots X_m)$$

...

$$N_k = f_N (A, B, \dots N, X_1, X_2 \dots X_m)$$

$$Z_1 = g_1 (A, B, \dots N, X_1, X_2 \dots X_m)$$

.....

$$Z_n = g_n (A, B, \dots N, X_1, X_2 \dots X_m)$$

Tối thiểu hoá hệ hàm và viết phương trình ở dạng chỉ dùng NAND.

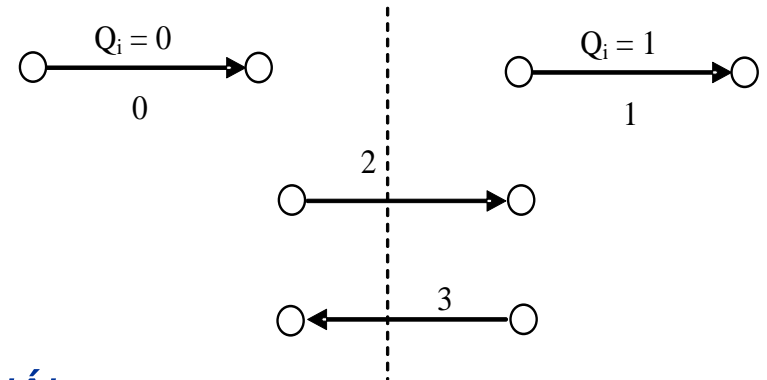
Mạch logic tuần tự(31)

- ❖ **Cách 2:** Dựa trực tiếp vào đồ hình trạng thái
 - Cho đồ hình trạng thái của mạch có tập tín hiệu vào V, tập tín hiệu ra R, tập trạng thái trong S (chưa mã hoá nhị phân).
- ❖ Các bước thiết kế
 - Mã hoá tín hiệu vào V, tín hiệu ra R, trạng thái trong S để chuyển thành mạch dạng nhị phân có các tập tín hiệu vào X, tín hiệu ra Y, trạng thái trong Q.
 - Xác định hệ phương trình tín hiệu ra: $Y_i = f_i(X, Q)$. Phương trình này được xác định trên các cung với mô hình kiểu Mealy, trên các đỉnh với mô hình kiểu Moore. Tối thiểu các hàm này.
 - Xác định hệ phương trình hàm kích, tối thiểu hoá.
 - Sau đây giới thiệu thuật toán xác định phương trình lối vào kích cho các trigơ từ đồ hình trạng thái.
 - Đối với trigơ Q_i bất kỳ sự thay đổi trạng thái từ Q_i đến Q_{ki} chỉ có thể có 4 khả năng.

Mạch logic tuần tự(32)

- Các cung biểu diễn sự thay đổi từ đến được ký hiệu như sau:

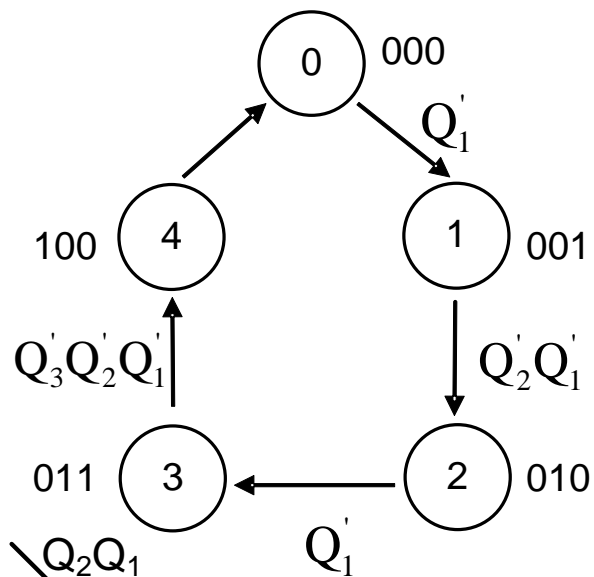
- $0 \rightarrow 0$ là (0)
- $1 \rightarrow 1$ (là 1)
- $0 \rightarrow 1$ là (2)
- $1 \rightarrow 0$ là (3).



- Thuật toán xác định phương trình lối vào kích cho trigơ Q_i loại D: $D_i = Q_i^{n+1}$
- = tuyển tất cả các cung đi tới đỉnh có $Q_i = 1$.
- = \sum các cung loại (2), kể cả khuyên tại đỉnh đó tức là cung loại 1
- = \sum (1) và (2)

Mạch logic tuần tự(33)

❖ Ví dụ: Thiết kế bộ đếm đồng bộ có $Mđ = 5$



		Q_2Q_1			
		00	01	11	10
Q_3	0	1	2	4	3
	1	0	x	x	x

		Q_2Q_1			
		00	01	11	10
Q_3	0	0	1	3	2
	1	4	x	x	x

		Q_2Q_1			
		00	01	11	10
Q_3	0	0	0	0	0
	1	1	x	x	x

Q_3 →

Mạch logic tuần tự(34)

- ❖ Ví dụ dùng trigơ D: Nhìn vào đồ hình trạng thái ta thấy: $Q_3 = 1$ tại đỉnh (4), $Q_2 = 1$ tại đỉnh (2), (3), $Q_1 = 1$ tại đỉnh (1), (3).
- ❖ $D_3 = \sum$ Các cung đi đến đỉnh (4) = (3) = $\overline{Q_3} Q_2 Q_1$
- ❖ $D_2 = \sum$ Các cung đi đến đỉnh (2), (3) = (1) + (2) = $\overline{Q_3} \overline{Q_2} Q_1 + \overline{Q_3} Q_2 \overline{Q_1}$
- ❖ $D_1 = \sum$ Các cung đi đến đỉnh (1), (3) = (0) + (2) = $\overline{Q_3} \overline{Q_2} \overline{Q_1} + \overline{Q_3} Q_2 \overline{Q_1}$
- ❖ Từ đó ta lập bảng Các nô để tối thiểu hóa hàm Di

Mạch logic tuần tự(35)

Q_2Q_1		00	01	11	10
Q_3	0	0	0	1	0
	1	0	x	x	x

$$D_3 = Q_2 Q_1$$

Q_2Q_1		00	01	11	10
Q_3	0	0	1	0	1
	1	0	x	x	x

$$D_2 = \overline{Q_2} \cdot Q_1 + Q_2 \cdot \overline{Q_1} = Q_1 \oplus Q_2$$

Q_2Q_1		00	01	11	10
Q_3	0	1	0	0	1
	1	0	x	x	x

$$D_1 = \overline{Q_1} \cdot \overline{Q_3}$$

$$D_3 = \underline{Q_2} \underline{Q_3}$$

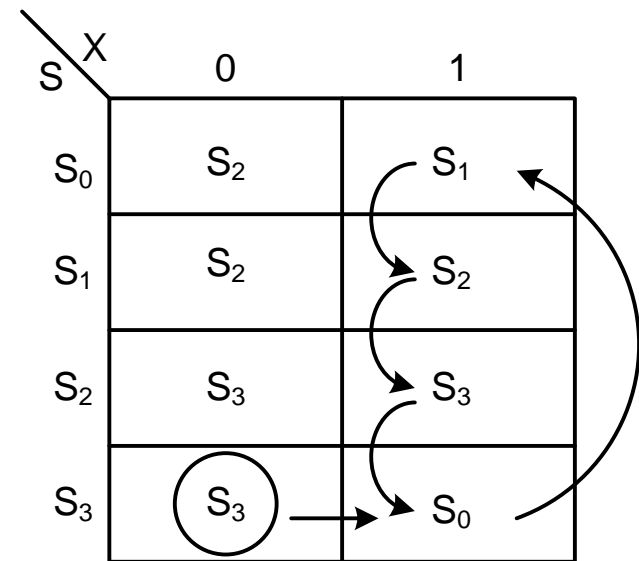
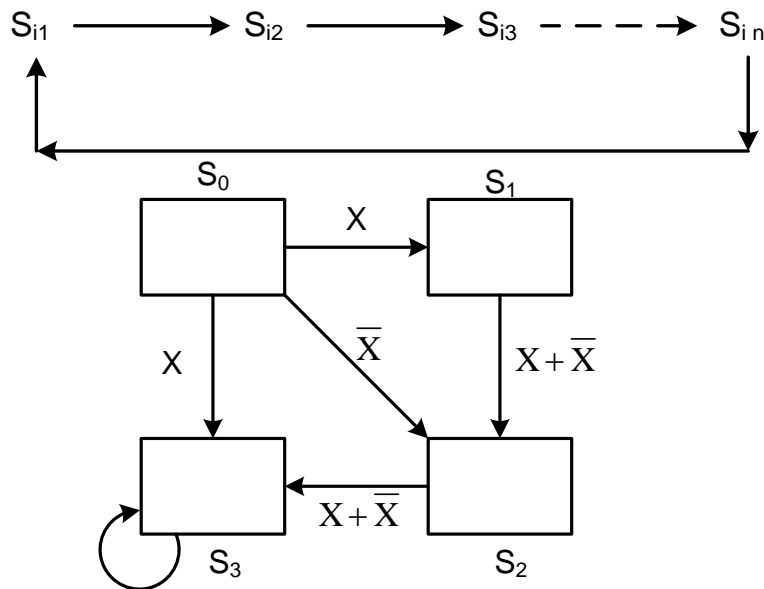
$$D_2 = \underline{Q_2} \underline{Q_3} + Q_2 \overline{Q_3} = Q_2 \oplus Q_3$$

$$D_1 = Q_1 \underline{Q_3}$$

Mạch logic tuần tự(36)

❖ Định nghĩa hiện tượng chu kỳ:

- Là hiện tượng tại một tổ hợp tín hiệu vào nào đó liên tục chuyển từ trạng thái này sang trạng thái khác theo một chu kỳ kín.
- Trong quá trình không có trạng thái ổn định \rightarrow không xác định được trạng thái hiện tại của mạch khi có tín hiệu vào tác động.



Mạch logic tuần tự(37)

❖ Hiện tượng chạy đua trong mạch không ĐB:

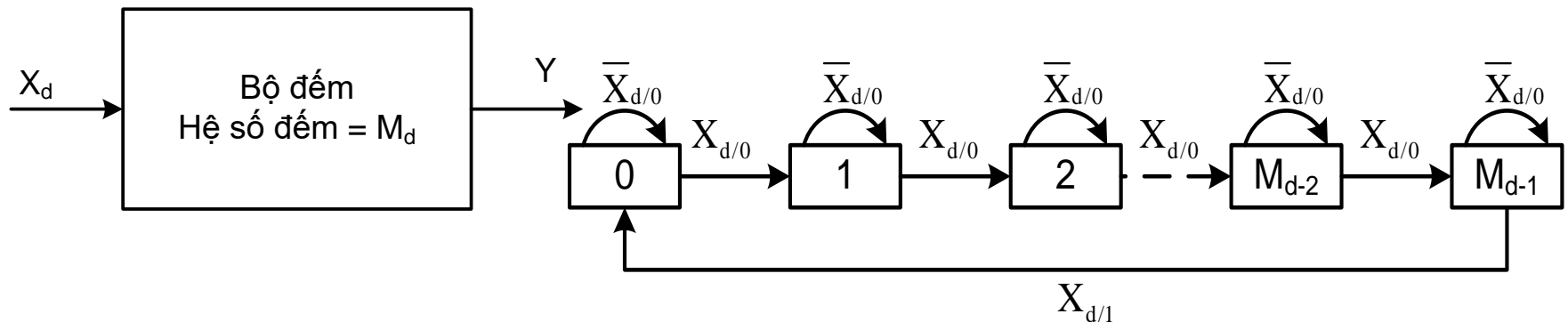
- Hiện tượng chạy đua trong mạch không đồng bộ là hiện tượng: do tính không đồng nhất của các phần tử nhị phân dùng để mã hoá trạng thái, vì mạch hoạt động không đồng bộ, khi mạch chuyển trạng thái từ $S_i \rightarrow S_j$ mạch có thể chuyển biến trạng thái theo những con đường khác nhau.
- Nếu trạng thái cuối cùng của những con đường đó là ổn định và duy nhất thì chạy đua không nguy hiểm.
- Ngược lại, chạy đua nguy hiểm là những cách chuyển biến trạng thái khác nhau đó cuối cùng dẫn đến các trạng thái ổn định khác nhau, có thể tới trạng thái khoá và không thoát ra được.

❖ Một số mạch tuần tự thông dụng

- Bộ đếm
- Bộ ghi dịch...

Mạch logic tuần tự(38)

- ❖ **Bộ đếm:** là mạch tuần tự tuần hoàn có một lối vào đếm và một lối ra, mạch có số trạng thái trong bằng chính hệ số đếm (M_d).
- ❖ Dưới tác dụng của tín hiệu vào đếm, mạch sẽ chuyển từ trạng thái trong này đến một trạng thái trong khác theo một thứ tự nhất định.
- ❖ Sau M_d tín hiệu vào đếm mạch lại trở về trạng thái xuất phát ban đầu.
- ❖ Được dùng nhiều trong các dụng cụ đo lường chỉ thị số, các máy tính điện tử. Bất kỳ hệ thống số hiện đại nào đều sử dụng các bộ đếm.



Mạch logic tuần tự(39)

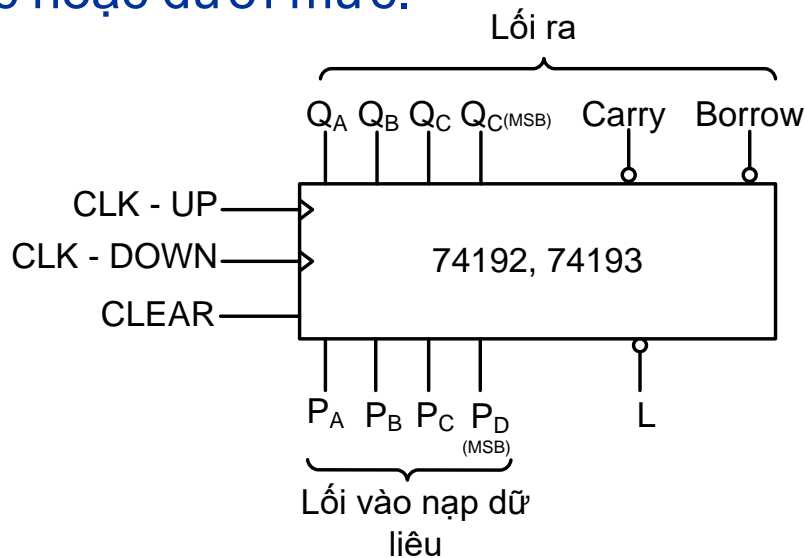
- ❖ **Phân loại bộ đếm**
- ❖ Theo sự chuyển đổi trạng thái:
 - Bộ đếm đồng bộ (Synchronous): Các trigơ đều chịu tác dụng điều khiển của một xung đồng hồ duy nhất
 - Bộ đếm không đồng bộ (Asynchronous): có trigơ chịu tác dụng điều khiển trực tiếp của xung đếm đầu vào, nhưng cũng có trigơ chịu tác dụng điều khiển của xung ở đầu ra của trigơ khác .
- ❖ Theo hệ số đếm
 - Bộ đếm nhị phân
 - Bộ đếm thập phân
 - Bộ đếm N phân
- ❖ Theo xung đếm
 - Bộ đếm thuận (Up counter) hay còn gọi là bộ đếm tiến
 - Bộ đếm nghịch (Down counter) hay còn gọi là bộ đếm lùi
 - Bộ đếm thuận nghịch

Mạch logic tuần tự(40)

Tên IC	Mô tả	Đặc tính
7492	Gồm 4 trigơ JK mắc thành hai bộ đếm không đồng bộ mod 2 và mod 6 độc lập.	
7493	Gồm 4 trigơ JK mắc thành hai bộ đếm không đồng bộ mod 2 và mod 8 độc lập.	
74190	Bộ đếm thuận nghịch (UP/DOWN) thập phân	Preset đồng bộ, không Clear
74191	Bộ đếm thuận nghịch (UP/DOWN) nhị phân 4 bit	Preset đồng bộ, không Clear
74192	Bộ đếm thuận nghịch (UP/DOWN) thập phân	Preset đồng bộ và Clear
74193	Bộ đếm thuận nghịch (UP/DOWN) nhị phân 4 bit	Preset đồng bộ và Clear
74390	Gồm hai khối giống hệt nhau, mỗi khối gồm 4 trigơ JK mắc thành hai bộ đếm không đồng bộ mod 2 và mod 5 độc lập	

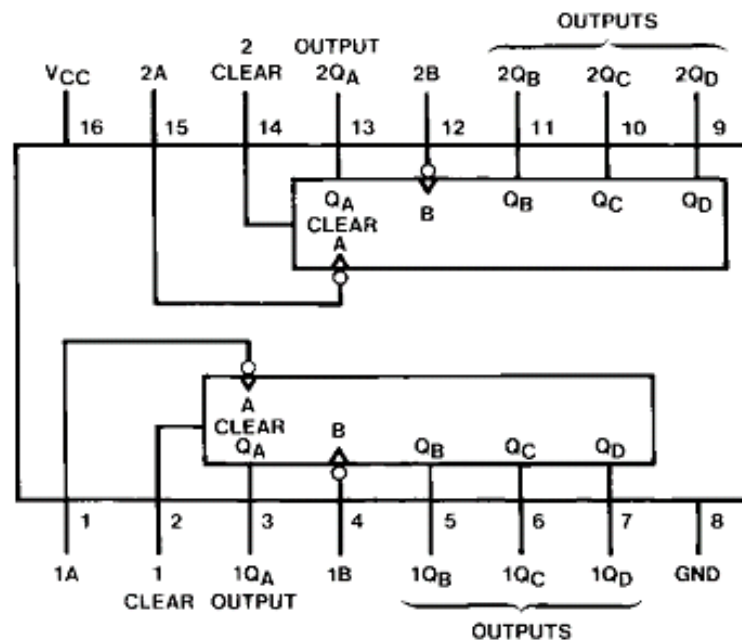
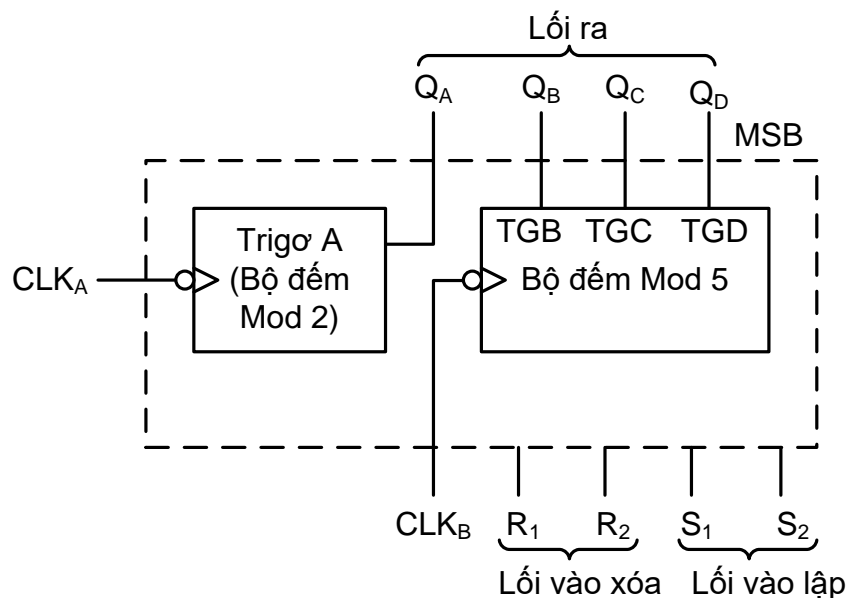
Mạch logic tuần tự(41)

- ❖ IC 74192, 74193
- ❖ Trong các bộ đếm này, khi thực hiện đếm thuận thì xung Clock được nối với CLK-UP, còn chân CLK-DOWN được nối với logic 1; khi đếm nghịch thì ngược lại.
- ❖ Các chân CARRY (nhớ) và BORROW (mượn) có logic 1 và nó sẽ chuyển mức thấp khi tràn mức hoặc dưới mức.
- ❖ Chân LOAD = 0 có thể nạp dữ liệu vào bộ đếm.



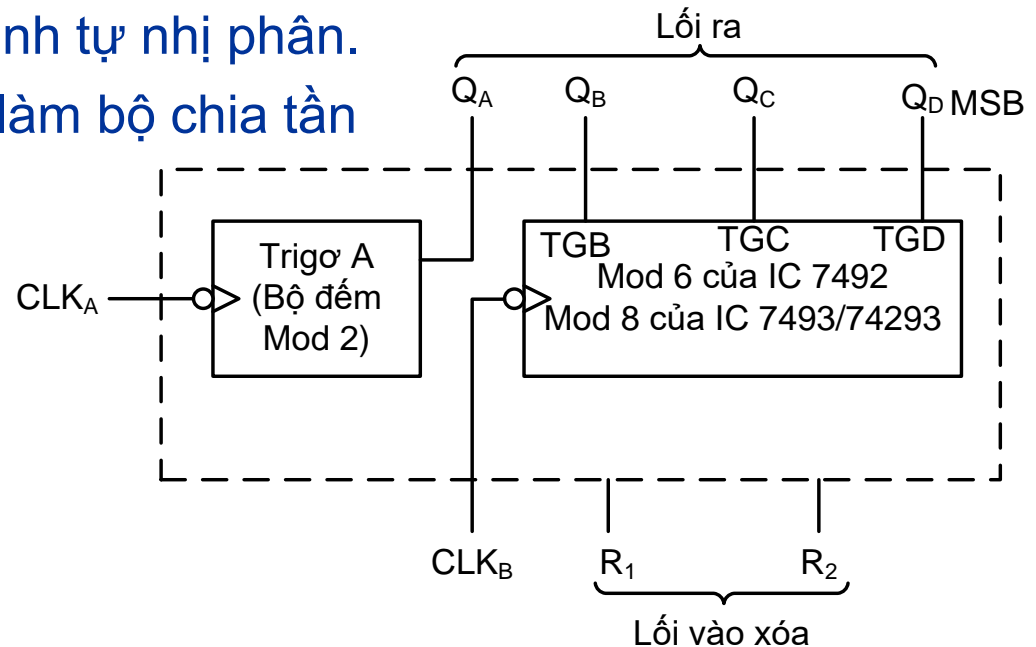
Mạch logic tuần tự(42)

- ❖ **IC 7490, 74390:** gồm 4 trigơ cung cấp bộ đếm gồm hai Mod đếm: Mod 2 và Mod 5.
- ❖ Các bộ đếm Mod 2 và Mod 5 có thể được sử dụng độc lập.
- ❖ Trigơ A thực hiện đếm Mod 2, Trigơ B, C, D thực hiện đếm Mod 5.
- ❖ IC 74390 là bản kép (dual) của 7490



Mạch logic tuần tự(43)

- ❖ **IC 7492, 7493, IC 74293, 74393**: gồm 4 trigơ cung cấp bộ đếm gồm hai Mod đếm: Mod 2 và Mod 6 hoặc mod 8.
- ❖ Trigơ A thực hiện đếm Mod 2, Trigơ B, C, D thực hiện đếm Mod 5.
- ❖ Hoạt động giống IC 7490, chỉ khác là không có các lối vào lập và Mod 6 không đếm theo trình tự nhị phân.
- ❖ Các IC này thường dùng làm bộ chia tần



Mạch logic tuần tự(44)

- ❖ **Thiết kế bộ đếm bất kỳ dùng bộ đếm vạn năng**
- ❖ Một số bộ đếm có các chân xóa (CLR), lối nạp dữ liệu, chân RC (ripple carry) ra có thể lập trình được
- ❖ VD IC 74192, 74193
- ❖ Để tìm một bộ đếm chia hết cho m thì đầu vào nạp P được cho bởi công thức: $P=(16-m)$ (nếu dùng bộ đếm hex) hoặc $=10-m$ nếu dùng bộ đếm thập phân
- ❖ Khi bộ đếm đếm tới giá trị m thì dùng giá trị này để nối vào chân CLR. Nhiệm vụ của chân Clear là gập bit 1 thì xóa về 0. Nếu số bit 1 nhiều hơn số chân Clear thì ta phải dùng thêm cổng NAND (hoặc cổng AND) tùy mức tích cực của chân Clear
- ❖ Nếu bộ đếm không bắt đầu từ 0 (VD đếm từ n đến m) thì phải nạp giá trị n khi bắt đầu đếm lại)

Mạch logic tuần tự(45)

❖ Bộ ghi dịch

- Có khả năng ghi (nhớ) số liệu và dịch thông tin (sang phải hoặc sang trái).
- Được cấu tạo từ một dãy phần tử nhớ được mắc liên tiếp với nhau và một số các cổng logic cơ bản hỗ trợ.
- Muốn ghi và truyền một từ nhị phân n bit cần n phần tử nhớ (n trigger)

Mạch logic tuần tự(46)

❖ Phân loại:

- Phân theo cách đưa tín hiệu vào và lấy tín hiệu ra:
 - Vào nối tiếp, ra song song– SIPO (Serial Input, Parallel Output)
 - Vào song song, ra song song – PIPO (Parallel Input, Parallel Output)
 - Vào nối tiếp, ra nối tiếp – SISO (Serial Input, Serial Output)
 - Vào song song, ra nối tiếp – PISO (Parallel Input, Serial Output):
- Phân theo hướng dịch: Dịch phải, trái, hai hướng, dịch vòng
- Phân theo đầu vào: Đầu vào đơn, đầu vào đôi:
- Phân theo đầu ra: Đầu ra đơn, đầu ra đôi:

Mạch logic tuần tự(47)

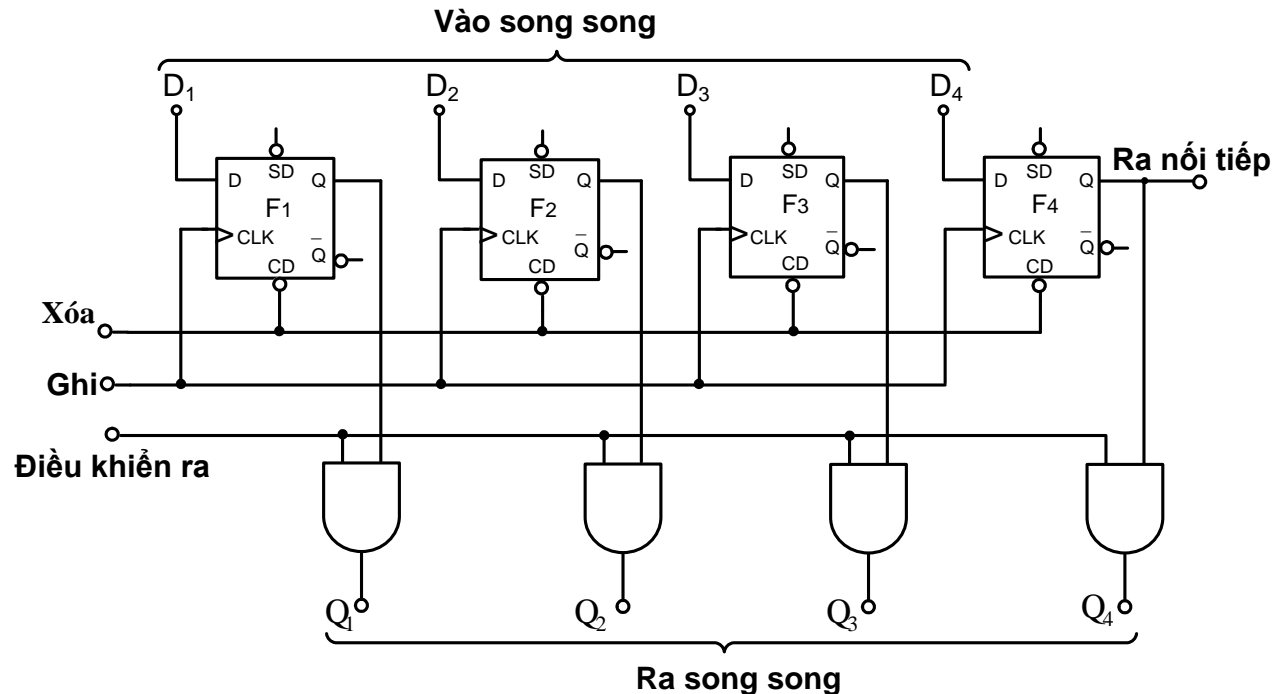
❖ Ứng dụng của bộ ghi dịch

- Nhớ dữ liệu
- Chuyển dữ liệu từ song song thành nối tiếp và ngược lại.
- Thiết kế bộ đếm
- Tạo dãy tín hiệu nhị phân tuần hoàn
- Một số IC ghi dịch (giáo trình DTS mục 5.9.4)

Mạch logic tuần tự(48)

❖ Bộ ghi dịch song song

- Các số liệu cần ghi đưa vào D1, D2, D3, D4
- Khi có một xung CLK, dữ liệu được nạp vào bộ nhớ song song và cho lối ra song song Q1 Q2 Q3 Q4 = D1 D2 D3 D4.

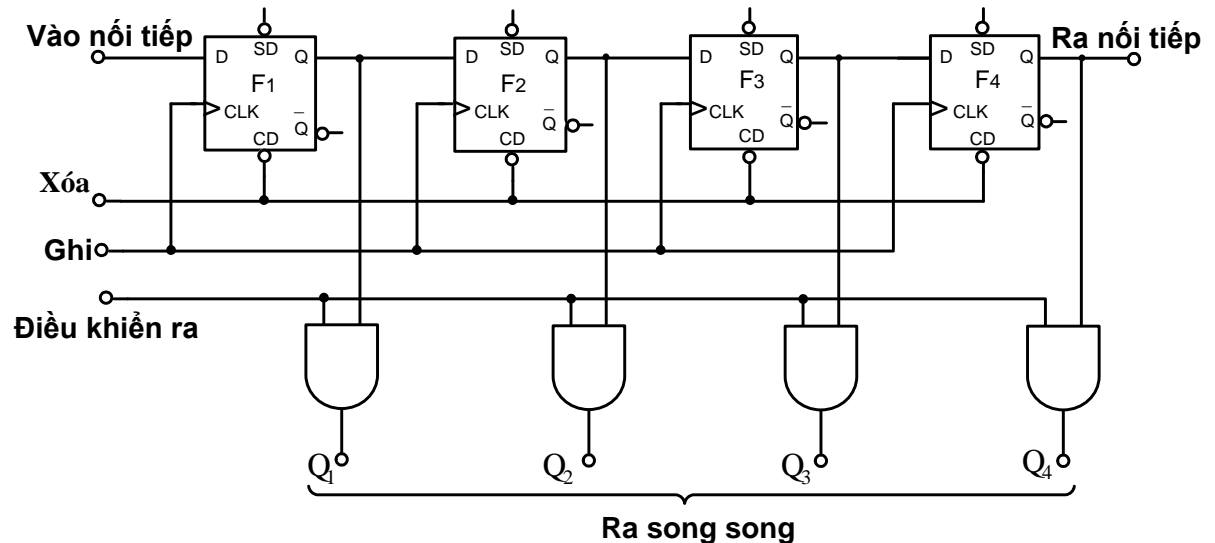


- Muốn dữ liệu tới các lối ra, lối vào “điều khiển ra” phải bằng 1.

Mạch logic tuần tự(49)

❖ Bộ ghi dịch nối tiếp:

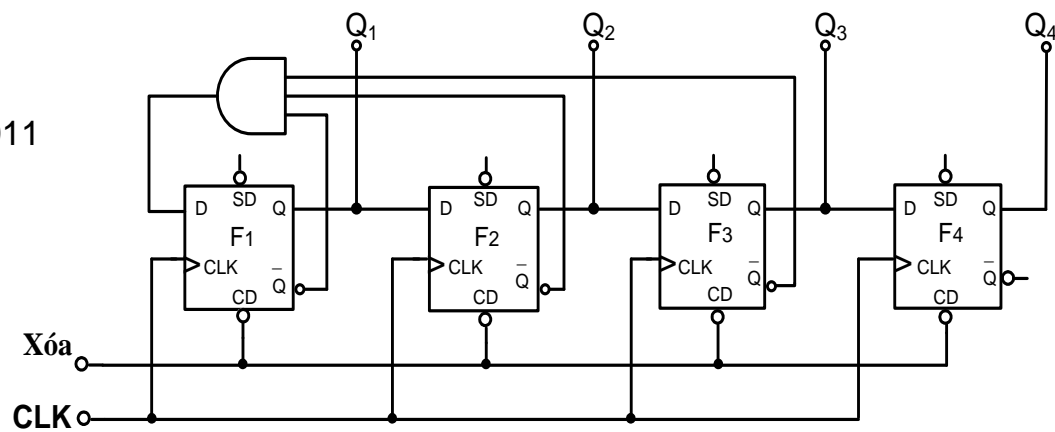
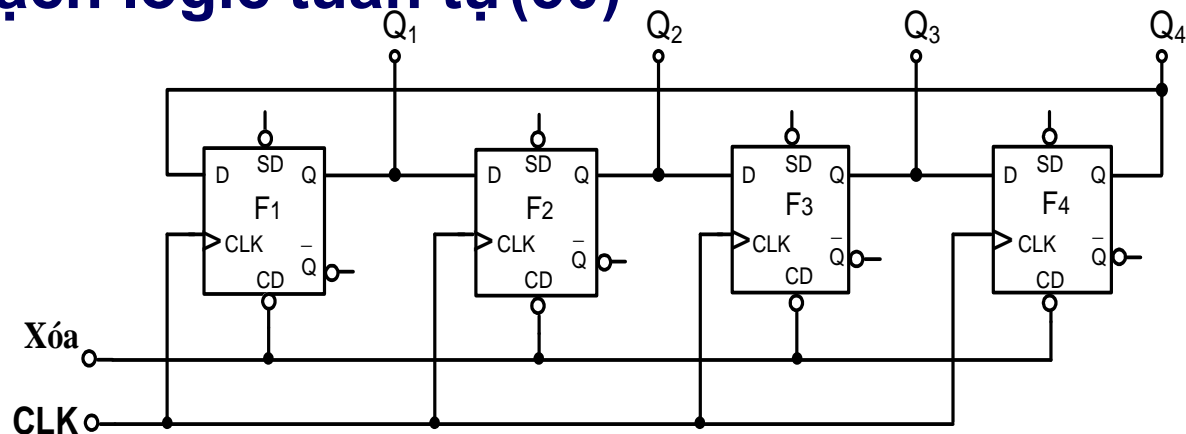
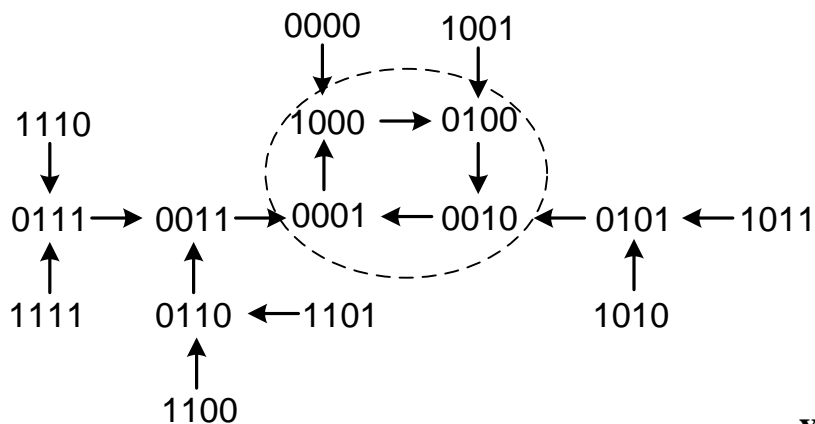
- có thể dịch phải, dịch trái và cho ra song song hoặc ra nối tiếp
- muốn ghi nối tiếp 4 bit cần 4 xung CLK và cho ra ở lối ra song song.
- Còn để lấy số liệu ra nối tiếp cần thêm 3 xung nhịp nữa



Mạch logic tuần tự(50)

❖ Bộ đếm vòng:

1000 → 0100
0001 ← 0010



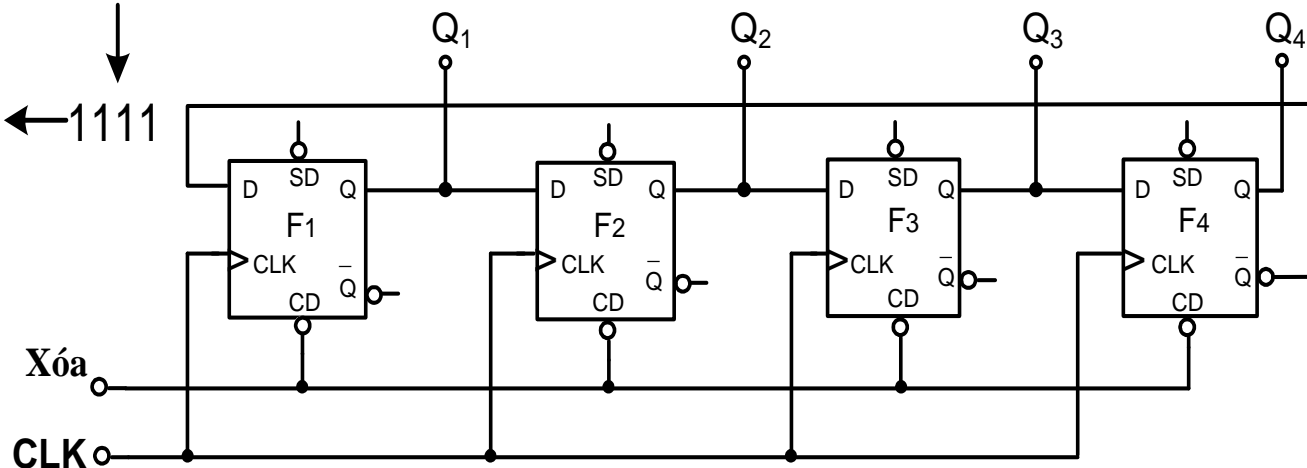
Mạch logic tuần tự(51)

- ❖ Bộ đếm vòng xoắn (mã Johnson): là bộ đếm có số bit 1 trong từ mã tăng dần, sau đó lại giảm dần.
- ❖ Tương tự có bộ đếm vòng xoắn tự khởi động.

$$D_1 = \overline{Q_n}$$

0000 → 1000 → 1100 → 1110

0001 ← 0011 ← 0111 ← 1111

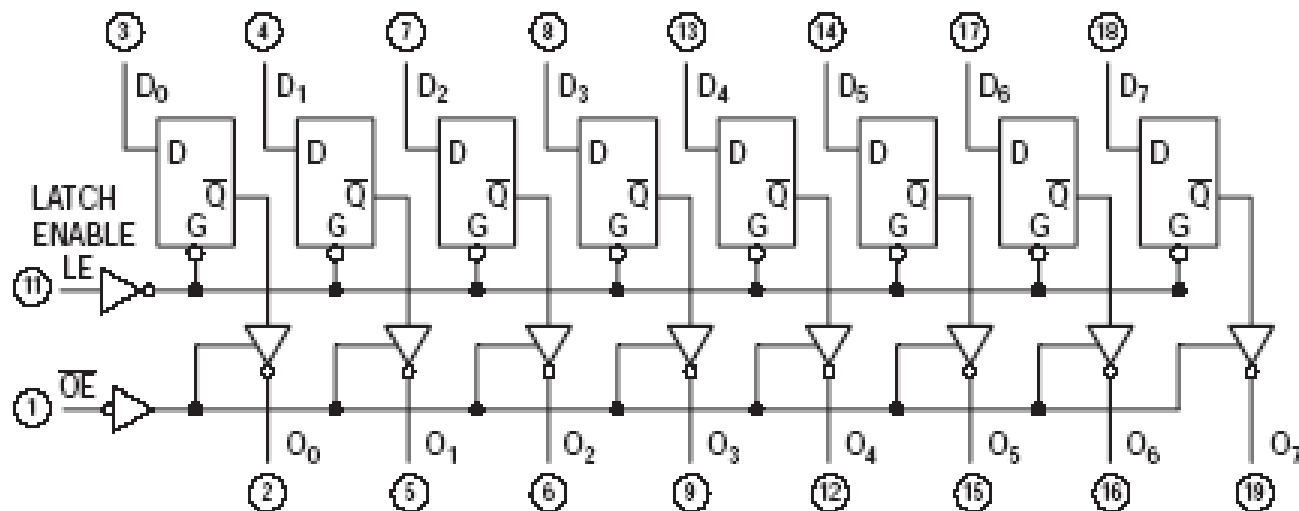


Mạch logic tuần tự(52)

- ❖ Thanh chốt dữ liệu (Latch): dùng để lưu trữ trạng thái số (1 hoặc 0).
- ❖ Dùng trong các mạch giao tiếp Bus dữ liệu, các bộ phân kênh, hợp kênh, và trong các mạch điều khiển

SN74LS373

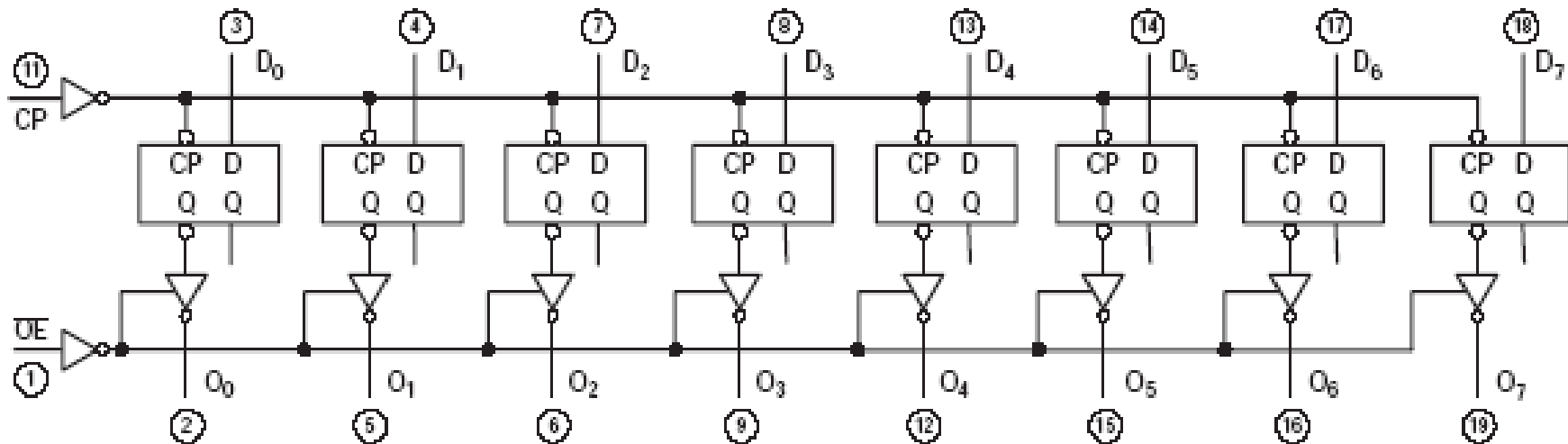
D_n	LE	\overline{OE}	O_n
H	H	L	H
L	H	L	L
X	L	L	Q_0
X	X	H	Z



Mạch logic tuần tự(53)

D_n	LE	\overline{OE}	O_n
H	↑	L	H
L	↑	L	L
X	X	H	Z

SN74LS374



CHƯƠNG 6. MẠCH PHÁT XUNG VÀ MẠCH TẠO XUNG

Mạch phát xung và mạch tạo xung (1)

❖ Nội dung

- Mạch phát xung
 - Mạch dao động đa hài cơ bản cổng NAND TTL
 - Mạch dao động đa hài vòng RC
 - Mạch dao động đa hài thạch anh
 - Mạch dao động đa hài CMOS
- Trigon Schmit
- Mạch đa hài đợi
 - Mạch đa hài đợi CMOS
 - Mạch đa hài đợi TTL
- IC định thời

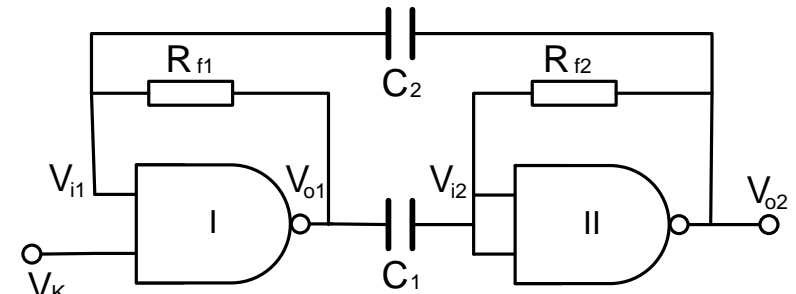
Mạch phát xung và mạch tạo xung (2)

❖ Mạch phát xung

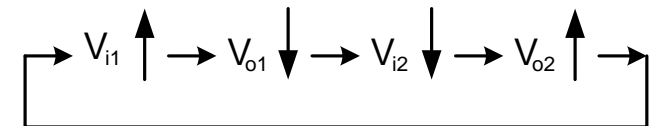
- Mạch dao động đa hài cơ bản cổng NAND TTL
- Mạch dao động đa hài vòng RC
- Mạch dao động đa hài thạch anh
- Mạch dao động đa hài CMOS

Mạch phát xung và mạch tạo xung (3)

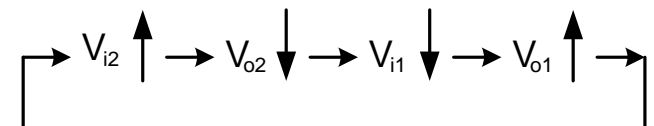
- ❖ **Mạch dao động đa hài cơ bản cổng NAND TTL:** Cổng NAND khi làm việc trong vùng chuyển tiếp có thể k.đại mạnh tín hiệu đầu vào. 2 cổng NAND được ghép điện dung thành mạch vòng thì có bộ dao động đa hài. V_K là đầu vào điều khiển, khi ở mức cao mạch phát xung, và khi ở mức thấp mạch ngừng phát.



Hình 6.1



Hình 6.2a



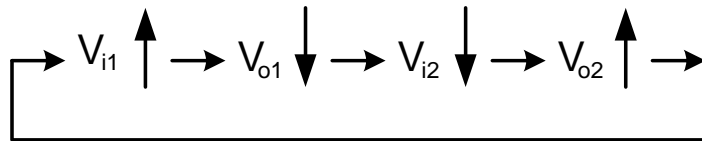
Hình 6.2b

Mạch phát xung và mạch tạo xung (4)

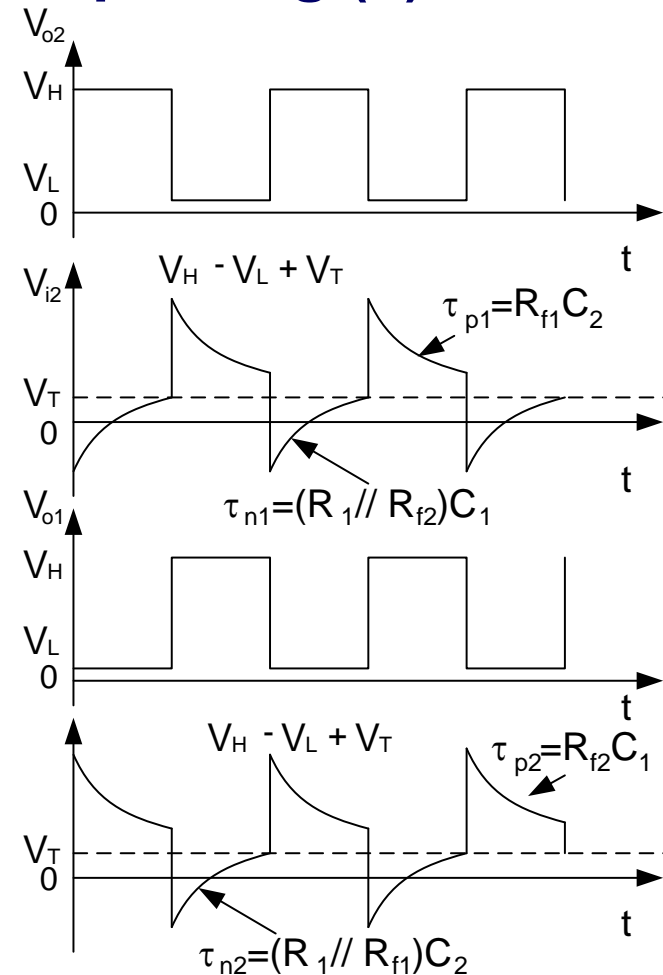
- ❖ Nếu các cổng I và II thiết lập điểm công tác tĩnh trong vùng chuyển tiếp và $V_K = 1$, thì mạch sẽ phát xung khi được nối nguồn.
- ❖ Nguyên tắc làm việc của mạch:
 - Giả sử do tác động của nhiễu làm cho V_{i1} tăng một chút, lập tức xuất hiện quá trình phản hồi dương (hình 6.2a). Cổng I nhanh chóng trở thành thông bão hoà, cổng II nhanh chóng ngắt, mạch bước vào trạng thái tạm ổn định. Lúc này, C1 nạp điện và C2 phóng điện.
 - C1 nạp đến khi V_{i2} tăng đến ngưỡng thông VT, trong mạch xuất hiện quá trình phản hồi dương (hình 6.2b). Cổng I nhanh chóng ngắt còn cổng II thông bão hoà, mạch điện bước vào trạng thái tạm ổn định mới. Lúc này C2 nạp điện còn C1 phóng cho đến khi V_{i1} bằng ngưỡng thông VT làm xuất hiện quá trình phản hồi dương đưa mạch về trạng thái ổn định ban đầu.
 - Mạch không ngừng dao động.

Mạch phát xung và mạch tạo xung (5)

- Giả sử do tác động của nhiễu làm cho V_{i1} tăng một chút, lập tức xuất hiện quá trình phản hồi dương (hình 6.2a). Cổng I nhanh chóng trở thành thông bão hoà, cổng II nhanh chóng ngắt, mạch bước vào trạng thái tạm ổn định. Lúc này, C1 nạp điện và C2 phóng điện.



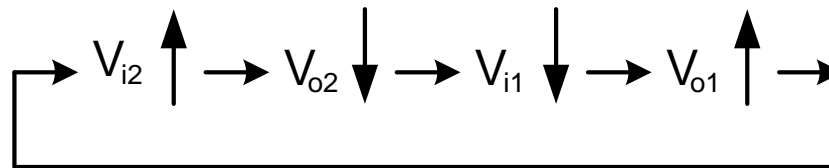
Hình 6.2a



Hình 6.3

Mạch phát xung và mạch tạo xung (6)

- ❖ C1 nạp đến khi V_{i2} tăng đến ngưỡng thông VT, trong mạch xuất hiện quá trình phản hồi dương (hình 6.2b). Cổng I nhanh chóng ngắt còn cổng II thông bão hoà, mạch điện bước vào trạng thái tạm ổn định mới. Lúc này C2 nạp điện còn C1 phóng cho đến khi V_{i1} bằng ngưỡng thông VT làm xuất hiện quá trình phản hồi dương đưa mạch về trạng thái ổn định ban đầu.

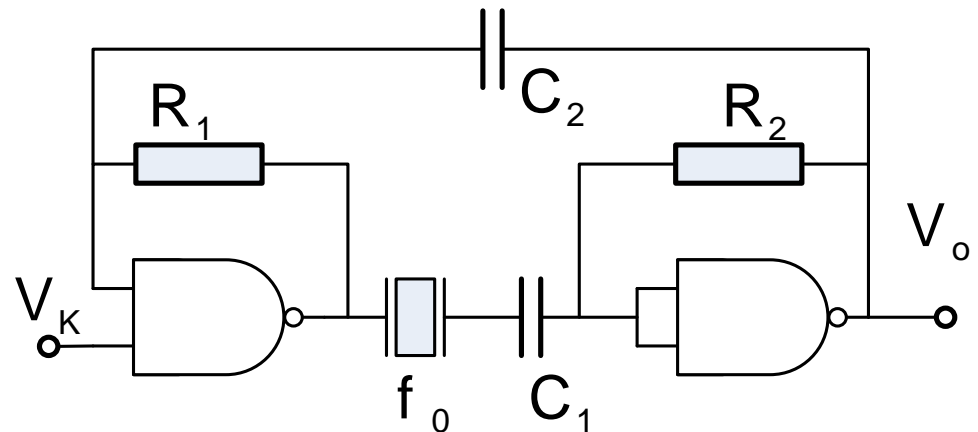


Hình 6.2b

- ❖ Mạch không ngừng dao động.

Mạch phát xung và mạch tạo xung (7)

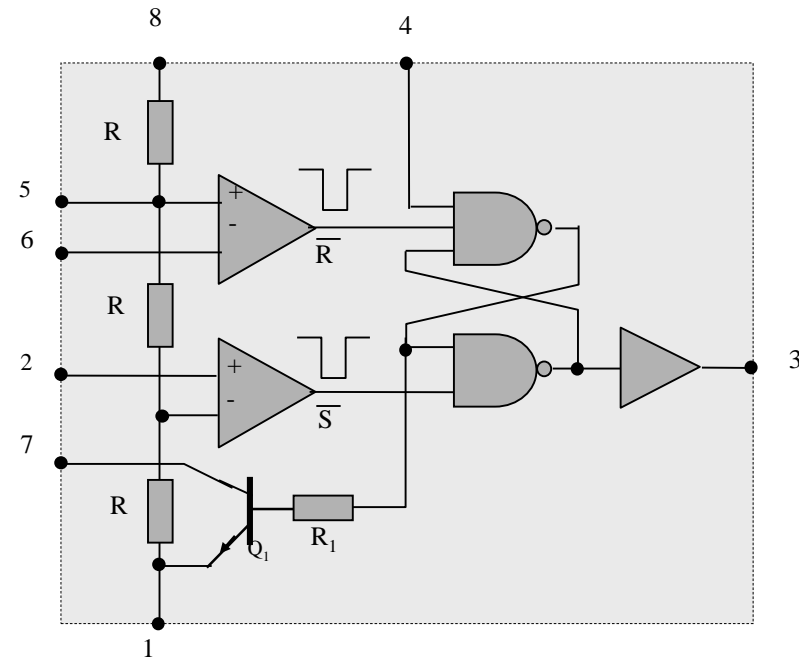
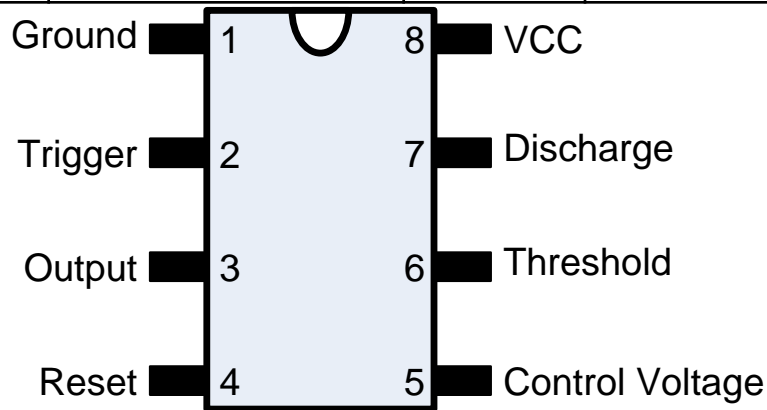
- ❖ **Mạch dao động đa hài thạch anh:** Để có các tín hiệu đồng hồ có tần số chính xác và có độ ổn định cao, các mạch đa hài trình bày trên đây không đáp ứng được. Tinh thể thạch anh thường được sử dụng trong các trường hợp này. Thạch anh có tính ổn định tần số tốt, hệ số phẩm chất rất cao dẫn đến tính chọn lọc tần số rất cao.
- ❖ Hình bên là một mạch dao động đa hài điển hình sử dụng tinh thể thạch anh. Tần số của mạch dao động chỉ phụ thuộc vào tinh thể thạch anh mà không phụ thuộc vào giá trị các tụ điện và điện trở trong mạch



Mạch phát xung và mạch tạo xung (8)

❖ IC định thời 555

Chân	Chức năng	Chân	Chức năng
1	Đất - GND	5	Điện áp điều khiển
2	Chân kích thích	6	Chân ngưỡng
3	Đầu ra	7	Đầu phóng điện
4	Xoá - Reset	8	Nguồn – Vcc

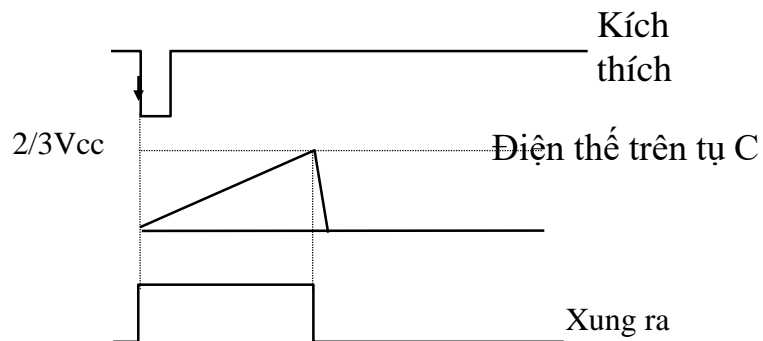
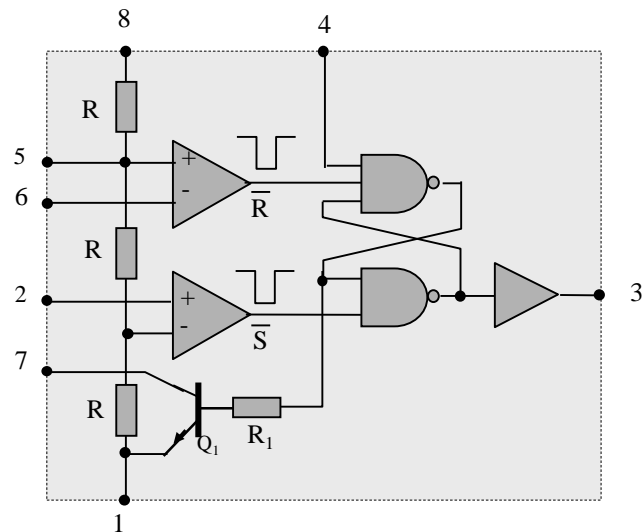
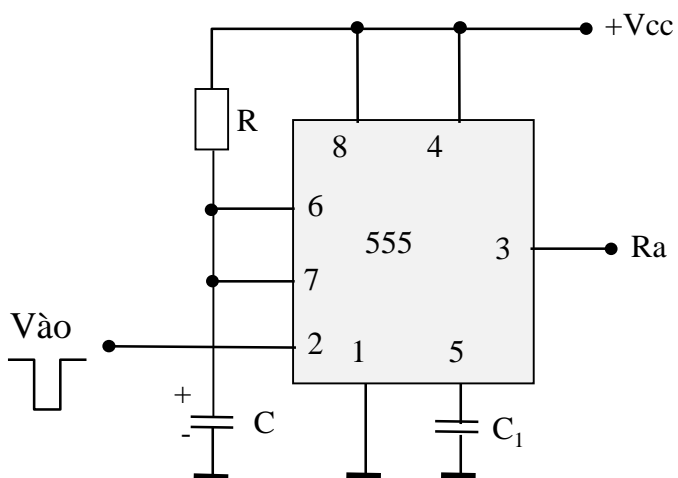


Mạch phát xung và mạch tạo xung (9)

- ❖ **Dùng IC 555 tạo mạch đơn ổn:** Khi chân 2 nhận kích thích (nối đất), ta thấy S_{\sim} sẽ lập Q lên 1 và xung sẽ xuất hiện ở lối ra 3. Lúc này, $Q_{\sim} = 0$ nên Q1 khóa. Tụ C nạp điện. Khi điện thế trên tụ (chân 6) vượt quá $2/3V_{cc}$ thì $R_{\sim} = 0$, do đó $Q_{\sim} = 1$. Xung lối ra kết thúc, Q1 thông và tụ C phóng rất nhanh qua Q1. Trạng thái này giữ nguyên cho tới xung kích thích sau (nên chọn R1 lớn để không nóng transistor Q1)
- ❖ Độ rộng xung ra được tính theo công thức: **$T = 1,1RC$**
- ❖ Tụ C1 thường chọn bằng 0,1 μ F và có chức năng là tụ lọc để hạn chế nhiễu do nguồn nuôi gây ra.

Mạch phát xung và mạch tạo xung (9)

Mạch điện và dạng xung đầu ra của mạch đơn ổn dùng IC 555:



Mạch phát xung và mạch tạo xung (10)

❖ Dùng IC 555 tạo mạch dao động đa hài: Chân 2, 6 và tụ C được nối với nhau, nên điện thế trên tụ sẽ điều khiển đồng thời cả hai bộ so áp. Nếu điện thế này vượt quá mức ngưỡng $2/3V_{CC}$, thì xung trên đầu ra của TG sẽ bị xoá. Ngược lại, khi tụ phóng xuống dưới mức $1/3 V_{CC}$ thì xung ra lại được lập. Quá trình này sẽ tiếp diễn và cho một chuỗi xung ở lối ra.

❖ Chu kì của dao động sẽ là:

$$T = T_N + T_P$$

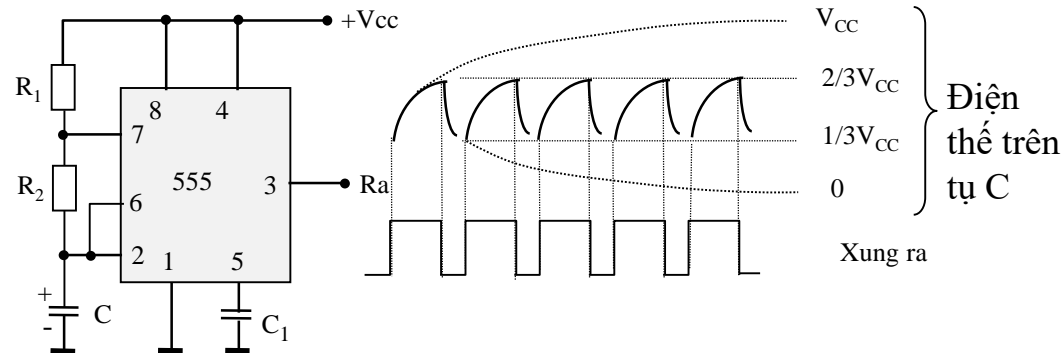
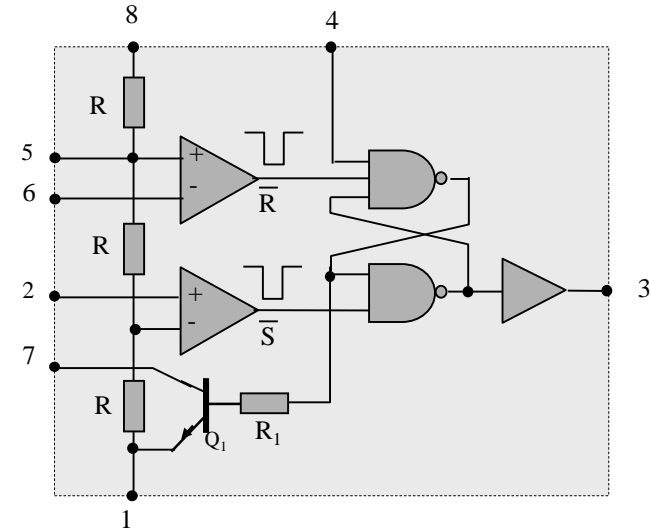
- T_N là thời gian nạp và được tính theo công thức:

$$T_N = 0,7C (R_1 + R_2)$$

- T_P thời gian phóng và bằng:

$$T_P = 0,7.C.R_2$$

❖ Như vậy: $T = 0,7C (R_1 + 2R_2)$



Mạch phát xung và mạch tạo xung (11)

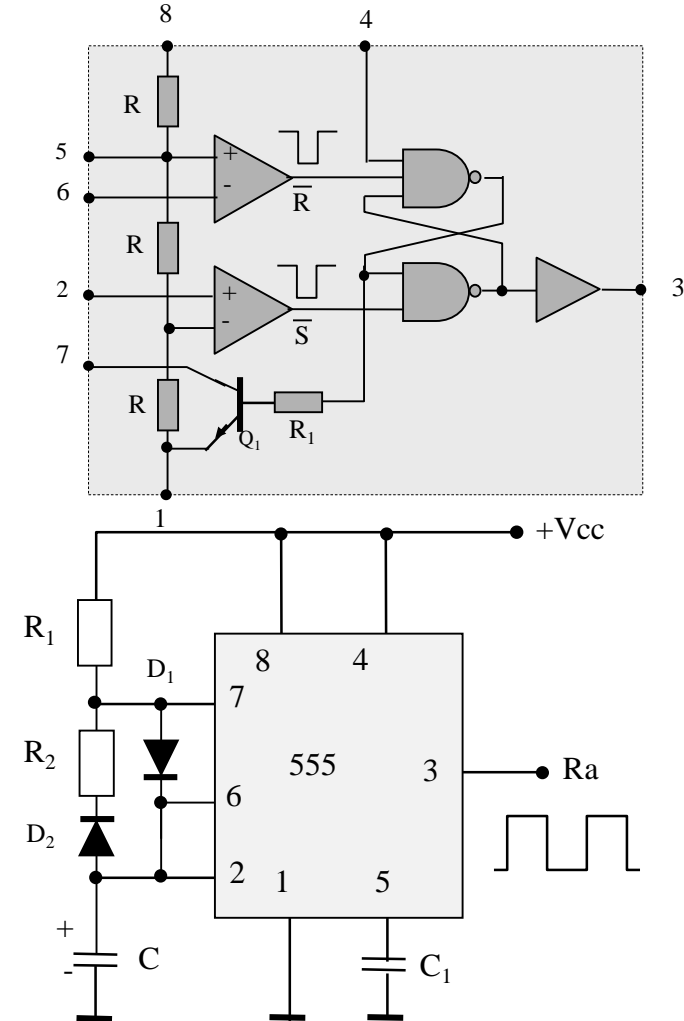
- ❖ **Tạo mạch dao động – xung vuông:** Các biểu thức trên chỉ ra rằng dãy xung ra chỉ vuông đều khi T_N và T_P bằng nhau, nghĩa là $R_1 = 0$. Điều này không thực tế, vì lúc đó cực C của Q_1 nối trực tiếp với V_{cc} . Khi Q_1 dẫn điện xem như nguồn V_{cc} bị ngắn mạch. Có thể cân bằng T_N và T_P bằng các diode phụ như hình bên.

- ❖ Tần số dao động của chuỗi xung ra là:

$$f = \frac{1,4}{C(R_1 + 2R_2)}$$

- ❖ Với $R_1 = R_2 = R$ thì (có Diod):

$$f = \frac{0,7}{CR}$$



Mạch phát xung và mạch tạo xung (13)

❖ Bài tập:

- Thiết kế mạch tạo xung dùng 555 cho các tần số 1Hz, 10Hz, 100Hz, 1KHz
- Sử dụng IC 555 tạo mạch đơn ổn có độ rộng xung đầu ra $T=0.1(s)$

CHƯƠNG 7. BỘ NHỚ BÁN DẪN

Bộ nhớ bán dẫn (1)

❖ **Nội dung**

- Khái niệm chung
- DRAM
- SRAM
- Bộ nhớ cố định – ROM
- Bộ nhớ bán cố định
- Mở rộng dung lượng bộ nhớ

Bộ nhớ bán dẫn (2)

❖ Khái niệm:

- Bộ nhớ là một thiết bị có khả năng lưu trữ thông tin (nhị phân). Muốn sử dụng bộ nhớ, trước tiên ta phải ghi dữ liệu và các thông tin cần thiết vào nó, sau đó lúc cần thiết phải lấy dữ liệu đã ghi trước đó để sử dụng. Thủ tục ghi vào và đọc ra phải được kiểm soát chặt chẽ, tránh nhầm lẫn nhờ định vị chính xác từng vị trí ô nhớ và nội dung của nó theo một mã địa chỉ duy nhất.

❖ Những đặc trưng chính của bộ nhớ

- Dung lượng: là số bit thông tin tối đa có thể lưu giữ trong nó. Dung lượng cũng có thể biểu thị bằng số từ nhớ ***n bit*** là số bit (n) thông tin mà ta có thể đọc hoặc ghi đồng thời vào bộ nhớ. Ví dụ: Một bộ nhớ có dung lượng là 256 bit; nếu nó có cấu trúc để có thể truy cập cùng một lúc 8 bit thông tin, thì ta cũng có thể biểu thị dung lượng bộ nhớ là $32 \text{ từ nhớ} \times 8 \text{ bit} = 32 \text{ byte}$.

Bộ nhớ bán dẫn (3)

■ Cách truy cập thông tin:

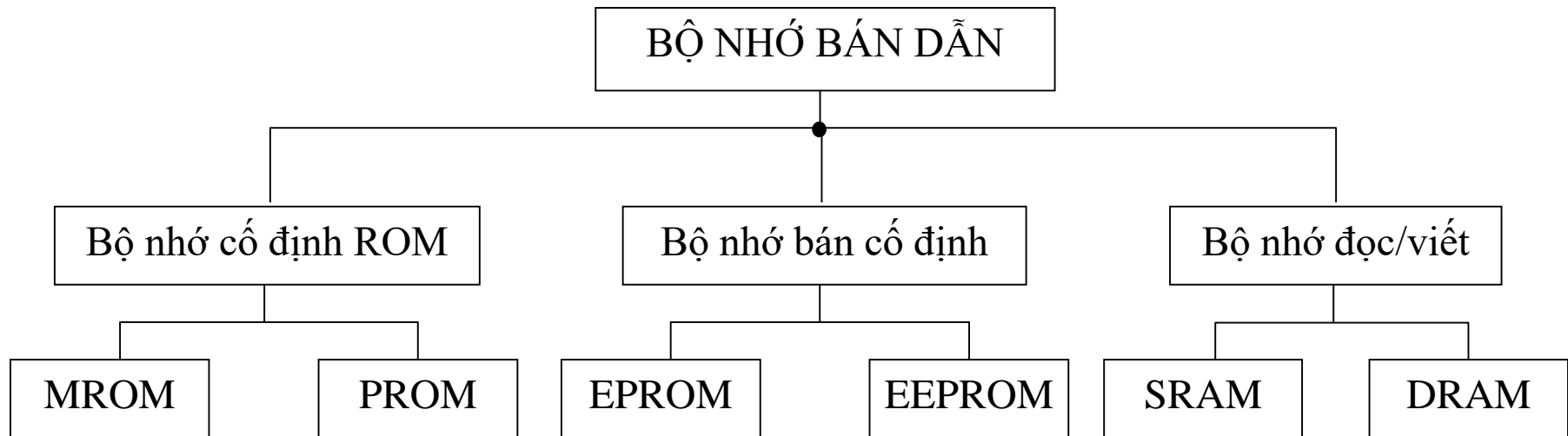
- **Truy cập trực tiếp**, hay còn gọi là truy cập ngẫu nhiên (random access). Ở cách này, không gian bộ nhớ được chia thành nhiều ô nhớ. Mỗi ô nhớ chứa được 1 từ nhớ n bit và có một địa chỉ xác định, mã hoá bằng số nhị phân k bit. Như vậy, người sử dụng có thể truy cập trực tiếp thông tin ở ô nhớ có địa chỉ nào đó trong bộ nhớ. Mỗi bộ nhớ có k bit địa chỉ sẽ có 2^k ô nhớ và có thể ghi được 2^k từ nhớ n bit.
- **Truy cập tuần tự** (serial access) hay còn gọi là kiểu truy cập tuần tự. Các đĩa từ, băng từ, trống từ, thanh ghi dịch... có kiểu truy cập này. Các bit thông tin được đưa vào và lấy ra một cách tuần tự.

■ Tốc độ truy cập thông tin.

- Đây là thông số rất quan trọng của bộ nhớ. Nó được đặc trưng bởi thời gian cần thiết để truy cập thông tin.

Bộ nhớ bán dẫn (4)

- ❖ **Phân loại bộ nhớ:** Dựa trên thời gian viết và cách viết, có thể chia thành: bộ nhớ cố định, bộ nhớ bán cố định và bộ nhớ đọc/viết được.



Bộ nhớ bán dẫn (5)

- ❖ **Bộ nhớ cố định ROM (Read Only Memory):** có nội dung được viết sẵn một lần.
 - MROM: là loại ROM sau khi đã được viết (bằng mặt nạ-mask) từ nhà máy thì không viết lại được nữa.
 - PROM là một dạng khác, các bit có thể được viết bằng thiết bị ghi của người sử dụng trong một lần (Programmable ROM).
- ❖ **Bộ nhớ có thể đọc/ viết nhiều lần RAM (Random Access Memory):**
 - RAM tĩnh-SRAM (Static RAM) thường được xây dựng trên các mạch điện tử trigơ.
 - RAM động-DRAM (Dynamic RAM) được xây dựng trên cơ sở nhớ các điện tích ở tụ điện; bộ nhớ này phải được hồi phục nội dung đều đặn, nếu không nội dung sẽ mất đi theo sự rò điện tích trên tụ.

Bộ nhớ bán dẫn (6)

- ❖ Giữa ROM và RAM có một lớp các bộ nhớ được gọi là EPROM (Erasable PROM), dữ liệu trong đó có thể xoá được bằng tia cực tím và ghi lại được, EEPROM (Electric EPROM) có thể xoá được bằng dòng điện. Các loại này còn được gọi là bộ nhớ bán cố định.
- ❖ Các bộ nhớ DRAM thường thoả mãn những yêu cầu khi cần bộ nhớ có dung lượng lớn; trong khi đó khi cần có tốc độ truy xuất lớn thì phải dùng các bộ nhớ SRAM có giá thành đắt hơn. Nhưng cả hai loại này đều có nhược điểm là thuộc loại “bay hơi” (volatile), thông tin sẽ bị mất đi khi nguồn nuôi bị ngắt. Do vậy các chương trình dùng cho việc khởi động PC như BIOS thường phải nạp trên các bộ nhớ ROM.

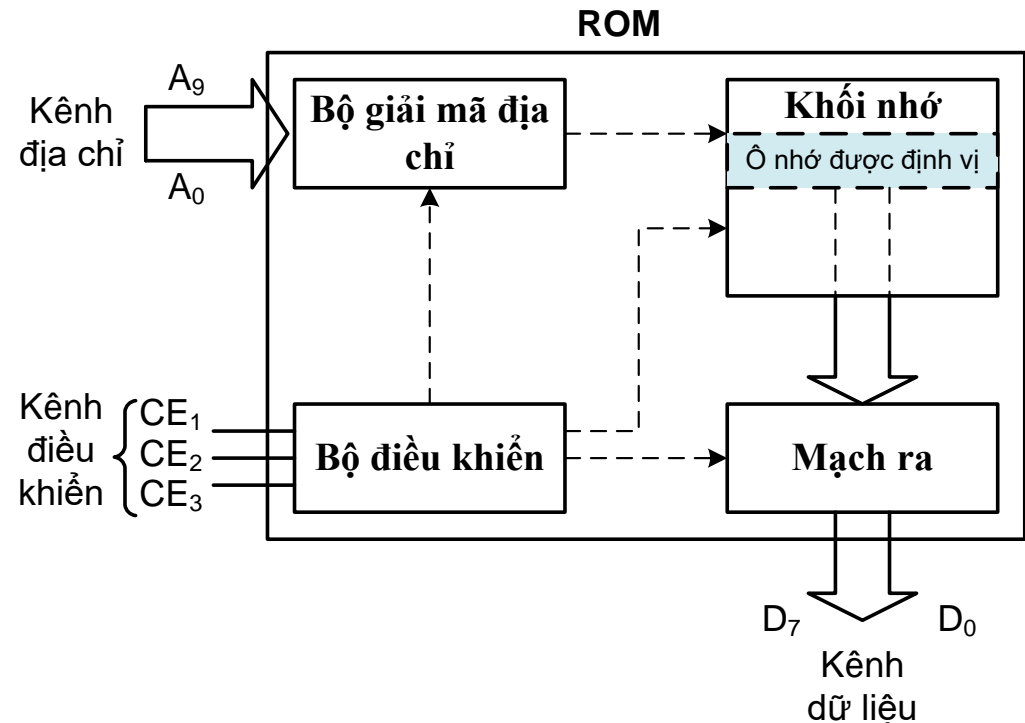
Bộ nhớ bán dẫn (7)

- ❖ **Tổ chức của bộ nhớ:** Bộ nhớ thường được tổ chức gồm nhiều vi mạch nhớ được ghép lại để có độ dài từ và tổng số từ cần thiết. Những chip nhớ được thiết kế sao cho có đầy đủ một số chức năng của bộ nhớ như:
- Một ma trận nhớ gồm các ô nhớ, mỗi ô nhớ ứng với một bit nhớ.
 - Mạch logic giải mã địa chỉ ô nhớ.
 - Mạch logic cho phép đọc nội dung ô nhớ.
 - Mạch logic cho phép viết nội dung ô nhớ.
 - Các bộ đếm vào, bộ đếm ra và bộ mở rộng địa chỉ.

Bộ nhớ bán dẫn (8)

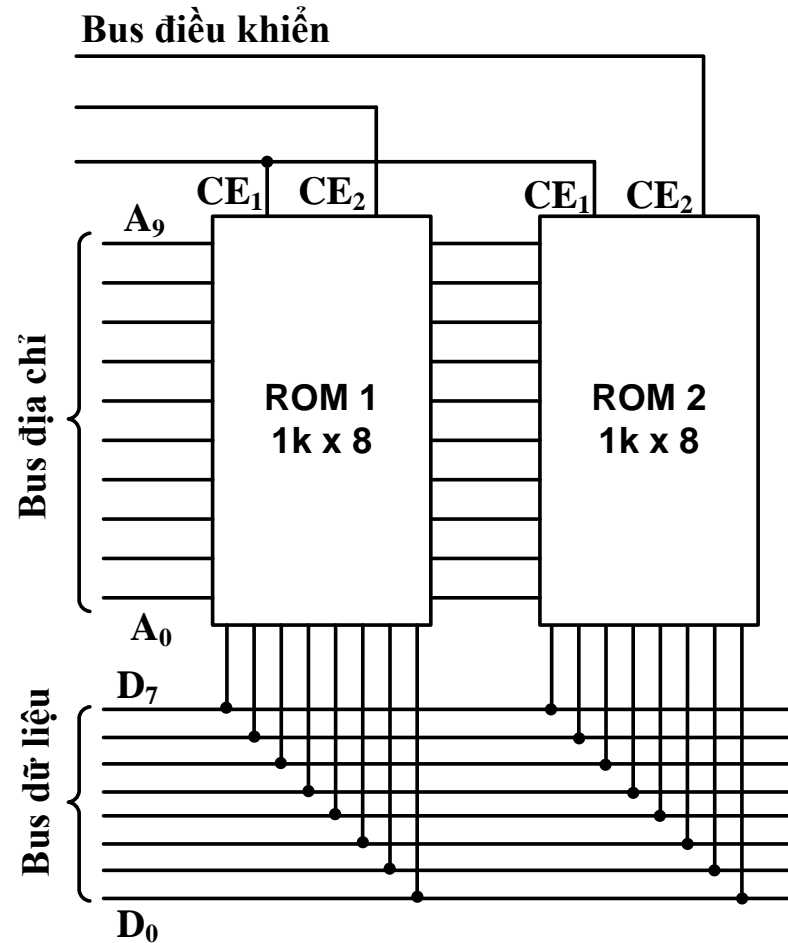
❖ **Cấu trúc cơ bản của bộ nhớ ROM:** 4 khối cơ bản:

- + Bộ nhớ chứa các ô nhớ và trong các ô nhớ là các từ nhớ.
- + Mạch điều khiển tiếp nhận các tín hiệu vào từ kênh điều khiển.
- + Bộ giải mã địa chỉ dùng để định vị ô nhớ.
- + Mạch ra dùng để đưa nội dung ô nhớ tới các thiết bị có liên quan cần tiếp nhận nội dung này.



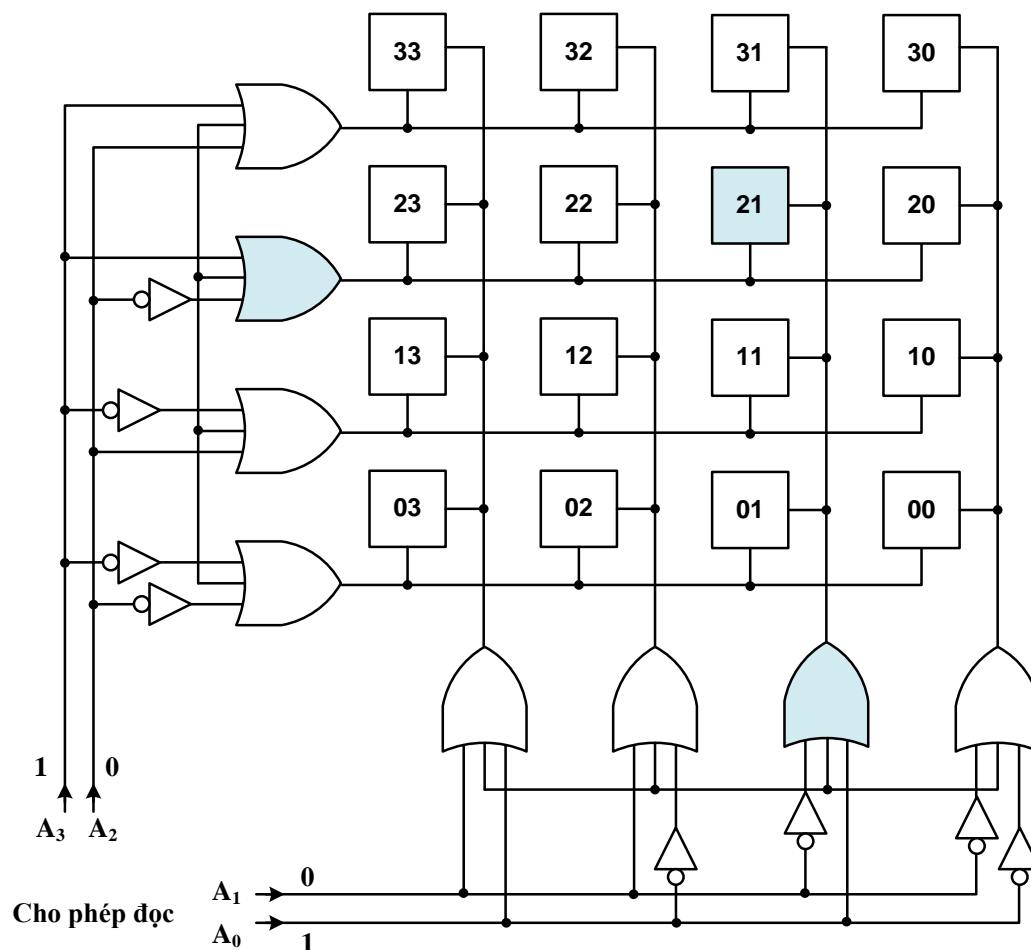
Bộ nhớ bán dẫn (9)

- ❖ **Bộ nhớ:** Mỗi ô nhớ nhị phân lưu giữ trạng thái '0' hoặc '1'.
- ❖ Mở rộng bộ nhớ



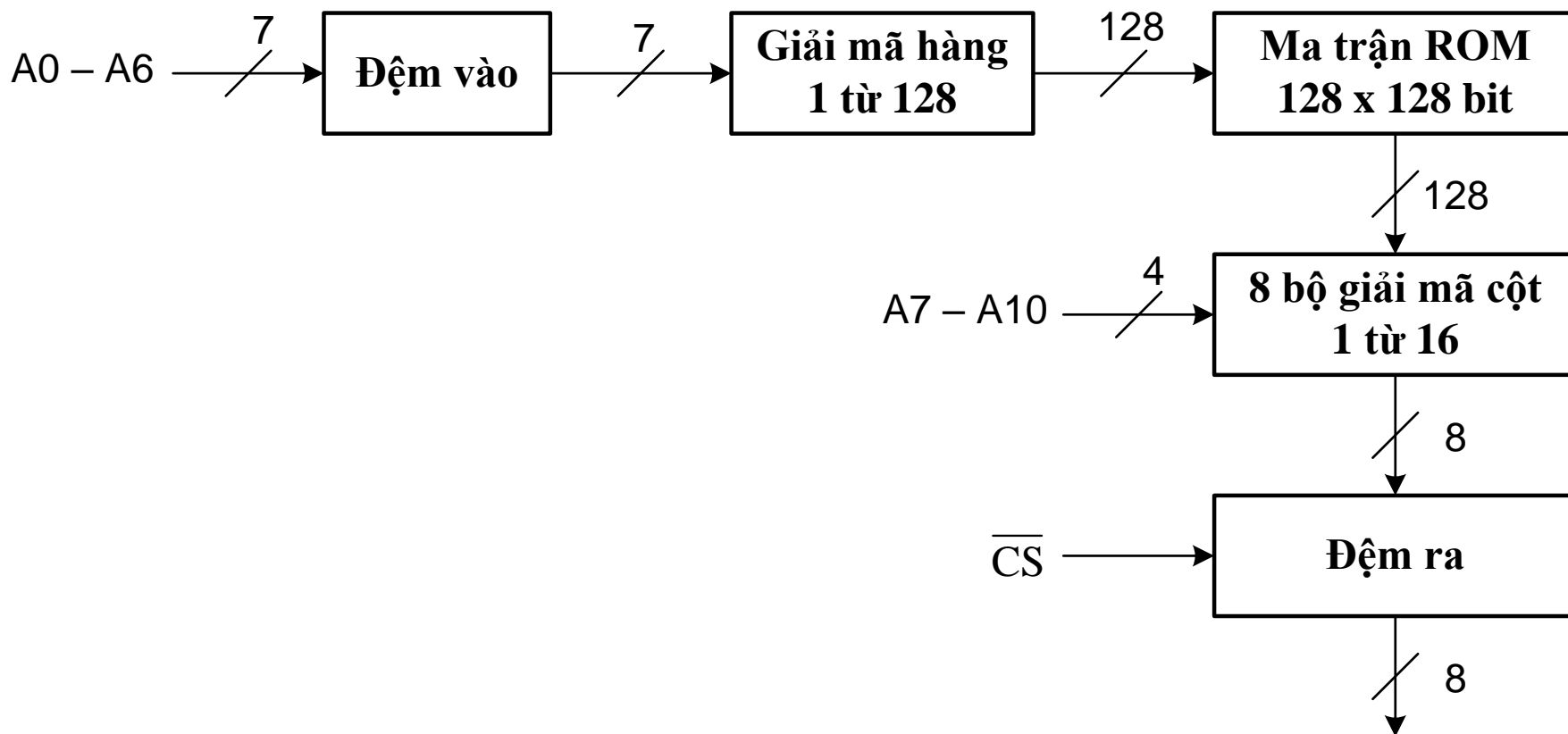
Bộ nhớ bán dẫn (10)

- ❖ Bộ giải mã địa chỉ: là giao diện giữa kênh địa chỉ và khối nhớ.
- ❖ Có khả năng truyền rất nhiều địa chỉ trên một số ít đường truyền.
- ❖ Địa chỉ nhị phân phải được giải mã trước khi tác động tới mảng ô nhớ.



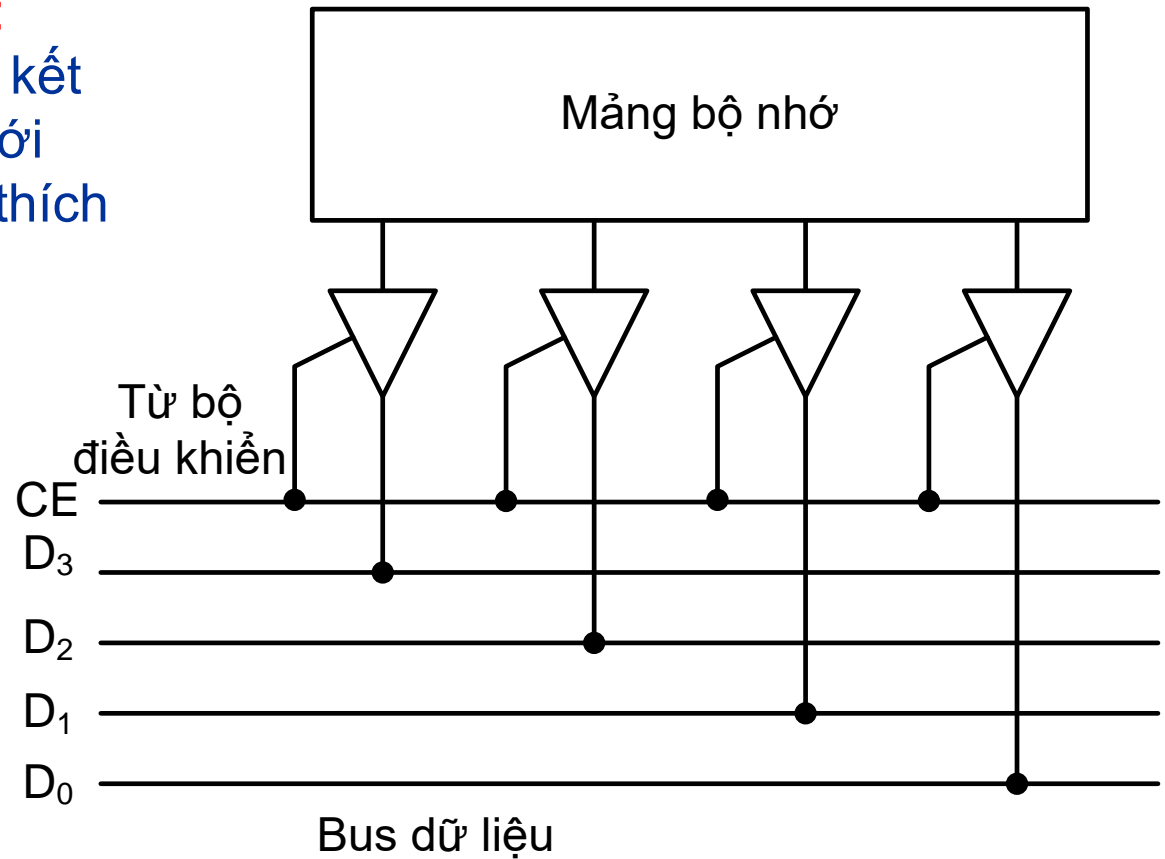
Bộ nhớ bán dẫn (11)

❖ Ví dụ về bộ giải mã địa chỉ:



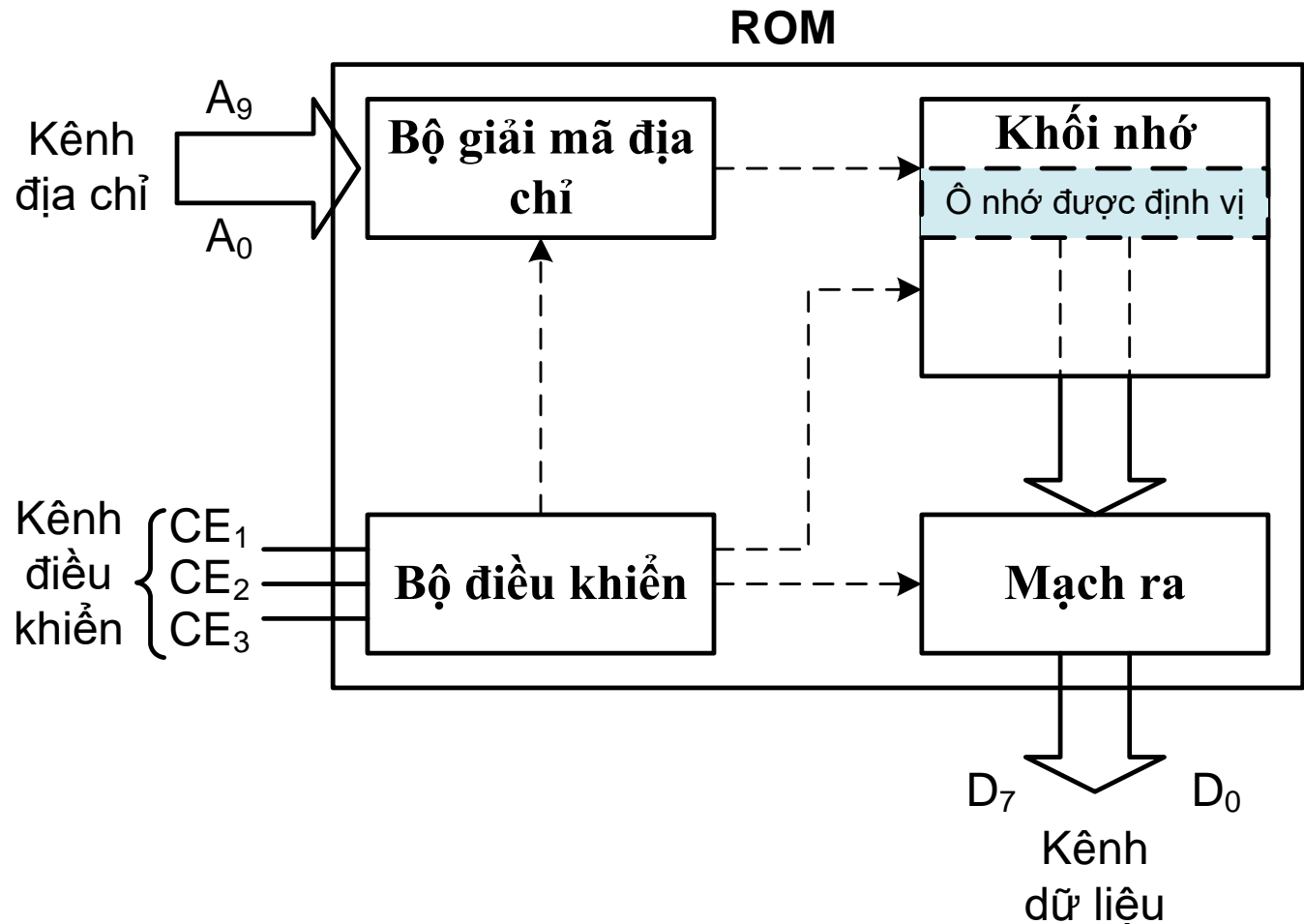
Bộ nhớ bán dẫn (12)

- ❖ **Mạch ra của bộ nhớ:**
Mạch ra có nhiệm vụ kết nối dữ liệu đã chọn với kênh dữ liệu vào lúc thích hợp.



Bộ nhớ bán dẫn (13)

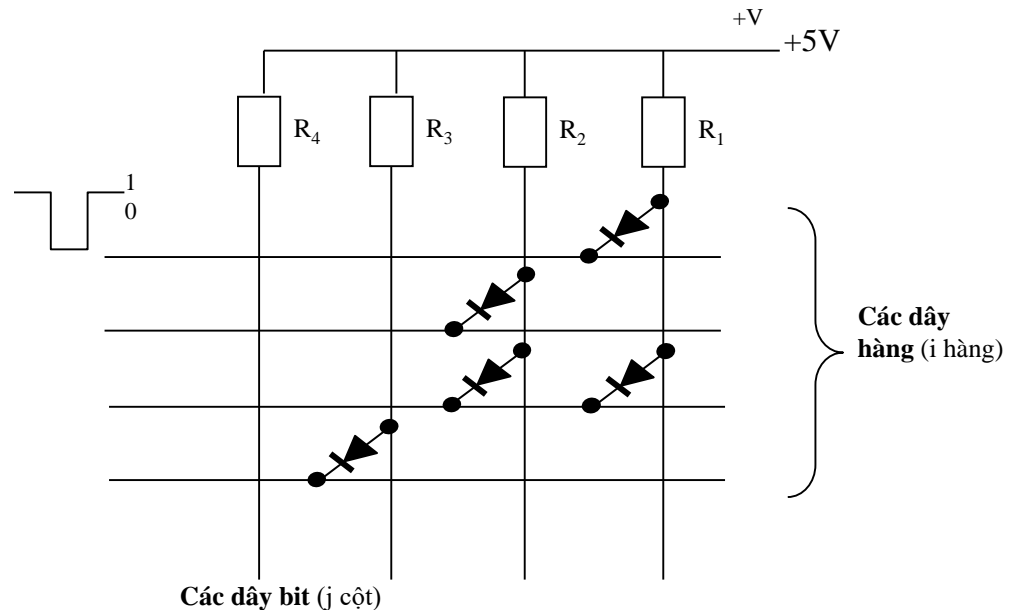
- ❖ Mạch điều khiển: Mạch điều khiển trong ROM có chức năng khá đơn giản.



Bộ nhớ bán dẫn (14)

❖ Bộ nhớ cố định –
MROM

❖ Các chip RAM không thích hợp cho các chương trình khởi động do các thông tin trên đó bị mất khi tắt nguồn. Do vậy phải dùng đến ROM, trong đó các số liệu cần lưu trữ được viết một lần theo cách không bay hơi để nhằm giữ được mãi.



Bộ nhớ bán dẫn (15)

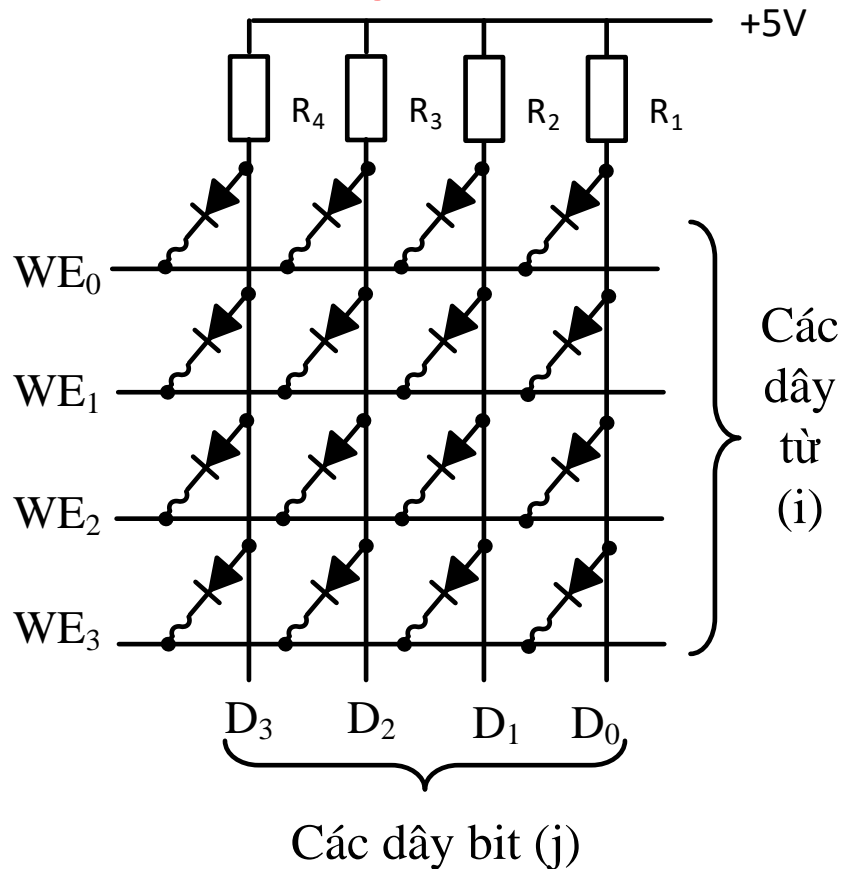
- ❖ MROM – ROM lập trình theo kiểu mặt nạ
 - Được chế tạo trên một phiến silic theo một số bước xử lý như quang khắc và khếch tán để tạo ra những tiếp giáp bán dẫn có tính dẫn điện theo một chiều (như diode, transistor trường). Người thiết kế định rõ chương trình muốn ghi vào ROM, thông tin này được sử dụng để điều khiển quá trình làm mặt nạ. Hình 7-6 là một ví dụ đơn giản về sơ đồ MROM dùng diode.
 - Chỗ giao nhau giữa các dây từ (hàng) và các dây bit (cột) tạo nên một phần tử nhớ (ô nhớ). Một diode được đặt tại đó (hình vẽ) sẽ cho phép lưu trữ số liệu “0”. Ngược lại những vị trí không có diode thì sẽ cho phép lưu trữ số liệu “1”. Khi đọc một từ số liệu thứ i của ROM, bộ giải mã sẽ đặt dây từ đó xuống mức logic thấp, các dây còn lại ở mức cao. Do vậy chỉ những diode nối với dây này được phân cực thuận, do đó nó sẽ dẫn làm cho điện thế lồi ra trên các dây bit tương ứng ở mức logic thấp, các dây bit còn lại sẽ giữ ở mức cao.

Bộ nhớ bán dẫn (16)

- ❖ Bộ nhớ cố định – PROM: PROM cũng gồm có các diode như ở MROM nhưng chúng có mặt đầy đủ tạo các vị trí giao nhau giữa dây từ và dây bit. Mỗi diode được nối với một cầu chì.
- ❖ Bình thường khi chưa lập trình, các cầu chì còn nguyên vẹn, nội dung của PROM sẽ toàn là 0. Khi định vị đến một bit bằng cách đặt một xung điện ở lối ra tương ứng, cầu chì sẽ bị đứt và bit này sẽ bằng 1. Bằng cách đó ta có thể lập trình toàn bộ các bit trong PROM.
- ❖ Như vậy, việc lập trình đó có thể được thực hiện bởi người sử dụng chỉ một lần duy nhất, không thể sửa đổi được.

Bộ nhớ bán dẫn (17)

❖ Hình dưới: PROM dùng diode



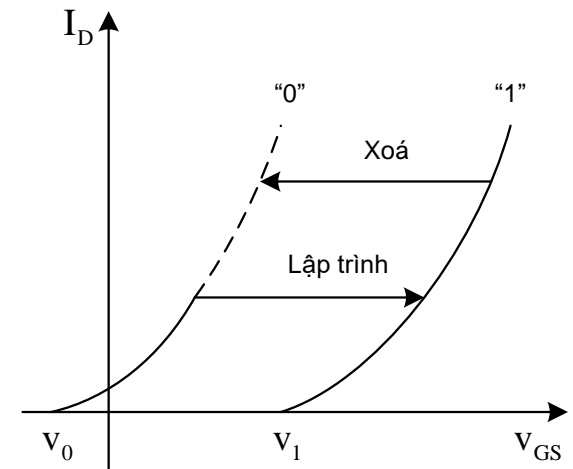
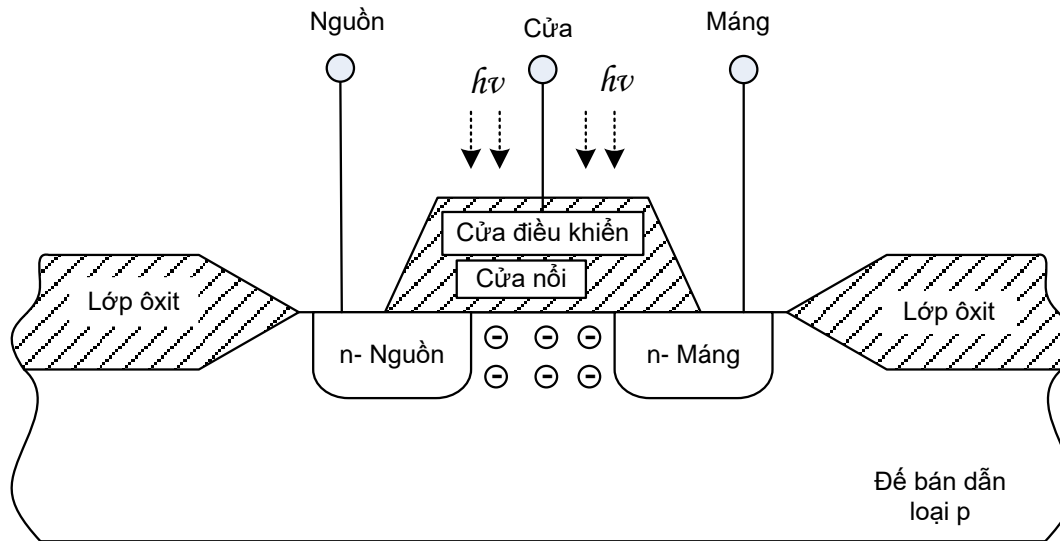
Bộ nhớ bán dẫn (18)

❖ Bộ nhớ bán cố định - EPROM (Erasable PROM)

- Số liệu viết vào bằng xung điện nhưng được lưu giữ theo kiểu không bay hơi. Đó là loại ROM có thể lập trình được và xóa được. Hình 7- 7 chỉ ra cấu trúc của một transistor dùng để làm một ô nhớ gọi là FAMOST (Floating gate avalanche injection MOS transistor).
- Trong ô nhớ dùng transistor này, cực cửa được nối với đường từ, cực máng được nối với đường bit và cực nguồn được nối với nguồn chuẩn được coi là nguồn cho mức logic 1. Khác với transistor MOS bình thường, transistor loại này còn có thêm một cửa gọi là *cửa nổi* (floating gate); đó là một vùng vật liệu được thêm vào vào giữa lớp cách điện cao như ở hình vẽ.
- Nếu cửa nổi không có điện tích thì không ảnh hưởng đến cực cửa điều khiển và transistor hoạt động như bình thường. Tức khi dây từ được kích hoạt (cực cửa có điện thế dương) thì transistor dẫn, cực máng và nguồn được nối với nhau qua kênh dẫn và dây bit có mức 1.

Bộ nhớ bán dẫn (19)

- Nếu cửa nổi có các điện tử trong đó với điện tích âm thì chúng sẽ ngăn trường điều khiển của cửa cửa và dù dây từ được kích hoạt thì cũng không thể phát ra trường đủ mạnh với cực cửa điều khiển để làm thông transistor. Lúc này đường bit không được nối với nguồn chuẩn và ô nhớ coi như được giữ giá trị 0.



Bộ nhớ bán dẫn (20)

❖ **Bộ nhớ bán cố định - EPROM (Erasable PROM)**

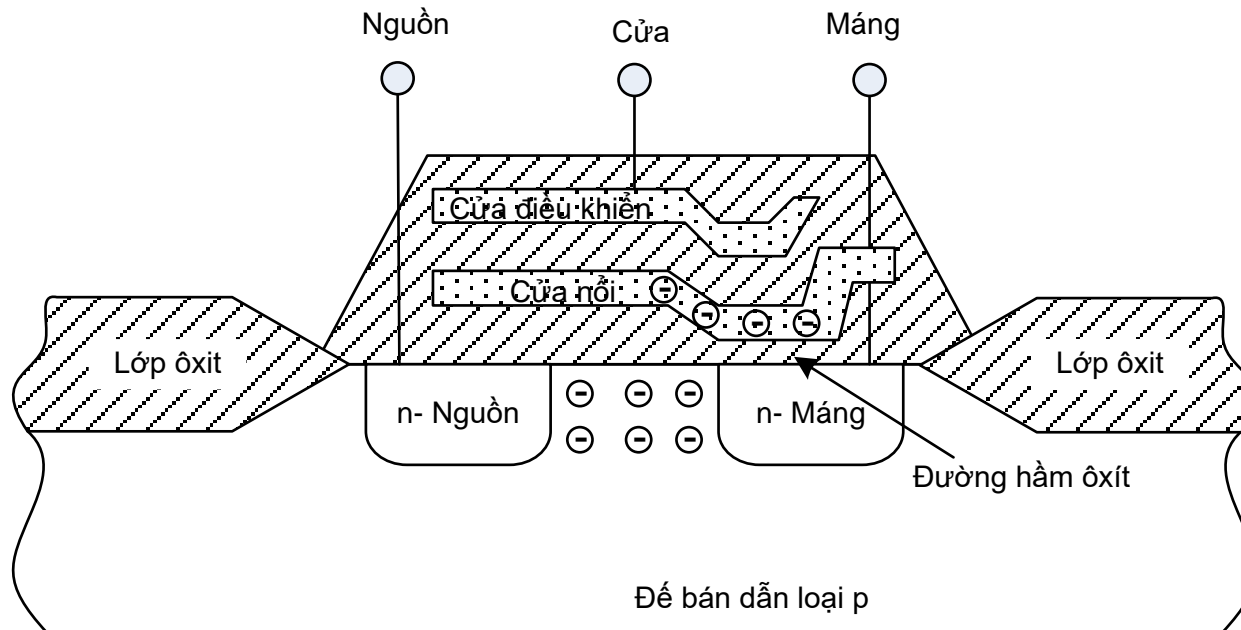
- Việc nạp các điện tử vào vùng cửa nổi, tức là tạo ra các ô nhớ mang giá trị 0 được thực hiện bởi xung điện có độ dài cỡ 50 ms và độ lớn + 20 V đặt giữa cực cửa và cực máng. Lúc đó những điện tích mang năng lượng lớn sẽ đi qua lớp cách điện giữa đế và cửa nổi. Chúng tích tụ trong vùng cửa nổi và được giữ ở đây sau khi xung lập trình tắt. Đó là do cửa nổi được cách điện cao với xung quanh và các điện tử không còn đủ năng lượng sau khi lạnh đi, để có thể vượt ra ngoài lớp cách điện đó nữa. Chúng sẽ được giữ ở đây trong một thời gian rất dài (ít nhất là 10 năm).
- Để xóa các thông tin, tức là làm mất các điện tích điện tử trong vùng cửa nổi, phải chiếu ánh sáng tử ngoại UV vào chip nhớ. Lúc này, những điện tử hấp thụ được năng lượng và sẽ nhảy lên các mức năng lượng cao và rời khỏi cửa nổi giống như cách mà chúng đã thâm nhập vào. Trong chip EPROM có một cửa sổ làm bằng thủy tinh thạch anh chỉ để cho ánh sáng tử ngoại đi qua khi cần xóa số liệu trong bộ nhớ.

Bộ nhớ bán dẫn (21)

- Cửa sổ thạch anh có giá thành khá đắt và không tiện lợi nên những năm gần đây xuất hiện các chip PROM có thể xóa số liệu bằng phương pháp điện. Cấu trúc của ô nhớ giống như hình vẽ.
- Việc nạp các điện tử cho cửa nổi được thực hiện như cách ở EPROM. Bằng một xung điện tương đối dài, các điện tích mang năng lượng cao được phát ra trong đế sẽ thấm qua lớp cửa ôxit và tích tụ trong cửa nổi. Để xóa EEPROM, một lớp kênh màng mỏng ôxit giữa vùng cửa nổi trải xuống dưới đế và cực máng giữ vai trò quan trọng. Các lớp cách điện không thể là lý tưởng được, các điện tích có thể thấm qua lớp phân cách với một xác suất thấp. Xác suất này tăng lên khi bề dày của lớp giảm đi và điện thế giữa hai điện cực ở hai mặt lớp cách điện tăng lên. Muốn phóng các điện tích trong vùng cửa nổi một điện thế (-20 V) được đặt vào cực cửa điều khiển và cực máng.

Bộ nhớ bán dẫn (22)

- ❖ Lúc này các điện tử âm trong cửa nổi được chảy về cực máng qua kênh mỏng ôxit và số liệu lưu giữ được xóa đi. Điều lưu ý là phải làm sao cho dòng điện tích này chảy không quá lâu vì nếu không vùng cửa nổi này lại trở nên tích điện dương làm cho hoạt động của transistor không được trạng thái bình thường (mức nhớ 1)

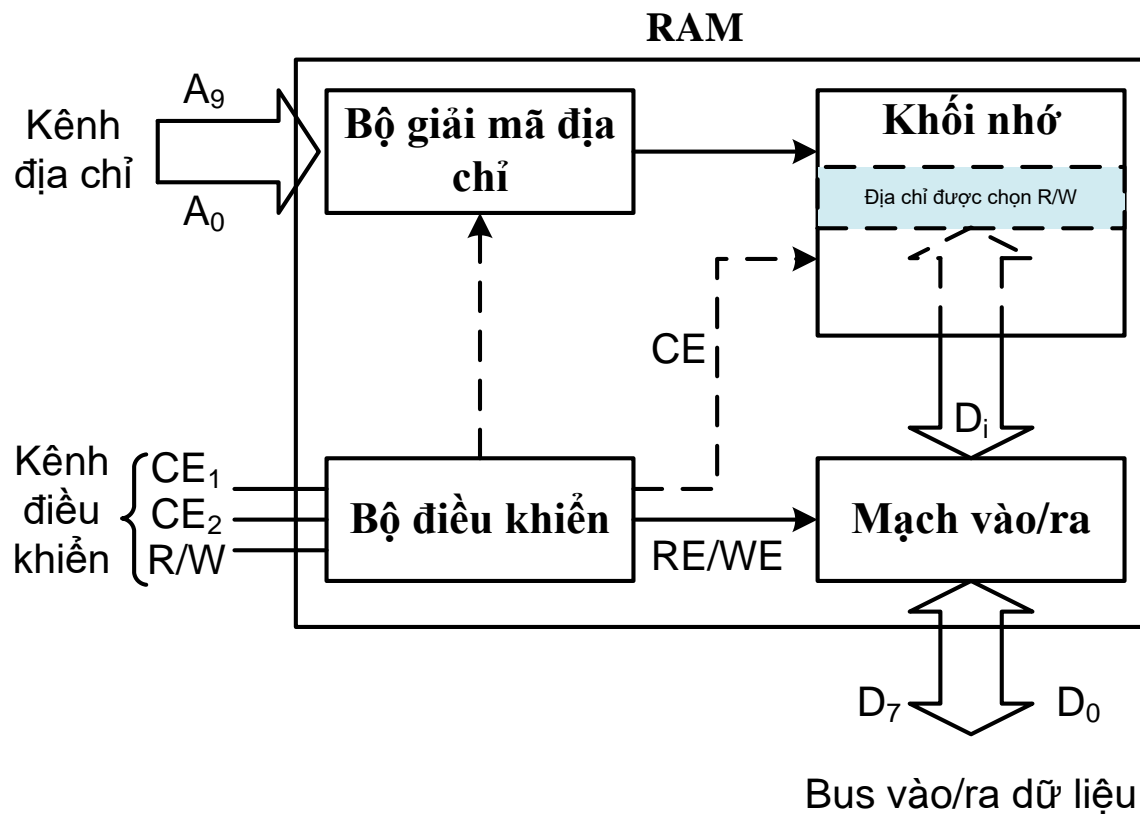


Bộ nhớ bán dẫn (23)

- ❖ **RAM:** có khả năng cho phép ghi lưu trữ dữ liệu thông tin tạm thời trong một thời gian, sau đó lại đọc thông tin đó để tiếp tục xử lý khi cần thiết nên nó có tên là bộ nhớ đọc/viết.
- ❖ Một đặc tính quan trọng khác của RAM là các dữ liệu trong RAM chỉ có tính chất tạm thời, dễ bị xóa khi mất nguồn năng lượng cấp.
- ❖ RAM có 4 phần chính (hình vẽ). Điểm khác biệt là:
 - Mạch điều khiển của RAM phải có thêm đầu vào R/W điều khiển hai quá trình cơ bản trong thao tác của RAM: ghi dữ liệu thông tin vào nó và quá trình xuất (đọc) thông tin đã ghi.
 - Mạch đầu ra có khả năng kiểm soát hai chiều trước khi cho phép giao tiếp với kênh dữ liệu. Quá trình này tuân theo nguyên tắc: (đồng bộ với việc điều khiển R/W) khi bộ nhớ đang đọc thì không được ghi và ngược lại; trạng thái thứ ba có thể chờ quyết định.

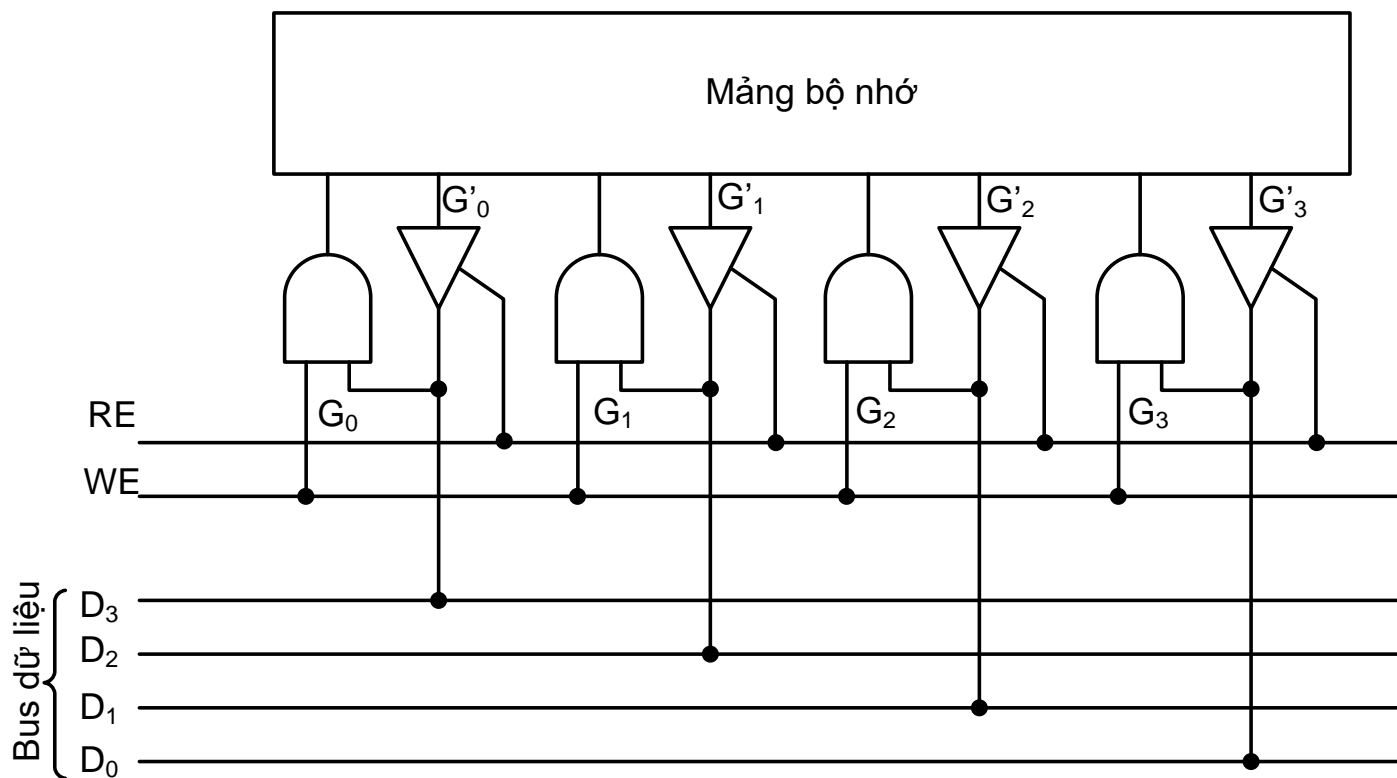
Bộ nhớ bán dẫn (24)

- ❖ Cấu trúc 4 khối của một RAM có 8 bit dữ liệu và 8 bit địa chỉ



Bộ nhớ bán dẫn (25)

❖ Mạch vào ra:

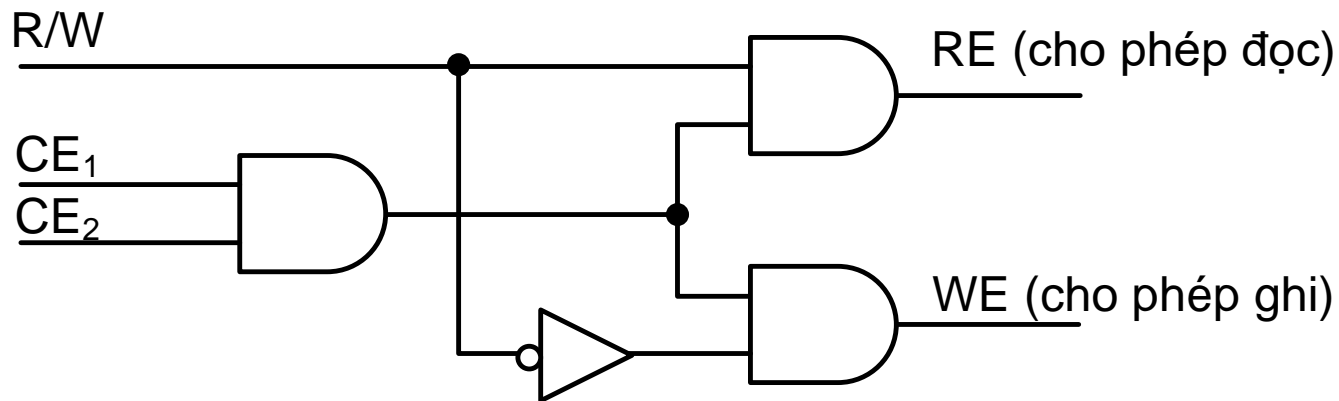


Bộ nhớ bán dẫn (26)

- ❖ **Mạch điều khiển:**
- ❖ Khi ở chế độ đọc, xung R/W ở mức logic 1. Đồng thời các tín hiệu cho phép chọn CE1, CE2 được kích hoạt ở mức 1 nên lúc này $\overline{RE} = 1$, tức là chế độ đọc được thiết lập. Khi đó tín hiệu $\overline{WE} = 0$ nên tín hiệu cho phép ghi WE = 0 (cấm ghi).
- ❖ Khi ở chế độ ghi, xung R/W ở mức logic 0, $\overline{WE} = 1$, đồng thời các tín hiệu cho phép chọn CE1, CE2 được kích hoạt ở mức 1 nên lúc này $\overline{WE} = 1$, tức là nó ở chế độ ghi. Khi đó tín hiệu R/W = 0 nên tín hiệu cho phép đọc $\overline{RE} = 0$ (cấm đọc).
- ❖ Tín hiệu tích cực đồng thời $\overline{CE1} = \overline{CE2} = 1$ ở cả hai chế độ đọc và ghi phải được chuyển cùng lúc tới mảng ô nhớ nhằm thông báo việc xuất (khi đọc) hay việc nhập (khi ghi) dữ liệu tới địa chỉ ô nhớ đã được mạch giải mã chọn.

Bộ nhớ bán dẫn (27)

- ❖ Khi tín hiệu $CE_1 \cdot CE_2 = 0$ (có ít nhất một tín hiệu CE ở trạng thái không tích cực) thì mạch điều khiển ở hình 7-19 sẽ chuyển bộ nhớ sang chế độ chờ (Standby) bất chấp tín hiệu R/W có tích cực hay không, lúc này $RE = 0$ và $WE = 0$.

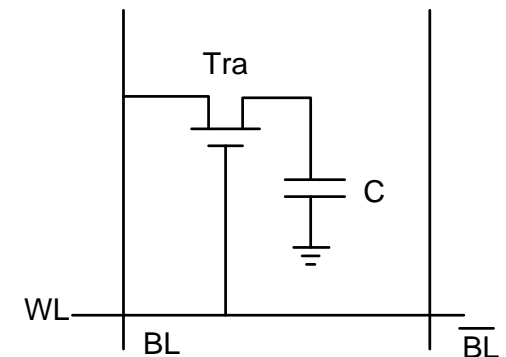
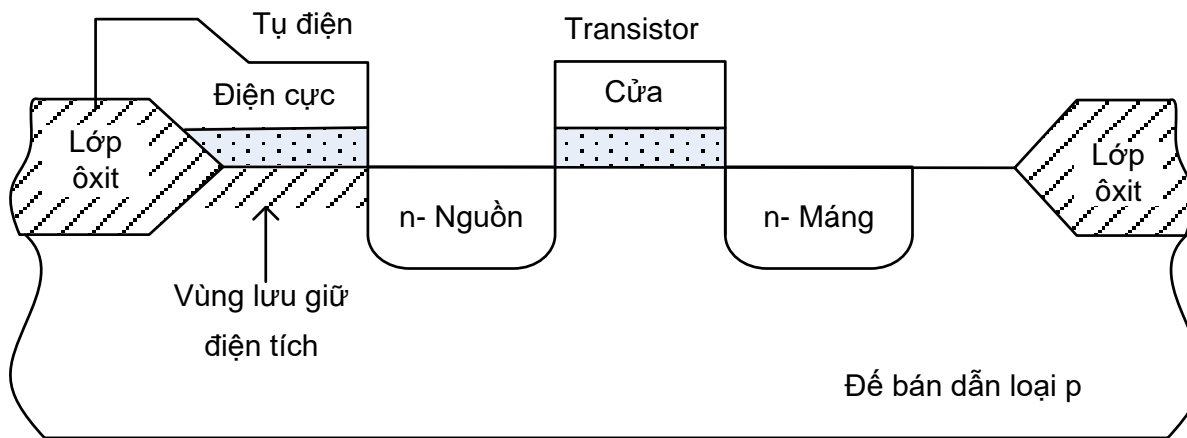


Bộ nhớ bán dẫn (28)

- ❖ **DRAM:** Các ô nhớ được sắp xếp theo hàng và cột trong một ma trận nhớ. Địa chỉ ô nhớ được chia thành hai phần: địa chỉ hàng và cột. Hai địa chỉ này được đọc vào bộ đệm một cách lần lượt. Xử lý kiểu này được gọi là hợp kênh, lý do là để giảm kích thước bộ giải mã, tức là giảm kích thước và giá thành vi mạch. Quá trình dồn kênh địa chỉ này được điều khiển bởi các tín hiệu RAS (Row Access Strobe) và CAS (Column Access Strobe).
 - Nếu $\overline{\text{RAS}}$ ở mức tích cực thấp thì DRAM nhận được địa chỉ đặt vào nó và sử dụng như địa chỉ hàng.
 - Nếu $\overline{\text{CAS}}$ ở mức tích cực thấp thì DRAM nhận được địa chỉ đặt vào nó và sử dụng như địa chỉ cột.

Bộ nhớ bán dẫn (29)

- ❖ Một ô nhớ của DRAM gồm có một transistor trường MOS có trở lối vào rất lớn và một tụ điện C là linh kiện lưu trữ một bit thông tin tương ứng với hai trạng thái có hoặc không có điện tích trên tụ.

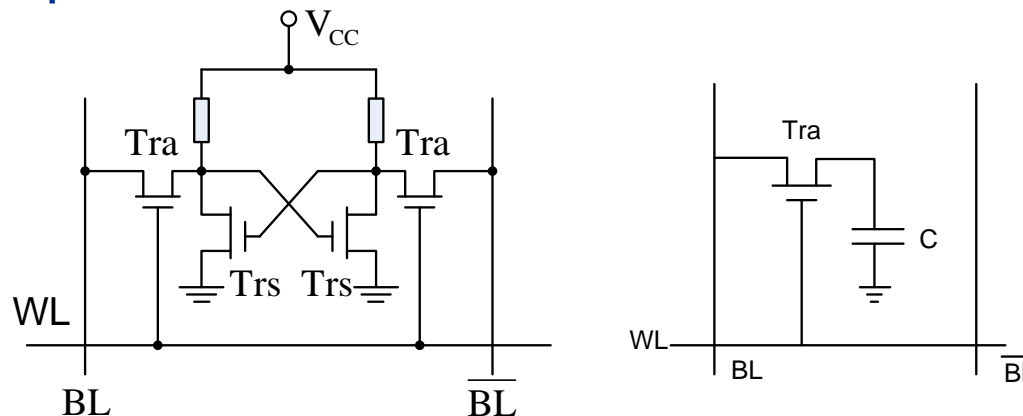


Bộ nhớ bán dẫn (30)

- ❖ Transistor hoạt động như một công tắc, cho phép nạp hay phóng điện tích của tụ khi thực hiện phép đọc hay viết. Cực cửa (Gate) của transistor được nối với dây hàng (còn gọi là dây từ-WL-Word Line) và cực máng (Drain) được nối với dây cột (còn được gọi là dây bit BL-Bit Line), cực nguồn (Source) được nối với tụ điện. Điện áp nạp trên tụ tương đối nhỏ, vì thế cần sử dụng khuếch đại nhảy trong mạch nhớ.
- ❖ Do dòng rò của transistor nên ô nhớ cần được nạp lại trước khi điện áp trên tụ thấp hơn một ngưỡng nào đó. Quá trình này được thực hiện nhờ một chu kỳ “làm tươi” (refresh), khi đó điện áp trên tụ được xác định (ở trạng thái 0 hay 1) và mức điện áp logic này được viết lại vào ô nhớ.

Bộ nhớ bán dẫn (31)

- ❖ **SRAM:** Một ô nhớ của SRAM giữ thông tin bởi trạng thái của mạch trigơ. Thuật ngữ “tĩnh” chỉ ra rằng khi nguồn nuôi chưa bị cắt thì thông tin của ô nhớ vẫn được giữ nguyên. Khác với ô nhớ DRAM, ở đây ô nhớ trigơ cung cấp một tín hiệu số mạnh hơn nhiều vì đã có các transistor trong các ô nhớ, chúng có khả năng khuếch đại tín hiệu và do đó có thể cấp trực tiếp cho các đường bit. Trong DRAM, sự khuếch đại tín hiệu trong các bộ khuếch đại cần nhiều thời gian và do đó thời gian truy nhập dài hơn. Khi định địa chỉ trong các trigơ ở SRAM, các transistor bổ sung cho các trigơ, các bộ giải mã địa chỉ...cũng được đòi hỏi như ở DRAM.



Bộ nhớ bán dẫn (32)

- ❖ Như trong DRAM, cực cửa của transistor được nối với đường từ và cực máng nối với cặp đường bit. Nếu số liệu được đọc từ ô nhớ, khi đó bộ giải mã hàng kích hoạt đường dây từ WL tương ứng. Hai transistor T dẫn và nối trigơ nhớ với cặp dây bit. Như vậy hai lối ra Q và $Q_{\bar{}}$ được nối với các đường bit và các tín hiệu được truyền tới bộ khuếch đại ở cuối đường dây này. Vì điện thế chênh lệch lớn nên xử lý khuếch đại như vậy sẽ nhanh hơn trong DRAM (cỡ 10 ns hoặc ngắn hơn), do đó chip SRAM cần địa chỉ cột sớm hơn nếu thời gian truy nhập không được giảm. Như vậy SRAM không cần thực hiện phân kênh các địa chỉ hàng và cột. Sau khi số liệu ổn định, bộ giải mã cột chọn cột phù hợp và cho ra tín hiệu số liệu tới bộ đệm số liệu ra và tới mạch ra.

Bộ nhớ bán dẫn (33)

- ❖ Viết số liệu được thực hiện theo cách ngược lại. Qua bộ đệm vào và bộ giải mã cột, số liệu viết được đặt vào bộ khuếch đại phù hợp. Cùng lúc đó bộ giải mã hàng kích hoạt đường dây từ và làm transistor T dẫn. Trigơ đưa số liệu được lưu trữ vào cặp dây bit. Tuy vậy, bộ khuếch đại nhạy hơn các transistor nên nó sẽ cấp cho các đường bit một tín hiệu phù hợp với số liệu viết. Do đó, trigơ sẽ chuyển trạng thái phù hợp với số liệu mới hoặc giữ giá trị đã được lưu trữ phụ thuộc vào việc số liệu viết trùng với số liệu đã lưu trữ hay không.

Bộ nhớ bán dẫn (34)

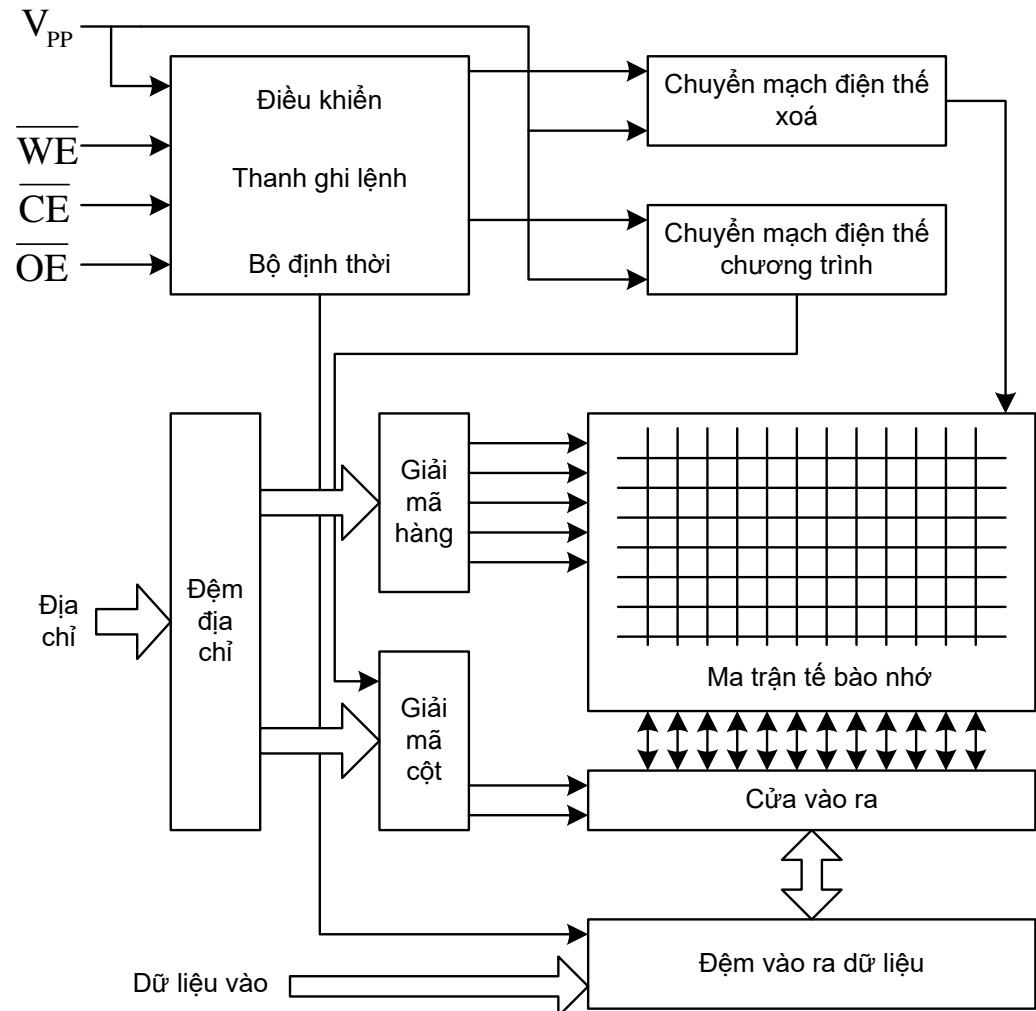
- ❖ **Bộ nhớ bán cố định - Bộ nhớ FLASH:** Trong những năm gần đây, một loại bộ nhớ không bay hơi mới đã xuất hiện trên thị trường, thường được sử dụng thay thế cho các ổ đĩa mềm và cứng trong những máy tính. Đó là bộ nhớ flash. Cấu trúc của chúng cơ bản như EEPROM, chỉ có lớp kênh ôxít ở các ô nhớ mỏng hơn. Do vậy chỉ cần điện thế cỡ 12 V là có thể cho phép thực hiện 10 000 chu trình xóa và lập trình. Bộ nhớ flash có thể hoạt động gần mềm dẻo như DRAM và SRAM nhưng lại không bị mất số liệu khi bị cắt điện. Hình 7- 9 chỉ ra sơ đồ khối của nó.
- ❖ Phần chính là mạng nhớ bao gồm các ô nhớ FAMOST như được mô tả ở mục trên. Giống như SRAM, bộ nhớ flash không dẫn phân kênh địa chỉ. Các bộ giải mã hàng và cột chọn một đường từ và một hoặc nhiều cặp đường bit. Số liệu đọc được đưa ra ngoài bộ đệm số liệu I/O hoặc được viết vào ô nhớ đã được định địa chỉ bởi bộ đệm này qua cổng I/O. Xử lý đọc được thực hiện với điện thế MOS thông thường là 5V.

Bộ nhớ bán dẫn (35)

- ❖ Để lập trình một ô nhớ, đơn vị điều khiển flash đặt một xung điện thể ngắn cỡ $10\ \mu\text{s}$ và $12\ \text{V}$ gây nên một sự chọc thủng thác lũ vào transistor nhớ để nạp vào cửa nổi. Một chip nhớ flash $1\ \text{Mb}$ có thể được lập trình trong khoảng $2\ \text{sec}$, nhưng khác với EEPROM việc xoá được thực hiện từng chip một. Thời gian xoá cho toàn bộ bộ nhớ flash khoảng $1\ \text{sec}$. Xử lý đọc, lập trình và xoá được điều khiển bởi các lệnh có độ dài $2\ \text{byte}$ được bộ xử lý viết vào các thanh ghi lệnh của mạch điều khiển flash.
- ❖ Mục đích sử dụng chính của bộ nhớ flash là để thay thế cho các ổ đĩa mềm và ổ đĩa cứng dung lượng nhỏ. Do nó là mạch tích hợp nên có ưu điểm là kích thước nhỏ và tiêu thụ năng lượng thấp, không bị ảnh hưởng của va đập.
- ❖ Các đĩa cứng chất rắn dựa trên cơ sở các bộ nhớ flash có lợi thế về công suất tiêu thụ cũng như giá thành có dung lượng tới vài Mbyte.

Bộ nhớ bán dẫn (36)

- ❖ Các card nhớ loại này có ưu điểm là không gặp phải vấn đề mất thông tin như trường hợp RAM CMOS khi pin Ni-Cd bị hỏng. Thời gian lưu trữ thông tin trong bộ nhớ flash ít nhất là 10 năm, thông thường là 100 năm, với khoảng thời gian này thì các đĩa mềm và cứng đã bị hỏng rồi.
- ❖ Nhược điểm của bộ nhớ flash là chỉ có thể xóa theo kiểu lần lượt từng chip hoặc lần lượt từng trang.



Bộ nhớ bán dẫn (37)

- ❖ **Bộ nhớ bán cố định - EPROM (Erasable PROM):**
- ❖ Việc nạp các điện tử vào vùng cửa nổi, tức là tạo ra các ô nhớ mang giá trị 0 được thực hiện bởi xung điện có độ dài cỡ 50 ms và độ lớn + 20 V đặt giữa cực cửa và cực máng. Lúc đó những điện tích mang năng lượng lớn sẽ đi qua lớp cách điện giữa đế và cửa nổi. Chúng tích tụ trong vùng cửa nổi và được giữ ở đây sau khi xung lập trình tắt. Đó là do cửa nổi được cách điện cao với xung quanh và các điện tử không còn đủ năng lượng sau khi lạnh đi, để có thể vượt ra ngoài lớp cách điện đó nữa. Chúng sẽ được giữ ở đây trong một thời gian rất dài (ít nhất là 10 năm).
- ❖ Để xóa các thông tin, tức là làm mất các điện tích điện tử trong vùng cửa nổi, phải chiếu ánh sáng tử ngoại UV vào chip nhớ. Lúc này, những điện tử hấp thụ được năng lượng và sẽ nhảy lên các mức năng lượng cao và rời khỏi cửa nổi giống như cách mà chúng đã thâm nhập vào. Trong chip EPROM có một cửa sổ làm bằng thủy tinh thạch anh chỉ để cho ánh sáng tử ngoại đi qua khi cần xóa số liệu trong bộ nhớ.

Bộ nhớ bán dẫn (38)

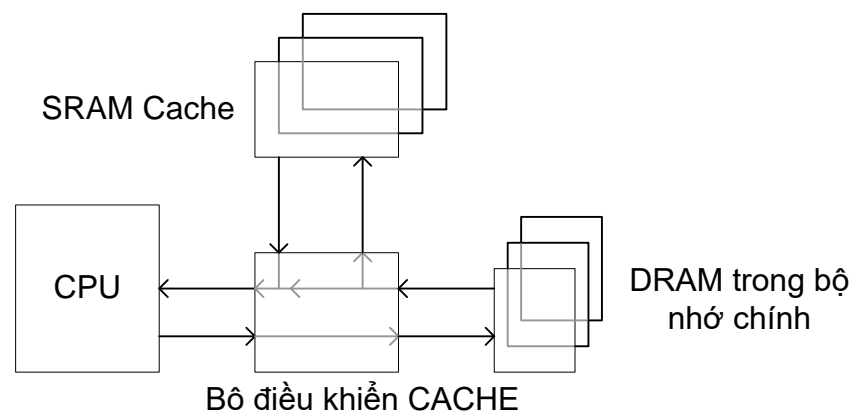
❖ Bộ nhớ bán cố định - Bộ nhớ CACHE:

❖ Giữa CPU và bộ nhớ chính bằng DRAM, người ta xen vào một bộ nhớ SRAM nhanh có dung lượng nhỏ bằng 1/10 hoặc 1/100 lần bộ nhớ chính gọi là cache; dưới sự điều khiển của mạch điều khiển cache, bộ nhớ này sẽ lưu trữ tạm thời các số liệu thường được gọi và cung cấp nó cho CPU trong thời gian ngắn.

❖ Cache chứa thông tin được CPU sử dụng gần đây nhất. Khi CPU đọc số liệu nó sẽ đưa ra một địa chỉ tới bộ điều khiển cache. Sau đó một trong hai quá trình sau sẽ xảy ra:

❖ Cache hit: nếu địa chỉ đó đã có sẵn trong RAM cache.

❖ Cache miss: ngược lại, nếu địa chỉ đó không có sẵn trong RAM cache.



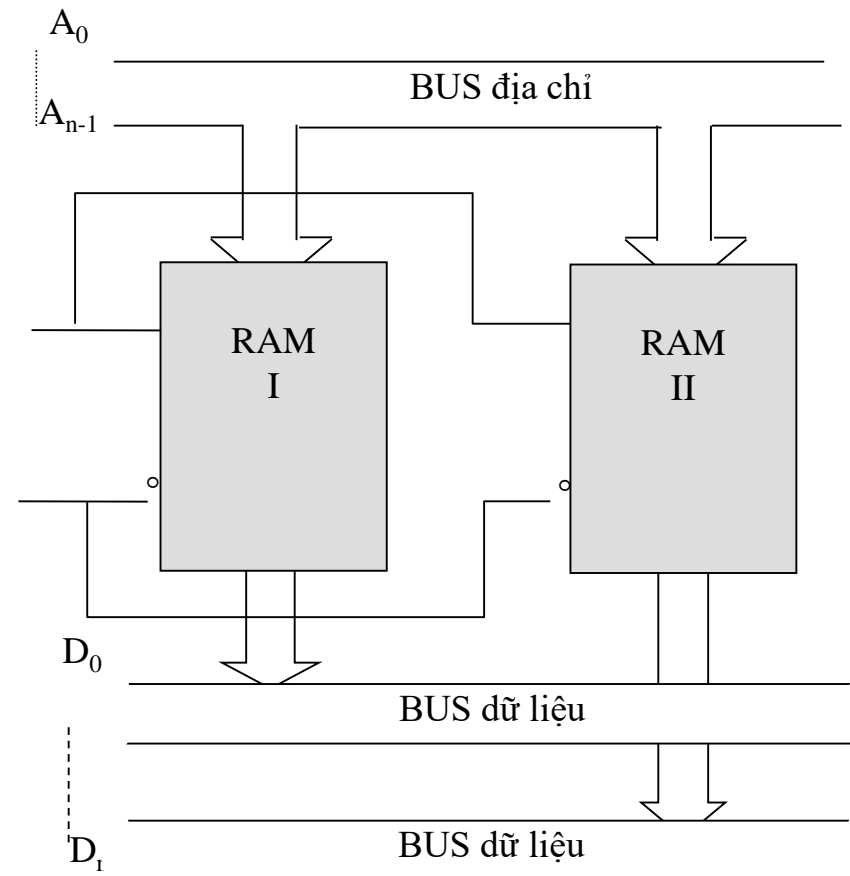
Bộ nhớ bán dẫn (39)

❖ Mở rộng dung lượng bộ nhớ:

- Các vi mạch nhớ bán dẫn chỉ có dung lượng xác định. Muốn có bộ nhớ có dung lượng lớn hơn, ta tìm cách ghép nhiều vi mạch nhớ nhằm một trong ba mục đích sau:
 - Tăng độ dài nhớ, nhưng không làm tăng số lượng từ nhớ.
 - Tăng số lượng từ nhớ nhưng không làm tăng độ dài từ nhớ.
 - Tăng cả số lượng và độ dài từ nhớ.

Bộ nhớ bán dẫn (40)

- ❖ **Mở rộng độ dài từ:** Trên một chip nhớ, có thể có được 1 đến một số hữu hạn lối ra, thường là 4 hoặc 8 bit. Muốn có độ dài từ lớn hơn, chẳng hạn từ 4 lên 8 hoặc 16 bit, ta tiến hành ghép nhiều chip nhớ như chỉ ở hình 7-10 đối với RAM. Đối với ROM cách làm cũng tương tự, chỉ khác trong trường hợp này, có thể không có lối vào R/\bar{W} .

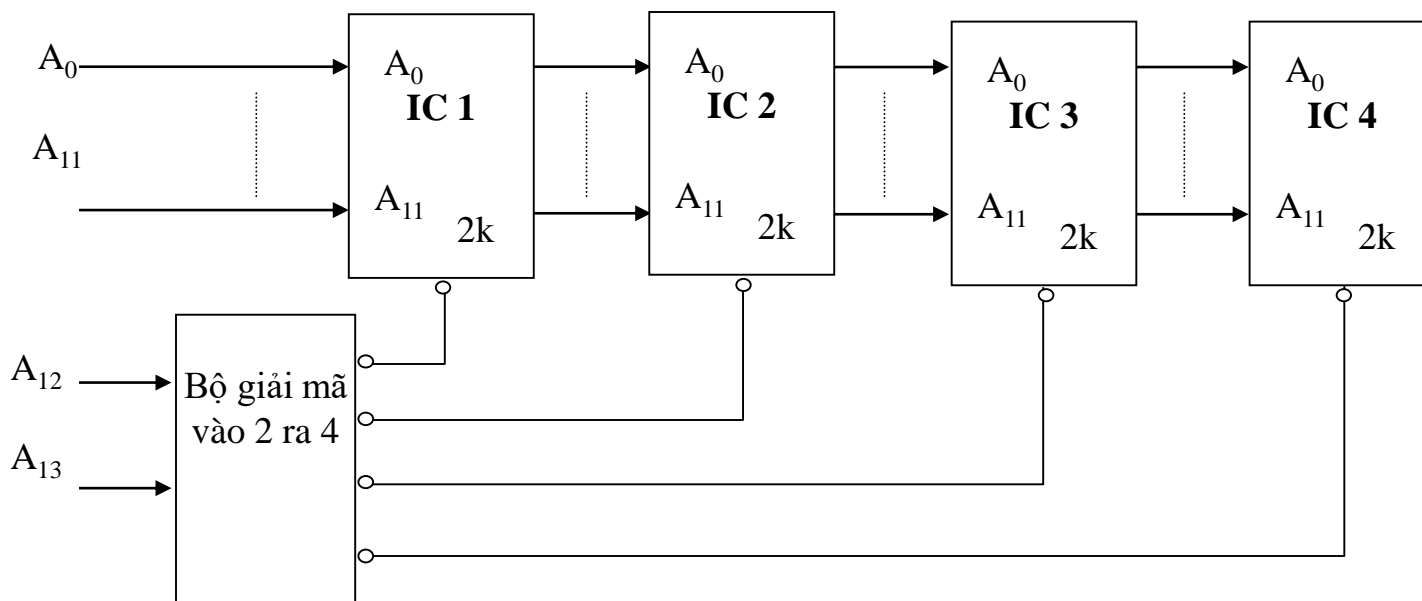


Bộ nhớ bán dẫn (41)

- ❖ **Mở rộng dung lượng:**
- ❖ Muốn mở rộng dung lượng, ta cũng ghép nhiều chip lại với nhau. Như đã biết, dung lượng có liên quan đến số lối vào địa chỉ ($C = 2N$ x độ dài từ, với N là số lối vào địa chỉ). Cứ tăng 1 chip thì cần có thêm một lối vào địa chỉ.
- ❖ Khác với trường hợp mở rộng độ dài từ, khi mở rộng dung lượng các lối vào/ra dữ liệu D và R được nối song song. Một phần dung lượng được trữ vào mỗi chip. Sự phân chia này dựa trên cơ sở tổ hợp địa chỉ vào và lối vào điều khiển. Hình 7-11 là một sơ đồ ví dụ.

Bộ nhớ bán dẫn (42)

- ❖ Để thực hiện phép mở rộng ta phải sử dụng một số lối vào địa chỉ dành riêng cho bộ giải mã (thường là các địa chỉ có trọng số cao). Ở sơ đồ trên ta chọn 2 địa chỉ A_{12} và A_{13} để giải mã. Do đó ta có thể nhận được 4 giá trị ra tương ứng. Các giá trị này tác động lên các lối vào CS để mở tuần tự các IC nhớ.



Bộ nhớ bán dẫn (43)

- ❖ Các IC nhớ này có thể làm ROM hoặc RAM hoặc cả hai là tùy chọn. Tuần tự mở các IC theo A12, A13 như chỉ ra ở bảng hoạt động sau.

A_{13}	A_{12}	_CS	IC mở	Khoảng địa chỉ
0	0	_CS_1	IC I	$0000_{16} - 0FFF_{16}$
0	1	_CS_2	IC II	$1000_{16} - 1FFF_{16}$
1	0	_CS_3	IC III	$2000_{16} - 2FFF_{16}$
1	1	_CS_4	IC IV	$3000_{16} - 3FFF_{16}$

Tài liệu tham khảo

- ❖ *Giáo trình Kỹ thuật số* - Trần Văn Minh, NXB Bưu điện 2002.
- ❖ *Cơ sở kỹ thuật điện tử số*, Đại học Thanh Hoa, Bắc Kinh, NXB Giáo dục 1996.
- ❖ *Kỹ thuật số*, Nguyễn Thúc Vãn, NXB Khoa học và kỹ thuật 1994.
- ❖ *Lý thuyết mạch logic và Kỹ thuật số*, Nguyễn Xuân Quỳnh, NXB Bưu điện 1984.
- ❖ *Fundamentals of logic design*, fourth edition, Charles H. Roth, Prentice Hall 1991.
- ❖ *Digital engineering design*, Richard F.Tinder, Prentice Hall 1991.
- ❖ *Digital design principles and practices*, John F.Wakerly, Prentice Hall 1990.
- ❖ *VHDL for Programmable Logic* by Kevin Skahill, Addison Wesley, 1996
- ❖ *The Designer's Guide to VHDL* by Peter Ashenden, Morgan Kaufmann, 1996.
- ❖ *Analysis and Design of Digital Systems with VHDL* by Dewey A., PWS Publishing, 1993.