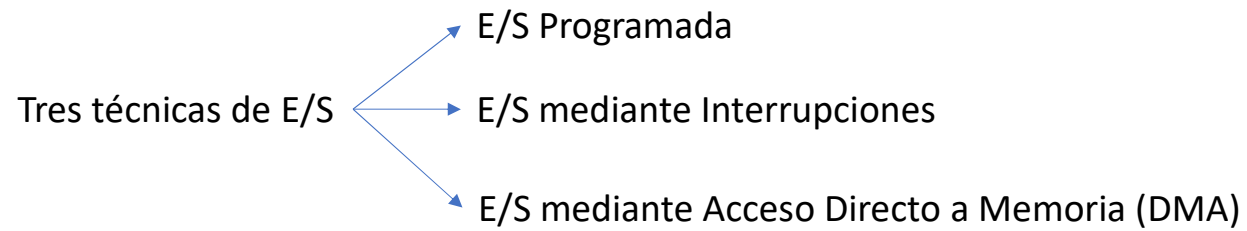





## ENTRADA / SALIDA

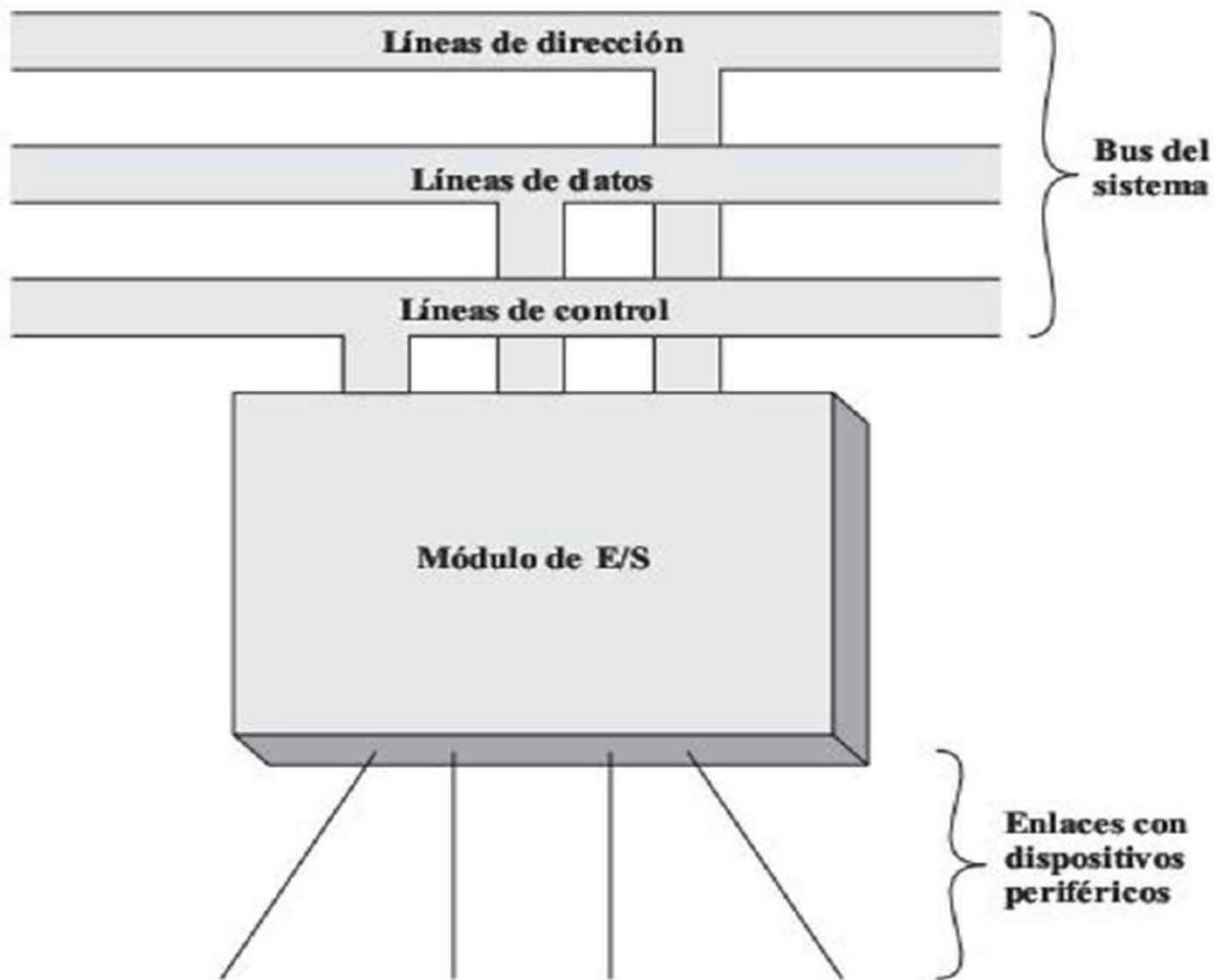
La arquitectura de E/S del computador es su interfaz con el exterior



Junto con el Procesador y la Memoria los Módulos de E/S son el tercer elemento clave del computador

## Motivos para no conectar los periféricos directamente al bus de sistema

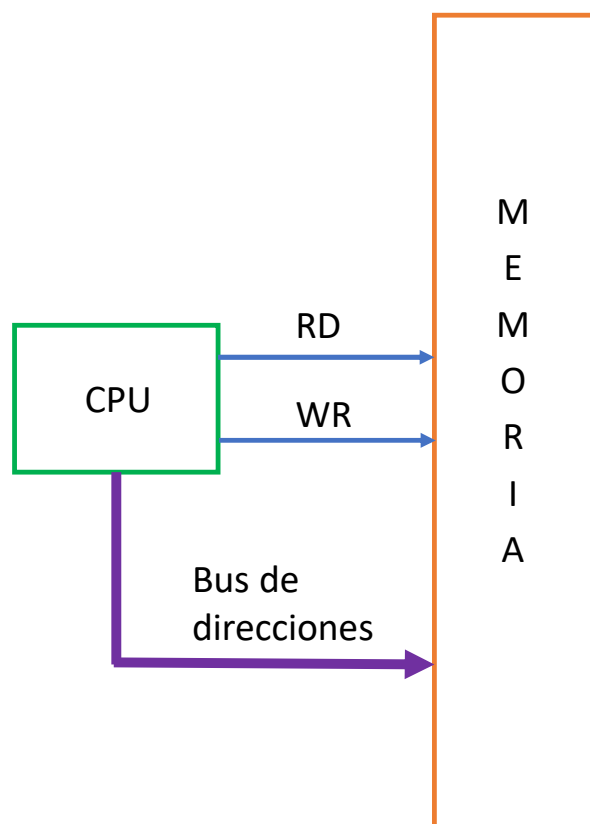
- a) Amplia Variedad de periféricos (dispositivos externos) con funcionamiento diferente: Cantidad de lógica necesaria
- 1 – De interacción con humanos  Comunicación con el usuario (Teclado-Monitor)
  - 2 – De interacción con máquinas  Comunicación con elementos del computador (Sistemas de disco)
  - 3 – De comunicación  Comunicación con dispositivos remotos
- b) Amplia Variedad velocidad de transferencia
- c) Diferentes formatos de datos



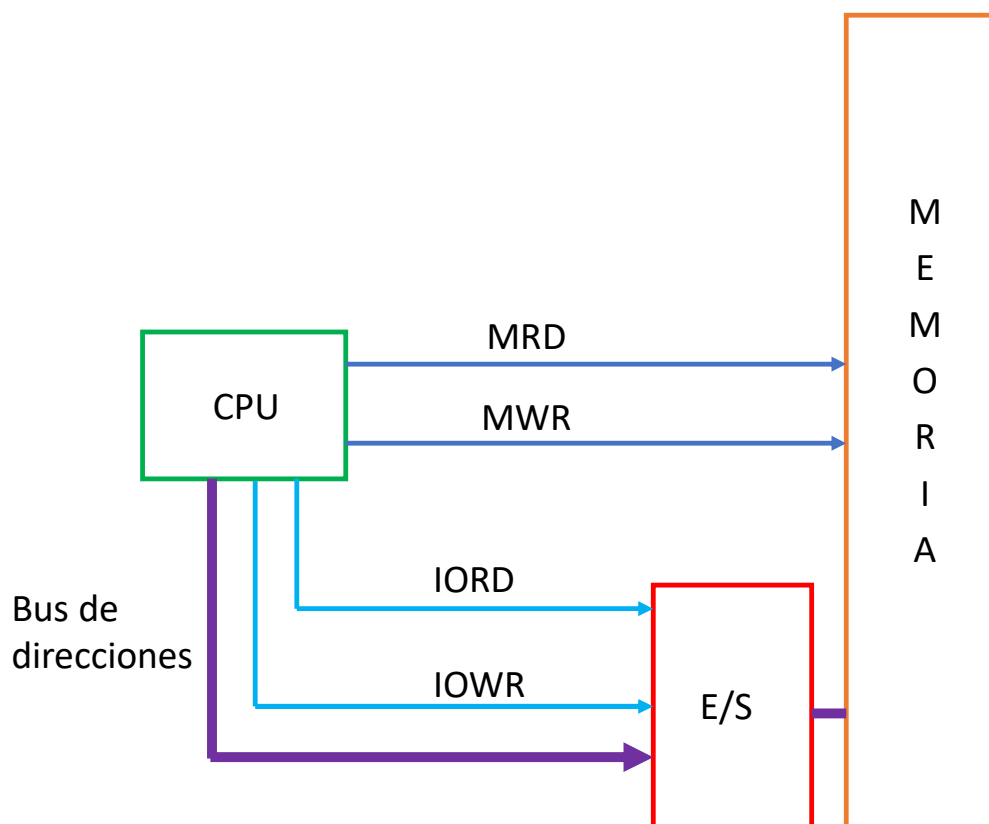
Realizar la interface entre el Procesador y la memoria a través del bus

Realizar la interface entre uno o más periféricos mediante enlaces específicos

## Mapecto de las E/S



E/S Mapeada en memoria  
(Memory Mapped)



E/S Aislada (Mapeada en puerto)  
(I/O Mapped)

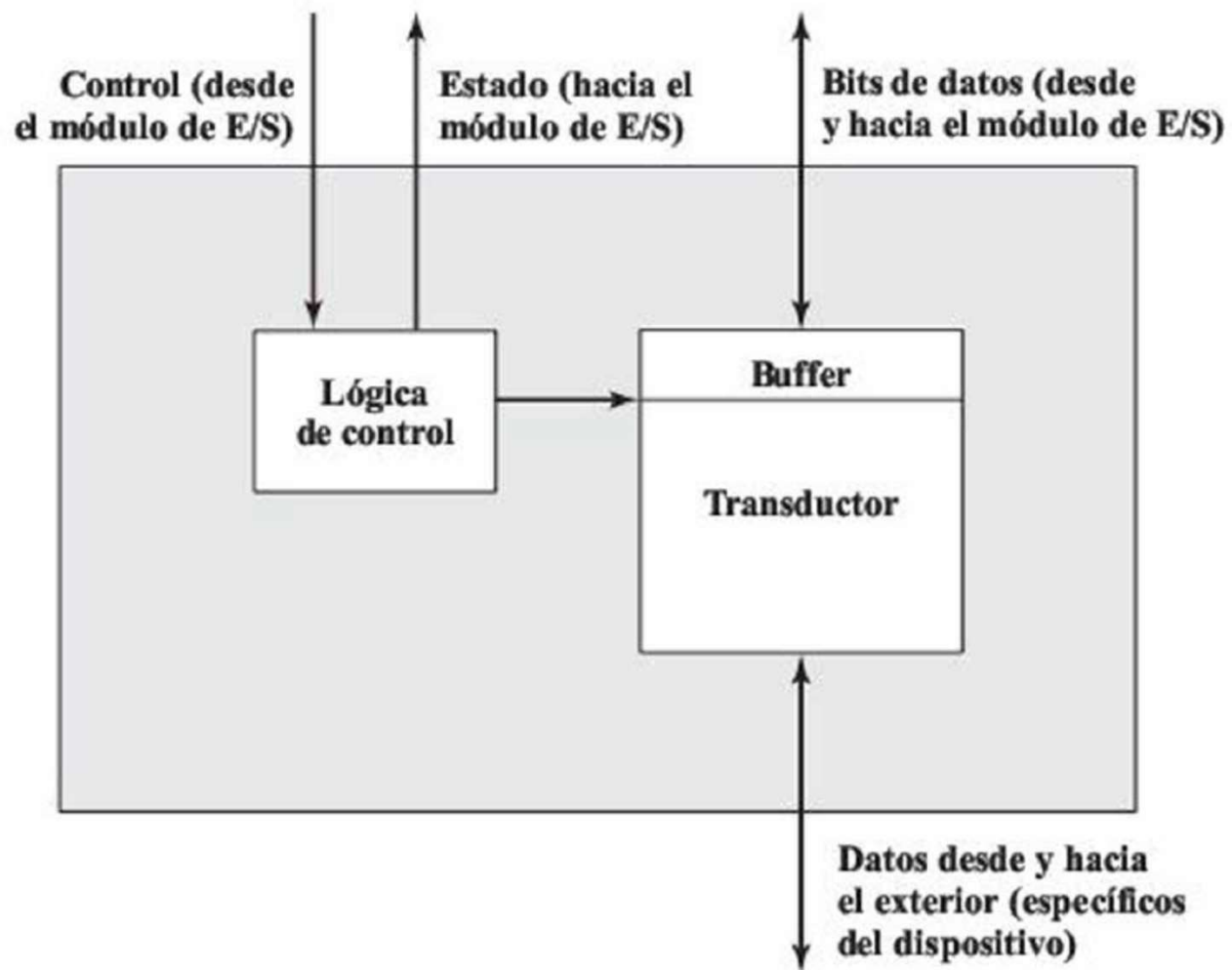


Diagrama de bloques de un dispositivo externo

## FUNCIÓNES DE UN MÓDULOS DE E/S

Control y Temporización → Coordinar el tráfico entre dispositivos externos y recursos internos

Consulta del estado del módulo de E/S por parte de la CPU

El módulo de E/S devuelve su estado

Estado “desocupado” , la CPU solicita una transferencia de datos enviando una orden al módulo de E/S

El módulo de E/S obtiene el/los datos solicitados

El módulo de E/S envía los datos a la CPU

Comunicación con el procesador → Reconocimiento de dirección

Información de estado

Decodificación de órdenes de la CPU (comandos)

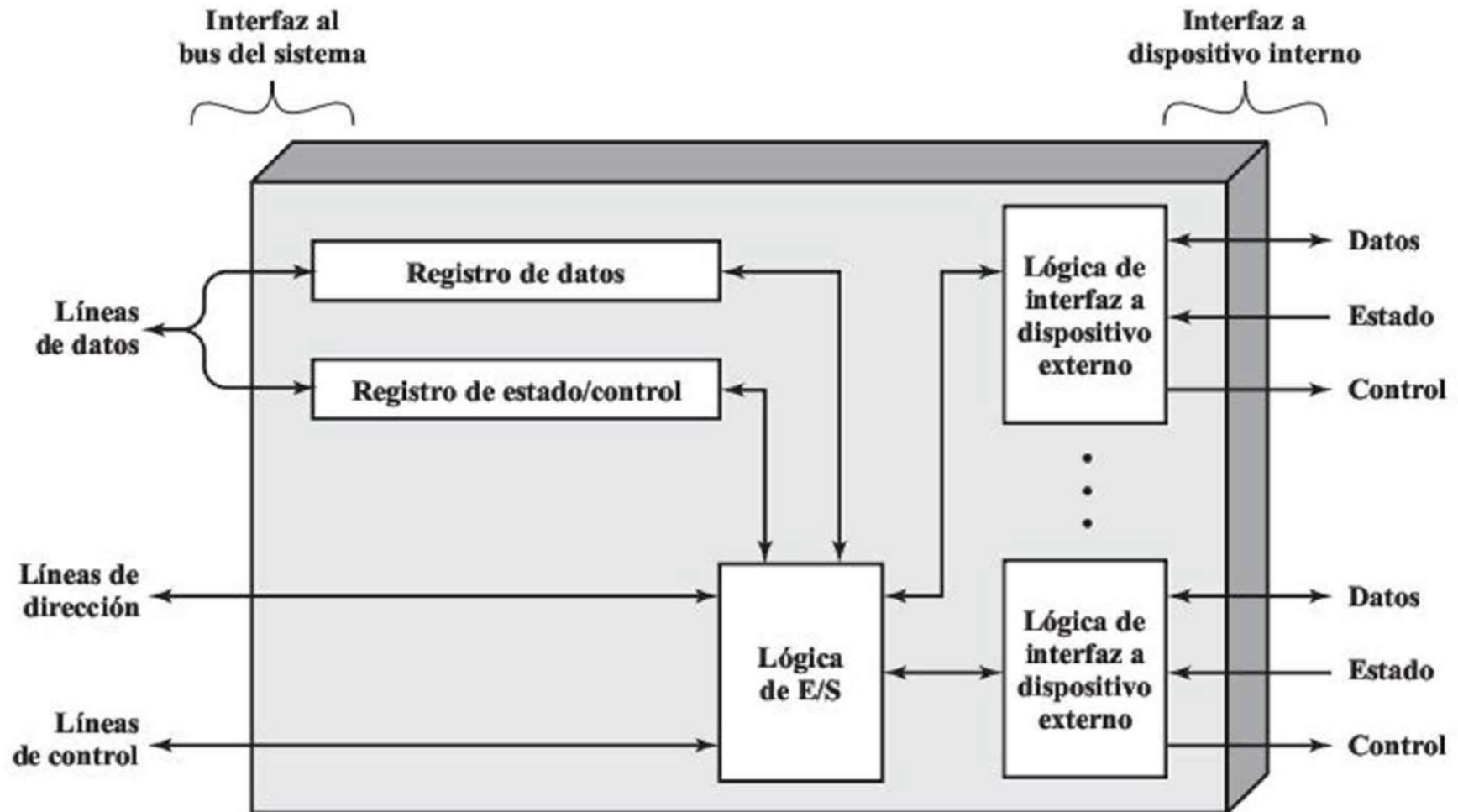
Intercambio de datos entre el módulo de E/S y la CPU

Comunicación con el Dispositivo → Intercambio de estado y órdenes entre el módulo de E/S y el dispositivo

Almacenamiento temporal de datos → Buffer de datos necesario por las diferencias en la velocidad de transferencia

Detección de errores → El módulo de E/S detecta los errores e informa de los mismos a la CPU

## ESTRUCTURA DE UN MÓDULO DE E/S





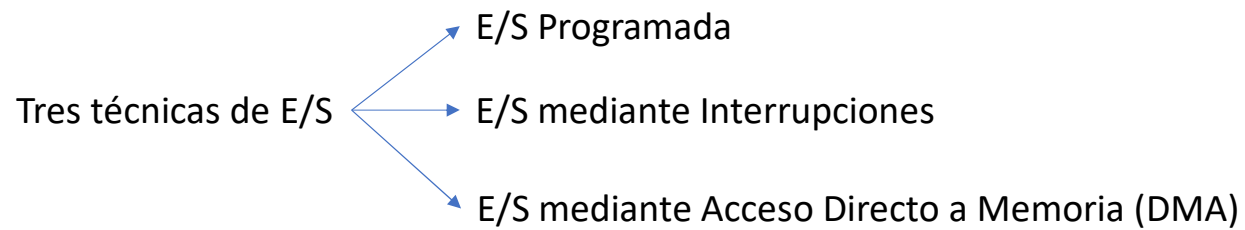
Lógica de E/S

Registros de Control y Estado

Registro de datos

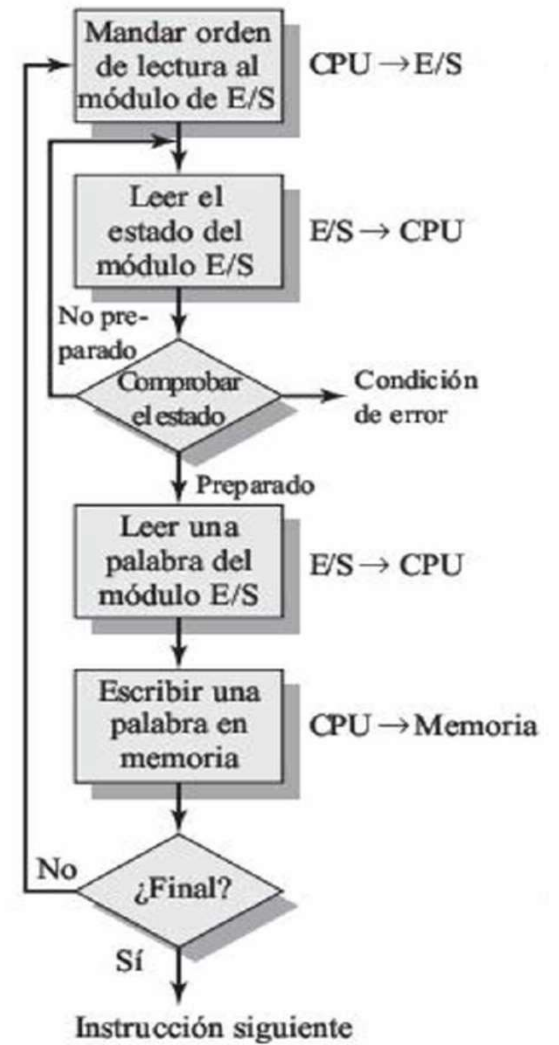
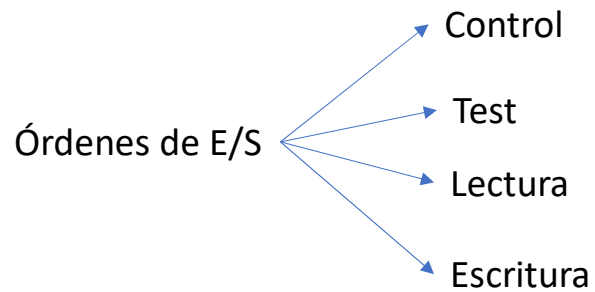
Lógica de interfaz a dispositivo externo

Permite al procesador ver una amplia  
variedad de dispositivos



### Entrada salida programada

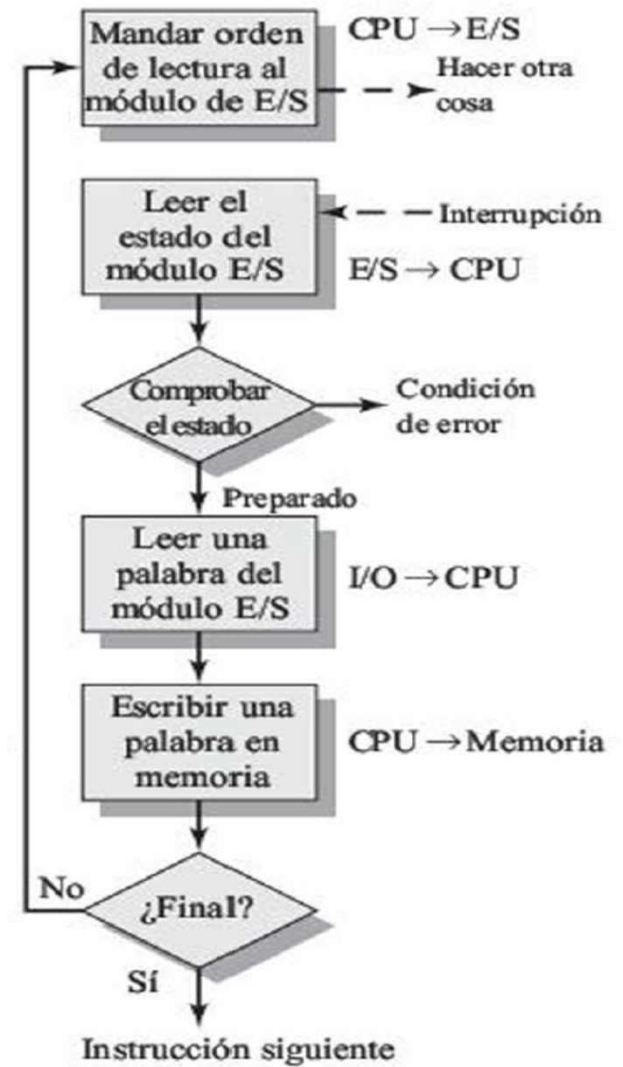
El procesador encuentra una instrucción de E/S, la ejecuta direccionando el módulo correspondiente y suministrando las órdenes de E/S



### Entrada salida por interrupciones

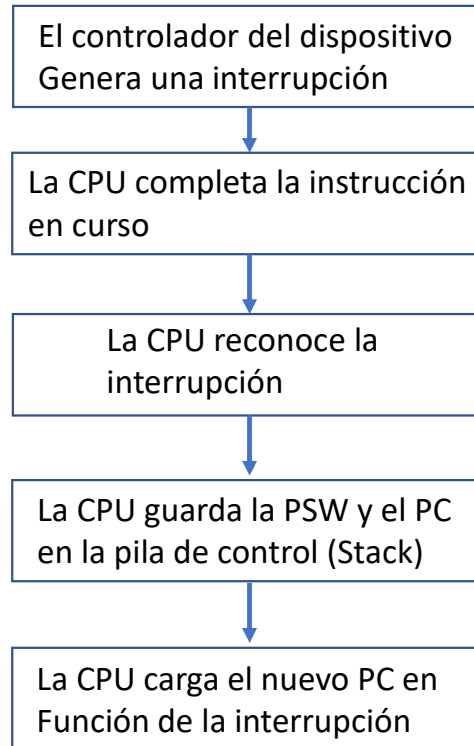
El procesador envía una orden al módulo de E/S.

El módulo de E/S ejecuta la orden e interrumpe a la CPU.

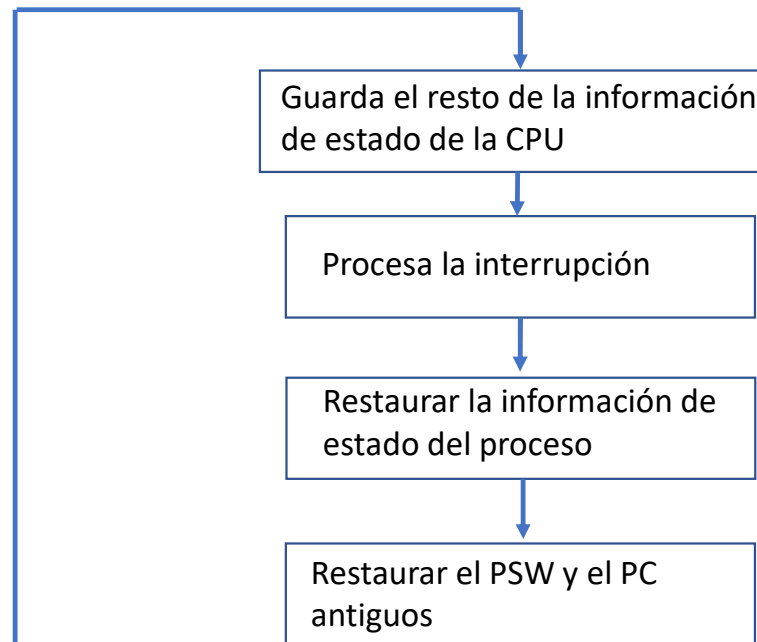


## Procesamiento de la Interrupción

### HARDWARE



### SOFTWARE



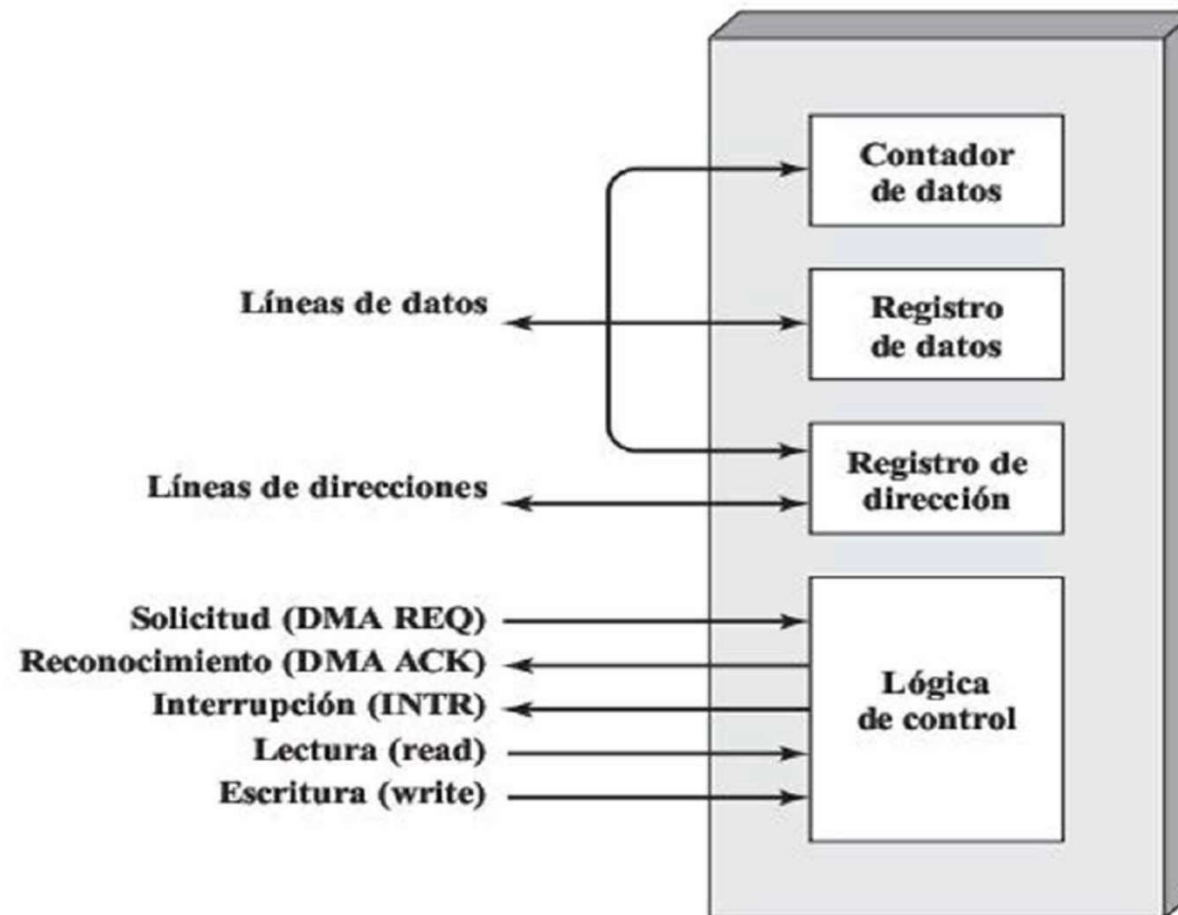
## TÉCNICAS DE INTERRUPCIÓN UTILIZADAS

- 1** • Múltiples líneas de interrupción
- 2** • Consulta por software (software poll)
- 3** • Conexión en cadena (Daisy chain o interrupción vectorizada)
- 4** • Arbitraje de bus (vectorizada)

## DESVENTAJAS DE LA E/S PROGRAMADA Y E/S CON INTERRUPCIONES

- La velocidad de transferencia de la E/S está limitada por la velocidad con que la CPU puede comprobar y dar servicio a un dispositivo
- La CPU debe dedicarse a la gestión de las transferencias de E/S; debe ejecutar un cierto número de instrucciones por cada transferencia de E/S

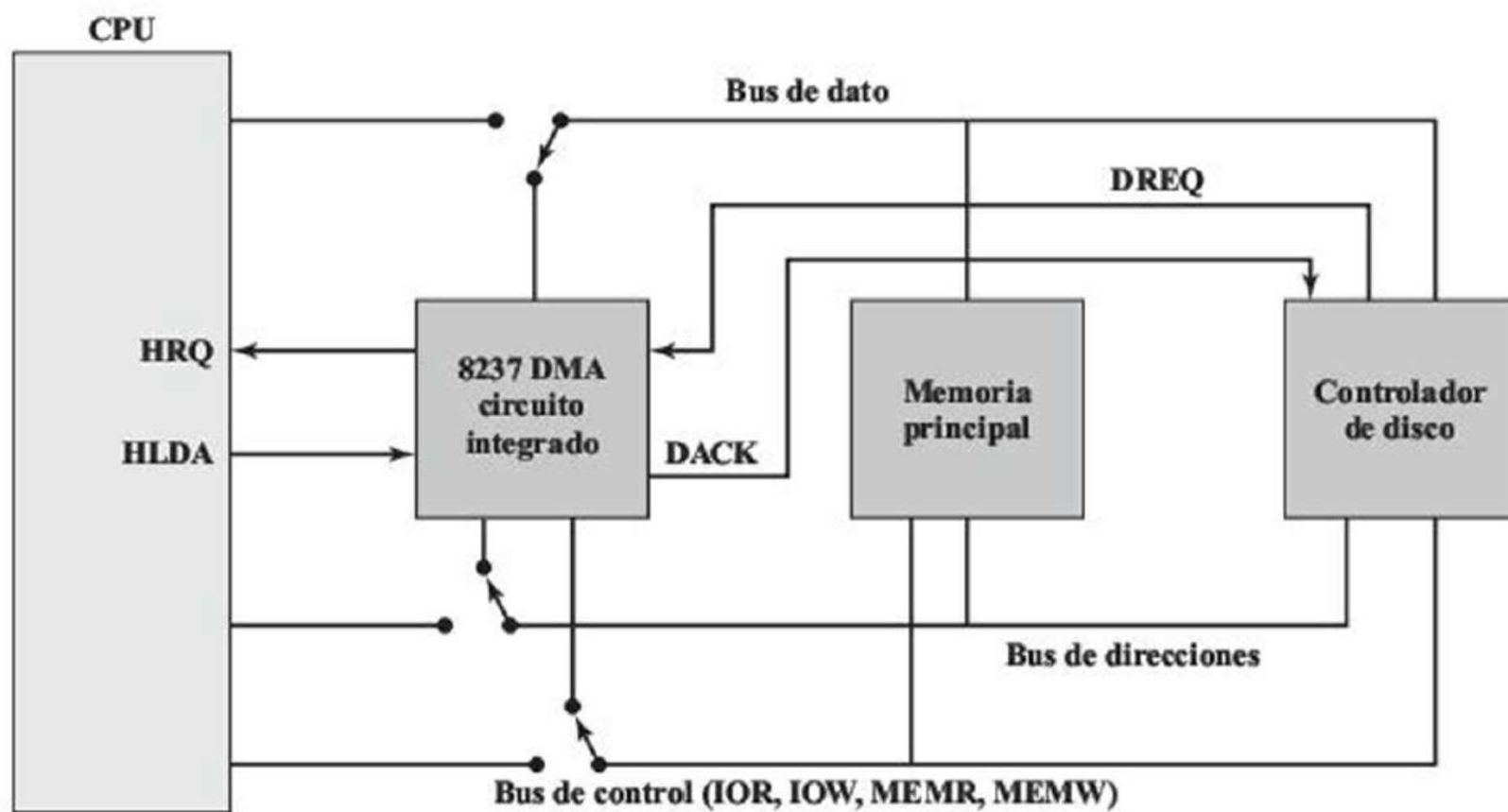
## Entrada salida por DMA



Cuando la CPU desea transferir un bloque de datos envía una orden con la siguiente información al DMA

- 1 - Si se desea Leer o Escribir
- 2 - La dirección del dispositivo de E/S
- 3 - La dirección inicial de memoria desde donde leer/escribir los datos
- 4 – El número de palabras a leer o escribir

Cuando el DMA finaliza la transferencia envía una interrupción a la CPU





- El periférico envía la señal DREQ solicitando el DMA
- El DMA envía la señal HRQ (hold Request) a la CPU solicitando el uso del bus
- Al finalizar en el ciclo de bus en que se encuentra, la CPU responderá con la señal de reconocimiento HDLA (Hold ack). El DMA toma el control del bus
- El DMA activará la señal DACK (reconocimiento de DMA) indicándole al periférico que comenzará la transferencia de datos
- El DMA comienza la transferencia activando las señales MEMR e IOWR o IOR y MEMWR según corresponda. Incrementa el puntero de memoria y decrementa el contador de datos hasta terminar con la transferencia
- Al finalizar, el DMA desactiva la señal HRQ para indicar a la CPU que puede disponer del bus