



### Recuperatorio parcial 1

#### Ejercicio 1 (30%):

Dado el siguiente programa en assembler LEGv8 y el estado inicial de la memoria:

	Dirección:	Contenido
MOVZ X0, #0x100	...	
MOVZ X1, #0x200	0x100:	0x1
MOVZ X2, #0x300	0x108:	0x2
LOOP: LDUR X3, [X0, #0]	0x110:	0x0
CBZ X3, END	0x118:	0xFFFFFFFFFFFFFFFF
LSL X3, X3, #3	...	
ADD X3, X1, X3	0x200:	0xCAFECAFE
LDUR X3, [X3, #0]	0x208:	0xC0CAC01A
STUR X3, [X2, #0]	0x210:	0xDEADBEEF
ADDI X0, X0, #8	0x218:	0xEEEEEEEE
ADDI X2, X2, #8	...	
B LOOP	0x300:	0x0
END:	0x308:	0x0
	0x310:	0x0
	0x318:	0x0
	...	

- Mostrar el valor final de la memoria escribiendo sólo la dirección y el contenido de las posiciones que cambian.
- Dar el número de instrucciones que ejecuta.
- Explicar **en una línea** que hace.

#### Ejercicio 2 (30%):

Basados en el sistema de memoria mostrado en la figura (al final), se pide:

- Completar los cuadros en línea de puntos con los faltantes de cantidad de señales y su denominación (A[ .. ] o D[ .. ]) para los bloques #1, #2, #3 y #4. Pueden usar las referencias en rojo, para no tener que redibujar el sistema.
- Desarrollar el mapa de memoria implementado, indicando la dirección de inicio y final de cada bloque. Especificar si se trata de un rango real o de posiciones imagen.



## Universidad Católica de Córdoba

Facultad de Ingeniería

ARQUITECTURA DE COMPUTADORAS II

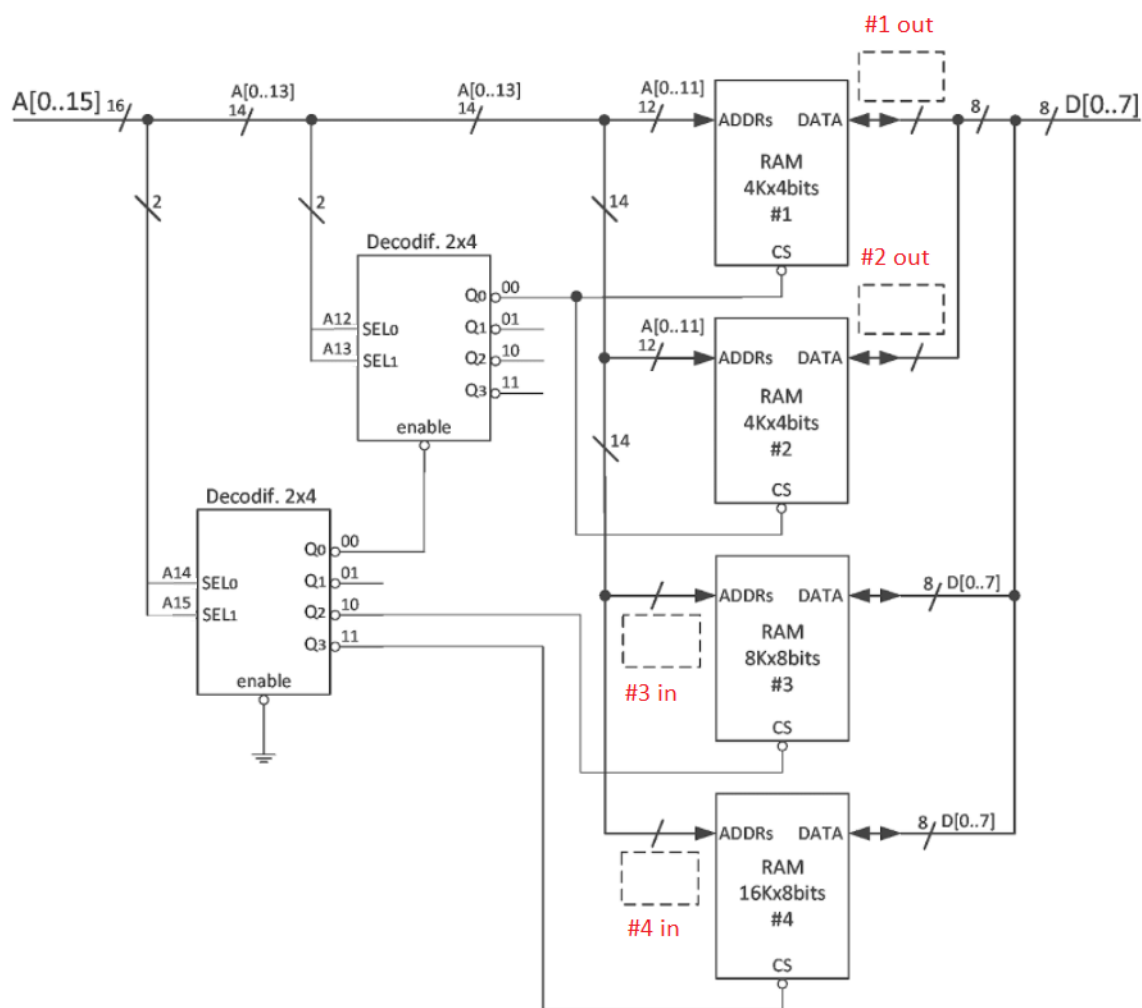
Fecha: 12/11/2021

c. Indicar en qué número de bloque (#1, #2, #3 o #4) u otro espacio, si lo hubiera, (no implementado o imagen) se encuentran las siguientes direcciones:

1. 0x065F
2. 0x22DE
3. 0x8001
4. 0xD456

d. Responder con **V** (Verdadero) o **F** (Falso) las siguientes afirmaciones:

1. El sistema de memoria implementado NO contiene posiciones imagen.
2. El sistema de memoria contiene segmentos de memoria no implementados.
3. El procesador puede direccionar un total de 64K palabras de 16 bits.
4. Todos los bloques están implementados en posiciones de memoria consecutivas.





## Universidad Católica de Córdoba

Facultad de Ingeniería

ARQUITECTURA DE COMPUTADORAS II

Fecha: 12/11/2021

### Ejercicio 3 (25%):

Una CACHÉ asociativa por conjuntos consta de 128 líneas en total, divididas en conjuntos de 2 vías. La memoria principal contiene 256M bloques de 16 palabras cada uno. Las palabras del procesador, de 16 bits, son directamente direccionables en memoria.

- a. Muestre el formato de la dirección de la memoria principal.

Tag	Index	Word	Offset byte (si aplica)

- b. ¿Cuál es la capacidad total de memoria (expresada en bits) necesaria para implementar dicha caché? Considerar que cada línea está compuesta, además de los datos, por el campo Tag y 1 bit de validación.

### Ejercicio 4 (15%):

Suponga un sistema computacional que trabaja a 1.5GHz, con hit time = 1 ciclo de clock, CPI = 1.4 (sin stalls por fallo de caché) y que posee una organización de memoria de dos niveles de jerarquía, una caché y la memoria principal. Los tiempos de acceso y las tasas de fallo (miss rate) de ambas memorias se muestran en la siguiente tabla:

Nivel de memoria	Tiempo de acceso	Tasa de fallo
Caché	1 ciclo de clock	12%
Memoria principal	90 ciclos de clock	0%

- a. ¿Cuál es el tiempo promedio de acceso a memoria, dados los tiempos de acceso y tasas de fallo (miss rate) de la tabla?
- b. Calcule el CPI promedio si el sistema de memoria no es ideal, considerando sólo los fallos de la caché de datos. Asuma la distribución de instrucciones:

R-Type	CBZ/CBNZ	B	LDUR	STUR
55%	11%	4%	18%	12%

- c. ¿Qué tasa de fallo se necesitaría para reducir el tiempo promedio de acceso a memoria a 4ns?