

### Ejercicio 1:

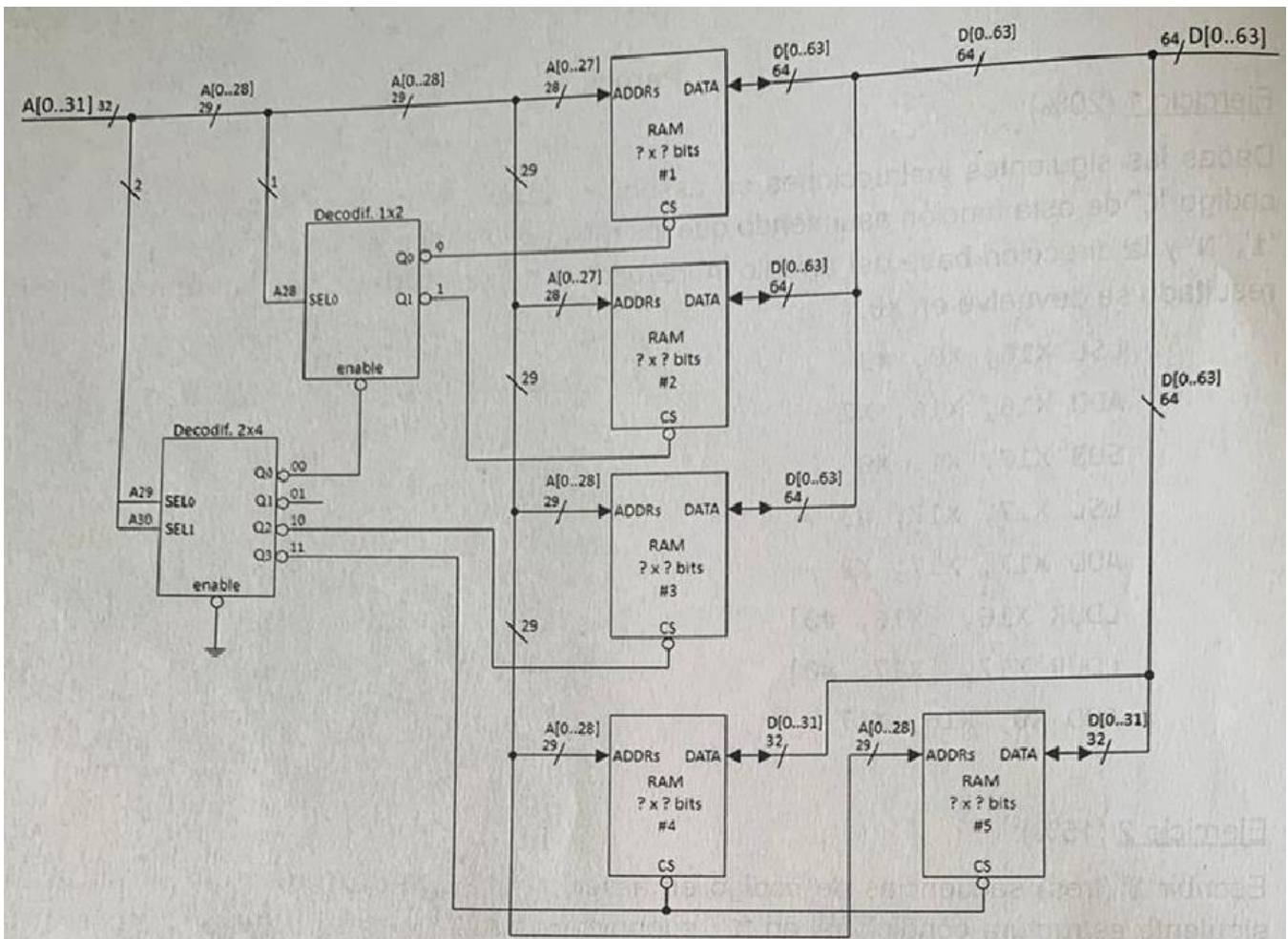
Dadas las siguientes instrucciones en assembler LEGv8, escribir la secuencia mínima de código "C" de esta función asumiendo que los registros X0, X1 y X2 contienen los parámetros 'i', 'N' y la dirección base del arreglo 'A' respectivamente, todos de tipo unsigned long. El resultado se devuelve en X0.

```
LSL X16, X0, #3
ADD X16, X16, X2
SUB X17, X1, X0
LSL X17, X17, #3
ADD X17, X17, X2
LDUR X16, [X16, #0]
LDUR X17, [X17, #0]
ADD X0, X16, X17
```

### Ejercicio 2:

A partir del sistema de memoria de la figura, se pide:

- Indicar el tamaño de cada bloque de memoria (RAM #1, #1, #2, #3, #4, #5) expresado en cantidad de palabras x ancho de palabra de bits.
- Dibujar el mapa de memoria implementado, indicando la dirección de inicio y final de cada bloque. Indicar si esta implementación genera posiciones imagen o espejo. De ser así, indicar su ubicación en el mapa y a que bloque real corresponden.
- Calcular la capacidad total (expresada en bytes) de memoria implementada (no se considera las posiciones imagen).



### Ejercicio 3:

Considerando una cache de 2Mbyte ASOCIATIVA por conjuntos de 4 vías, dispuesta en un procesador de 32 bits con una capacidad de direccionamiento de 1Gbyte. Solo se sabe que la memoria principal es “vista” por la cache como una memoria de 32M bloques.

- a) Completar cada casillero con el numero de bits de cada campo de formato de dirección de memoria principal:

| Memory Address |             |      |                         |
|----------------|-------------|------|-------------------------|
| Tag            | Index / Set | Word | Offset byte (si aplica) |
|                |             |      |                         |

- b) Suponiendo que cada LINEA de la cache contiene un bit de validación V, ¿Cuál es el tamaño completo de un CONJUNTO (expresado en bits) de la cache, considerando datos, tags y bits de validación?
- c) ¿Cuál es el tamaño total de CADA VIA de la cache, expresada en bits?
- d) Si la memoria cache y la memoria principal tienen acceso de 5ns y 400ns respectivamente, ¿Qué hit rate (tasa de acierto) se necesitaría para obtener un tiempo promedio de acceso a memoria AMAT de 25ns?

### Ejercicio Final:

Una computadora tiene una cache de 128 bytes, solo para el área de datos. Utiliza una correspondencia asociativa por conjuntos de 4 vías, con 8 bytes por bloque. El tamaño de una dirección física de memoria es de 32 bits, con un acceso de a palabras de 1 byte.

- a) Dibuje un diagrama mostrando la organización de la cache, indicando todos sus tamaños asociados.
- b) ¿A qué línea de cache se puede asignar la dirección física 0x00...000010AF?