



Parcial 1

Ejercicio 1 (20%):

Dadas las siguientes instrucciones en assembler LEGv8, escribir la secuencia mínima de código "C" de esta función asumiendo que los registros X0, X1 y X2 contienen los parámetros 'i', 'N' y la dirección base del arreglo 'A' respectivamente, todos de tipo unsigned long. El resultado se devuelve en X0.

```
LSL X16, X0, #3
ADD X16, X16, X2
SUB X17, X1, X0
LSL X17, X17, #3
ADD X17, X17, X2
LDUR X16, [X16, #0]
LDUR X17, [X17, #0]
ADD X0, X16, X17
```

Ejercicio 2 (15%):

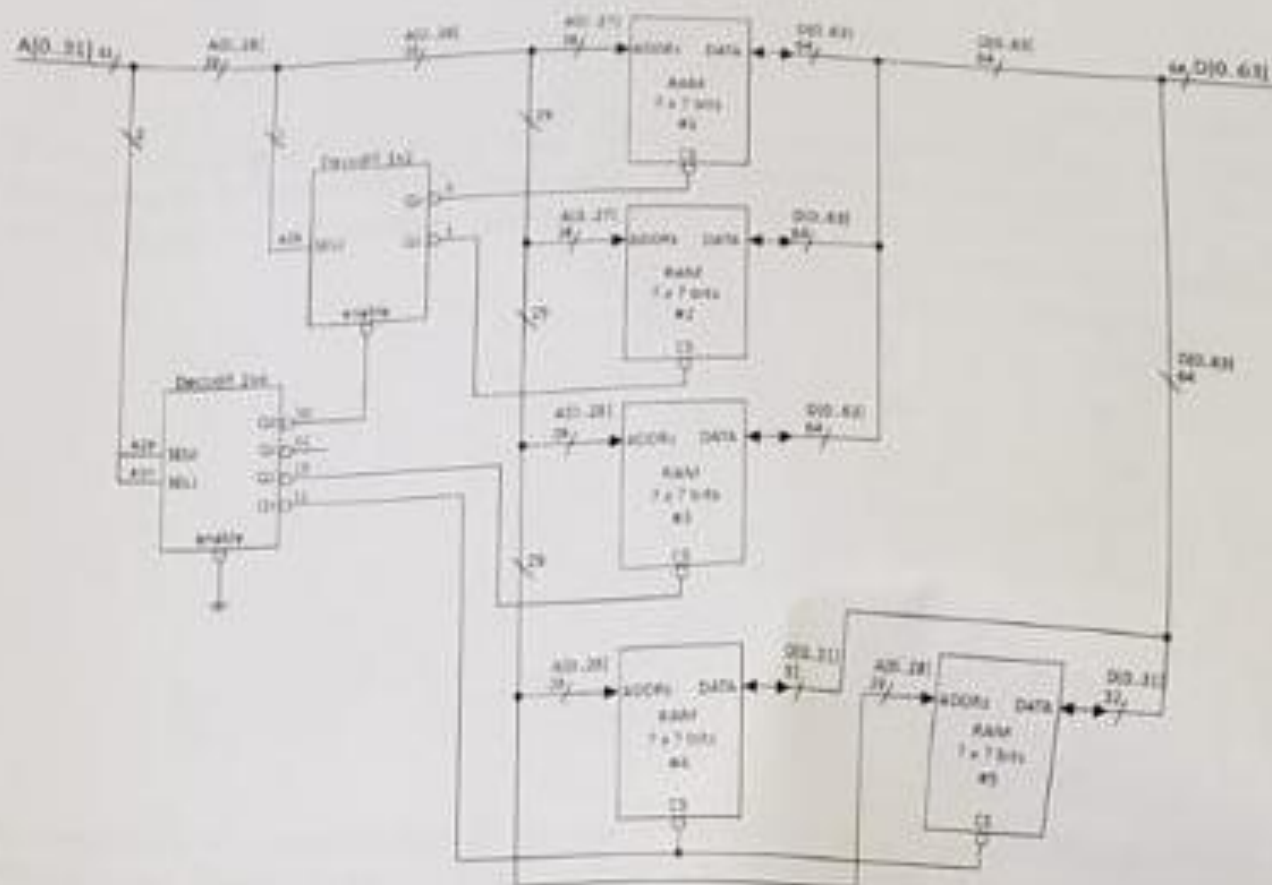
Escribir 3 (tres) secuencias de código en assembler LEGv8 **distintas** que implementen la siguiente estructura condicional en "C", suponiendo que X0 y X1 contienen los parámetros 'a' y 'b' respectivamente y variables de tipo unsigned long.

Código C	Secuencia 1	Secuencia 2	Secuencia 3
<pre>if ((a && b) == 0) { sentencia1; } cont:</pre>	<pre>_____ _____ _____ cont: sentencia1</pre>	<pre>_____ _____ _____ cont: sentencia1</pre>	<pre>_____ _____ _____ cont: sentencia1</pre>

Ejercicio 3 (35%):

A partir del sistema de memoria de la figura, se pide:

- Indicar el tamaño de cada bloque de memoria (RAM #1, #1, #2, #3, #4, #5) expresado en cantidad de palabras x ancho de palabra en bits.
- Dibujar el mapa de memoria implementado, indicando la dirección de inicio y final de cada bloque. Indicar si esta implementación presenta posiciones imagen o espejo. De ser así, indicar su ubicación en el mapa y a qué bloque real corresponden.
- Calcular la capacidad total (expresada en bytes) de memoria implementada (no se consideran las posiciones imagen).



Ejercicio 4 (30%):

Considerando una caché de 2Mbyte, ASOCIATIVA por conjuntos de 4 vías, dispuesta en el procesador de 32 bits con una capacidad de direccionamiento de 1Gbyte. Sólo se sabe que la memoria principal es "vista" por la caché como una memoria de 32M bloques.

- a) Completar cada casillero con el número de bits de cada campo del formato de dirección de memoria principal:

Memory Address			
Tag	Index / Set	Word	Offset byte (si aplica)
15	3	10	2

- b) Suponiendo que cada LÍNEA de la caché contiene un bit de validación (V), ¿cuál es el tamaño completo de un CONJUNTO (expresado en bits) de la caché, considerando datos, tags y bits de validación?
- c) ¿Cuál es el tamaño total de CADA VÍA de la caché, expresada en bits?
- d) Si la memoria caché y la memoria principal tienen tiempos de acceso de 5ns y 400ns respectivamente, ¿qué hit rate (tasa de acierto) se necesitaría para obtener un tiempo promedio de acceso a memoria (AMAT) de 25ns?