



Parcial 1

Ejercicio 1 (20%):

Dadas las siguientes instrucciones en assembler LEGv8, escribir la secuencia mínima de código "C" de esta función, asumiendo que los registros X0, X1 y X2 contienen los parámetros 'i', 'N' y la dirección base del arreglo 'A' respectivamente, todos de tipo long. El resultado se devuelve en X0.

```
LSL X16, X0, #3
ADD X16, X16, X2
SUBS X17, X1, X0
ADD X17, X17, X17
ADD X17, X17, X17
ADD X17, X17, X17
ADD X17, X17, X2
LDUR X6, [X16, #0]
LDUR X7, [X17, #0]
ADD X0, X6, X7
```

	Signed numbers		Unsigned numbers	
Comparison	Instruction	CC Test	Instruction	CC Test
=	B.EQ	Z=1	B.EQ	Z=1
≠	B.NE	Z=0	B.NE	Z=0
<	B.LT	NI=V	B.LO	C=0
≤	B.LE	~(Z=0 & N=V)	B.LS	~(Z=0 & C=1)
>	B.GT	(Z=0 & N=V)	B.HI	(Z=0 & C=1)
≥	B.GE	N=V	B.HS	C=1

Ejercicio 2 (15%):

Escribir 3 (tres) secuencias de código en assembler LEGv8 **distintas** que implementen la siguiente estructura condicional en "C", suponiendo que $X0 \leftrightarrow a$, $X1 \leftrightarrow b$ y variables de tipo long.

No está permitido el uso de la pseudoinstrucción CMP (compare).

Código C	Secuencia 1	Secuencia 2	Secuencia 3
<pre>if (a==0 && b==0) { sentencia1; } cont:</pre>	<pre>_____ _____ _____ _____ cont: sentencia1</pre>	<pre>_____ _____ _____ _____ cont: sentencia1</pre>	<pre>_____ _____ _____ _____ cont: sentencia1</pre>

Ejercicio 3 (10%):

Cuántos "chip" de memoria RAM de 8K palabras x 16 bits se necesitan para implementar un banco de memoria de:

- 128K palabras de 16 bits?
- 64K palabras de 64 bits?
- 8K palabras de 128 bits?

Indicar qué tipo de conexión debe realizarse en cada caso (serie, paralelo o ambas).



Universidad Católica de Córdoba

Facultad de Ingeniería

ARQUITECTURA DE COMPUTADORAS II

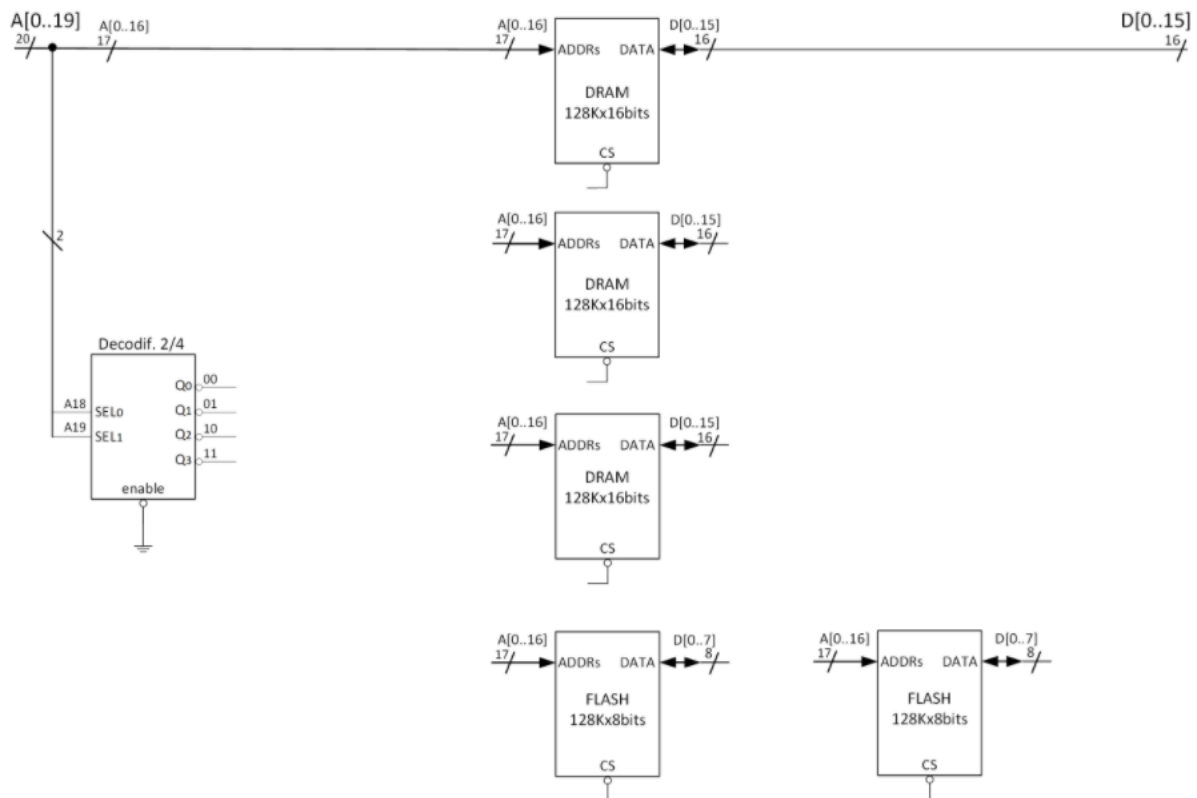
Fecha: 14/09/2021

Ejercicio 4 (25%):

Para un microprocesador de 16 bits de datos, el cual es capaz de direccionar 1M palabras de memoria principal, se desea implementar un sistema de memoria como el mostrado en el mapa de la figura.

- Determinar las direcciones de fin del bloque DRAM #1 y de inicio del bloque FLASH #1, identificados con "0x?????" en el mapa de memoria.
- Completar las conexiones necesarias de la lógica de decodificación del esquema dado a continuación, especificando para cada línea el tamaño y nombre de la/las señales involucradas. De considerarse necesario, es posible agregar decodificadores de tamaño requerido.
- Indicar si la implementación realizada genera posiciones imagen o espejo. De ser así, especificar en el mapa la ubicación de las mismas.

	0xFFFF
	0xE0000
FLASH #1 128Kx16bits	0xDFFFF
	0x?????
	0x80000
DRAM #2 256Kx16bits	0x7FFFF
	0x40000
	0x3FFFF
DRAM #1 128Kx16bits	0x?????
	0x00000





Universidad Católica de Córdoba

Facultad de Ingeniería

ARQUITECTURA DE COMPUTADORAS II

Fecha: 14/09/2021

Ejercicio 5 (20%):

Para un procesador de 32 bits que es capaz de direccionar 1G byte de memoria principal (30 bits de dirección), se requiere implementar una memoria caché con capacidad total de 8M bits para datos. La memoria caché utiliza correspondencia (mapeo) asociativo por conjuntos de 4 vías, con un tamaño de bloque de 4 palabras de 32 bits c/u.

Determinar:

- a. ¿Cuántos bits hay en los diferentes campos del formato de dirección de memoria principal?

Memory Address			
Tag	Index	Word	Offset byte (si aplica)

- b. ¿Cuántas líneas contiene la memoria caché?
- c. ¿Cuál es la capacidad total de memoria (expresada en bits) necesaria para implementar dicha caché? Considerar que cada línea está compuesta, además de los datos, por el campo Tag y 1 bit de validación.

Ejercicio 6 (10%):

Una computadora posee dos memorias caché separadas, una memoria principal y un procesador ARM que trabaja a 2.5GHz, con hit time = 1 ciclo de reloj y CPI = 1.2 (sin stalls por fallo de caché). El miss rate de la caché de datos es del 20% y el de la caché de instrucciones es del 12%. En una falla de caché, el procesador se detiene durante 32ns para acceder a la memoria principal y luego reanuda el funcionamiento normal.

- a. Encontrar el AMAT (Average Memory Access Time) de la caché de datos. Expresar el resultado en nanosegundos.
- b. Calcular el CPI promedio si el sistema de memoria no es ideal, considerando los fallos de ambas caché. Asumir la distribución de instrucciones:

R-Type	CBZ/CBNZ	B	LDUR	STUR
40%	25%	5%	25%	5%